

CY27410 的设计最佳实践

作者：Amitava Banerjee and Hiromu Takehara

相关项目：无

相关器件系列：CY27410

相关应用笔记：AN94024、AN93892

AN94074 提供了 CY27410 的基本设计指南，从而能够在终端系统中实现最佳性能。您应该将本最佳实践指导与适用于 CY27410 的所有其他设计、制造和软件指南结合使用。

简介

CY27410 是一个四 PLL 扩频时钟发生器，该发生器会生成八个差分 and 四个单端时钟输出，它们的频率高达 700 MHz，并且仅有亚皮秒级的抖动。本文档概述了 CY27410 的架构，并提供设计指南用于实现终端系统的最佳性能。本文档还包含了一个案例研究，它介绍了如何使用 CY27410 满足采样时钟的要求。

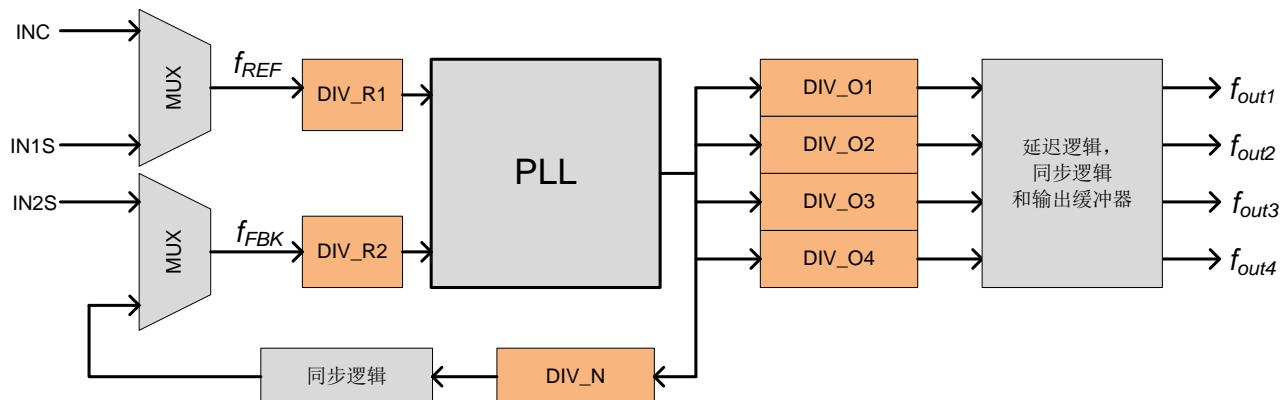
配置的一般规则

图 1 显示的是 CY27410 PLL 的基本架构。该器件通过一个比例因子为 PLL 输出端口提供时钟合成。通过下面的基本公式可以确定最后输出的时钟频率：

$$f_{OUT} = f_{REF} \times \frac{(DIV_N)}{(DIV_R) \times (DIV_O)}$$

- f_{REF} 是输入参考频率，
- DIV_R (DIV_R1 和 DIV_R2) 是输入参考频率的分频系数。这些分频器被称为预分频器。
- DIV_N 是小数 N 分频系数。
- DIV_O (DIV_O1 、 DIV_O2 、 DIV_O3 和 DIV_O4) 是输出前的后分频系数。

图 1. CY27410 PLL 简化架构框图



PLL 的工作频率范围为 2.4 GHz 至 3 GHz。输入时钟 (f_{REF}) 由预分频计数器 (DIV_R1 或 DIV_R2) 分频，从而产生 PLL 的输入参考时钟。 DIV_R 计数器的计数值范围为 1 至 28。后分频系数 DIV_O 是一个偶数，取值范围为 4 到 1020。控制环路可驱动 PLL，以便按照上述公式匹配所需 f_{OUT} 。

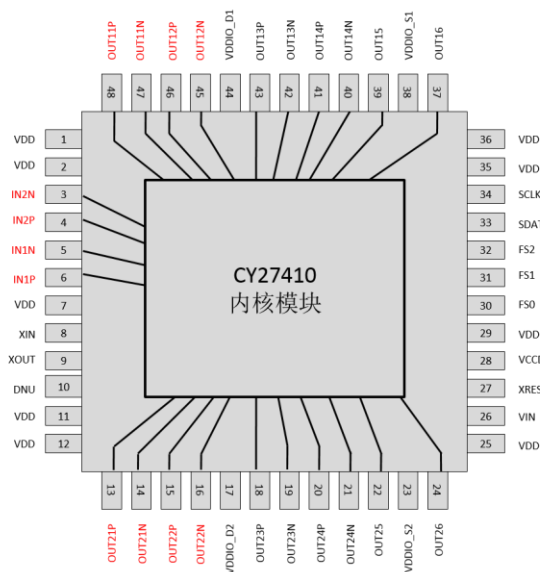
设计指南

在高级设计中，如果多个 PLL 有效，则频率规划必须提供任意两个 PLL 间的最小频率间隔，从而避免发生抖动。这些 PLL 频率间应该有至少为 50 MHz 的差距。否则，各个 PLL 模块按同一个频率运行时会产生干扰，从而引起串扰。

由于靠近输入参考信号路径（IN2N、IN2P、IN1N 和 IN1P 引脚的信号路由），所以所有输出应按照 LVPECL、LVDS、CML 或 HCSL 等差分标准进行分配。如果它们按照 LVCMOS 标准进行分配，那么大电压摆幅会引起更多的串扰进入输入参考频率。所产生的串扰将会影响 PLL 的性能，并且输出时钟可能带有噪声。

因此，当 OUT11、OUT12、OUT21 和 OUT22 输出（在图 2 中橙色显示的信号引脚）接近输入信号线（如：IN2N、IN2P、IN1N 和 IN1P）时，应该按照差分输出标准进行分配它们。如果这些线中的某一条按照单端 CMOS 标准进行配置，并且具有 0 V 至 3.3 V 的摆动，那么可能在相邻的差分线上存在抖动。推荐使 LVCMOS 标准输出远离这些输入参考时钟线所在的位置。

图 2. 显示高频输入和输出信号线路的 CY27410 引脚分布图



CY27410 共有四个 I/O 电源域，分别为：VDDIO_D1（OUT11 至 OUT14）、VDDIO_S1（OUT15、OUT16）、VDDIO_D2（OUT21 至 OUT24）和 VDDIO_S2（OUT25、OUT26）。为了减少串扰和获得更好的抖动性能，建议特定 VDDIO 电压域的所有输出由一个 PLL 派生得到。例如，从 PLL1 派生 OUT11 到 OUT14 输出；从 PLL2 派生 OUT15、OUT16 输出；从 PLL3 派生 OUT21 到 OUT24；并从 PLL4 派生 OUT25、OUT26。

图 2 显示的是 CY27410 的引脚分布图及其高频输入和输出线路。输入与输出线路之间的串扰是造成 PLL 抖动的主要原因。该串扰可能是由 IC 内部路由引起的，并且不能改变。在系统电平上，PCB 布局需要特别注意输入与输出线之间的屏蔽。

除此之外，所有电源引脚都必须通过电容被去耦，并要求在 PCB 上将单独的铁氧体磁珠尽可能接近电源引脚所在的位置。

例如：为多种输出频率设计赛普拉斯的时钟

下面的示例显示的是一个案例研究，说明了如何使用 CY27410 满足采样时钟要求。

- 三个 PCIe Gen 2.0 扩频（SS）时钟（每个的频率都是 100 MHz，相对对齐并且有 0.5% 的向下扩频）。
- 五个专用的 LVCMOS 时钟适用于四种不同的应用：
 - 一个频率为 33.33 MHz（0.5% 向下扩频）的时钟，提供给 ASIC
 - 一个频率为 25.00 MHz 的时钟，提供给以太网
 - 一个频率为 24.576 MHz 的时钟，提供给调制解调器
 - 一个频率为 20.00 MHz 的时钟，提供给 CPU
 - 一个频率为 64.00 MHz（0.5% 中心扩频）时钟，提供给 ASIC

CY27410 设计该系统的第一步是频率规划。通过以下方法可实现四个 PLL 的频率规划：

1. 频率为 33.33 MHz 的 SS 与频率为 100.00 MHz 的 SS 相关，但与频率为 64 MHz 的 SS 却是不相关。因此，需要使用两个 PLL 生成频率分别为 33.33 MHz、64 MHz 和 100 MHz 的时钟。

注意：当 PLL 频率的范围为 2400 MHz 至 3000 MHz，并且 64 和 100 的 LCM 为 1600 MHz 时，便无法设置能够生成这两个时钟输出的特定 PLL 频率。因此，64 MHz 时钟和 100 MHz 时钟被称为“UNRELATED”（不相关）。

2. 如果频率为 24.576 MHz 的时钟与其他时钟是不相关的，您可以选择频率为 24.576 MHz 的时钟作为一个参考输入，或者需要从一个 PLL 生成它。
3. 频率为 20.00 MHz 以及 25.00 MHz 的时钟可能由一个 PLL 产生。
4. 频率为 64.00 MHz（0.5% 中心扩频）的时钟，提供给 ASIC。

因此，PLL 的分配如下：

1. 将 24.576 MHz 的时钟作为参考时钟使用。
2. 四个扩频时钟（其中 3 个频率为 100 MHz 的 PCIe 时钟和一个频率为 33.33 MHz 的 ASIC 时钟）可以由 PLL1 衍生得到。
3. 一个频率为 25 MHz 的以太网时钟和一个频率为 20 MHz 的 CPU 时钟可以由 PLL2 产生。
4. 频率为 24.576 MHz 的调制解调器时钟可由 PLL3 产生。
5. 频率为 64.00 MHz（0.5% 中心扩频）的时钟可由 PLL4 产生。

结论

通过本文档提出的 CY27410 设计建议可实现它的最佳性能。系统设计师通过该文档所提出的指南，有助于预测适当的 PLL 频率和输出设置。但它并非总是能够按照典型编程指南来配置所有内部参数和输出参数。而是根据系统设计的复杂程度、由 CY27410 提供时钟的接口数量、操作频率、输出缓冲标准、电压要求以及抖动规范等条件完成。

总之，设计工程师必须考虑 CY27410 的最佳设计配置。使用该基本知识，设计工程师可以设计更重要的系统，并且可能存在不同应用规范之间的权衡。

关于作者

姓名：	Amitava Banerjee and Hiromu Takehara
职务：	应用工程师
背景：	Amitava Banerjee 从 IIT 学院获取了电气工程技术硕士学位。印度，Kharagpur。

Hiromu Takehara 已经连续 14 年在赛普拉斯半导体公司的时序解决方案业务部门担任系统级专家工作。

文档修订记录

文档标题: AN94074 — CY27410 的设计最佳实践

文档编号: 001-98155

版本	ECN	变更者	提交日期	变更说明
**	4837774	RZZH	07/16/2015	本文档版本号为 Rev**, 译自英文版 001-94074 Rev**。
*A	5945895	PAWK	10/26/2017	更新 设计指南: 更新 图 2。 更新到新模板。

销售和设计支持

赛普拉斯公司拥有一个由办事处、解决方案中心、厂商代表和经销商组成的全球性网络。如果想要查找离您最近的办事处，请访问[赛普拉斯所在地](#)。

产品

ARM® Cortex® 微控制器	cypress.com/arm
汽车级产品	cypress.com/automotive
时钟与缓冲器	cypress.com/clocks
接口	cypress.com/interface
物联网	cypress.com/iot
存储器	cypress.com/memory
微控制器	cypress.com/mcu
PSoC	cypress.com/psoc
电源管理 IC	cypress.com/pmic
触摸感应	cypress.com/touch
USB 控制器	cypress.com/usb
无线连接	cypress.com/wireless

PSoC® 解决方案

[PSoC 1](#) | [PSoC 3](#) | [PSoC 4](#) | [PSoC 5LP](#) | [PSoC 6](#)

赛普拉斯开发者社区

[论坛](#) | [WICED IoT 论坛](#) | [项目](#) | [视频](#) | [博客](#) | [培训](#) | [组件](#)

技术支持

cypress.com/support

PSoC 是赛普拉斯半导体公司的注册商标且 PSoC Creator 是赛普拉斯半导体公司的商标。



Cypress Semiconductor
198 Champion Court
San Jose, CA 95134-1709

© 赛普拉斯半导体公司，2015-2017 年。本文件是赛普拉斯半导体公司及其子公司，包括 Spansion LLC（“赛普拉斯”）的财产。本文件，包括其包含或引用的任何软件或固件（“软件”），根据全球范围内的知识产权法律以及美国与其他国家签署条约由赛普拉斯所有。除非在本款中另有明确规定，赛普拉斯保留在该等法律和条约下的所有权利，且未就其专利、版权、商标或其他知识产权授予任何许可。如果软件并不附随有一份许可协议且贵方未以其他方式与赛普拉斯签署关于使用软件的书面协议，赛普拉斯特此授予贵方属人性质的、非独家且不可转让的如下许可（无再许可权）（1）在赛普拉斯特软件著作权项下的下列许可权（一）对以源代码形式提供的软件，仅出于在赛普拉斯硬件产品上使用之目的且仅在贵方集团内部修改和复制软件，和（二）仅限于在有关赛普拉斯硬件产品上使用之目的将软件以二进制代码形式的向外部最终用户提供（无论直接提供或通过经销商和分销商间接提供），和（2）在被软件（由赛普拉斯公司提供，且未经修改）侵犯的赛普拉斯专利的权利主张项下，仅出于在赛普拉斯硬件产品上使用之目的制造、使用、提供和进口软件的许可。禁止对软件的任何其他使用、复制、修改、翻译或汇编。

在适用法律允许的限度内，赛普拉斯未对本文件或任何软件作出任何明示或暗示的担保，包括但不限于关于适销性和特定用途的默示保证。没有任何电子设备是绝对安全的。因此，尽管赛普拉斯在其硬件和软件产品中采取了必要的安全措施，但是赛普拉斯并不承担任何由于使用赛普拉斯产品而引起的问题及安全漏洞的责任，例如未经授权的访问或使用赛普拉斯产品。此外，本材料中所介绍的赛普拉斯产品有可能存在设计缺陷或设计错误，从而导致产品的性能与公布的规格不一致。（如果发现此类问题，赛普拉斯会提供勘误表）赛普拉斯保留更改本文件的权利，届时将不另行通知。在适用法律允许的限度内，赛普拉斯不对因应用或使用本文件所述任何产品或电路引起的任何后果负责。本文件，包括任何样本设计信息或程序代码信息，仅为供参考之目的提供。文件使用者应负责正确设计、计划和测试信息应用和由此生产的任何产品的功能和安全性。赛普拉斯产品不应被设计为、设定为或授权用作武器操作、武器系统、核设施、生命支持设备或系统、其他医疗设备或系统（包括急救设备和手术植入物）、污染控制或有害物质管理系统中的关键部件，或产品植入之设备或系统故障可能导致人身伤害、死亡或财产损失其他用途（“非预期用途”）。关键部件指，若该部件发生故障，经合理预期会导致设备或系统故障或会影响设备或系统安全性和有效性的部件。针对由赛普拉斯产品非预期用途产生或相关的任何主张、费用、损失和其他责任，赛普拉斯不承担全部或部分责任且贵方不应追究赛普拉斯之责任。贵方应赔偿赛普拉斯因赛普拉斯产品任何非预期用途产生或相关的所有索赔、费用、损失和其他责任，包括因人身伤害或死亡引起的主张，并使之免受损失。

赛普拉斯、赛普拉斯徽标、Spansion、Spansion 徽标，及上述项目的组合，WICED，及 PSoC、CapSense、EZ-USB、F-RAM 和 Traveo 应视为赛普拉斯在美国和其他国家的商标或注册商标。请访问 cypress.com 获取赛普拉斯商标的完整列表。其他名称和品牌可能由其各自所有者主张为该方财产。