

## CY27410/30: 4PLL スペクトラム拡散クロック ジェネレーターの手引き

著者: Hiromu Takehara、Jeetendra Ashok、Amitava Banerjee

関連プロジェクト: なし

関連製品ファミリ: CY27410

ソフトウェア バージョン: 該当なし

関連アプリケーション ノート: [AN93892](#)、[AN94074](#)

本アプリケーション ノートの最新版を入手するには <http://www.cypress.com/go/AN94024> へアクセスしてください。

サイプレスの新世代高性能クロック ジェネレーター デバイス (CY27410) は 4PLL、12 出力の PCIe 3.0 準拠のデバイスで、付加価値のある機能を多く持っています。本アプリケーション ノートではクロック ジェネレーターおよびバッファ モードにデバイスを設定する方法を、入出力信号規格、周辺回路設計の注意事項、水晶発振器を含むリファレンスクロックの選択、内部メモリ構造の詳細とともに説明します。

## 目次

CY27410/30: 4PLL スペクトラム拡散クロック ジェネレーターの手引き .....	1	差動出力を LVCMOS として使用 .....	7
目次 .....	1	付加機能 .....	7
概要 .....	2	出力の位相遅延 .....	7
主な仕様 .....	2	電圧制御周波数シフト (VCFS) .....	8
動作モード .....	2	PLL のカスケード接続 .....	9
CLKGEN モード .....	2	SSCG (スペクトラム拡散クロック ジェネレーター) .....	9
ZDB モード .....	3	電源投入シーケンス .....	10
NZDB モード .....	3	電源電圧の立ち上がり .....	10
入力サブシステム .....	3	周波数選択 (FS) .....	10
水晶発振器の選定 .....	4	電源電圧の立ち上がりに関する注意事項 .....	10
入力リファレンス ブロック .....	4	内部メモリの構造 .....	11
入力周波数偏差 .....	4	CY27410 のプログラミング .....	11
入力回路 .....	4	結論 .....	11
入力リファレンス システム .....	5	改訂履歴 .....	12
差動入力信号 .....	5	ワールドワイドな販売と設計サポート .....	13
LVCMOS 入力信号 .....	5	製品 .....	13
クリップされた正弦波信号 .....	5	PSoC <sup>®</sup> ソリューション .....	13
出力サブシステム .....	6		
出力終端 .....	6		
HCSL 出力規格 .....	6		
LVPECL 出力規格 .....	6		
LVPECL 出力規格 .....	7		
CML 出力規格 .....	7		

## 概要

CY27410 は民生用、産業用、ネットワーキング アプリケーション向けの 4PLL スペクトラム拡散クロック ジェネレーターです。CY27410 は最大 700MHz の、最大 1 ピコ秒の RMS 位相ジッタの性能を達成できる 2 つの入力と 12 個の出力を持っています。CY27410 は電圧制御水晶発振器 (VCXO)、周波数選択、ゼロ/非ゼロ遅延バッファ (ZDB/NZDB) モードなどの付加価値のある機能をサポートします。デバイスは PCI Express (PCIe) 1.0/2.0/3.0、USB 2.0/3.0、10 ギガビットイーサネット (GbE) などの主なインターフェース規格向けのリファレンス クロックをサポートするために設計されています。

本アプリケーション ノートでは、異なるアプリケーションにデバイスを設定する方法およびデバイス モードの設定について説明します。またデバイスの I<sup>2</sup>C インターフェース、その信号レベル、周辺回路設計の注意事項も説明しています。

CY27410 はクロック ジェネレーター (CLKGEN) モード、ゼロ遅延バッファ (ZDB) モード、非ゼロ遅延 (NZDB) バッファの 3 つの主要動作モードがあります。クロック ジェネレーターモードではデバイスは外部リファレンス クロックまたは水晶発振器の信号を元に内部の PLL 回路を使用して複数のクロック周波数を生成します。ZDB モードではデバイスは入力クロックと同じクロック周波数、または入力に関して若干の遅延のある、逡倍 (整数倍) あるいは分周された周波数を生成します。NZDB モードではデバイスは PLL を迂回して出力へ入力信号をバッファリングします。

また CY27410 は出力の位相遅延、電圧コントローラー周波数合成 (VCFS)、スペクトラム拡散、周波数選択、グリッチなし出力などの付加価値のある機能も提供します。

## 主な仕様

- 入力周波数
  - 水晶発振器周波数: 8MHz~48MHz
  - リファレンス クロック: 8MHz~250MHz LVCMOS
  - リファレンス クロック: 8MHz~700MHz 差動
- 出力周波数
  - LVDS、LVPECL、ホスト クロック信号レベル (HCSL)、電流モード論理 ((CML) 25~375MHz、400~500MHz、600~700MHz))
  - LVCMOS (3MHz~250MHz)
  - 1 LVCMOS 出力当たり 1kHz~8MHz
- RMS 位相ジッタ < 1ps. 12kHz~20MHz オフセットで最大値になる
- PCIe 1.0/2.0/3.0、SATA 2.0、USB 2.0/3.0、1/10GbE に準拠

- 最大 12 出力をサポートし、それぞれ 6 出力ずつの 2 バンクに分けられる
  - 最大 8 差動出力ペア (HCSL、LVPECL、CML または LVDS)
  - 最大 12 LVCMOS 出力
- バンク内の差動出力スキューは最大 75ps
- 4 つのフラクショナル N PLL
  - VCXO (+/-120ppm)
  - スペクトラム拡散機能 (線形拡散と Lexmark プロファイル、0.1%~5%、0.1%のステップ、下方または中央拡散)
- 電源電圧: 1.8V、2.5V、3.3V
- ZDB/NZDB 設定
- I<sup>2</sup>C を介して基板上でプログラミングが可能
- 産業用と車載用温度グレード
- 48 ピン QFN パッケージ

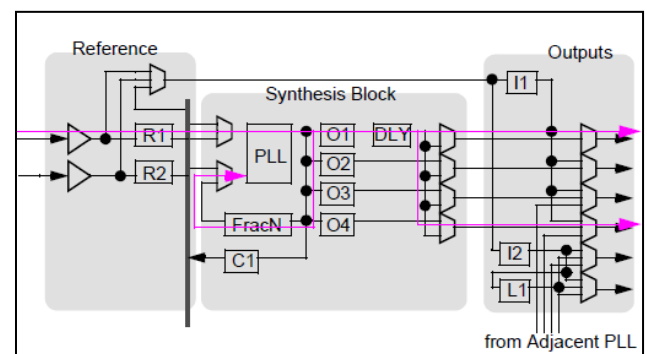
## 動作モード

CY27410 は CLKGEN、ZDB、NZDB モードがあります。このデバイスは CLKGEN と ZDB、CLKGEN と NZDB、ZDB と NZDB のモード組み合わせでも設定可能です。

### CLKGEN モード

図 1 に CLKGEN モードでの PLL ブロック図を示します。このモードでは、CY27410 は 1 つの水晶発振器またはリファレンス クロック入力から複数のクロック周波数を生成します。デバイス内の 4 つの PLL を使用して最大 4 つの関連性の無いクロック周波数がこのモードで生成できます。さらに各 PLL は 4 つの独立した分周器を備えているので、1 つの PLL から最大 4 つの関連性のある周波数を生成できます。2.4GHz~3.0GHz の PLL VCO 範囲内に 2 つのクロック周波数の公倍数となる周波数がなければ、その 2 つの周波数は関連性が無いと見なされます。

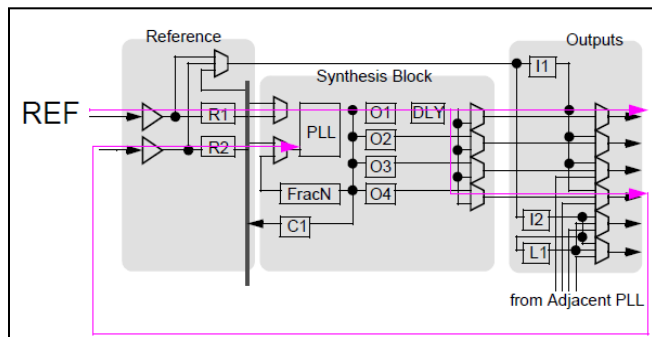
図 1: クロック ジェネレーターの設定



## ZDB モード

ZDB モードでは、図 2 に示すように、デバイスは入力から出力までゼロ伝搬遅延のデバイスとして動作します。この機能を実現するため、CY27410 は位相を追従させるために、1 つの出力からのフィードバック クロックを利用します。

## 図 2. ZDB コンフィギュレーション



入力周波数範囲 (シングルエンド): 8MHz~250MHz

入力周波数範囲 (差動): 8MHz~300MHz

標準の ZDB 入力／出力遅延は 250ps 未満です。さらに CY27410 は R1 または R2 分周器を適切に調整することで過倍／分周 ZDB コンフィギュレーションも提供できます。

R1 = R2 の時出力周波数は IN1 と同じで、R1 値が R2 の半分になる時出力は IN1 の 2 倍になります。CY27410 は R1 と R2 値として 1、2、4 または 8 を提供しますので、ユーザーは CY27410 を 2 倍／分周機能を有する ZDB として設定できます。

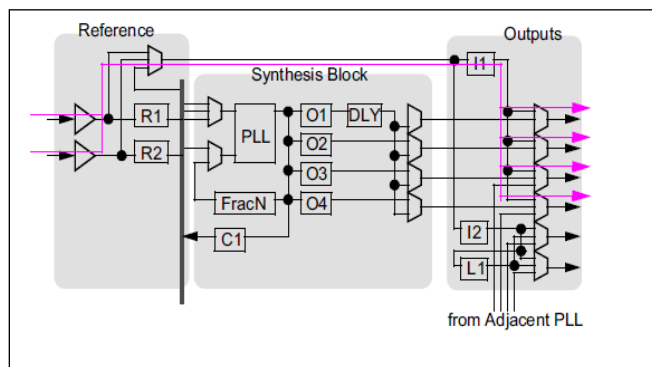
## NZDB モード

NZDB モードでは、デバイスは出力への入力信号の単純なバッファ (別名ファンアウト バッファ) として動作します。図 3 に示しているように、NZDB モードでは、PLL がバイパスされるため、デバイスがファンアウト バッファとして機能します。

入力周波数範囲 (シングルエンド): 8MHz~250MHz

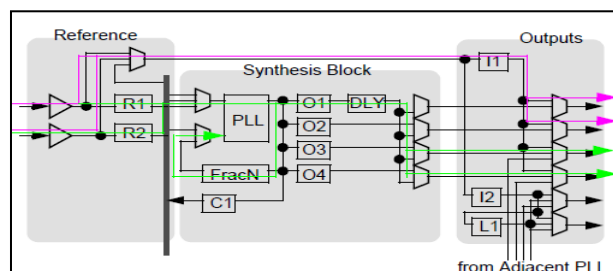
入力周波数範囲 (差動): 8MHz~700MHz

### 図 3. NZDB コンフィギュレーション



CY27410 は CLKGEN と ZDB、CLKGEN と NZDB、ZDB と NZDB のモード組み合わせでも設定可能です。したがってこれまでにない柔軟性をもたらします。図 4 に、CY27410 で CLKGEN と NZDB モードを使用する方法を示します。

図 4. CLKGEN および NZDB コンフィギュレーション



## 入力サブシステム

デバイスは水晶発振器とリファレンス入力の両方に対応します。水晶入力ピンは水晶発振器ブロックに接続される XIN と XOUT です。VCO に供給されるクロックを生成します。内蔵コンデンサの調整範囲は 8pF ~ 12pF です。

またデバイスは 4 個のリファレンス入力ピン (IN1P、IN1N、IN2P および IN2N) をサポートします。これらのピンはシングルエンドまたは差動クロックであるリファレンス 入力を受信するために使用されます。

IN1 (クロック信号: シングルエンドまたは差動) は水晶発振器と多重化されます。

IN2 は差動またはシングルエンドとして設定できます。

入力周波数については表 1 を参照してください。

表 1. 入力周波数仕様

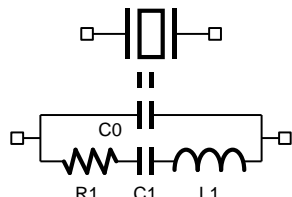
入力周波数	Min.	Max.
水晶発振器	8MHz	48MHz
IN1、2-SE	8MHz	250MHz
IN1、2-DE	8MHz	700MHz

**注:** CY27410 は狭帯域の PLL (VCO) を内蔵しています。そのためスペクトラム拡散クロック (一般的に 0.5~1.0%の変調) などの大きな歪み/ドリフトを持つリファレンス クロックを使用できません。他の異なる周波数から切り替えられた 1 つの周波数もリファレンス クロックとして使用できません。

## 水晶発振器の選定

CY27410 は 8MHz~48MHz の水晶発振器に対応します。水晶発振器の等価回路を図 5 に示します。

図 5. 水晶発振器の等価回路



C0 = 並列容量

C1 = 直列容量

R1 = 等価直列抵抗

CY27410 に対しては表 2 に示す特性を持つ水晶をお勧めします。

表 2. 水晶の等価抵抗および並列容量の値

公称周波数 (MHz)	R1 (最大)	CL (pF)
8~12	150Ω	8~12
12~20	70Ω	8~12
20~48	50Ω	8~12

CL	対応する最大 C0 (pF)
8	2
9	2
10	2
12	3

CY27410 水晶発振回路は低電力 (最大 100 マイクロワットの駆動レベル) かつ高精度バッファを実現しますので水晶の選定は重要です。基板設計者が CY27410 と水晶間の配線ができる限り短くし、配線と水晶の周りに他の信号を配線しないように推奨されます。

## 入力ファレンス ブロック

本節では入力ファレンス信号を CY27410 とインターフェースで接続する方法および入力信号の設計上の注意事項を説明します。

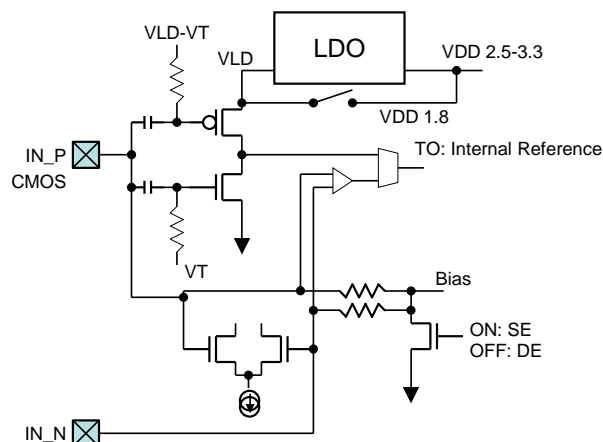
### 入力周波数偏差

CY27410 は狭帯域、高性能かつ低ノイズの PLL を内蔵しています。デバイスは 300ppm より大きい入力クロック偏差を識別できません。そのため偏差が数千 ppm になりうるセラミック共振器はリファレンス水晶として使用できません。またスペクトラム拡散クロックは CY27410 の入力として使用できません。

### 入力回路

図 6 に CY27410 デバイスの入力構造を示します。

図 6. CY27410 の入力構造



シングルエンド (LVCMOS) コンフィギュレーションが選択された時、IN\_P と IN\_N ピンは両方とも GND にプルダウンされ、AC 結合入力信号は上の図に示す P-N-トランジスタに送られます。そして P-および N-トランジスタは VLD-VT および VT レベルにバイアスされます。この電圧差は、ノイズの多い入力に十分なマージンを提供し、クリップされた正弦波用の 0.8Vpp などの、データシートで定義された小さい入力振幅で動作します。

入力 P-N-トランジスタは 5V の電圧耐性があります。VDD コア電源電圧が 1.8V であっても、VDD より高い入力電圧を与えることができます。

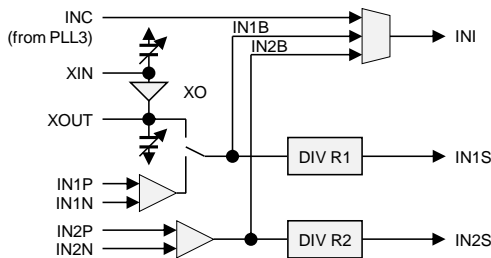
DE (差動) 入力を選択される時、IN\_P と IN\_N は両方とも 1.2V (標準) にバイアスされます。

## 入力リファレンス システム

図 7 に CY27410 の入力リファレンス システムを示しています。IN1 と XO 信号は多重化され、IN1B として内部リファレンスに供給されます。IN2 は ZDB モードでフィードバック入力用に使用するか、または NZDB モードで他の入力リファレンス クロックとして使用することができます。

PLL3 の DIV-C からの出力は専用入力で、同じクロックの 4 つ以上のコピーを必要とする場合に使用されます。

図 7. CY27410 の入力リファレンス システム

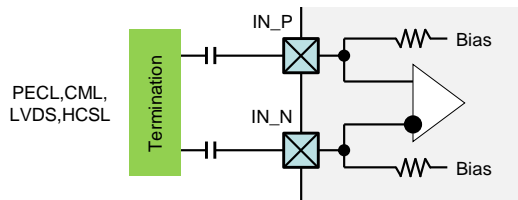


## 差動入力信号

CY27410 は LVPECL、CML、LVDS、HCSL などの様々な差動 I/O 規格に対応します。これらの I/O 規格は異なる共通モード電圧を有します。様々なインターフェース規格用の共通モード電圧 (VCM) は VDD - 1.2V (LVPECL)、VDD - 0.2V (CML)、1.2V (LVDS)、0.4V (HCSL) です。

複数の差動信号を保つために、入力は AC 結合され (直列の 100pF コンデンサ)、終端抵抗は必要に応じて外部に追加する必要があります。図 8 に設計に関する推奨事項を示します。

図 8. 差動 I/O 規格向けの設計推奨事項



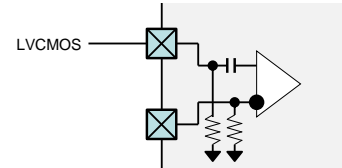
前節で説明したように CY27410 は AC 結合入力で複数の差動信号を受け取ります。入力サイン波振幅は信号が VIH/VIL 仕様を満たすために 300mVpp 以上でなければなりません。

## LVC MOS 入力信号

図 9 に CY27410 の簡略化した LVC MOS 入力バッファ構造を示しています。CMOS 入力信号はデバイス内部で AC 結合されます。サイプレスは最小振幅を 300mVpp とすることをお勧めします。LVC MOS コンフィギュレーションでは、両方の入力は内部でプル ダウンされるため、未使用のピンは CMOS 入力用に開放することができます。

CY27410 の入力回路は過電圧耐性のセルを使用しています。印加される入力電圧が VDD より高くても、信頼性に影響しません。複数の入力電圧レベルを CY27410 に適用できます。異なる電圧の任意の組み合わせは使用可能です (VDD コア = 1.8V、2.5V または 3.3V、入力電圧レベル = 1.8V、2.5V または 3.3V)。

図 9. 簡略化した LVC MOS 入力バッファの構造

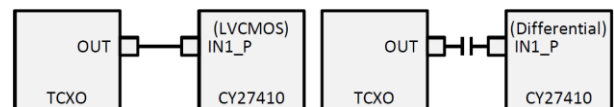


## クリップされた正弦波信号

標準的な TCXO 出力信号はクリップされた正弦波信号です。CY27410 はこの入力信号を LVC MOS と同じ方法で処理します。このデバイスをクリップされた正弦波入力で使用する場合は、機能の動作のみを保証します。データシート パラメーターはクリップされた正弦波入力を使用する場合は適用されません。

CY27410 入力モードが LVC MOS として設定された場合、TCXO と IN1\_P の間に直列コンデンサを使用しないでください (これは一般的に TCXO ベンダーにより推奨されます)。入力を差動動作として設定する場合、直列コンデンサを使用できます。

図 10. TCXO モジュールへの接続



標準的な TCXO 出力信号を図 11 に示します。一般的なピークツーピーク電圧 (V<sub>P-P</sub>) は 0.8V~1.0V です。

図 11. 標準的な TCXO 出力信号





## 出力サブシステム

CY27410 は 2 つの出力バンクを持っています。それぞれのバンクは 6 出力からなります。その内 OUT11~OUT14 および OUT21~OUT24 は差動とシングルエンド出力に対応しており、OUT15~OUT16 および OUT25~OUT26 はシングルエンド出力のみに対応しています。各出力は PLL から分周器を介してマルチプレクサに供給され、図 12 と図 13 に示すように、出力のソースを選択するために使用されます。

図 12. 出力バンク 1

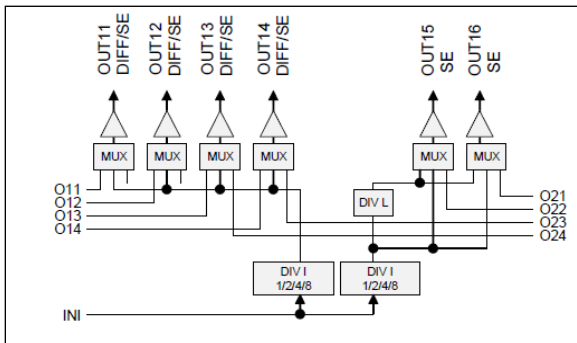
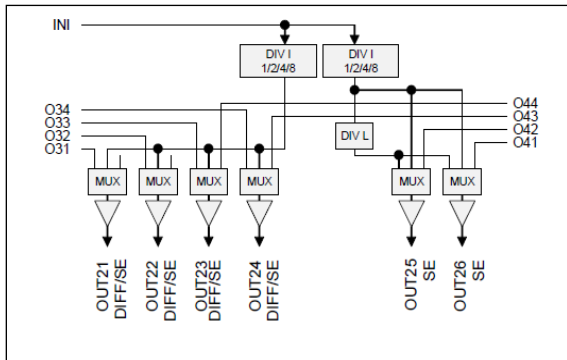


図 13. 出力バンク 2



## 出力終端

CY27410 は LVCMOS、LVPECL、CML、LVDS と HCSL 規格の出力に対応します。本節では出力に推奨される終端回路について説明します。

## HCSL 出力規格

HCSL インターフェース規格は差動 I/O 規格であり、PCIe SIG 規格で定義されます。図 14 に、標準的なインターフェース終端を示し、表 3 に、推奨される配線長パラメーターおよび終端抵抗をまとめます。

図 14. 標準的な HCSL インターフェース終端

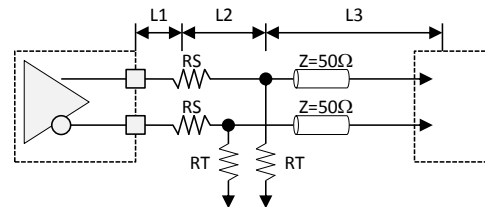


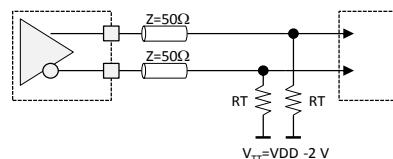
表 3. HCSL インターフェース パラメーター

パラメーター	値	単位
L1 長さ	0.5 (最大)	インチ
L2 長さ	0.2 (最大)	インチ
L3 長さ	10	インチ
RS	33 (電源電圧 3.3V または 2.5V)	オーム
RS	20 (電源電圧 1.8V)	オーム
RT	49.9	オーム

## LVPECL 出力規格

LVPECL 規格シグナリング レベルは差動 I/O 規格で、JEDEC JESD8-2 (ECL) で定義されます。図 15 にこの規格の標準的な終端方式を示します。

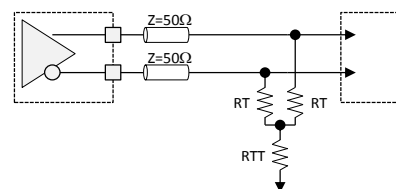
図 15. LVPECL 出力終端方式



上記の方式では、 $RT = 50 \Omega$  です。

$V_{DD} - 2V$  (3.3V 動作の 1.3V) は生成することが難しい場合があるため、その代わりに Y 終端を使用することができます (図 16 を参照)。

図 16. Y 終端方式

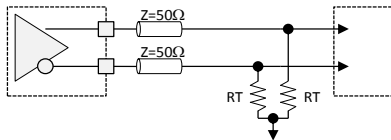


上記の方式では、 $R_T=50\Omega$  は  $R_{TT}$  値を得ます:

$$R_{TT} = \left[ \frac{1}{((V_{OH} + V_{OL}) + (V_{DD} - 2)) - 2} \right] \times Z_0$$

図 17 に単純な終端方式を示します。この方式は非常に短い配線長の時に時々使用されますが、常に推奨されるものではありません。

図 17. 単純な LVPECL 終端方式



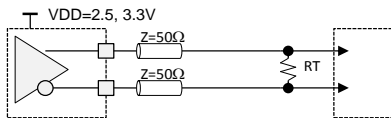
上記の方式では、 $R_T=150\Omega$  です。

注:  $V_{DD}=1.8V$  は LVPECL 規格に適用できません。

## LVPECL 出力規格

LVDS シグナリング規格も差動 I/O 規格の 1 つで TIA/EIA-644-A (JEDEC 規格) で定義されます。その標準的な終端を図 18 に示します。

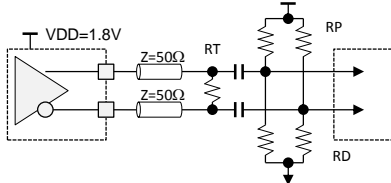
図 18. LVDS シグナリング終端 (2.5V、3.3V)



出力 (OUTxP と OUTxN) は  $100\Omega$  抵抗 ( $R_T=100\Omega$ ) を介してお互いに接続する必要があります。

$V_{DD}=1.8V$  動作の場合、ユーザーは  $0.1\mu F$  直列コンデンサを使用することで AC 結合を行い、終端抵抗を使用することで終端をバイアスする必要があります。図 19 にそのような終端方式を示します。

図 19. LVDS シグナリング終端 (1.8V)



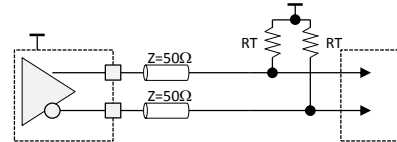
上記の方式では、 $R_T=100\Omega$  です。

$R_P$  と  $R_D$  は  $1.2V$  (標準値) の VCM (コモン モード電圧) を満たすように選択する必要があります。

## CML 出力規格

CML インターフェースは差動 I/O 規格の 1 つで、IEEE 802.3 仕様に定義されます。図 20 にこの規格の終端方式を示します。

図 20. CML シグナリング終端

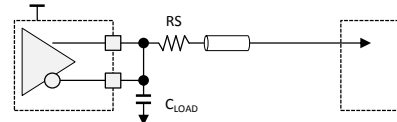


上の図では、 $R_T=50\Omega$  で、 $V_{DD}$  に終端する必要があります。

## 差動出力を LVCMOS として使用

CY27410 デバイスは高度に柔軟なため、差動出力をシングル エンド モードで 사용할ことが可能になります。図 21 にそれを示します: OUTxP と OUTxN は LVCMOS 出力のために相互に接続する必要があります。

図 21. 差動出力を LVCMOS 規格として使用



$R_S$  はインピーダンス整合のために適切に選択する必要があります。

$C_{LOAD}$  は回路全体の負荷容量を示します。

## 付加機能

CY27410 は出力位相調整回路、電圧コントローラ周波数シフト (VCFS)、スペクトラム拡散クロック ジェネレーター (SSCG)、カスケード接続 PLL などの付加機能をサポートします。

## 出力の位相遅延

CY27410 は出力に一定の遅延を設定することが可能です。この機能は CLOCKGEN モードと ZDB モードの両方で使用できます。この機能は複数の ASIC と SoC がクロック間に一定の遅延を必要とするようなものです。

次の式で遅延回路の 1 周期単位を導きます。

$$t_{DL} = \frac{2}{f_{VCO}}$$

ここに、 $t_{DL}=1$  遅延単位

例:  $f_{VCO}=3.0GHz$  であれば、 $t_{DL} = 0.666ns$  となります。

図 22 に遅延回路の概念図を示します。

図 22. 位相遅延回路の例

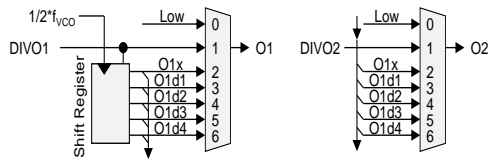
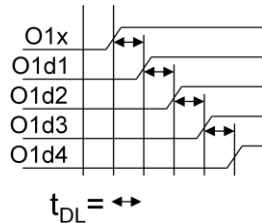


図 23. 位相遅延のタイミング図



CY27410 は最大 4 単位 ( $t_{DL}$ ) の遅延をサポートします。

O1 と O2 (O3、O4) に同じ DIVO (上記の O<sub>x</sub>) 値を選択しても出力の同期は保証されません。同期出力を得るためには、他の出力に O1<sub>x</sub> を使用してください。

ほとんどの ZDB 出力はすべての出力に O1<sub>x</sub> を使用する必要があります。ただしユーザーがフィードバックとして遅延出力を意図的に選択した場合、以下に説明する位相を前後させたクロックを得ることができます。

図 24. CY27410 出力位相のタイミング

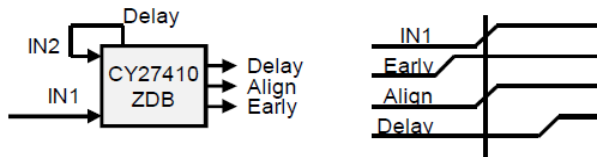


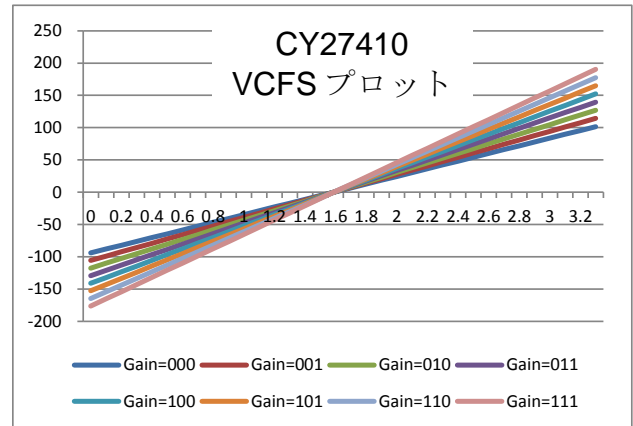
図 24 で示す例では、1 つの遅延出力 (O1d1) は IN2 にフィードバックされ、選択された初期クロックは O1<sub>x</sub> で、選択された遅延出力は O1d3 です。

CLKGEN モードでは、この遅延回路を使って  $N (x t_{DL})$  遅延位相クロックを生成できます。いくつかのスキューを調整するか、または固定遅延位相を必要とするアプリケーションでは、この機能を使用することができます。例えば基板の配線遅延が 175 ピコ秒/インチである場合、4 インチの遅延は 700 ピコ秒になります。

## 電圧制御周波数シフト (VCFS)

CY27410 は VCFS 機能を使用して水晶発振器に見られる VCXO 機能を模倣します。このデバイスは最大 120ppm まで PLL (VCO) 周波数を変調します。この変調は完全にプログラマブルなものです。VCFS シフト プロファイルについては、[図 26](#) を参照してください。

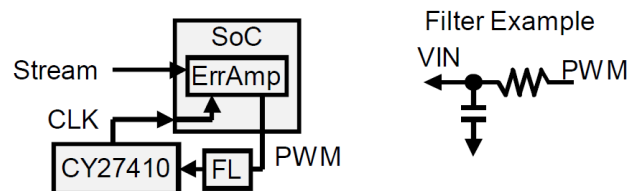
図 25. VCFS シフト プロファイル



## VCFS の応用例

いくつかのアプリケーションでは、出力クロック周波数をアナログ フィードバックを使って入力データ ストリームに追従させる必要があります。CY27410 デバイスは [図 26](#) に示す大きな位相ロック ループの一部として機能します。ASIC または SoC は入力ストリームを追跡してエラーを計算して PWM 信号を生成します。そして周波数チューニングのためのエラー情報はローカル クロック ジェネレーター (CY27410) にフィードバックされます。

図 26. VCFS の応用例



VCFS 機能が PLL 周波数を変更しますので、周波数引き込み特性は水晶の特性、温度、電圧、デバイス プロセスのどれにも依存しません。

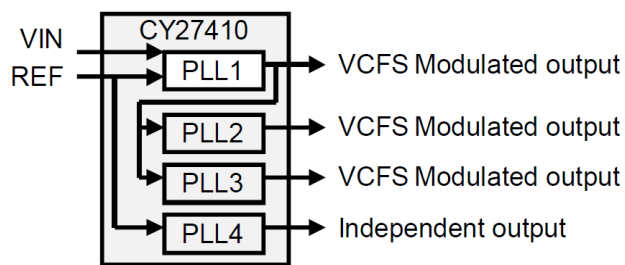
VCFS 変調プロファイルは正確に線形のもので、ユーザーはクロック リファレンスも使用できます。



## PLL のカスケード接続

CY27410 では 1 つの PLL 出力を他の PLL 入力として利用できます。この機能は PLL カスケード接続と呼ばれます。この機能は 2 つの PLL から複数の分周器を使って非常に正確な周波数を生成するために使用できます。また 1 つの PLL に VCFS 変調をかけ他の PLL に供給することもできます。したがって周波数の変更に追従する複数の周波数を生成することもできます。図 27 に PLL のカスケード接続を示します。PLL1 を VCFS モードに設定しその出力を PLL2 と PLL3 にカスケード接続します。PLL4 は変調をかけない固定周波数ジェネレーターとして機能します。

図 27. PLL のカスケード接続

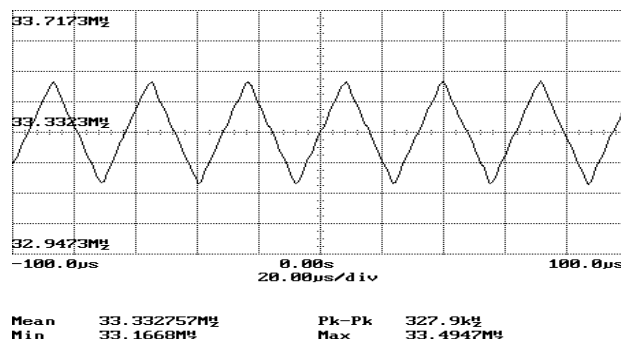
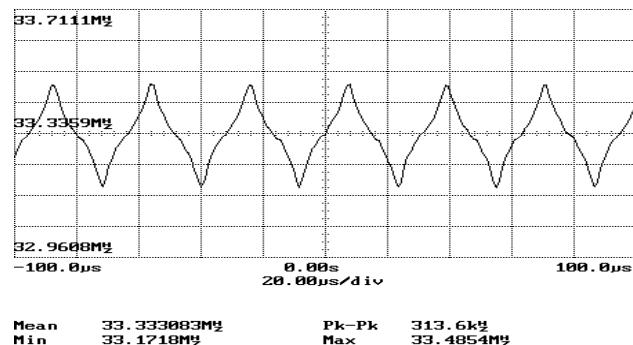


## SSCG (スペクトラム拡散クロック ジェネレーター)

CY27410 のスペクトラム拡散機能は EMI/EMC に関する心配を減らします。このデバイスは線形と非線形拡散プロファイルの両方をサポートします。Lexmark 社が特許権を持つ Lexmark プロファイルを非線形プロファイルとして使用することで、EMI のピークを業界で最も良い水準で低減します。

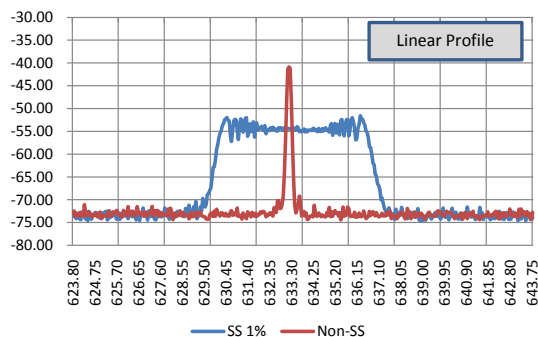
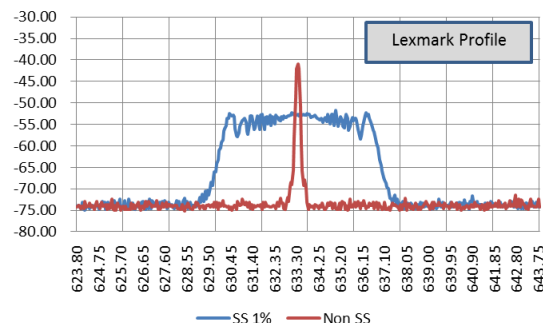
図 28 にモジュレーションドメインアナライザーの画面を示します。時間が X 軸、周波数が Y 軸で表わされます。

図 28. スペクトラム拡散クロック ジェネレーターのプロファイル



スペクトラムは非線形プロファイルでは平坦になり、線形プロファイルでは端でレベルが上昇するものです。図 29 では、非拡散スペクトラム プロファイルを赤で示し、変調された非線形 (Lexmark) および線形変調スペクトラム (633MHz での約 10dB ピーク低減) を青で示します。

図 29. CY27410 でサポートされるスペクトラム 拡散プロファイル

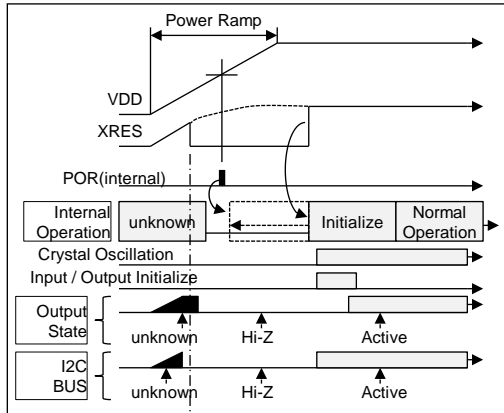


## 電源投入シーケンス

CY27410 は 1 個の CPU を内蔵しています。電源電圧 (VDD) が立ち上がる間に、CPU は自身の内部設定、入力コンフィギュレーション、出力規格、出力ドライバー設定などを初期化します。

CPU 起動前にすべての入出力は不定状態にあります。図 30 に起動シーケンスを示します。

図 30: 起動シーケンス

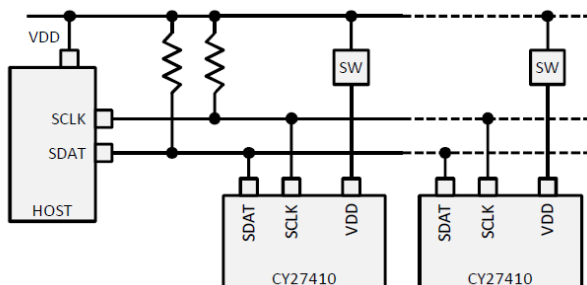


## 電源電圧の立ち上がり

CY27410 は電源電圧が規定の電圧に達してから動作を始めることを確保するため、タイミング シーケンス条件があります。CY27410 データシートをご参照ください。システムがこの仕様を満たせない場合、正常起動を確保するために XRES (アクティブ LOW) 信号を用意します。

XRES がアサートされている間、CY27410 は低消費電力モードに入ります。XRES が解除されて初期化が完了するまで、出力と I<sup>2</sup>C バス信号は高インピーダンス (Hi-Z) 状態にあります。図 31 に電源電圧の立ち上がり中のバス信号に関する注意点を示します。

図 31: I<sup>2</sup>C バス信号に関する注意点



本節では電源電圧の立ち上がり中の I<sup>2</sup>C 動作について説明します。I<sup>2</sup>C インターフェースの詳細は「CY27410 のプログラミング」節で説明します。

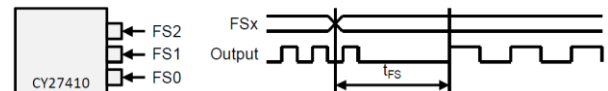
VDD が約 0.7V~0.9V の間に電源スイッチが操作される場合、CY27410 の SCK 信号が LOW のままになることがあります。そのため I<sup>2</sup>C バス トランザクションはこの動作による影響を受ける可能性があります。CY27410 の電源スイッチを操作する時に細心の注意を払う必要があります。

## 周波数選択 (FS)

CY27410 は個々のコンフィギュレーションを含む最大 8 つのユーザー プロファイルをサポートします。FS ピンの遷移については、CY27410 は高速スイッチングおよび低速スイッチングという 2 つのタイミング仕様が適用されます。

高速スイッチングは出力のオン/オフ、出力分周数の変更、出力マルチプレクサ設定の変更に適用可能です。低速スイッチングは PLL のオン/オフを含む PLL パラメーターの変更に適用可能です。名前のとおり、出力は高速スイッチングでは速く変化し、低速スイッチングでは遅く変化します。それぞれの場合出力はグリッチ無くにオン/オフされます。図 32 に FS と出力クロック間のタイミングを示します。詳細はデバイスデータシートを参照してください。

図 32: 周波数選択動作



## 電源電圧の立ち上がりに関する注意事項

CY27410 は 1 個の内部 CPU を内蔵し、正しい動作のために信頼性の高い POR (パワーオン リセット) を要求します。電源電圧の立ち上がり時間が仕様に規定される値より長い場合、このデバイスは XRES 信号を必要とします。

## 複数の電源ドメイン

CY27410 は 6 つの異なる種類の電源ピンを有します。VDD、VDDIO1D、VDDIO1S、VDDIO2D、VDDIO2S、VCCD があります。VDD はコア電源で、VDDIOx は I/O 用の電源です。VCCD はアナログ電源です。電源はシーケンス要件がありませんが、VDD と VCCD は単調でなければなりません。

## 電源のフィルター処理

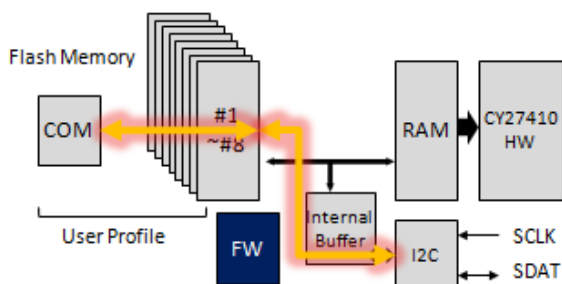
電源のフィルター処理は信号品質を確保するために特に重要なものです。それぞれの VDD と VDDIO ピンには、ピンの近くに 0.1μF コンデンサと 2.2μF 以上のコンデンサを配置する必要があります。

VCCD はこのデバイスの追加の電源ピンです。デバイスの内部電源電圧は 1.8V なので、コア電源電圧 (VDD および VDDA) に 2.5V または 3.3V の範囲を使用する時、このピンは LDO 出力となります。したがってユーザーはこのピンの近くに 0.1μF コンデンサを接続する必要があります。外部ソースからの電源を接続してはいけません。ただし 1.8V の電圧でデバイスを使用する場合内部 LDO がバイパスされるため、このピンはコア用に外部で生成される 1.8V 電源電圧を必要とし、0.1μF コンデンサをこのピンの近くに接続する必要があります。

## 内部メモリの構造

図 33 に CY27410 デバイスの内部メモリ構造を示します。このデバイスは 1 個の不揮発性 (NV) と 1 個の揮発性 (RAM) を内蔵しています。RAM は CY27410 ハードウェアを直接制御します。内部ハードウェア通信バッファは I<sup>2</sup>C 通信を処理します。

図 33: 内部メモリの構造



## CY27410 のプログラミング

CY27410 のプログラミングは I<sup>2</sup>C バス インターフェースを使用して行われます。

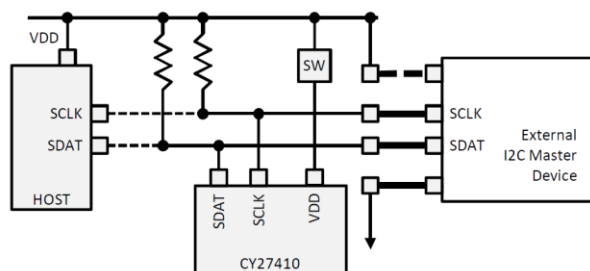
### 実装基板上のプログラミング

オンボードプログラミングは基板にあるホストにより行われます。このホストはコマンドとデータ (COM、FS および、I<sup>2</sup>C アドレス、読み出し/書き込み保護などの他の情報を含む) を介して CY27410 と通信します。

### 外部 I<sup>2</sup>C マスターの使用

サイプレスの MiniProg™、TT-Bridge™または他の I<sup>2</sup>C 認定のデバイスなどの外部 I<sup>2</sup>C マスター デバイスを使用して、システム上の一度もプログラムされていない CY27410 デバイスにユーザー コンフィギュレーションをプログラムすることができます。

図 34. 外部 I2C マスターを使用して CY27410 をプログラム



## 結論

CY27410 は民生用、産業用、ネットワーキング アプリケーション向けの 4PLL スペクトラム拡散クロック ジェネレータです。その優れた仕様および、電圧制御水晶発振器 (VCXO)、周波数選択、ゼロ/非ゼロ遅延バッファ (ZDB/NZDB) モードなどの付加価値のある機能により、このデバイスは多くのアプリケーションに理想的な選択肢となります。

## 改訂履歴

文書名: CY27410/30: 4PLL スペクトラム拡散クロック ジェネレーターの手引き – AN94024

文書番号: 001-98158

版	ECN	変更者	発行日	変更内容
**	4837672	HZEN	07/15/2015	これは英語版 001-94024 Rev. **を翻訳した日本語版 001-98158 Rev. **です。
*A	5831960	AESATP12	07/25/2017	ロゴと著作権を更新しました。

## ワールドワイドな販売と設計サポート

サイプレスは、事業所、ソリューション センター、メーカー代理店および販売代理店の世界的なネットワークを保持しています。お客様の最寄りのオフィスについては、[サイプレスのロケーション](#) ページをご覧ください。

### 製品

ARM® Cortex® Microcontrollers	<a href="http://cypress.com/arm">cypress.com/arm</a>
車載用	<a href="http://cypress.com/automotive">cypress.com/automotive</a>
クロック&バッファ	<a href="http://cypress.com/clocks">cypress.com/clocks</a>
インターフェース	<a href="http://cypress.com/interface">cypress.com/interface</a>
IoT (モノのインターネット)	<a href="http://cypress.com/iot">cypress.com/iot</a>
メモリ	<a href="http://cypress.com/memory">cypress.com/memory</a>
マイクロコントローラ	<a href="http://cypress.com/mcu">cypress.com/mcu</a>
PSoC	<a href="http://cypress.com/psoc">cypress.com/psoc</a>
電源用 IC	<a href="http://cypress.com/pmic">cypress.com/pmic</a>
タッチ センシング	<a href="http://cypress.com/touch">cypress.com/touch</a>
USB コントローラー	<a href="http://cypress.com/usb">cypress.com/usb</a>
ワイヤレス	<a href="http://cypress.com/wireless">cypress.com/wireless</a>

### PSoC®ソリューション

[PSoC 1](#) | [PSoC 3](#) | [PSoC 5LP](#) | [PSoC 6](#)

### サイプレス開発者コミュニティ

[フォーラム](#) | [WICED IOT Forums](#) | [Projects](#) | [ビデオ](#) | [ブログ](#)  
| [トレーニング](#) | [Components](#)

### テクニカル サポート

[cypress.com/go/support](http://cypress.com/go/support)

本書で言及するその他すべての商標または登録商標は、それぞれの所有者に帰属します。



Cypress Semiconductor  
198 Champion Court  
San Jose, CA 95134-1709

©Cypress Semiconductor Corporation, 2015-2017. 本書面は、Cypress Semiconductor Corporation 及び Spansion LLC を含むその子会社（以下「Cypress」という。）に帰属する財産である。本書面（本書面に含まれ又は言及されているあらゆるソフトウェア若しくはファームウェア（以下「本ソフトウェア」という。）を含む）は、アメリカ合衆国及び世界のその他の国における知的財産法令及び条約に基づき Cypress が所有する。Cypress はこれらの法令及び条約に基づく全ての権利を留保し、本段落で特に記載されているものを除き、その特許権、著作権、商標権又はその他の知的財産権のライセンスを一切許諾しない。本ソフトウェアにライセンス契約書が伴っておらず、かつ Cypress との間で別途本ソフトウェアの使用方法を定める書面による合意がない場合、Cypress は、(1) 本ソフトウェアの著作権に基づき、(a) ソースコード形式で提供されている本ソフトウェアについて、Cypress ハードウェア製品と共に用いるためにのみ、かつ組織内部でのみ、本ソフトウェアの修正及び複製を行うこと、並びに (b) Cypress のハードウェア製品ユニットに用いるためにのみ、（直接又は再販売者及び販売代理店を介して間接のいずれかで）本ソフトウェアをバイナリコード形式で外部エンドユーザーに配布すること、並びに (2) 本ソフトウェア（Cypress により提供され、修正がなされていないもの）が抵触する Cypress の特許権のクレームに基づき、Cypress ハードウェア製品と共に用いるためにのみ、本ソフトウェアの作成、利用、配布及び輸入を行うことについての非独占的で譲渡不能な一身専属的ライセンス（サブライセンスの権利を除く）を付与する。本ソフトウェアのその他の使用、複製、修正、変換又はコンパイルを禁止する。

**適用される法律により許される範囲内で、Cypress は、本書面又はいかなる本ソフトウェア若しくはこれに伴うハードウェアに関しても、明示又は黙示を問わず、いかなる保証（商品性及び特定の目的への適合性の黙示の保証を含むがこれらに限られない）も行わない。**いかなるコンピューティングデバイスも絶対に安全ということはない。従って、Cypress のハードウェアまたはソフトウェア製品に講じられたセキュリティ対策にもかかわらず、Cypress は、Cypress 製品への権限のないアクセスまたは使用といったセキュリティ違反から生じる一切の責任を負わない。加えて、本書面に記載された製品には、エラッタと呼ばれる設計上の欠陥またはエラーが含まれている可能性があり、公表された仕様とは異なる動作をする場合がある。適用される法律により許される範囲内で、Cypress は、別途通知することなく、本書面を変更する権利を留保する。Cypress は、本書面に記載のある、いかなる製品若しくは回路の適用又は使用から生じる一切の責任を負わない。本書面で提供されたあらゆる情報（あらゆるサンプルデザイン情報又はプログラムコードを含む）は、参照目的のためのみに提供されたものである。この情報で構成するあらゆるアプリケーション及びその結果としてのあらゆる製品の機能性及び安全性を適切に設計、プログラム、かつテストすることは、本書面のユーザーの責任において行われるものとする。Cypress 製品は、兵器、兵器システム、原子力施設、生命維持装置若しくは生命維持システム、蘇生用の設備及び外科的移植を含むその他の医療機器若しくは医療システム、汚染管理若しくは有害物質管理の運用のために設計され若しくは意図されたシステムの重要な構成部分としての使用、又は装置若しくはシステムの不具合が人身傷害、死亡若しくは物的損害を生じさせるようなその他の使用（以下「本目的外使用」という。）のためには設計、意図又は承認されていない。重要な構成部分とは、その不具合が装置若しくはシステムの不具合を生じさせるか又はその安全性若しくは実効性に影響すると合理的に予想できるような装置若しくはシステムのあらゆる構成部分をいう。Cypress 製品のあらゆる本目的外使用から生じ、若しくは本目的外使用に関連するいかなる請求、損害又はその他の責任についても、Cypress はその全部又は一部を問わず一切の責任を負わず、かつ Cypress はそれら一切から本書により免除される。Cypress は Cypress 製品の目的外使用から生じ又は本目的外使用に関連するあらゆる請求、費用、損害及びその他の責任（人身傷害又は死亡に基づく請求を含む）から免責補償される。

Cypress, Cypress のロゴ, Spansion, Spansion のロゴ及びこれらの組み合わせ, WICED, PSoC, Capsense, EZ-USB, F-RAM, 及び Traveo は、米国及びその他の国における Cypress の商標又は登録商標である。Cypress のより完全な商標のリストは、[cypress.com](http://cypress.com) を参照すること。その他の名称及びブランドは、それぞれの権利者の財産として権利主張がなされている可能性がある。