

## AN94024

### CY27410/30 入门：具有 4 个 PLL 的扩频时钟发生器

作者：Hiromu Takehara、Jeetendra Ashok、Amitava Banerjee

相关项目：无

相关器件系列：CY27410

软件版本：N/A

相关应用笔记：AN93892、AN94074

如果需要本应用笔记的最新版本，请访问 <http://www.cypress.com/go/AN94024>。

赛普拉斯的新一代高性能时钟发生器（CY27410）是一个具有 4 个 PLL、12 个输出并符合 PCIe 3.0 标准的器件，它能提供一系列附加特性。本应用笔记介绍了如何将器件配置为时钟发生器模式和缓冲区模式，并且也对输入/输出标准、外设设计的注意事项、包含晶体的参考选项以及内部存储器结构等各项内容进行了详细说明。

## 目录

概况.....	2	级联 PLL.....	9
关键规范.....	2	SSCG（扩频时钟发生器）.....	9
各种操作模式.....	2	上电序列.....	10
CLKGEN 模式.....	2	电源上升阶段.....	10
ZDB 模式.....	3	频率选择（FS）.....	10
NZDB 模式.....	3	电源上升注意事项.....	10
输入子系统.....	3	内存结构.....	11
选择晶体.....	4	编程 CY27410.....	11
输入参考模块.....	4	结论.....	11
输入频率容差.....	4	文档修订记录.....	12
输入电路.....	4	全球销售和设计支持.....	13
输入参考系统.....	5	产品.....	13
差分输入信号.....	5	PSoC® 解决方案.....	13
LVCMOS 输入信号.....	5		
截断的正弦波信号.....	5		
输出子系统.....	6		
输出终端.....	6		
HCSL 输出标准.....	6		
LVPECL 输出标准.....	6		
LVDS 输出标准.....	7		
CML 输出标准.....	7		
差分输出作为 LVCMOS 使用.....	7		
其他性能：.....	7		
输出的相位延迟.....	7		
电压控制的频率移位（VCFS）.....	8		

## 概况

CY27410 是一个具有 4 个 PLL 的扩频时钟发生器，可用于消费类、工业级和网络应用。CY27410 包含两个输入和 12 个输出，其工作频率最高达 700 MHz，RMS 相位抖动较低（最大值为 1 ps）。该器件提供了压控晶体振荡器（VCXO）、频率选择以及有/无延迟缓冲器（ZDB/NZDB）模式等多项附加功能。该器件为 PCI Express（PCIe）1.0/2.0/3.0、USB2.0/3.0 和 10 千兆以太网（GbE）等关键接口标准提供了参考时钟。

本应用笔记介绍了如何在不同应用和器件模式下配置该器件。此外，它还说明了该器件的 I<sup>2</sup>C 接口、信号电平以及外部设计的注意事项。

CY27410 具有三个主要的操作模式，分别为：时钟发生器（CLKGEN）模式、零延迟缓冲器（ZDB）模式以及非零延迟缓冲器（NZDB）模式。在时钟发生器模式下，通过使用外部参考时钟或晶体的内部 PLL，该器件可生成多个时钟频率。在 ZDB 模式下，该器件可以生成与输入时钟相同的时钟频率，也可以生成该频率乘以整数或整数倒数所得到的频率（它与输入信号间几乎没有延迟）。在 NZDB 模式下，该器件不使用 PLL，而是通过额外分频器将输入信号缓存在输出端。

CY27410 器件还对输出提供了多项附加特性，如：相位延迟、电压控制器频率合成（VCFS）、扩频、频率选择以及无干扰输出。

## 关键规范

- 输入频率
  - 晶振输入：8 MHz ~ 48 MHz
  - 参考时钟：8 MHz ~ 250 MHz（LVCMOS 输入）
  - 参考时钟：8 MHz ~ 700 MHz（差分输入）
- 输出频率
  - LVDS、LVPECL、主机时钟信号电平（HCSL）、电流模式逻辑（CML）25 - 375 MHz、400 - 500 MHz、600 - 700 MHz）
  - LVCMOS 输出的频率：3 MHz ~ 250 MHz
  - 某个 LVCMOS 输出的频率：1 kHz ~ 8 MHz
- 在 12 kHz 到 20 MHz 偏移范围内，RMS 相位抖动小于 1 ps（最大值）
- 符合 PCIe 1.0/2.0/3.0、SATA 2.0、USB 2.0/3.0、1/10 GbE 标准

- 将最多 12 个输出分为两组，每一组包含六个输出。
  - 多达八个差分输出对（HCSL、LVPECL、CML 或 LVDS）
  - 多达 12 个 LVCMOS 输出
- 每一组的差分输出间存在 75 ps 的歪斜度
- 四个分数 N 型 PLL，支持：
  - VCXO（+/-120 ppm）
  - 扩频功能（逻辑 SS 和 Lexmark 配置文件的扩频比例为 0.1%到 5%（步长为 0.1%），且为向下扩频或中心扩频）
- 供电电压：1.8 V、2.5 V 和 3.3 V
- ZDB/NZDB 配置
- 通过 I<sup>2</sup>C 和板上编程，可以配置器件
- 工业级和汽车级器件
- 48-QFN 封装。

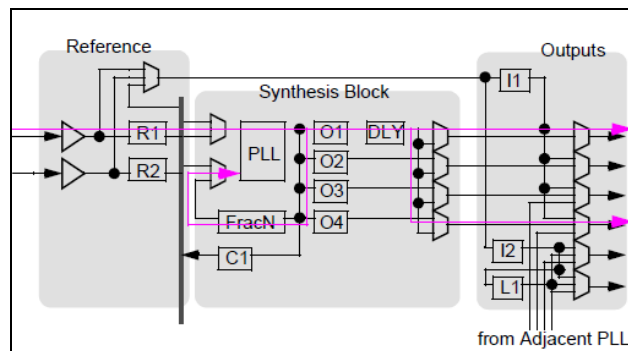
## 各种操作模式

CY27410 器件支持 CLKGEN、ZDB、和 NZDB 三种操作模式。也可以将该器件配置为 CLKGEN 与 ZDB、CLKGEN 与 NZDB 以及 ZDB 与 NZDB 的组合模式。

### CLKGEN 模式

图 1 显示的是 CLKGEN 模式下的 PLL 框图。在该模式下，CY27410 会通过一个参考晶振或时钟输入生成多个时钟频率。此外，该器件的四个 PLL 可生成多达四个互不关联的时钟频率。每个 PLL 又有四个独立的分频器，因此一个 PLL 可以产生多达四个不同的相关频率。如果 PLL 在 VCO 的 2.4 GHz 至 3.0 GHz 范围内，那么两个时钟频率之间没有公倍数，那么它们被称为互不相关频率。

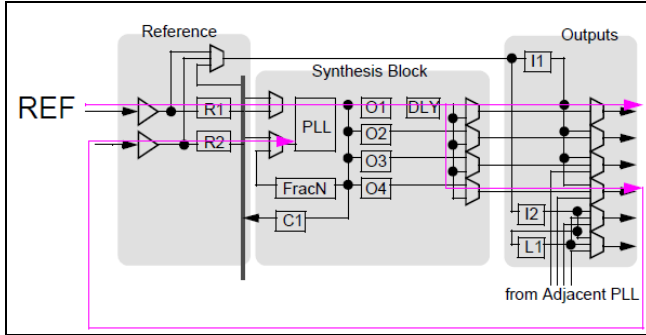
图 1：时钟发生器配置



## ZDB 模式

在 ZDB 模式下，将输入信号传输到输出模块内时，该器件将作为一个无传输延迟的器件运行，如图 2 所示。为了实现该功能，CY27410 需要使用一个输出模块的反馈时钟来跟踪它的相位。

图 2. ZDB 配置



输入频率范围（单端）：8 MHz ~ 250 MHz

输入频率范围（差分）：8 MHz ~ 300 MHz

ZDB 输入/输出间的延迟时间通常小于 250 ps。CY27410 也可以通过准确修改 R1 或 R2 的值，分别提供倍频/分频 ZDB 配置。

$R1 = R2$  时，输出频率等于 IN1 频率； $R1 = R2/2$  时，则输出频率为 IN1 频率的两倍。CY27410 的 R1 和 R2 值可以为 1、2、4 或 8，因此您可以将 CY27410 配置为 ZDB 模式，使之具有倍频/分频功能。

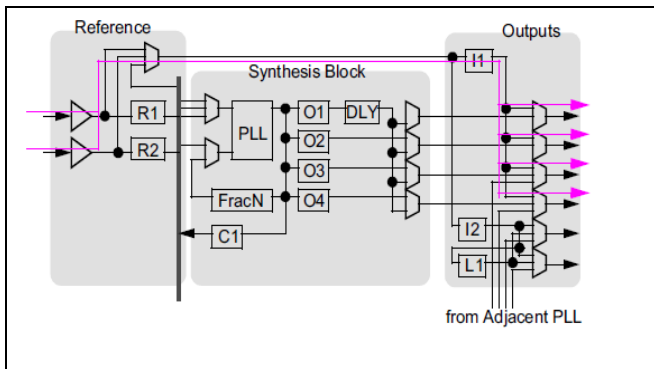
## NZDB 模式

在 NZDB 模式下，将参考时钟的输入信号传输给输出模块时，该器件作为一个简单缓冲区，也被称为扇出缓冲器。在 NZDB 模式下，不会使用 PLL，这样器件作为一个扇出缓冲区运行，如图 3 所示。

输入频率范围（单端）：8 MHz ~ 250 MHz

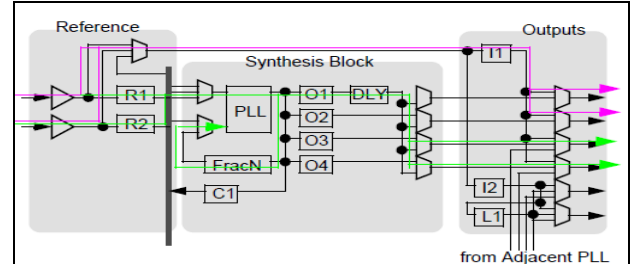
输入频率范围（差分）：8 MHz ~ 700 MHz

图 3. NZDB 配置



也可以将该器件配置为 CLKGEN 与 ZDB、CLKGEN 与 NZDB 以及 ZDB 与 NZDB 的组合模式。这样，客户可以非常灵活地配置器件。图 4 显示了如何将 CY27410 配置为 CLKGEN 和 NZDB 模式。

图 4. CLKGEN 和 NZDB 的配置



## 输入子系统

该设备可同时接收晶体和参考输入。晶体输入引脚分别为 XIN 和 XOUT，它们被连接到晶体振荡器模块，用以 VCO 提供时钟。受支持的差分调试电容范围为 8 pF 到 12 pF。

该器件也支持 IN1P、IN1N、IN2P 和 IN2N 四个参考输入引脚。通过设计这些引脚，可以接收到参考输入（该参考输入可以是单端时钟，也可以是差分时钟）。

IN1 复用 IN1（时钟信号：单端或差分）或晶体振荡器。

可将 IN2 配置为差分或单端输入。

对于输入频率规范，请参见表 1。

表 1. 输入频率规范

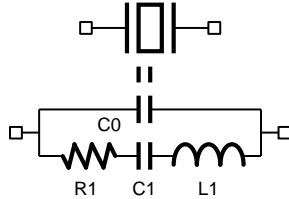
输入频率	最小值	最大值
晶体	8 MHz	48 MHz
IN1、2-SE	8 MHz	250 MHz
IN1、2-DE	8 MHz	700 MHz

**注意：**CY27410 采用了一个带宽较小的 PLL（VCO）。因此，您不能使用具有较大的失真/漂移的参考时钟；例如，扩频时钟（通常调整 0.5 到 1.0%）。也不能将某个频率切换为另一个（不同的）频率以作为参考时钟。

## 选择晶体

CY27410 支持一个晶振输入，其频率范围为 8 MHz 到 48 MHz。图 5 显示的是等效晶振电路以及各个组件。

图 5. 晶振电路和 L-R-C 组件



C0 = 晶振并联电容

C1 = 晶体动态电容

R1 = 等效串联电阻

对于 CY27410 器件，建议使用表 2 中所示的晶振和参数。

表 2. 晶振的等效电阻值和并联电容值

额定频率 (MHz)	R1 (最大值)	CL (pF)
8 ~ 12	150 $\Omega$	8 ~ 12
12 ~ 20	70 $\Omega$	8 ~ 12
20 ~ 48	50 $\Omega$	8 ~ 12

所有范围的 CL	相关最大的 C0 (pF)
8	2
9	2
10	2
12	3

CY27410 晶体振荡器电路实现了一个低功耗（最高驱动电平为 100  $\mu$ W）且高精度的缓冲器，因此选择晶体非常重要。布局设计师应该尽量缩短 CY27410 和晶体之间的走线长度，并且不应在走线和晶体周围路由任何有效信号。

## 输入参考模块

本节介绍了将输入参考信号连接到 CY27410 的方法以及设计输入信号过程中需要注意的事项。

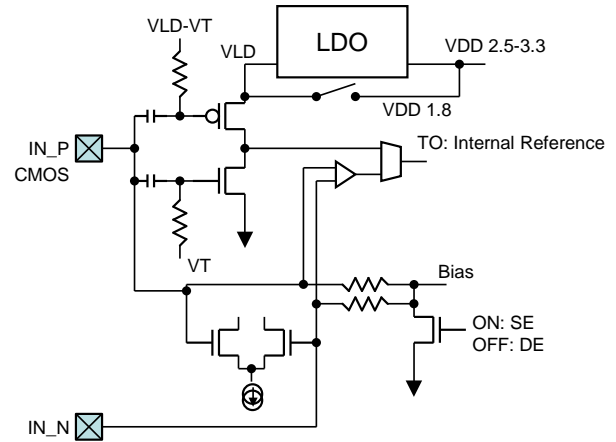
### 输入频率容差

该 CY27410 设计包含了窄带宽、高性能以及低噪声的 PLL。该器件无法跟踪超过 300 ppm 的输入时钟容差。因此，变化幅度达上千 ppm 的陶瓷谐振器不能作为参考晶振使用。而且，扩频时钟也不能作为 CY27410 的输入。

### 输入电路

图 6 显示的是 CY27410 器件的输入结构

图 6. CY27410 的输入结构



选择单端（LVCMOS）配置时，IN\_P 和 IN\_N 引脚均被下拉到 GND，而且交流耦合的输入信号被馈送给 P-和 N- 晶体管，如上图所示。因此 P-和 N- 晶体管都偏置为固定电平（VLD-VT 和 VT）。该电压差为嘈杂的输入提供了足够的储备电压，并在数据手册中定义的较小输入幅度范围内工作，例如，输入的小幅度等于截断正弦波的  $V_{p-p}$  的 0.8 倍。

输入 P-N-晶体管能接受较高的电压（5 V）。即使 VDD 核心供电电压为 1.8 V，您仍能采用超过 VDD 的输入电压。

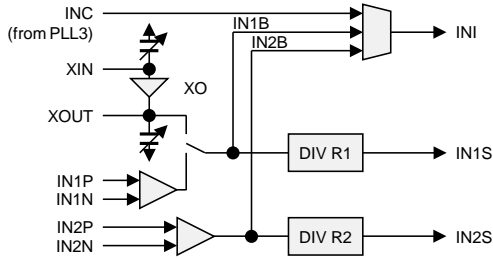
选择 DE（差分）输入时，IN\_P 和 IN\_N 引脚均被偏置为特定电平（典型值为 1.2 V）。

## 输入参考系统

图 7 显示了 CY2741 的输入参考系统。IN1 和 XO 信号将被复用，并作为 IN1B 馈送给内部参考。IN2 在 ZDB 模式下可以作为反馈输入，在 NZDB 模式下可以作为其他输入参考时钟。

PLL3 的 DIV-C 输出是专用输入，如果您需要多于四个相同的复制时钟，请使用它。

图 7. CY27410 的输入参考系统

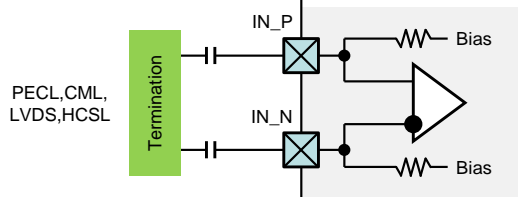


## 差分输入信号

CY27410 支持如 LVPECL、CML、LVDS 以及 HCSL 的各种差分 I/O 标准。这些 I/O 标准具有不同的共模电压。各种接口标准的共模电压 (VCM) 分别为：VDD - 1.2 V (LVPECL)，VDD - 0.2 V (CML)，1.2 V (LVDS) 以及 0.4 V (HCSL)。

为了维持多个差分信号，输入信号必须为交流耦合的输入（大小为 100 pF 的串联电容），并且需要时应将端接电阻添加到器件外面。图 8 显示的是推荐的设计。

图 8. 差分 I/O 标准的推荐设计示例



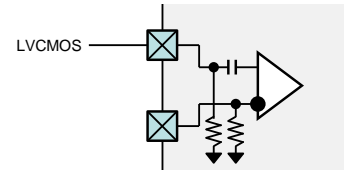
如前一节所述，CY27410 允许多个差分信号使用交流耦合输入。输入信号的峰-峰摆幅要大于 300 mV，以便能满足 VIH/VIL 规范。

## LVC MOS 输入信号

图 9 显示的是 CY27410 的 LVC MOS 输入缓冲区的简化结构。CMOS 输入信号是该器件内的交流耦合输入。赛普拉斯建议振幅峰-峰值最小应为 300 mV。在 LVC MOS 配置中，两个输入均被内部下拉，所以 CMOS 输入上未使用的引脚可保持为悬空状态。

CY27410 的输入电路使用了过压容限单元。如果所使用的输入电压大于 VDD，也不会造成任何稳定性问题。可以向 CY27410 提供多个输入电压电平。可以使用不同电压组合（核心电压 VDD = 1.8 V、2.5 V 或 3.3 V；输入电压电平 = 1.8 V、2.5 V 或 3.3 V）

图 9. LVC MOS 输入缓冲区的简化结构



## 截断的正弦波信号

一个典型的 TCXO 输出信号是被截断的正弦波信号。在 CY27410 器件中，该输出信号作为 LVC MOS 使用。当使用被截断的正弦波输入时，该器件仅保证进行有效的操作，而该数据手册中的参数得不到保证。

如果 CY27410 输入模式被配置为 LVC MOS，那么 TCXO 和 IN1\_P 间不应该使用串联电容（通常由 TCXO 供应商推荐）。如果将其配置为差分输入，那么应该使用串联电容。

图 10. 连接到 TCXO 模块



图 11 中显示的是典型的 TCXO 输出信号。典型的电压峰-峰值 ( $V_{P-P}$ ) 为 0.8 V 到 1.0 V。

图 11. 典型的 TCXO 输出信号



## 输出子系统

**CY27410** 器件包含两组输出。每一组包含六个输出，其中 **OUT11 – OUT14** 和 **OUT21 – OUT24** 可支持差分输出和单端输出，**OUT15 – OUT16** 和 **OUT25 – OUT26** 仅支持单端输出。每个输出都会从 **PLL** 依次反馈到分频器和 **MUX**，这样可以为选择输出源提供帮助，如 [图 12](#) 和 [图 13](#) 中所示。

图 12. 输出组 1

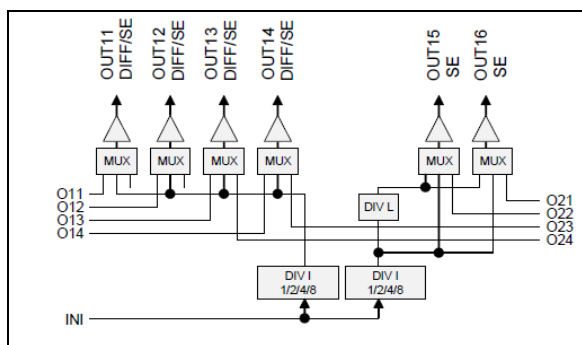
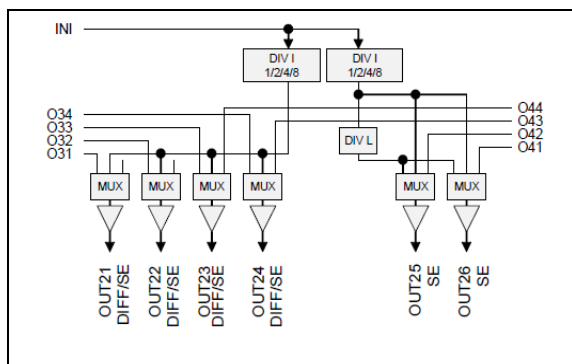


图 13. 输出组 2



### 输出终端

CY27410 为输出提供了 LVCMOS、LVPECL、CML、LVDS 以及 HCSL 标准。本节介绍了推荐给输出端的电路。

## HCSL 输出标准

HCSL 接口标准是一个差分 I/O 标准，并被定义在 PCIe SIG 标准中。图 14 显示的是典型的接口终端，而表 3 则列出了所推荐的走线长度参数和终端电阻。

图 14. 典型的 HSCL 接口终端

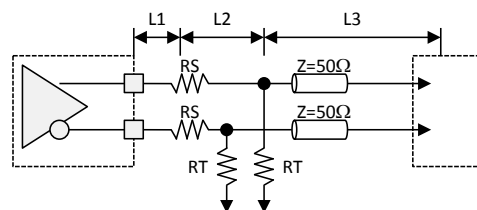


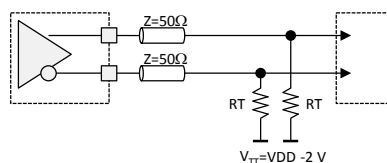
表 3. HSCL 接口参数

参数	数值	单位
L1 长度	0.5 (最大值)	英寸
L2 长度	0.2 (最大值)	英寸
L3 长度	10	英寸
RS	33 (供电电压为 3.3 V 或 2.5 V)	$\Omega$
RS	20 (供电电压为 1.8 V)	$\Omega$
RT	49.9	$\Omega$

## LVPECL 输出标准

LVPECL 信号电平标准是一个差分 I/O 标准，并定义在 JEDEC JESD8-2（发射极耦合逻辑）中。图 15 显示的是该标准的典型终端原理图。

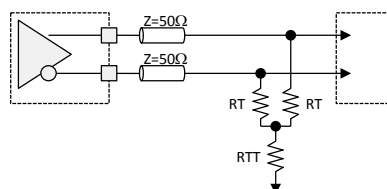
图 15. LVPECL 输出端原理图



在以上原理图中,  $RT = 50 \Omega$

由于很难生成  $V_{DD} - 2V$ （工作电压范围为  $1.3V \sim 3.3V$ ），您可以使用 Y 型终端来代替（请参见图 16）。

图 16. Y 型终端原理图



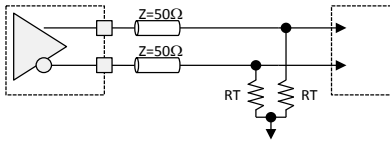


在以上原理图中， $R_T = 50\ \Omega$ ，从而可计算出  $R_{TT}$  值：

$$R_{TT} = \left[ \frac{1}{((V_{OH} + V_{OL}) + (V_{DD} - 2)) - 2} \right] \times Z_o$$

图 17 显示的是简单的终端原理图。只有走线长度非常短时才使用该图，否则不推荐使用。

图 17. LVPECL 终端简单原理图



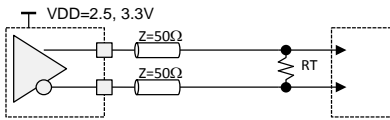
在上述原理图中， $R_T = 150\ \Omega$

**注意：**  $V_{DD} = 1.8\ \text{V}$  不适用于 LVPECL 标准。

## LVDS 输出标准

LVDS 信号标准也是一个差分 I/O 标准，并定义在 JEDEC 标准的 TIA/EIA-644-A 中，其典型终端显示在图 18 中。

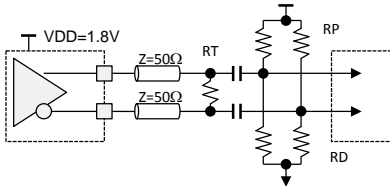
图 18. LVDS 信号终端（2.5 V，3.3 V）



OUTxP 和 OUTxN 输出应通过一个大小为  $100\ \Omega$  的电阻（ $R_T = 100\ \Omega$ ）相连。

工作电压  $V_{DD} = 1.8\ \text{V}$  时，需要 AC 耦合（ $100\ \text{nF}$  的串联电容），并通过使用终端电阻将其偏置于端点。图 19 显示的是一个终端原理图。

图 19. LVDS 信号终端（1.8 V）



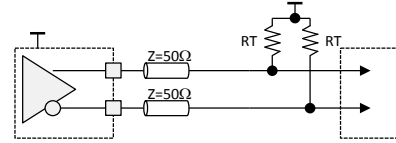
在以上原理图中， $R_T = 100\ \Omega$ 。

必须选择  $R_P$  和  $R_D$ ，以满足  $1.2\ \text{V}$ （典型值）的共模电压。

## CML 输出标准

CML 接口是一个差分 I/O 标准，并定义在 IEEE 802.3 规范中。图 20 显示的是该标准的终端原理图。

图 20. CML 信号终端

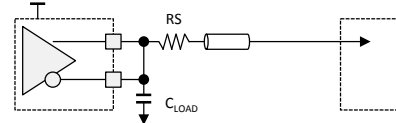


在上图中， $R_T = 100\ \Omega$ ，并被连接到  $V_{DD}$ 。

## 差分输出作为 LVCMOS 使用

该 CY27410 器件非常灵活，可以在单端模式下使用差分输出。图 21 显示了该特性：可将 OUTxP 和 OUTxN 连接在一起然后连接到 LVCMOS 输出端。

图 21. 差分输出作根据 LVCMOS 标准使用



适当选择  $R_S$ ，使之与阻抗相互匹配。

$C_{LOAD}$  表示整个电路的电容负载。

## 其他性能：

CY27410 支持附加功能，如：早/晚输出相位同步电路、电压控制器频率偏移（VCFS）、扩频时钟发生器（SSCG）以及级联 PLL 等。

## 输出的相位延迟

可以将 CY27410 的输出配置为引入输出的特定延迟。该功能可在 CLOCKGEN 和 ZDB 模式下使用。由于某些 ASIC 和 SoCs 要求两个时钟间有固定的延迟，因此器件支持该特性。

通过下面的公式，可以计算得出电路的一个延迟周期单位：

$$t_{DL} = \frac{2}{f_{VCO}}$$

其中， $t_{DL}$  = 一个延迟单位

例如：如果  $f_{VCO} = 3.0\ \text{GHz}$ ，则  $t_{DL} = 0.666\ \text{ns}$

图 22 显示的是一个概念性延迟电路的示例。

图 22. 相位延迟电路示例

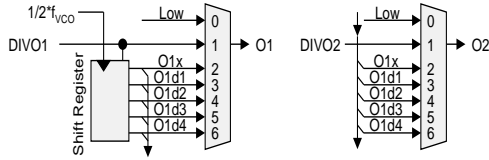
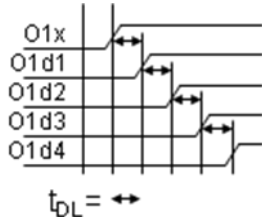


图 23. 相位延迟时序图

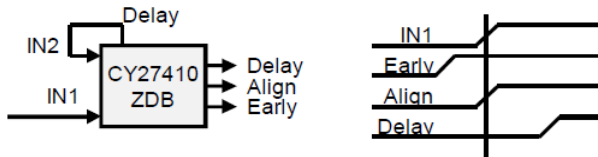


CY27410 支持最多四个延迟单元（ $t_{DL}$ ）。

即使您为 O1 和 O2（O3、O4）选择了相同的 DIVO（以上的 O<sub>x</sub>）值，也不能保证各输出时钟的相位是对齐的。为获得相位对齐的输出，其他输出（均）需要使用 O1<sub>x</sub>。

大部分 ZDB 输出都应该使用 O1<sub>x</sub>。但是，如果您故意选择了带延迟的输出提供反馈，您可以获得如下所述的早期（或晚期）相位时钟。

图 24. CY27410 延迟输出的对齐情况



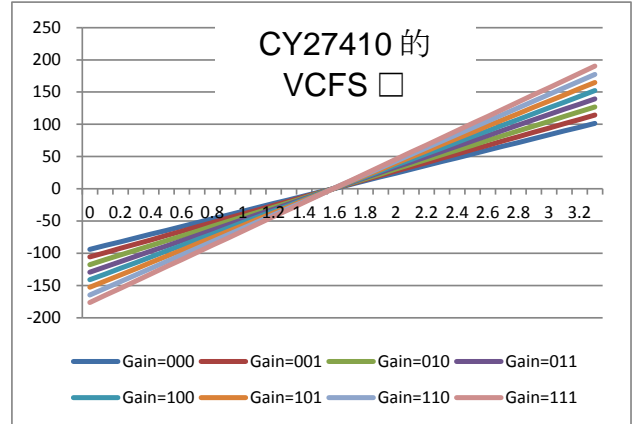
在图 24 所示的例子中，一个延迟输出（O1d1）被反馈给 IN2，而所选的早期时钟和延迟输出分别是 O1<sub>x</sub> 和 O1d3。

在 CLKGEN 模式下，您可以使用该延迟电路来生成 N（ $x t_{DL}$ ）个延迟相位时钟。对于需要调整一些歪斜或需要固定延迟相位的应用，您可以使用该功能。例如，如果走线特性的传输延迟为 175 ps/英寸，那么一个四英寸的延迟将为 700 ps。

## 电压控制的频率移位（VCFS）

CY27410 模仿了晶振中的 VCXO 特性（该晶振具有 VCFS 性能）。该器件将 PLL（VCO）频率调制为高达 120 ppm。完全可以编程该操作。有关 VCFS 偏移的信息，请参见图 25。

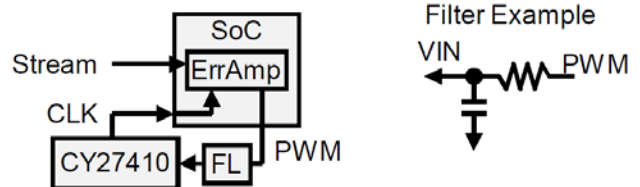
图 25. VCFS 偏移信息



## VCFS 的应用

在某些应用中，输出时钟频率应该通过使用模拟反馈来跟踪输入的数据流。CY27410 器件作为图 26 中所显示的大型锁相环的一部分。ASIC 或 SoC 通常会跟踪输入流、计算误差以及生成 PWM 信号，随后将误差信息反馈给局部时钟发生器（CY27410），进而调试频率。

图 26. VCFS 示例



通过 VCFS 功能，可以修改 PLL 频率，所以频率牵引不依赖于晶体特性、温度、电压、或器件的处理。

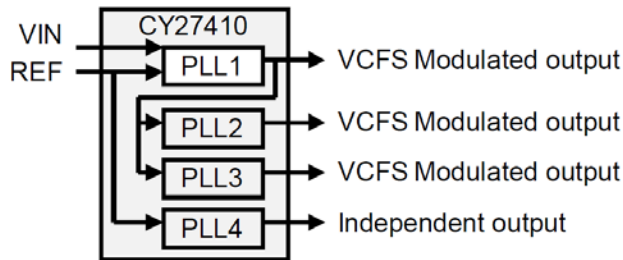
该 VCFS 调制配置文件是线性的、准确的，您可以将它作为参考时钟。



## 级联 PLL

对于 CY27410 器件，您可以生成一个 PLL 配置输出，并将其作为另一个 PLL 的输入。该功能被称为 PLL 级联。该功能有助于通过两个 PLL 中的多个分频器生成非常准确的频率。它能够从某个 PLL 中提取出 VCFS 已调制的输出，并将其提供其他 PLL，以生成多个频率（从中可以看到频率变更）。图 27 显示的是被配置于 VCFS 模式的 PLL1，它的输出级联到 PLL2 和 PLL3，但 PLL4 作为固定（未调制）频率运行。

图 27. 级联 PLL

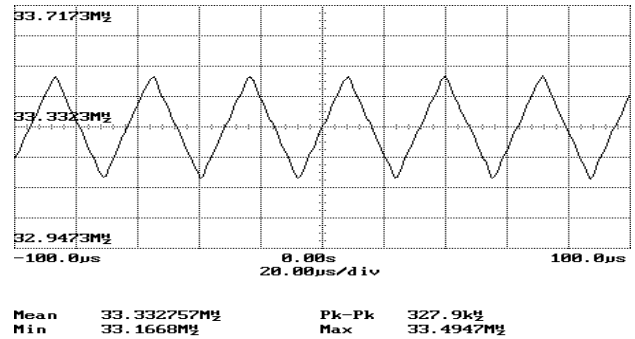
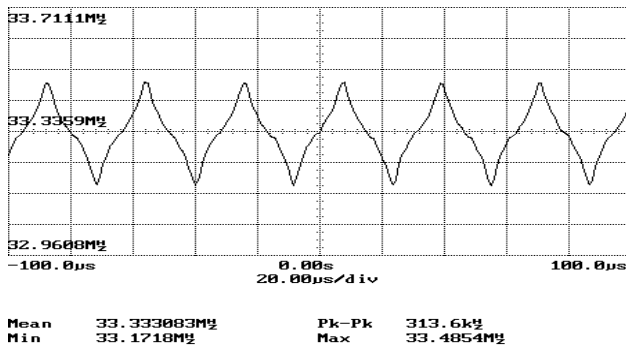


## SSCG（扩频时钟发生器）

CY27410 的扩频功能有助于解决 EMI/EMC 相关的问题。该器件支持线性和非线性扩频的配置文件，并且通过将专利 Lexmark 配置文件作为非线性配置文件使用，它能够提供最业界最佳的 EMI（电磁干扰）降低峰值。

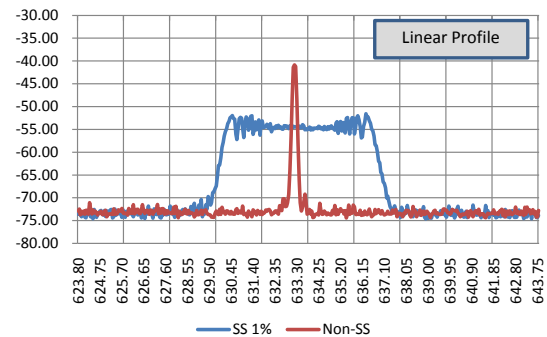
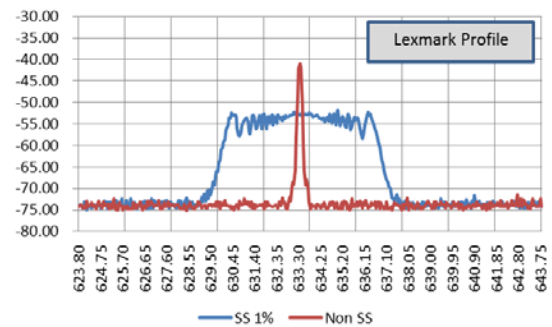
图 28 显示的是调制域分析器的屏幕截图（X 轴表示时间，Y 轴表示频率）。

图 28. 扩频时钟发生器配置文件



非线性配置文件的扩频为平直的，并加大了线性配置文件的上升沿。如图 29 所示，无扩展频谱配置文件显示为红色，而已调制的非线性（Lexmark）频谱和线性调制频谱（其 EMI 降低峰值在 633 MHz 频率的条件下约为 10 dB）显示为蓝色。

图 29. CY27410 支持的扩频配置文件

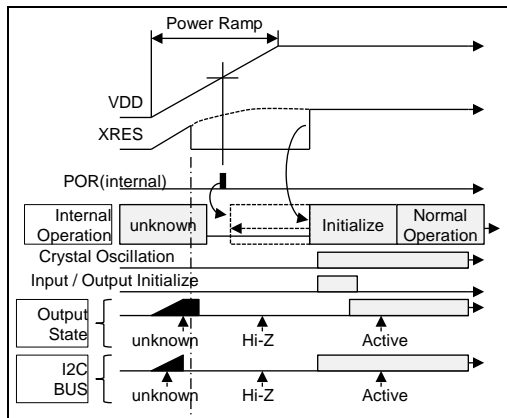


## 上电序列

CY27410 器件内存在一个 CPU。在电源（VDD）上升期间，该 CPU 将初始化其内部设置：输入配置、输出标准、输出驱动程序设置等。

启动 CPU 前，所有输入和输出均处于“unknown”（未知）状态。图 30 显示的是启动序列。

图 30：启动序列

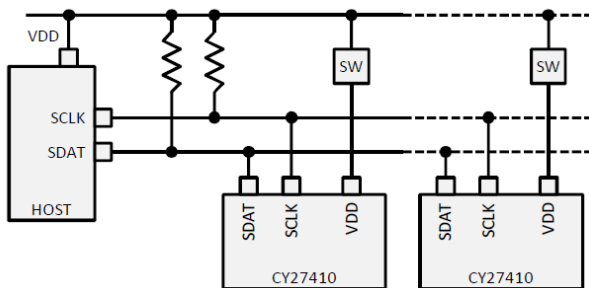


## 电源上升阶段

需要为 CY27410 设置一个时序序列，用于实现电源上升阶段（请参考 CY27410 数据手册）。如果您的系统不能满足该规范，请提供 XRES（低电平有效）信号，以确保正常启动。

激活 XRES 信号时，CY27410 器件将进入低功耗模式，其输出和 I<sup>2</sup>C 总线信号均处于高阻态（HI-Z），直到初始化在解除激活 XRES 信号后完成为止。图 31 显示的是总线信号在电源上升期间需要注意的事项。

图 31：I<sup>2</sup>C 总线信号注意事项



该规范对 I<sup>2</sup>C 在电源上升期间的功能进行了讨论。更多有关 I<sup>2</sup>C 接口的信息，请参考“编程 CY27410”一节。

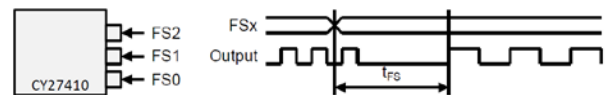
在 VDD 处于 0.7 V ~ 0.9 V 期间，如果您实现了电源切换，那么 CY27410 可能会将 SCK 信号拉为低电平；因此，I<sup>2</sup>C 总线上的数据传输操作可能会受它的影响。请在 CY27410 电源被打开或关闭前注意该内容。

## 频率选择（FS）

CY27410 能够支持多达 8 个用户配置文件，其中包含了个别配置。对于 FS 引脚转换，CY27410 具有两种时序规范，即：快速切换和慢速切换。

快速切换可用于输出打开/关闭、输出分频器值更改，以及输出 MUX 设置更改这三种情况。慢速切换可用于 PLL 参数的更改情况（包含 PLL 打开/关闭）。正如名称所表达的意思，输出时钟的脉冲速度将在快速切换模式下变得更快，并在慢速切换模式下变得更慢。在这两种情况中，都可以将输出关闭/打开，而不会发生任何故障。图 32 显示的是 FS 和输出时钟间的秩序关系。有关详情，请参见器件数据手册。

图 32：频率选择操作



## 电源上升注意事项

CY27410 包含一个内部 CPU，并且要求可靠的 POR 事件（上电复位），这样可以进行正常的操作。当电源上升值超过了规范中的要求时，该器件需要 XRES 信号。

## 多个电源域

CY27410 具有六个不同类型的电源引脚，分别为：VDD、VDDIO1D、VDDIO1S、VDDIO2D、VDDIO2S 和 VCCD。VDD 是内核电源，而 VDDIOx 是 I/O 引脚的供电电源。VCCD 是模拟电源。这些电源类型之间的要求不重要，但 VDD 和 VCCD 必须为单调型的。

## 电源滤波

电源筛选对时钟信号的完整性作用非常重要。每个 VDD 和 VDDIO 引脚必须在靠近它的位置连接一个 100 nF 大小的电容和一个 2.2 μF（或更高）的电容。

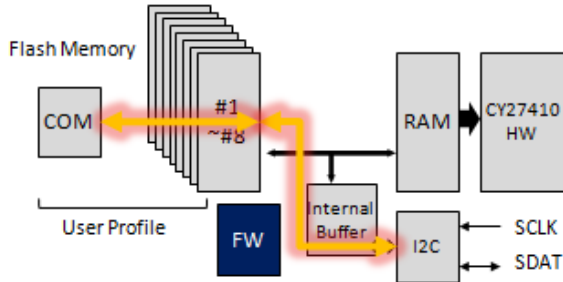
由于 VCCD 是该器件土家的电源引脚，所以如果使用 2.5 V 或 3.3 V 的内核电源（VDD 和 VDDA），该器件

（CY27410）的内部电源将为 1.8 V，并且该引脚将作为 LDO（低压差）输出。因此，推荐在靠近该引脚的地方连接一个 100 nF 大小的电容，并且不要将其连接到任何外部电源。但如果您使用的是电源为 1.8 V 的器件，则可以旁路内部 LDO。因此，需要在该引脚上连接一个 1.8 V 的外部生成电源，并提供给内核；所连接的 100 nF 的电容必须靠近该引脚。

## 内存结构

图 33 显示的是 CY27410 器件的内存结构，它内置了一个非易失性存储器（NV）和一个易失性存储器（RAM）。RAM 直接控制 CY27410 硬件。此外，内部硬件通信缓冲区会使用 I<sup>2</sup>C 通信。

图 33：内部存储器结构



## 编程 CY27410

CY27410 编程是通过使用 I<sup>2</sup>C 总线接口完成的。

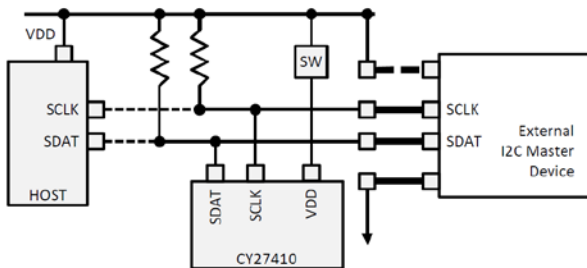
### 板上编程

可以通过一个板上主机实现板上编程，该主机通过各条指令以及包含 COM、FS 和其他信息（如 I2C 地址、读/写保护，等）的数据同 CY27410 器件进行通信。

### 使用外部 I<sup>2</sup>C 从设备

您可以使用一个外部 I<sup>2</sup>C 主设备（如赛普拉斯 MiniProg™、赛普拉斯 TT-Bridge™，或其他符合 I<sup>2</sup>C 规范的器件）将用户配置编程到系统中某个未编程（原始）的 CY27410 器件内。

图 34. 使用一个外部 I2C 主设备进行编程 CY27410



## 结论

CY27410 是一个具有 4 个 PLL 的扩频时钟发生器，可用于消费类、工业级和网络应用。由于它具有优越的规范和各项增值功能（如电压控制晶振（VCXO）、频率选择以及零值/非零值延迟缓冲器（ZDB/NZDB）模式，因此它成为了多种应用程序的理想选择。

## 文档修订记录

文档标题：CY27410/30 入门：具有 4 个 PLL 的扩频时钟发生器 — AN94024

文档编号：001-98157

版本	ECN	变更者	提交日期	变更说明
**	4837786	RZZH	07/16/2015	本文档版本号为 Rev**，译自英文版 001-94024 Rev**。

## 全球销售和设计支持

赛普拉斯公司拥有一个由办事处、解决方案中心、厂商代表和经销商组成的全球性网络。如果想要查找离您最近的办事处，请访问[赛普拉斯所在地](#)。

## 产品

汽车级产品	<a href="http://cypress.com/go/automotive">cypress.com/go/automotive</a>
时钟与缓冲区	<a href="http://cypress.com/go/clocks">cypress.com/go/clocks</a>
接口	<a href="http://cypress.com/go/interface">cypress.com/go/interface</a>
照明与电源控制	<a href="http://cypress.com/go/powerpsoc">cypress.com/go/powerpsoc</a> <a href="http://cypress.com/go/plc">cypress.com/go/plc</a>
存储器	<a href="http://cypress.com/go/memory">cypress.com/go/memory</a>
PSoC	<a href="http://cypress.com/go/psoc">cypress.com/go/psoc</a>
触摸感应	<a href="http://cypress.com/go/touch">cypress.com/go/touch</a>
USB 控制器	<a href="http://cypress.com/go/usb">cypress.com/go/usb</a>
无线/射频	<a href="http://cypress.com/go/wireless">cypress.com/go/wireless</a>

## PSoC® 解决方案

[psoc.cypress.com/solutions](http://psoc.cypress.com/solutions)  
[PSoC 1](#) | [PSoC 3](#) | [PSoC 4](#) | [PSoC 5LP](#)

## 赛普拉斯开发者社区

[社区](#) | [论坛](#) | [博客](#) | [视频](#) | [培训](#)

## 技术支持

[cypress.com/go/support](http://cypress.com/go/support)

PSoC 是赛普拉斯半导体公司的注册商标且 PSoC Creator 是赛普拉斯半导体公司的商标。此处引用的所有其他商标或注册商标归其各自所有者所有。



赛普拉斯半导体公司  
 198 Champion Court  
 San Jose, CA 95134-1709  
 电话 : 408-943-2600  
 传真 : 408-943-4730  
 网址 : [www.cypress.com](http://www.cypress.com)

©赛普拉斯半导体公司，2015。此处所包含的信息可能会随时更改，恕不另行通知。除赛普拉斯产品内嵌的电路外，赛普拉斯半导体公司不对任何其他电路的使用承担任何责任。也不会根据专利权或其他权利以明示或暗示方式授予任何许可。除非与赛普拉斯签订明确的书面协议，否则赛普拉斯不保证产品能够用于或适用于医疗、生命支持、救生、关键控制或安全应用领域。此外，对于可能发生运转异常和故障并对用户造成严重伤害的生命支持系统，赛普拉斯不授权将其产品用作此类系统的关键组件。若将赛普拉斯产品用于生命支持系统中，则表示制造商将承担因此类使用而招致的所有风险，并确保赛普拉斯免于因此而受到任何指控。

该源代码（软件和/或固件）均归赛普拉斯半导体公司（赛普拉斯）所有，并受全球专利法规（美国和美国以外的专利法规）、美国版权法以及国际条约规定的保护和约束。赛普拉斯据此向获许可者授予适用于个人的、非独占性、不可转让的许可，用以复制、使用、修改、创建赛普拉斯源代码的派生作品、编译赛普拉斯源代码和派生作品，并且其目的只能是创建定制软件和/或固件，以支持获许可者仅将其获得的产品依照适用协议规定的方式与赛普拉斯集成电路配合使用。除上述指定的用途外，未经赛普拉斯明确的书面许可，不得对此类源代码进行任何复制、修改、转换、编译或演示。

免责声明：赛普拉斯不针对此材料提供任何类型的明示或暗示保证，包括（但不限于）针对特定用途的适销性和适用性的暗示保证。赛普拉斯保留在不做出通知的情况下对此处所述材料进行更改的权利。赛普拉斯不在此处所述之任何产品或电路的应用或使用承担任何责任。对于可能发生运转异常和故障，并对用户造成严重伤害的生命支持系统，赛普拉斯不授权将其产品用作此类系统的关键组件。若将赛普拉斯产品用于生命支持系统，则表示制造商将承担因此类使用而招致的所有风险，并确保赛普拉斯免于因此而受到任何指控。

产品使用可能适用于赛普拉斯软件许可协议的限制。