

AN91206

使用赛普拉斯 ONFI 1.0 nvSRAM 设计

作者: Shivendra Singh

相关项目: 无

相关器件系列: CY14V116F7、CY14V116G7

软件版本: 无

相关应用笔记: 无

如果需要该应用笔记的最新版本, 请访问 <http://www.cypress.com/go/AN91206>。

AN91206 提供了开放式 NAND 闪存接口 1.0 (ONFI 版本 1.0) nvSRAM 的指令结构、指令周期、地址周期以及数据周期的详细信息。这些详细信息可以帮助您在系统中使用赛普拉斯 ONFI 1.0 nvSRAM 进行设计。AN91206 也重点说明了 ONFI 1.0 nvSRAM 与 ONFI 1.0 兼容 NAND 有关闪存存储器架构、操作码和功能之间主要的差异, 以便帮助您对固件程序进行必要更改, 从而可以使用标准 ONFI 1.0 系统总线来使用 ONFI 1.0 nvSRAM 的所有功能。

目录

| | |
|-----------------------------------|----|
| 简介 | 1 |
| nvSRAM 与 NAND 闪存 | 2 |
| ONFI 1.0 nvSRAM 架构 | 3 |
| 存储器组织 | 4 |
| ONFI 1.0 nvSRAM 数据接口 | 5 |
| 指令周期 | 6 |
| 地址周期 | 6 |
| 数据输入周期 (写周期) | 6 |
| 数据输出周期 (读周期) | 7 |
| ONFI 1.0 nvSRAM 访问操作码和协议 | 8 |
| ONFI 1.0 指令说明和时序 | 9 |
| ONFI 1.0 nvSRAM 封装 | 14 |
| 某个系统中的典型 ONFI 1.0 nvSRAM 接口 | 15 |
| 确定 R/B 的上拉电阻值 | 15 |
| 总结 | 16 |
| 相关文档 | 16 |
| 数据手册 | 16 |
| 应用笔记/白皮书 | 16 |
| 全球销售和 design 支持 | 18 |

简介

ONFI 1.0 nvSRAM 遵循多数 ONFI 1.0 标准, 该标准使该器件与全部标准 ONFI 1.0 主机控制器进行交互操作。ONFI 1.0 nvSRAM 协议与 ONFI 1.0 标准相同, 所以在同一个系统中它们可以与其他 ONFI 1.0 兼容 NAND 闪存器件共享 ONFI 1.0 总线。

ONFI 是一个工业工作组, 用于简化 NAND 闪存存储器集成到消费电子产品。ONFI 定义了标准化的组件级接口规格、用于器件运行的标准指令集以及标准时序要求。nvSRAM 将一个 SRAM 单元和一个基于硅-氧化硅-氮化硅-氧化硅-硅 (SONOS) 的非易失性单元集成到一个单独的 nvSRAM 单元内。

nvSRAM 结合了 SRAM 和非易失性存储器的最佳性能, 使其成为行业内速度最快、最可靠的非易失性存储器解决方案。

更多有关 nvSRAM 技术和功能的详细信息, 请参考赛普拉斯白皮书 [非易失性 SRAM \(nvSRAM\) 的基本功能](#)。有关 ONFI 1.0 nvSRAM 时序图和直流/交流规范的详细信息, 请参考 [器件数据手册](#)。

本应用笔记介绍了 ONFI 1.0 nvSRAM 架构、协议, 并介绍了与 ONFI 1.0 标准相比主要的差异。另外, 本应用笔记还介绍了一个示例电路用于将 ONFI 1.0 nvSRAM 与标准 ONFI 1.0 控制器相连。

nvSRAM 与 NAND 闪存

nvSRAM 与 NAND 闪存存储器在设计、单元架构和加工工艺等方面不同。表 1 介绍的是 nvSRAM 和 NAND 闪存存储器技术之间的高级性能比较。

表 1. nvSRAM 与 NAND 闪存存储器

| 参数 | nvSRAM | NAND 闪存 |
|-----------|--|---|
| 非易失性存储器单元 | SONOS (硅-氧化硅-氮化硅-氧化硅-硅) | 浮栅 |
| 擦除周期 | 不适用 | 使用新数据进行编程前必须对存储器模块进行擦除操作 |
| 页编程周期时间 | 不适用。始终会将数据写入到 SRAM 阵列中，并在掉电时自动将数据保存在非易失性存储器中 | 周期时间的典型范围为 200 μ s ~ 300 μ s |
| 擦写次数 | 1,000,000 次 (非易失性单元) | 100,000 次 |
| 数据保留时间 | 20 年 (在 85 $^{\circ}$ C 的环境温度下) | 10 年 (在 85 $^{\circ}$ C 的环境温度下) |
| 页写操作 | 以总线速度写入整个存储器阵列 | 以总线速度对页缓冲区进行页写操作。然而，每次发生页写操作后都会发生页编程周期，以便将数据从页缓冲区传输到 NAND 闪存存储器内。 |
| 页读操作 | 以总线速度读取整个存储器阵列 | 以总线速度对页缓冲区进行页读操作。但每次发送页读指令后，并在数据可供访问前系统要等待 “t _R ” 时长。 |
| 页大小 | 不适用。执行批量写操作/批量读操作时，整个存储器可作为单页被访问 | 2 KB 或更大 |
| 模块大小 | 不适用 | 64 页或更多 |

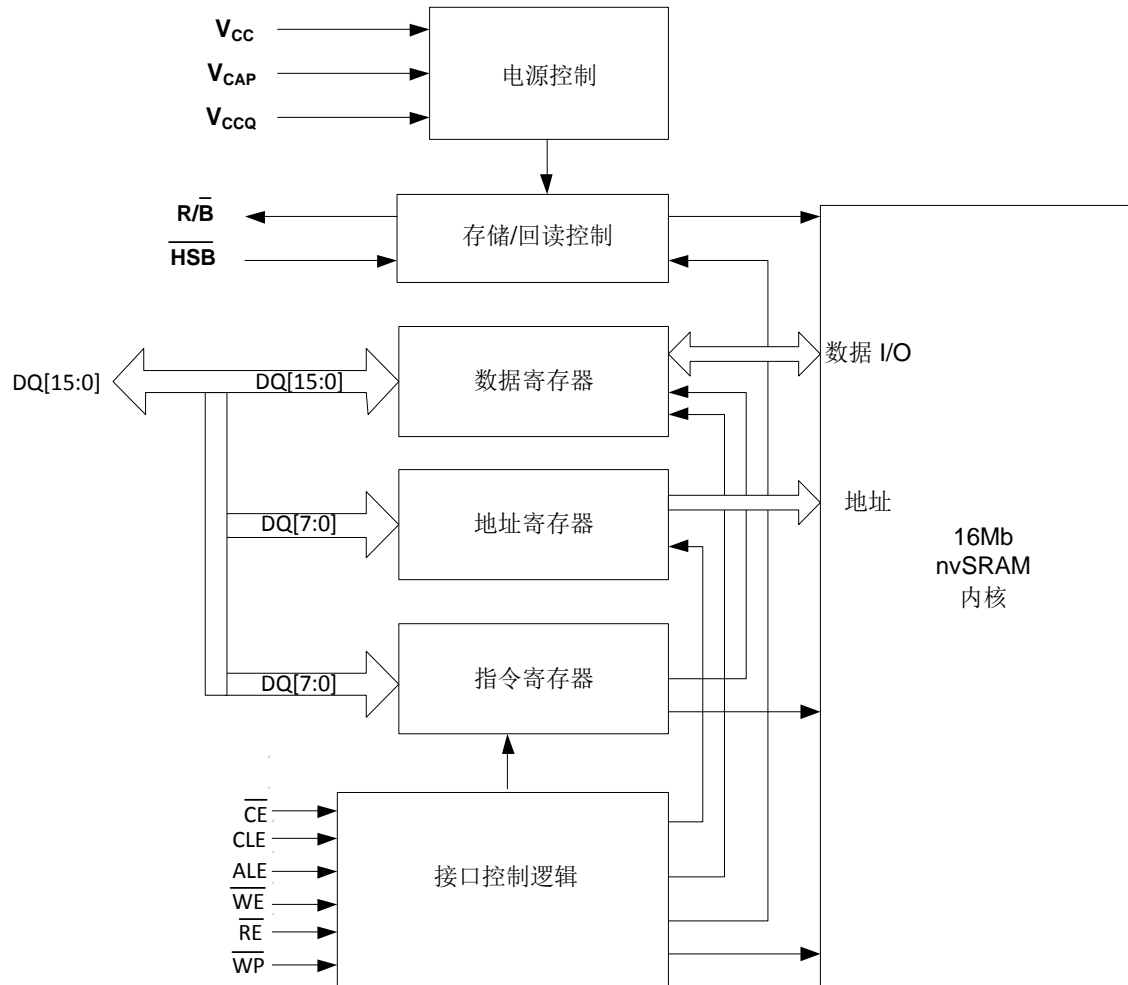
ONFI 1.0 nvSRAM 架构

ONFI 1.0 是一个高度复用的 x8 I/O (DQ[7:0]) 和 x16 I/O (DQ[15:0]) 架构, 可以通过同一个 I/O 总线传输指令、地址以及数据字节。在 x8 接口中, 指令、地址和数据字节通过同一个总线进行传输。在 x16 接口中, 总是通过低 8 位总线传输指令和地址字节, 但是数据字节却使用 16 位总线

传输 (仅针对主要的存储器写/读操作)。其他读操作 (比如: 状态寄存器、器件 ID 和参数页传输) 总是通过 x16 I/O 接口的低 8 位总线进行的。

图 1 显示的是 ONFI 1.0 nvSRAM 框图, 包括了 I/O (DQ[15:0]) 接口的详细信息。

图 1. ONFI 1.0 nvSRAM 框图

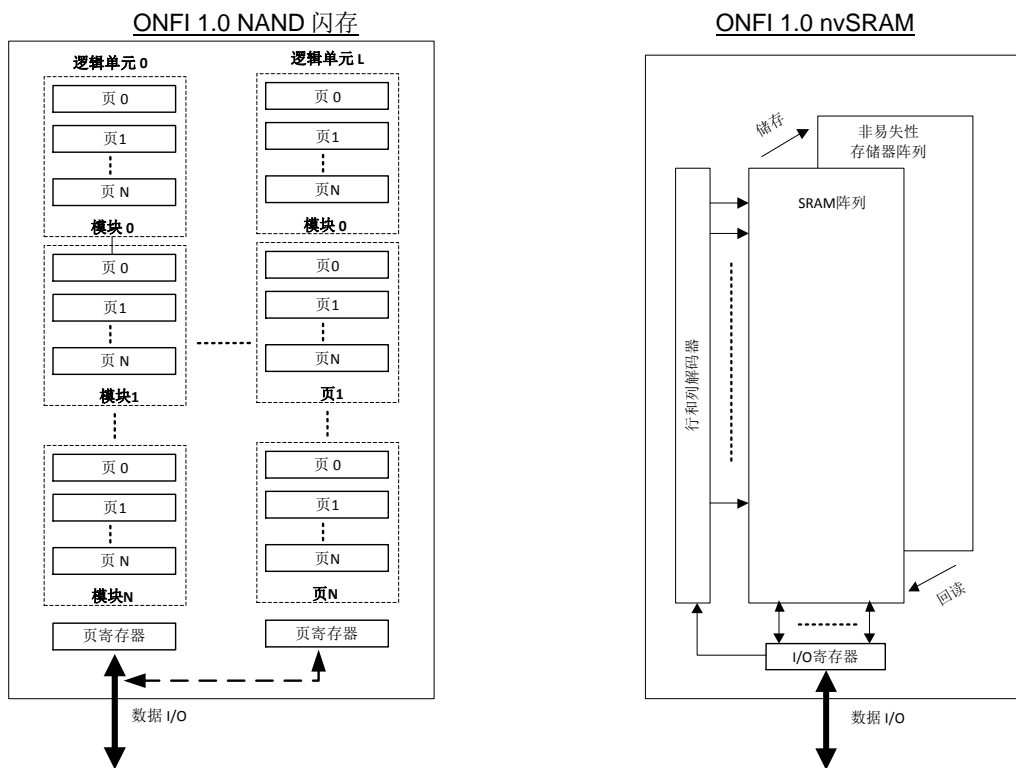


存储器组织

ONFI 1.0 NAND 闪存支持层级架构，并且整个存储器被分为某些页、模块和板。ONFI 1.0 nvSRAM 却不支持层级架构，因此可将整个存储器阵列视为存储器的单页或单模块。

图 2 介绍的是 NAND 闪存和 nvSRAM 架构在存储器组织方面的差别。

图 2. ONFI 1.0 NAND 闪存和 nvSRAM 存储器架构



ONFI 1.0 nvSRAM 数据接口

通过使用 ONFI 1.0 控制信号 \overline{CLE} 、 \overline{ALE} 、 \overline{WE} 和 \overline{RE} 来确定在 ONFI 1.0 nvSRAM 的复用 I/O 总线上进行访问的指令、地址、数据写操作和数据读操作。写保护引脚 (\overline{WP}) 会使能或禁用 ONFI 1.0 nvSRAM 中的 SRAM 写操作。 \overline{CE} 控制使用于选择器件，这样能够访问 ONFI 1.0 总线。表 2 显示了在输入控制信号处于不同状态下的 ONFI 1.0 nvSRAM 总线状态。

更多有关本应用笔记中使用的交流/直流规范和参数的详细信息，请参考 [器件数据手册](#)。

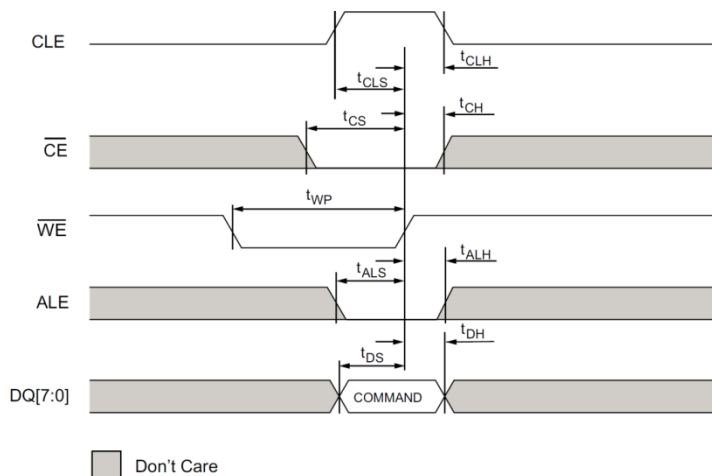
表 2: ONFI 1.0 nvSRAM 总线状态

| \overline{CE} | \overline{ALE} | \overline{CLE} | \overline{WE} | \overline{RE} | \overline{WP} | 总线状态 | 备注 |
|-----------------|------------------|------------------|-----------------|-----------------|-----------------|-----------|---|
| 1 | X | X | X | X | X | 待机 | 当器件处于就绪状态而且外部上拉电阻将 R/B 置于高电平时，nvSRAM 会进入低功耗待机模式。 \overline{CE} 被禁用时，所有 nvSRAM I/O 都将被禁用 (\overline{WP} 、R/B 和 HSB 除外)。 |
| 0 | 0 | 0 | 1 | 1 | X | 总线闲置 | 总线处于闲置状态。所有输入均被使能，但指令、地址和数据字节被忽略。没有数据从器件中输出。 |
| 0 | 0 | 1 | 0 | 1 | X | 指令周期 | 锁存总线上的数据字节，将其作为一个指令。 |
| 0 | 1 | 0 | 0 | 1 | X | 地址周期 | 锁存总线上的数据字节，将其作为一个地址。 |
| 0 | 0 | 0 | 0 | 1 | H | 写周期 | 锁存数据总线上的数据，以便进行写操作。 |
| 0 | 0 | 0 | 1 | 0 | X | 读周期 | 通过总线发送数据，以便进行读操作。 |
| 0 | 1 | 1 | X | X | X | 未定义 | ONFI 1.0 没有指定该输入信号条件下的器件状态；因此，它被称为 ONFI 1.0 nvSRAM 中未定义的总线状态。 |
| 0 | 0 | 0 | 0 | 1 | L | SRAM 的写保护 | \overline{WP} 需要在启动 SRAM 写操作前进行切换，这样能够防止对 SRAM 的写操作。 |

指令周期

当 \overline{CE} 和 ALE 均为低电平，并且 CLE 和 \overline{RE} 均为高电平时， $DQ[7:0]$ 总线上的指令将在 \overline{WE} 控制的上升沿上被写入到指令寄存器内。
图 3 显示的是指令周期时序。

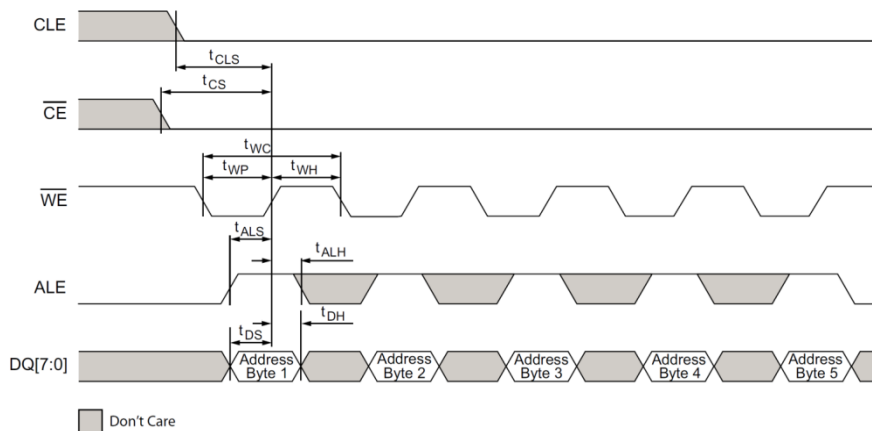
图 3. ONFI 1.0 nvSRAM 指令周期时序



地址周期

当 \overline{CE} 和 CLE 均为低电平，并且 ALE 和 \overline{RE} 均为高电平时， $DQ[7:0]$ 总线上的地址将在 \overline{WE} 控制的上升沿上被写入到地址寄存器内。在五字节地址中，最低有效地址字节在第一个地址周期内传送，另外最高有效地址字节在第五个地址周期内被传送。nvSRAM 仅需要前三个地址字节来寻址整个 16 Mb 存储器。二个额外的 MSB 是“无需关注”的地址字节。图 4 显示的是地址周期时序。

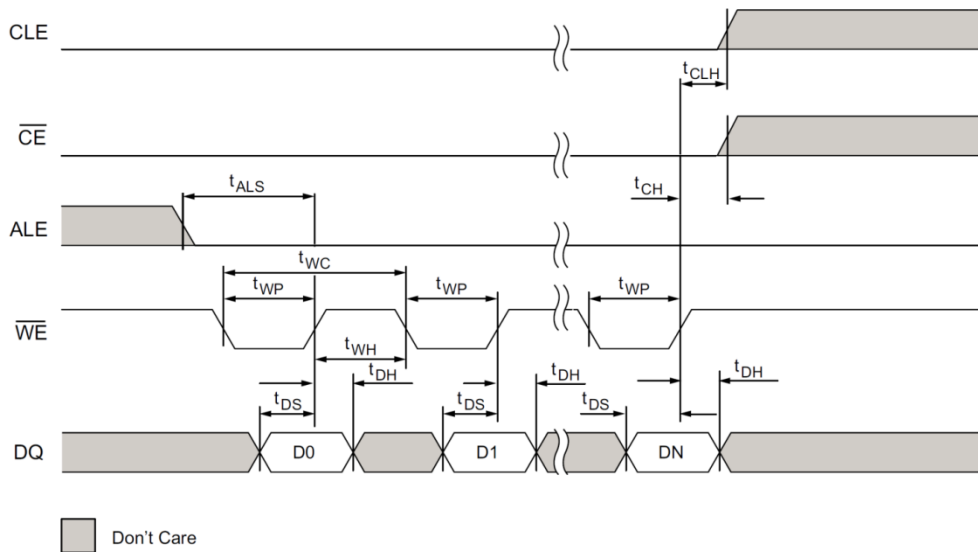
图 4. ONFI 1.0 nvSRAM 地址周期时序



数据输入周期（写周期）

当 \overline{CE} 、 ALE 以及 CLE 均为低电平，且 \overline{RE} 为高电平时， DQ （ $DQ[7:0]$ 或 $DQ[15:0]$ ）上的数据字节/字将在 \overline{WE} 控制的上升沿上被写入到 nvSRAM 数据寄存器内。图 5 显示的是数据输入（写）周期时序。

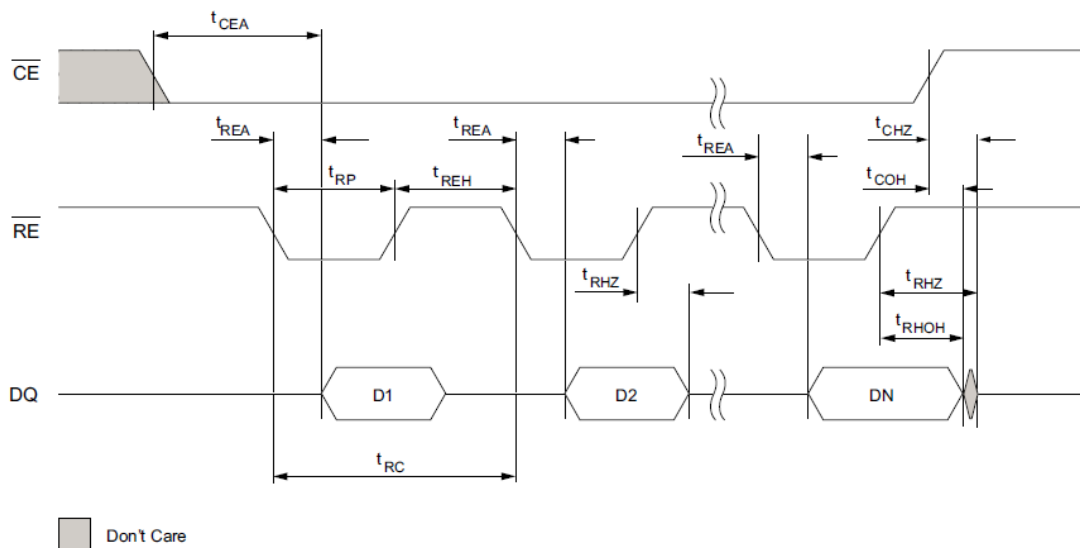
图 5. ONFI 1.0 nvSRAM 数据输入（写）周期时序



数据输出周期（读周期）

如果 nvSRAM 处于就绪状态，那么它会（在读期间）将数据字节/字传送到 DQ 总线（DQ[7:0]或 DQ[15:0]）上。当 \overline{CE} 、ALE 以及 CLE 均为低电平，并且 \overline{WE} 为高电平时，数据会从数据寄存器输出到 \overline{RE} 控制的每个下降沿上。图 6 显示的是数据输出（读）周期时序。

图 6. ONFI 1.0 nvSRAM 数据输出（读）周期时序



ONFI 1.0 nvSRAM 访问操作码和协议

表 3 列出了指令/地址/数据周期，以便执行用于访问 ONFI 1.0 nvSRAM 的下述所有指令。

表 3. ONFI 1.0 nvSRAM 指令

| NVSRAM 功能 | 指令周期 1 | 地址周期 | 数据周期 | 指令周期 2 | 说明 |
|---|--------|------------------|---------|--------|---|
| 从 SRAM 读取 | 00h | 存储器地址 (5 个字节) | - | 30h | 从 SRAM 地址位置读取第五个地址字节中传输的数据。 |
| 写入 SRAM | 80h | 存储器地址 (5 个字节) | (1 ~ N) | 10h | 将第五个字节地址中传输的数据写入到 SRAM 地址位置中。数据字节的长度可为 1 到 N 之间的任意值。N 的最大值为整个存储器阵列的大小。 |
| 读取状态寄存器 | 70h | - | - | - | 读取器件的状态。 |
| 读取 ID (ONFI 标签) | 90h | 20h (1 个字节) | - | - | 读取 ONFI 标签的四个字节。 |
| 读取 ID (制造商 ID 和器件 ID) | 90h | 00h (1 个字节) | - | - | 读取制表示造商 ID 的四个字节 (两个字节 MID 和两个字节 DID) |
| 读参数页 | ECh | 00h (1 个字节) | - | - | 通过读参数页函数可以读取数据结构，该结构说明了目标的组织、特性、时序以及其他功能参数。 |
| 复位 | FFh | - | - | - | 中止当前的操作 (针对所有读和写操作) 并使 nvSRAM 处于默认状态。如果正在进行非易失性操作，则该操作完成后，会生成复位请求。 |
| ONFI 1.0 nvSRAM 特定的指令，不适用于 NAND 闪存 | | | | | |
| 软件回读 | FCh | - | - | - | 该功能会启动回读操作，以便将数据从非易失性存储器传输到 SRAM 内。该指令不是一个标准的 ONFI 1.0 指令。 |
| 软件存储 | 84h | - | - | A5h | 该功能会启动存储操作，以便将数据从 SRAM 传输到非易失性存储器内。该指令不是一个标准的 ONFI 1.0 指令。 |
| 自动存储禁用 | A3h | - | - | - | 该指令会禁用 ONFI 1.0 nvSRAM 中的自动存储功能。该指令不是一个标准的 ONFI 1.0 指令。 |
| 自动存储使能 | ACh | - | - | - | 该指令可使能 ONFI 1.0 nvSRAM 中的自动存储功能。应在 V _{CAP} 引脚上连接一个大小合适的电容，以便在掉电时执行自动存储功能。该指令不是一个标准的 ONFI 1.0 指令。 |
| 保留指令 | | | | | |
| 获取功能 | EEh | - | - | - | 这是 ONFI 1.0 nvSRAM 中保留的指令。 |
| 设置功能 | EFh | - | - | - | |

表 4. ONFI 1.0 闪存指令不适用于 nvSRAM

| NAND 闪存功能 | 指令周期 1 | 地址周期 | 数据周期 | 指令周期 2 | 说明 |
|-----------|--------|-------|------|--------|---------------------------|
| 回拷读取 | 00h | 5 个字节 | - | 35h | 这些指令不适用于 ONFI 1.0 nvSRAM。 |
| 更改读列 | 05h | - | - | E0h | |
| 读取增强的缓存 | 00h | 5 个字节 | - | 31h | |
| 读取缓存 | 31h | - | - | - | |
| 读取缓存结束 | 3Fh | - | - | - | |
| 模块擦除 | 60h | 3 个字节 | - | D0h | |
| 交错 | 60h | 3 个字节 | - | D1h | |
| 读取增强的状态 | 78h | 3 个字节 | - | - | |
| 交错的页编程 | 80h | 5 个字节 | 有 | 11h | |
| 页缓存编程 | 80h | 5 个字节 | 有 | 15h | |
| 回拷编程 | 85h | 5 个字节 | 有 | 10h | |
| 交错的回拷编程 | 85h | 5 个字节 | 有 | 11h | |
| 更改写列 | 85h | 2 个字节 | 有 | | |
| 读取唯一的 ID | EDh | 1 个字节 | - | - | |

ONFI 1.0 指令说明和时序

本节描述了 ONFI 1.0 nvSRAM 访问指令周期时序。同时，也重点说明了同 ONFI 1.0 NAND 闪存（应用时）的差异。当 nvSRAM 处于繁忙状态（在状态寄存器中，RDY 位设置为 ‘0’）时，所有指令（状态寄存器读指令（70h）和复位（FFh）指令除外）均被忽略。

读指令（00h、30h）

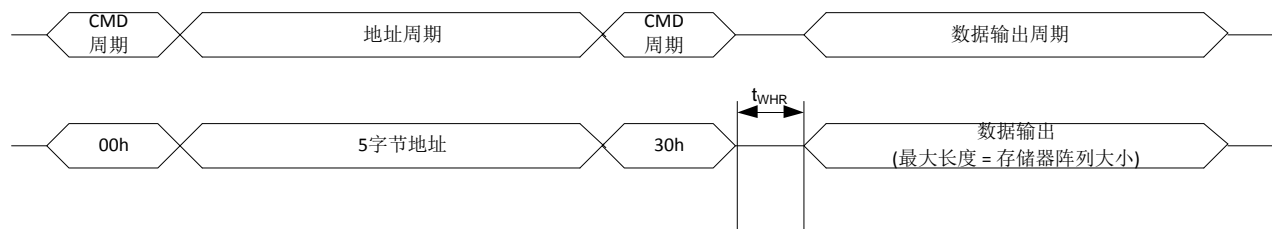
ONFI 1.0 nvSRAM

通过 ONFI 1.0 nvSRAM 读指令可以读取（x8 接口上的）数据字节或（x16 接口上的）数据字。接收读指令周期后，

nvSRAM 会进入数据输出模式（读取模式），并在每次进行 \overline{RE} 切换（ \overline{CE} 保持低电平）或 \overline{CE} 切换（ \overline{RE} 保持低电平）时它会开始通过它的数据总线输出数据。地址计数器会自动前进到下一个可访问的位置。只有接收到新指令周期（指令周期或地址周期，它们有效或无效）时，器件才会退出读取模式。可将读指令用于访问单字节/字或突发访问。ONFI 1.0 nvSRAM 中数据突发的最大长度是存储器阵列的大小。

图 7 显示的是 ONFI 1.0 nvSRAM 读周期时序。

图 7. ONFI 1.0 nvSRAM 读周期



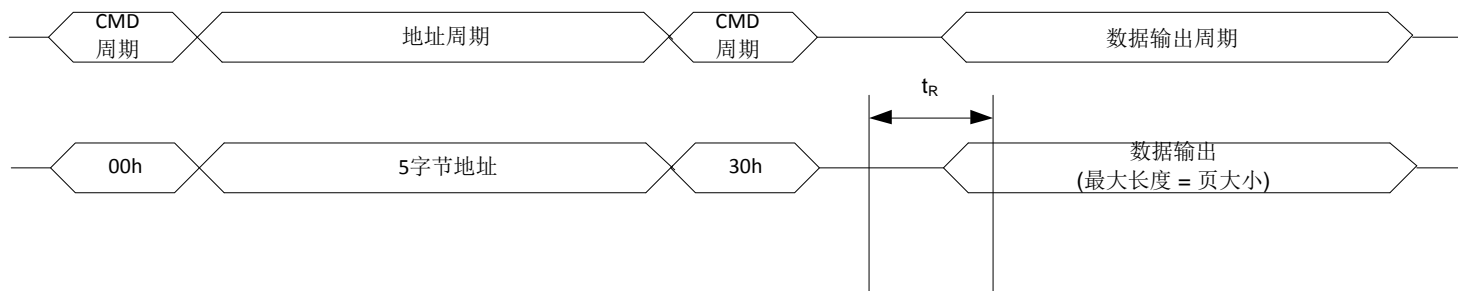
ONFI 1.0 NAND 闪存

除了传输 30h 指令后页数据仅在 t_R 期间内有效之外，ONFI 1.0 NAND 闪存读指令与 ONFI 1.0 nvSRAM 的相同。 t_R 时间是指数据被传输到数据总线前将其从闪存阵列传输到数据寄存器寄存器中的等待时间。

闪存读（页读）指令用于访问单字节/字或数据字节/字的突发。闪存存储器中的数据突发最大值可以等于它的页大小。

图 8 显示的是 ONFI 1.0 NAND 闪存读周期时序。

图 8. ONFI 1.0 NAND 闪存读周期



写指令（80h、10h）

ONFI 1.0 nvSRAM

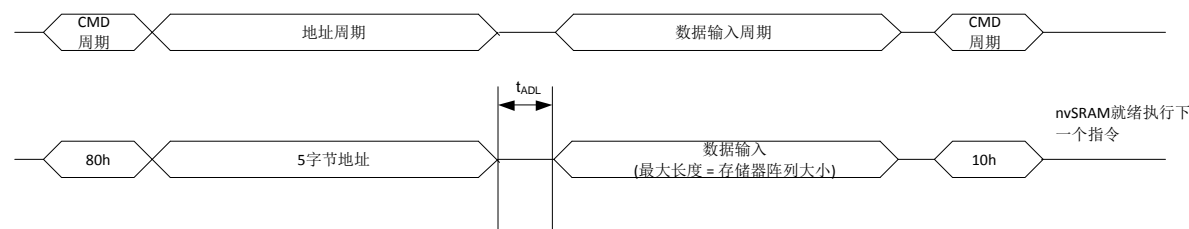
通过 ONFI 1.0 nvSRAM 写指令可以进行写数据字节（x8 接口上）或数据字（x16 接口上）。接收到有效的写指令和地址周期后，会将所有后续的数据字节或数据字直接写入 nvSRAM 的 SRAM 中。只有接收到新指令周期（指令周期或地址周期，它们有效或无效）时，器件才会退出写模式。

写指令可以写单数据字或数据突发。所有数据字节立即被写入到 SRAM 阵列中，并在掉电时自动传输到非易失性存储

器阵列（自动存储功能）内。10h 指令位于写周期末尾，它可使 ONFI 1.0 nvSRAM 协议与 ONFI 1.0 标准相兼容，但它仅是 ONFI 1.0 nvSRAM 的一个可选指令。即使不要执行 10h 指令，也会完成 ONFI 1.0 nvSRAM 写周期。

图 9 显示的是 ONFI 1.0 nvSRAM 写周期时序。

图 9. ONFI 1.0 nvSRAM 写周期



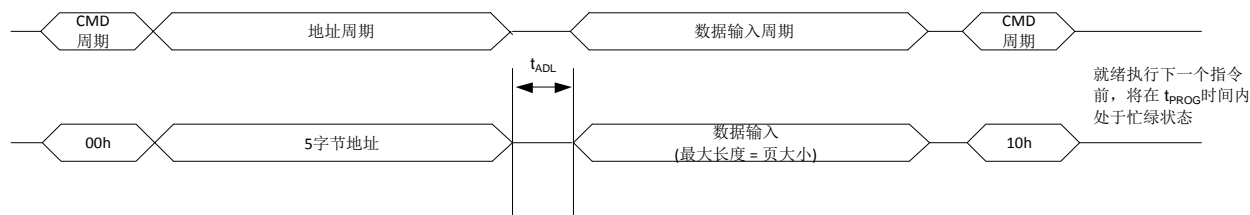
ONFI 1.0 NAND 闪存

除了接收 10h 指令后页数据被编程到非易失性存储器之外，ONFI 1.0 NAND 闪存页写指令与 ONFI 1.0 nvSRAM 写指令相同。NAND 闪存通过新页写/读操作进行访问闪存前，需要经过 t_{PROG} 时间来完成页编程周期。

NAND 闪存写（页写）指令用于写入单字节/字或数据字节/字的突发。闪存存储器中的数据突发最大值可等于其页大小。

图 10 显示的是 ONFI 1.0 NAND 闪存写周期时序。

图 10. ONFI 1.0 NAND 闪存写周期



读参数页 (ECh)

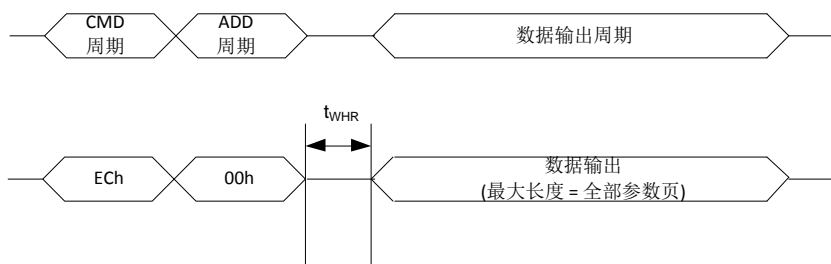
ONFI 1.0 nvSRAM

每次执行 $\overline{\text{RE}}$ 、 $\overline{\text{CE}}$ 切换时，ONFI 1.0 nvSRAM 读参数页指令都会读取参数页数据，并将其输出到 8 位数据总线上。在 x16 接口芯片中，参数页数据仅在 x16 数据总线的低 8 位上输出；x16 数据总线的高 8 位传输无效数据。参数页读

指令始终从参数页的 00h 地址处开始，并自动增加到页边界为止。不能从参数页的中间位置进行访问读参数页指令。

图 11 显示的是 ONFI 1.0 nvSRAM 参数页读时序。

图 11. ONFI 1.0 nvSRAM 读参数页时序

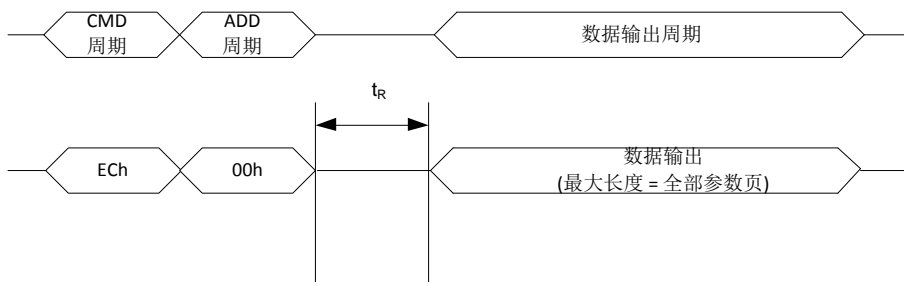


ONFI 1.0 NAND 闪存

除了读参数页指令被发送后参数页数据仅在 t_R 期间内有效之外，ONFI 1.0 NAND 闪存读参数页指令与 ONFI 1.0 nvSRAM 的相同。

t_R 时间是指将页数据从闪存阵列传输到数据寄存器寄存器中需要等待的时间。图 12 显示的是 ONFI 1.0 NAND 闪存读参数页时序。

图 12. ONFI 1.0 NAND 闪存读参数页周期



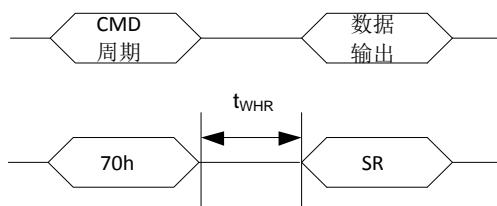
读状态寄存器（70h）

ONFI 1.0 nvSRAM

读状态寄存器指令通过 8 位总线来读取状态寄存器中的数据。在 x16 接口芯片中，通过 x16 数据总线的低 8 位传输

状态寄存器的数据。图 13 显示的是 ONFI 1.0 的读状态寄存器周期。

图 13. ONFI 1.0 读状态寄存器周期



ONFI 1.0 NAND 闪存

ONFI 1.0 NAND 闪存的时序图同 ONFI 1.0 nvSRAM 的时序图完全一样。

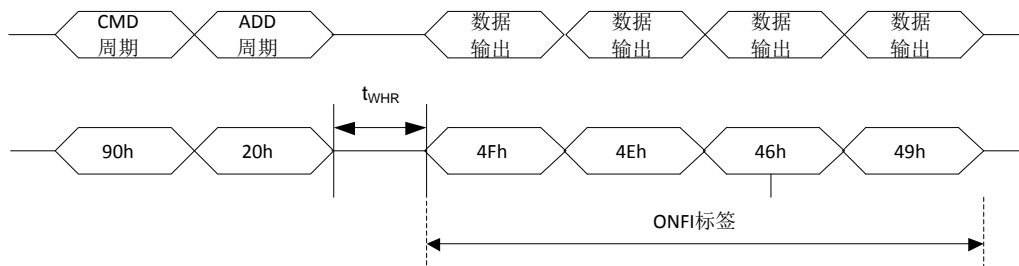
读取器件 ID（90h） — 读取 ONFI 标签

ONFI 1.0 nvSRAM

具有地址字节 20h 的读取器件 ID 指令（90h）读取四字节的 ONFI 标签，并通过 8 位数据总线将其输出。在 x16 接口

芯片中，器件仅通过 x16 数据总线的低 8 位输出标签字节。图 14 显示的是 ONFI 1.0 读器件 ID 周期时序。

图 14. ONFI 1.0 读器件 ID（CMD = 90h，ADD = 20h）周期



ONFI 1.0 NAND 闪存

ONFI 1.0 NAND 闪存的时序图同 ONFI 1.0 nvSRAM 的时序图完全一样。

读器件 ID（90h） — 读取 MID 和 DID

ONFI 1.0 nvSRAM

具有地址字节 00h 的读取器件 ID 指令（90h）读取制造商 ID（MID）和器件 ID（DID），并通过 8 位数据总线将其输出。在 x16 接口芯片中，器件仅通过 x16 数据总线的低 8 位输出标签字节。

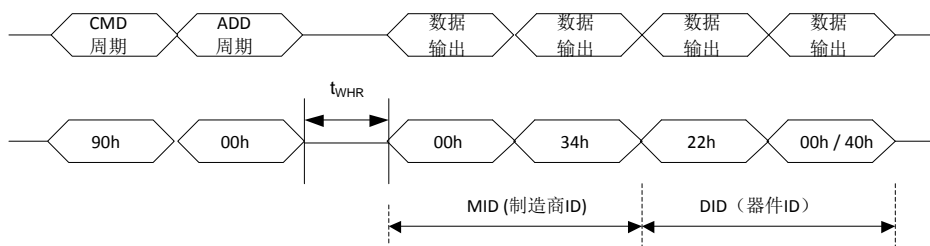
ONFI 1.0 标准仅定义了 MID 和 DID 的前两个字节。读取超出制造商数据手册中指定的前两个字节域值的器件 ID。

ONFI 1.0 nvSRAM 返回四个字节，如图 15 所示。对于 x8 接口芯片和 x16 接口芯片，MID 和 DID 的值分别为：

ONFI 1.0 nvSRAM（x8）：00 34 00 00h

ONFI 1.0 nvSRAM（x16）：00 34 00 40h

图 15. ONFI 1.0 读器件 ID (CMD = 90h, ADD = 00h) 周期



ONFI 1.0 NAND 闪存

除了 ONFI 1.0 NAND 闪存返回 5 字节的器件 ID 外，ONFI 1.0 NAND 闪存的运行情况与 ONFI 1.0 nvSRAM 读器件 ID 指令的相同。

复位 (FFh) 指令

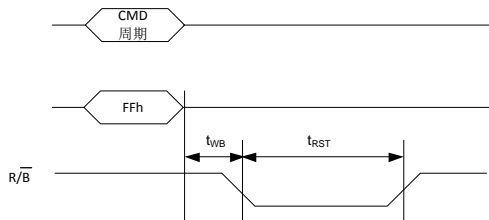
ONFI 1.0 nvSRAM

通过复位指令可使 nvSRAM 处于默认的上电状态。器件在任何状态下（进行 ONFI 1.0 nvSRAM 上电回读操作的情况除外）都可以执行复位指令。在上电回读周期中，不应该发送复位指令，并且主机要等待 R/B 变为高电平，这样可表示上电回读周期已经完成，并且 ONFI 1.0 nvSRAM 准备就绪访问。图 16 定义了复位行为和时序。对于支持 16 位数据访问的器件，不会使用高 8 位 DQ[15:8] 传输复位指令。

在进行任何非易失性操作时，如果发送了复位 (FFh) 指令，那么只有完成该非易失性操作后才能执行复位请求。根据器件当前的状态，trST 时序会根据以下项目发生改变：

- 如果器件就绪时执行了复位指令，那么处理复位请求所占用的时间为 tss。
- 如果在进行软件回读周期时发送了复位指令，那么处理复位请求所占用的时长为 tRECALL。
- 如果在进行软件或存储周期时 HSB 发送复位指令

图 16. ONFI 1.0 nvSRAM 复位周期



ONFI 1.0 NAND 闪存

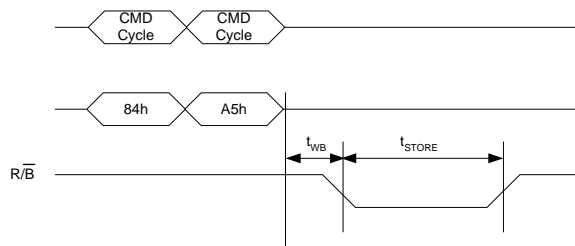
除了 ONFI 1.0 NAND 闪存在进行过程中中止指令序列（包括 PROGRAM（编程）和 ERASE（擦除）指令）外，ONFI 1.0 NAND 闪存的复位指令同 ONFI nvSRAM 的复位指令一样。正在编程存储器位置处的数据，或者被擦除的模块不再有效。数据被部分擦除或编程，处于无效状态。

软件存储 (84h, A5h) 指令

ONFI 1.0 nvSRAM

软件存储指令特定于 ONFI 1.0 nvSRAM。通过该指令可以按需求启动非易失性存储操作。非易失性存储操作会将 SRAM 的数据保存在非易失性存储器内，并且完成软件存储周期所占用的时长为 tSTORE。

图 17. ONFI 1.0 nvSRAM 软件存储周期



ONFI 1.0 NAND 闪存

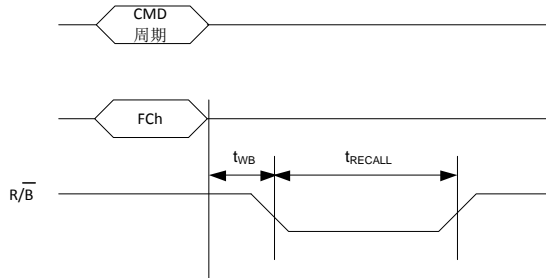
该指令不适用于 ONFI 1.0 NAND 闪存。

软件回读 (FCh) 指令

ONFI 1.0 nvSRAM

软件回读指令特定于 ONFI 1.0 nvSRAM。该指令用于启动存储器回读操作，并将非易失性存储器中的数据回读给 SRAM。ONFI 1.0 nvSRAM 需要占用 tRECALL 的时长来完成软件回读周期。

图 18. ONFI 1.0 nvSRAM 软件回读周期



ONFI 1.0 NAND 闪存

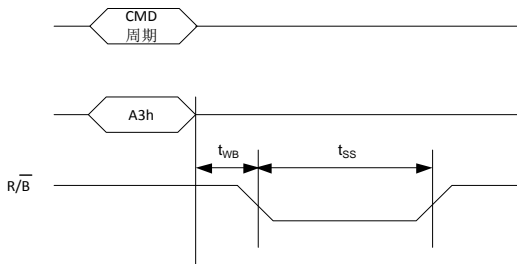
该指令不适用于 ONFI 1.0 NAND 闪存。

自动存储使能 (A3h) 指令

ONFI 1.0 nvSRAM

自动存储使能指令适用于 ONFI 1.0 nvSRAM。该指令用于使能自动存储功能（如果该功能先前被禁用）。所有器件出厂时“自动存储”都是设置为使能状态的。ONFI 1.0 nvSRAM 处理自动存储使能指令所需要的时长为 t_{ss} 。

图 19. ONFI 1.0 nvSRAM 自动存储使能周期



ONFI 1.0 NAND 闪存

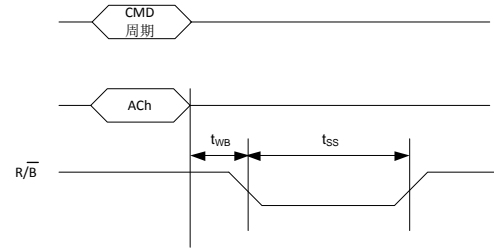
该指令不适用于 ONFI 1.0 NAND 闪存。

自动存储禁用 (ACh) 指令

ONFI 1.0 nvSRAM

自动存储禁用指令适用于 ONFI 1.0 nvSRAM，通过该指令可以禁用自动存储功能。自动存储禁用指令完成后要马上执行非易失性存储 (HSB 或软件存储)。执行自动存储禁用指令后没有马上执行非易失性存储周期，那么会禁用当前周期的自动存储功能；在后续电源周期中它不再起作用。ONFI 1.0 nvSRAM 处理自动存储禁用指令所需要的时长为 t_{ss} 。

图 20. ONFI 1.0 nvSRAM 自动存储禁用周期



ONFI 1.0 NAND 闪存

该指令不适用于 ONFI 1.0 NAND 闪存。

保留指令

ONFI 1.0 nvSRAM

保留 GetFeature (EEh) 和 SetFeature (EFh) 指令，以使用于 ONFI 1.0 nvSRAM。这两个指令作为有效指令；因此，当不执行这些指令时，不会设置状态寄存器中的 FAIL 标志位，与其他无效或不受支持的指令不同。

ONFI 1.0 NAND 闪存

在 ONFI 1.0 标志中，GetFeature (EEh) 和 SetFeature (EFh) 是可选的指令。

ONFI 1.0 nvSRAM 封装

ONFI 1.0 nvSRAM 不是与 ONFI 1.0 NAND 闪存器件相兼容的封装。表 5 列出了支持 ONFI 1.0 nvSRAM 和 NAND 闪存器件的各种封装。

表 5. ONFI 1.0 nvSRAM 和 NAND 闪存封装

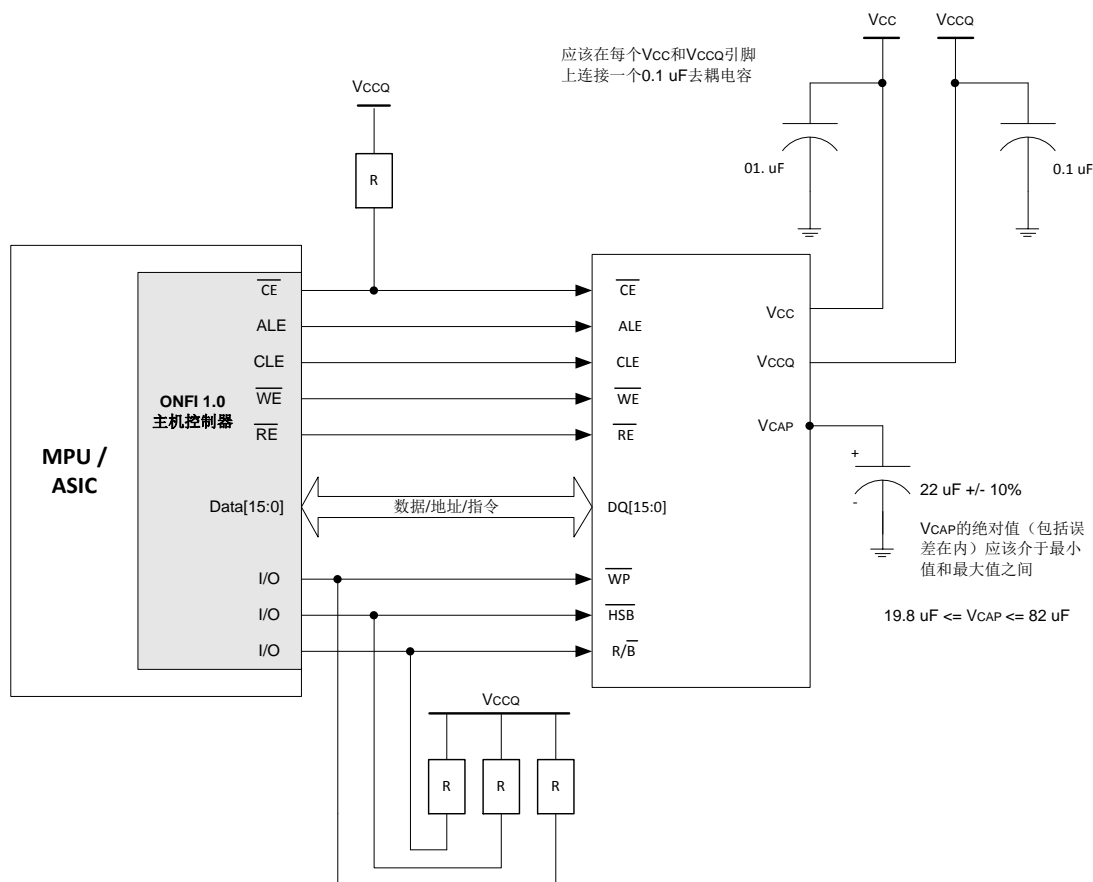
| ONFI 1.0 nvSRAM | ONFI 1.0 NAND 闪存 |
|-----------------|------------------|
| 165 球形焊盘的 FBGA | 48-TSOP |
| | 48-WSOP |
| | LGA-52 |
| | BGA-63 |

更多有关 165 球形焊盘 FBGA 封装的详细信息，请参考 [ONFI 1.0 nvSRAM 数据手册](#)。

某个系统中的典型 ONFI 1.0 nvSRAM 接口

本章节提供了演示 **nvSRAM** 和标准 **ONFI 1.0** 主机控制器的示例电路。图 21 显示的是 **ONFI 1.0 nvSRAM** 和 **NAND** 主机控制器的典型配置。

图 21. 系统中典型的 ONFI 1.0 nvSRAM 连接



设计注意事项

1. **WP**和**HSB**都是低电平有效的输入信号。如果不使用这两个控制引脚，那么通过一个外部上拉电阻（大小范围为**2.2 kΩ**到**10 kΩ**）将它们的电压上拉到**V_{CCQ}**。
2. 应该在每个**V_{CC}**和**V_{CCQ}**引脚上连接一个**0.1 μF**去耦电容。
3. **R/B**是低电平有效、开漏输出驱动的，并且需要一个外部上拉电阻，以便在器件不繁忙时将该引脚驱动为高电平。通过一个相连接的**OR**逻辑，可以将**R/B**输出连接到其他器件的**R/B**。根据多种因素（比如：灌电流规范（**I_{OL}**），**V_{OL}**电平，最短上升时间（**t_R**）以及引脚上总线的总负载），可以确定**R/B**上的外部上拉电阻值。

确定 R/B 的上拉电阻值

结合 R/\bar{B} 上的上拉电阻 (R_P) 和 R/\bar{B} 电路的电容负载 (C_B)，可确定 R/\bar{B} 信号的最大上升时间。用于 R_P 的实际值取决于系统的时序要求。较大的 R_P 会显著延迟上升时间。上升时间大约等于常量 (t_c) 的两倍 (10% ~ 90%)。

$$\text{常量 (t}_c\text{)} = R \times C \quad \text{公式 1}$$

其中, $R = R_P$ (上拉电阻的值), $C = C_B$ (总电容负载)。

$$\text{上升时间 (最大值)} = 2 \times (R_P \times C_B) \quad \text{公式 2}$$

$$\text{因此, } R_P \text{ 的最大值} = \frac{\text{Rise time (max)}}{(2xC_B)} \quad \text{公式 3}$$

R/\bar{R} 信号的下降时间主要通过 R/\bar{R} 信号的输出阻抗和总负载电容 C_B 确定。 R_p 的最小值通过 R/\bar{R} 信号 (V_{OL} 、 I_{OL}) 的输出驱动能力和输出电压摆幅 V_{CC} (最大值) 来确定。

$$R_p = \frac{V_{CC} (MAX) - V_{OL} (MAX)}{(I_{OL} + \Sigma I_L)}$$

公式 4

其中， ΣI_L 是所有器件上（互相连接的）R/ \bar{B} 引脚的总输入漏电流。

总结

ONFI 1.0 nvSRAM 遵循 ONFI 1.0 标准的大多数访问操作码和时序规范。这样可使赛普拉斯 ONFI 1.0 nvSRAM 与 ONFI 1.0 总线相连，并与其他 ONFI 1.0 NAND 闪存存储器共同使用该总线。AN91206 提供了有关 ONFI 1.0 nvSRAM 访问操作码、协议和周期时序的详细说明。本应用笔记也着重说明了赛普拉斯 ONFI 1.0 nvSRAM 与 ONFI 1.0 NAND 闪存存储器之间的主要差异。

用户可以参考本应用笔记在一个目标系统中为 ONFI 1.0 nvSRAM 接口开发设计原理图和固件代码。参考框图、设计注意事项和设计原理图都有助于使用 ONFI 1.0 nvSRAM 快速设计。有关时序图和 AC 参数的详细信息，请参考 [ONFI 1.0 nvSRAM 数据手册](#)。

相关文档

数据手册

[ONFI 1.0 nvSRAM 数据手册](#)

应用笔记/白皮书

[非易失性 SRAM（nvSRAM）的基本功能](#)

文档修订记录

文档标题：使用赛普拉斯 ONFI 1.0 nvSRAM 设计 — AN91206

文档编号：001-94580

| 版本 | ECN | 变更者 | 提交日期 | 变更说明 |
|----|---------|------|------------|--------------------------------------|
| ** | 4535498 | YLIU | 10/13/2014 | 本文档版本号为 Rev**，译自英文版 001-91206 Rev**。 |

全球销售和设计支持

赛普拉斯公司拥有一个由办事处、解决方案中心、工厂代表和经销商组成的全球性网络。如果想要查找离您最近的办事处，请访问[赛普拉斯所在地](#)。

产品

| | |
|---------|--|
| 汽车级 | cypress.com/go/automotive |
| 时钟与缓冲器 | cypress.com/go/clocks |
| 接口 | cypress.com/go/interface |
| 照明和电源控制 | cypress.com/go/powerpsoc cypress.com/go/plc |
| 存储器 | cypress.com/go/memory |
| PSoC | cypress.com/go/psoc |
| 触摸感应 | cypress.com/go/touch |
| USB 控制器 | cypress.com/go/usb |
| 无线/射频 | cypress.com/go/wireless |

PSoC®解决方案

psoc.cypress.com/solutions
PSoC 1 | PSoC 3 | PSoC 4 | PSoC 5LP

赛普拉斯开发者社区

[社区](#) | [论坛](#) | [博客](#) | [视频](#) | [培训](#)

技术支持

cypress.com/go/support

PSoC 是赛普拉斯半导体公司的注册商标且 PSoC Creator 是赛普拉斯半导体公司的商标。此处引用的所有其他商标或注册商标归其各自所有者所有。



赛普拉斯半导体
198 Champion Court
San Jose, CA 95134-1709

电话号码 : 408-943-2600
传真 : 408-943-4730
网站地址 : www.cypress.com

© 赛普拉斯半导体公司，2014。此处所包含的信息可能会随时更改，恕不另行通知。除赛普拉斯产品内嵌的电路外，赛普拉斯半导体公司不对任何其他电路的使用承担任何责任。也不会以明示或暗示的方式授予任何专利许可或其他权利。除非与赛普拉斯签订明确的书面协议，否则赛普拉斯产品不保证能够用于或适用于医疗、生命支持、救生、关键控制或安全应用领域。此外，对于可能发生运转异常和故障并对用户造成严重伤害的生命支持系统，赛普拉斯不授权将其产品用作此类系统的关键组件。若将赛普拉斯产品用于生命支持系统，则表示制造商将承担因此类使用而招致的所有风险，并确保赛普拉斯免于因此而受到任何指控。

该源代码（软件和/或固件）均归赛普拉斯半导体公司（赛普拉斯）所有，并受全球专利法规（美国和美国以外的专利法规）、美国版权法以及国际条约规定的保护和约束。赛普拉斯据此向获许可者授予适用于个人的、非独占性、不可转让的许可，用以复制、使用、修改、创建赛普拉斯源代码的派生作品、编译赛普拉斯源代码和派生作品，并且其目的只能是创建自定义软件和/或固件，以支持获许可者仅将其获得的产品依照适用协议规定的方式与赛普拉斯集成电路配合使用。除上述指定的用途外，未经赛普拉斯的明确书面许可，不得对此类源代码进行任何复制、修改、转换、编译或演示。

免责声明：赛普拉斯不针对此材料提供任何类型的明示或暗示保证，包括（但不限于）针对特定用途的适销性和适用性的暗示保证。赛普拉斯保留在不做出通知的情况下对此处所述材料进行更改的权利。赛普拉斯不对此处所述之任何产品或电路的应用或使用承担任何责任。对于合理预计可能发生运转异常和故障，并对用户造成严重伤害的生命支持系统，赛普拉斯不授权将其产品用作此类系统的关键器件。若将赛普拉斯产品用于生命支持系统中，则表示制造商将承担因此类使用而招致的所有风险，并确保赛普拉斯免于因此而受到任何指控。

产品使用可能受适用于赛普拉斯软件许可协议的限制。