

AN84060

QDR[®]-IV 設計ガイド

著者: Pritesh Mandaliya/Dev Mandya
 関連製品ファミリ: CY7C4*2*KV13、CY7C4*4*KV13
 関連アプリケーション ノート: AN79938、AN4065

AN84060 では、サイプレスのネットワーキング向け SRAM のクワッド データ レート ファミリである QDR[®]-IV の主な特長、機能説明、動作モード、消費電力計算および基板設計ガイドラインについて説明します。本アプリケーション ノートでは、QDR-II、QDR-II+および QDR-IV の SRAM ファミリの主な違いについても解説します。

目次

1	はじめに	1	7	消費電力および接合部の温度	26
2	QDR-IV の特長	3	7.1	ODT 機能が無効	26
3	機能の説明	4	7.2	HSTL 信号方式で ODT 機能が有効	27
3.1	クロック信号	4	7.3	POD 信号方式で ODT 機能が有効	28
3.2	読み出し/書き込み動作	5	7.4	x18 デバイスの例	30
3.3	スキュー補正 トレーニング シーケンス	7	8	バス幅拡張	31
3.4	バンク動作	11	8.1	バス幅拡張コンフィギュレーションの推奨事項	31
3.5	バス ターンアラウンドの考慮事項	12	9	容量拡張	32
3.6	バス反転	13	9.1	容量拡張コンフィギュレーションの推奨事項	33
3.7	データ バス反転	14	10	QDR-IV、QDR-II+および QDR-II+Xtreme	
3.8	アドレス パリティ	15		デバイスの比較	34
4	メモリ コントローラの設計の推奨事項	16	10.1	アーキテクチャ、帯域幅、消費電力と機能の比較	34
4.1	エラー訂正コード (ECC)	17	10.2	RTR 比較	35
5	QDR-IV の動作モード	18	10.3	QDR [®] -II、QDR-II+および QDR-IV デバイスの	
6	基板の設計ガイドライン	18		ピン割り当て	36
6.1	QDR-IV 入力電圧の要件	18	11	まとめ	45
6.2	デカップリング コンデンサの要件	19	12	参考資料	45
6.3	基板のデカップリング コンデンサの決定	19	13	付録	45
6.4	基板のレイアウト ガイドライン	24		ワールドワイドな販売と設計サポート	47
6.5	出力データ有効ウィンドウ	24			

1 はじめに

ストリーミング ビデオ、クラウド サービスやモバイル データなどは世界的なネットワーク トラフィックの継続的な成長を活気づけて来ました。この成長を支援するために、次世代のネットワーク システムはより高速な回線を提供し、毎秒数百万のパケットを処理しなければなりません。パケットは順不同で受信され、各パケットを処理するために幾つかのメモリ トランザクションが必要です。高性能ネットワーク システムでは、パケットの流れは、転送テーブルから経路を検索したり、統計情報を更新するために毎秒何億回ものメモリ トランザクションを必要とします。

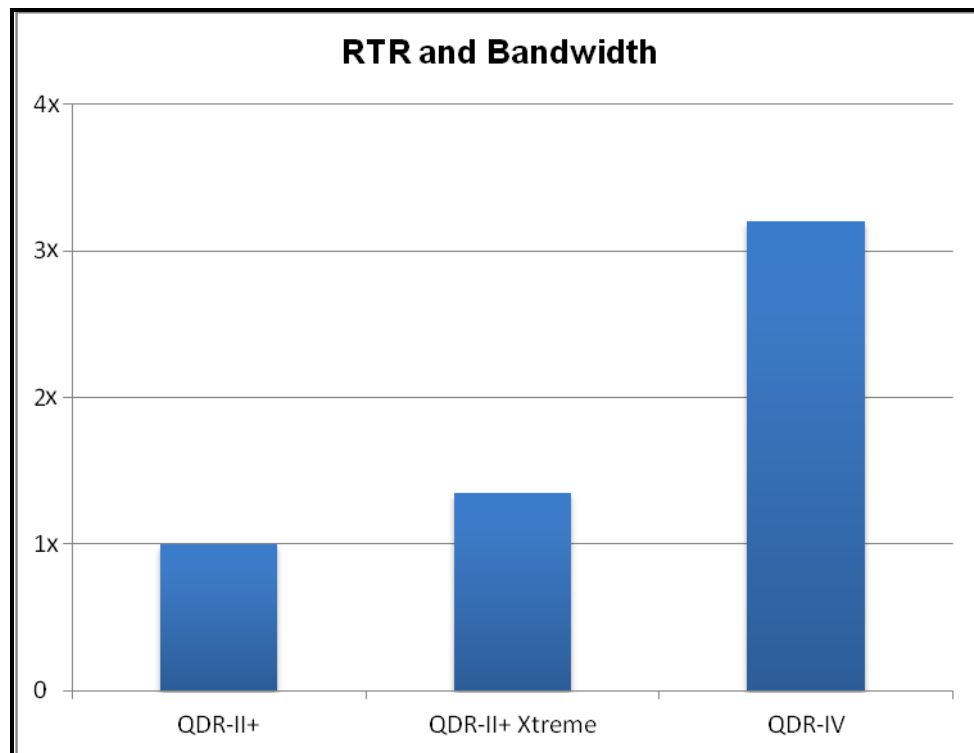
その結果、パケット レートはランダム メモリ アクセス レートに正比例します。次世代ネットワーキング機器は、かつてないほど増大しているネットワーク トラフィックに対応できるように非常に高いランダム トランザクション レート (RTR) 性能と帯域幅を持ったメモリを必要とします。

サイプレスの広帯域幅 QDR-IV SRAM は、優れた RTR 性能に対応するよう設計されており、統計情報の更新、フロー状態の追跡、パケットのスケジューリング、テーブル検索の実行などの要求の厳しいネットワーク機能を満たしています。

RTR (ランダム トランザクション レート) は、メモリで実行できる完全なランダム メモリ アクセス (読み込みまたは書き込み) の回数として定義されます。つまり、それはランダムなデータをアドレス指定できる速度 (即ち、ランダム アドレス レート) です。この指標は、トランザクション中にアクセスされているビット数とは無関係です。RTR の単位は百万トランザクション/秒 (MT/s) です。

図 1 のグラフでは、最大 RTR と QDR-II+, QDR-II+ Xtreme および QDR-IV デバイスの帯域幅を比較します。図に示されるように、QDR-IV の性能は QDR-II+ より 3 倍改善されました。これにより、QDR-IV は高性能ネットワーク システムに最適な選択肢となります。

図 1. RTR と帯域幅の比較



QDR-IV ファミリは以下のものを含んでいます。

- QDR-IV High Performance (HP) SRAM: 最大 667MHz までの周波数でサイクル毎に 2 回のアクセスを行い、5 クロック サイクルの読み出しレイテンシを持つ、2 ワード パースト アーキテクチャのデバイスです。
- QDR-IV Xtreme Performance (XP) SRAM: 1066MHz の最大周波数でサイクル毎に 2 回のアクセスを行い、8 クロック サイクルの読み出しレイテンシを持つ、バンクに分けられた 2 ワード パースト アーキテクチャのデバイスです。周波数の増加により、QDR-IV XP は 2132MT/s の RTR および 153.5Gb/s の帯域幅を提供することができます。

2 QDR-IV の特長

表 1 では、QDR-IV SRAM デバイスの特長を紹介します。

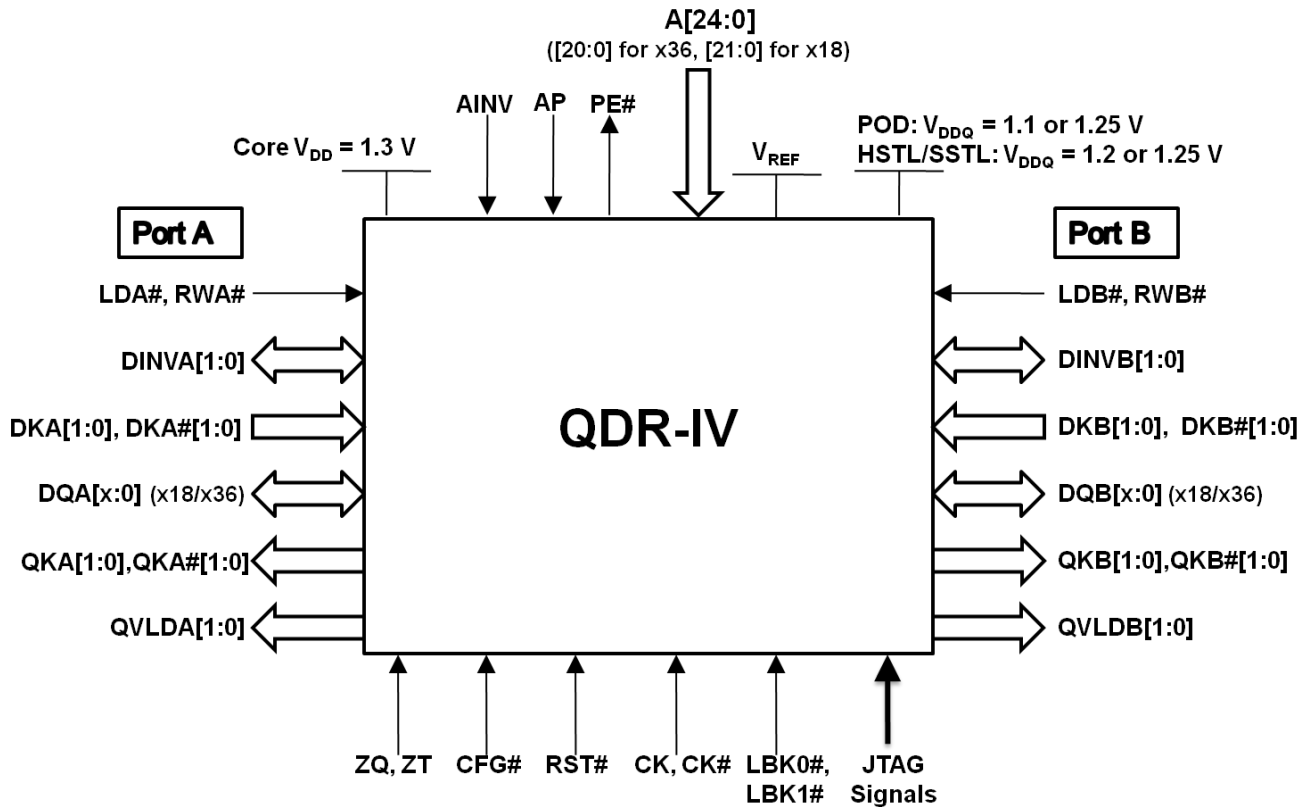
表 1. QDR-IV の特長

機能	説明
データポート	QDR-IV は 2 ワード パースト アーキテクチャで同時読み出し／書き込みトランザクションをサポートする 2 個の独立した双方向データポートを搭載両方のデータポートはダブルデータレートで動作 QDR-IV では、各ポートは 18 ビットまたは 36 ビット I/O 幅
アドレスポート	QDR-IV は両方のデータポートを制御する、ダブルデータレートで動作する 1 個のアドレスポートを搭載
制御信号	QDR-IV の全ての制御信号はシングルデータレート (SDR) で動作
動作モード	QDR-IV は、8 バンクモードでは最大 1066MHz で動作し (QDR-IV XP SRAM)、バンク無しモードでは最大 667MHz で動作 (QDR-IV HP SRAM)
クロック	QDR-IV は 3 つの差動クロックを使用: 1. アドレスとコマンド信号用の (CK, CK#) 2. データ入力信号用の (DKA, DKA#, DKB, DKB#) 3. データ出力信号用の (QKA, QKA#, QKB, QKB#)
バス反転	QDR-IV は、スイッチングノイズおよび消費電力を減少させるためのバス反転機能を搭載これはアドレスとデータ用にオン／オフに設定可能である
アドレスバスパリティエラー保護	QDR-IV はオン／オフに設定可能なアドレスバスパリティエラー保護機能を搭載これは、アドレスバスにデータの完全性を提供
オンダイ終端 (ODT)	QDR-IV はクロック、アドレス、コマンドおよびデータピンに対してオン／オフ設定可能な終端をダイ上 (ODT) で提供 40、50、60、100、120Ω の終端値に対応
内部構成レジスタ	QDR-IV は、デバイスを設定するための内部レジスタを搭載します。これらのレジスタへのアクセスは、通常のメモリトランザクションと同時に起きないようなコンフィギュレーションモードでのみ実行可能。レジスタはメモリ初期化中に書き込まれ、後で更新され読み戻される
書き込み転送	QDR-IV は完全なデータ整合性を保証しながらポート間の書き込み転送をサポート
ECC (エラー訂正コード)	QDR-IV は実質的にソフトエラーレート (SER) を除去するため、オンチップエラー訂正コード (ECC) を導入
トレーニングモード	QDR-IV はスキュー補正トレーニング用の制御、アドレス、データおよびクロックピンのループバック動作モードがあり、信号タイミングを改善
I/O 信号方式	QDR-IV は JESD8-24 準拠の疑似オープンドレイン (POD) と互換性があり、JESD8-16A 準拠の高速トランシーバロジック／スタブ直列終端ロジック (HSTL/SSTL) 信号方式と互換性がある。POD は 1.1V±50mV または 1.2V±50mV の I/O V_{DDQ} レベルを使用し、HSTL/SSTL は 1.2V±50mV または 1.25V±50mV の I/O V_{DDQ} レベルを使用
電源供給	QDR-IV には、1.3V±40mV コア電圧 (V_{DD})が必要です。
パッケージ	QDR-IV は、1mm ピッチで 21mm × 21mm の 361 ボールフリップチップボールグリッドアレイ (FCBGA) パッケージに搭載
JTAG	QDR-IV は、JESD8-26 準拠の JTAG 1149.1 と互換性があるテストアクセスポートおよび 1.3V LVCMOS に準拠している信号方式に対応

タイミング波形の詳細については、関連するデータシートを参照してください。

図 2 には、QDR-IV の一般インターフェース図を示します。インターフェースは、POD と HSTL/SSTL 型のインターフェースと電氣的に互換性があるように設計されています。

図 2. インターフェース図



3 機能の説明

QDR-IV SRAM は、ポート A とポート B の 2 個のデータ I/O ポートを備えています。これら 2 個のポートへのアクセスは互いに独立であるため、ランダム トランザクション レートはメモリ アレイへの読み出し／書き込みアクセスの任意の組み合わせに応じて最大化されます。

QDR-IV では、各ポートへのアクセスは、ダブル データ レートで動作する共通のアドレス バス (A) を介して行われます。ポート A のアドレスは入力クロック (CK) の立ち上がりエッジでラッチされ、ポート B のアドレスは CK の立ち下がりエッジまたは CK# の立ち上がりエッジでラッチされます。制御信号 (LDA#、LDB#、RWA#、RWB#) はシングル データ レート (SDR) で動作し、読み出しを実行するか書き込みを実行するかを決定します。両方のデータ ポート (DQA と DQB) はダブル データ レート (DDR) インターフェースを備えています。デバイスは、2 ワード バス アーキテクチャを持っています。これは、x1x36 データ バス幅で使用できます。

QDR-IV XP SRAM デバイスは、バンク切り替えの設定があります。「[バンク動作](#)」節では、デバイスを非常に高い周波数と RTR で動作させることができるバンク切り替えの使い方を説明します。

3.1 クロック信号

- CK/CK#クロックは、次のアドレ ピンおよび制御ピンに対応します: An～A0、AINV、LDA#、LDB#、RWA#および RWB#。CK/CK#の位相は、アドレスと制御信号に対して中央に揃えられます。
- DKA/DKA#と DKB/DKB#は、入力される書き込みデータに対応する入力クロックです。これらのクロックの位相は、入力される書き込みデータに対して中央に揃えられます。

表 2 には、QDR-IV SRAM デバイスのデータ バス幅の設定に応じて、入力クロックと入力書き込みデータの関係を示します。

表 2. 入力クロックと書き込みデータの関係

入力クロック	x18	x36
DKA0/DKA0#	DQA[8:0]を制御	DQA[17:0]を制御
DKA1/DKA1#	DQA[17:9]を制御	DQA[35:18]を制御
DKB0/DKB0#	DQB[8:0]を制御	DQB[17:0]を制御
DKB1/DKB1#	DQB[17:9]を制御	DQB[35:18]を制御

- QKA/QKA#と QKB/QKB#は、読み出しデータに対応する出力クロックです。これらのクロックは、読み出し出力データに対してエッジに揃えられます。

QDR-IV SRAM デバイスのデータ バス幅のコンフィギュレーションに応じて、出力クロックと読み出しデータの関係を表 3 示します。

表 3. 出力クロックと読み出しデータの関係

出力クロック	x18	x36
QKA0/QKA0#	DQA[8:0]を制御	DQA[17:0]を制御
QKA1/QKA1#	DQA[17:9]を制御	DQA[35:18]を制御
QKB0/QKB0#	DQB[8:0]を制御	DQB[17:0]を制御
QKB1/QKB1#	DQB[17:9]を制御	DQB[35:18]を制御

アドレス／制御信号およびデータ出力は CK/CK#クロックと同期します。データ入力 は DK/DK#入力クロックと同期します。

コマンドとデータ サイクル間の適切なタイミングを確保するために、また適切なデータ バス ターンアラウンドを有効にするために、DKA/DKA#と DKB/DKB#クロックは、それぞれ対応するデータシートで規定された CK と DKx 間のスキュー (t_{CKDK}) を満たさなければなりません。

データ出力クロック QK/QK#は内部 PLL から生成されます。これは、CK/CK#クロックと同期し、それに対応するデータシートで規定された CK と QKx 間のスキュー (t_{CKQK}) を満たしています。

3.2 読み出し／書き込み動作

読み出しと書き込みコマンドは、制御入力 (LDA#、RWA#、LDB#、RWB#) およびアドレス入力で駆動されます。

ポート A の制御入力は、入力クロック (CK) の立ち上がりエッジでサンプリングされます。ポート B の制御入力は、入力クロックの立ち下がりエッジでサンプリングされます。

表 4 には、ポート A およびポート B の読み出し／書き込み動作の条件を示します。

表 4. ポート A およびポート B の読み出し／書き込みの条件

	読み出し動作	書き込み動作
ポート A	LDA#=0 および RWA#=1	LDA#=0 および RWA#=0
ポート B	LDB#=0 および RWB#=1	LDB#=0 および RWB#=0

図 3 および図 4 に示すように、ポート A の読み出しデータが DQA ピンに現れるのは、読み出しレイテンシ (RL) クロック 5 サイクル後 (QDR-IV HP SRAM の場合)、または RL クロック 8 サイクル後 (QDR-IV XP SRAM の場合) です。データは、READ コマンドが発行された後、CK 信号の立ち上がりエッジから規定の RL クロック サイクル後に利用可能になります。

ポート A の書き込みデータが DQA ピンに供給されるのは、書き込みレイテンシ (WL) クロック 3 サイクル後 (QDR-IV HP SRAM の場合)、または WL クロック 5 サイクル後 (QDR-IV XP SRAM の場合) です。データは、WRITE コマンドが発行された後、CK 信号の立ち上がりエッジから規定の WL クロック サイクル後に書き込まれます。

ポート B の読み出しデータが DQB ピンに現れるのは、RL クロック 5 サイクル後 (QDR-IV HP SRAM の場合)、または RL クロック 8 サイクル後 (QDR-IV XP SRAM の場合) です。データは、READ コマンドが発行された後、CK 信号の立ち下がりエッジから規定の RL クロック サイクル後に利用可能になります。

ポート B の書き込みデータが DQB ピンに供給されるのは、WL クロック 3 サイクル後 (QDR-IV HP SRAM の場合)、または WL クロック 5 サイクル後 (QDR-IV XP SRAM の場合) です。データは、WRITE コマンドが発行された後、CK 信号の立ち下がりエッジから規定の WL クロック サイクル後に書き込まれます。

QVLDA/QVLDB 信号は、それぞれに対応するポートで有効な出力データを示します。QVLDA と QVLDB は、最初のデータワードがバスで駆動される半クロック サイクル前にアサートされ、最後のデータワードがバスで駆動される半クロック サイクル前にデアサートされます。データ出力は、最後のデータワードの後にトリステートになります。

図 3. 読み出しタイミング

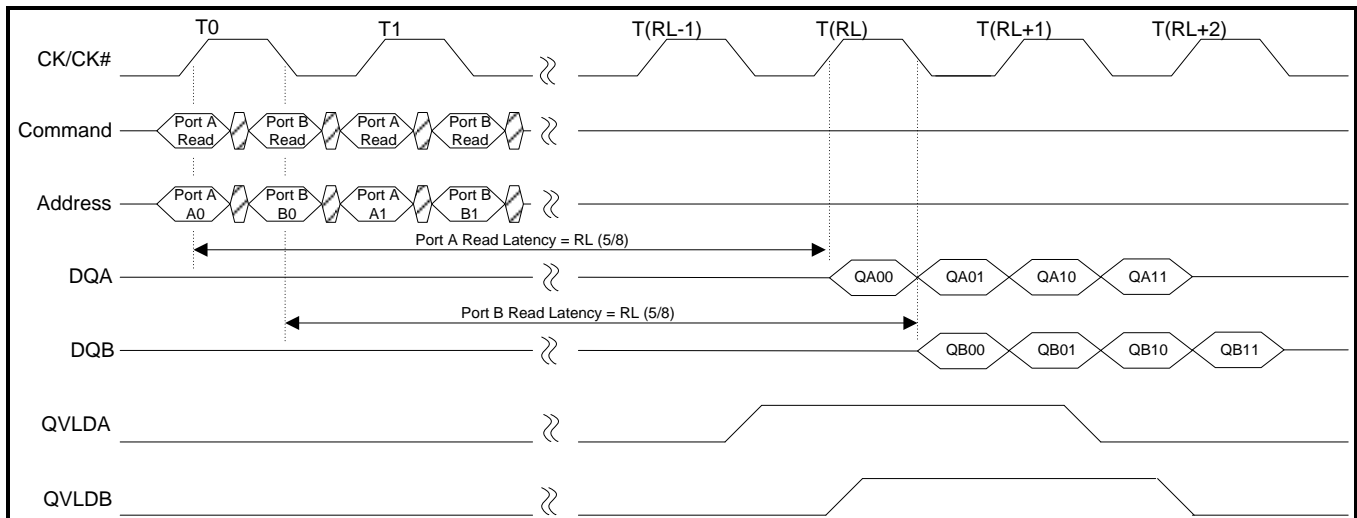
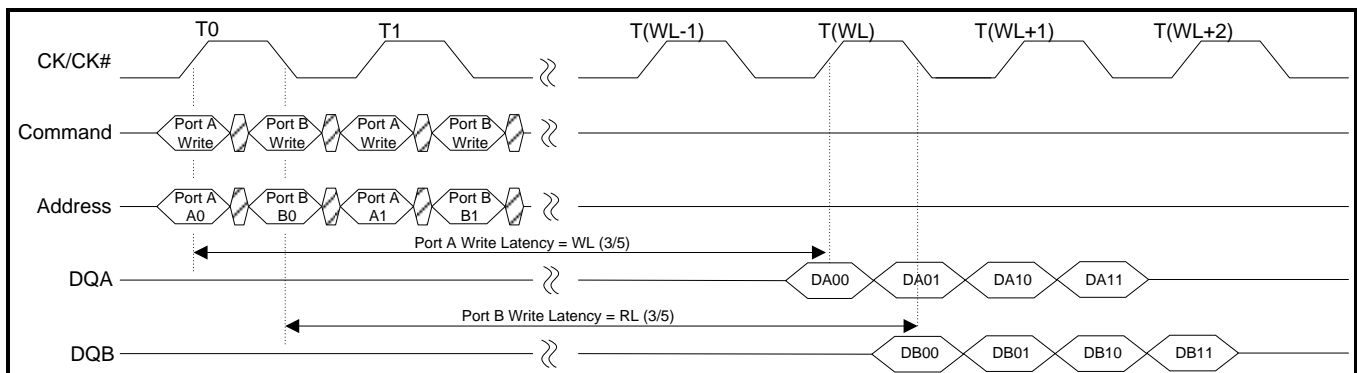


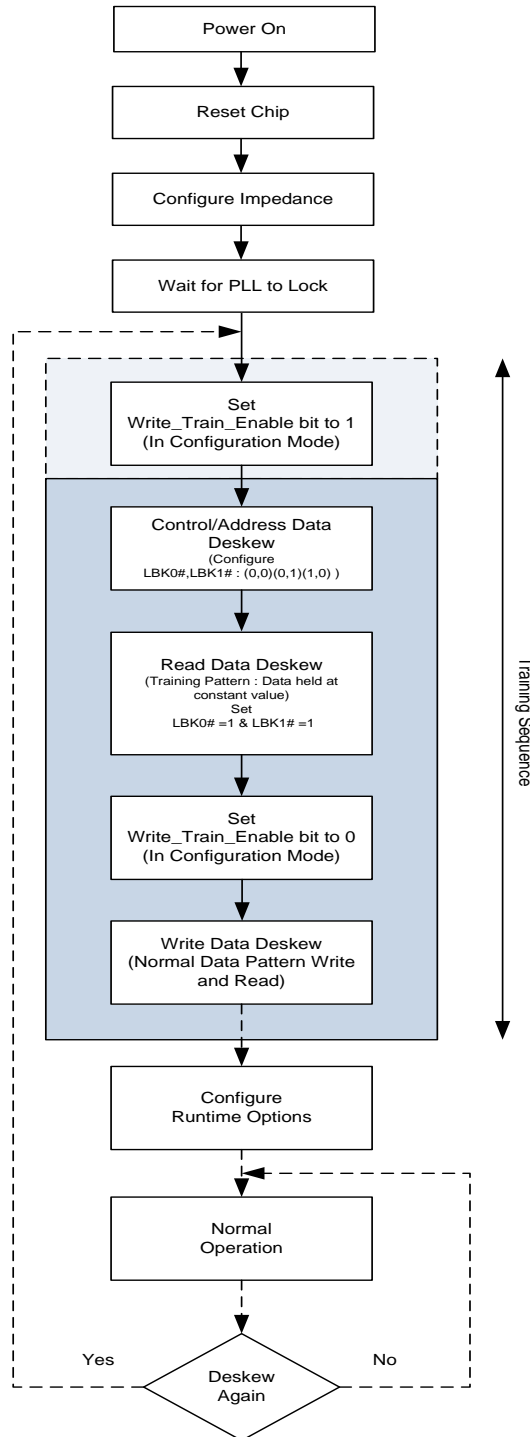
図 4. 書き込みタイミング



3.3 スキュー補正トレーニング シーケンス

QDR-IV SRAM は、メモリ コントローラーの高速動作のために信号のスキュー補正に対応しています。このトレーニング シーケンスは、内蔵スキュー補正機能をサポートしないアプリケーションに通常採用されます。このトレーニング シーケンスの概要を図 5 に示します。

図 5. スキュー補正トレーニング シーケンス



スキュー補正 トレーニング シーケンスは初期化手順の一部です (初期化手順についてはデータシートを参照してください)。パワーアップとリセット シーケンスの直後、動作のコンフィギュレーション モード中にオプション制御レジスタの Write_Train_Enable ビット (ビット位置 7) をセットする必要があります。それを行うことで、トレーニング シーケンスの前にコンフィギュレーション モードに再び入ることを避けることができます。このビットをセットしても読み出しデータ スキュー補正 トレーニングになるまでは何の影響もありません。

スキュー補正は 3 つのステップで実行されます。

1. 制御／アドレスのスキュー補正
2. 読み出しデータのスキュー補正
3. 書き込みデータのスキュー補正

3.3.1 制御／アドレスのスキュー補正

スキューが補正される信号によって LBK0#と LBK1#を該当するビット値にセットします。ループバック信号マッピングについては表 5 を参照してください。

以下の 39 信号がループバックされます。

- DKA0、DKA0#、DKA1、DKA1#
- DKB0、DKB0#、DKB1、DKB1#
- LDA#、RWA#、LDB#、RWB#
- A[24:0]、AINV、AP

表 5. ループバック信号マッピング

入力ピン LBK0# = 0 LBK1# = 0	入力ピン LBK0# = 0 LBK1# = 1	入力ピン LBK0# = 1 LBK1# = 0	出力ピン
A0	A13	DKA0	DQA0
A1	A14	DKA0#	DQA1
A2	A15	DKA1	DQA2
A3	A16	DKA1#	DQA3
A4	A17	LDA#	DQA4
A5	A18	RWA#	DQA5
A6	A19	DKB0	DQA6
A7	A20	DKB0#	DQA7
A8	A21	DKB1	DQA8
A9	A22	DKB1#	DQA9
A10	A23	LDB#	DQA10
A11	A24	RWB#	DQA11
A12	AINV	AP	DQA12

クロック入力 DKA0、DKA0#、DKA1、DKA1#、DKB0、DKB0#、DKB1、DKB1#はフリーランのクロック入力であり、トレーニング シーケンスの間に継続して動作します。

各入力ピンは入力クロック (CK/CK#) の立ち上がりエッジと立ち下がりエッジの両方でサンプリングされます。出力クロック (QKA/QKA#) の立ち上がりエッジで出力される値は、入力クロックの立ち上がりエッジでサンプリングされた値となります。出力 (QKA/QKA#) の立ち下がりエッジで出力される値は、入力クロックの立ち下がりエッジでサンプリングされたものの値を反転したものになります。データ反転はこのモードでアクティブにならず、CFG#はアドレス／制御ループバック トレーニング中に HIGH になります。

図 6. ループバックトレーニング図

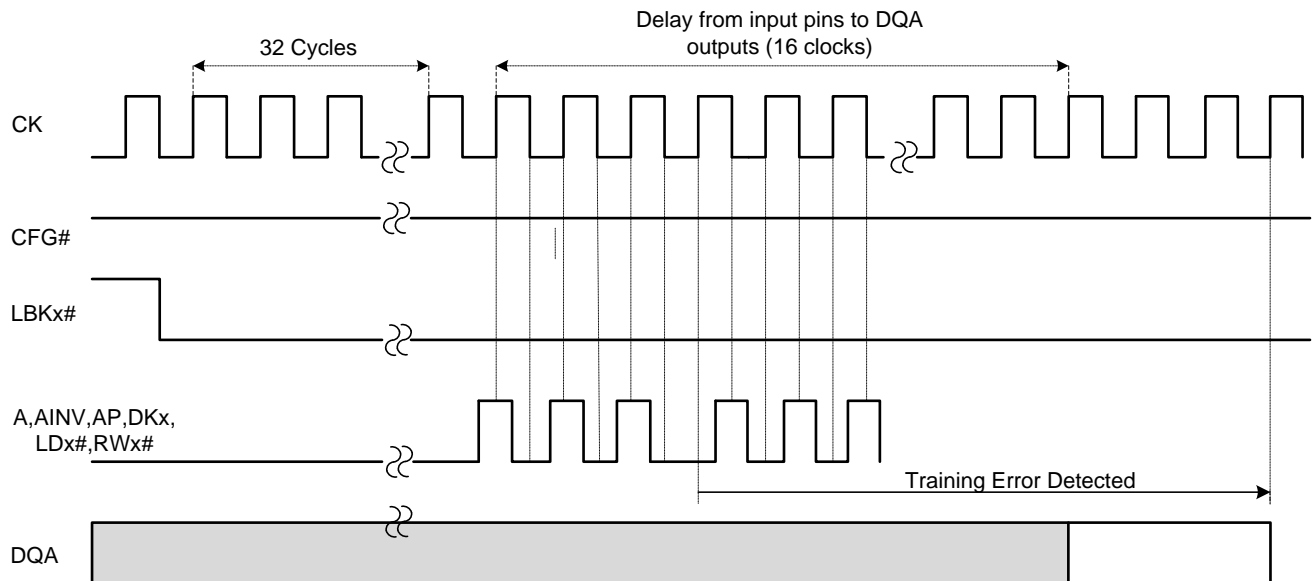


図 6 に示すように、アドレス／制御信号のスキューが補正されなければ、トレーニング期間中にずっと HIGH になるべき DQA の信号は LOW になります。この信号移行は信号を駆動するモジュールによりキャプチャされ、プロセッサ／FPGA はそれに応じて信号を調整する必要があります。

3.3.2 読み出しデータのスキュー補正

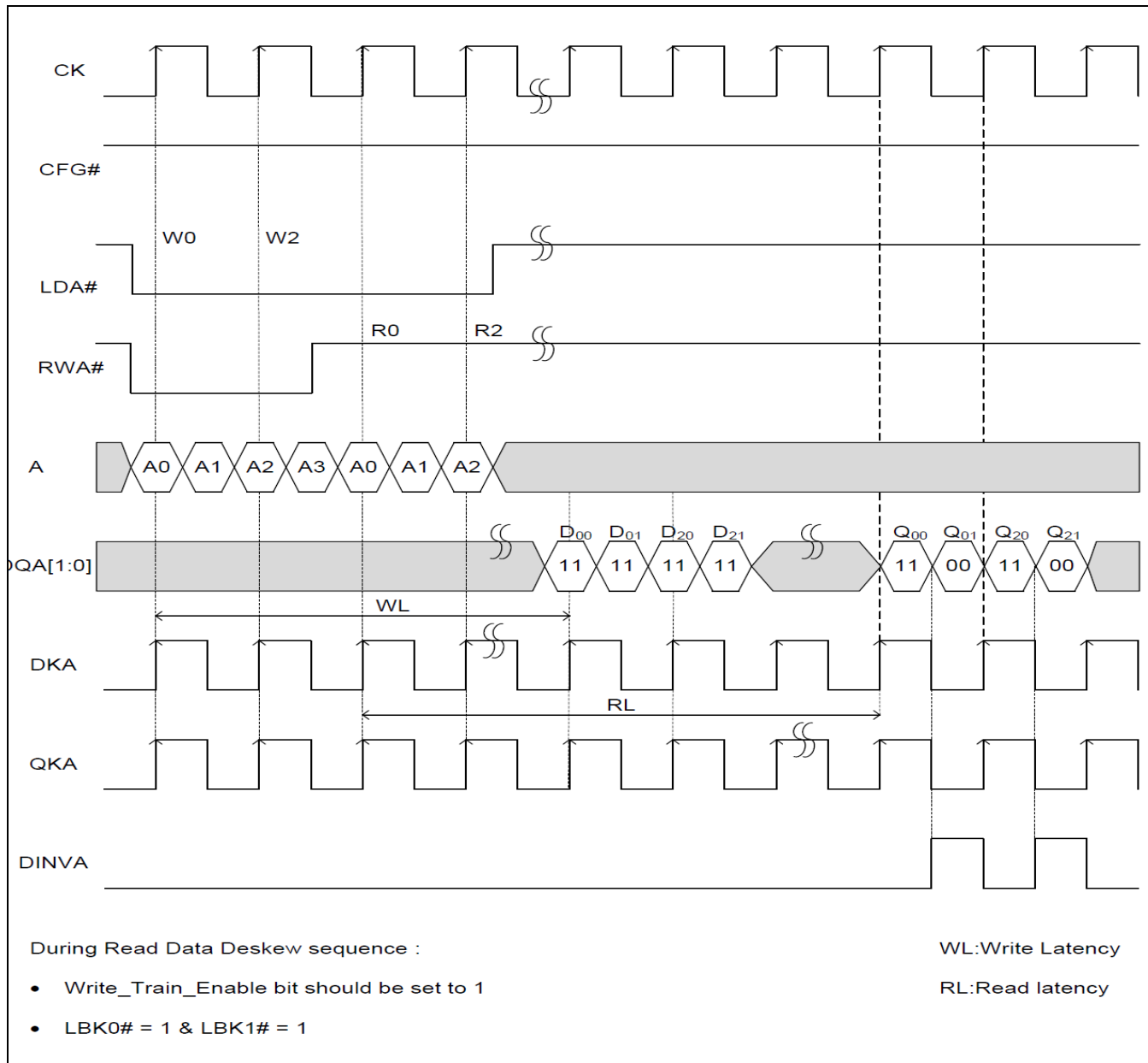
この段階で、アドレス、制御およびデータ入力クロックは既にスキューが補正されています。読み出しデータ スキュー補正シーケンス中、メモリに書き込むのに使用されるトレーニング データ パターンは以下の波形図に示されるように定数の値に保たれます。LBK0#と LBK1#の両方はこのトレーニング シーケンス中に 1 にセットされます。

オプション制御レジスタを構成している時、Write_Train_Enable ビットは 1 にセットされます。1 番目と 2 番目のデータ バーストは同じデータ バスからサンプリングされますが、2 番目のデータ バーストはメモリに書き込む前に補完されます。Write_Train_Enable ビットは読み出しデータ サイクルに影響を与えません。

データ パターンがメモリに書き込まれた後、標準読み出しコマンドにより FPGA／プロセッサが QK/QK#に応じてデータとスキュー補正にアクセスすることができます。DINVA／DINVB は書き込み中に無視され、Write_Train_Enable = 1 の場合の読み出し中に常にトグルします。

読み出しデータ スキュー補正の図に示すように、メモリに書き込むデータ (D₀₀、D₀₁、D₂₀、D₂₁) はすべて 1s で、該当する読み出しデータ (Q₀₀、Q₀₁、Q₂₀、Q₂₁) は 1 と 0 間にトグルします。プロセッサ／FPGA はトグルしたデータをキャプチャし検証する必要があります。そうしなければ、FPGA／プロセッサ側からの読み出しデータスキュー補正を確認するために正確な調整が必要です。

図 7. 読み出しデータ スキュー補正 シーケンス図



3.3.3 書き込みデータのスキュー補正

この時点で、アドレス、制御、クロックおよびデータ出力のスキュー補正が済んでいます。読み出しデータ スキュー補正 シーケンスを実行する前に、コンフィギュレーション モードに再び入り、Write_Train_Enable に該当するビットを 0 にクリアすることで Write_Train_Enable を無効にします。

書き込みデータ スキュー補正は、通常動作モードのメモリへの書き込みコマンドに続いて読み出しコマンドを使用して実行されます。書き込みデータがデバイスによって正常に受信されたかは、既にスキュー補正された読み出しデータ パスにより確認されます。これによりプロセッサ/FPGA は、DK/DK#入力データ クロックに対して、DQA、DINVA、DQB、DINVB 信号のスキューを補正できます。

3.4 バンク動作

QDR-IV XP SRAM は 8 バンク モードで高周波数 (最大動作周波数 = 1066MHz) で動作するように設計されます。QDR-IV HP SRAM はバンク無しモードで比較的低い周波数 (最大動作周波数 = 667MHz) で動作します。

QDR-IV XP の下位アドレスの 3 本のピン (A2、A1、A0) は、読み出しと書き込み動作中にアクセスされるバンクを選択します。バンク選択での唯一の制約は、各バンクにはクロック サイクル毎に 1 回しかアクセスできないことです。QDR-IV XP SRAM のバンク アクセス ルールはポート B でアクセスするバンク アドレスがポート A でアクセスされるバンク アドレスと同様ではないと要求します。

バンク制約違反が発生した場合、ポート A での読み出し／書き込み動作はクロックの立ち上がりエッジでサンプリングされるため制限されないが、ポート B では拒否されます。QDR-IV HP SRAM はバンク アクセス制限がありません。

図 8. QDR-IV XP SRAM – 書き込み／読み出し動作

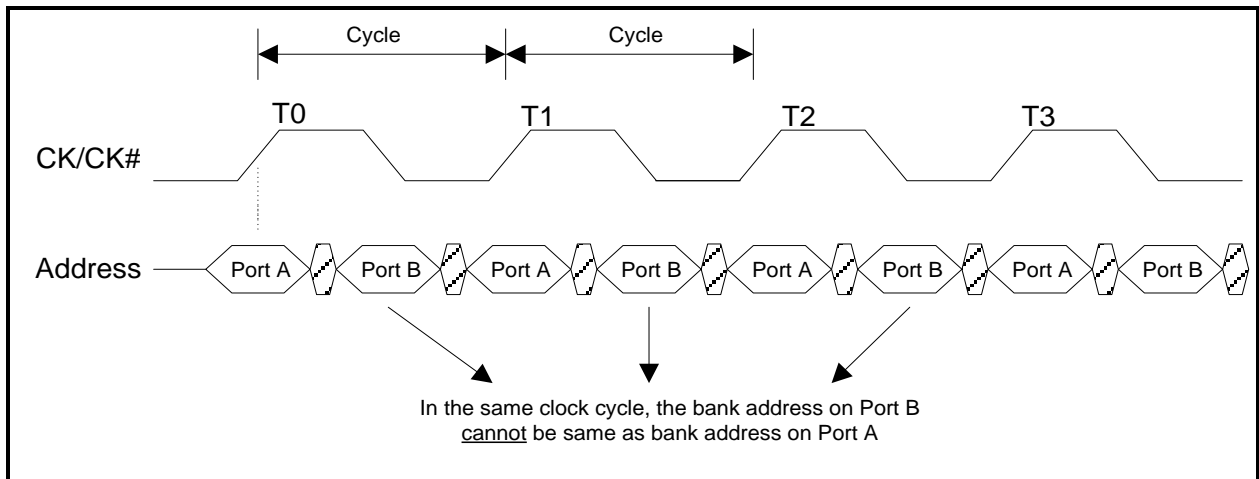
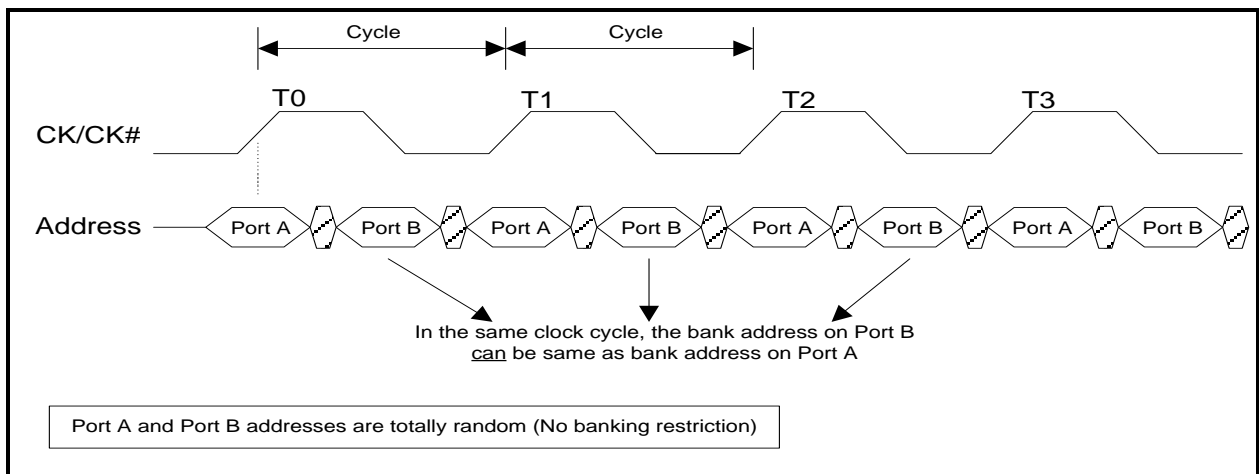


図 9. QDR-IV HP SRAM – 書き込み／読み出し動作

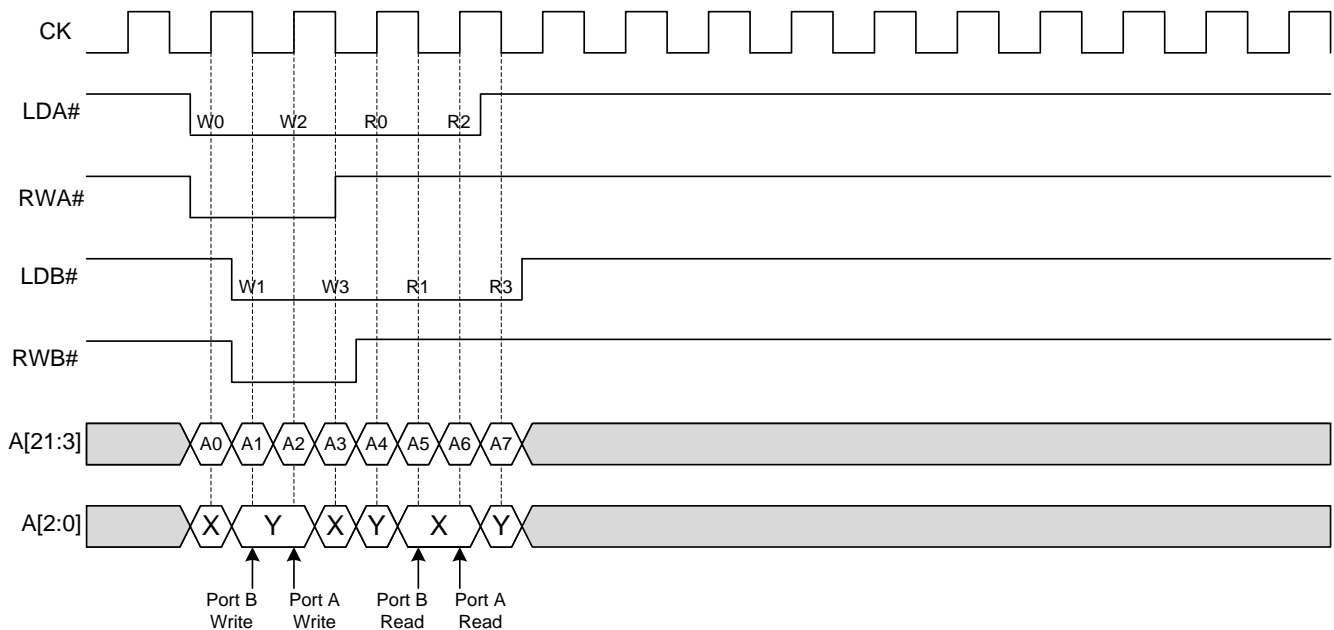


QDR-IV XP SRAM でのバンク選択制約は、メモリのそれぞれのバンクが異なる目的に使用され、同じクロック サイクル中に 2 回アクセスされないアプリケーションにとってメリットです。一例としてはネットワーク ルーターが異なるルーティング テーブルを QDR-IV XP SRAM の各バンクに格納できるものです。特定のルーティング テーブルが同じクロック サイクル中に 2 度以上アクセスされない場合、QDR-IV XP SRAM に提供される高い RTR (ランダム トランザクション レート)^[1]に達成できます。そのようなアプリケーションでは、達成できる最大 RTR は 1066MHz の動作周波数で 2132MT/s です。

バンク選択制約がトランザクション レートを遅らせるもう 1 つのシナリオは物理層にポートが複数あり、それぞれのポートがメモリのバンクの 1 つに向けるデザインです。これらのポートは QDR-IV XP SRAM のポート A とポート B に多重送信します。このデザインでは、各バンクが物理層の異なるポートに接続するため同じサイクル中に 2 回アクセスできる単一のバンクはありません。

同じクロック サイクル中に同じバンクへの読み出し／書き込み動作は設計により不可です。しかし、1 回目のバンクへのアクセスがポート B を介して現在のクロック サイクルの立下りエッジで行い、2 回目のアクセスがポート A を介して次のクロック サイクルの立ち上がりエッジで行う場合、1 クロック サイクル期間中に同じバンクに再びアクセスすることが可能です。下図では、ポート B とポート A の両方は書き込みシーケンス中に 1 クロック サイクル期間中にバンク Y にアクセスします。同様に、ポート B とポート A は読み出しシーケンス中に 1 クロック サイクル期間中にバンク Y にアクセスします。

図 10. 1 クロック サイクル期間中の同じメモリバンクへのアクセス



3.5 バス ターンアラウンドの考慮事項

バス ターンアラウンド時間は、同じ I/O ポートにバス競合を避けるために、読み出しと書き込みコマンド間に追加の期間が必要なのかを決定する、重要な役割を果たします。

QDR-IV HP SRAM のポート A で、書き込みコマンドに続いて読み出しコマンドを実行する場合を検討しましょう。書き込みデータは、書き込みコマンドの発行開始時点に対応する CK 信号の立ち上がりエッジから 3 クロック サイクル後に DQA ピンに供給されます。読み出しデータは、読み出しコマンド開始に対応する CK 信号の立ち上がりエッジの 5 クロック サイクル後に DQA ピンに供給されます。バス ターンアラウンド時間と (ASIC/FPGA から QDR IV メモリまでの) 配線遅延を補償するのに使用される余分の 2 サイクルがあります。そのため、読み出しコマンドを書き込みコマンドの直後に開始できます。

^[1] RTR (ランダム トランザクション レート) は、メモリで実行できる完全なランダム メモリ アクセス (読み出しまたは書き込み) の回数として定義されます。RTR の単位は百万トランザクション/秒 (MT/s) です。

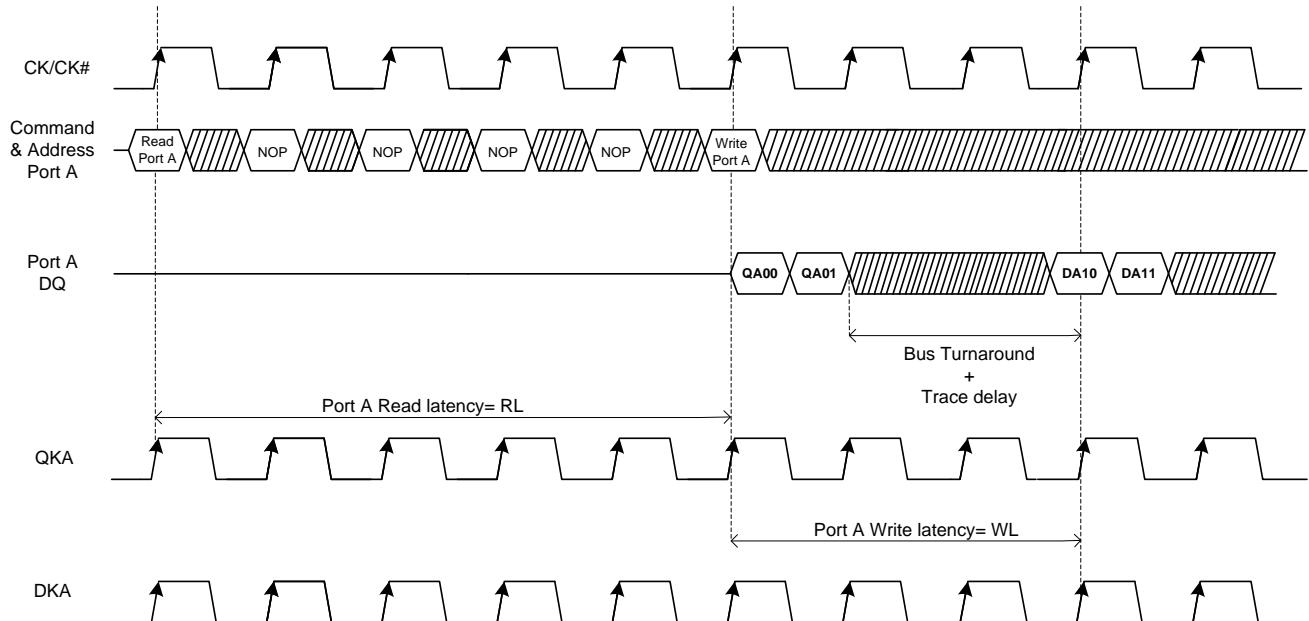
一方、書き込みコマンドに続いて読み出しコマンドを実行する場合、書き込みコマンドは読み出しコマンドから 3 クロック後に発行される必要があります。これは読み出しコマンドがクロック信号 CK の立ち上がりエッジでサンプリングされてから 5 クロック後に DQA ピンの読み出しデータが表示し、書き込みコマンドがクロック信号 CK の立ち上がりエッジでサンプリングしてからちょうど 3 クロック後に書き込みデータが DQA ピンに供給されるからです。そうしないと、バス競合が発生します。そのため、書き込みコマンドが発行される最小限のクロック サイクルは $RL - WL + 1$ で計算される必要があります (RL: 読み出しレイテンシ; WL: 書き込みレイテンシ、両方ともクロック サイクル単位)。余分の 1 サイクルはデータが正しくキャプチャできるため、およびバス ターンアラウンド遅延を補償するために使用されます。

配線遅延がバス ターンアラウンド遅延より長い場合、「読み出しコマンドと書き込みコマンド」間の期間は次の式で計算されます。

$$\text{「読み出しコマンドと書き込みコマンド」間の期間} = \text{読み出しレイテンシ} - \text{書き込みレイテンシ} + 1 + \text{配線遅延}$$

図 11 を参照してください。ポート A の書き込みコマンドは読み出しコマンドから 5 クロック サイクル後に発行されます。これは読み出しレイテンシと書き込みレイテンシの差によるバス競合を避けるために行います。

図 11. QDR-IV HP SRAM 時間解析図



3.6 バス反転

QDR-IV デバイスはバス反転をサポートします。即ち、全てのアドレス ピンとデータ ピンを反転することができるということです。

アドレスおよびデータ バス反転信号は、双方向データ ラインでのジッタ、スイッチング ノイズおよび I/O スwitchング電力を減少させるのに役立ちます。トランスミッタは、データ転送間でビット数の半分以上が異なる時にバス反転を適用します。QDR-IV デバイスの POD 信号モードでは、 V_{DDQ} へのハイ サイド終端のオプションを I/O 信号に提供するので、ロジック HIGH 状態に駆動された信号は電力を消費しません。従って、バス反転は POD I/O 信号方式と共に使用される重要な機能です。内部的には、QDR-IV は反転されたアドレスとデータ バスのデータ完全性を保証します。

アドレスとデータ バスの反転機能は、チップ構成レジスタを使用して有効か無効にすることができます。

3.6.1 アドレス バス反転

AINV はダブル データ レート信号であり、メモリ デバイスに送信されたアドレス毎に更新されます。AINV ピンは、アドレスバス ($A_n \sim A_0$) および AP が反転されるかを示します。AINV はアクティブ HIGH 信号です。AINV=1 の場合、アドレスバスは反転されます。AINV=0 の場合、アドレスバスは反転されません。AINV ピンの機能はメモリ コントローラによって制御されます。

アドレスバスおよびアドレス パリティビットは一緒に、アドレス グループ (AG) として見なされます。

表 6 には、x18 と x36 QDR-IV オプションに応じた AG の定義と AINV のセットアップ条件を示します。

表 6. アドレス バス反転条件

	x18	x36
アドレス グループ	AG[22:0]=A[21:0]、AP	AG[21:0]=A[20:0]、AP
反転ロジック	AG[22:0]内のロジック 0 の数が ≥ 12 の場合、AINV=1 にセットして AG[22:0]を反転	AG[21:0]内のロジック 0 の数が ≥ 11 の場合、AINV=1 にセットして AG[21:0]を反転
	AG[22:0]内のロジック 0 の数が < 12 の場合、AG[22:0]をそのままにし、AINV=0 にクリア	AG[21:0]内のロジック 0 の数が < 11 の場合、AG[21:0]をそのままにし、AINV=0 にクリア

3.6.2 x36 デバイスの例

アドレス バス反転なしの場合:

22'h 000199 および 22'h 3FFCFF アドレスそれぞれにアクセスすることを想定してください。下表 (赤いセル) に示されるように、17 本のアドレス ピンは 1 番目と 2 番目のアドレス間でロジック状態を切り替える必要があります。これにより、アドレス ピンでのスイッチング ノイズ、I/O 電流およびクロストークが増加します。

表 7. アドレス バス順序 (バス反転なし)

AG[21:0]	22ビット (2進数)																					
1 番目のアドレス グループ (22'h 000199)	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	0	0	1	1	0	0	1
2 番目のアドレス グループ (22'h 3FFCFF)	1	1	1	1	1	1	1	1	1	1	1	1	0	0	1	1	1	1	1	1	1	1

アドレス バス反転ありの場合:

表 6 のように、1 番目のアドレス グループ (22'h 000199) は反転ロジック条件を満たします。従って、メモリ コントローラーが 1 番目のアドレス グループを送信する前に、それを 22'h 000199 から 22'h 3FFE66 に反転し、AINV ピンを 1 にセットします。2 番目のアドレス グループを反転する必要がないため、メモリ コントローラーはそれをそのまま送信し、AINV を 0 にクリアします。

下表には、アドレス バス反転の結果を示します。この場合、ロジックを切り替えるアドレス ピンは 5 本だけ (赤いセル) です。従って、切り替わるビットの総数は 5 個に減少し、その結果として、同時スイッチング出力 (SSO) ノイズ、I/O 電流およびクロストークも減少します。

表 8. アドレス バス順序 (バス反転あり)

AG[21:0]	22 ビット(2 進数)																				AIN V		
1 番目のアドレス グループ (22'h 3FFE66) (反転された)	1	1	1	1	1	1	1	1	1	1	1	1	1	0	0	1	1	0	0	1	1	0	1
2 番目のアドレス グループ (22'h 3FFCFF) (そのまま)	1	1	1	1	1	1	1	1	1	1	1	1	1	0	0	1	1	1	1	1	1	1	0

3.7 データ バス反転

DINVA と DINVB ピンは、それぞれ DQA と DQB ピンが反転されるかを示します。DINVA と DINVB はアクティブ HIGH 信号です。DINV=1 の場合、データ バスは反転されます。DINV=0 の場合、データ バスは反転されません。

DINVA と DINVB ピンの機能は、メモリ書き込み中にメモリ コントローラーによって制御されます。メモリ読み出し中に、QDR-IV メモリ内の反転ロジックは DINVA と DINVB 機能を生成します。

DINVA[1]と DINVA[0]は独立して、それぞれ対応する DQA グループを制御します。DINVA[0]は、x36 コンフィギュレーションでは DQA[17:0]を制御し、x18 コンフィギュレーションでは DQA[8:0]を制御します。DINVA[1]は、x36 コンフィギュレーションでは DQA[35:18]を制御し、x18 コンフィギュレーションでは DQA[17:9]を制御します。同様に、DINVB[0]は、x36 コンフィギュ

レーションでは DQB[17:0]を制御し、x18 コンフィギュレーションでは DQB[8:0]を制御します。DINVB[1]は、x36 コンフィギュレーションでは DQB[35:18]を制御し、x18 コンフィギュレーションでは DQB[17:9]を制御します。

x18 と x36 の QDR-IV オプションに応じて、DINV のビット説明および DINVA のセットアップ条件を表 9 に示します。

表 9. データバス反転条件

	x18	x36
DINV ビット	DINVA[1]は DQA[17:9]を制御、DINVA[0]は DQA[8:0]を制御 DINVB[1]は DQB[17:9]を制御、DINVB[0]は DQB[8:0]を制御	DINVA[1]は DQA[35:18]を制御、DINVA[0]は DQA[17:0]を制御 DINVB[1]は DQB[35:18]を制御、DINVB[0]は DQB[17:0]を制御
反転 ロジック	DQA[8:0]内のロジック 0 の数が ≥ 5 の場合、DINVA[0]=1 に セットして DQA[8:0]を反転	DQA[17:0]内のロジック 0 の数が ≥ 10 の場合、DINVA[0]=1 に セットして DQA[17:0]を反転
	DQA[8:0]内のロジック 0 の数が < 5 の場合、DQA[8:0]をそのま まにし、DINVA[0]=0 にクリア	DQA[17:0]内のロジック 0 の数が < 10 の場合、DQA[17:0]をその ままにし、DINVA[0]=0 にクリア

注: DINVA[1]、DINVB[0]および DINVB[1]がそれぞれの対応する DQ グループを制御するために、それらに同様な反転ロジックを適用することができます。

3.7.1 x18 デバイスの例

データバス反転なしの場合:

9'h 007 と 9'h 1F3 それぞれを DQA[8:0]に送信することを想定してください。その結果として、下表 (赤いセル) に示されるように、6 本のデータピンは 1 番目と 2 番目の DQA[8:0]ビット間でロジックを切り替える必要があります。これにより、データピンでのスイッチングノイズ、I/O 電流およびクロストークが増加します。

表 10. データバス順序 (バス反転なし)

DQA[8:0]	9 ビット (2 進数)								
1 番目の DQA[8:0] (9'h 007)	0	0	0	0	0	0	1	1	1
2 番目の DQA[8:0] (9'h 1F3)	1	1	1	1	1	0	0	1	1

データバス反転ありの場合:

表 9 のように、1 番目の DQA[8:0]は反転ロジック条件を満たします。従って、メモリコントローラが 1 番目の DQA[8:0]を送信する前に、それを 9'h 007 から 9'h 1F8 に反転し、DINVA[0]ピンを 1 にセットします。2 番目の DQA[8:0]を反転する必要がないため、メモリコントローラはそれをそのまま送信し、DINVA[0]を 0 にクリアします。

表 11 には、データバス反転の結果を示します。この場合、ロジックを切り替えるデータピンは 3 本だけ (赤いセル) です。従って、切り替わるビットの総数は 3 個に減少し、その結果として、SSO ノイズ、I/O 電流およびクロストークも減少します。

表 11. データバス順序 (バス反転あり)

DQA[8:0]	9 ビット (2 進数)									DINVA[0]
1 番目の DQA[8:0] (9'h 1F8) (反転された)	1	1	1	1	1	1	0	0	0	1
2 番目の DQA[8:0] (9'h 1F3) (そのまま)	1	1	1	1	1	0	0	1	1	0

3.8 アドレスパリティ

アドレスパリティ入力 (AP) およびアドレスパリティエラーフラグ出力 (PE#) ピンは、チップ内でアドレスパリティ機能を提供して、アドレスバスの整合性を保証します。アドレスパリティ機能は任意であり、コンフィギュレーションレジスタで有効か無効にすることができます。

AP ピンは、偶数パリティをアドレスピン (An~A0) に提供するのに使用されます。AP 値は、AP と An~A0 のロジック 1 の総数が偶数であるようにセットされます。

- x18 データ バス幅のデバイスでは、A[21:0]と AP のロジック 1 の総数が偶数であるように AP をセットします。
- x36 データ バス幅のデバイスでは、A[20:0]と AP のロジック 1 の総数が偶数であるように AP をセットします。

3.8.1 x36 デバイスの例

x36 データ バス幅のデバイスでは、アドレス 21'h1E0000 と 21'h1F0000 を想定します。表 12 には、それぞれのアドレスに対して AP をどのように設定するかを示します。

表 12. アドレス パリティ機能

	アドレス、A[20:0] (x36 デバイス)																				AP	A[20:0]と AP のロジック 1 の総数	
21'h1E0000	1	1	1	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	4	A[20:0]には偶数 (4 個) のロジック 1 があるため、AP=0
21'h1F0000	1	1	1	1	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	6	A[20:0]には奇数 (5 個) のロジック 1 があるため、AP=1

パリティ エラーが生じた時、最初のエラーの完全なアドレスは、ポート A/B エラー ビットおよびアドレス反転ビットと共にコンフィギュレーションレジスタ 4、5、6、7 に記録されます (コンフィギュレーションレジスタの詳細情報については、関連するデータシートを参照してください)。ポート A/B エラー ビットは、アドレス パリティ エラーが発生したポートを示します: 0 はポート A であり、1 はポート B です。この情報は、コンフィギュレーションレジスタ 3 のアドレス パリティ エラー クリア ビットに 1 を書き込むことでクリアされるまで、ラッチされたままです。

2 つのカウンタは複数のアドレス パリティ エラーが起きたかどうかを示すのに使われます。ポート A エラー カウントは、ポート A アドレスのパリティ エラー数のランニング カウントです。同様に、ポート B エラー カウントは、ポート B アドレスのパリティ エラー数のランニング カウントです。それぞれは 3 の最大値までカウントして、停止します。両方のカウンタはフリーランニングであり、コンフィギュレーションレジスタ 3 のアドレス パリティ エラー クリア ビットに 1 を書き込むことでリセットされます。

アドレス パリティ エラーが検出されるやいなや、メモリ破損を防ぐために書き込み動作は無視されます。しかし、読み込み動作は正しくない受信アドレスで継続し、ジャンク データがメモリから送信されます。

PE#はアクティブ LOW 信号であり、アドレス パリティ エラーを示します。PE#信号は、アドレス パリティ エラーが検出されてから 8 サイクル以内 (QDR-IV XP SRAM の場合) または 5 サイクル以内 (QDR-IV HP SRAM の場合) に 0 にクリアされます。これは、エラーがコンフィギュレーションレジスタでクリアされるまで、アサートされたままです。アドレス パリティ チェックは、アドレス反転が実行された後完了します。

AP エラーはメモリ アクセスに影響せず、QDR-IV SRAM がアドレス パリティ エラーを無視するため、PE#信号を監視する必要があります。

PE#が LOW になるやいなや、直ちにコンフィギュレーションレジスタでメモリ動作を停止し、PE#を HIGH にリセットしてください。また、データの一部が更新されず、AP エラーで書き込み動作がブロックされたため、データをメモリに再度書き込む必要があります。

4 メモリコントローラの設計の推奨事項

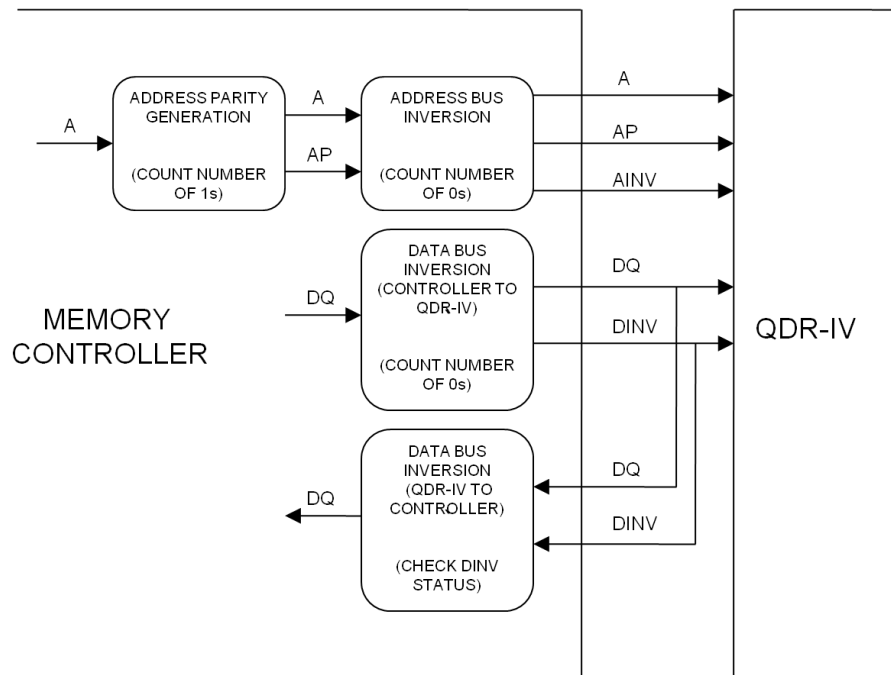
メモリコントローラはまず、アドレスバスに基づいてアドレスパリティを生成する必要があります。アドレス反転はその後、アドレスバスとアドレスパリティビットで行われます。

データバス反転に対応して、メモリコントローラはデータを QDR-IV に送信する前に、それぞれの DQ バスのロジック 0 数をカウントして、(データバス反転の条件に基づいて) 対応する DINV ビットを生成する必要があります。

QDR-IV はデータをメモリ コントローラに送信する時、同じ考え方をデータ バス反転に使用します。QDR-IV から受信されたデータを識別するために、コントローラは対応する DINV ビットの状態をチェックするだけで済みます。コントローラは DINV=1 を受信した場合、関連するデータ バスを反転する必要があります。そうでない場合、受信したデータ ビットをそのままにします。

図 12 には、メモリ コントローラの設計の注意点を示します。

図 12. メモリ コントローラの設計の注意点



4.1 エラー訂正コード (ECC)

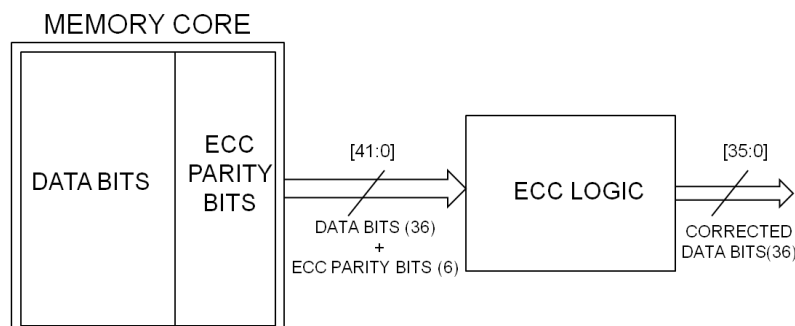
サイプレスは、QDR-IV メモリ アレイの全体的なソフト エラー レート (SER) を減少させるためにオンチップ エラー訂正コード (ECC) を導入しています。この機能は、x18 と x36 データ バス幅両方のオプションに対応しており、常に有効になっています。ECC 保護はシングル ビット エラー訂正 (SEC) を提供します。

内部メモリ アレイは、ECC パリティを格納するのに必要な追加のビットを含みます。しかし、これらの追加の内部ビットは外部ピンに送られません。

例えば、図 13 には、x36 デバイスの出力データ ロジック図を示します。36 個のデータ ビットに対応した 6 個の ECC パリティ ビットがあります。従って、42 ビット (36 個のデータ ビット+6 個の ECC パリティ ビット) がメモリ コアから ECC ロジックに送られます。結果として、ECC ロジックは 36 ビットの訂正された出力データを提供します。

ECC なしの QDR/DDR SRAM は通常、SER 故障率 (FIT) は 200FIT/Mb です。ECC により、故障率が 4 桁改善されて、0.01FIT/Mb になります。

図 13. 出力データ ロジック (x36 オプション)



5 QDR-IV の動作モード

QDR-IV XP SRAM は高い周波数で動作し、幾つかのバンク アクセス制約がありますが、QDR-IV HP SRAM は比較的低い周波数で動作し、バンク アクセス制約がありません。

QDR-IV は、動作速度で決められた読み出しレイテンシと書き込みレイテンシ値で動作します。表 13 では、動作モードおよびそれぞれに対応する周波数を定義します。

表 13. 動作モード

	QDR-IV HP SRAM		QDR-IV XP SRAM	
クロック周波数	600MHz	667MHz	933MHz	1066MHz
読み出しレイテンシ	5 サイクル	5 サイクル	8 サイクル	8 サイクル
	8.33ns	7.5ns	8.57ns	7.5ns
書き込みレイテンシ	3 サイクル	3 サイクル	5 サイクル	5 サイクル
バンク動作	なし		あり	
バス幅	x18、x36			
入出力	1.1V と 1.2V POD 1.2V と 1.25V HSTL/SSTL			
パッケージ	361 FCBGA			
ポート コンフィギュレーション	双方向 R/W ポート			
メモリ容量	144Mb、72Mb			

6 基板の設計ガイドライン

6.1 QDR-IV 入力電圧の要件

表 14 には、POD と HSTL/SSTL 信号方式 (信号伝達方法) を使用する QDR-IV SRAM の異なる入力電圧の要件を示します。

表 14. QDR-IV 入力電源電圧

POD インターフェース					
パラメーター	説明	Min	Typ	Max	単位
V_{DD}	コア電源電圧 (1.3V±40mV)	1.26	1.3	1.34	V
V_{DDQ}	I/O 電源電圧 (1.1V±50mV)	1.05	1.1	1.15	V
	I/O 電源電圧 (1.2V±50mV)	1.15	1.2	1.25	
V_{REF}	リファレンス電圧	$V_{DDQ} \times 0.69$	$V_{DDQ} \times 0.7$	$V_{DDQ} \times 0.71$	V
HSTL/SSTL インターフェース					
パラメーター	説明	Min	Typ	Max	単位
V_{DD}	コア電源電圧 (1.3V±40mV)	1.26	1.3	1.34	V
V_{DDQ}	I/O 電源電圧 (1.2V±50mV)	1.15	1.2	1.25	V
	I/O 電源電圧 (1.25V±50mV)	1.2	1.25	1.3	
V_{REF}	リファレンス電圧	$V_{DDQ} \times 0.48$	$V_{DDQ} \times 0.5$	$V_{DDQ} \times 0.52$	V

6.1.1 V_{DD} と V_{DDQ} の生成

- V_{DD} 供給電源を設計するための動作時電流 (I_{DD}) については、対応するデバイス データシートを参照してください。サイプレスは、レギュレータ用 IC で V_{DD} および V_{DDQ} を生成することを推奨します。
- V_{DDQ} に対応した I/O 切り替え電流 (I_{DDQ}) は、「消費電力および接合部温度の計算」節で記述される) 電力計算ツールで計算できます。QDR-IV は ODT 機能が有効になった状態で動作する場合、合計の I_{DDQ} を得るために I/O 切り替え電力および ODT 電力を計算する必要があります。

6.1.2 V_{REF} の生成

- V_{REF} は、差動アンプへの入力であるため、わずかな電流を消費します。最大 V_{REF} 電流要件は、POD 信号モードの場合に 3 μ A、HSTL/SSTL 信号モードの場合に 1 μ A です。
- V_{REF} は V_{DDQ} 電圧に追従する必要があります。 V_{REF} は、HSTL/SSTL インターフェースの場合に $V_{DDQ}/2$ に等しく、POD インターフェースの場合に $V_{DDQ} \times 0.7$ に等しいです。そのように、 V_{REF} は、 V_{DDQ} で抵抗分周器を使用するか、またはレギュレータ用 IC を使用して生成することができます。

6.1.3 HSTL 信号方式の V_{TT} の生成

- 入力信号が基板上の端子で終端され、ODT オプションが QDR-IV 内で無効である場合、基板は追加の終端電源 ($V_{TT}=V_{DDQ}/2$) を必要とします。
- V_{TT} 電源設計用の V_{TT} 電流を推定するために、消費電力計算ツールを使用して外部終端電力を計算します。
- V_{TT} も V_{DDQ} に追従する必要があるため、サイプレスは、電流を供給するか低下させ、電圧を制御する V_{DDQ} ソースまたはレギュレータを使用して V_{TT} を生成することを推奨します。

6.2 デカップリング コンデンサの要件

デカップリング コンデンサは、電源システムのノイズを減少させるのに必要です。これらのコンデンサの目的は、電源バス上のインダクタンスまたはグラウンド バウンスの影響を除去することです。このコンデンサは低い直列抵抗と直列インダクタンスを持ち、電源バスを IC から分離 (バイパス) します。

デカップリング コンデンサの利点は以下の通りです。

- 電源ピンとグラウンド ピンでの電圧変動を低減させます。
- 電源面からグラウンド面への低インピーダンス経路を提供します。
- 電源面とグラウンド面間で信号リターン経路を提供します。

表 15 には、それぞれの入力電圧に対応した QDR-IV パッケージのデカップリング コンデンサを示します。

表 15. QDR-IV パッケージのデカップリング コンデンサ

電圧	パッケージ デカップリング コンデンサ
V_{DD}	10x100nF
V_{DDQ}	10x100nF

6.3 基板のデカップリング コンデンサの決定

本節は参考として、QDR-IV の特性評価用基板を使用して安定した V_{DDQ} 電源を得る方法の例を示します。サイプレスは、目標インピーダンスに到達するために、対象とする基板に基づいたシミュレーションを行うことをお勧めします。

まず、それぞれの電源系の目標インピーダンス (Z_T) を計算します。目標インピーダンスは、平均電流 (最大電流の 50%と仮定) および外部電源電圧 (V_{DD} 、 V_{DDQ} 、 V_{REF} 、 V_{TT}) の割合として許容されるノイズ電圧によります。

よって、

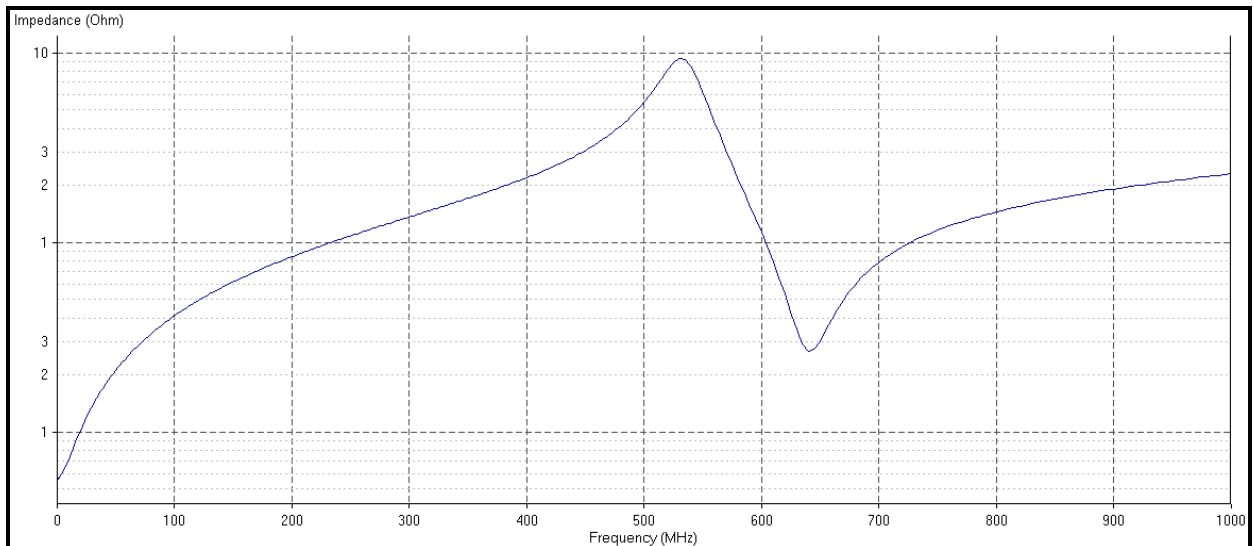
$$\text{目標インピーダンス } (Z_T) = (\text{電源電圧} \times \text{ノイズの割合}) / (\text{最大過渡電流の 50\%}) \dots\dots\dots(1)$$

分子の電圧供給は $V_{OH}-V_{IH}$ および $V_{OL}-V_{IL}$ の電源ノイズの特性によります。これは、許容可能な電源ノイズの最大レベルです。最大電流は、全ての出力が切り替わっている時のオーバーシュートの電流です。1 出力あたり 20mA の最大過渡電流および 100 本の出力が切り替わると仮定しています。仮定されるノイズ レベルは V_{DDQ} (1.2V 標準) の 10%です。結果として得られた QDR-IV の目標インピーダンスは 120m Ω です。

次に、電圧セグメントまたは電源プレーンをシミュレーションします。ツール (Cadence Sigrity など) は、リード抵抗とリードインダクタンスである ESR/ESL を含むデカップリング コンデンサ ライブラリをサポートします。コンデンサの選択は最大電圧、サイズ、コストなどに左右されます。

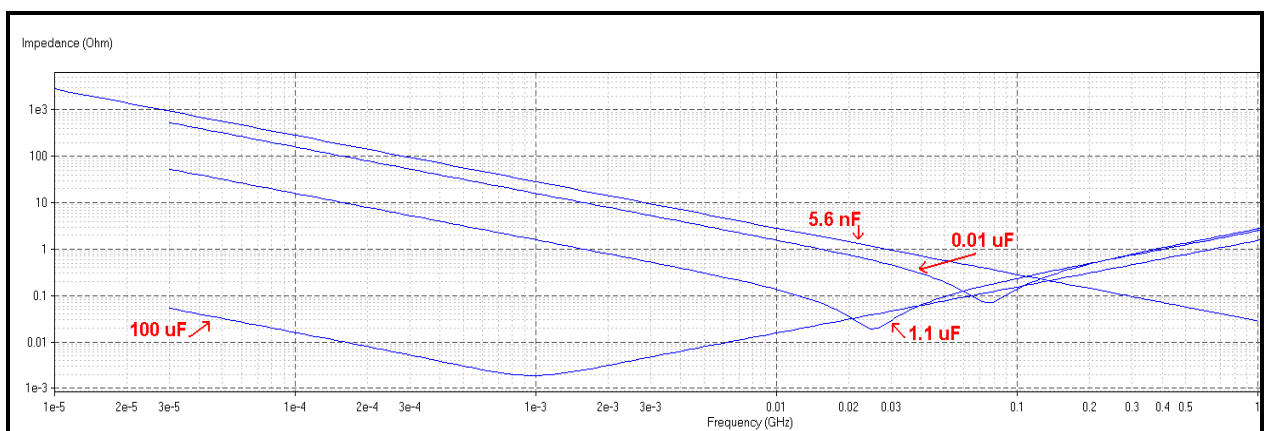
以下のシミュレーションの例は、周波数領域で行われます。通常、オン ダイ キャパシタを含む如何なるコンデンサもついていない電源インピーダンスを観察するために、デカップリング コンデンサ無しでのシミュレーションが行われます。

図 14. デカップリング コンデンサのない場合の VDDQ 電源のインピーダンス



その後、異なるコンデンサの容量が繰り返し代入され、計算ツールでシミュレーションされます。この繰り返し、インピーダンスが高い時の周波数に依存するコンデンサを事前に選択することを含んでいます。下図に、いくつかのコンデンサの個々の周波数応答の例を示します。最大容量コンデンサは、電圧レギュレータ (VRM) の近くに配置されており、その容量は徐々に小さくなります。最大容量のコンデンサは、低周波数でインピーダンスを低下させ、また逆に、高周波数でインピーダンスを増加させます。そして、オン ダイ キャパシタと共に最大周波数範囲に対応します。電源インピーダンスのシミュレーションは最大スイッチング周波数まで実行する必要があります。VRM をシミュレーションのセットアップに使用することをお勧めします。VRM は、非常に小さい値 (例えば、0.001Ω) を持つ簡単な抵抗で構いません。あるいは、VRM の SPICE モデルを使用することすることもできます。VRM は DC レベルのインピーダンスを低減します。そしてそれは、実際の基板で起きていることです。

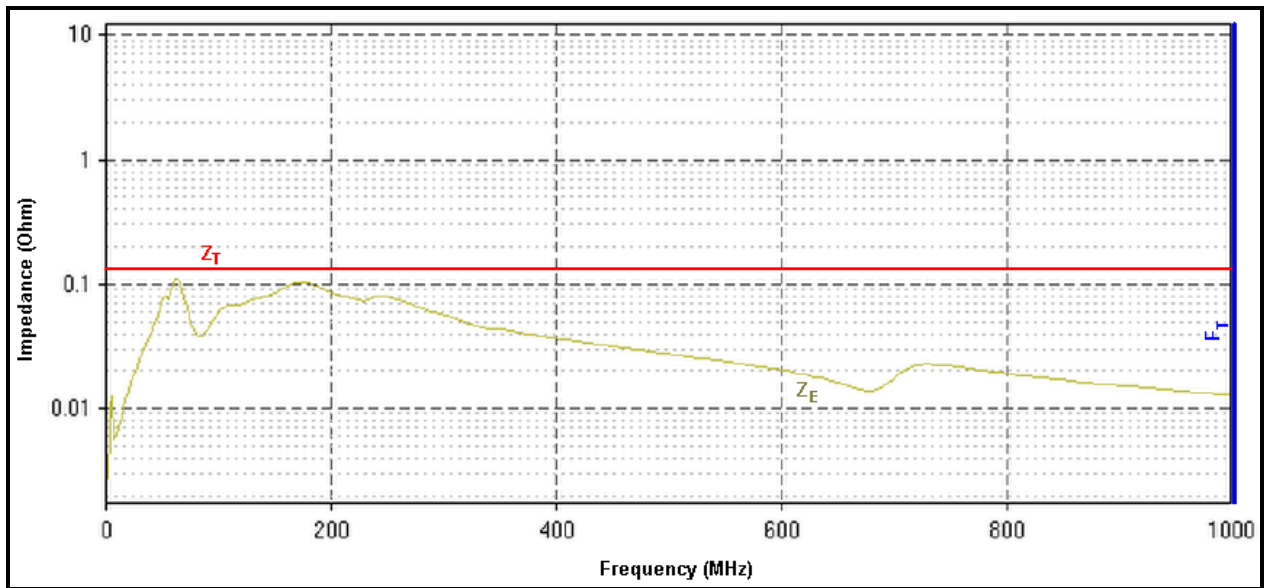
図 15. デカップリング コンデンサの静電容量と電源のインピーダンス



目的は、1066MHz の周波数で動作させる時、120mΩ 未満の実効インピーダンス (Z_E) に応じた電源インピーダンスを繰り返しシミュレーションして解決することです。

図 16 に示すように、目標インピーダンス (Z_T , 赤い横線) は 120mΩ、対象周波数 (F_T , 青い縦線) は 1000MHz (シミュレーションは 0~1GHz 対象周波数で実行) であり、この全周波数域において実効インピーダンス (Z_E , 緑色の線) は Z_T より小さいです。これは、デカップリング コンデンサ (表 15) の組み合わせが V_{DDQ} のための目標インピーダンスを満たしていることを示しています。

図 16. 電源インピーダンスのシミュレーション結果



電源ノイズがノイズ目標を満たしていることを確認するためにスイッチング ノイズのシミュレーションを実行します。

V_{DD} 、 V_{REF} 、 V_{TT} のデカップリング コンデンサは、電源インテグリティ シミュレーション ツールを使って見つけることができます。基板とデバイス特性に因ってデカップリング コンデンサを選択します。そのため、サイプレスは、各パワーネット用のデカップリング コンデンサの値を選択する前に、高速システムに対応した電源インテグリティ シミュレーションを実行することをお勧めします。

6.3.1 デカップリング コンデンサを考慮した基板設計推奨事項

デカップリング コンデンサは、SRAM 性能に重要な役割を果たします。適切な値のコンデンサを選択して、基板に実装することが重要です。

- 配線とリード インダクタンスを最小限にします。基板設計では、インダクタンスを増加させる細長い配線 avoids 避けます。
- 長い配線よりもインダクタンスが低いなら、ビアを介した経路でもかまいません。
- 可能であるなら基板上では、コンデンサを部品と同じ側に配置します。
- 静電容量が最も小さなコンデンサをできる限りデバイスの電源ピン／電源配線に近づけ、静電容量が小さいものほどデバイスの近くに配置してください。
- そのコンデンサの値が電圧変動の要件を満たし、アプリケーションの意図した周波数範囲内で、グラウンドに対して低インピーダンスの経路が作られることを確認します。

6.3.2 終端方式の推奨事項

インピーダンスの不整合は、信号が送信線で反射してリングングを発生させ、システムの信頼性を危うくします。リングングは、レシーバのダイナミック レンジを減少させ（閾値のシフトのため）、誤ったトリガを発生させる可能性があります。ソースで発生する反射を除去するためには、ソース インピーダンスを配線インピーダンスと一致させなければなりません。

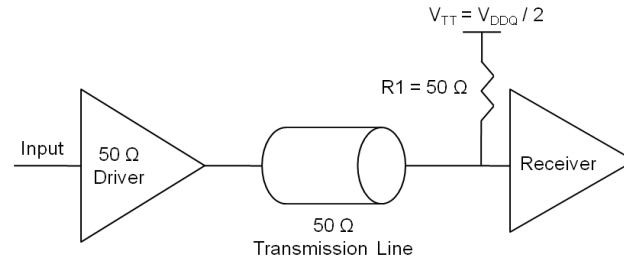
QDR-IV は、クロック、アドレス、コマンドおよびデータ入力用に設定可能なオンダイ終端 (OTD) 機能を備えている HSTL/SSTL (JESD8-16A 準拠) および POD (JESD8-24 準拠) の信号方式に対応しています。基板から終端抵抗を取り除いて基板設計を簡略化するために、QDR-IV 内の OTD 機能を有効にしてください。設計者は OTD 機能を無効にして入力信号に対して基板上に終端抵抗を実装することもできます。

以下の節で、QDR-IV の推奨終端方式について説明します。

HSTL/SSTL のシングルエンド信号の終端

QDR-IV はシングルエンドのアドレスとコマンド信号を持っています。推奨される終端方式は、負荷で V_{TT} 電圧源にアクティブなプルアップ終端を使用することです。図 17 に、終端抵抗 ($R1$) が終端電圧 (V_{TT}) に接続されるアクティブ プルアップ終端方式を示しています。この方式では、出力ドライバが HIGH レベル信号と LOW レベル信号から電流を引き出すことができるように電圧 (V_{TT}) を選択します。しかし、この方式は、出力転送レートに一致するように、 V_{DDQ} に追従でき、電流吸い込みおよび吐き出しができる個別の電圧源を必要とします。

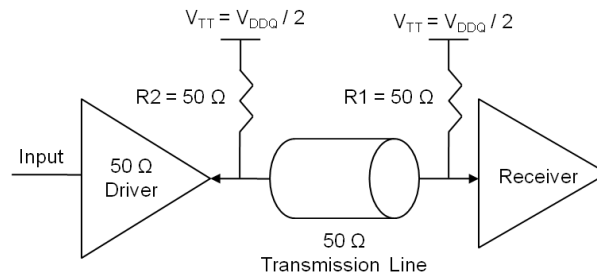
図 17. 50Ω を使ったアクティブ プルアップ終端方式



HSTL/SSTL 双方向信号の終端

QDR-IV は、双方向データ バスおよびデータ反転信号を持っています。図 18 に、終端抵抗 ($R1$, $R2$) が終端電圧 (V_{TT}) に接続されるアクティブ プルアップ終端方式を示します。これは、アクティブ プルアップが両端にある違いのみの除いて、図 17 に示しているアクティブ プルアップ終端方式と同じです。図 18 に示すソース端のアクティブ プルアップは、バス ターンアラウンドが発生した時に実際は負荷終端となります。

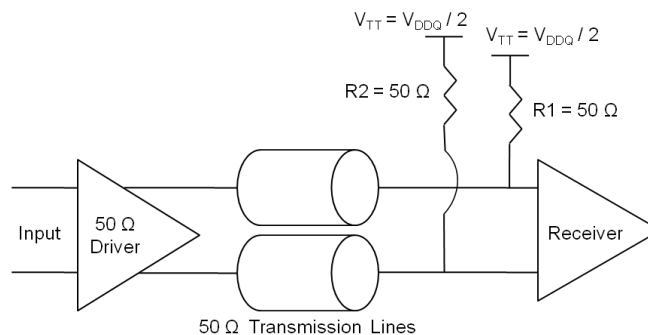
図 18. 50Ω を使った双方向 I/O 用のアクティブ プルアップ終端方式



HSTL/SSTL 差動信号の終端

図 19 に、QDR-IV 差動入力クロックの推奨する終端方式を示します。終端抵抗 ($R1$, $R2$) が終端電圧 (V_{TT}) に接続されるアクティブ プルアップ終端方式です。

図 19. 50Ω を使った差動信号用のアクティブ プルアップ終端方式



POD 信号方式の終端要件

POD 出力ドライバには、強いプルダウンと弱いプルアップがあります。その結果として、POD 信号は、外部プルアップ終端抵抗またはオンダイ終端抵抗を必要とします。ドライバ側の弱いプルアップとレシーバ側のプルアップ終端抵抗は、信号プルアップ動作要求を満たします。POD 信号方式は、HSTL/SSTL (強いプルアップ + 強いプルダウン) 信号方式より電力消費は小さいです。

出力ドライバーのプルアップ駆動インピーダンスが 60Ω になると期待される場合、プルダウン ドライバーは 40Ω のプルダウン駆動インピーダンスになると期待されます。図 20、図 21 および図 22 に、POD シングルエンド、双方向および差動信号用の推奨終端方式を示します。

図 20. 60Ω を使った POD シングルエンド信号の POD アクティブ プルアップ終端方式

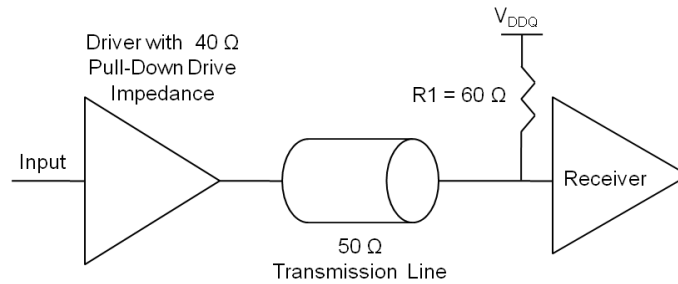


図 21. 60Ω を使った POD 双方向 I/O 用のアクティブ プルアップ終端方式

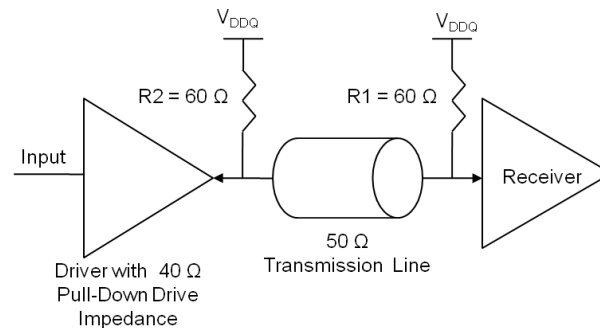
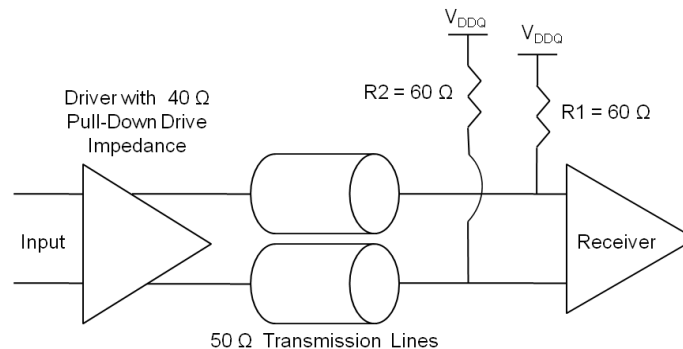


図 22. 60Ω を使った POD 差動信号用のアクティブ プルアップ終端方式



終端方式および抵抗値の選択は基板とデバイスの特性に依存するため、終端方式および抵抗値を選択する前に常に信号インテグリティ シミュレーションを実行してください。さらに、枝配線 (スタブ) の長さを短縮して、よって反射を減少するために終端抵抗はデバイスの近くに配置してください。

6.4 基板のレイアウト ガイドライン

性能を最適化するために、以下のガイドラインに従ってください。サイプレスは、正確な遅延の値を得るために、基板実装状態をシミュレートすることをお勧めします。

- CK/CK#を開始点とし、残りの信号の CK/CK#に対する遅延を推定します。
- 全てのデータ、アドレス、制御およびクロック ラインは、各バス内でもバス間でも $\pm 50\text{ps}$ 以内に厳密にマッチしなければなりません。
- DK_x クロックは、CK と DK_x 間のスキュー (t_{CKDK}) を満たし、アドレス、コマンド、データ信号は、関連クロックに対して適切なセットアップ/ホールド時間 (データシードによる) を必要とします。
- サイプレスのパッケージは、全ての配線が互いに 5ps 以内に厳密にマッチされ、配線の平均の長さが 11.4mm になるように配線されています。
- 全てのデータ、アドレス、制御およびクロック ラインは $50\Omega \pm 10\%$ インピーダンスを持ち、インピーダンスの不連続がないように配線する必要があります。サイプレスのパッケージ内の配線は、 $50\Omega \pm 10\%$ インピーダンスになるように設計されています。
- QDR-IV 内の全ての 3 つのクロックは差動クロックであるため、クロック配線は 100Ω の差動インピーダンスで個別に配線されます。結果として、正と負のクロック信号配線は同一で、配線間にスキューは存在しません。
- $\text{DK}/\text{DK}\#$ 書き込みクロックおよび $\text{QK}/\text{QK}\#$ 読み出しクロックはデバイス構成に応じてデータ グループに関連付けられます。そのため、クロックとデータ グループ間のスキューを最小限にするようにそれらの配線を同一 PCB 層上で行います。
- CK/CK#、アドレスおよびコマンド グループの配線を同一 PCB 層上で行います。
- 挿入損失がほぼ同じで小さいことを確保するために全ての配線をシミュレートする必要があります。 50Ω インピーダンスを達成するために、配線をできるだけ広くし、誘電体の厚さを調整する必要があります。挿入損失を減少させるために信号ビアの近くにグランド ビアを追加して配置してみてください。ノイズ レベルが仕様の許可範囲内であることを確実にするために、最悪のクロストークによる影響を受ける要素はシミュレートされなければなりません。
- サイプレスのボール グリッド アレイ (BGA) パッケージと BGA レイアウト ガイドラインの詳細情報については、「[AN79938- Design Guidelines for Cypress Ball Grid Array \(BGA\) Packaged Devices](#)」アプリケーション ノートを参照してください。

6.5 出力データ有効ウィンドウ

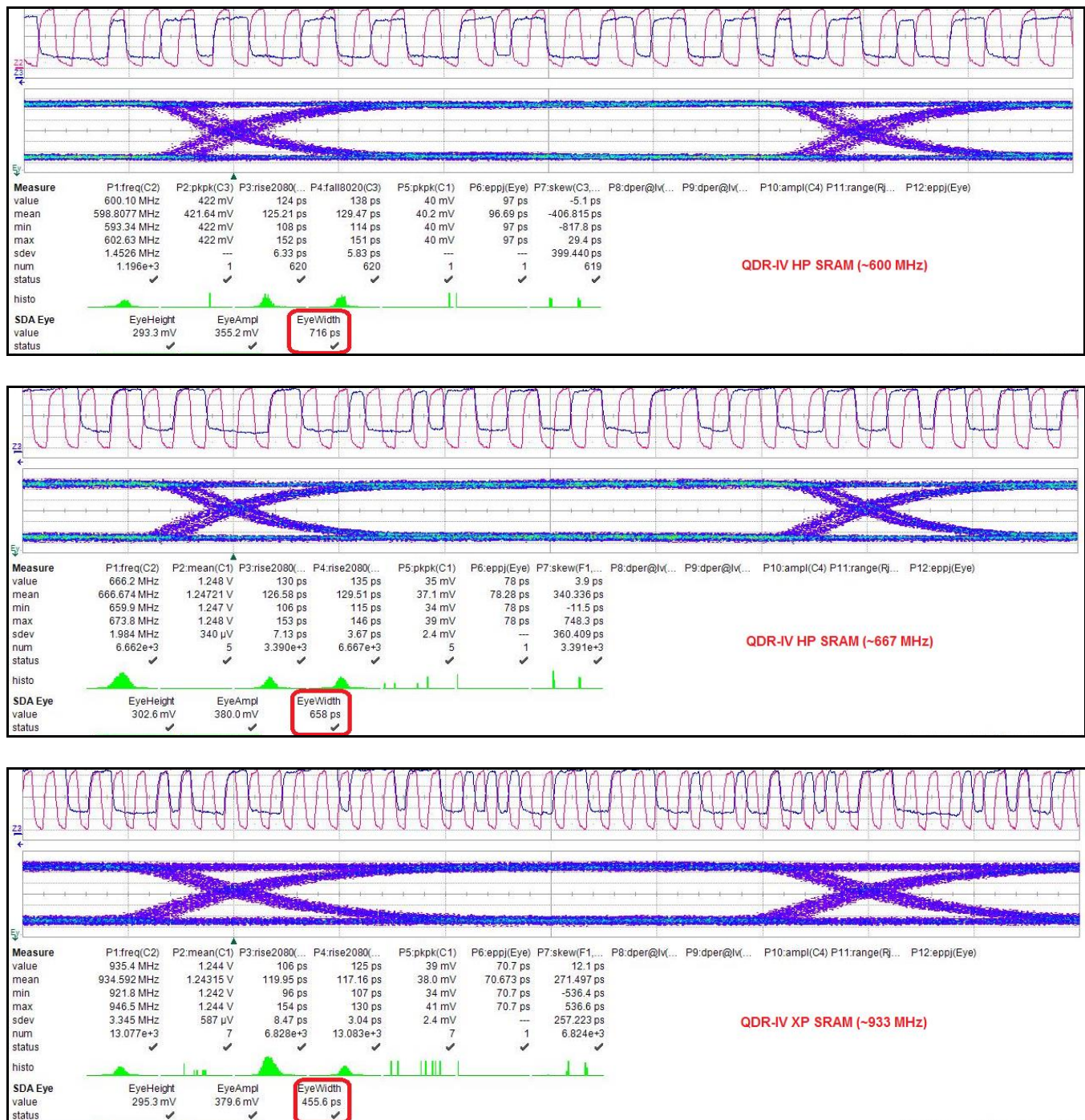
QK_x と $\text{QK}_x\#$ クロックは読み出しデータに関連付けられます。 QK_x と $\text{QK}_x\#$ クロックは、読み出しデータの出力として動作しているダブル データ レート DQ_x と DINV_x ピンのためのソース同期クロックとして使用されます。

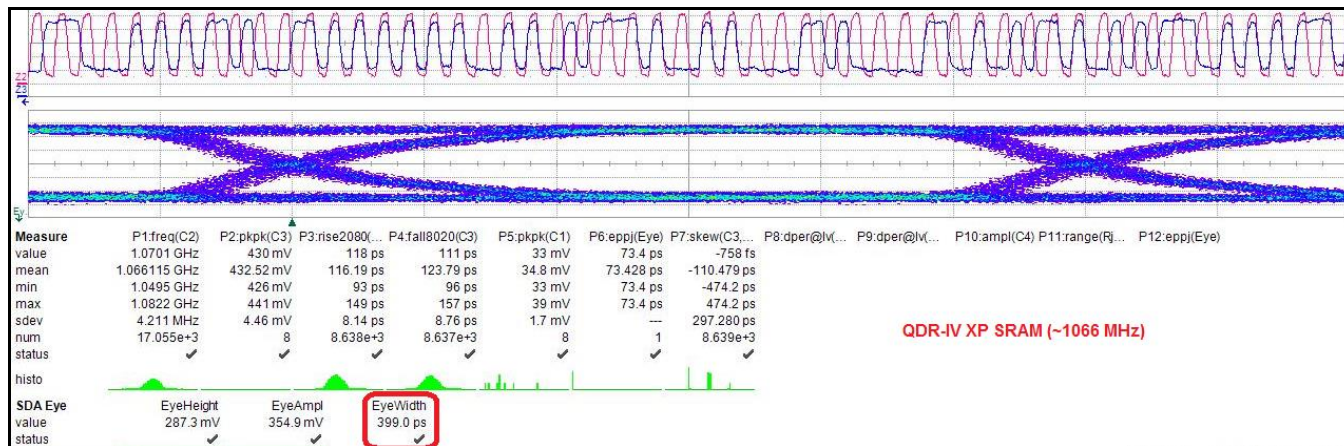
特性評価データに基づいて、サイプレスは全ての QDR-IV デバイスでデータ有効ウィンドウが少なくとも半クロック サイクル ($t_{\text{CK}}/2$) の 80%であることを保証します。これらの値は、QDR-IV デバイスが消費する、合計のデータ タイミング バジェット内の一部を決めるためにタイミング計画に使用されます。表 16 および図 23 は、全ての QDR-IV SRAM デバイス用の特性評価用基板上で測定されるデータ有効ウィンドウ値を示します。

表 16. QDR-IV データ有効ウィンドウ測定 (特性評価用基板)

デバイス	クロック周波数 (t_{CK})	半クロック サイクル ($t_{\text{CK}}/2$)	測定される最悪 データ有効ウィンドウ
QDR-IV HP SRAM	600MHz = 1667ps	834ps	716ps
	667MHz = 1500ps	750ps	658ps
QDR-IV XP SRAM	933MHz = 1072ps	536ps	456ps
	1066MHz = 938ps	469ps	399ps

図 23. x36 デバイスの出力データ有効ウィンドウ (データ信号 DQB[22])





7 消費電力および接合部の温度

以下の式を使って QDR-IV の接合部の温度を計算します。

$$T_J = P_d \theta_{JA} + T_A \quad \dots\dots\dots (1)$$

ここで、

θ_{JA} = 接合部から周囲の熱抵抗

T_A = 周囲温度

P_d = 消費電力

QDR-IV の消費電力は以下の 3 つの使用事例ごとに異なります。

- ダイ上の終端 (ODT) 機能が無効
- HSTL 信号方式のある ODT 機能が有効
- POD 信号方式のある ODT 機能が有効

7.1 ODT 機能が無効

消費電力は (P_d) は以下の式で計算されます:

$$P_d = \text{コア消費電力} + \text{I/O 切り替え時消費電力} \\ = V_{DD} I_{DD} + \alpha f C_L V_{DDQ}^2 N \quad \dots\dots\dots (2)$$

ここで、

V_{DD} = コア電圧

I_{DD} = アクティブ電流

α = 動作係数、つまり出力が切り替わる周波数とクロック周波数の比率

= 1 (QDR-IV SRAM などのダブル データ レートのデバイスの場合)

f = 動作周波数

C_L = 外部負荷容量

V_{DDQ} = I/O 電圧

N = 切り替わる I/O の数

7.2 HSTL 信号方式で ODT 機能が有効

QDR-IV SRAM デバイスを設定して HSTL 信号方式で ODT 特性を有効にします。消費電力は (P_d) は以下の式で計算されます。

$$P_d = \text{コア消費電力} + \text{I/O 切り替え時消費電力} + \text{ODT 消費電力 (HSTL)}$$

$$= V_{DD} I_{DD} + \alpha f C_L V_{DDQ}^2 N + (5/16) [V_{DDQ}^2 / R] N_{I/P} \quad \dots\dots\dots (3)$$

ここで、

R = 終端抵抗

$N_{I/P}$ = ODT 機能のある SRAM 入力の数

= 120、x36 データ幅オプションの最悪のシナリオ (付録を参照)

= 84、x18 データ幅オプションの最悪のシナリオ (付録を参照)

次の節で、HSTL 信号方式の ODT 消費電力について説明します。

7.2.1 HSTL 信号方式の ODT 消費電力

図 24 は、ソースが論理 0 を駆動している時の HSTL 信号方式の入力終端回路を示します。図 25 は、ソースが論理 1 を駆動している時の HSTL 信号方式の入力終端回路を示します。どの場合でも、消費電力は同じです。ドライバ ソース インピーダンスは「 R 」で示されます。QDR-IV 入力 ODT 抵抗は、「 $2R$ 」で示されます。これは、インピーダンスの整合が取れた回路を示します。

図 24. HSTL 信号方式の入力終端回路 (ソースが論理 0 を駆動中)

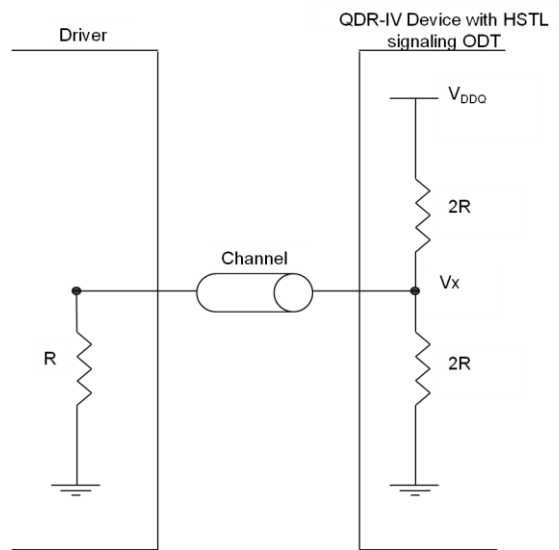
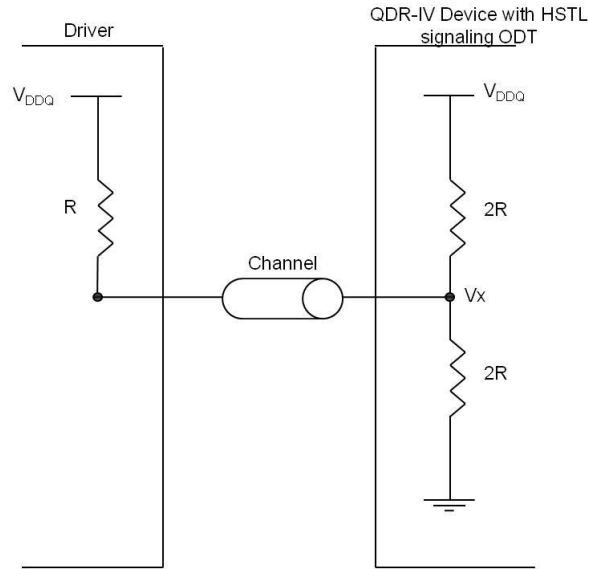


図 25. HSTL 信号方式の入力終端回路 (ソースが論理 1 を駆動中)



ソースが論理 1 を駆動しているとして (図 25 を参照)。電圧 V_x は、以下の式で計算されます。

$$\begin{aligned} V_x &= 2R \times V_{DDQ} / (2R + (R \parallel 2R)) \\ &= 2R \times V_{DDQ} / (2R + 2R/3) \\ &= (3/4) V_{DDQ} \end{aligned} \quad \dots\dots (4)$$

プルアップとプルダウンの抵抗の消費電力は以下の式で計算されます:

$$\begin{aligned} \text{ODT Power} &= \{(V_{DDQ} - V_x)^2 / 2R\} + \{(V_x)^2 / 2R\} \\ &= 1/(32R) \times (V_{DDQ})^2 + (9/32R) \times (V_{DDQ})^2 \quad \dots\dots \text{式 (4) を使用する} \\ &= 5/(16R) \times V_{DDQ}^2 \end{aligned}$$

従って ODT 消費電力 (HSTL) は

$$= 5/(16R) \times V_{DDQ}^2 \times (\text{ODT 抵抗付きの入力の数}) = (5/16) [V_{DDQ}^2 / R] N_{I/P} \quad \dots\dots (5)$$

7.3 POD 信号方式で ODT 機能が有効

QDR-IV SRAM デバイスを構成することで、POD 信号方式で ODT 機能を有効にします。消費電力は (P_d) は以下の式で計算されます。

$$\begin{aligned} P_d &= \text{コア消費電力} + \text{I/O 切り替え時消費電力} + \text{ODT 消費電力 (POD)} \\ &= V_{DD} I_{DD} + \alpha f C_L V_{DDQ}^2 N + \beta [V_{DDQ}^2 / 4R] N_{I/P} \end{aligned} \quad \dots\dots (6)$$

ここで、

R = 終端抵抗

$N_{I/P}$ = ODT 機能のある SRAM 入力の数

= 117、x36 データ幅のオプションの最悪のシナリオ (付録を参照)

= 81、x18 データ幅のオプションの最悪のシナリオ (付録を参照)

$B = [(\text{LOW になる信号の数}) / (\text{LOW になる信号の数} + \text{HIGH になる信号の数})]$

= 0.5、POD がデータ反転やアドレス反転機能と共に使用されるため、 β の最悪ケースが 0.5 です。多くても、ビットの半分が LOW に駆動されていることを意味します。例えば、コントローラは、データ反転なしで 0000001111 ビットを入力しようとする、 $\beta=0.6$ です。データ反転を行う場合、コントローラは、1111110000 を QDR-IV に 1111110000 を提供し、 $\beta=0.4$ です。

次の節で、POD 信号方式の ODT 消費電力について説明します。

7.3.1 POD 信号方式のある ODT の消費電力

POD は、データ反転およびアドレス反転機能で機能しています。POD の利点は、HSTL と比べて POD は電力をより多く節約できることです。

図 26 に、ソースが論理 0 に駆動している時の POD 信号入力終端回路を示し、図 27 に、ソースが論理 1 を駆動している時の POD 信号入力終端回路を示します。入力 ODT 抵抗は「R」で示されます。これは、POD 信号方式用のインピーダンスが一致した回路を示します。

ソースが論理 1 を駆動している場合、ODT 消費電力は全くなりません。理由は、電流がグランドへのパスを見つけないからです (図 22 を参照)。ソースが論理 0 を駆動している場合 (図 26)、ODT 消費電力は以下の通りです:

ODT 消費電力 (POD) = 0 (ソースが論理 1 を駆動している場合)

ODT 消費電力 (POD) = $(V_{DDQ}/2)^2 \times (1/R)$ (ソースが論理 0 を駆動している場合)

よって、平均 ODT 消費電力 (POD) = $\beta \times [V_{DDQ}^2 / 4R] \times (\text{ODT 抵抗付きの入力の数})$

$$= \beta [V_{DDQ}^2 / 4R] N_{IP} \dots\dots\dots (7)$$

図 26. POD 信号方式用の入力終端回路 (ソースが論理 0 を駆動中)

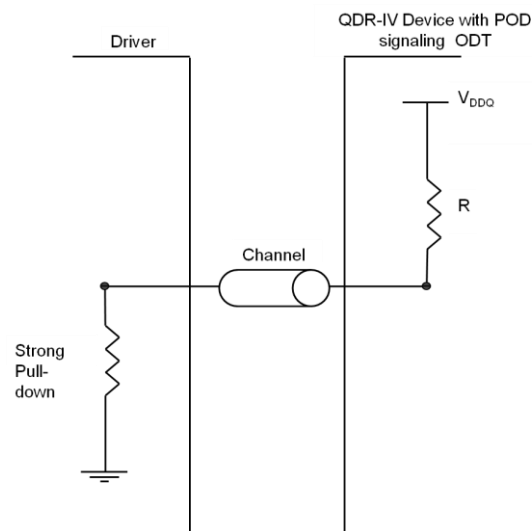
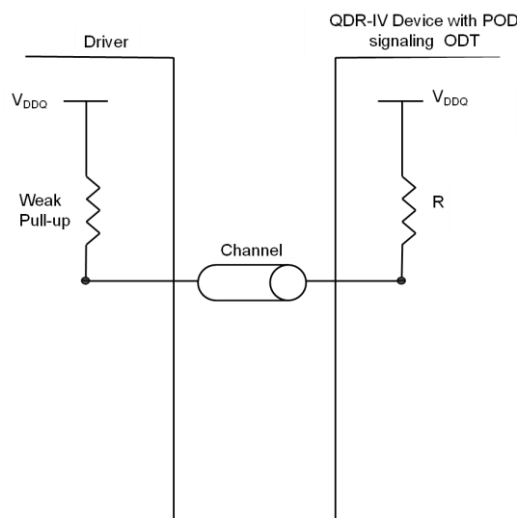


図 27. POD 信号方式用の入力終端回路 (ソースが論理 1 を駆動中)



7.4 x18 デバイスの例

この例は、QDR-IV XP SRAM (部品番号が CY7C4122KV13) を使用します。デバイスが 1066MHz で動作しており、その負荷容量が 5pF で I/O 切り替えも機能していることを仮定して、HSTL/SSTL 信号モードの消費電力は次の式で計算されます:

P_d = コア消費電力 + I/O 切り替え時消費電力 + ODT 消費電力 (HSTL)

コア消費電力

$$= V_{DD} \times I_{DD} = 1.3 \text{ V} \times 4100 \text{ mA} = 5.33 \text{ W}$$

I/O 切り替え時消費電力

$$= \alpha f C_L V_{DDQ}^2 N$$

$$= 1 \times 1066 \text{ MHz} \times 5 \text{ pF} \times (1.25 \text{ V})^2 \times 36 = 0.3 \text{ W}$$

ODT 消費電力 (HSTL 信号方式で、入力インピーダンスが 50Ω の ODT)

$$= (5/16) [V_{DDQ}^2 / R] N_{I/P}$$

$$= (5/16) \times [(1.25 \text{ V})^2 / 50 \Omega] \times 84 = 0.82 \text{ W}$$

そのため、HSTL/SSTL 信号モードの総消費電力は 6.45W です。

POD 信号モードで動作している同様なデバイス用の消費電力の計算手順は以下の通りです。

P_d = コア消費電力 + I/O 切り替え時消費電力 + ODT 消費電力 (POD)

コア消費電力

$$= V_{DD} \times I_{DD} = 1.3 \text{ V} \times 4100 \text{ mA} = 5.33 \text{ W}$$

I/O 切り替え時消費電力

$$= \alpha f C_L V_{DDQ}^2 N$$

$$= 1 \times 1066 \text{ MHz} \times 5 \text{ pF} \times (1.25 \text{ V})^2 \times 36 = 0.3 \text{ W}$$

ODT 消費電力 (POD 信号方式で、入力 インピーダンスが 60Ω の ODT)

$$= \beta [V_{DDQ}^2 / 4 R] N_{I/P}$$

$$= 0.5 \times [(1.25 \text{ V})^2 / (4 \times 60 \Omega)] \times 81 = 0.264 \text{ W}$$

そのため、POD 信号モードの総消費電力は 5.89W です。

この例は、QDR-IV デバイスが POD 信号モードで消費する電力は、HSTL/SSTL の消費電力より小さいことを確認しています。

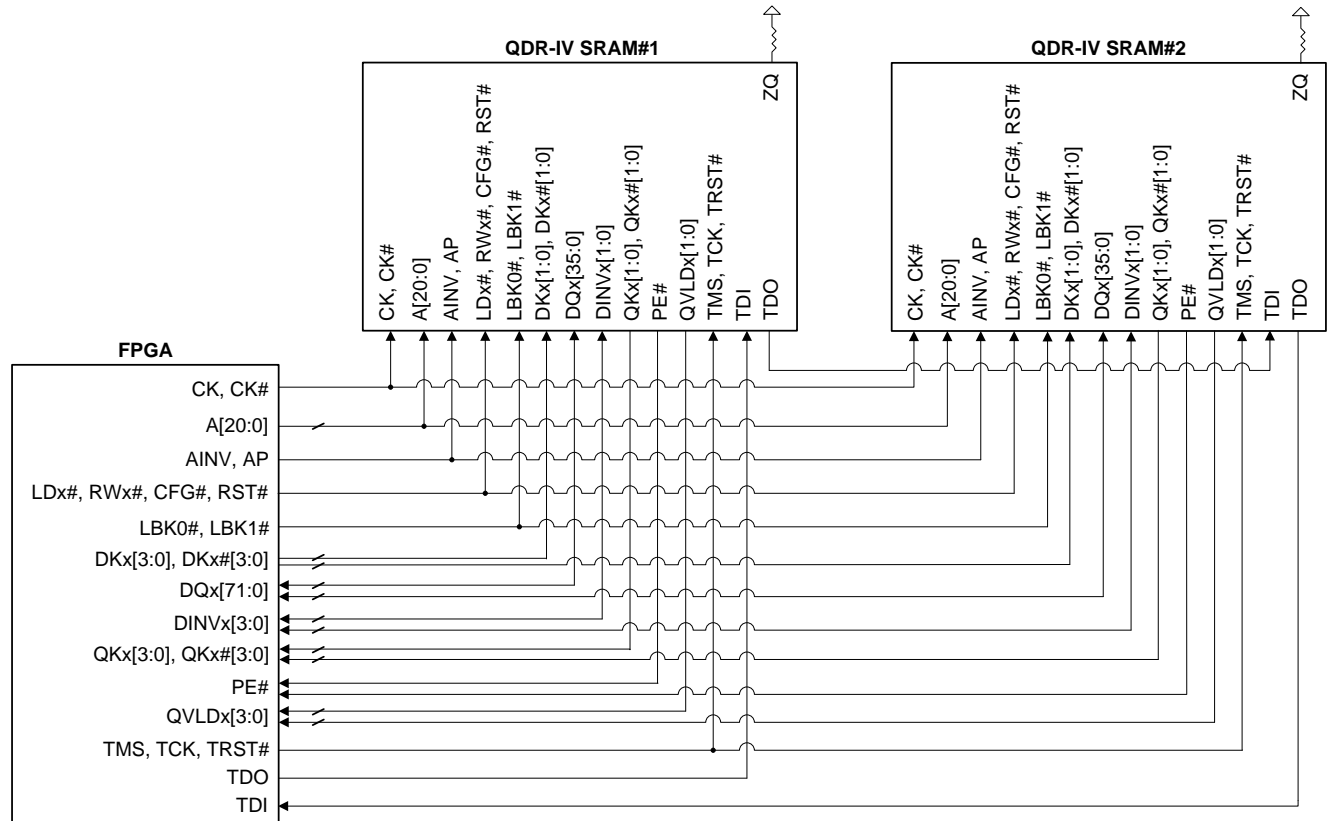
詳細については、<http://www.cypress.com/?docID=23984> にアクセスして同期 SRAM 製品の消費電力および接合部の温度の計算用のオンライン ツールを参照してください。

QDR-IV SRAM の接合部の最大許容温度は 125°C です。接合部の温度が最大定格を超える場合、ヒートシンクやファンを使用します。

8 バス幅拡張

QDR-IV SRAM は、アプリケーション内のメモリ帯域幅を拡張するために、互いに連結することができます。図 28 にバス幅拡張コンフィギュレーションで連結された 2 個の QDR-IV (CY7C4142KV13) SRAM を示します。これによりメモリ帯域幅が 2 倍になります。

図 28. バス幅拡張

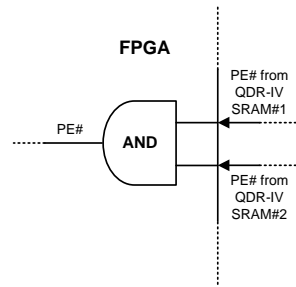


Note: x = A or B; For Example, DQx = DQA = Data Input / Output of Port A

8.1 バス幅拡張コンフィギュレーションの推奨事項

- DK クロック、DQ、DINV、QK クロック、PE#および QVLD を除くすべての信号は 2 個の QDR-IV デバイス間で共有されています。
- PE#はアクティブ LOW 信号で、アドレス パリティ エラーが検出されてから 8 サイクル以内 (QDR-IV XP SRAM の場合) または 5 サイクル以内 (QDR-IV HP SRAM の場合) に 0 にクリアされます。メモリ コントローラーは、両方の QDR-IV デバイスから PE#信号を受信し、アドレス パリティのエラー ステータスを取得するために、図 29 に示すようにそれらの信号で論理 AND 演算を実行することができます。

図 29. バス幅拡張での PE#設定

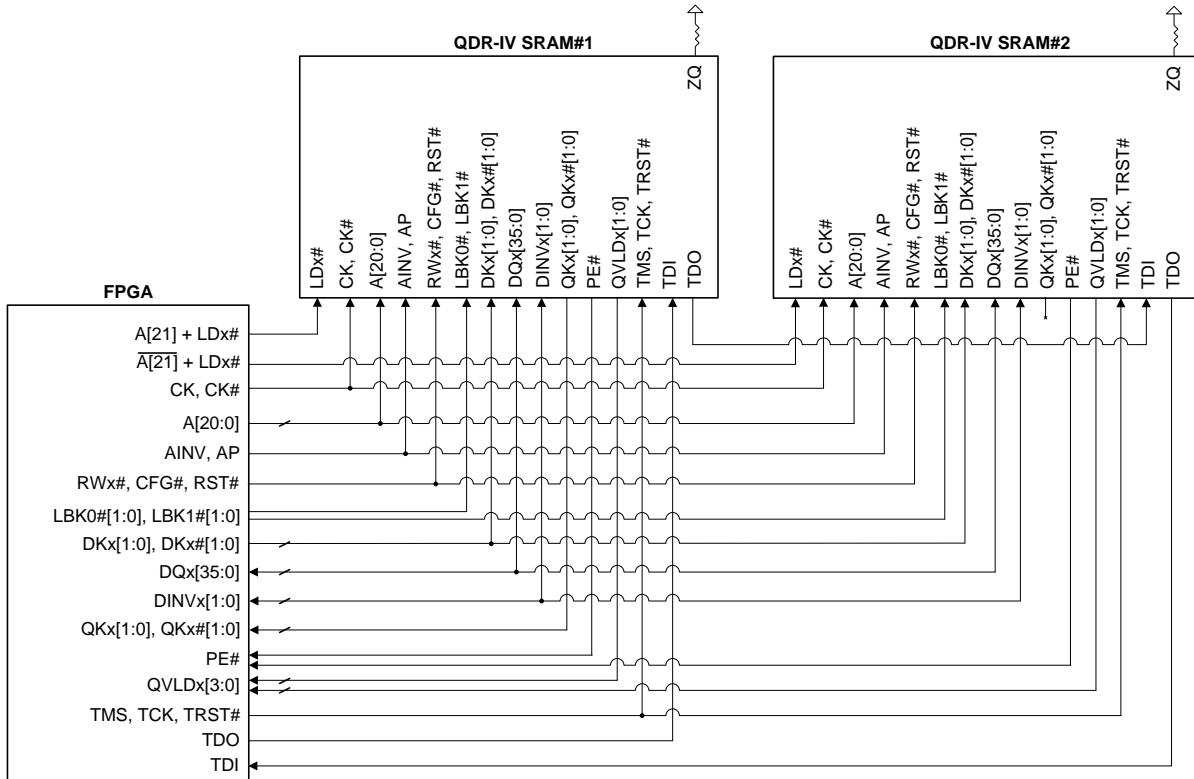


- 配線インピーダンスを 50Ω と仮定すれば、
 - QDR-IV の入カインピーダンスは CK/CK#クロックおよびアドレスなどの共有された入力信号に対して 100Ω でなければなりません。共有されない残りの入力信号 (DK/ DK#や DQ など) に対しては、入カインピーダンスが 50Ω でなければなりません。
 - QDR-IV 出カインピーダンスは 50Ω である必要があります。
 - FPGA 入カインピーダンスは 50Ω である必要があります。
 - FPGA 出カインピーダンスは 50Ω である必要があります。
- 2 個の QDR-II SRAM と FPGA 間の配線長のマッチングは、システム設計者によるタイミング収束に非常に重要です。

9 容量拡張

QDR-IV SRAM は、アプリケーション内のメモリ容量を増やすために、互いに連結することができます。図 30 に容量拡張コンフィギュレーションで連結された 2 個の QDR-IV (CY7C4142KV13) SRAM を示します。これによりメモリ容量が 2 倍に増えます。

図 30. 容量拡張

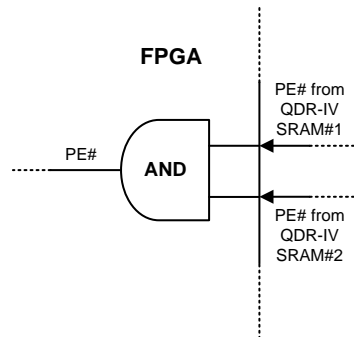


Note: x = A or B; For Example, DQx = DQA = Data Input / Output of Port A

9.1 容量拡張コンフィギュレーションの推奨事項

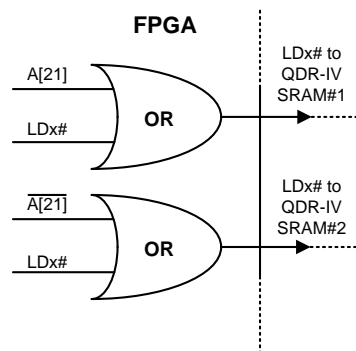
- LBK0#, L BK1#, PE#および QVLD を除くすべての信号は 2 個の QDR-IV デバイス間で共有されています。
 - QVLD と QK クロックは HI または LO 状態になると仮定できる出力であり、トリステストになることはありません。QK クロックがフリー ランニング クロックであるため、メモリ コントローラーはいずれかのメモリ デバイスからの QK クロックを使用することができます。
 - PE#はアクティブ LOW 信号で、アドレス パリティ エラーが検出されてから 8 サイクル以内 (QDR-IV XP SRAM の場合) または 5 サイクル以内 (QDR-IV HP SRAM の場合) に 0 にクリアされます。容量拡張トポロジでは、任意の時点で 1 個のみの QDR-IV デバイスがアクティブになります。従って、エラー ステータスを取得するために、図 31 に示すようにそれらの信号で論理 AND 演算を実行することができます。

図 31. 容量拡張での PE#設定



- 容量拡張コンフィギュレーションでは、追加アドレス信号 A[21]は 1 個のデバイスを有効にしなが、残りのデバイスを無効にするチップ セレクトとして動作する必要があります。シングル QDR-IV チップを選択するために、図 32 に示すように、A[21]はメモリ コントローラー内の LDx#に論理的に接続しなければなりません。

図 32. 容量拡張での LDx#設定



- AP と AINV は A[20:0]に基づいて計算される必要があります。
- コンフィギュレーションとループ バック トレーニングは、それぞれの QDR-IV SRAM デバイスに対して個別に実行しなければなりません。
- 配線インピーダンスを 50Ω と仮定すれば、
 - QDR-IV の入力インピーダンスは CK/CK#クロックおよびアドレスなどの共有された入力信号に対して 100Ω でなければなりません。LDx#など共有されない入力の残りに対しては、50Ω の入力インピーダンスを持つ必要があります。
 - QDR-IV 出力インピーダンスは 50Ω である必要があります。
 - 一度に 1 個の QDR-IV が実行され、その QDR-IV の入力インピーダンスが FPGA と残りの QDR-IV SRAM デバイスからの入力インピーダンスにマッチングさせるため、FPGA の入力インピーダンスは 100Ω である必要があります。
 - FPGA 出力インピーダンスは 50Ω である必要があります。
- 2 個の QDR-II SRAM と FPGA 間の配線長のマッチングは、システム設計者にとって非常に重要なタイミング収束です。レイアウトを簡単にするために、QDR-IV SRAM は 2 個の QDR-IV デバイスが基板の反対側に配置されるクラムシェル方式で配置することができます。

10 QDR-IV、QDR-II+および QDR-II+Xtreme デバイスの比較

10.1 アーキテクチャ、帯域幅、消費電力と機能の比較

表 17 に、QDR-II+、QDR-II+ Xtreme および QDR-IV デバイスのアーキテクチャ、帯域幅、RTR、消費電力および機能の比較を示します。

表 17. QDR-IV、QDR-II+および QDR-II+Xtreme デバイスの比較

	パラメーター	QDR-II+		QDR-II+ Xtreme		QDR-IV	
アーキテクチャ	最大容量	144Mb		72Mb		144Mb	
	データ バーストの長さ ^[1]	2	4	2	4	2	2b
	バンク	1		1		1	8
	サイクル毎に生じるアドレスの数	2	1	2	1	2	
	I/O ポート	1R+1W		1R+1W		2R/W	
	書き込みレイテンシ サイクル	0、1		0、1		3	5
	読み出しレイテンシ サイクル	2、2.5		2.5		5	8
	I/O 幅/ポート	x9、x18、x36		x18、x36		x18、x36	
帯域幅/RTR	最大クロック周波数 (MHz)	333	550	450	633	667	1066
	Max RTR (MT/s)	666	550	900	633	1334	2132
	合計最大 BW (Gbps) ^[2]	47.9	79.2	64.8	91.1	96	153.5
消費電力	V _{DD} (V)	1.8		1.8		1.3	
	V _{DDQ} (V)	1.8、1.5		1.8、1.5		1.1、1.2、1.25	
	コア消費電力 (W) ^[3]	2.1	2.7	2.6	3.0	4.2	5.9
	チップの合計消費電力 (W) ^[4、5]	3.1	3.9	3.7	4.2	4.5	6.5
特長	I/O 信号方式	HSTL		HSTL		POD、HSTL/SSTL	
	オンチップ ECC	無		無		有	
	アドレス パリティ	無		無		有	
	アドレス/データ バス反転	無		無		有	
	バンク動作	無		無		無	有
	パッケージ タイプ	165 ボール FBGA		165 ボール FBGA		361 ボール FCBGA	
	パッケージ サイズ (mm)	13 X 15		13 X 15		21 X 21	
	専用データ入力/出力クロック	無		無		有	
	タイミング スキュー補正 トレーニング用のループバックモード	無		無		有	

^[1] 1つのシングル アドレスで、アクセスの全体が一連の動作 (バースト動作) で行えます。ここで、データ バスの長さが 2 の場合、シングル アドレスでのデータ アクセスが 2 回、データ バスの長さが 4 の場合、シングル アドレスでのデータ アクセスが 4 回行われ、データ バスの長さが 2b の場合、シングル アドレスでのデータ アクセス (バンク動作) が 2 回行われます。

^[2] 最大の帯域幅 = 最大周波数 x データレート x 最大バス幅 x ポート数

^[3] コア消費電力 = V_{DD} (標準) x I_{DD} (最大値)

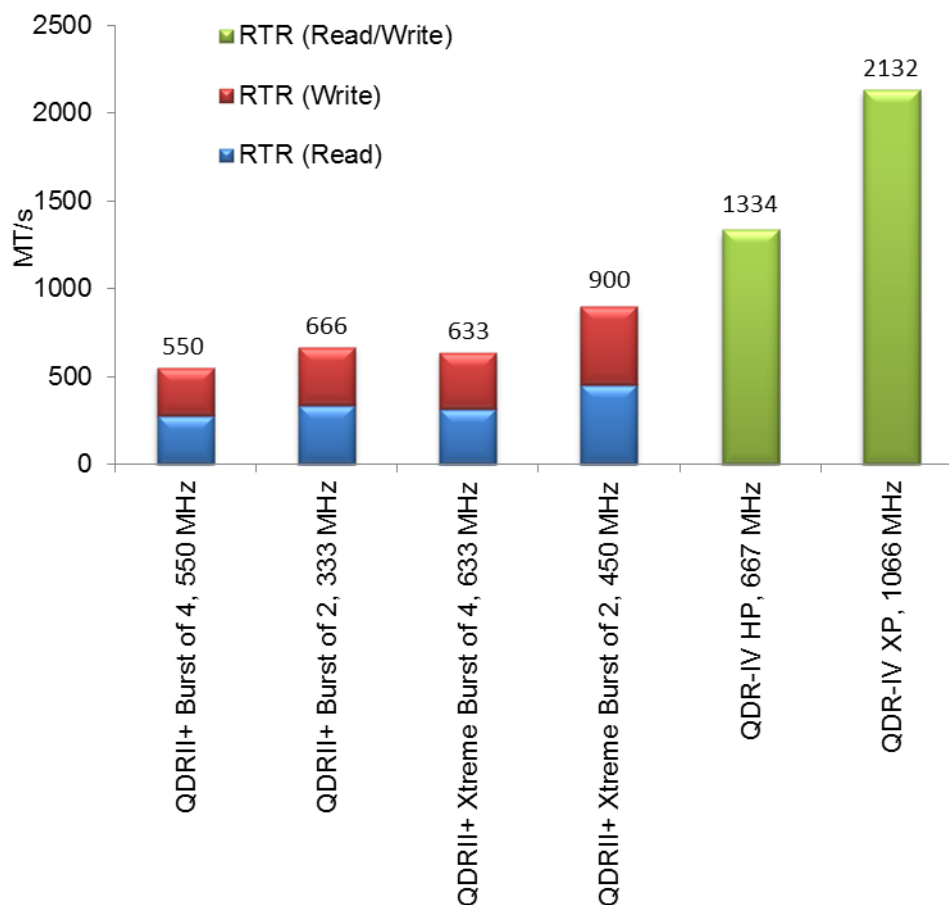
^[4] 合計の消費電力 = コア消費電力 + I/O 切り替え用消費電力 (基準 V_{DDQ}、5pF 負荷容量、全ての切り替え I/O、前述の最大周波数を前提にする)

^[5] SRAM が消費する電力の合計を計算するために、<http://www.cypress.com/?docID=23984> に掲載しているツール関連情報をご参照ください。

10.2 RTR 比較

バンク モードでの動作により、QDR-IV XP SRAM は 1066MHz まで動作することができます。これによって、最大 2132MT/s の RTR を提供します。図 33 に、この SRAM ファミリの QDR-II+ から QDR-IV までの RTR の向上を示します。

図 33. 各種 QDR SRAM の RTR 比較



10.3 QDR®-II、QDR-II+および QDR-IV デバイスのピン割り当て

QDR-II と QDR-II+デバイスのピン割り当ては多くありません。しかし、QDR-IV はピン情報に関して、QDR-II および QDR-II+デバイスとは異なるいくつかの新しい機能を導入しています。表 18 は、144M、x18、2QDR-II のバースト、QDR-II+および QDR-IV デバイスの比較表で表 19 は、144M、x36、2QDR-II のバースト、QDR-II+および QDR-IV デバイスの比較表です。

表 18. x18 QDR-II、QDR-II+および QDR-IV のピン割り当て

QDR- II (x18)			QDR- II+ (x18)				QDR-IV (x18)			QDR-IV のコメント
ピン名		ピン数	ピン名		ピン数 (ODT 有効)	ピン数 (ODT 無効)	ピン名		ピン数	
データ入力ピン	D[x:0]	18	データ入力ピン	D[x:0]	18	18	ポート A のデータ 入出力	DQA[x:0]	18	QDR-IV には 2 つの双方向 ポートがある
データ出力ピン	Q[x:0]	18	データ出力ピン	Q[x:0]	18	18	ポート B のデータ 入出力	DQB[x:0]	18	
アドレス ピン	A[x:0]	22	アドレス ピン	A[x:0]	22	22	アドレス ピン	A[x:0]	22	
書き込みポート 選択	WPS#	1	書き込みポート 選択	WPS#	1	1	ポート A の同期読 み出し／書き込み 用入力	RWA#	1	QDR-IV の各ポートには同期読 み出し／書き込み用の入力 がある
読み出しポート 選択	RPS#	1	読み出しポート 選択	RPS#	1	1	ポート B の同期読 み出し／書き込み 入力	RWB#	1	
バイト書き込み 選択	BWS# [x:0]	2	バイト書き込み 選択	BWS#[x:0]	2	2				
入力クロック	K/K#	2	入力クロック	K/K#	2	2	アドレス／コマンド 入力クロック	CK/CK#	2	アドレスとコマンド用の入力ク ロック
出力データ用 の入力クロック	C/C#	2					データ入力ク ロック	DKA[1:0]、 DKA#[1:0]、 DKB[1:0]、 DKB#[1:0]	8	データ入力用の入力クロック

QDR- II (x18)			QDR- II+ (x18)				QDR-IV (x18)			QDR-IV のコメント
ピン名		ピン数	ピン名		ピン数 (ODT 有効)	ピン数 (ODT 無効)	ピン名		ピン数	
エコー クロック	CQ/CQ#	2	エコー クロック	CQ/CQ#	2	2	データ出力クロック	QKA[1:0]、 QKA#[1:0]、 QKB[1:0]、 QKB#[1:0]	8	データ出力の出力クロック
出力インピーダ ンス マッチング 入力	ZQ	1	出力インピーダ ンス マッチング 入力	ZQ	1	1	出力インピーダ ンス マッチング入力	ZQ/ZT	1	
PLL がオフ	DOFF#	1	PLL がオフ	DOFF#	1	1				
JTAG ピン	TDI	1	JTAG ピン	TDI	1	1	JTAG ピン	TDI	1	
JTAG ピン	TDO	1	JTAG ピン	TDO	1	1	JTAG ピン	TDO	1	
JTAG ピン	TMS	1	JTAG ピン	TMS	1	1	JTAG ピン	TMS	1	
JTAG ピン	TCK	1	JTAG ピン	TCK	1	1	JTAG ピン	TCK	1	
							JTAG ピン	TRST#	1	QDR-IV は、JTAG 用のリセット ピンである TRST#ピンを持って おり、TRST#ピンは任意に選択 できない
未接続ピン	NC	38	未接続ピン	NC	38	39	未使用ピン	DNU	40	DNU は、QDR-II および QDR-II+内の NC ピンと同じ
基準電圧入力	V _{REF}	2	基準電圧入力	V _{REF}	2	2	基準電圧入力	V _{REF}	6	
コア電源ピン	V _{DD}	10	コア電源ピン	V _{DD}	10	10	コア電源ピン	V _{DD}	44	

QDR- II (x18)			QDR- II+ (x18)				QDR-IV (x18)			QDR-IV のコメント
ピン名		ピン数	ピン名		ピン数 (ODT 有効)	ピン数 (ODT 無効)	ピン名		ピン数	
デバイスの出力用の電源入力	V _{DDQ}	16	デバイスの出力用電源入力	V _{DDQ}	16	16	デバイスの出力用電源入力	V _{DDQ}	64	
グラウンドピン	V _{SS}	25	グラウンドピン	V _{SS}	25	25	グラウンドピン	V _{SS}	106	
			有効な出カインジケータ	QVLD	1	1	有効な出カインジケータ	QVLDA[1:0] 、 QVLDB[1:0]	4	
			ODT 入力ピン	ODT	1					
							アドレス パリティ入力	AP	1	AP ピンは、偶数パリティを QDR-IV のアドレスピンに提供するのに使用されます。PE# ピンは、アドレスパリティエラーが発生したことを示します。アドレスパリティ機能は任意であり、コンフィギュレーションレジスタで有効か無効にすることが可能
							アドレス パリティエラーフラグ	PE#	1	
							アドレスバスのアドレス反転状態	AINV	1	
							DQ データバスのデータ反転状態	DINVA[1:0]、 DINVB[1:0]	4	データ反転機能は QDR-IV で任意です。メモリのコンフィギュレーションレジスタにより設定する

QDR- II (x18)			QDR- II+ (x18)				QDR-IV (x18)			QDR-IV のコメント
ピン名		ピン数	ピン名		ピン数 (ODT 有効)	ピン数 (ODT 無効)	ピン名		ピン数	
							同期ロード入力	LDA#, LDB#	2	LDA#は、データ ポート A のコマンドをイネーブルし、LDB#は、データ ポート B のコマンドをイネーブルします。コマンドが無効にされたら、新しいコマンドが無視されますが、内部動作は継続する
							コンフィギュレーション ビット	CFG#	1	このピンは QDR-IV の異なるモード レジスタを設定するのに使用される
							アクティブ LOW 非同期 RST	RST#	1	QDR-IV をリセットするための RST#ピン
							ル ー プ バ ッ ク モード	LBK0#、 LBK1#	2	制御、アドレス、コマンド、クロックの信号に対するスキュー補正用のループバック モード
有 効 な ピ ン (信号) の総数		74			74	73			101	
電 源 ピ ン と グ ラ ン ド ピ ン の 総 数		53			53	53			220	
NC/DNU		38			38	39			40	
ピンの総数		165			165	165			361	

該当なし

表 19. x36 QDR-II、QDR-II+および QDR-IV のピン割り当て

QDR- II (x36)			QDR- II+ (x36)				QDR-IV (x36)			QDR-IV のコメント
ピン名		ピン数	ピン名		ピン数 (ODT 有効)	ピン数 (ODT 無効)	ピン名		ピン数	
データ入力ピン	D[x:0]	36	データ入力ピン	D[x:0]	36	36	ポート A のデータ入力／出力	DQA[x:0]	36	QDR-IV には 2 つの双方向ポートがある
データ出力ピン	Q[x:0]	36	データ出力ピン	Q[x:0]	36	36	ポート B のデータ入力／出力	DQB[x:0]	36	
アドレスピン	A[x:0]	21	アドレスピン	A[x:0]	21	21	アドレスピン	A[x:0]	21	
書き込みポート選択	WPS#	1	書き込みポート選択	WPS#	1	1	ポート A の同期読み出し／書き込み用入力	RWA#	1	QDR-IV の各ポートには同期読み出し／書き込み用の入力がある
読み出しポート選択	RPS#	1	読み出しポート選択	RPS#	1	1	ポート B の同期読み出し／書き込み入力	RWB#	1	
バイト書き込み選択	BWS#[x:0]	4	バイト書き込み選択	BWS#[x:0]	4	4				
入力クロック	K/K#	2	入力クロック	K/K#	2	2	アドレス／コマンド入力クロック	CK/CK#	2	アドレスとコマンド用の入力クロック
出力データ用の入力クロック	C/C#	2					データ入力クロック	DKA[1:0]、DKA#[1:0]、DKB[1:0]、DKB#[1:0]	8	データ入力用の入力クロック
エコークロック	CQ/CQ#	2	エコークロック	CQ/CQ#	2	2	データ出力クロック	QKA[1:0]、QKA#[1:0]、QKB[1:0]、QKB#[1:0]	8	データ出力の出力クロック

QDR-II (x36)			QDR-II+ (x36)				QDR-IV (x36)			QDR-IV のコメント
ピン名		ピン数	ピン名		ピン数 (ODT 有効)	ピン数 (ODT 無効)	ピン名		ピン数	
出カインピーダンスマッチング入力	ZQ	1	出カインピーダンスマッチング入力	ZQ	1	1	出カインピーダンスマッチング入力	ZQ/ZT	1	
PLL がオフ	DOFF#	1	PLL がオフ	DOFF#	1	1				
JTAG ピン	TDI	1	JTAG ピン	TDI	1	1	JTAG ピン	TDI	1	
JTAG ピン	TDO	1	JTAG ピン	TDO	1	1	JTAG ピン	TDO	1	
JTAG ピン	TMS	1	JTAG ピン	TMS	1	1	JTAG ピン	TMS	1	
JTAG ピン	TCK	1	JTAG ピン	TCK	1	1	JTAG ピン	TCK	1	
							JTAG ピン	TRST#	1	QDR-IV は、JTAG 用のリセットピンである TRST#ピンを持っており、TRST#ピンは任意に選択できない
未接続ピン	NC	1	未接続ピン	NC	1	2	未使用ピン	DNU	5	DNU は、QDR-II および QDR-II+ 内の NC ピンと同じ
基準電圧入力	V _{REF}	2	基準電圧入力	V _{REF}	2	2	基準電圧入力	V _{REF}	6	
コア電源ピン	V _{DD}	10	コア電源ピン	V _{DD}	10	10	コア電源ピン	V _{DD}	44	
デバイスの出力用の電源入力	V _{DDQ}	16	デバイスの出力用電源入力	V _{DDQ}	16	16	デバイスの出力用電源入力	V _{DDQ}	64	

QDR- II (x36)			QDR- II+ (x36)				QDR-IV (x36)			QDR-IV のコメント
ピン名		ピン数	ピン名		ピン数 (ODT 有効)	ピン数 (ODT 無効)	ピン名		ピン数	
グラウンド ピン	V _{SS}	25	グラウンド ピン	V _{SS}	25	25	グラウンド ピン	V _{SS}	106	
			有効な出力 インジ ケータ	QVLD	1	1	有効な出カイン ジケータ	QVLDA[1:0]、 QVLDB[1:0]	4	
			ODT 入力 ピン	ODT	1					
							アドレス パリティ 入力	AP	1	AP ピンは、偶 数 パリティを QDR-IV のア ドレス ピンに 提供するのに 使 用 さ れ ま す。PE#ピン は、アドレスパ リティ エラー が発生したこ を示す。ア ドレス パリティ 機能は任意で あり、コンフィ ギ ュ レ ー ション レジス タで有効が無 効にすることが可能
							アドレス パリティ エラー フラグ	PE#	1	
							アドレス バスの アドレス反転状 態	AINV	1	

QDR- II (x36)			QDR- II+ (x36)				QDR-IV (x36)			QDR-IV のコメント
ピン名		ピン数	ピン名		ピン数 (ODT 有効)	ピン数 (ODT 無効)	ピン名		ピン数	
							DQ データバスのデータ反転状態	DINVA[1:0]、DINVB[1:0]	4	QDR-IV ではデータ反転機能は任意に選択可能である。メモリのコンフィギュレーションレジスタにより設定する
							同期ロード入力	LDA#、LDB#	2	LDA# は、データポート A のコマンドをイネーブルし、LDB# は、データポート B のコマンドをイネーブルする。コマンドが無効にされたら、新しいコマンドが無視されるが、内部動作は継続する
							コンフィギュレーションビット	CFG#	1	このピンは QDR-IV の異なるモードレジスタを設定するのに使用される

QDR- II (x36)			QDR- II+ (x36)				QDR-IV (x36)			QDR-IV のコメント
ピン名		ピン数	ピン名		ピン数 (ODT 有効)	ピン数 (ODT 無効)	ピン名		ピン数	
							アクティブ LOW 非同期 RST	RST#	1	QDR-IV をリ セットするた めの RST#ピン
							ル ー プ バ ッ ク モード	LBK0#、 LBK1#	2	コントロール 及びアドレス ／コマンド／ クロックの信 号に対するス キュー補正用 のループバッ ク モード
有効なピン (信 号) の 総数		111			111	110			136	
電源ピンの 総数		53			53	53			220	
NC/DNU		1			1	2			5	
ピンの総数		165			165	165			361	

 該当なし

11 まとめ

このデザインガイドでは QDR-IV SRAM ファミリの概要を次の 4 点を中心に説明しました。

- QDR-IV 動作
- QDR-IV ボード設計の推奨事項
- 消費電力と接合部の温度計算
- QDR-IV、QDR-II+および QDR-II ファミリデバイスの比較

12 参考資料

1. [QDR®-IV: 最先端のネットワークシステムに対応した次世代最高性能のメモリ標準](#)
2. [AN4065 - QDR®-II、QDR-II+、DDR-II、DDR-II+設計ガイド](#)
3. [AN79938 - サイプレスのボール グリッド アレイ \(BGA\) パッケージ デバイスの設計ガイド](#)

13 付録

以下の表に QDR-IV SRAM デバイス内のオンダイ終端 (ODT) 機能を備えているピン数を示します。

ピン名	ピン数 (x36 デバイス)	ピン数 (x18 デバイス)
CK、CK#	2	2
A[x:0]	25	25
AP	1	1
AINV	1	1
DKA[1:0]、DKA#[1:0]、DKB[1:0]、DKB#[1:0]	8	8
DQA[x:0]、DQB[x:0]	72	36
DINVA[1:0]、DINVB[1:0]	4	4
LDA#、LDB#	2	2
RWA#、RWB#	2	2
CFG#	1	1
LBK0#、LBK1#	2	2
合計 ^[6]	120	84

^[6] ピンが POD 信号方式の時に High に駆動してあれば、ODT 回路は電力を消費しません。そのため POD 信号方式の場合、ODT ピン (N_{I/P}) の全数が 117 (x36 オプション) および 81 (x18 オプション) となります。その理由は、LBKx#および CFG# ピンは通常の動作では常に High だからです。

改訂履歴

文書名: AN84060 - QDR®-IV 設計ガイド

文書番号: 001-91761

版	ECN	変更者	発行日	変更内容
**	4322105	HZEN	03/26/2014	これは英語版 001-84060 Rev. *A を翻訳した日本語版 001-91761 Rev. ** です。
*A	4395712	HZEN	06/17/2014	これは英語版 001-84060 Rev. *B を翻訳した日本語版 001-91761 Rev. *A です。
*B	4669767	HZEN	03/30/2015	これは英語版 001-84060 Rev. *C を翻訳した日本語版 001-91761 Rev. *B です。
*C	5160973	HZEN	03/11/2016	これは英語版 001-84060 Rev. *D を翻訳した日本語版 001-91761 Rev. *C です。

ワールドワイドな販売と設計サポート

サイプレスは、事業所、ソリューション センター、メーカー代理店および販売代理店の世界的なネットワークを保持しています。お客様の最寄りのオフィスについては、[サイプレスのロケーション ページ](#)をご覧ください。

製品

車載用	cypress.com/go/automotive
クロック & バッファ	cypress.com/go/clocks
インターフェース	cypress.com/go/interface
照明 & 電源管理	cypress.com/go/powerpsoc
メモリ	cypress.com/go/memory
PSoC	cypress.com/go/psoc
タッチ センシング	cypress.com/go/touch
USB コントローラー	cypress.com/go/usb
ワイヤレス/RF	cypress.com/go/wireless

PSoC®ソリューション

psoc.cypress.com/solutions

[PSoC 1](#) | [PSoC 3](#) | [PSoC 4](#) | [PSoC 5LP](#)

サイプレス開発者コミュニティ

[コミュニティ](#) | [フォーラム](#) | [ブログ](#) | [ビデオ](#) | [トレーニング](#)

テクニカル サポート

cypress.com/go/support

PSoC はサイプレス セミコンダクタ社の登録商標であり、PSoC Creator は同社の商標です。本書で言及するその他すべての商標または登録商標は、それぞれの所有者に帰属します。



Cypress Semiconductor Phone : 408-943-2600
198 Champion Court Fax : 408-943-4730
San Jose, CA 95134-1709 Website : www.cypress.com

© Cypress Semiconductor Corporation, 2013 - 2016. 本文書に記載される情報は、予告なく変更される場合があります。Cypress Semiconductor Corporation (サイプレス セミコンダクタ社)は、サイプレス製品に組み込まれた回路以外のいかなる回路を使用することに対して一切の責任を負いません。サイプレス セミコンダクタ社は、特許またはその他の権利に基づくライセンスを譲渡することも、含意することはありません。サイプレス製品は、サイプレスとの書面による合意に基づくものでない限り、医療、生命維持、救命、重要な管理、または安全の用途のために使用することを保証するものではなく、また使用することを意図したものではありません。さらにサイプレスは、誤作動や故障によって使用者に重大な傷害をもたらすことが合理的に予想される生命維持システムの重要なコンポーネントとしてサイプレス製品を使用することを許可していません。生命維持システムの用途にサイプレス製品を供することは、製造者がそのような使用におけるあらゆるリスクを負うことを意味し、その結果サイプレスはあらゆる責任を免除されることを意味します。

このソースコード (ソフトウェアおよび/またはファームウェア) はサイプレス セミコンダクタ社 (以下「サイプレス」) が所有し、全世界の特許権保護 (米国およびその他の国)、米国の著作権法ならびに国際協定の条項により保護され、かつそれらに従います。サイプレスが本書面によりライセンシーに付与するライセンスは、個人的、非独占的かつ譲渡不能のライセンスであり、適用される契約で指定されたサイプレスの集積回路と併用されるライセンシーの製品のみをサポートするカスタム ソフトウェアおよび/またはカスタム ファームウェアを作成する目的に限って、サイプレスのソース コードの派生著作物をコピー、使用、変更そして作成するためのライセンス、ならびにサイプレスのソース コードおよび派生著作物をコンパイルするためのライセンスです。上記で指定された場合を除き、サイプレスの書面による明示的な許可なくして本ソース コードを複製、変更、変換、コンパイル、または表示することはすべて禁止します。

免責条項: サイプレスは、明示的または黙示的を問わず、本資料に関するいかなる種類の保証も行いません。これには、商品性または特定目的への適合性の黙示的な保証が含まれますが、これに限定されません。サイプレスは、本文書に記載される資料に対して今後予告なく変更を加える権利を留保します。サイプレスは、本文書に記載されるいかなる製品または回路を適用または使用したことによって生ずるいかなる責任も負いません。サイプレスは、誤作動や故障によって使用者に重大な傷害をもたらすことが合理的に予想される生命維持システムの重要なコンポーネントとしてサイプレス製品を使用することを許可していません。生命維持システムの用途にサイプレス製品を供することは、製造者がそのような使用におけるあらゆるリスクを負うことを意味し、その結果サイプレスはあらゆる責任を免除されることを意味します。

ソフトウェアの使用は、適用されるサイプレス ソフトウェア ライセンス契約によって制限され、かつ契約の対象となる場合があります。