

## QDR®-IV 设计指南

作者: Pritesh Mandaliya/Dev Mandya  
相关器件系列: CY7C4\*2\*KV13、CY7C4\*4\*KV13  
相关应用笔记: AN79938、AN4065

AN84060 介绍了 QDR®-IV（赛普拉斯的四路数据速率 SRAM 系列）的关键特性、功能描述、工作模式、功耗计算、以及电路板设计指南的信息。本应用笔记还说明了 QDR-II、QDR-II+和 QDR-IV SRAM 系列器件之间的区别。

## 目录

1	简介 .....	1	7	功耗和结温 .....	26
2	QDR-IV 高级特性总结 .....	3	7.1	ODT 功能被禁用 .....	26
3	功能描述 .....	4	7.2	在 HSTL 信令中使能 ODT 功能 .....	27
3.1	时钟信号说明 .....	4	7.3	在 POD 信令中使能 ODT 功能 .....	28
3.2	读/写操作 .....	5	7.4	x18 器件的示例 .....	30
3.3	校正训练序列 .....	7	8	宽度扩展 .....	31
3.4	分组操作 .....	11	8.1	宽度扩展配置的建议 .....	31
3.5	总线转换的注意事项 .....	12	9	深度扩展 .....	32
3.6	总线反转 .....	13	9.1	深度扩展配置的建议 .....	32
3.7	数据总线反转 .....	14	10	QDR-IV 与 QDR-II+和 QDR-II+ Xtreme 器件的比较 .....	34
3.8	地址奇偶校验 .....	15	10.1	架构、带宽、功耗以及特性比较 .....	34
4	存储器控制器的设计建议 .....	16	10.2	RTR 比较 .....	35
4.1	纠错码 (ECC) .....	17	10.3	QDR®-II、QDR-II+和 QDR-IV 器件中的 引脚差 .....	36
5	QDR-IV 工作模式 .....	17	11	总结 .....	45
6	电路板设计指南 .....	18	12	参考 .....	45
6.1	QDR-IV 输入电压要求 .....	18	13	附录 .....	46
6.2	去耦电容要求 .....	19		全球销售和设计支持 .....	48
6.3	确定电路板去耦电容 .....	19			
6.4	电路板布局指导 .....	24			
6.5	输出数据有效窗口 .....	24			

## 1 简介

流媒体视频，云服务和移动数据使全球网络流量不断增长。为了支持这种增长，下一代网络系统必须提供更快的线路速率和每秒处理数百万个数据包的能力。数据包的顺序是随机的，并且每个数据包需要几个存储器数据传输来处理。在高性能网络系统中，数据包流量需要每秒处理数亿万存储器数据传输，用于寻找来自转发表的路由或用于更新统计信息。

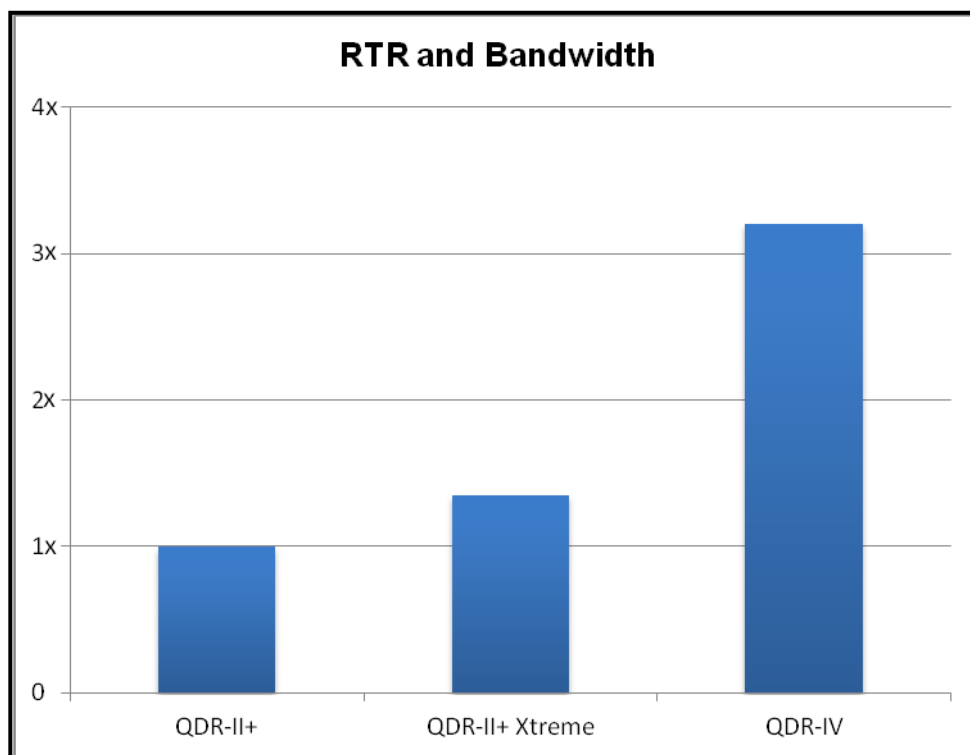
因此，数据包速率与随机存储器访问速率直接成正比关系。下一代网络设备需要具有很高的随机存取速率（RTR）的性能以及跟得上日益增长的网络流量速度的带宽。

专门设计的赛普拉斯的高带宽 QDR-IV SRAM，就是为了得到更好的 RTR 性能，并满足各项网络功能要求，如更新统计信息、跟踪流状态、处理数据包以及执行表查找。

尤其是 RTR 能够测量存储器可以执行的完全随机存储器数据传输（读或写）的次数，亦即处理随机数据的速率（或随机处理速率）。该度量值独立于存取处理过程中被访问的位数。RTR 的测量单位是每秒百万条事务（MT/s）。

图 1 中所示的图表对 QDR-II+、QDR-II+ Xtreme 和 QDR-IV 器件的最大 RTR 值和带宽进行了比较。如图所示，QDR-IV 的性能比 QDR-II+ 器件的性能提高两倍。所以，QDR-IV 是高性能网络系统的理想选择。

图 1. RTR 和带宽比较



QDR-IV 系列包括：

- **QDR-IV 高性能（HP）SRAM：**为两字突发架构器件，在每个周期中能够以最高 667 MHz 的频率进行两次访问，并且读取操作的延时为 5 个时钟周期。
- **QDR-IV 极高性能（XP）SRAM：**为分页的两字突发架构器件，在每个周期中能够以最高 1066 MHz 的频率进行两次访问，并且读取操作的延迟为 8 个时钟周期。由于频率增大，QDR-IV XP 能够提供 2132 MT/s 的 RTR 和 153.5 Gb/s 的带宽。

## 2 QDR-IV 高级特性总结

表 1 介绍了 QDR-IV SRAM 器件的特性。

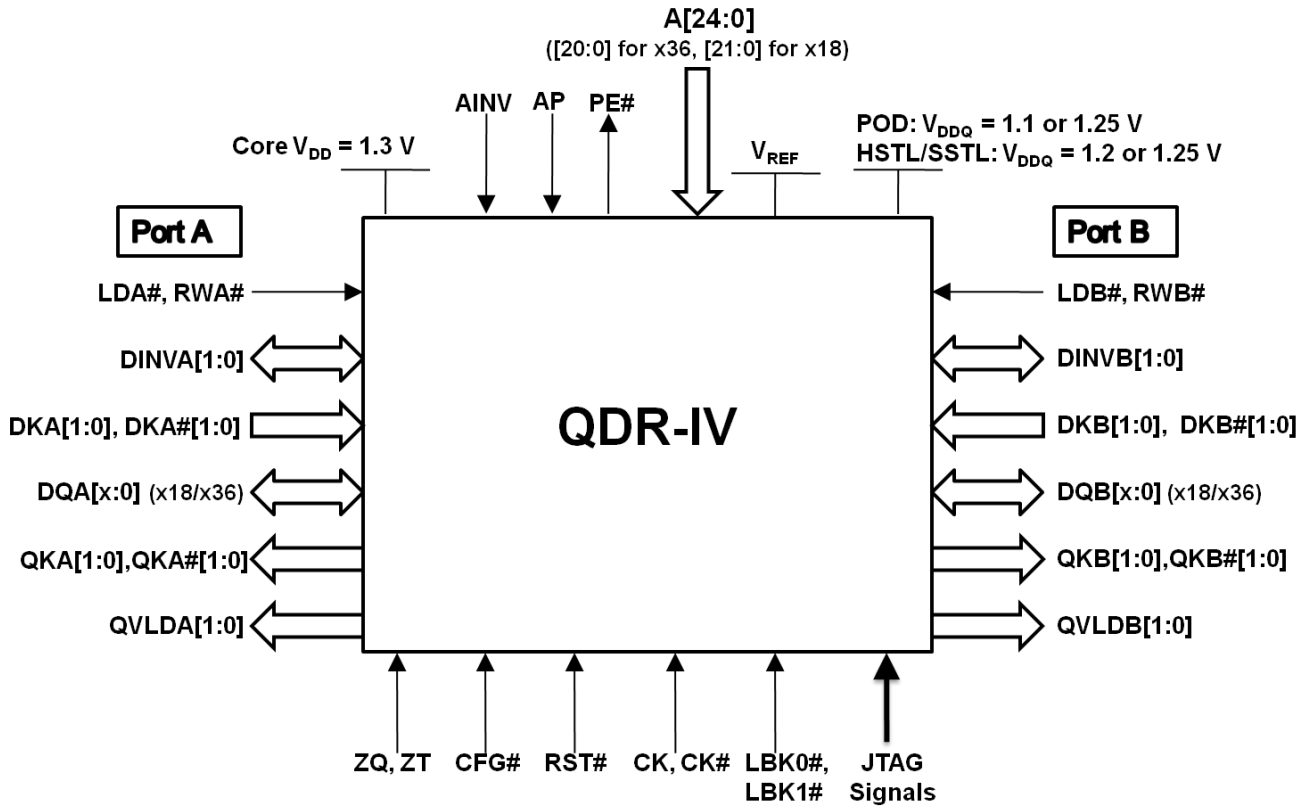
表 1. QDR-IV 特性

特性	说明
数据端口	QDR-IV 具有两个独立的双向数据端口，它支持同时进行两字突发架构的读和写操作。两个数据端口均以双倍数据速率工作。 QDR-IV 的每个端口的宽度可以为 18 位或 36 位 I/O。
地址端口	QDR-IV 包含一个运行速度为双倍数据速率的地址端口，该端口用于控制两个数据端口。
控制信号	QDR-IV 中的所有控制信号均以单倍数据速率（SDR）工作。
工作模式	QDR-IV 支持两个工作模式：最大频率为 1066 MHz 的八组模式（QDR-IV XP SRAM），和最大频率为 667 MHz 的无分组模式（QDR-IV HP SRAM）。
时钟	QDR-IV 使用三种不同的时钟： 1. (CK, CK#)，用于地址和指令信号 2. (DKA, DKA#, DKB, DKB#)，用于数据输入信号 3. (QKA, QKA#, QKB, QKB#)，用于数据输出信号
总线反转	QDR-IV 具有总线反转性能，能够降低开关噪声和功耗。可以对地址和数据使能或禁用该特性。
地址总线奇偶校验错误保护	QDR-IV 支持可配置 ON/OFF 状态的地址总线奇偶校验错误保护。它为地址总线提供了完整的数据。
片上终端电阻（ODT）	QDR-IV 为时钟、地址、指令以及数据引脚提供了可配置 ON/OFF 状态的片上终端（ODT）特性。支持的终端值为：40、50、60、100 和 120 Ω。
可配置内部寄存器	QDR-IV 包含用于配置器件的内部寄存器。只能在配置模式下访问这些寄存器，这样可以在访问期间不会同时发生其他普通存储器数据传输。可以在存储器初始化期间对这些寄存器进行写操作，也可以更新和读取它们。
写转发	QDR-IV 支持在各个端口之间进行写转发，而仍能保证数据完全一致。
ECC	QDR-IV 介绍了片上纠错码（ECC），几乎消除了软失效率（SER）。
训练模式	QDR-IV 具有环回工作模式，用于对控制、地址、数据和时钟引脚进行校正训练，因而改善了信号时序。
I/O 信号	QDR-IV 符合 JESD8-24 标准的伪开漏（POD）相兼容，并且符合 JESD8-16A 标准的高速收发器逻辑/存根系列终端逻辑（HSTL/SSTL）信号。POD 使用的是 1.1 V ±50 mV 或 1.2 V ±50 mV I/O V <sub>DDQ</sub> 电平，而 HSTL/SSTL 则支持 1.2 V ±50 mV 或 1.25 V ±50 mV I/O V <sub>DDQ</sub> 的电平。
供电电压	QDR-IV 要求使用 1.3 V ±40 mV 大小的内核电压（V <sub>DD</sub> ）。
封装	QDR-IV 提供了 361 球形焊盘倒装芯片的球栅阵列（FCBGA）封装，其尺寸为 21 mm × 21 mm，间距（pitch）为 1 mm。
JTAG	QDR-IV 支持与 JESD8-26 标准的 JTAG 1149.1 相兼容的测试访问端口，并支持与 1.3 V LVCMOS 相兼容的信号。

有关时序波形的详细信息，请参考相关的数据手册。

图 2 显示的是 QDR-IV 的通用接口框图。这些接口的设计与 POD 和 HSTL/SSTL 类的接口相兼容。

图 2. 接口框图



### 3 功能描述

QDR-IV SRAM 具有两个数据 I/O 端口，即端口 A 和端口 B。由于可以独立访问这两个端口，所以对存储器阵列进行的任何读/写访问组合均可得到最大的随机数据传输速率。

在 QDR-IV 中，对每个端口进行访问时需要使用双倍数据速率的通用地址总线（A）。端口 A 的地址在输入时钟（CK）的上升沿上被锁存，而端口 B 的地址在输入时钟（CK）的下降沿上或在 CK# 的上升沿上被锁存。控制信号（LDA#、LDB#、RWA# 和 RWB#）以单倍数据速率（SDR）工作，并用于确定执行读操作还是写操作。两个数据端口（DQA 和 DQB）均配备了双倍数据速率（DDR）接口。该器件具有 2 字突发的架构。器件的数据总线带宽可以为 × 18 或 × 36。

QDR-IV XP SRAM 器件具有一个组切换选项。[分组操作](#)一节描述了如何使用组切换，让器件能够以更高的频率和 RTR 工作。

#### 3.1 时钟信号说明

- CK/CK# 时钟与下面地址和控制引脚相关联：An-A0、AINV、LDA#、LDB#、RWA# 以及 RWB#。CK/CK# 时钟与地址和控制信号中心对齐。
- DKA/DKA# 和 DKB/DKB# 是与输入写数据相关联的输入时钟。这些时钟与输入写数据中心对齐。

根据 QDR-IV SRAM 器件的数据总线宽度配置，[表 2](#) 显示了输入时钟与输入写数据之间的关系。

表 2. 输入时钟与写数据的关系

输入时钟	x18	x36
DKA0/DKA0#	控制 DQA[8:0]	控制 DQA[17:0]
DKA1/DKA1#	控制 DQA[17:9]	控制 DQA[35:18]
DKB0/DKB0#	控制 DQB[8:0]	控制 DQB[17:0]
DKB1/DKB1#	控制 DQB[17:9]	控制 DQB[35:18]

- QKA/QKA#和 QKB/QKB#是与读取数据相关联的输出时钟。这些时钟与输出读取数据边沿对齐。

根据 QDR-IV SRAM 器件的数据总线带宽的配置情况，表 3 显示了输出时钟与读取数据之间的关系。

表 3. 输出时钟与读取数据的关系

输出时钟	x18	x36
QKA0/QKA0#	控制 DQA[8:0]	控制 DQA[17:0]
QKA1/QKA1#	控制 DQA[17:9]	控制 DQA[35:18]
QKB0/QKB0#	控制 DQB[8:0]	控制 DQB[17:0]
QKB1/QKB1#	控制 DQB[17:9]	控制 DQB[35:18]

地址/控制信号和数据输出与 CK/CK#时钟同步。数据输入与 DK/DK#输入时钟同步。

为了确保指令和数据周期期间正确的时序，并使能正确数据总线转换，DKA/DKA#和 DKB/DKB#时钟必须满足相关数据手册中所指定的 CK 到 DKx 间的时滞（ $t_{CKDK}$ ）。

QK/QK#数据输出时钟由内部 PLL 生成。它与 CK/CK#时钟同步，并满足相关数据手册中所定的 CK 到 QKx 时滞（ $t_{CKQK}$ ）的规定。

## 3.2 读/写操作

读和写指令由控制输入（LDA#、RWA#、LDB#和 RWB#）和地址输入驱动。

在输入时钟（CK）的上升沿上对端口 A 控制输入进行采样。在输入时钟的下降沿上对端口 B 控制输入进行采样。

表 4 显示的是端口 A 和端口 B 的读/写操作条件。

表 4. 端口 A 和端口 B 的读/写条件

	读操作	写操作
端口 A	LDA# = 0 和 RWA# = 1	LDA# = 0 和 RWA# = 0
端口 B	LDB# = 0 和 RWB# = 1	LDB# = 0 和 RWB# = 0

如图 3 和图 4 所示，整五个读取延迟（RL）时钟周期（对于 QDR-IV HP SRAM）或八个 RL 时钟周期（对于 QDR-IV XP SRAM）后，在 DQA 引脚上输出端口 A 的读取数据。从发出 READ 指令时的 CK 信号上升沿开始，经过指定的 RL 时钟周期将获得数据。

整三个写延迟（WL）时钟周期（对于 QDR-IV HP SRAM）或五个 WL 时钟周期（对于 QDR-IV XP SRAM）后，将端口 A 的写数据传输给 DQA 引脚。从发出 WRITE 指令时的 CK 信号上升沿开始，经过指定的 WL 时钟周期将获得数据。

整五个 RL 时钟周期（对于 QDR-IV HP SRAM）或八个 RL 时钟周期（对于 QDR-IV XP SRAM）后，在 DQB 引脚上输出端口 B 的读取数据。从发出 READ 指令时的 CK 信号下降沿开始，经过指定的 RL 时钟周期将获得数据。

整三个 WL 时钟周期（对于 QDR-IV HP SRAM）或五个 WL 时钟周期（对于 QDR-IV XP SRAM）后，将端口 B 的写数据传输给 DQB 引脚。从发出 WRITE 指令时的 CK 信号下降沿开始，经过指定的 WL 时钟周期将获得数据。

QVLDA/QVLDB 信号表示相应端口上的有效输出数据。在总线上驱动第一个数据字的半周期前置位 QVLDA 和 QVLDB 信号，并在总线上驱动最后一个数据字的半周期前取消置位它们。最后数据字后的数据输出是三态的。

图 3. 读取时序

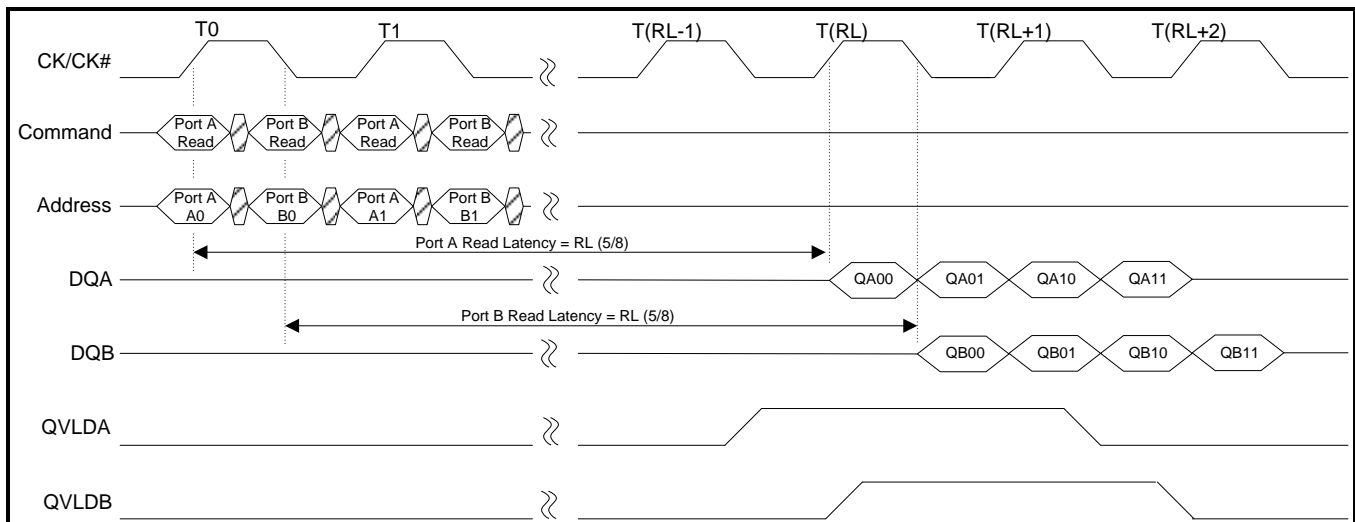
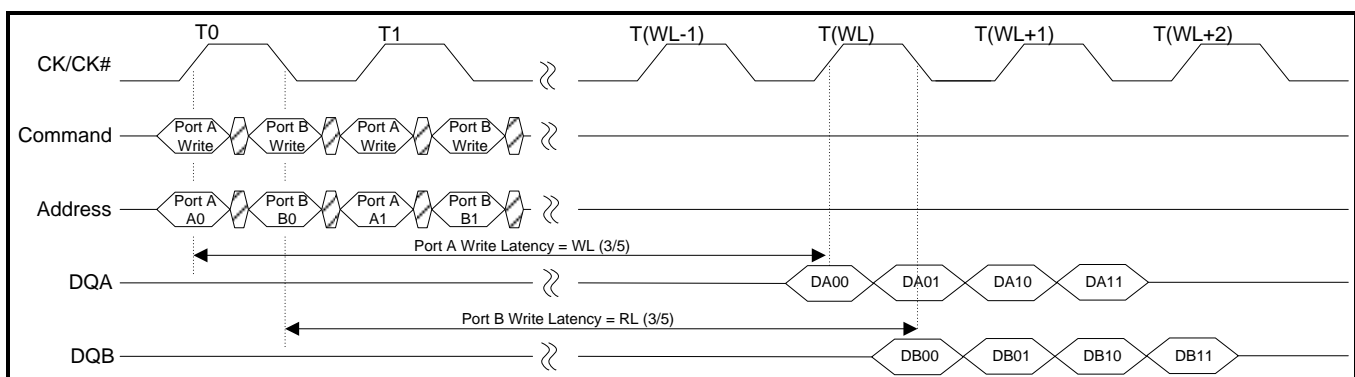


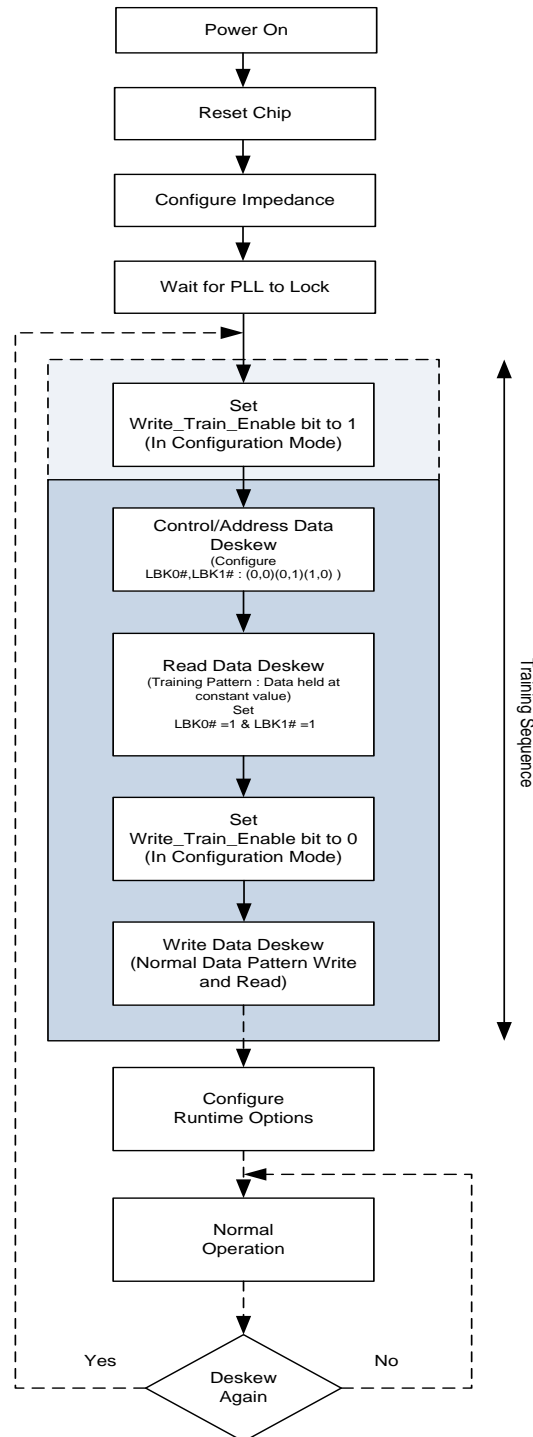
图 4. 写入时序



### 3.3 校正训练序列

QDR-IV SRAM 支持存储器控制器校正信号，以获得高速操作。不支持内置校正功能的应用经常使用该训练序列。图 5 对该训练序列进行了总结：

图 5. 校正训练序列



校正训练序列是初始化过程的一部分（更多有关初始化过程的信息，请参考器件数据手册）。对序列进行加电和复位后，在配置模式下进行操作的过程中，我们必须立即设置选项控制寄存器中的 **Write\_Train\_Enable** 位（位的位置：7）。通过该操作，我们可以避免在进行训练序列前再次进入配置模式。设置该位不会影响到校正训练序列，直到进行读取数据校正训练为止。

通过以下三个步骤，可以实现校正过程：

1. 控制/地址校正
2. 读取数据校正
3. 写入数据校正

### 3.3.1 控制/地址校正

根据需要校正的信号，将 **LBK0#**和 **LBK1#**设为它们相应的位值。请查看表 5，了解环回信号的映射情况。

此时将环回下面 39 个信号：

- **DKA0**、**DKA0#**、**DKA1**、**DKA1#**
- **DKB0**、**DKB0#**、**DKB1**、**DKB1#**
- **LDA#**、**RWA#**、**LDB#**、**RWB#**
- **A [24:0]**、**AINV**、**AP**

表 5. 环回信号映射情况

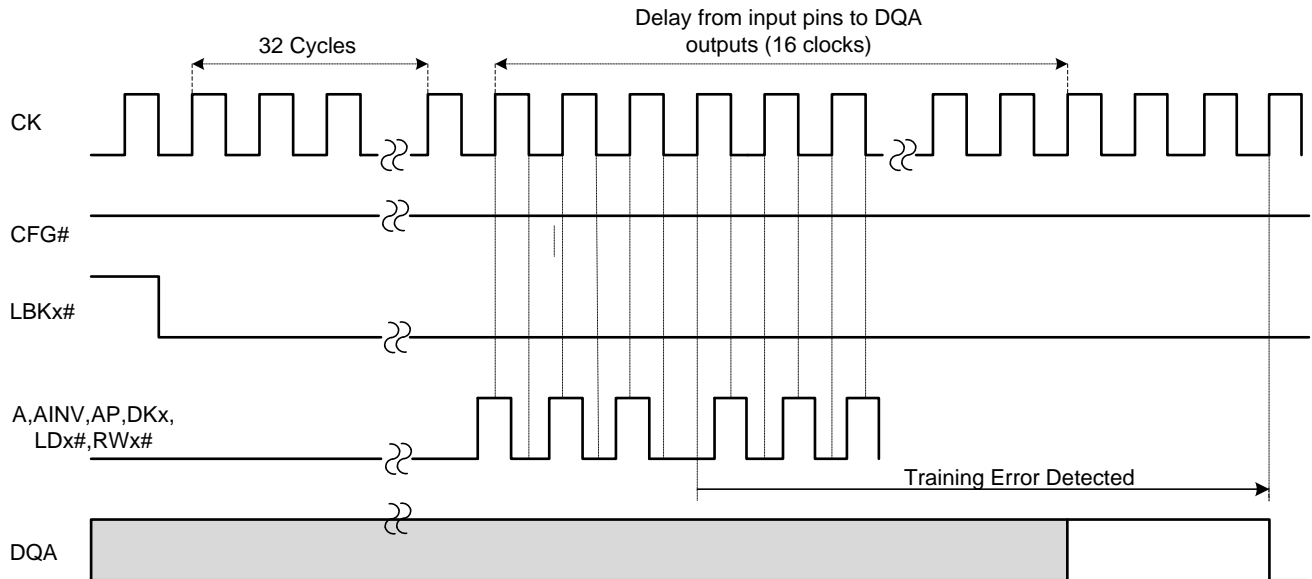
输入引脚 <b>LBK0# = 0</b> <b>LBK1# = 0</b>	输入引脚 <b>LBK0# = 0</b> <b>LBK1# = 1</b>	输入引脚 <b>LBK0# = 1</b> <b>LBK1# = 0</b>	输出引脚
A0	A13	DKA0	DQA0
A1	A14	DKA0#	DQA1
A2	A15	DKA1	DQA2
A3	A16	DKA1#	DQA3
A4	A17	LDA#	DQA4
A5	A18	RWA#	DQA5
A6	A19	DKB0	DQA6
A7	A20	DKB0#	DQA7
A8	A21	DKB1	DQA8
A9	A22	DKB1#	DQA9
A10	A23	LDB#	DQA10
A11	A24	RWB#	DQA11
A12	AINV	AP	DQA12

**DKA0**、**DKA0#**、**DKA1**、**DKA1#**、**DKB0**、**DKB0#**、**DKB1** 和 **DKB1#** 等时钟输入都是自由运行的，并应在训练序列中持续运行。

通过使用输入时钟（**CK/CK#**）可在上升沿和下降沿上对每个输入引脚进行采样。在输出时钟（**QKA/QKA#**）的上升沿上采样的输出值即为在输入时钟的上升沿上所采样的值。在输出时钟（**QKA/QKA#**）的下降沿上采样的输出值即为在输入时钟的下降沿上所采样的反转值。在这种模式下，数据反转无效，在进行地址/控制环回训练过程中，**CFG#**信号将为高电平。



图 6. 环回训练框图



如图 6 所示，如果地址/控制信号未校正，DQA 上的信号（在训练期间保持高电平）将变为低电平。该信号转换应由驱动信号的模块捕获，处理器/FPGA 则会对信号相应进行校准。

### 3.3.2 读取数据校正

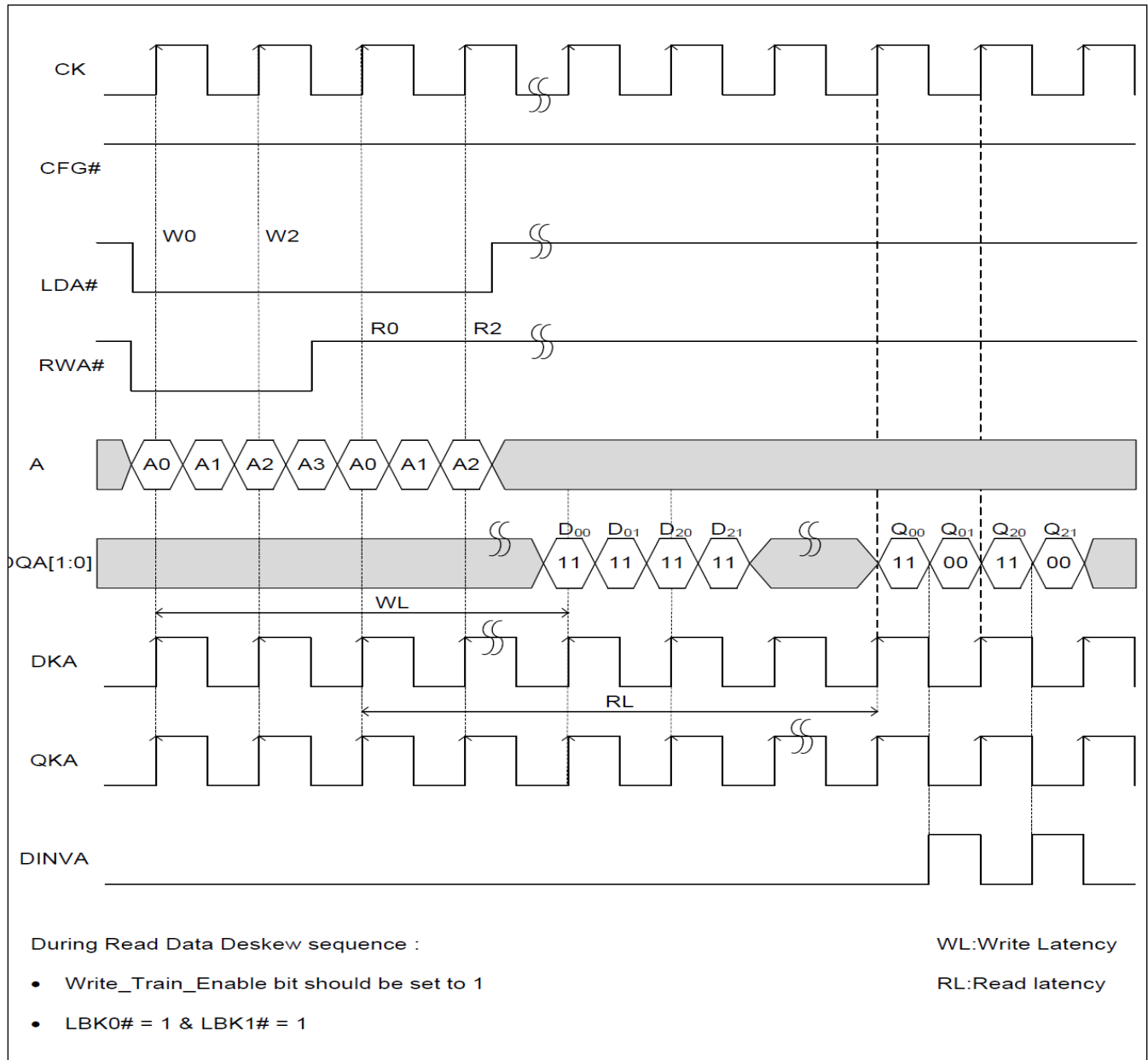
在该阶段，地址、控制和数据输入时钟都已经得到了校正。在读取数据校正过程中，用于写入存储器内的训练数据模型是一个常量值，如下面的波形框图中显示。在此训练序列中，LBK0#和 LBK1#均被设置为 1。

配置选择控制寄存器时，Write\_Train\_Enable 位将被设置为 1。第一个和第二个数据突发均在同一个数据总线上被采样的，但第二个数据突发则在写到存储器内前完成采样的。Write\_Train\_Enable 位不会对读取数据周期产生任何影响。

将数据模型写到存储器内后，标准的读指令允许 FPGA/处理器访问这些数据，并会校正 QK/QK# 信号。当 Write\_Train\_Enable = 1 时，在写入过程中，DINVA/DINVB 将被忽略，在读取过程中，它将始终切换。

如下面的读取数据校正框图中所示，写入到存储器内的数据 (D<sub>00</sub>、D<sub>01</sub>、D<sub>20</sub>、D<sub>21</sub>) 全为 1，相应的读取数据 (Q<sub>00</sub>、Q<sub>01</sub>、Q<sub>20</sub>、Q<sub>21</sub>) 则在 1 和 0 间切换。处理器/FPGA 应该捕获并验证这些切换数据。否则，FPGA/处理器需要一个精确的校准来确认读取数据校正。

图 7. 读取数据校正序列框图



### 3.3.3 写数据校正

此时，地址、控制、时钟和数据输出都已经得到了校正。执行写入数据校正序列前，先再次进入配置模式，然后通过将相应位设置为 0 来禁用 Write\_Train\_Enable。

在正常工作模式下，使用读指令后，通过使用存储器的写指令可校正写数据。所校正的读取数据路径用于确认器件是否已经正确地接收到写入数据。这样使处理器/FPGA 能够校正下列与 DK/DK#输入数据时钟有关的信号：DQA、DINVA、DQB 和 DINVB。

### 3.4 分组操作

QDR-IV XP SRAM 的设计是为了支持频率更高的八组模式（最大工作频率 = 1066 MHz），而 QDR-IV HP SRAM 则支持频率较低的无分组模式（最大工作频率 = 667 MHz）。

QDR-IV XP 中较低的两个地址引脚（A2、A1 和 A0）选择了在读或写期间将要访问的组。唯一的分组限制是在每个时钟周期内只能对特定组访问一次。QDR-IV XP SRAM 的组访问规则要求在端口 B 上访问的组地址与在端口 A 上访问的组地址不相同。

如果不符合分组限制，那么由于在时钟的上升沿上已经对读/写操作进行采样，在端口 A 上则不会限制读/写操作，但会禁止端口 B 上的读/写操作。QDR-IV HP SRAM 并没有任何分组限制。

图 8. QDR-IV XP SRAM — 写/读操作

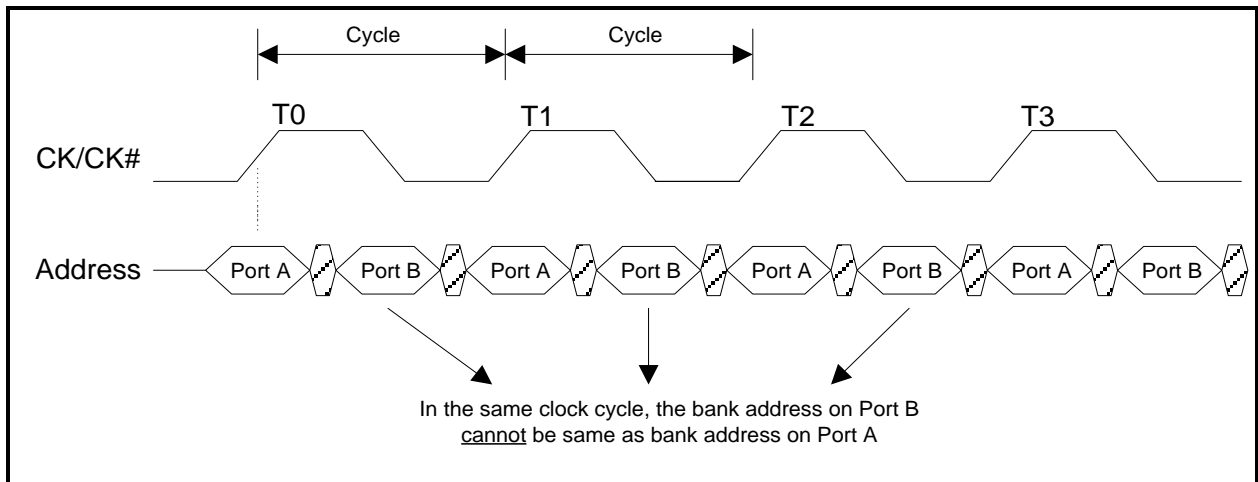
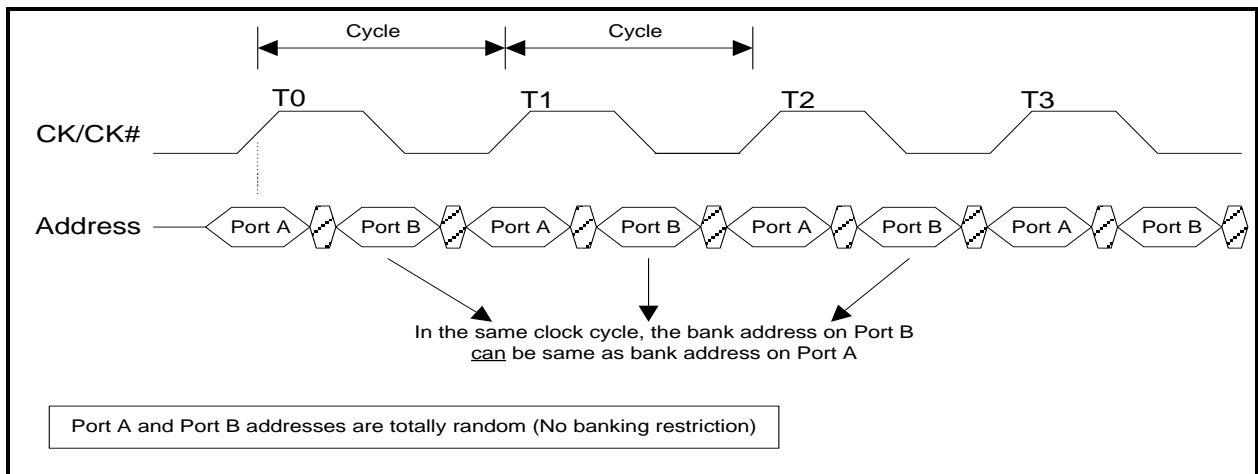


图 9. QDR-IV HP SRAM — 写/读操作

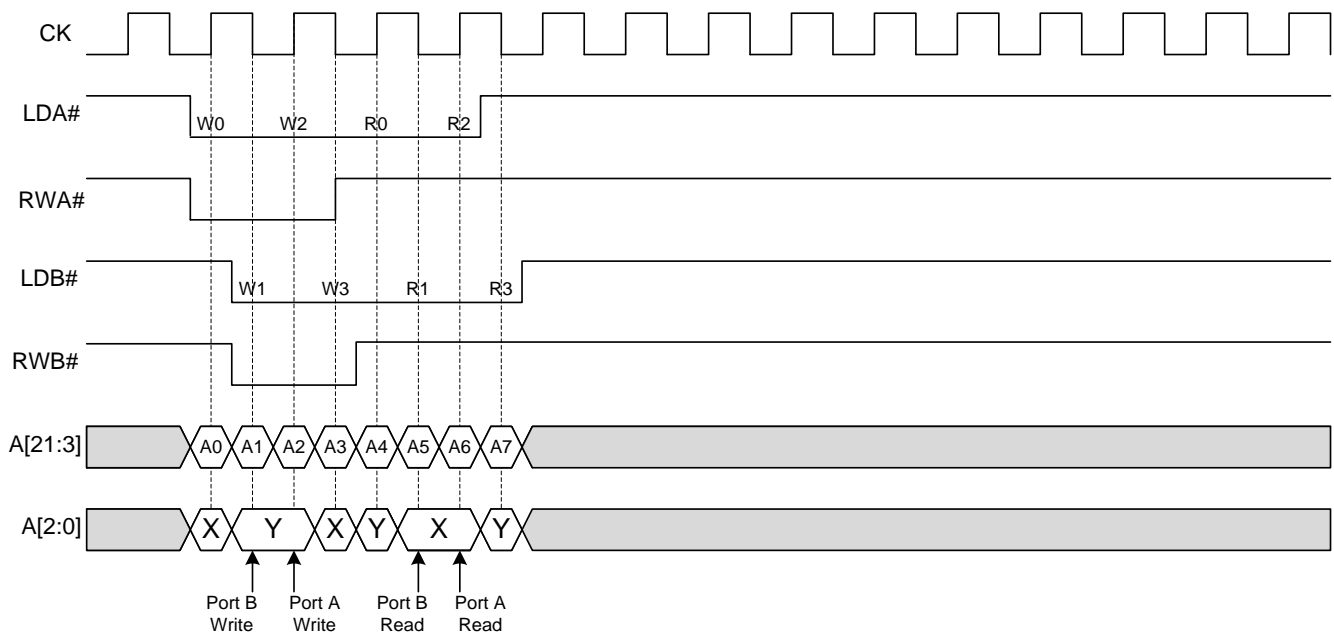


QDR-IV XP SRAM 上的分组限制可作为某些应用的一个优点，在这些应用中，存储器中的每一组都有不同的用途，并且不能在同一个时钟周期中对同一个组进行两次访问。一个网络路由器能够在 QDR-IV XP SRAM 的每一组内储存不同的路由表便是一个实例。如果在同一个时钟周期内只能对特定的路由表访问一次，那么可以获取由 QDR-IV XP SRAM 提供的高 RTR（随机数据传输速率）<sup>[1]</sup>。在这些应用中，工作频率为 1066 MHz 时，可获得最高随机数据传输速率为 2132 MT/s。

分组限制不会影响到数据传输速率的另一种情况是使用物理层上的多个端口进行设计，通过每一个端口可以直接访问存储器中一组。这些端口将被复用到 QDR-IV XP SRAM 的端口 A 和端口 B。在该设计中，当每一个组都被连接到物理层上不同的端口时，不能在同一个时钟周期内访问同一个组两次。

因设计的原因，不可在同一个时钟周期对同一个组进行读/写操作。不过，如果第一次访问某一组是通过当前时钟周期的下降沿上端口 B 进行的，并且第二次访问则是通过下一个时钟周期的上升沿上端口 A 进行的，那么可以在一个时钟周期内再次对同一组进行访问。在下面的框图中，在进行写操作期间，端口 B 和端口 A 都可以在一个时钟周期内访问组 Y。同样，在进行读操作期间，端口 B 和端口 A 可以在一个时钟周期内访问组 X。

图 10. 在一个时钟周期对同一个存储器组进行访问



### 3.5 总线转换的注意事项

总线转换时间对决定在读和写指令间是否需要额外的间隔，从而避免在同一个 I/O 端口上发生总线冲突起着重要作用。

现在让我们一起考虑 QDR-IV HP SRAM 中端口 A 上的写指令（读指令随后）。从 CK 信号的上升沿（与初始化写指令周期相对应）算起，在整整三个时钟周期内向 DQA 引脚提供写数据。从 CK 信号的上升沿（与初始化读指令的周期相对应）算起，在五个时钟周期后，如果在 DQA 上获得数据，则在下一个周期内可以发送读指令。此外，为符合总线转换时间和传输延迟（从 ASIC/FPGA 到 QDR IV 存储器），还有两个额外周期。因此，启动写指令后，可以立即启动读指令。

<sup>1</sup> RTR（随机数据传输速率）被定义为可对存储器执行完全随机存储器访问（读或写）的次数。RTR 的测量单位为每秒百万次数据传输。

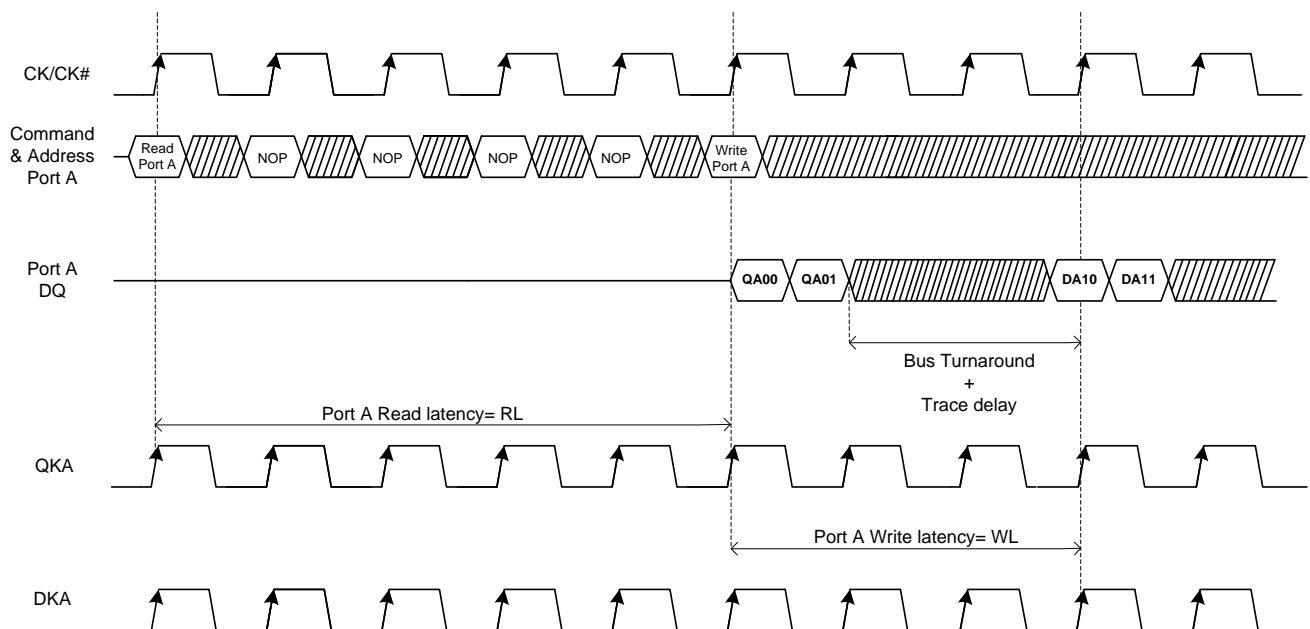
在其他情况中，如果先启动读指令（随后启动写指令），那么发送读指令经过三个时钟周期后，才能发送写指令。这是因为，从在时钟信号 **CK** 的上升沿上对读指令进行采样算起，经过五个周期后可获得 **DQA** 引脚上的读数据，并且从在时钟信号 **CK** 的上升沿上对写指令进行采样算起，在整三个时钟周期内向 **DQA** 引脚提供写数据。否则，将会发生总线冲突。因此，发送写指令后的最小时钟周期应该为  $RL - WL + 1$ （**RL**：读延迟；**WL**：写延迟；这两个延迟的单位为时钟周期数）。另外一个时钟周期用于正确捕获数据并补偿总线转换延迟（通常为一个时钟周期）。

如果传输延迟大于总线转换延迟，那么‘读到写’指令间的间隔为：

$$\text{‘读到写’指令间的时间周期} = \text{读延迟} - \text{写延迟} + 1 + \text{传输延迟}$$

请参考图 11。发送读指令经过四个时钟周期后，将发送端口 **A** 的写指令。这样是为了避免因读/写延迟、总线转换时间和传输延迟间的差别而导致的总线冲突。

图 11. QDR-IV HP SRAM 时序分析框图



## 3.6 总线反转

QDR-IV 器件支持总线反转，即表示可以反转所有地址和数据引脚。

地址和数据总线反转有助于减少双向数据线上的抖动、切换噪声以及 I/O 的切换功耗。在数据传输之间，当超过一半的位数是不同数据时，发送器将使用总线反转。由于 QDR-IV 器件的 POD 信令模式为 I/O 信号提供了到  $V_{DDQ}$  的高压终端选项，所以被驱动为高电平逻辑状态的信号不会消耗功率。因此，总线反转对于 POD I/O 信号是一个很重要的性能。QDR-IV 会保证反转地址和数据总线的完整性。

可以使用芯片配置寄存器来使能或禁用地址和数据总线的反转性能。

### 3.6.1 地址总线反转

**AINV** 是双倍数据速率信号，每次将地址发送给存储器器件时都会更新该信号。**AINV** 引脚指示是否对地址总线（**An** – **A0**）和 **AP** 进行了反转。**AINV** 是高电平有效信号。当 **AINV** = 1 时，将反转地址总线；当 **AINV** = 0 时，不反转地址总线。**AINV** 引脚的功能由存储器控制器控制。

地址总线和地址奇偶位都被视为地址组（**AG**）。

表 6 显示的是 **AG** 定义以及 x18 和 x36 QDR-IV 选项的 **AINV** 设置条件。

表 6. 地址总线反转条件

	x18	x36
地址组	AG[22:0] = A[21:0]、AP	AG[21:0] = A[20:0]、AP
反转逻辑	如果 AG[22:0] 中逻辑“0”的数量不小于 12，将 AINV 置为 1，这时会对 AG[22:0] 进行反转	如果 AG[21:0] 中逻辑“0”的数量不小于 11，将 AINV 置为 1，这时会对 AG[21:0] 进行反转
	如果 AG[22:0] 中逻辑“0”的数量小于 12，将 AINV 置为 0，这时不会反转 AG[22:0]	如果 AG[21:0] 中逻辑“0”的数量小于 11，将 AINV 置为 0，这时不会反转 AG[21:0]

### 3.6.2 x36 器件的示例

#### 不进行地址总线反转：

假设要访问的地址分别为 22'h 000199 和 22'h 3FFCFF。17 个地址引脚需要在第一个和第二个地址的逻辑状态间进行切换，如下表所示（红色单元格显示）。这样会增大地址引脚上的切换噪声、I/O 电流以及串扰。

表 7. 地址总线序列（未进行总线反转）

AG[21:0]	22 位（二进制）																					
第一个地址组 — 22'h 000199	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	0	0	1	1	0	0	1
第二个地址组 — 22'h 3FFCFF	1	1	1	1	1	1	1	1	1	1	1	1	0	0	1	1	1	1	1	1	1	1

#### 进行地址总线反转：

根据表 6 显示，第一个地址组（22'h 000199）满足反转逻辑条件。因此，存储器控制器发送第一个地址组前，它会将地址组从 22'h 000199 反转为 22'h 3FFE66，并将 AINV 引脚置为 1。由于不需要反转第二个地址组，所以存储器控制器可以将其直接发送，并将 AINV 设置为 0。

下表显示的是地址总线反转的结果。在这种情况下，只有 5 个地址引脚需要切换逻辑（红色单元格显示）。切换位的总数降低为 5，所以降低了由于同时切换输出（SSO）而引起的噪声、I/O 电流以及串扰。

表 8. 地址总线序列（进行总线反转）

AG[21:0]	22 位（二进制）																						AINV		
第一个地址组 — 22'h 3FFE66 （反转后）	1	1	1	1	1	1	1	1	1	1	1	1	1	0	0	0	1	1	0	0	1	1	0	1	
第二个地址组 — 22'h 3FFCFF （保持不变）	1	1	1	1	1	1	1	1	1	1	1	1	1	0	0	1	1	1	1	1	1	1	1	1	0

## 3.7 数据总线反转

DINVA 和 DINVB 引脚指示是否反转相应的 DQA 和 DQB 引脚。DINVA 和 DINVB 均为高电平有效信号。当 DINV = 1 时，将反转数据总线；当 DINV = 0 时，不反转数据总线。

存储器控制器在存储器写操作期间控制着 DINVA 和 DINVB 引脚的功能。在存储器读期间中，QDR-IV 存储器中的反转逻辑将引起 DINVA 和 DINVB 功能。

DINVA[1]和 DINVA[0]相互独立并控制与其相应的 DQA 组。DINVA[0]控制 DQA[17:0]（对于 x36 的配置）或 DQA[8:0]（对于 x18 的配置）。DINVA[1]控制 DQA[35:18]（对于 x36 的配置）或 DQA[17:9]（对于 x18 的配置）。同样，DINVB[0]控制 x36 配置中的 DQB[17:0]或 x18 配置中的 DQB[8:0]。DINVB[1]控制 x36 配置中的 DQB[35:18]或 x18 配置中的 DQA[17:9]。

表 9 显示的是 DINV 位说明以及 x18 和 x36 QDR-IV 选项的 DINVA 设置条件。

表 9. 数据总线反转条件

	x18	x36
DINV 位	DINVA[1]控制 DQA[17:9], DINVA[0]控制 DQA[8:0] DINVB[1]控制 DQB[17:9], DINVB[0]控制 DQB[8:0]	DINVA[1]控制 DQA[35:18], DINVA[0]控制 DQA[17:0] DINVB[1]控制 DQB[35:18], DINVB[0]控制 DQB[17:0]
反转逻辑	如果 DQA[8:0]中的逻辑“0”数量 ≥ 5, 将 DINVA[0]设置为 1, 这时会对 DQA[8:0]进行反转	如果 DQA[17:0]中的逻辑“0”数量 ≥ 10, 将 DINVA[0]设置为 1, 这时会对 DQA[17:0]进行反转
	如果 DQA[8:0]中的逻辑“0”数量 < 5, 那么不对 DQA[8:0]进行反转并将 DINVA[0]设置为 0	如果 DQA[17:0]中的逻辑“0”数量 < 10, 那么不对 DQA[17:0]进行反转, 并将 DINVA[0]设置为 0

注意: 可以对 DINVA[1]、DINVB[0]以及 DINVB[1]使用相同的反转逻辑, 以便控制相应的 DQ 组。

### 3.7.1 x18 器件的示例

#### 不进行数据总线反转:

假设需要分别发送 DQA[8:0]上的 9'h 007 和 9'h 1F3。6 个数据引脚需要在第一个和第二个 DQA[8:0]位的逻辑状态之间进行切换, 如下表所示 (红色单元格显示)。这样会增大数据引脚上的切换噪声、I/O 电流以及串扰。

表 10. 数据总线序列 (不进行总线反转)

DQA[8:0]	9 位 (二进制)								
第一个 DQA[8:0] — 9'h 007	0	0	0	0	0	0	1	1	1
第二个 DQA[8:0] — 9'h 1F3	1	1	1	1	1	0	0	1	1

#### 进行数据总线反转:

根据表 9, 第一个 DQA[8:0]满足反转逻辑条件。因此, 存储器控制器发送第一个 DQA[8:0]前, 它会将引脚地址从 9'h 007 反转为 9'h 1F8, 并将 DINVA[0]引脚设置为 1。由于第二个 DQA[8:0]不需要反转, 所以存储器控制器可以直接发送它, 并将 DINVA[0]设置为 0。

表 11 显示的是数据总线反转的结果。在这种情况下, 只有 3 个数据引脚需要切换逻辑 (红色单元格显示)。切换位的总数降低为 3, 所以降低了 SSO 的噪声、I/O 电流以及串扰。

表 11. 数据总线序列 (进行总线反转)

DQA[8:0]	9 位 (二进制)									DINVA[0]
第一个 DQA[8:0] — 9'h 1F8 (反转后)	1	1	1	1	1	1	0	0	0	1
第二个 DQA[8:0] — 9'h 1F3 (保持不变)	1	1	1	1	1	0	0	1	1	0

## 3.8 地址奇偶校验

地址奇偶校验输入 (AP) 和地址奇偶校验错误标志输出 (PE #) 引脚提供了能够确保地址总线完整性的片上地址奇偶校验功能。地址奇偶校验功能是可选的; 可以使用配置寄存器来使能或禁用它。

通过该 AP 引脚可以在各地址引脚 (An 到 A0) 上进行偶校验。设置 AP 值, 使 AP 和 An-A0 中逻辑“1”的总数为偶数。

- 对于数据总线宽度为 x18 的器件, 设置 AP 值, 使 A[21:0]和 AP 中逻辑“1”的总数为偶数。
- 对于数据总线宽度为 x36 的器件, 设置 AP 值, 使 A[20:0]和 AP 中逻辑“1”的总数为偶数。



### 3.8.1 x36 的器件示例

以数据总线宽度为 x36 的器件的 21'h1E0000 和 21'h1F0000 地址为示例。表 12 显示的是如何为每个地址设置 AP 值。

表 12. 地址奇偶特性

	地址, A[20:0] (x36 器件)																								AP	A[20:0]和 AP 中逻辑 “1” 的 总数	
21'h1E0000	1	1	1	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	4	AP = 0, 因为在 A[20:0]中 逻辑“1” 的总数为 偶数 (4)
21'h1F0000	1	1	1	1	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	6	AP = 1, 因为在 A[20:0]中 逻辑“1” 的总数为 奇数 (5)

当发生奇偶错误时，在配置寄存器 4、5、6 和 7 中（请查看相关数据手册，了解有关配置寄存器的更多信息）记录第一个错误的完整地址以及端口 A/B 错误位和地址反转位。端口 A/B 错误位表示发生地址奇偶错误的端口：0 表示端口 A，1 表示端口 B。持续锁存该信息，直到向配置寄存器 3 中的地址奇偶错误清除位写入 1 来清除该信息为止。

通过两个计数器，可以表示是否发生了多个地址奇偶错误。端口 A 错误计数是端口 A 地址上奇偶错误数量的运行计数器。同样，端口 B 错误计数是端口 B 地址上奇偶错误数量的运行计数器。每个计数器独立计数到最大值（3），然后将停止计数。这些计数器均是自由运行的；对配置寄存器 3 的地址奇偶错误清除位写入 1，可将其复位。

检测到地址奇偶错误后，写操作被忽略，这样可以防止损坏存储器。但是，如果输入地址错误，仍会继续执行读操作，并且存储器将发送垃圾数据。

PE# 为低电平有效信号，表示地址奇偶错误。检测到地址奇偶错误后，PE# 信号在 8 个周期（QDR-IV XP SRAM）或 5 个周期（QDR-IV HP SRAM）内被设置为 0。它将保持置位状态，直到通过配置寄存器清除了错误为止。处理完地址反转便表示完成了地址奇偶检查。

由于 AP 错误不对存储器访问产生任何影响，因此 QDR-IV SRAM 会忽略地址奇偶错误，所以需要监控 PE# 信号。

PE# 转为低电平后，会停止存储器操作，并使用配置寄存器将 PE# 复位为高电平。此外，有些数据未被更新，并且发生 AP 错误的写操作也被阻止，所以需要向存储器重新编写数据。

## 4 存储器控制器的设计建议

存储器控制器首先要根据地址总线生成地址奇偶。然后，需要在地址总线和地址奇偶位上进行地址反转。

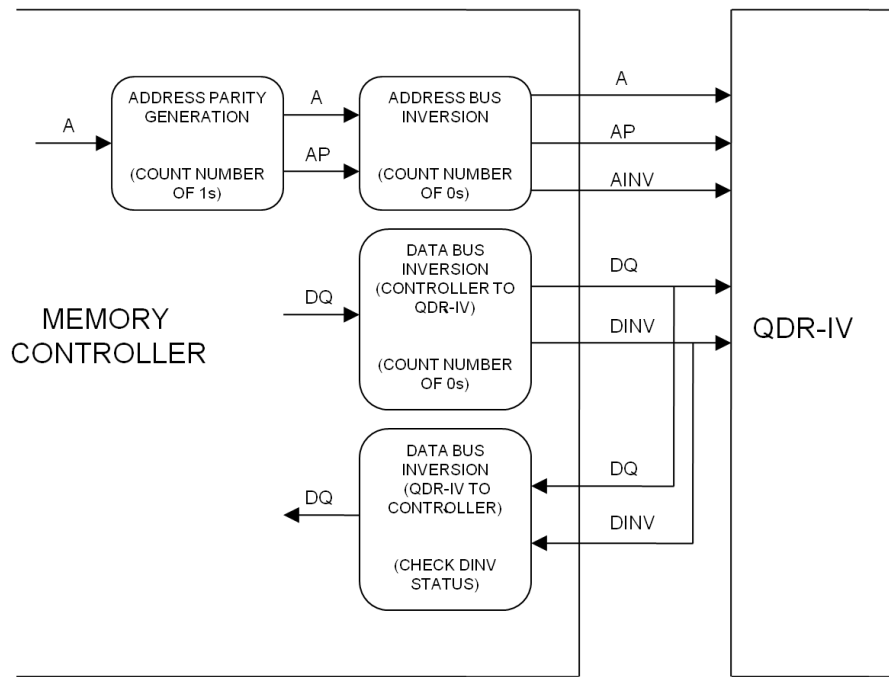
对于数据总线转换，将数据发送给 QDR-IV 前，存储器控制器需要计算每个 DQ 总线上的逻辑“0”的数量，以便生成相应的 DINV 位（根据数据总线反转的条件）。

将数据发送给存储器控制器时，QDR-IV 使用相同的数据总线反转逻辑。为了识别 QDR-IV 的接收数据，控制器仅要检查相应 DINV 位的状态。如果控制器接收 DINV = 1，需要反转相关的数据总线；否则，保持接收到的数据位不变。

图 12 显示的是存储器控制器的设计注意事项。



图 12. 存储器控制器的设计注意事项



#### 4.1 纠错码（ECC）

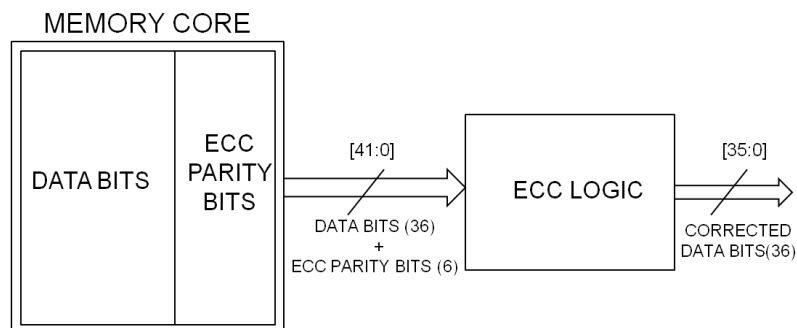
赛普拉斯引入了片上纠错码（ECC），用以降低 QDR-IV 存储器阵列的总软失效率（SER）。该特性可应用于数据总线宽度为 x18 和 x36 的选项，并在 SRAM 中始终被使能。ECC 保护提供了单比特纠错（SEC）。

内部存储器阵列包含用于存储 ECC 校验的额外位。但是，不会将这些额外的内部位用于外部引脚。

例如，图 13 显示的是 x36 器件的输出数据逻辑框图。36 数据位需要 6 个 ECC 校验位；存储器内核会将 42 位（36 个数据位 + 6 个 ECC 校验位）传输到 ECC 逻辑内。因此，ECC 逻辑会提供已纠正的 36 位输出数据。

通常，无 ECC 位的 QDR/DDR SRAM 的 SER 故障率（FIT）为 200 FIT/Mb。但带有 ECC 时，该数值将为 0.01 FIT/Mb，提高了 4 个数量级。

图 13. 输出数据逻辑（x36 器件）



## 5 QDR-IV 工作模式

QDR-IV XP SRAM 的工作频率更高，并且具有一些组访问规则，而 QDR-IV HP SRAM 的工作频率较低，并没有任何组访问限制。

QDR-IV 的读延迟和写延迟时间都取决于它的工作频率。表 13 定义了每个器件支持的工作模式和频率。

表 13. 工作模式

	QDR-IV HP SRAM		QDR-IV XP SRAM	
时钟频率	600 MHz	667 MHz	933 MHz	1066 MHz
读延迟	5 个周期	5 个周期	8 个周期	8 个周期
	8.33 ns	7.5 ns	8.57 ns	7.5 ns
写延迟	3 个周期	3 个周期	5 个周期	5 个周期
分组操作	无		有	
总线宽度	x18、x36			
I/O 类型	1.1 V 和 1.2 V POD 1.2 V 和 1.25 V HSTL/SSTL			
封装	361 FCBGA			
端口配置	双向读/写端口			
容量	144 Mb、72 Mb			

## 6 电路板设计指南

### 6.1 QDR-IV 输入电压要求

表 14 显示的是使用了 POD 和 HSTL/SSTL 信令的 QDR-IV SRAM 对不同输入电压的要求。

表 14. QDR-IV 输入供电电压

POD 接口					
参数	说明	最小值	典型值	最大值	单位
$V_{DD}$	内核供电电压 ( $1.3\text{ V} \pm 40\text{ mV}$ )	1.26	1.3	1.34	V
$V_{DDQ}$	I/O 供电电压 ( $1.1\text{ V} \pm 50\text{ mV}$ )	1.05	1.1	1.15	V
	I/O 供电电压 ( $1.2\text{ V} \pm 50\text{ mV}$ )	1.15	1.2	1.25	
$V_{REF}$	参考电压	$V_{DDQ} \times 0.69$	$V_{DDQ} \times 0.7$	$V_{DDQ} \times 0.71$	V
HSTL/SSTL 接口					
参数	说明	最小值	典型值	最大值	单位
$V_{DD}$	内核供电电压 ( $1.3\text{ V} \pm 40\text{ mV}$ )	1.26	1.3	1.34	V
$V_{DDQ}$	I/O 供电电压 ( $1.2\text{ V} \pm 50\text{ mV}$ )	1.15	1.2	1.25	V
	I/O 供电电压 ( $1.25\text{ V} \pm 50\text{ mV}$ )	1.2	1.25	1.3	
$V_{REF}$	参考电压	$V_{DDQ} \times 0.48$	$V_{DDQ} \times 0.5$	$V_{DDQ} \times 0.52$	V

#### 6.1.1 $V_{DD}$ 和 $V_{DDQ}$ 的生成

- 可以在相关器件的数据手册中找到有关工作电流 ( $I_{DD}$ ) 的信息，用以设计  $V_{DD}$  供电电压。赛普拉斯建议使用电压调节器 IC 来生成  $V_{DD}$  和  $V_{DDQ}$ 。
- 通过使用功耗计算工具（在功耗和结温计算一节中），可以计算  $V_{DDQ}$  的 I/O 切换电流 ( $I_{DDQ}$ )。如果 QDR-IV 具有 ODT 特性，则需要 I/O 切换功耗以及 ODT 功耗才能计算出总电流  $I_{DDQ}$ 。

### 6.1.2 V<sub>REF</sub> 生成

- V<sub>REF</sub> 消耗的电流可以忽略不计，因为它是差分放大器的输入。POD 信令模式和 HSTL/SSTL 信令模式要求的最大 V<sub>REF</sub> 电流分别为 3  $\mu$ A 和 1  $\mu$ A。
- V<sub>REF</sub> 大小取决于 V<sub>DDQ</sub> 电压。V<sub>REF</sub> 等于 V<sub>DDQ</sub>/2（HSTL/SSTL 接口），并等于 V<sub>DDQ</sub> x 0.7（POD 接口）。因此，可以通过电阻分压器对 V<sub>DDQ</sub> 进行分压，或通过调节器 IC 生成 V<sub>REF</sub>。

### 6.1.3 HSTL 信令的 V<sub>TT</sub> 生成

- 如果输入信号在电路板上端接或在 QDR-IV 中禁用了 ODT 选项，那么电路板需要额外的终端电压（V<sub>TT</sub> = V<sub>DDQ</sub>/2）。
- 使用功耗计算工具来估计 V<sub>TT</sub> 供电设计的 V<sub>TT</sub> 电流，从而计算出外部终端功耗。
- 由于 V<sub>TT</sub> 也取决于 V<sub>DDQ</sub>，赛普拉斯建议使用 V<sub>DDQ</sub> 源或电压调节器生成 V<sub>TT</sub>，因而可以提供或降低电流，并控制电压。

## 6.2 去耦电容要求

需要使用去耦电容，以降低电源系统中的噪声。使用这些电容是为了消除电感或接地反弹对电源总线的影响。它具有低串联电阻和串联电感，用来为 IC 的电源总线提供去耦或旁路。

去耦电容的优点如下：

- 降低了电源和接地引脚上的电压振幅。
- 为电源层和接地层提供了低阻抗路径。
- 在电源层和地层间提供了信号返回路径。

表 15 显示的是相关输入电压的 QDR-IV 封装去耦电容。

表 15. QDR-IV 封装去耦电容

电压	封装去耦电容
V <sub>DD</sub>	10 x 100 nF
V <sub>DDQ</sub>	10 x 100 nF

## 6.3 确定电路板去耦电容

本部分显示了如何使用 QDR-IV 特性板作为参考实现 V<sub>DDQ</sub> 电源完整性的示例。赛普拉斯建议您根据目标板进行仿真，以便得到目标阻抗。

首先，找到相应电源网络的目标阻抗（Z<sub>T</sub>）。目标阻抗取决于平均电流（假设为最大电流的 50%）和按外部供电电压（V<sub>DD</sub>、V<sub>DDQ</sub>、V<sub>REF</sub> 和 V<sub>TT</sub>）百分比计算的容许噪声电压。

因此，

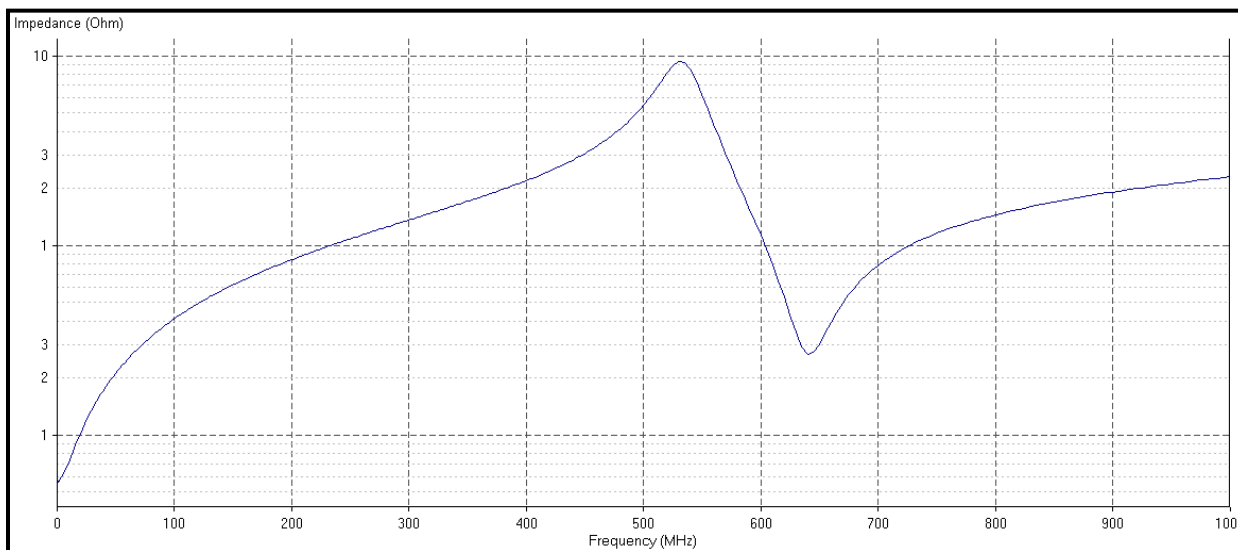
$$\text{目标阻抗 (Z}_T\text{)} = (\text{供电电压} \times \text{噪声比例}) / (\text{最大瞬变电流的 } 50\%) \dots\dots\dots (1)$$

上面公式提到的供电电压取决于 V<sub>OH</sub>-V<sub>IH</sub> 和 V<sub>OL</sub>-V<sub>IL</sub> 的电源噪声规格。这是可接受的最大级别的电源噪声。当所有输出被切换时，最大电流为过冲电流。假设每个输出的最大瞬变电流为 20 mA，则有 100 个输出正在切换。噪声级别假设为 V<sub>DDQ</sub> 的 10%（通常为 1.2 V）。那么，得到的 QDR-IV 目标阻抗为 120 m $\Omega$ 。

其次，仿真电压段或层。工具（如 Cadence Sigrity）支持包含 ESR/ESL（引线电阻和电感）的去耦电容库。电容选择取决于最大电压、尺寸、成本等因素。

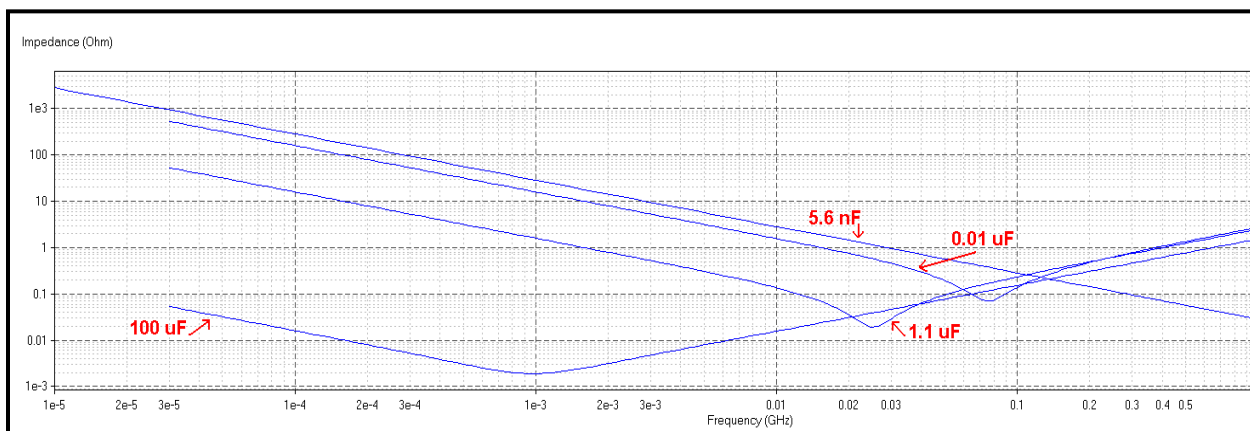
下面的示例模拟是在频率定义域中实现的。通常会实现不带去耦电容的仿真运行，以便得到无电容（包括片上电容）的电源阻抗。

图 14. VDDQ 的电源完整性（无去耦电容）



然后，在工具中反复加载并接通电容。这个循环包括电容的预先选择，这些电容取决于高阻抗时的频率。下图显示的是某些电容各自的频率响应。最靠近电压调节器模块（VRM）的电容值是最大的，离 VRM 越远其电容值也越小。在低频率下最大电容的阻抗较低，反之亦然；在高频率下使阻抗较大。通过最大电容和片上电容，可以确定最高频率范围。只需要在最大切换频率下执行电源完整性仿真。建议将 VRM 用于仿真设置。VRM 可以是较小（如 0.001 欧姆）的简单电阻。此外，VRM 也可以使用 SPICE 模型。VRM 根据实际电路板降低了直流电的阻抗。

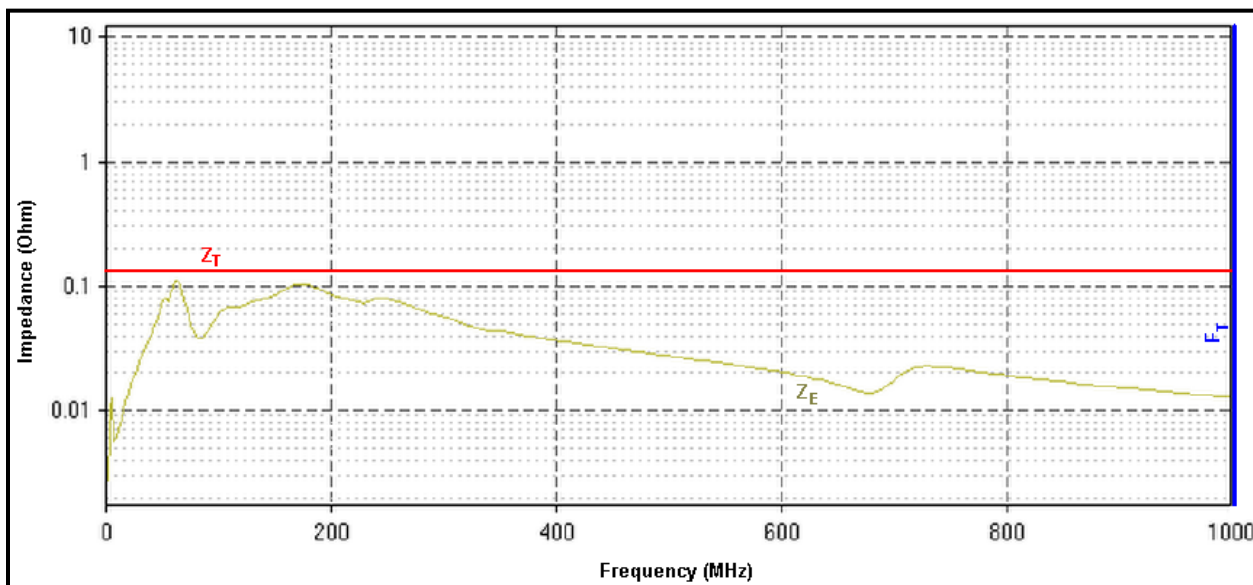
图 15. 去耦电容的电源完整性



目的是为了反复求解频率大小为 1066 MHz 和有效阻抗（ $Z_E$ ）低于 120 m $\Omega$  时电源的完整性。

如图 16 中所示，目标阻抗（ $Z_T$ ，红色水平线）为 120 m $\Omega$ ，目标频率（ $F_T$ ，蓝色垂直线）为 1000 MHz（以 0 到 1 GHz 的目标频率执行模拟），并在该频率范围内有效阻抗（ $Z_E$ ，绿色线）小于  $Z_T$ ，表示去耦电容组合（表 15）满足  $V_{DDQ}$  的目标阻抗。

图 16. 电源完整性仿真结果



通过运行切换噪声仿真来确保电源噪声满足噪声目标。

可以使用电源完整性仿真工具为  $V_{DD}$ 、 $V_{REF}$  以及  $V_{TT}$  识别去耦电容。选择去耦电容取决于电路板和器件的属性。因此，赛普拉斯建议您在为相关电源网络选择去耦电容值前执行高速系统的电源完整性仿真。

### 6.3.1 电路板设计中有关去耦电容的建议

去耦电容对 SRAM 性能起着重要作用。因此，需要选择正确的电容值并将该电容器放置在电路板上。

- 使走线与走线间的电感最小。在 PCB 设计中，要避免长而细的 PCB 走线，因为它们会增加电感。
- 如果路径的电感低于其他长走线的电感，可以接受通过过孔的路径。
- 如果允许，请将电容和组件放置在电路板的同一侧。
- 按数值的递减顺序放置电容，以便使最小的电容尽量靠近器件的电源引脚/电源走线。
- 要确保电容值满足电压摆幅的要求，并在指定了频率范围的应用中提供低阻抗的接地路径。

### 6.3.2 终端原理图建议

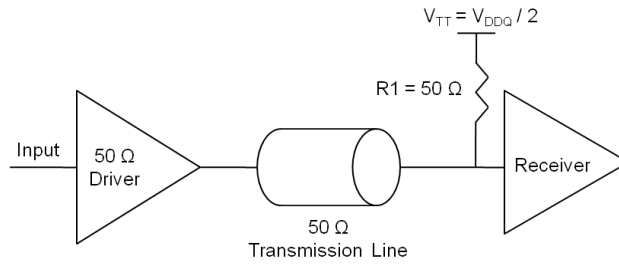
不匹配阻抗使信号将沿着传输线而反射，这样会导致振铃并会损坏系统。振铃会缩小接收器的动态范围（由于阈值移位），并能导致误触发。为了消除来自信号源的反射，信号源的阻抗必须与走线的阻抗相匹配。

QDR-IV 为时钟、地址、指令以及数据输入支持 HSTL/SSTL（与 JESD8-16A 兼容）模式和 POD（与 JESD8-24 兼容）模式的信令；该信令具有可配置的片上终端（ODT）功能。使能 QDR-IV 中的 ODT 功能，删除电路板上的终端电阻，从而简化了电路板设计。设计者也可以禁用 ODT 功能，并保留电路板上用于输入信号的终端电阻。

下面各节描述的是推荐的 QDR-IV 终端原理图。

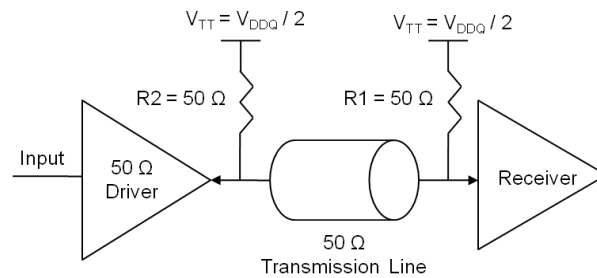
#### HSTL/SSTL 单端信号终端

QDR-IV 具有单端地址和指令信号。推荐的终端原理图是指在加载时将源上拉终端电阻连接到  $V_{TT}$  电压源端。图 17 显示的是有源上拉终端原理图，其中终端电阻（R1）被连接到终端电压（ $V_{TT}$ ）上。在该原理图中，选择电压（ $V_{TT}$ ），以便使输出驱动器可以通过高电平或低电平信号得到电流。但是，这种原理图要求能够跟踪  $V_{DDQ}$ 、灌电流和拉电流的单独电压源，以便与输出传输率相匹配。

图 17. 使用电阻大小为  $50\ \Omega$  的有源上拉终端原理图


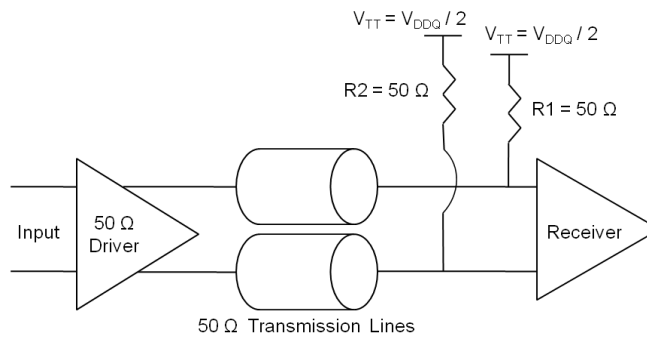
### HSTL/SSTL 双向信号的终端

QDR-IV 具有双向数据总线和数据反转信号。图 18 显示的是有源上拉终端原理图，其中终端电阻 ( $R1$  和  $R2$ ) 被连接至终端电压 ( $V_{TT}$ )。这种原理图与图 17 中所示的有源上拉终端原理图相似，唯一不同的是该原理图的两端上均有有源上拉电阻。源端上的有源上拉（如图 18 中所示）实际上是总线反转时的负载终端。

图 18. 使用电阻大小为  $50\ \Omega$  的双向 I/O 的有源上拉终端原理图


### HSTL/SSTL 差分信号终端

图 19 显示的是 QDR-IV 差分输入时钟的推荐终端原理图。这是将终端电阻 ( $R1$  和  $R2$ ) 连接至终端电压 ( $V_{TT}$ ) 的有源上拉终端原理图。

图 19. 使用电阻大小为  $50\ \Omega$  的差分信号的有源上拉终端原理图


### POD 信号的终端要求

POD 输出驱动器包含强下拉和弱上拉模式。所以，POD 信号需要一个外部上拉终端电阻或片上终端电阻。驱动器端的弱上拉电阻和接收器端上的上拉终端电阻能够满足信号的上拉要求。POD 信号的功耗比 HSTL/SSTL（强上拉 + 强下拉）信号的功耗低。

如果希望输出驱动器输出大小为  $60\ \Omega$  的上拉阻抗，下拉驱动器需要提供大小为  $40\ \Omega$  的下拉阻抗。图 20、图 21 和图 22 分别显示的是 POD 单端、双向和差分信号的推荐终端原理图。

图 20. 使用电阻大小为  $60\ \Omega$  的 POD 单端信号的 POD 有源上拉终端原理图

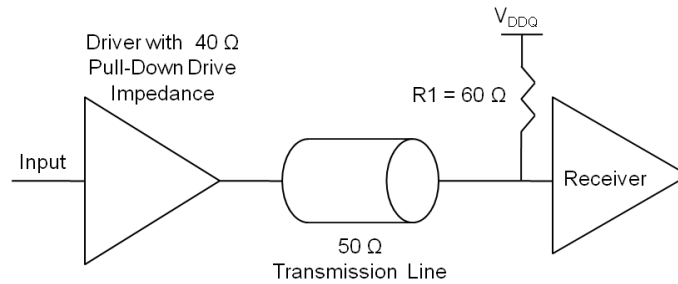


图 21. 使用电阻大小为  $60\ \Omega$  的 POD 双向 I/O 的有源上拉终端原理图

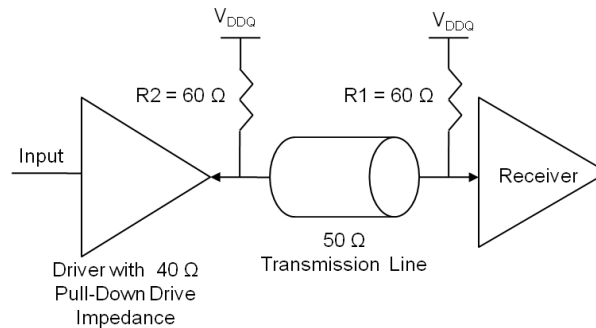
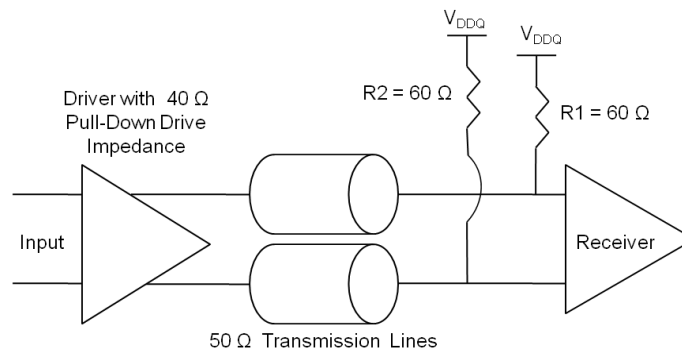


图 22. 使用电阻大小为  $60\ \Omega$  的 POD 差分信号的有源上拉终端原理图



选择终端原理图和电阻值前，需要执行信号完整性模拟，因为终端原理图和电阻值取决于电路板和器件的属性。此外，使终端电阻靠近器件，以便降低存根长度，因而降低影响。



## 6.4 电路板布局指导

为了优化性能，请按照下面的指导内容进行操作。赛普拉斯建议您模拟电路板的实现情况，以获得精确的延迟数值。

- 将 CK/CK# 作为起始点，并估计其他信号与 CK/CK# 的延迟。
- 各个总线类型之间和各个总线之间，所有数据、地址、控制以及时钟线的延迟不能超过  $\pm 50$  ps 范围。
- DK<sub>x</sub> 时钟需要满足 CK 到 DK<sub>x</sub> 时滞 ( $t_{CKDK}$ )，并且地址、指令和数据信号的建立/保持时间（根据每个数据手册）要与相应时钟相匹配。
- 在赛普拉斯封装中，所有走线之间的偏移不超过 5 ps，各条走线都要靠近并且它们的平均长度为 11.4 mm。
- 所有数据、地址、控制以及时钟线的布线提供了大小为  $50\ \Omega \pm 10\%$  的阻抗，并没有发生阻抗不连续性的问题。赛普拉斯封装中的走线具有大小为  $50\ \Omega \pm 10\%$  的阻抗。
- QDR-IV 中的三个时钟均是差分时钟，所以必须差分布线这些时钟走线，以便使他们具有大小为  $100\ \Omega$  的差分阻抗。因而，正向和负向时钟信号走线要完全相同，不能有任何偏差。
- DK/DK# 写时钟和 QK/QK# 读时钟要根据器件的结构与数据组相关联。因此，在同一个 PCB 层上对这些时钟和其相应数据组进行布线，使它们间的偏差最小。
- 在同一个 PCB 层上对 CK/CK#、地址以及指令组进行布线。
- 仿真所有走线，以确保他们之间的相似性和低插入损耗。使走线尽可能宽，并调整电介质的厚度，使其阻抗大小为  $50\ \Omega$ 。在信号过孔位置附近放置更多的接地过孔，以便降低插入损耗。必须仿真最严重的串扰影响情况，以确保噪声级别满足规格范围。
- 更多有关赛普拉斯的球栅阵列 (BGA) 封装和 BGA 布局指导的信息，请参考应用笔记 [AN79938 — 赛普拉斯球栅阵列 \(BGA\) 封装器件的设计指南](#)。

## 6.5 输出数据有效窗口

QK<sub>x</sub> 和 QK<sub>x</sub># 时钟与读数据相关联。当双倍数据速率 DQ<sub>x</sub> 和 DINV<sub>x</sub> 引脚作为读数据的输出时，QK<sub>x</sub> 和 QK<sub>x</sub># 时钟将作为他们的源同步时钟使用。

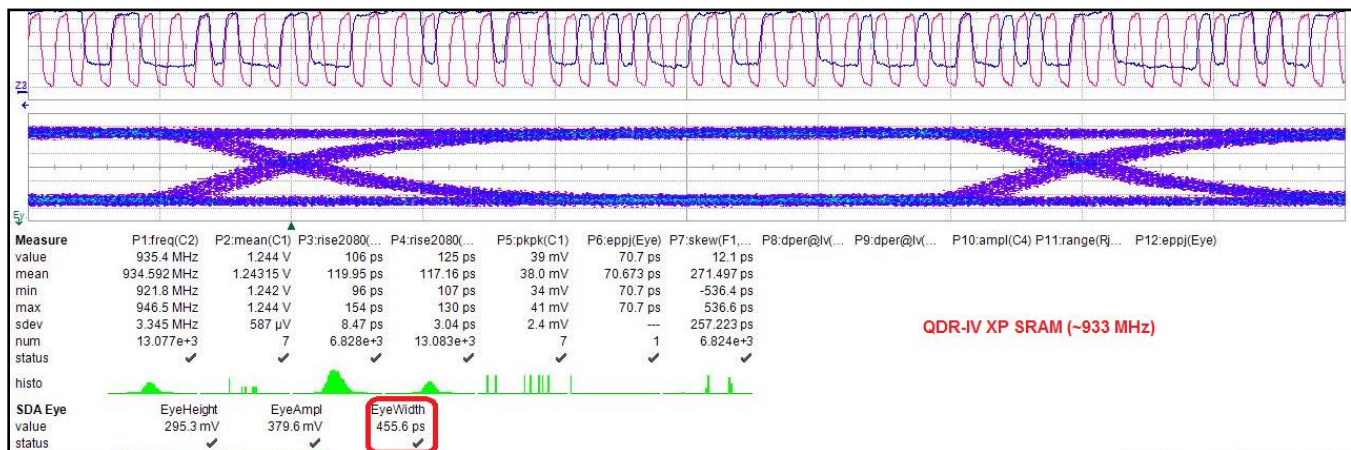
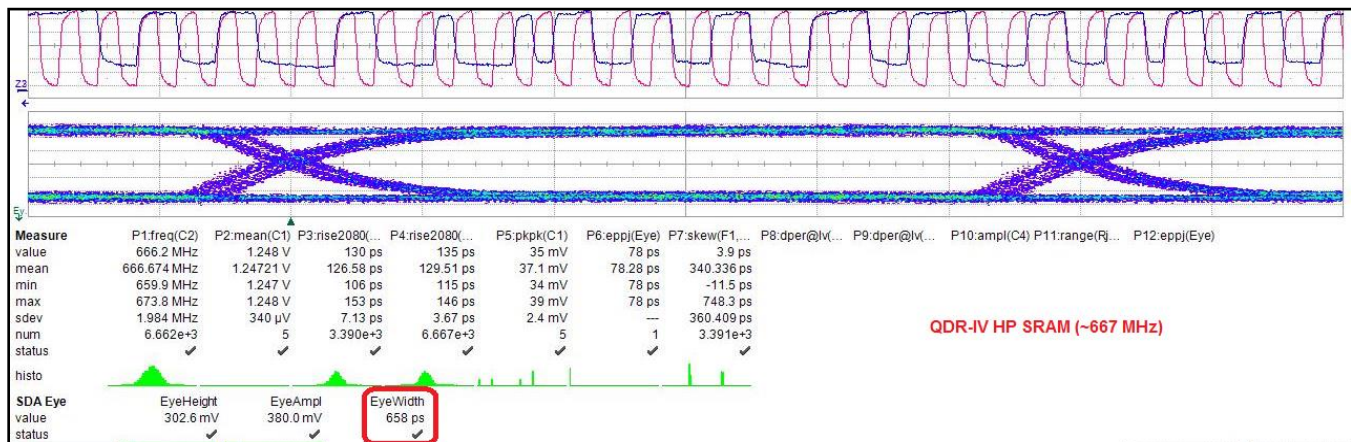
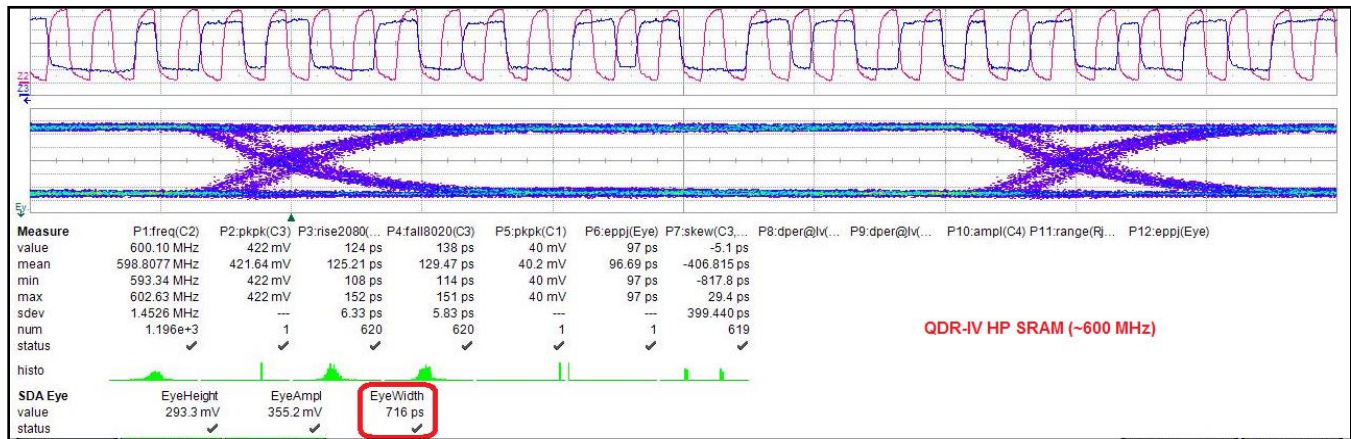
根据特性数据，赛普拉斯保证对于所有 QDR-IV 器件，数据有效窗口至少为半时钟周期 ( $t_{CK}/2$ ) 的 80%。这些数值用于时序计划，以便决定 QDR-IV 器件消耗总数据时序预算的部分。表 16 和图 23 显示的是在特性板上对所有 QDR-IV SRAM 器件测量到的数据有效窗口值。

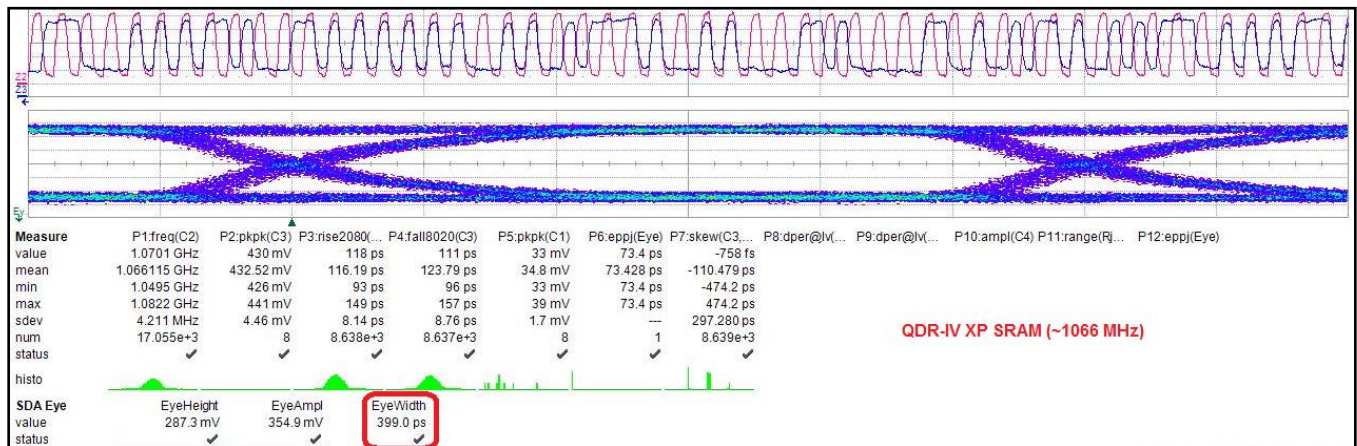
表 16. QDR-IV 的数据有效窗口测量（特性板）

器件	时钟频率 ( $t_{CK}$ )	半时钟周期 ( $t_{CK}/2$ )	在最差情况下测量到的 数据有效窗口
QDR-IV HP SRAM	600 MHz = 1667 ps	834 ps	716 ps
	667 MHz = 1500 ps	750 ps	658 ps
QDR-IV XP SRAM	933 MHz = 1072 ps	536 ps	456 ps
	1066 MHz = 938 ps	469 ps	399 ps



图 23. x36 器件的输出数据有效窗口（数据信号 DQB[22]）





## 7 功耗和结温

使用下面公式计算 QDR-IV 的结温：

$$T_J = P_d \theta_{JA} + T_A \quad \dots\dots\dots (1)$$

其中：

$\theta_{JA}$  为结温热阻抗

$T_A$  为环境温度

$P_d$  为功率耗散

在下面三种使用情况下，QDR-IV 的功耗不一样：

- 片上终端（ODT）功能被禁用
- 在 HSTL 信令中使能 ODT 功能
- 在 POD 信令中使能 ODT 功能

### 7.1 ODT 功能被禁用

功耗（ $P_d$ ）的计算如下：

$$P_d = \text{内核功耗} + \text{I/O 切换功耗} \\ = V_{DD} I_{DD} + \alpha f C_L V_{DDQ}^2 N \quad \dots\dots\dots (2)$$

其中：

$V_{DD}$  为内核电压

$I_{DD}$  为工作电流

$\alpha$  为活动因子，或输出切换的频率与时钟频率之间的比例

对于双倍数据速率器件，如 QDR-IV SRAM，该数值为 1；

$f$  为工作频率

$C_L$  为外部负载电容

$V_{DDQ}$  为 I/O 电压

$N$  为正在切换的 I/O 数量

## 7.2 在 HSTL 信令中使能 ODT 功能

通过配置 QDR-IV SRAM 器件在 HSTL 信令中使能 ODT 功能。功耗 ( $P_d$ ) 的计算如下:

$$P_d = \text{内核功耗} + \text{I/O 切换功耗} + \text{ODT 功耗 (HSTL)}$$

$$= V_{DD} I_{DD} + \alpha f C_L V_{DDQ}^2 N + (5/16) [V_{DDQ}^2 / R] N_{I/P} \quad \dots\dots\dots (3)$$

其中:

R 为终端电阻

$N_{I/P}$  为使能 ODT 功能的 SRAM 输入数量

对于数据宽度为 x36 的选项, 最多为 120 (请参考附录内容)

对于数据宽度为 x18 的选项, 最多为 84 (请参考附录内容)

下述内容描述的是 HSTL 信令的 ODT 功耗。

### 7.2.1 HSTL 信令的 ODT 功耗

图 24 显示的是源逻辑为“0”时 HSTL 信令输入的终端电路。图 25 显示的是源逻辑为“1”时的 HSTL 信令输入终端电路。在这两种情况下, 功耗均相同。驱动器的源阻抗用“R”表示。QDR-IV 输入 ODT 阻抗用“2R”表示。这是阻抗匹配电路。

图 24. HSTL 信令的输入终端电路 (源驱动逻辑为“0”)

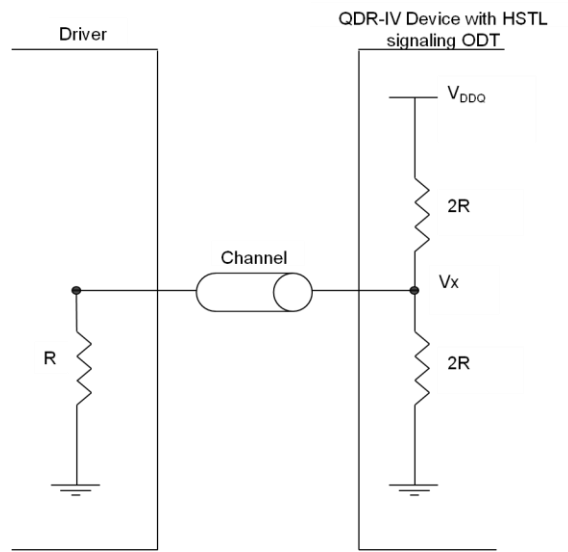
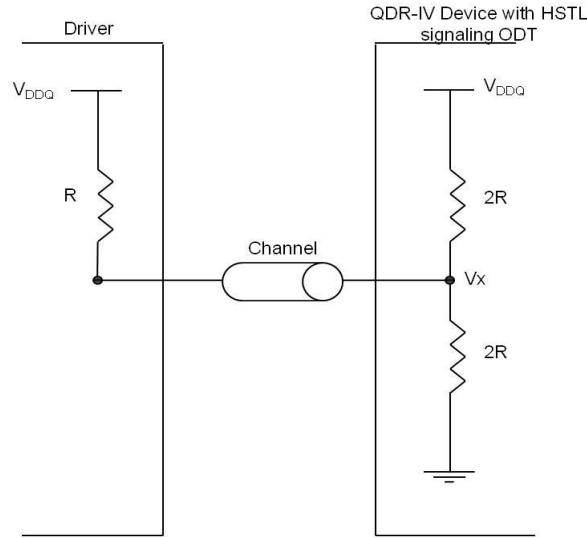


图 25. HSTL 信令的输入终端电路（源驱动逻辑为“1”）



在源驱动逻辑为“1”时（请参考图 25），电压  $V_x$  的计算如下：

$$\begin{aligned} V_x &= 2R \times V_{DDQ} / (2R + (R \parallel 2R)) \\ &= 2R \times V_{DDQ} / (2R + 2R/3) \\ &= (3/4) V_{DDQ} \end{aligned} \quad \dots\dots\dots (4)$$

上拉和下拉电阻的功耗为：

$$\begin{aligned} \text{ODT 功耗} &= \{(V_{DDQ} - V_x)^2 / 2R\} + \{V_x^2 / 2R\} \\ &= 1/(32R) \times (V_{DDQ})^2 + (9/32R) \times (V_{DDQ})^2 \quad \dots\dots\dots \text{使用公式(4)} \\ &= 5/(16R) \times V_{DDQ}^2 \end{aligned}$$

所以，ODT 功耗（HSTL）

$$= 5/(16R) \times V_{DDQ}^2 \times (\text{带 ODT 电阻的输入数量}) = (5/16) [V_{DDQ}^2 / R] N_{I/P} \quad \dots\dots (5)$$

### 7.3 在 POD 信令中使能 ODT 功能

通过配置 QDR-IV SRAM 器件在 POD 信令中使能 ODT 功能。功耗（ $P_d$ ）的计算如下：

$$\begin{aligned} P_d &= \text{内核功耗} + \text{I/O 切换功耗} + \text{ODT 功耗 (POD)} \\ &= V_{DD} I_{DD} + \alpha f C_L V_{DDQ}^2 N + \beta [V_{DDQ}^2 / 4R] N_{I/P} \end{aligned} \quad \dots\dots\dots (6)$$

其中：

R 为终端电阻

$N_{I/P}$  = 使能 ODT 功能的 SRAM 输入数量

对于数据宽度为 x36 的选项，最多为 117（请参考附录内容）

对于数据宽度为 x18 的选项，最多为 81（请参考附录内容）

$$\beta = [(\text{低电平信号数量}) / (\text{低电平信号数量} + \text{高电平信号数量})]$$

= 0.5，最差情况下  $\beta$  等于 0.5，因为使能了 POD 的数据反转和地址反转特性。所以，最多只有一半位数被驱动为低电平。例如，如果控制器没有进行数据反转而输入 0000001111 位， $\beta = 0.6$ 。但是如果进行了数据反转，则控制器向 QDR-IV 提供 1111110000 位，并且  $\beta = 0.4$ 。

下面的内容描述了 POD 信令的 ODT 功耗。

### 7.3.1 POD 信令的 ODT 功耗

POD 使能了数据反转和地址反转特性。与 HSTL 相比，POD 更节省功耗。

图 26 和图 27 分别显示的是源的驱动逻辑为“0”和“1”时的 POD 信令输入终端电路。输入 ODT 阻抗用“R”表示。这是 POD 信令的阻抗匹配电路。

如果源驱动为逻辑“1”，则由于电流无法找到接地路径（图 22），因此 ODT 功耗等于 0。如果源驱动为逻辑“0”（图 26），ODT 功耗计算如下：

源驱动为逻辑“1”时，ODT 功耗（POD）= 0

源驱动为逻辑“0”时，ODT 功耗（POD）=  $(V_{DDQ}/2)^2 \times (1/R)$

这样，平均 ODT 功耗（POD）=  $\beta \times [V_{DDQ}^2 / 4R] \times (\text{带 ODT 电阻的输入数量})$

$$= \beta [V_{DDQ}^2 / 4R] N_{IP} \quad \dots\dots\dots (7)$$

图 26. POD 信令的输入终端电路（源驱动为逻辑“0”）

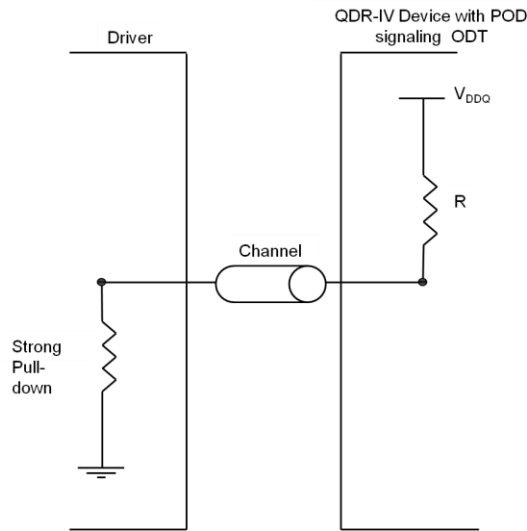
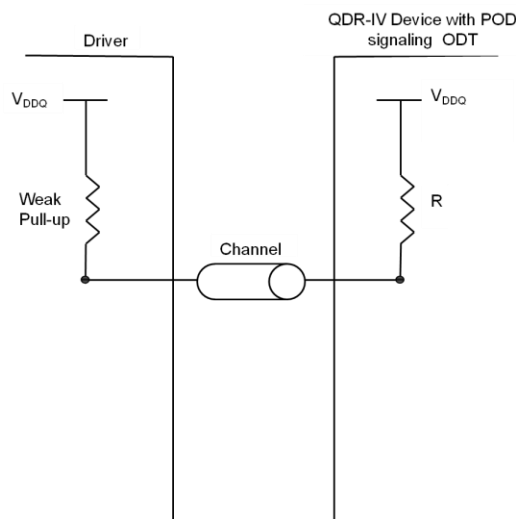


图 27. POD 信令的输入终端电路（源驱动为逻辑“1”）





## 7.4 x18 器件的示例

该示例使用了 QDR-IV XP SRAM（器件型号为 CY7C4122KV13）。假设器件的速度为 1066 MHz、负载电容为 5 pF，并且所有 I/O 均切换，那么 HSTL/SSTL 信令模式的功耗计算如下：

$P_d$  = 内核功耗 + I/O 切换功耗 + ODT 功耗（HSTL）

内核功耗

$$= V_{DD} \times I_{DD} = 1.3 \text{ V} \times 4100 \text{ mA} = 5.33 \text{ W}$$

I/O 切换功耗

$$= \alpha f C_L V_{DDQ}^2 N$$

$$= 1 \times 1066 \text{ MHz} \times 5 \text{ pF} \times (1.25 \text{ V})^2 \times 36 = 0.3 \text{ W}$$

ODT 功耗（输入阻抗为 50  $\Omega$  的 HSTL）

$$= (5/16) [V_{DDQ}^2 / R] N_{I/P}$$

$$= (5/16) \times [(1.25 \text{ V})^2 / 50 \Omega] \times 84 = 0.82 \text{ W}$$

因此，在 HSTL/SSTL 信令模式下总功耗为 6.45 W。

下述各步骤计算了同样器件在 POD 信令模式下的功率耗散。

$P_d$  = 内核功耗 + I/O 切换功耗 + ODT 功耗（POD）

内核功耗

$$= V_{DD} \times I_{DD} = 1.3 \text{ V} \times 4100 \text{ mA} = 5.33 \text{ W}$$

I/O 切换功耗

$$= \alpha f C_L V_{DDQ}^2 N$$

$$= 1 \times 1066 \text{ MHz} \times 5 \text{ pF} \times (1.25 \text{ V})^2 \times 36 = 0.3 \text{ W}$$

ODT 功耗（输入阻抗为 60  $\Omega$  的 POD）

$$= \beta [V_{DDQ}^2 / 4 R] N_{I/P}$$

$$= 0.5 \times [(1.25 \text{ V})^2 / (4 \times 60 \Omega)] \times 81 = 0.264 \text{ W}$$

因此，在 POD 信令模式下功耗为 5.89 W。

该示例验证了 QDR-IV 器件在 POD 信令模式中的功耗低于 HSTL/SSTL 信令模式下的功耗。

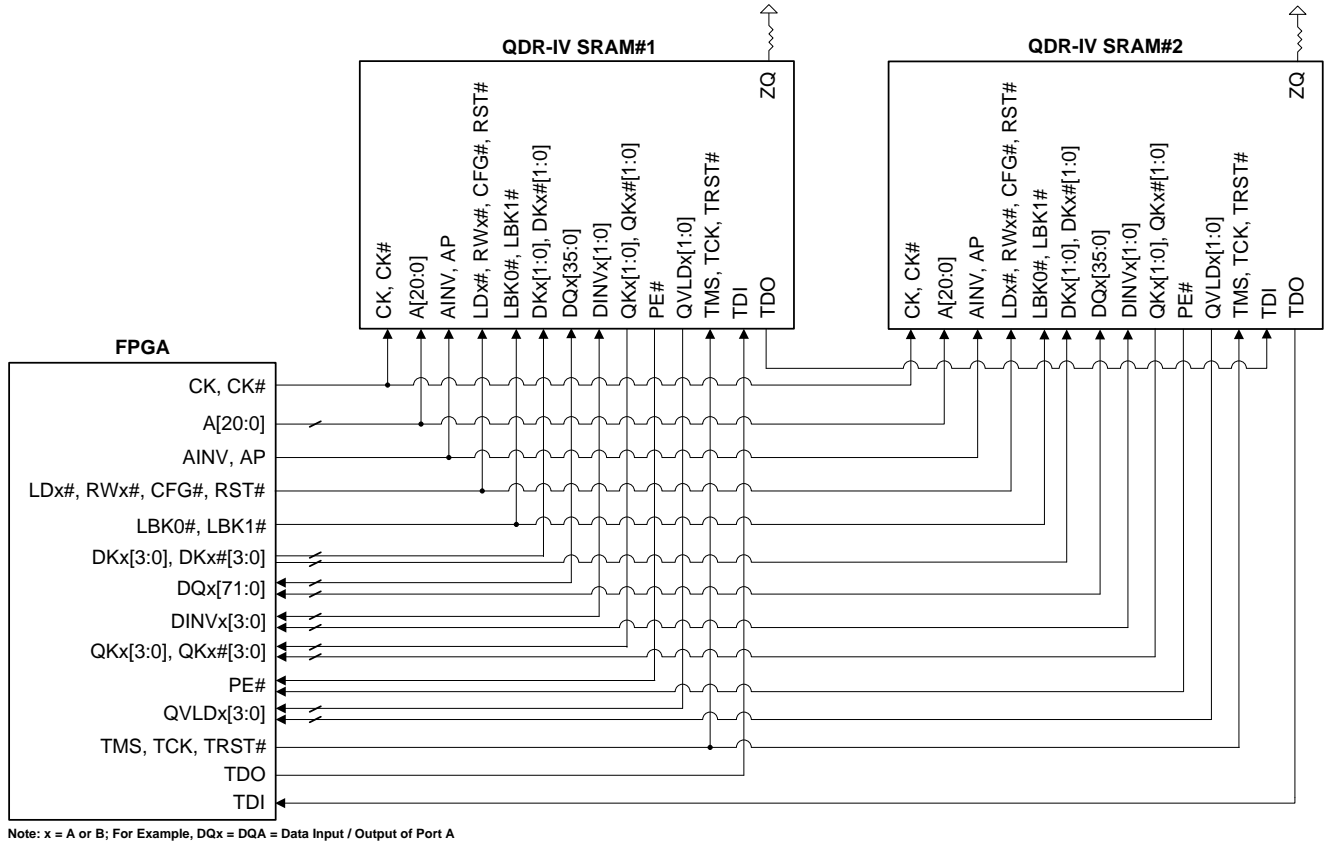
更多信息，请参考同步 SRAM 产品的计算功耗和结温的在线工具：<http://www.cypress.com/?docID=23984>

QDR-IV SRAM 的最大允许结温为 125 °C。如果结温超过该最大限制，请在 QDR-IV 安装散热片或风扇。

## 8 宽度扩展

互连各个 QDR-IV SRAM 能够提高应用程序中存储器的带宽。图 28 显示了两个在宽度扩展配置中相互连接的 QDR-IV (CY7C4142KV13) SRAM，通过这种配置会使存储器带宽增大一倍。

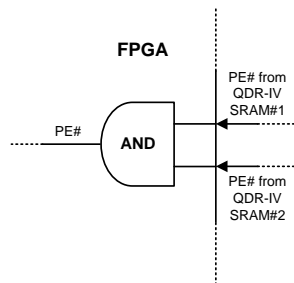
图 28. 宽度扩展



### 8.1 宽度扩展配置的建议

- 两种 QDR-IV 器件（不包括 DK 时钟、DQ、DINV、QK 时钟、PE# 以及 QVLD）共享了全部信号。
- 检测到地址奇偶错误后，低电平有效的 PE# 信号在 8 个周期（QDR-IV XP SRAM）或 5 个周期（QDR-IV HP SRAM）内被设置为 0。存储器控制器可以接收来自两个 QDR-IV 器件的 PE# 信号，并执行逻辑 AND 操作（如图 29 所示），从而获得地址奇偶校验错误状态。

图 29. 宽度扩展时的 PE# 配置

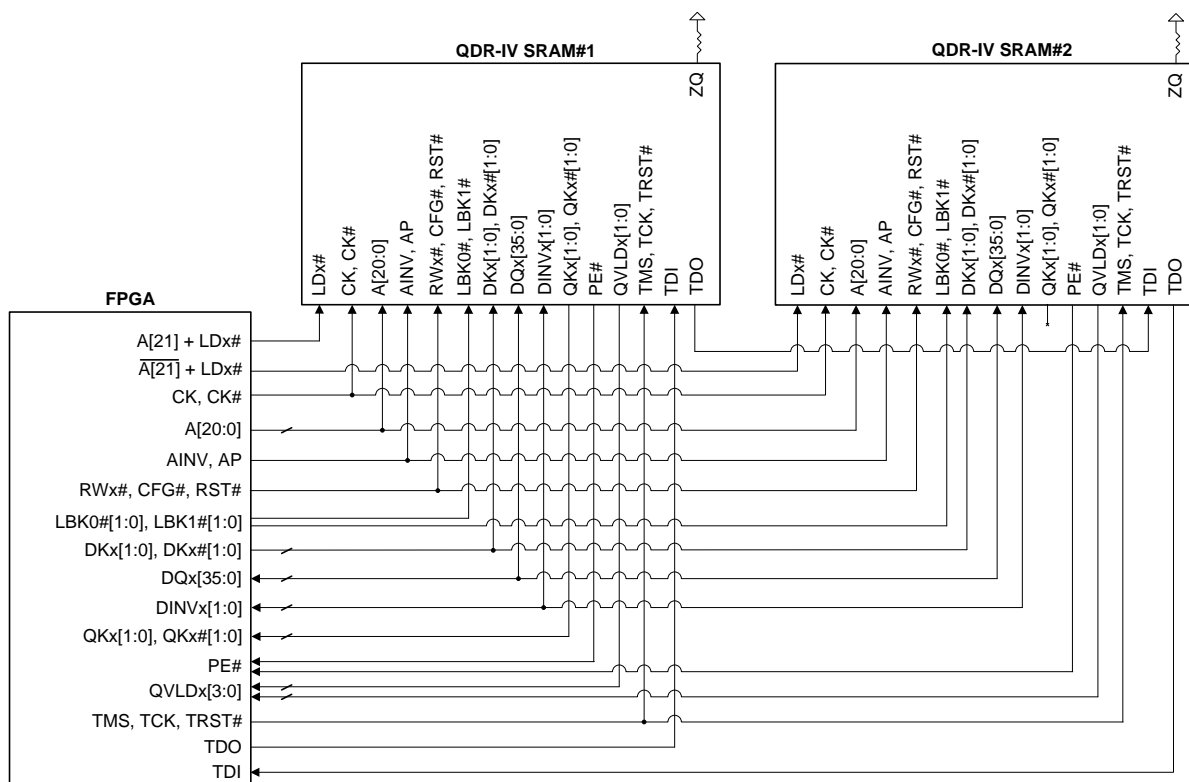


- 假设走线阻抗为 50 Ω。
  - 对于共享输入信号（如 CK/CK#时钟和地址），QDR-IV 输入阻抗应为 100 Ω。对于剩余不共享的输入信号（如 DK/DK#和 DQ），输入阻抗应为 50 Ω。
  - QDR-IV 输出阻抗应为 50 Ω。
  - FPGA 输入阻抗应为 50 Ω。
  - FPGA 输出阻抗应为 50 Ω。
- 从 QDR-IV SRAM 到 FPGA 之间的走线长度差异对系统设计非常重要。

## 9 深度扩展

互连各个 QDR-IV SRAM 能够增大应用程序中存储器的容量。图 30 显示了两个在深度扩展配置中连接的 QDR-IV (CY7C4142KV13) SRAM，通过这种配置会使存储器容量增大一倍。

图 30. 深度扩展



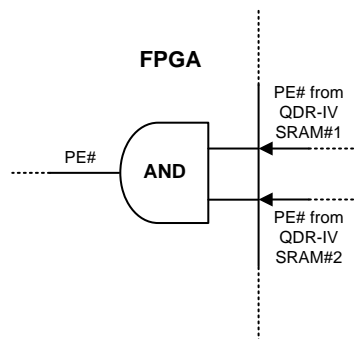
Note: x = A or B; For Example, DQx = DQA = Data Input / Output of Port A

### 9.1 深度扩展配置的建议

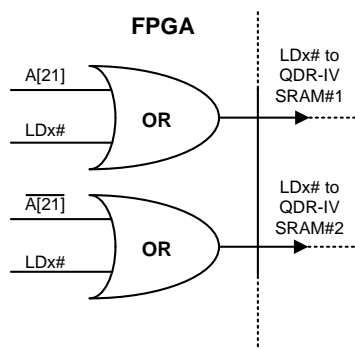
- 两种 QDR-IV 器件（不包括 LBK0#、LBK1#、PE#以及 QVLD）共享了全部信号。
  - QVLD 和 QK 是输出时钟，可以将它们设置为高电平状态或低电平状态，但不可将其设置为三态。因为 QK 时钟是自由运行的，所以存储器控制器可以使用来自任何存储器器件的 QK 时钟。
  - 检测到地址奇偶错误后，低电平有效的 PE#信号在 8 个周期（QDR-IV XP SRAM）或 5 个周期（QDR-IV HP SRAM）内被设置为 0。在深度扩展的拓扑结构中，在给定的时间内只有一个 QDR-IV 器件被激活。因此，存储器控制器可以接收来自两个 QDR-IV 器件的 PE#信号，并执行逻辑 AND 操作（如图 31 所示），以便获得地址奇偶校验错误状态。



图 31. 深度扩展时的 PE#配置



- 使用深度扩展配置时，额外的地址信号  $A[21]$  应作为一个芯片选择使用，以便使能某个器件，但会禁用其他器件。为了选择单 QDR-IV 芯片，在存储器控制器中需要将  $A[21]$  逻辑连接到  $LDx\#$ ，如图 32 所示。

图 32. 深度扩展时的  $LDx\#$ 配置


- 应该根据  $A[20:0]$  计算  $AP$  和  $AINV$ 。
  - 应该对每个 QDR-IV SRAM 器件独立进行配置和环回训练。
  - 假设走线阻抗为  $50\ \Omega$ 。
    - 对于共享输入（如  $CK/CK\#$  时钟和地址），QDR-IV 输入阻抗应为  $100\ \Omega$ 。对于剩余不共享的输入（如  $DK/DK\#$  和  $DQ$ ）， $LDx\#$  的输入阻抗应为  $50\ \Omega$ 。
    - QDR-IV 输出阻抗应为  $50\ \Omega$ 。
    - FPGA 输入阻抗应为  $100\ \Omega$ ，因为在一段时间内只有一个 QDR-IV 处于运行状态，并且它会测量到 FPGA 和其他 QDR-IV SRAM 器件的输入阻抗。
    - FPGA 输出阻抗应为  $50\ \Omega$ 。
  - 从 QDR-IV SRAM 到 FPGA 之间的走线长度差异对系统设计非常重要。
- 为了简化布局，可以按蛤壳形方式包装 QDR-IV SRAM，其中 QDR-IV 器件对被布置在电路板两侧。

## 10 QDR-IV 与 QDR-II+和 QDR-II+ Xtreme 器件的比较

### 10.1 架构、带宽、功耗以及特性比较

表 17 显示的是 QDR-II+、QDR-II+ Xtreme 和 QDR-IV 器件间有关架构、带宽、RTR、功耗以及特性的比较内容。

表 17. QDR-IV 与 QDR-II+和 QDR-II+ Xtreme 器件的比较

	参数	QDR-II+		QDR-II+ Xtreme		QDR-IV	
架构	最大容量	144 Mb		72 Mb		144 Mb	
	数据突发长度 <sup>[1]</sup>	2	4	2	4	2	2b
	组	1		1		1	8
	每周期的地址	2	1	2	1	2	
	I/O 端口	1 R+1 W		1 R+1 W		2 R/W	
	写延迟周期	0、1		0、1		3	5
	读延迟周期	2、2.5		2.5		5	8
	每端口的 I/O 宽度	x9、x18、x36		x18、x36		x18、x36	
每 RTR 的带宽	最大时钟频率 (MHz)	333	550	450	633	667	1066
	最大 RTR (MT/s)	666	550	900	633	1334	2132
	最大的总带宽 (Gbps) <sup>[2]</sup>	47.9	79.2	64.8	91.1	96	153.5
功耗	V <sub>DD</sub> (V)	1.8		1.8		1.3	
	V <sub>DDQ</sub> (V)	1.8、1.5		1.8、1.5		1.1、1.2、1.25	
	内核功耗 (W) <sup>[3]</sup>	2.1	2.7	2.6	3.0	4.2	5.9
	每芯片的总功耗 (W) <sup>[4、5]</sup>	3.1	3.9	3.7	4.2	4.5	6.5
特性	I/O 信令	HSTL		HSTL		POD、HSTL/SSTL	
	片上 ECC	无		无		有	
	地址奇偶校验	无		无		有	
	地址/数据总线反转	无		无		有	
	分组操作	无		无		无	有
	封装类型	165 球形焊盘的 FBGA		165 球形焊盘的 FBGA		361 球形焊盘的 FCBGA	
	封装大小 (毫米)	13 X 15		13 X 15		21 X 21	
	专用数据输入/输出时钟	无		无		有	
	时序偏移校正训练的环回模式	无		无		有	

<sup>[1]</sup> 使用单一的地址时，整个访问系列会在一个突发操作中完成；数据突发长度 2 表示一个地址能够执行两个数据访问的突发，4 表示一个地址能够执行四个数据访问的突发；2b 表示一个地址能够执行两个数据访问的突发（分组操作）

<sup>[2]</sup> 最大带宽 = 最大频率 x 数据速率 x 最大总线宽度 x 端口数

<sup>[3]</sup> 内核功耗 = VDD（典型）x IDD（最大）

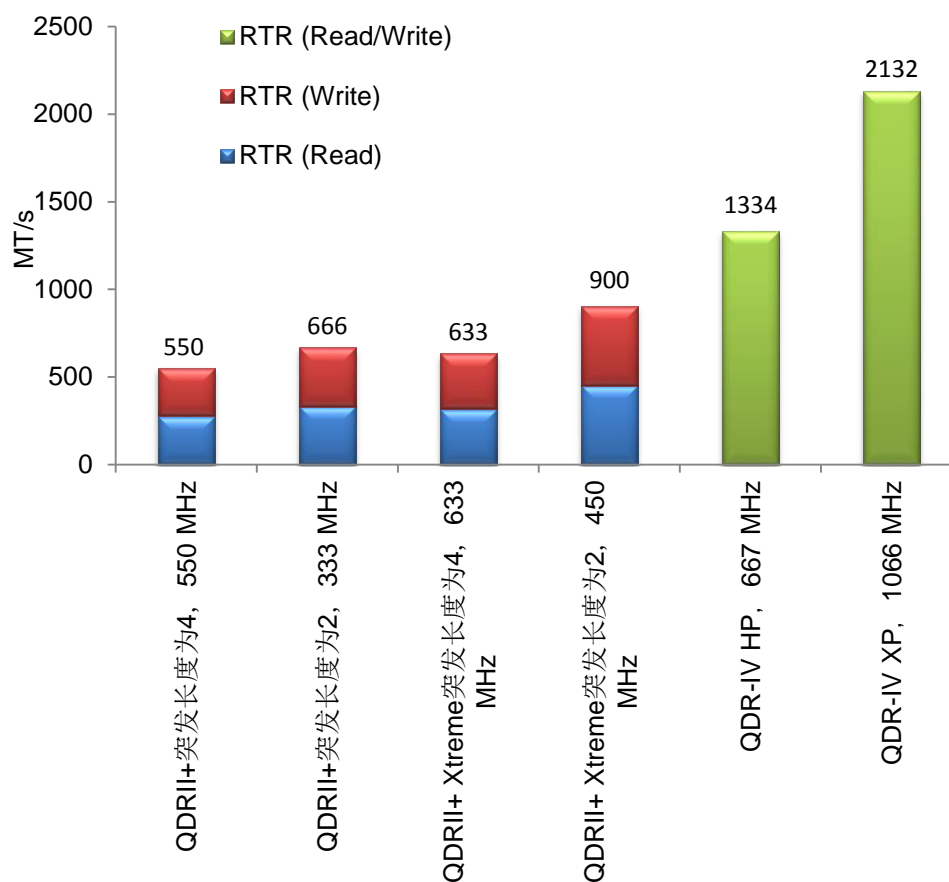
<sup>[4]</sup> 总功耗 = 内核功耗 + I/O 功耗（假设典型 VDDQ，5 pF 负载电容，所有 I/O 均切换，以及上面所述的最高频率）

<sup>[5]</sup> 要想计算 SRAM 的总功耗，请参考下面路径中的工具：<http://www.cypress.com/?docID=23984>

## 10.2 RTR 比较

在分组模式下，QDR-IV XP SRAM 的最大速度可达 1066 MHz，并且最大 RTR 达 2132 MT/s。图 33 显示的是 SRAM 系列中从 QDR-II+到 QDR-IV 对 RTR 的提高。

图 33. 各个 QDR SRAM 之间的 RTR 比较



### 10.3 QDR®-II、QDR-II+和 QDR-IV 器件中的引脚差异

QDR-II 和 QDR-II+器件之间的引脚分配状况有些差异。但是，与 QDR-II 和 QDR-II+器件相比较，QDR-IV 的一些新特性使器件之间引脚信息产生差异。[表 18](#) 对 144M、x18、突发长度为 2 的 QDR-II、QDR-II+和 QDR-IV 器件进行了比较；[表 19](#) 对 144M、x36、突发长度为 2 的 QDR-II、QDR-II+和 QDR-IV 器件进行了比较。

表 18. x18 QDR-II、QDR-II+和 QDR-IV 之间的引脚差异

QDR-II (x18)			QDR-II+ (x18)				QDR-IV (x18)			QDR-IV 的备注
引脚名称		引脚数量	引脚名称		引脚数量 (有 ODT 功能)	引脚数量 (无 ODT 功能)	引脚名称		引脚数量	
数据输入引脚	D[x:0]	18	数据输入引脚	D[x:0]	18	18	端口 A 的数据输入/输出	DQA[x:0]	18	QDR-IV 具有两个双向端口
数据输出引脚	Q[x:0]	18	数据输出引脚	Q[x:0]	18	18	端口 B 的数据输入/输出	DQB[x:0]	18	
地址引脚	A[x:0]	22	地址引脚	A[x:0]	22	22	地址引脚	A[x:0]	22	
写端口选择	WPS#	1	写端口选择	WPS#	1	1	端口 A 的同步读/写输入	RWA#	1	QDR-IV 的每个端口均有同步读/写输入
读端口选择	RPS#	1	读端口选择	RPS#	1	1	端口 B 的同步读/写输入	RWB#	1	
字节写选择	BWS#[x:0]	2	字节写选择	BWS#[x:0]	2	2				
输入时钟	K/K#	2	输入时钟	K/K#	2	2	地址/指令输入时钟	CK/CK#	2	地址和指令的输入时钟
输出数据的输入时钟	C/C#	2					数据输入时钟	DKA[1:0]、DKA#[1:0]、DKB[1:0]、DKB#[1:0]	8	数据输入的输入时钟

QDR- II (x18)			QDR- II+ (x18)				QDR-IV (x18)			QDR-IV 的备注
引脚名称		引脚数量	引脚名称		引脚数量 (有 ODT 功能)	引脚数量 (无 ODT 功能)	引脚名称		引脚数量	
随路时钟	CQ/CQ#	2	随路时钟	CQ/CQ#	2	2	数据输出时钟	QKA[1:0]、 QKA#[1:0]、 QKB[1:0]、 QKB#[1:0]	8	数据输出的输出时钟
输出阻抗匹配输入	ZQ	1	输出阻抗匹配输入	ZQ	1	1	输出阻抗匹配输入	ZQ/ZT	1	
PLL 关闭	DOFF#	1	PLL 关闭	DOFF#	1	1				
JTAG 引脚	TDI	1	JTAG 引脚	TDI	1	1	JTAG 引脚	TDI	1	
JTAG 引脚	TDO	1	JTAG 引脚	TDO	1	1	JTAG 引脚	TDO	1	
JTAG 引脚	TMS	1	JTAG 引脚	TMS	1	1	JTAG 引脚	TMS	1	
JTAG 引脚	TCK	1	JTAG 引脚	TCK	1	1	JTAG 引脚	TCK	1	
							JTAG 引脚	TRST#	1	QDR-IV 具有 TRST#引脚 (作为 JTAG 的复位引脚使用)，并 TRST#引脚对 QDR-IV 是不可配置的
无连接引脚	NC	38	无连接引脚	NC	38	39	“请勿使用”引脚	DNU	40	在 QDR-II 和 QDR-II+中， DNU 与 NC 引脚相同
参考电压输入	V <sub>REF</sub>	2	参考电压输入	V <sub>REF</sub>	2	2	参考电压输入	V <sub>REF</sub>	6	
内核供电电压引脚	V <sub>DD</sub>	10	内核供电电压引脚	V <sub>DD</sub>	10	10	内核供电电压引脚	V <sub>DD</sub>	44	

QDR- II (x18)			QDR- II+ (x18)				QDR-IV (x18)			QDR-IV 的备注
引脚名称		引脚数量	引脚名称		引脚数量 (有 ODT 功能)	引脚数量 (无 ODT 功能)	引脚名称		引脚数量	
器件输出的电源输入	V <sub>DDQ</sub>	16	器件输出的电源输入	V <sub>DDQ</sub>	16	16	器件输出的电源输入	V <sub>DDQ</sub>	64	
接地引脚	V <sub>SS</sub>	25	接地引脚	V <sub>SS</sub>	25	25	接地引脚	V <sub>SS</sub>	106	
			有效输出指示器	QVLD	1	1	有效输出指示器	QVLDA[1:0] QVLDB[1:0]	4	
			ODT 输入引脚	ODT	1					
							地址奇偶校验输入	AP	1	通过该 AP 引脚可以为 QDR-IV 的地址引脚提供偶校验。PE# 引脚表示发生了一个地址奇偶校验错误。地址奇偶校验功能是可选的；可以在配置寄存器中使能或禁用该功能。
							地址奇偶校验错误标志	PE#	1	
							地址总线的地址反转状态	AINV	1	在 QDR-IV 中，可以选择地址反转特性。可以通过存储器中的配置寄存器来配置它。
							DQ 数据总线的数据反转状态	DINVA[1:0]、 DINVB[1:0]	4	在 QDR-IV 中，可以选择数据反转特性。可以通过存储器中的配置寄存器来配置它。

QDR- II (x18)			QDR- II+ (x18)				QDR-IV (x18)			QDR-IV 的备注
引脚名称		引脚数量	引脚名称		引脚数量 (有 ODT 功能)	引脚数量 (无 ODT 功能)	引脚名称		引脚 数量	
							同步负载输入	LDA#、LDB#	2	LDA#和 LDB#分别使能数据端口 A 和 B 的指令。指令被禁用时，新指令将被忽略，但是仍继续执行内部操作。
							配置位	CFG#	1	该引脚用于配置 QDR-IV 的不同模式寄存器
							低电平有效异步 RST	RST#	1	RST#引脚，用于复位 QDR-IV
							环回模式	LBK0#、LBK1#	2	校正控制和地址/指令/时钟的环回模式
有效引脚 (信号) 的 总数		74			74	73			101	
电源和接地 引脚的总数		53			53	53			220	
NC/DNU		38			38	39			40	
引脚总数		165			165	165			361	

不适用

表 19. x36 QDR-II、QDR-II+和 QDR-IV 之间的引脚差异

QDR- II (x36)			QDR- II+ (x36)				QDR-IV (x36)			QDR-IV 的备注
引脚名称		引脚数量	引脚名称		引脚数量 (有 ODT 功能)	引脚数量 (无 ODT 功能)	引脚名称		引脚数量	
数据输入引脚	D[x:0]	36	数据输入引脚	D[x:0]	36	36	端口 A 的数据输入/输出	DQA[x:0]	36	QDR-IV 具有两个双向端口
数据输出引脚	Q[x:0]	36	数据输出引脚	Q[x:0]	36	36	端口 B 的数据输入/输出	DQB[x:0]	36	
地址引脚	A[x:0]	21	地址引脚	A[x:0]	21	21	地址引脚	A[x:0]	21	
写端口选择	WPS#	1	写端口选择	WPS#	1	1	端口 A 的同步读/写输入	RWA#	1	QDR-IV 的每个端口均有同步读/写输入
读端口选择	RPS#	1	读端口选择	RPS#	1	1	端口 B 的同步读/写输入	RWB#	1	
字节写选择	BWS#[x:0]	4	字节写选择	BWS#[x:0]	4	4				
输入时钟	K/K#	2	输入时钟	K/K#	2	2	地址/指令输入时钟	CK/CK#	2	地址和指令的输入时钟
输出数据的输入时钟	C/C#	2					数据输入时钟	DKA[1:0]、DKA#[1:0]、DKB[1:0]、DKB#[1:0]	8	数据输入的输入时钟
随路时钟	CQ/CQ#	2	随路时钟	CQ/CQ#	2	2	数据输出时钟	QKA[1:0]、QKA#[1:0]、QKB[1:0]、QKB#[1:0]	8	数据输出的输出时钟
输出阻抗匹配输入	ZQ	1	输出阻抗匹配输入	ZQ	1	1	输出阻抗匹配输入	ZQ/ZT	1	



QDR-II (x36)			QDR-II+ (x36)				QDR-IV (x36)			QDR-IV 的备注
引脚名称		引脚数量	引脚名称		引脚数量 (有 ODT 功能)	引脚数量 (无 ODT 功能)	引脚名称		引脚数量	
PLL 关闭	DOFF#	1	PLL 关闭	DOFF#	1	1				
JTAG 引脚	TDI	1	JTAG 引脚	TDI	1	1	JTAG 引脚	TDI	1	
JTAG 引脚	TDO	1	JTAG 引脚	TDO	1	1	JTAG 引脚	TDO	1	
JTAG 引脚	TMS	1	JTAG 引脚	TMS	1	1	JTAG 引脚	TMS	1	
JTAG 引脚	TCK	1	JTAG 引脚	TCK	1	1	JTAG 引脚	TCK	1	
							JTAG 引脚	TRST#	1	QDR-IV 具有 TRST# 引脚（作为 JTAG 的复位引脚使用），并 TRST# 引脚对 QDR-IV 是不可配置的
无连接引脚	NC	1	无连接引脚	NC	1	2	“请勿使用”引脚	DNU	5	在 QDR-II 和 QDR-II+ 中，DNU 与 NC 引脚相同
参考电压输入	V <sub>REF</sub>	2	参考电压输入	V <sub>REF</sub>	2	2	参考电压输入	V <sub>REF</sub>	6	
内核供电电压引脚	V <sub>DD</sub>	10	内核供电电压引脚	V <sub>DD</sub>	10	10	内核供电电压引脚	V <sub>DD</sub>	44	
器件输出的电源输入	V <sub>DDQ</sub>	16	器件输出的电源输入	V <sub>DDQ</sub>	16	16	器件输出的电源输入	V <sub>DDQ</sub>	64	
接地引脚	V <sub>SS</sub>	25	接地引脚	V <sub>SS</sub>	25	25	接地引脚	V <sub>SS</sub>	106	

QDR- II（x36）			QDR- II+（x36）				QDR-IV（x36）			QDR-IV 的备注
引脚名称		引脚数量	引脚名称		引脚数量 （有 ODT 功能）	引脚数量 （无 ODT 功能）	引脚名称		引脚数量	
			有效输出指示器	QVLD	1	1	有效输出指示器	QVLDA[1:0] QVLDB[1:0]	4	
			ODT 输入引脚	ODT	1					
							地址奇偶校验输入	AP	1	通过该 AP 引脚可以为 QDR-IV 的地址引脚提供偶校验。PE#引脚表示发生了一个地址奇偶校验错误。地址奇偶校验功能是可选的；可以在配置寄存器中使能或禁用该功能。
							地址奇偶校验错误标志	PE#	1	
							地址总线的地址反转状态	AINV	1	在 QDR-IV 中，可以选择地址反转特性。可以通过存储器中的配置寄存器来配置它。



[www.cypress.com](http://www.cypress.com)

QDR- II (x36)			QDR- II+ (x36)				QDR-IV (x36)			QDR-IV 的备注
引脚名称		引脚数量	引脚名称		引脚数量 (有 ODT 功能)	引脚数量 (无 ODT 功能)	引脚名称		引脚数量	
							低电平有效异步 RST	RST#	1	RST#引脚用于复位 QDR-IV
							环回模式	LBK0#、LBK1#	2	校正控制和地址/指令/时钟的环回模式
有效引脚（信号）的总数		111			111	110			136	
电源引脚总数		53			53	53			220	
NC/DNU		1			1	2			5	
引脚总数		165			165	165			361	

 不适用

## 11 总结

该设计指南提供了对 QDR-IV SRAM 系列的概况，包括：

- QDR-IV 操作
- QDR-IV 电路板设计的建议
- 功耗和结温计算
- QDR-IV、QDR-II+和 QDR-II 系列器件之间的比较

## 12 参考

1. [QDR®-IV：领先的网络系统中下一代高性能标准存储器](#)
2. [AN4065 — QDR®-II、QDR-II+、DDR-II 以及 DDR-II+设计指南](#)
3. [AN79938 — 赛普拉斯球栅阵列（BGA）封装器件的设计指南](#)

## 13 附录

下表显示的是 QDR-IV SRAM 器件中具有片上终端（ODT）特性的引脚数。

引脚名称	引脚数量 (x36 器件)	引脚数量 (x18 器件)
CK、CK#	2	2
A[x:0]	25	25
AP	1	1
AINV	1	1
DKA[1:0]、DKA#[1:0]、DKB[1:0]、DKB#[1:0]	8	8
DQA[x:0]、DQB[x:0]	72	36
DINVA[1:0]、DINVB[1:0]	4	4
LDA#、LDB#	2	2
RWA#、RWB#	2	2
CFG#	1	1
LBK0#、LBK1#	2	2
<b>TOTAL<sup>[6]</sup></b>	<b>120</b>	<b>84</b>

<sup>[6]</sup> 如果引脚在 POD 信令模式下被驱动为高电平，那么 ODT 电路的功耗等于 0。因此，POD 信令模式下的 ODT 引脚总数（N<sub>LP</sub>）为 117（对于 x36 器件）和 81（对于 x18 器件），这是因为 LBKx# 和 CFG# 引脚在正常工作模式下始终为高电平。

## 文档修订记录

文档标题: AN84060 — QDR®-IV 设计指南

文档编号: 001-96372

版本	ECN	变更者	提交日期	变更说明
**	4669762	YLIU	03/16/2015	本文档版本号为 Rev**, 译自英文版 001-84060 Rev*C。
*A	5160970	YLIU	03/04/2016	本文档版本号为 Rev*A, 译自英文版 001-84060 Rev*D。



## 全球销售和设计支持

赛普拉斯公司具有一个由办事处、解决方案中心、厂商代表和经销商组成的全球性网络。要想查找离您最近的办事处，请访问[赛普拉斯所在地](#)。

### 产品

汽车级产品	<a href="http://cypress.com/go/automotive">cypress.com/go/automotive</a>
时钟与缓冲区	<a href="http://cypress.com/go/clocks">cypress.com/go/clocks</a>
接口	<a href="http://cypress.com/go/interface">cypress.com/go/interface</a>
照明与电源控制	<a href="http://cypress.com/go/powerpsoc">cypress.com/go/powerpsoc</a>
存储器	<a href="http://cypress.com/go/memory">cypress.com/go/memory</a>
PSoC	<a href="http://cypress.com/go/psoc">cypress.com/go/psoc</a>
触摸感应	<a href="http://cypress.com/go/touch">cypress.com/go/touch</a>
USB 控制器	<a href="http://cypress.com/go/usb">cypress.com/go/usb</a>
无线/射频	<a href="http://cypress.com/go/wireless">cypress.com/go/wireless</a>

### PSoC®解决方案

[psoc.cypress.com/solutions](http://psoc.cypress.com/solutions)

[PSoC 1](#) | [PSoC 3](#) | [PSoC 4](#) | [PSoC 5LP](#)

### 赛普拉斯开发者社区

[社区](#) | [论坛](#) | [博客](#) | [视频](#) | [培训](#)

### 技术支持

[cypress.com/go/support](http://cypress.com/go/support)

PSoC 是赛普拉斯半导体公司的注册商标，且 PSoC Creator 是赛普拉斯半导体公司的商标。此处引用的所有其他商标或注册商标归其各自所有者所有。



赛普拉斯半导体公司  
198 Champion Court  
San Jose, CA 95134-1709  
电话 : 408-943-2600  
传真 : 408-943-4730  
网址 : [www.cypress.com](http://www.cypress.com)

©赛普拉斯半导体公司，2013-2016。此处所包含的信息可能会随时更改，恕不另行通知。除赛普拉斯产品内嵌的电路外，赛普拉斯半导体公司不对任何其他电路的使用承担任何责任。也不会根据专利权或其他权利以明示或暗示方式授予任何许可。除非与赛普拉斯签订明确的书面协议，否则赛普拉斯不保证产品能够用于或适用于医疗、生命支持、救生、关键控制或安全应用领域。此外，对于可能发生运转异常和故障并对用户造成严重伤害的生命支持系统，赛普拉斯不授权将其产品用作此类系统的关键组件。若将赛普拉斯产品用于生命支持系统中，则表示制造商将承担因此类使用而招致的所有风险，并确保赛普拉斯免于因此而受到任何指控。

该源代码（软件和/或固件）均归赛普拉斯半导体公司（赛普拉斯）所有，并受全球专利法规（美国和美国以外的专利法规）、美国版权法以及国际条约规定的保护和约束。赛普拉斯据此向获许可者授予适用于个人的、非独占性、不可转让的许可，用以复制、使用、修改、创建赛普拉斯源代码的派生作品、编译赛普拉斯源代码和派生作品，并且其目的只能是创建自定义软件和/或固件，以支持获许可者仅将其获得的产品依照适用协议规定的方式与赛普拉斯集成电路配合使用。除上述指定的用途外，未经赛普拉斯明确的书面许可，不得对此类源代码进行任何复制、修改、转换、编译或演示。

免责声明：赛普拉斯不针对此材料提供任何类型的明示或暗示保证，包括（但不限于）针对特定用途的适销性和适用性的暗示保证。赛普拉斯保留在不做出通知的情况下对此处所述材料进行更改的权利。赛普拉斯不对此处所述之任何产品或电路的应用或使用承担任何责任。对于发生故障（包括运转异常）或失效可能会对用户造成严重伤害的生命支持系统，赛普拉斯不授权将其产品用作此类系统的关键组件。若将赛普拉斯产品使用于生命支持系统中，则表示制造商将承担因此类使用而招致的所有风险，并确保赛普拉斯免于因此而受到任何指控。

产品使用可能受赛普拉斯软件许可协议的限制。