

# EZ-USB™ FX3/FX3S/SX3 ハードウェア設計ガイド ラインおよび回路図チェックリスト

## About this document

### Scope and purpose

このアプリケーションノートでは、EZ-USB™ FX3/FX3S/SX3 ハードウェア設計における推奨事項や、開発者が考慮しなければならない重要な事項について説明します。EZ-USB™ FX3 は、次世代の USB 3.0 ペリフェラルコントローラーです。高度に統合された柔軟性のある機能により、開発者はいかなるシステムに対しても USB 3.0 機能を組み込みます。特別に記述がない限り、推奨事項はすべて FX3, FX3S, および SX3 に適用されます。USB SuperSpeed のサンプルコードの全一覧は、[ここ](#)をクリックしてください。

## Table of contents

<b>About this document.....</b>	<b>1</b>
<b>Table of contents.....</b>	<b>1</b>
<b>1 はじめに .....</b>	<b>3</b>
<b>2 関連リソース .....</b>	<b>5</b>
2.1 EZ-USB™ FX3 ソフトウェア開発キット .....	5
2.2 GPIF II Designer.....	6
<b>3 電源システム .....</b>	<b>7</b>
3.1 概要.....	7
<b>4 電源モード.....</b>	<b>8</b>
4.1 デバイス電源デカップリング.....	8
4.2 突入電流および電源の設計.....	9
<b>5 クロッキング .....</b>	<b>12</b>
5.1 水晶発振器.....	12
5.1.1 水晶の有効負荷コンデンサの計算.....	13
5.1.2 クロック .....	13
5.2 ウォッチドッグ タイマー .....	14
<b>6 GPIF II インターフェース .....</b>	<b>15</b>
<b>7 USB .....</b>	<b>16</b>
<b>8 低性能ペリフェラル (LPP).....</b>	<b>17</b>
8.1 I <sup>2</sup> C インターフェース .....	17
8.2 JTAG .....	17
8.3 I <sup>2</sup> S .....	17
8.4 SPI および UART .....	18
8.5 SPI フラッシュの選択 .....	18
8.6 ハイブリッド SPI フラッシュの使用 .....	18
<b>9 ブート .....</b>	<b>20</b>
<b>10 EMI および ESD の考慮事項 .....</b>	<b>21</b>
<b>11 FX3/SX3 デバイスのパッケージ寸法 .....</b>	<b>22</b>

## Table of contents

<b>12</b>	<b>電气的設計上の考慮事項 .....</b>	<b>23</b>
12.1	SuperSpeed USB 3.0 の設計ガイドライン .....	23
12.1.1	8 層のプリント基板の例 .....	33
<b>13</b>	<b>FX3S ハードウェア設計上の考慮事項 .....</b>	<b>34</b>
13.1	S ポート インターフェース .....	34
<b>14</b>	<b>回路図とレイアウトのレビュー チェックリスト .....</b>	<b>36</b>
<b>15</b>	<b>まとめ .....</b>	<b>38</b>
<b>16</b>	<b>付録 A - プリント基板レイアウトのヒント .....</b>	<b>39</b>
<b>17</b>	<b>付録 B - トラブルシューティング .....</b>	<b>40</b>
17.1	FX3/FX3S/SX3 デバイスがエニュメレートされていない .....	40
<b>18</b>	<b>付録 C - FX3/SX3 デバイスの USB 2.0 (ホストのみ) への接続 .....</b>	<b>42</b>
<b>19</b>	<b>付録 D - FX3/SX3 デバイスの USB 3.0 (ホストのみ) への接続 .....</b>	<b>43</b>
<b>20</b>	<b>付録 E - Type-C アプリケーションを備えた FX3/SX3/CX3 デバイス .....</b>	<b>44</b>
	<b>改訂履歴 .....</b>	<b>46</b>

## はじめに

## 1 はじめに

インフィニオンの EZ-USB™ FX3 は、統合された柔軟な機能を提供する、次世代 USB 3.0 ペリフェラル コントローラーです。EZ-USB™ FX3 は完全にコンフィギュレーション可能な、パラレルな汎用プログラマブル インターフェースを備えています。この GPIF II と呼ばれるインターフェースはあらゆるプロセッサ、ASIC、または FPGA に接続可能です。非同期 SRAM、非同期および同期アドレスデータの多重化インターフェース、パラレル ATA などの一般的なインターフェースに、容易かつグルーレス (グルーロジックを使わない) な接続を提供します。FX3 は強力なデータ処理とカスタム アプリケーションをビルドするために 32 ビット ARM926EJ-S マイクロプロセッサを内蔵しています。GPIF II から USB インターフェースへの 375MBps のデータ転送を可能にするアーキテクチャを実装しています。

統合された USB 2.0 OTG コントローラーによって、FX3 が OTG ホストから MSC デバイス、および HID クラスのデバイスまで複数の役割を果たすアプリケーションを可能にします。FX3 はコードとデータ用として、512KB または 256KB の内蔵 SRAM を備えています。また、FX3 は UART、SPI、I<sup>2</sup>C、および I<sup>2</sup>S などのシリアル ペリフェラルに接続するためのインターフェースも提供しています。FX3 にはアプリケーション開発ツールが用意されています。ソフトウェア開発キットには、市場投入までの時間を短縮するためにアプリケーション例が付いています。

これらの機能に加えて、FX3S はストレージ コントローラーを統合し、最大 2 つの個々の大容量記憶装置に対応できます。SD 3.0 と eMMC 4.41 のメモリカードに対応できます。これらのポート上で SDIO 3.0 もサポートできます。FX3 と FX3S 間の機能の相違を [Table 1](#) に記載します。システムを期待どおりに実行させるために、配線幅、層構成、およびその他のレイアウト上の考慮事項に関するガイドラインに従う必要があります。

SuperSpeed エクスプローラー キットのリファレンス回路図は [CYUSB3KIT-003 EZ-USB™ FX3™ SuperSpeed エクスプローラー キット](#) から入手できます。EZ-USB™ FX3 DVK のリファレンス回路図は [CYUSB3KIT-001 EZ-USB™ FX3](#) で入手できます。EZ-USB™ FX3S DVK 回路図については、[Cypress Developer Community](#) にお問い合わせください。SX3 キットは[こちら](#)をクリックしてください。

**Table 1** FX3 と FX3S 間の機能の相違

機能	FX3	FX3S
GPIF	8/16/32 ビット	8/16 ビット
ストレージポート	無	1 または 2 ポート (SD3.0, eMMC4.41, SDIO3.0)
USB 3.0, USB 2.0 デバイス	有	有
HS-OTG	有	有
CPU	ARM9, 200 MHz	ARM9, 200 MHz
組込み SRAM	256KB/512KB	256KB/512KB
シリアルインターフェース <sup>1</sup>	I <sup>2</sup> C, SPI, I <sup>2</sup> S, UART	I <sup>2</sup> C, SPI, I <sup>2</sup> S, UART
ブートオプション	I <sup>2</sup> C, SPI, USB, GPIF ベース	すべての FX3 ブートオプション + eMMC ベースのブートオプション
パッケージ	121 ピン BGA, 10×10 mm	121 ピン BGA, 10×10 mm

Note:

1. EZ-USB™ CX3 を用いてハードウェアを設計する場合、MIPI CSI-2 信号配線のガイドラインについては [AN90369](#) を参照してください。

<sup>1</sup> すべてのシリアル インターフェースがすべての設定オプションで使用可能ではありません。詳細については、データシートのピンの説明を参照してください。

## はじめに

2. EZ-USB™ SX3 を用いてハードウェアを設計する場合、FX3 および SX3 の機能の違いについては [AN231295](#) を参照してください。

## 2 関連リソース

当社は [Cypress developer community](#) に大量のデータを掲載しており、ユーザーがデザインに適切な FX3 デバイスを選択し、デバイスのデザインを迅速かつ効果的に統合する手助けをしています。

- USB 3.0 製品セクター: [FX3](#), [FX3S](#), [SD3](#), [CX3](#), [SX3](#)
- アプリケーション ノート: インフィニオンは基礎的なレベルから高度なレベルまで幅広いトピックを扱っている、大量の USB アプリケーション ノートを提供します。以下は FX3 入門用の推奨アプリケーション ノートです。
  - [AN231295 - Getting started with EZ-USB™ SX3](#)
  - [AN75705 - Getting started with EZ-USB™ FX3](#)
  - [AN76405 - EZ-USB™ FX3 boot options](#)
  - [AN65974 - Designing with the EZ-USB™ FX3 slave FIFO interface](#)
  - [AN75779 - How to implement an image sensor interface with EZ-USB™ FX3 in a USB video class \(UVC\) framework](#)
  - [AN86947 - Optimizing USB 3.0 throughput with EZ-USB™ FX3](#)
  - [AN84868 - Configuring an FPGA over USB using EZ-USB™ FX3](#)
  - [AN68829 - Slave FIFO interface for EZ-USB™ FX3: 5-bit address mode](#)
  - [AN76348 - Differences in implementation of EZ-USB™ FX2LP and EZ-USB™ FX3 applications](#)
  - [AN89661 - USB RAID 1 disk design using EZ-USB™ FX3S](#)
  - [AN90369 - How to interface a MIPI CSI-2 image sensor with EZ-USB™ CX3](#)
  - 詳細は、SX3 データシートの 3 ページにある SX3 アプリケーションノートを参照してください。
- サンプル コード
  - [USB Hi-Speed](#)
  - [USB Full-Speed](#)
  - [USB SuperSpeed](#)
- テクニカル リファレンス マニュアル (TRM)
  - [EZ-USB™ FX3 technical reference manual](#)
  - [EZ-USB™ CX3 technical reference manual](#)
- 開発キット
  - [CYUSB3KIT-003, EZ-USB™ FX3 SuperSpeed explorer kit](#)
  - [CYUSB3KIT-001, EZ-USB™ FX3 development kit](#)
  - SX3 [website](#) にアクセスして、SX3 で利用可能な開発キットを表示してください。
- モデル: [IBIS](#)

### 2.1 EZ-USB™ FX3 ソフトウェア開発キット

インフィニオンはいかなる組み込みアプリケーションに対しても容易に SuperSpeed USB を統合するために、完全なソフトウェアとファームウェア スタックを提供します。 [ソフトウェア開発キット](#) (SDK) にはアプリケーション開発を加速するためのツール、ドライバ、およびアプリケーション例が付いています。

Note: EZ-USB™ SX3 は、 [EZ-USB™ SX3 configuration utility](#) を使用してプログラムできます。

### 2.2 GPIF II Designer

**GPIF II Designer** はグラフィカルソフトウェアです。これにより設計者が EZ-USB™ FX3 USB 3.0 デバイスコントローラーの GPIF II インターフェースを設定できます。

ユーザーは、このツールでインフィニオンが提供する 5 つのインターフェースから 1 つを選択するか、あるいは独自の GPIF II インターフェースを最初から作成するか、選択可能です。インフィニオンは非同期および同期スレーブ FIFO、非同期および同期 SRAM などの業界標準インターフェースを提供します。あらかじめ定義されたこれらのインターフェースのいずれかを、既にシステム内に備えている場合、設計者はバス幅 (x8, x16, x32)、エンディアンおよびクロック設定など一連の標準パラメーターからインターフェースを選択して、コンパイルできます。このツールはインターフェースをカスタマイズしたいユーザーに対して、能率化された 3 段階の GPIF インターフェース開発プロセスを提供します。ユーザーは、まずピンコンフィギュレーションおよび標準パラメーターを選択できます。次に、コンフィギュレーション可能な操作で仮想ステートマシンを設計できます。最後に、出力タイミングが期待どおりになるかを確認されます。3 段階のプロセスを完了させると、インターフェースをコンパイルして、FX3 と統合します。

## 電源システム

## 3 電源システム

## 3.1 概要

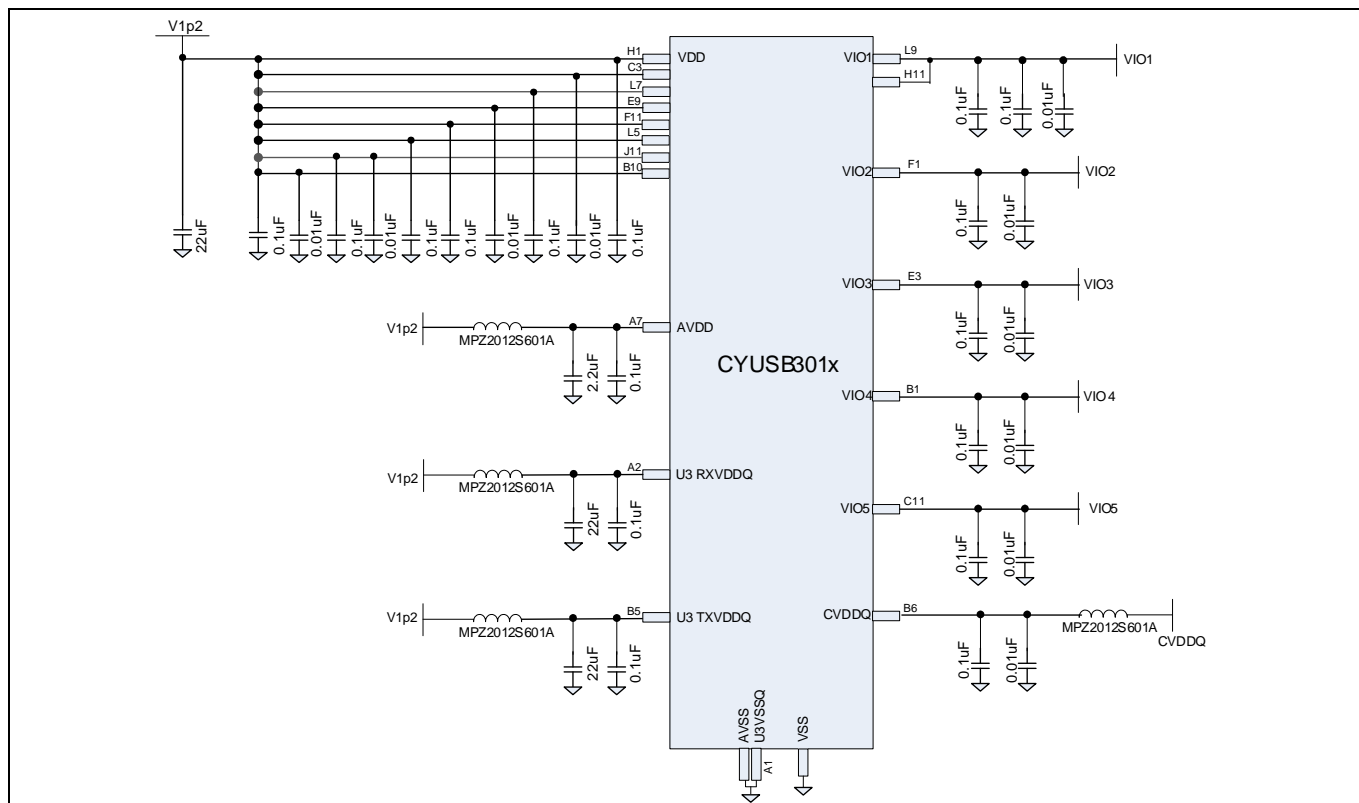


Figure 1 EZ-USB™ FX3/FX3S/SX3 の電源 ドメイン

Table 2 EZ-USB™ FX3/FX3S/SX3 の電源ドメイン

パラメーター	説明	Min	Typ	Max	単位
$V_{DD}$	コア電源電圧	1.15	1.2	1.25	V
$A_{VDD}$	アナログ電源電圧	1.15	1.2	1.25	V
$V_{IO1}$	GPIO II I/O 電源ドメイン	1.7	1.8, 2.5, および 3.3	3.6	V
$V_{IO2}$	IO2 電源ドメイン	1.7	1.8, 2.5, および 3.3	3.6	V
$V_{IO3}$	IO3 電源ドメイン	1.7	1.8, 2.5, および 3.3	3.6	V
$V_{IO4}$	UART/SPI/I <sup>2</sup> S 電源ドメイン	1.7	1.8, 2.5, および 3.3	3.6	V
$V_{IO5}$	I <sup>2</sup> C および JTAG 電源ドメイン	1.15	1.2, 1.8, 2.5, および 3.3	3.6	V
$V_{BATT}$	USB 電源ドメイン	3.2	3.7	6	V
$V_{BUS}$	USB 電源ドメイン	4.0	5	6	V
$C_{VDDQ}$	クロック電源ドメイン	1.7	1.8, 3.3	3.6	V
$U3TX_{VDDQ}$	USB3.0 1.2V 電源	1.15	1.2	1.25	V
$U3RX_{VDDQ}$	USB3.0 1.2V 電源	1.15	1.2	1.25	V



### 4 電源モード

EZ-USB™ FX3/SX3 は以下の電源モードに対応しています。

- **通常モード:** これは全機能が動作するモードです。このモードでは、内部 CPU クロックと内部 PLL が有効です。
  - VIO2, VIO3, VIO4, および VIO5 の I/O 電源は、対応するインターフェースが未使用の時にオフにできます。アプリケーションで GPIF II/GPIO インターフェースを使用する場合、VIO1 はいかなる時でもオフにできません。
  - USB I/O は 3.3V の安定化電源を必要とします。この電源は VBUS または VBATT の外部電源のいずれかによって内部的に駆動されます。USB を使用しない場合は VBATT/VBUS をオフにできます。USB ポートが使用されている場合は、一方または両方の電源が存在しなければいけません。
  - VBATT がシステム バッテリまたは PMIC からの安定した 3.2V~6V の電圧レールに接続できます。VBUS と VBATT の両方とも存在する場合、それらの指定された範囲で、ソフトウェア/ファームウェアのオーバーライドがない限り、VBUS は USB I/O への主な電源になります。VBUS が 4.1V 未満である場合、FX3/SX3 は VBUS がそれに接続されていないかのように動作します。FX3/SX3 が電源供給されている時にこの問題が発生した場合、FX3/SX3 は全く一連の動作 (エニュメレーション) をしません。これが FX3/SX3 の動作中にどこかで発生した場合、FX3/SX3 ファームウェアは USB PHY をオフにし、ホストから切断します。
  - EZ-USB™ FX3 は VBUS ピンで最大 6V 耐圧です。より高い電圧を生ずる電源を持つアプリケーションでは、EZ-USB™ FX3/SX3 のデバイスを保護するための外部過電圧保護 (OVP) デバイスの使用が必要です。そのようなアプリケーションの一例として、バッテリ充電 v1.2 仕様のバッテリ充電アプリケーションが挙げられます。このアプリケーションでは、充電器 (壁充電器/専用充電器など) は、VBUS に最大 9V を供給できます。VBUS ピンには NCP360USB 過電圧保護装置を推奨します。
  - VBUS ピンは別のプロセッサにより検出される VBUS に応じてオン/オフされるインシステムの電源レールに接続できます。典型的なシナリオとしては、VBUS を検出し、結果として EZ-USB™ FX3/SX3 への安定化 3.3V 電源をオンにする PMIC です。このような場合、システムは VBATT を主電源として使用するために、ソフトウェアのオーバーライドを使用する必要があります。
  - EZ-USB™ FX3/SX3 は、チャージポンプを含まないため、OTG-A デバイスとして使用される場合、VBUS に電源を供給できません。EZ-USB™ FX3/SX3 が OTG-A モードで使用される場合、VBUS に電源を供給するための (スタンドアロンまたは PMIC に内蔵する) 外部チャージポンプが必要です。
- **USB 3.0 PHY の有効されたサスペンド モード (L1):** ウェイクアップソースとコア電源への電源電圧を保持する必要があります。他のすべての電源ドメインは個別にオフ/オンできます。
- **USB 3.0 PHY の無効されたサスペンド モード (L2):** ウェイクアップソースとコア電源への電源電圧を保持する必要があります。他のすべての電源ドメインは個別にオフ/オンできます。
- **スタンバイ モード (L3):** ウェイクアップソースとコア電源への電源電圧を保持する必要があります。他のすべての電源ドメインは個別にオフ/オンできます。
- **コアの電源切断モード (L4):** コア電源がオフにされます。他のすべての電源ドメインは個別にオフ/オンできます。

#### 4.1 デバイス電源デカップリング

電源供給デカップリングは、システム ノイズが電源を通じてデバイスに伝播しないことを確保する上で重要です。デカップリングが不適切な場合、特に USB バス上で、CRC エラー率および再試行回数の増加をもたらすジッタ シグナルが発生する可能性があります。デカップリング コンデンサは、安定した誘電体のセラミック タイプでなければなりません。デカップリング コンデンサをできる限り電源ピンの近くに配置し、FX3/SX3 デバイスの電源への接続 (即ち、ベタ電源面への接続) 配線およびグランドへの接続 (即ち、ベタグランド面への接続) 配線を短くすることが重要です。



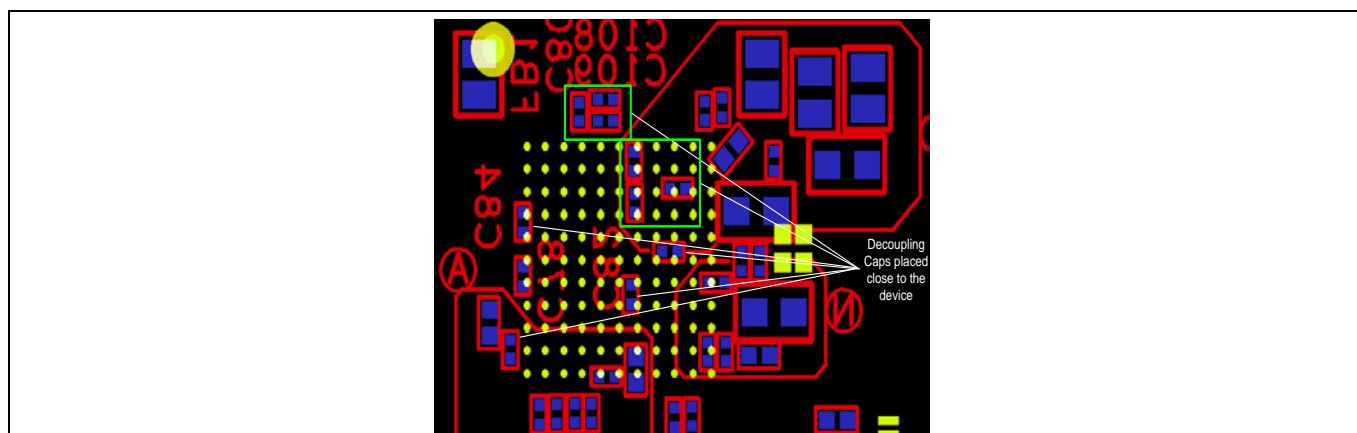


Figure 2 デカップリング コンデンサの配置

各 FX3 電源ピンに最も近いセラミック コンデンサの具体的な推奨事項を [Table 3](#) に記載します。

Table 3 電源ドメイン デカップリング要件

電源ドメイン (ピン番号)	グループのコンデンサ	ピンごとのコンデンサ
VDD (B10, J11)	22 $\mu$ F	0.01 $\mu$ F および 0.1 $\mu$ F
VDD (H1, L7, F11, L5)		0.1 $\mu$ F
VDD (C3, E9)		0.01 $\mu$ F
AVDD (A7)	2.2 $\mu$ F	0.1 $\mu$ F
U3RXVDDQ (A2)	22 $\mu$ F	0.1 $\mu$ F
U3TXVDDQ (B5)	22 $\mu$ F	0.1 $\mu$ F
CVDDQ (B6)	–	0.01 $\mu$ F および 0.1 $\mu$ F
VIO1 (L9, H11)	0.01 $\mu$ F	0.1 $\mu$ F
VIO2 (F1)	–	0.01 $\mu$ F および 0.1 $\mu$ F
VIO3 (E3)	–	0.01 $\mu$ F および 0.1 $\mu$ F
VIO4 (B1)	–	0.01 $\mu$ F および 0.1 $\mu$ F
VIO5 (C11)	–	0.01 $\mu$ F および 0.1 $\mu$ F
VBUS (E11)	–	0.1 $\mu$ F

## 4.2 突入電流および電源の設計

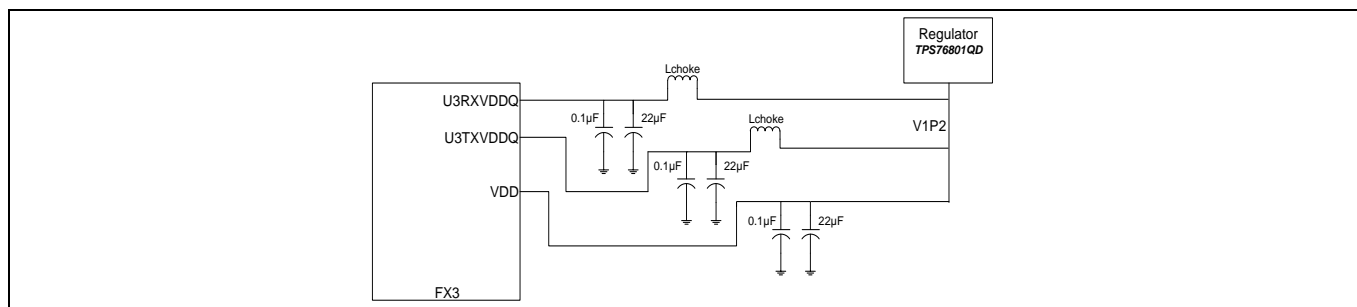
USB3.0 SuperSpeed PHY が初めて有効にされた場合、またはリセット イベントが発生した場合、U3RXVDDQ および U3TXVDDQ 電源 (1.2V) への初期突入電流が約 10 $\mu$ s まで流れることが考えられます。この電流の大きさは最大 800mA です。この突入電流が共通の 1.2V 電源を許容できないレベルまで降下させないために、これらの電源ネットワークの設計に注意を払う必要があります。

VDD コアにも同じ 1.2V の電源を供給する場合、チップ全体をリセットするオンチップ パワーオンリセット (POR) 回路をトリップする可能性があるため、この電源のレベルが降下しすぎないように注意しなければいけません。1.2V コアの VDD 電圧が 200ns 以上 0.83V 未満に降下すると、POR 回路が発火してしまう可能性があります。1.2V の電源ネットワークは、突入イベントが発生した時に VDD が 0.83V 以下に落ちないように設計しなければいけません。これを可能にするためには、([データシート](#)に指定している) デカップリング コンデンサ, インダクタ チョーク, およびレギュレータの出力インピーダンスの適切な組み合わせが必要とされます。

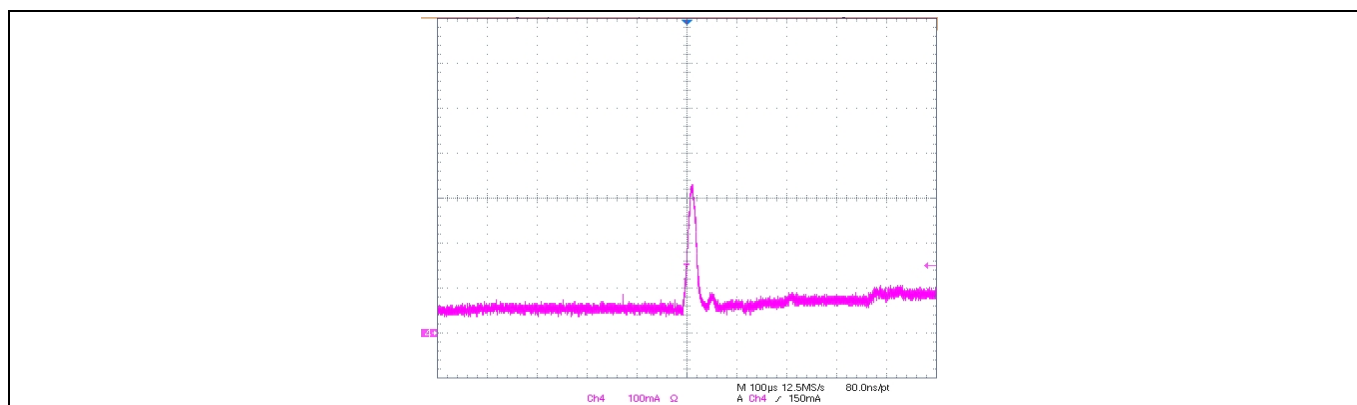


## 電源モード

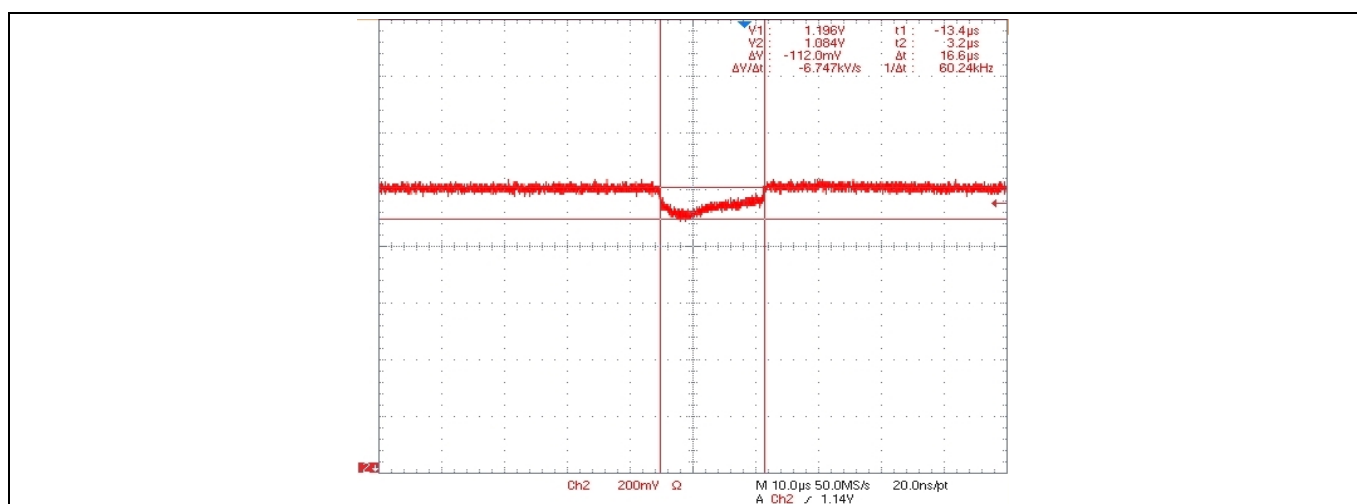
一方、部分的な変更として 22 $\mu$ F のデカップリング コンデンサを使用し、VDD 電源からチョークを除去して、同じレギュレータ (TPS76801QD) で設計した以下の最適化された電源設計 (Figure 6) は、突入電流の減少 (Figure 7) および電圧低下の改善 (Figure 8) が成されたことを示しています。



**Figure 6** 最適化された電源設計



**Figure 7** 突入電流 (320mA)



**Figure 8** 1.2V 電源ドメインの電圧降下 (112mV)

お客様は同様の仕様を持つレギュレータを任意に選択できます。

異なる電源を相互に対して隔離することは良い方法です。CVDDQ に IO 電源 (VIO1-5) を短絡している場合 (Figure 1)、チョークを使用して CVDDQ を分離することを常に推奨します。これは PHY エラーの低減に効果的です。また、VIO1 を低電圧 (1.8V) で動作させることも PHY エラーの減少に効果的です。

## 5 クロッキング

EZ-USB™ FX3/SX3 デバイスはクロッキング ソースとして次のいずれかのオプションを使用できます。

- 19.2MHz の水晶発振器
- 19.2MHz, 26MHz, 38.4MHz, または 52MHz の外部クロック

### 5.1 水晶発振器

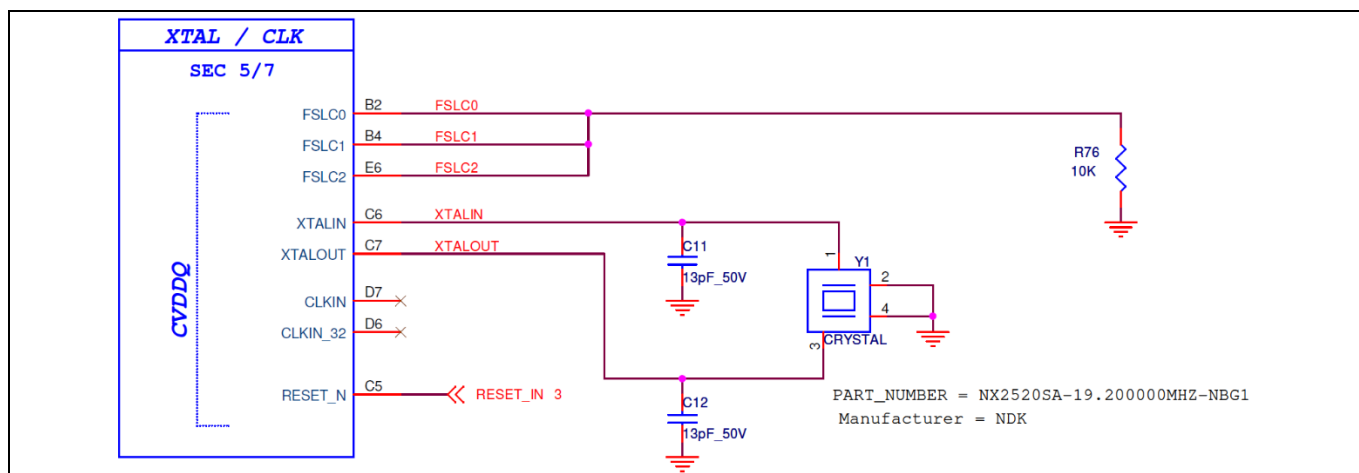


Figure 9 水晶発振器の回路

Table 4 19.2MHz の水晶発振器の要件

パラメーター	仕様	単位
許容範囲	±100	Ppm
温度範囲	-40 ~ 85	°F
駆動レベル	式 1 を使用	mW

水晶発振器の消費電源は以下のものに依存します。

- XTALOUT ピンの駆動レベル (FX3/SX3 の場合は 1.32V)
- 所望の周波数 (19.2MHz)
- 水晶発振器の等価直列抵抗 (ESR)

#### 式 1. 水晶発振器の消費電源

$$P = I^2 R = \left( \frac{V_x}{|Z|} \right)^2 R = 2[\pi f (C_0 + C_L) V_x]^2 R$$

ここで、

f は水晶発振器の周波数

C<sub>0</sub> は水晶発振器のデータシートに記載されている水晶のシャント容量

C<sub>L</sub> は C<sub>L</sub> 計算に使う負荷容量 (次の節を参照)

R は水晶発振器のデータシートに記載されている水晶の ESR

## クロッキング

$V_x$  は XTALOUT ピンの最大電圧 (1.32V)

電源損失よりも低い駆動レベルで水晶発振器を使用すれば、水晶発振器の老朽化が激しくなり、バーンアウトになってしまう可能性があります。

互換性のある水晶発振器の例は [Table 5](#) に示します。NX3225SA のみが EZ-USB™ FX3/SX3 で特定付けられており、残りの水晶発振器は [式 1](#) を用いて例として挙げられていることに注意してください。

**Table 5** 水晶発振器の選択

デバイス	データシート記載 の最大 R1 値 (Ω)	CL Eqv (pF)	C0 (pF) の 見積り	式 1 で計算した 駆動レベル (μW)	最大駆動レベ ル (spec) μW
NX2520SA- 19.200000MHZ-NBG1	60	13	Nil	128	200
ECS-192-13-30B-AEM-TR	50	13	Nil	107	300
7V-19.200MDIQ-T	60	10	Nil	76	100
ECS-192.0-8-36-RWN-TR	80	8	Nil	65	100

Note: 水晶発振器の XTALOUT と XTALIN ピンにはどの直列抵抗も接続しないでください。直列抵抗を配置すれば、水晶発振器の ESR に抵抗が加えられて、水晶発振器の電源損失と起動時間が増えます。

### 5.1.1 水晶の有効負荷コンデンサの計算

負荷容量  $C_L$  は FX3/SX3 へ精度の高いクロックソースを供給する上で重要な役割を果たします。コンデンサ  $C_1$  と  $C_2$  ([Figure 9](#) に示すように) は水晶発振器の負荷容量値を考慮した上で慎重に選択する必要があります。

負荷容量は以下の式で計算されます。

#### 式 2. 水晶発振器の負荷容量

$$C_L = \frac{C_1 * C_2}{C_1 + C_2} + C_s$$

$C_s$  はプリント基板上の XTALOUT と XTALIN 配線の浮遊容量です。レイアウトの良いプラクティスに従って、水晶発振器から FX3/SX3 上のピンへの配線をできるだけ短く保っている限り、 $C_s$  の値は通常 2~8pF 程度です。5pF の  $C_s$  を想定することを推奨します。

FX3/SX3 開発キットで使用する水晶発振器の場合、 $C_L=13\text{pF}$  です。FX3 プリント基板の  $C_s=7\text{pF}$  です。式 2 から、 $C_1=C_2=12\text{pF}$  です。

### 5.1.2 クロック

EZ-USB™ FX3/SX3 へのクロック入力、下表に指定する位相ノイズとジッタの要件を満たす必要があります。

## クロッキング

Table 6 クロックの要件

パラメーター	説明	仕様		単位
		Min	Max	
位相ノイズ	100Hz のオフセット	–	–75	dB
	1kHz のオフセット	–	–104	dB
	10kHz のオフセット	–	–120	dB
	100kHz のオフセット	–	–128	dB
	1MHz のオフセット	–	–130	dB
最大周波数偏差		–	150	ppm
デューティサイクル		30	70	%
オーバーシュート		–	3	%
アンダーシュート		–	–3	%
立ち上り時間/立ち下り時間		–	3	ns

使用するクロッキング オプションに応じて、周波数選択線 (FSLC[2:0]) が弱いプルアップ抵抗を通じて電源またはグランドに接続できます。

Table 7 に異なるクロッキング オプションに対応する FSLC[2:0]の値を示します。

ASEMB-19.200MHZ-LY-T は、推奨される 19.2MHz のクロック発振器製品です。ECS-2530MV-260-BN-TR, SIT8008BI-71-33N-38.400000, SIT8008AC-73-33E-52.000000 を推奨します。それぞれ 26 MHz, 38.4 MHz, および 52MHz の製品番号です。

Table 7 周波数選択のコンフィギュレーション

FSLC[2]	FSLC[1]	FSLC[0]	水晶発振器/クロック周波数
0	0	0	19.2MHz の水晶発振器
1	0	0	19.2MHz の入力クロック
1	0	1	26MHz の入力クロック
1	1	0	38.4MHz の入力クロック
1	1	1	52MHz の入力クロック

CVDDQ はクロック入力に対応する供給源です。これは外部クロック入力 (もしあれば) と同じ電圧レベルに設定されるべきです。

外部クロック入力のみを使用する場合は、XTALIN と XTALOUT ピンは未接続のままにできます。水晶クロッキングのみを使用する場合は、CLKIN ピンは未接続のままにできます。

## 5.2 ウォッチドッグ タイマー

32.768kHz のクロック入力は、スタンバイ モード中にウォッチドッグ タイマーの動作に使用できます。これは必要に応じて外部ソースによって供給されます。

Table 8 ウォッチドッグ タイマー要件

パラメーター	Min	Max	単位
デューティサイクル	40	60	%
周波数偏差	–	±200	ppm

### 6 GPIO II インターフェース

EZ-USB™ FX3 は GPIO II という高性能な汎用プログラマブルインターフェースを提供します。このインターフェースは **FX2LP** の GPIO およびスレーブ FIFO インターフェースと同様ですが、より高度な機能を備えています。GPIO インターフェースの詳細については、**AN75779 - Interfacing an Image Sensor to EZ-USB™™ FX3™ in a USB video class (UVC) Framework** アプリケーションノートを参照してください。

以下に EZ-USB™ FX3 の GPIO II インターフェースのいくつかの一般的な設計ガイドラインを記載します。

- GPIO II インターフェースの最大周波数は 100MHz です。GPIO II バス上のすべてのラインの長さが 500mil 以内に整合されることを推奨します。500mil の要件は、PCB のストリップラインとマイクロストリップトレースの標準的な伝搬遅延 (150~200 ps/inch) を考慮し、信号間の遅延を全周期の 1% 以内に収めることを保証します。反射現象は、GPIO ラインのインピーダンス不整合と PCB スタックアップが原因で発生します。したがって、これらのラインでの反射を避けるために、22Ω の直列終端抵抗を使用する必要があります。
- GPIO 線が 5 インチ以上、または媒体を介して配線され、インピーダンス不整合を引き起こす可能性がある場合、**EZ-USB™ FX3 IBIS モデル** (終端付き) を使用して、シグナルインテグリティシミュレーションを行うことを推奨します。
- GPIO[16] (PCLK) はすべての同期インターフェースで GPIO II のクロック信号として使用する必要があります。
- GPIO[32:30] (PMODE[2:0]) 信号は FX3 の起動時に適切にコンフィギュレーションする必要があります。これらの信号は起動後に GPIO として使用できます。
- INT#信号は GPIO として使用できません。このピンは未使用の場合に、開放状態のままにするか、または VIO1 にプルアップできます。

*Note: GPIO II が 32 ビット モードでコンフィギュレーションされている場合、SPI インターフェースの配線は使用できません。しかし、起動のために SPI インターフェースを使用してから、32 ビットモードに GPIO II を設定することも可能です。*



## USB

### 7 USB

FX3/SX3 が USB デバイスとしてのみ使用されている場合は、OTG\_ID ピンは未接続のままにできます。  
FX3 をデュアル ロール デバイスとして使用している場合、このピンはグランドに接続する必要があります。

## 8 低性能ペリフェラル (LPP)

### 8.1 I<sup>2</sup>C インターフェース

EZ-USB™ FX3/SX3 は I<sup>2</sup>C バス仕様 バージョン 3 に準拠する I<sup>2</sup>C インターフェースを持ちます。EZ-USB™ FX3/SX3 の I<sup>2</sup>C インターフェースは I<sup>2</sup>C マスターとしてのみ動作できます。例えば、EZ-USB™ FX3/SX3 は選択可能なブートオプションとして、I<sup>2</sup>C インターフェースに接続される EEPROM から起動できます。EZ-USB™ FX3 の I<sup>2</sup>C マスター コントローラーはマルチ マスター モードの機能にも対応しています。

I<sup>2</sup>C インターフェース用の電源供給は他のシリアル ペリフェラルとは別の電源ドメインである VIO5 です。これにより、I<sup>2</sup>C インターフェースはその他のシリアル インターフェースとは異なる電圧で動作できる柔軟性を与えます。

I<sup>2</sup>C コントローラーが対応するバス周波数は 100kHz, 400kHz, および 1MHz です。VIO5 が 1.2V の場合、対応する最大動作周波数は 100kHz です。VIO5 が 1.8V, 2.5V, または 3.3V の場合、対応する動作周波数は 400kHz および 1MHz です。

外部 EEPROM がファームウェア イメージ起動用に I<sup>2</sup>C バス上で使用される場合、2k $\Omega$  のプルアップ抵抗は正常な動作のために SCL および SDA ライン上に配置する必要があります。

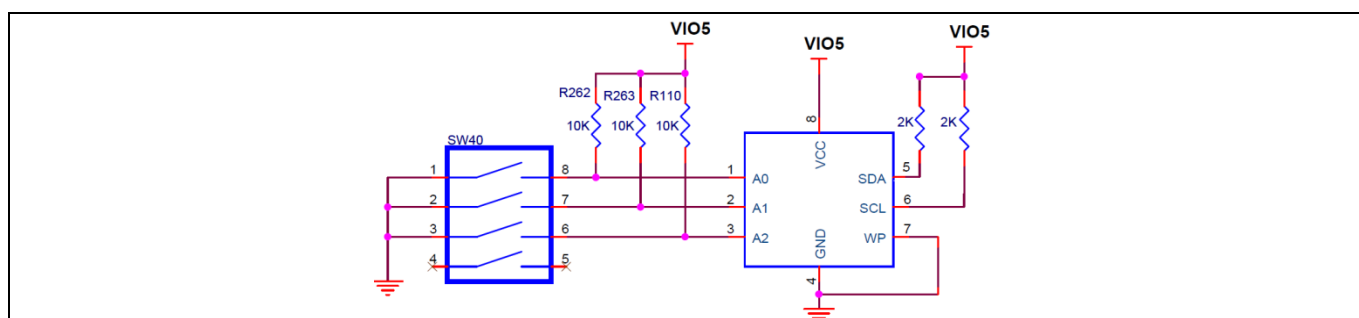


Figure 10 I<sup>2</sup>C コンフィギュレーション

Note: EEPROM のアドレス ピン A0, A1, A2 は EEPROM データシートの推奨事項に従って接続する必要があります。

### 8.2 JTAG

EZ-USB™ FX3/SX3 は、JTAG デバッガーとの接続用に標準の 5 ピン インターフェースを提供する JTAG インターフェースを備えています。この機能は CPU コアのオンチップ デバッグ回路によるファームウェアのデバッグを可能にします。

JTAG 信号の TDI、TMC、TRST#信号には固定の 50k $\Omega$  内部プルアップ抵抗、TCK 信号には固定の 10k $\Omega$  プルダウン抵抗が付いているため、JTAG 信号にプルアップ/プルダウン抵抗を外付けする必要がありません。

FX3/SX3/FX3S はバウンダリ スキャンに対応しないことに注意してください。これらのデバイス内に用意されている JTAG インターフェースはデバッグ目的にのみ使用されます。

### 8.3 I<sup>2</sup>S

EZ-USB™ FX3 は I<sup>2</sup>S ポートを備えており、外部オーディオ コーデック デバイスに対応します。EZ-USB™ FX3 は I<sup>2</sup>S マスター (トランスミッターのみ) として機能します。EZ-USB™ FX3 はシステム クロックを I2S\_MCLK ラインでの出力として生成するか、同じラインで外部システム クロック入力を受け入れられます。

## 8.4 SPI および UART

EZ-USB™ FX3/SX3 はシリアル ペリフェラル ポートで SPI マスター インターフェースをサポートします。SPI GPIO は UART GPIO と共有されています。SPI フラッシュから FX3/SX3 を起動できるようにするために、SPI MISO/MOSI ラインにプルアップがないようにする必要があります。MISO ラインにプルダウン抵抗 (2K) を含めることを推奨します。Figure 11 に M25P40-VMN6TPB SPI デバイスを使用した正しい SPI 信号の接続を示します。

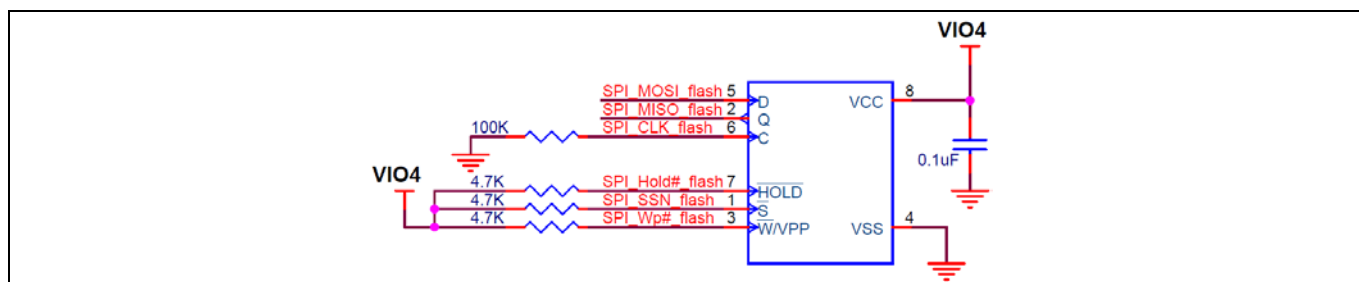


Figure 11 SPI コンフィギュレーション

## 8.5 SPI フラッシュの選択

SPI フラッシュを選択する際に、次のガイドラインに従ってください。

- フラッシュ サイズ: 1K ビット～128M ビットに対応します。
- 電圧: 1.7V～3.6V に対応します。
- コマンド一式: SPI フラッシュは FX3/SX3 の起動に対応できるように、以下のコマンドをサポートする必要があります。
  - データ読み出し: 3 バイト アドレスを使用した 03h
  - ステータス レジスタ読み出し: 05h
  - 書き込み有効: 06h
  - データ書き込み (ページ プログラム): 02h
  - セクタ消去: D8h

読み出しコマンドが一致すれば、SPI フラッシュは FX3 の起動に使用できます。書き込みコマンドに何か違いがある場合、インフィニオンが提供する標準のプログラマーユーティリティを使用した SPI フラッシュのプログラムは成功しません。この場合、ユーティリティで使用するファームウェアのバイナリファイルを、SPI フラッシュのプログラミングを成功させるために修正した書き込みコマンドと共に、再構築する必要があります。したがって、当社は、上記のリード/ライトコマンドセットと互換性のある SPI フラッシュを使用することを推奨します。

サポートされている SPI フラッシュ製品は次のとおりです。

- インフィニオン製品: S25FS064S (64M ビット), S25FS128S (128M ビット), および S25LFL064L (64M ビット)
- Winbond 製品: W25Q32FW (32M ビット), W25Q80BW (8M ビット), W25X20 (2M ビット)
- Micron Technology 製品: M25P40 (4M ビット)

## 8.6 ハイブリッド SPI フラッシュの使用

一部のフラッシュデバイスにはハイブリッドセクタが付属しています (64KB の最初のセクタを 9 セクタに分割 (4KB の 8 セクタと 1 つの 32KB セクタ))。残りのセクタはすべて均一です (それぞれ 64KB)。

## 低性能ペリフェラル (LPP)

FX3SDK のコントロールセンターアプリケーションを使用する場合、内部プログラミングユーティリティ (CyBootProgrammer.img) は、フラッシュデバイスのセクタサイズが均一であると想定しています。これにより、ハイブリッドセクタである最初のセクタのデータが破損します。これを防ぐには、フラッシュデバイスがそれぞれ 64KB の均一なセクタを使用するように構成します。適切な構成レジスタを変更します。ハイブリッド SPI フラッシュデバイスの使用の詳細については、[KBA231163](#) を参照してください。

## 9 ブート

EZ-USB™ FX3 はシステムのメイン プロセッサまたは他のメイン プロセッサのコプロセッサのいずれかとして使用することが可能です。使用するブート オプションは特定のシステムの実装に依存します。PMODE[2:0]はブート オプションをコンフィギュレーションし、メイン プロセッサに直接接続するか、使用するブート オプションに応じて基板上で結線できます。下表に、異なるブート オプションに必要な PMODE[2:0]信号のレベルを示します。

**Table 9 PMODE 信号の設定**

PMODE[2:0]	ブート元
Z00	同期 ADMUX (16 ビット)
Z01	非同期 ADMUX (16 ビット)
Z11	USB ブート
Z1Z	I <sup>2</sup> C, 不具合時に USB ブートが有効
1ZZ	I <sup>2</sup> C のみ
0Z1	SPI, 不具合時に USB ブートが有効

Note: Z = High-Z, オープン ドレイン, 未接続, \*FX3S のみに適用

PMODE[2:0]信号でプルアップおよびプルダウンのオプションを追加し (10kΩ を使用)、好ましいブート オプションに必要な組み合わせを設定することを推奨します。これは初期の開発時にシステムをデバッグする際に柔軟性を与えます。

SX3 は、USB ブート (Z11) および SPI ブート (0Z1) の 2 つのブートモードでのみ動作します。

### 10 EMI および ESD の考慮事項

製品の梱包, 展開環境, および規制法令に関して、ケースバイケースで EMI と ESD を考慮する必要があります。本アプリケーションノートは EMI に関する具体的な推奨事項を記載していません。EZ-USB™ FX3 は FCC 15B (米国) および EN55022 (ヨーロッパ) 仕様で概要を規定している EMI 要件を満たしています。EZ-USB™ FX3 はこれらの仕様に記載されている発生源からの合理的な EMI への耐性があり、正常に機能し続けます。このアプリケーションノートでは一般的な EMI および ESD の考慮事項を提供します。プリント基板レイアウト技法の概要については、「[付録 A - プリント基板レイアウトのヒント](#)」を参照してください。また、EMI/EMC を改善するためのレイアウトのヒント集「[AN61290 - PSoC™ 3 and PSoC™ 5 Hardware Design Considerations](#)」の付録 A: プリント基板レイアウトのヒント」も参照できます。

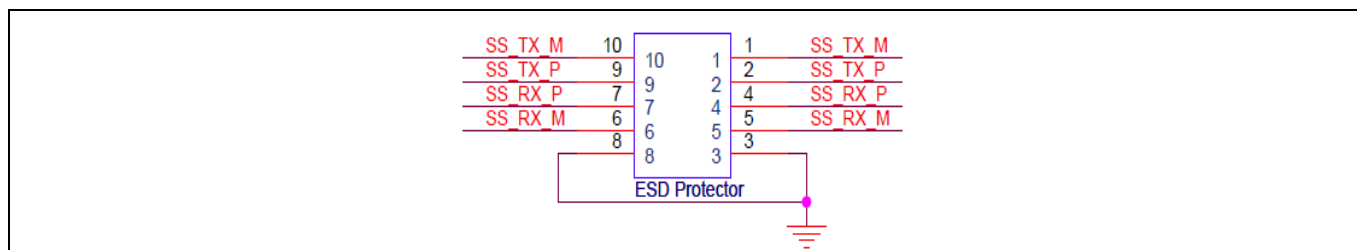
EZ-USB™ FX3/SX3 は USB インターフェースの D+, D-, および GND ピンで ESD 保護を内蔵しています。これらのポートに提供される ESD 保護レベルは次のとおりです。

- $\pm 6\text{KV}$  接触放電に基づいた  $\pm 2.2\text{kV}$  人体モデル (HBM) および IEC61000-4-2 レベル 3A に基づいた  $\pm 8\text{KV}$  エアギャップ放電
- IEC61000-4-2 レベル 4C に基づいた  $\pm 8\text{KV}$  接触放電および  $\pm 15\text{KV}$  エアギャップ放電

この保護により、ESD イベントが規定のレベルまで達した後もデバイスが継続して機能することを保証します。

SSRX+, SSRX-, SSTX+, SSTX- ピンは最大  $\pm 2.2\text{KV}$  人体モデル (HBM) 内部 ESD 保護のみを備えています。

**Figure 12** に示すように、高性能かつ低容量の外部 ESD デバイス (SP3010-04UTG) を使用して、これらのピンに保護対策を講じられます。このバスの性能への影響を防ぐために、追加される容量は  $0.5\text{pF}$  を超えないでください。



**Figure 12** 低容量の外部 USB スーパースピード (SS) ESD 保護

EMI の観点から、すべての信号とクロック配線はあるレベルから別のレベルに切り替えると、電磁 (EM) 放射を放出します。異なる国のさまざまな基準を満たすために、これらの放出量を最小限に抑えなければなりません。EM の放出量を低減させるためには以下のいくつかの方法を使用できます。

- 電源とグラウンド面を下に信号層が付いている外部層として配置することを検討
- 常に固体銅を集積回路とクロックの下に埋める
- すべての信号に対して適切なグラウンド リターン経路があることを確保
- 高速かつ高電流配線の長さを最小限にする

### 11 FX3/SX3 デバイスのパッケージ寸法

EZ-USB™ FX3/SX3 は 10×10mm, 0.8mm のピッチボール グリッド アレイ (BGA) でパッケージされています。以下のサイズを推奨します。

- BGA パッドサイズ: 11 mils
- はんだマスクサイズ: 11 mils
- はんだペーストサイズ: 11 mils

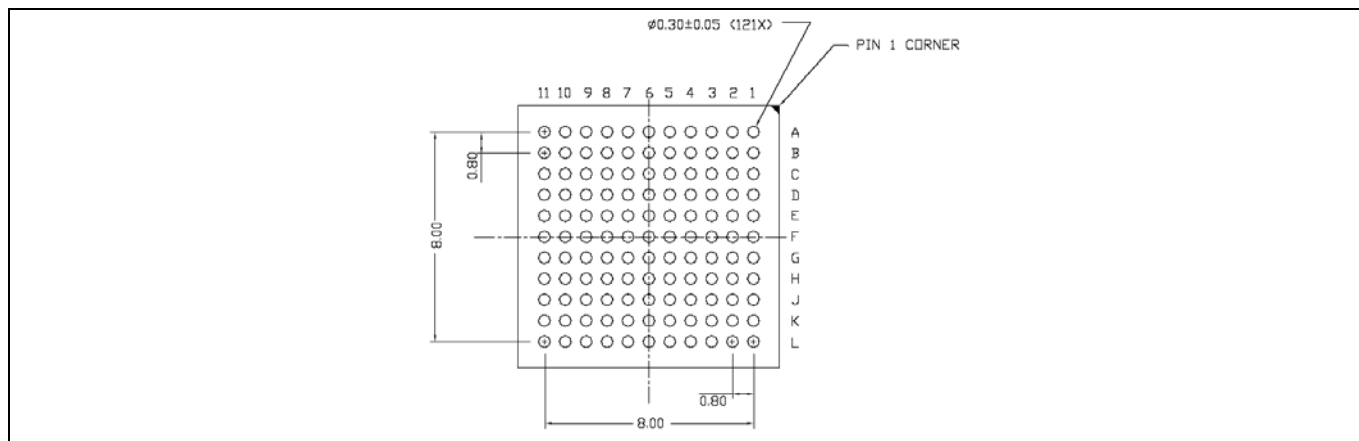


Figure 13 EZ-USB™ FX3/SX3 のパッケージ寸法



## 12 電氣的設計上の考慮事項

USB 3.0 プロトコルは USB 速度を最大 5Gbps まで上げます。ハイスピード (HS) 線と共にスーパースピード (SS) 線を含むことで、USB2.0 仕様と下位互換性があります。両方のバスとも電氣的設計に高いレベルの配慮を求めます。スーパースピード USB 向けに設計する際にコンポーネントの選択、電源デカップリング、信号線インピーダンス、およびノイズへの細心の注意が必要です。これらの物理的な課題は、主にプリント基板設計から影響を受けています。プリント基板レイアウト技法の概要については、[付録 A - プリント基板レイアウトのヒント](#)を参照してください。

### 12.1 SuperSpeed USB 3.0 の設計ガイドライン

EZ-USB™ FX3/SX3 は SuperSpeed USB ラインとハイスピード USB ラインがあります。これらのバスで設計する際、次のベスト プラクティスを使用してください。

- USB 配線の長さをできる限り短くします (3 インチ未満)。この一覧の特定の推奨事項を確実にするため、まずこれらを配線する必要があります。長い配線はトランスミッターの質に影響を与え、受信側で符号間干渉 (ISI) をもたらしめます。
- 極性は USB 3.0 差動ペアで交換できます。USB3.0 仕様の 6.4.2 節で定義しているとおり、極性はリンクトレーニング中に USB 3.0 PHY によって自動的に検出され、デバイスファームウェアへの追加変更を必要としません。別の USB コネクタのピン配置が存在する場合、その USB ラインが交差しないようにするために極性反転の仕組みを利用します。
- 1%誤差の 6.04k $\Omega$  高精度抵抗を通じて R\_USB2 ピンをグラウンドに接続します。R\_USB3 ピンは 1%誤差の 200 $\Omega$  高精度抵抗を通じてグラウンドに接続する必要があります。Figure 14 を参照してください。

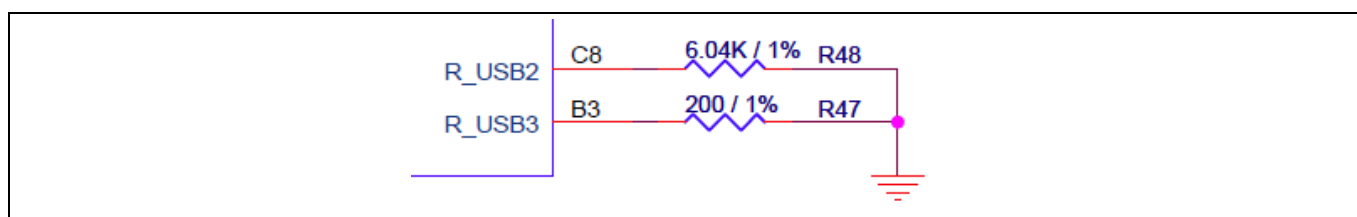


Figure 14 USB2 と USB3 リファレンス抵抗

- USB 3.0 配線は SS\_TX 線上に配置する追加の AC カップリング コンデンサ (0.1  $\mu$ F) を必要とします。これらのコンデンサを EZ-USB™ FX3 デバイスの近くに対称的に配置します。Figure 15 を参照してください。

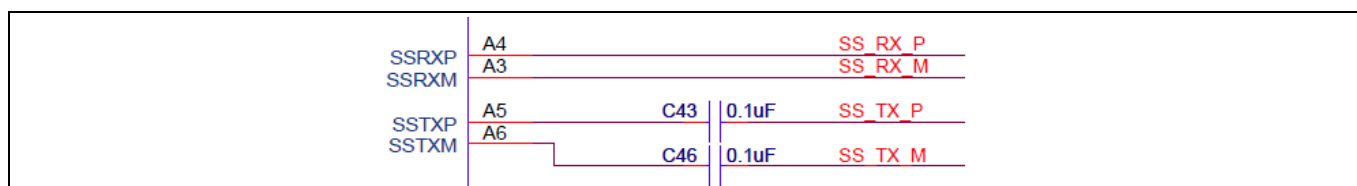
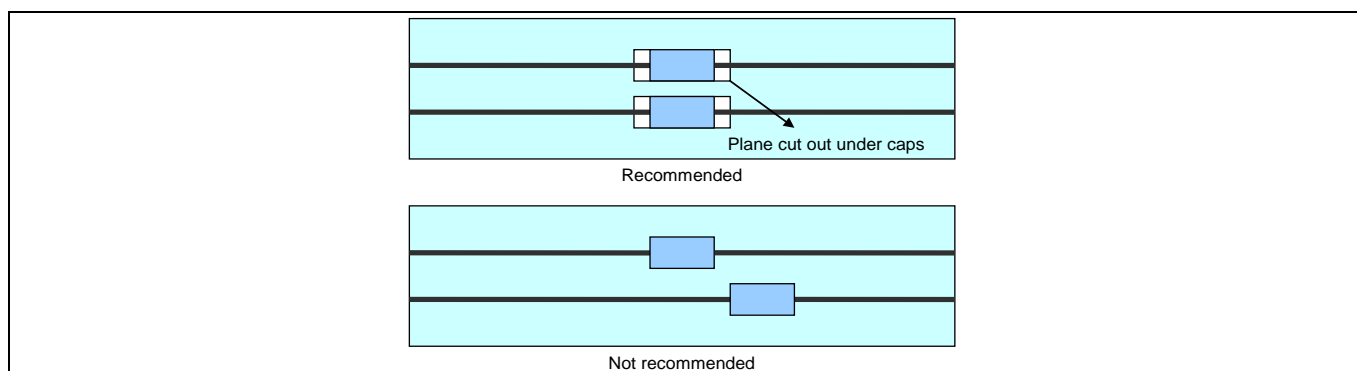


Figure 15 スーパースピード TX 線のデカップリング コンデンサ

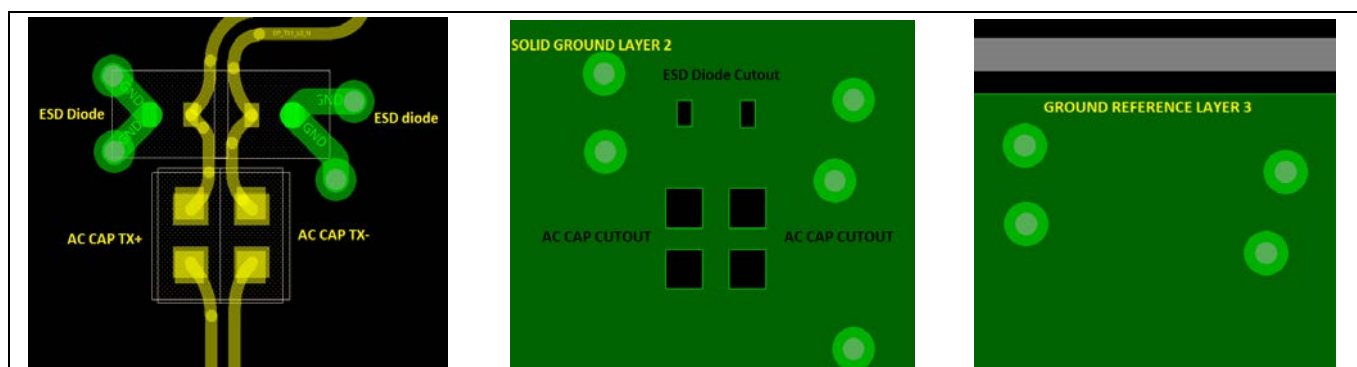
- AC カップリングコンデンサは、超高速信号での反射を減らすために、すぐ近くのソリッド GND 層にこれらのコンデンサの形状の切り欠きを持たせる必要があります。ソリッド GND レイヤーのすぐ近くにあるレイヤーにグラウンドリファレンスを提供する必要があります。Figure 16 に、デカップリングキャップの適切なレイアウトを示します。Figure 17 に、AC コンデンサ/ESD カットアウトを示します。AC コンデンサは、FX3 デバイスに到達するケーブルノイズを回避するのに役立つホストとデバイスの実装のためにのみ、USB コネクタの近くに配置する必要があります。FX3 が HUB または他

## 電氣的設計上の考慮事項

の組み込みコントローラーに接続されている場合にのみ、AC コンデンサを FX3 デバイスの近くに配置する必要があります。

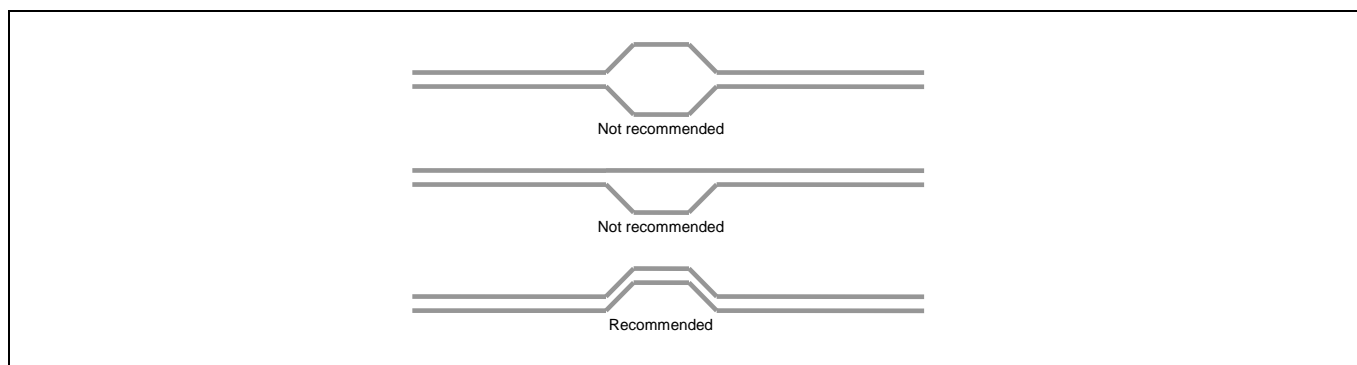


**Figure 16** SuperSpeed TX の AC カップリング コンデンサ レイアウト



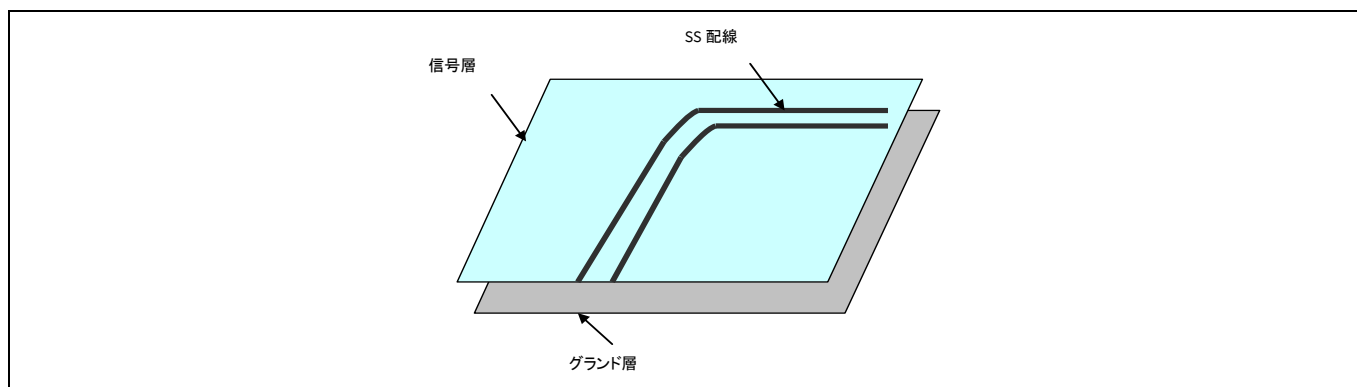
**Figure 17** AC コンデンサ/ESD カットアウト

- USB 信号線のインピーダンスを  $90\Omega$  の差動 ( $\pm 7\%$ ) に維持します。
- 2 対の差動ペア間の空間をグラウンドで埋め尽くします。グラウンドと差動ペアの間で少なくとも  $2W$  の間隔を保持します (ここで、 $W$  = 配線幅)。
- 水晶配線をできる限り短くします。水晶を FX3/SX3 から  $2\text{cm}$  以内に置きます。
- XTAL IN および XTAL OUT 配線にビアを使用しないことを推奨します。
- どのハイスピード信号およびリセット信号配線も水晶発振器の近くに置かないでください。空間制限に応じて必要な場合は、空間をグラウンドで埋めます。
- RC リセット回路で使用するコンデンサをできるだけ FX3/SX3 リセット ピンの近くに配置します。
- 異なる電源ドメインに対して電源層の分割面を使用します。
- 電源配線をハイスピードのデータラインとクロックラインから離します。
- インダクタンスを減少させるために、配線幅を  $25\text{mil}$  以上にする必要があります。
- 電源配線をできる限り短くします。電源配線で大きなビア (少なくとも  $30\text{mil}$  のパッド、 $15\text{mil}$  のホール) を使用します。
- USB 線の直下にある面の割れ目を避けます。USB 配線の下に割れ目が存在すれば、その点での特性インピーダンスの変化をもたらします。
- **Figure 18** に示すように、インピーダンスの不整合を避けるために、差動ペア間の配線間隔の一貫性を維持します。



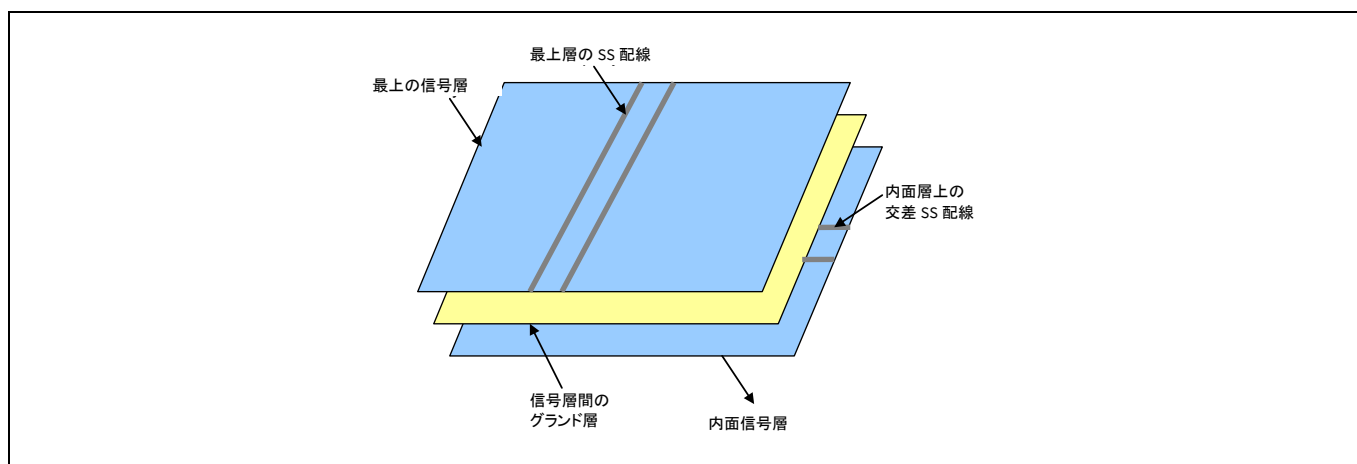
**Figure 18** 差動ペアのインピーダンス マッチングの技術

すべての SS 信号ラインは隣接する層上のベタ グランド面上で完全に配線される必要があります。SS 信号直下のグランド面が分割されると、ループのインダクタンスが増加し、インピーダンス不整合が発生し、電氣的な放射が増加します。Figure 19 を参照してください。



**Figure 19** SuperSpeed 信号下のベタ グランド面

- USB 配線の 2 つのペアが異なるレイヤーで互いに交差する場合は常に、グランドレイヤーが 2 つの USB 信号レイヤーの間を完全に通過する必要があります。Figure 20 を参照してください。



**Figure 20** グランドの挿入

## 電氣的設計上の考慮事項

- SuperSpeed/HS USB 信号線では、できるだけ曲げを少なくしてください。90 度の曲げは使用しないでください。必要な場合は、45 度または丸みを帯びた (湾曲した) 曲げを使用してください。Figure 21 を参照してください。

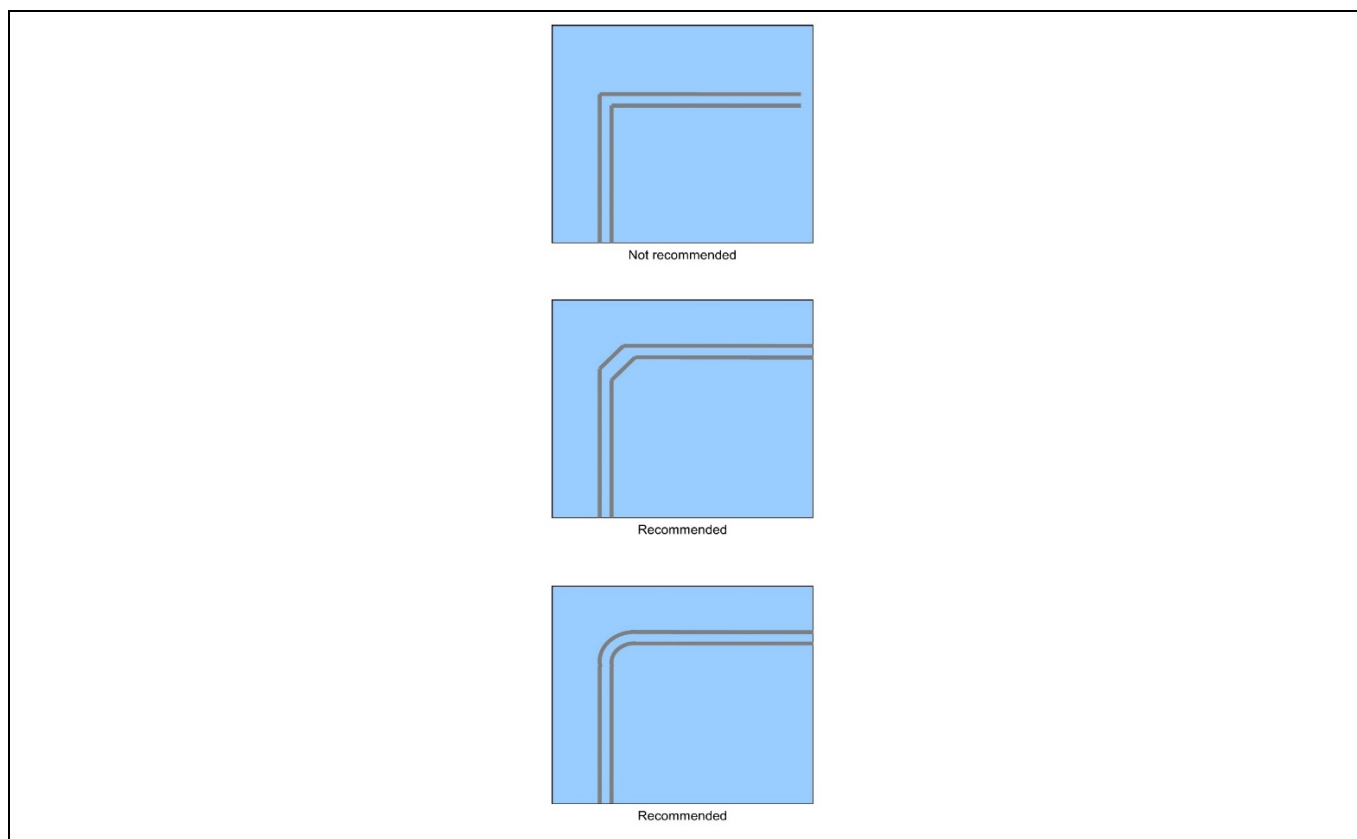


Figure 21 USB 信号の曲げ

- 差動 SS ペアの配線長は 0.12mm (5mil) 以内に抑える必要があります。ハイスピード D+ と D- 信号の配線長は 1.25mm (20mil) 以内に抑える必要があります。デバイスの近くではなく、常に USB レセプタクルの近くで SuperSpeed USB/HS 信号配線の長さを (Figure 21 に示すようなループの配置により) 調整します。この図に、レセプタクルの近くのマッチおよびミスマッチ端を示します。ミスマッチ端の長さは常に調整してください。SuperSpeed 信号の長さマッチングの例です。Figure 22 を参照してください。

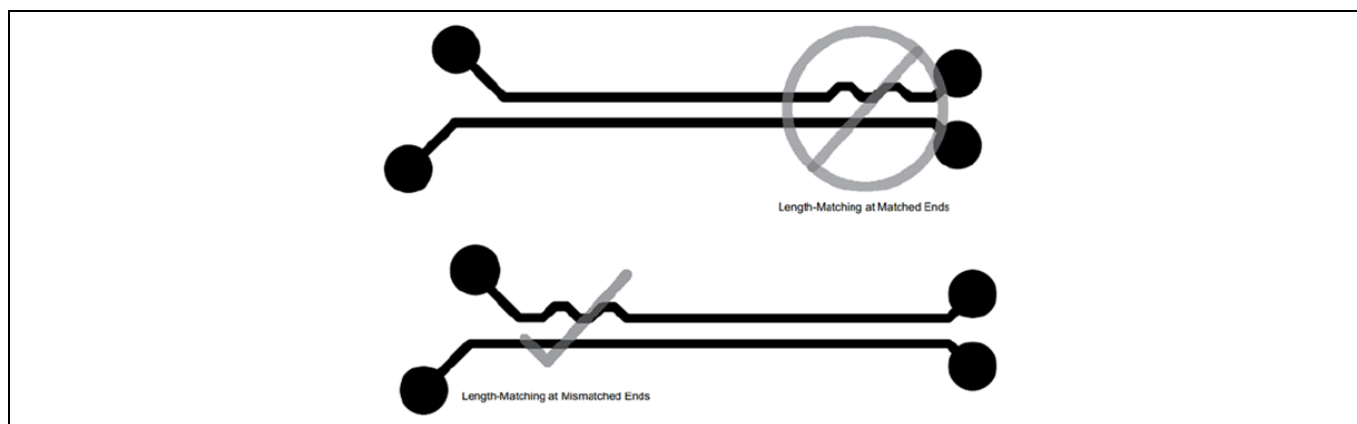
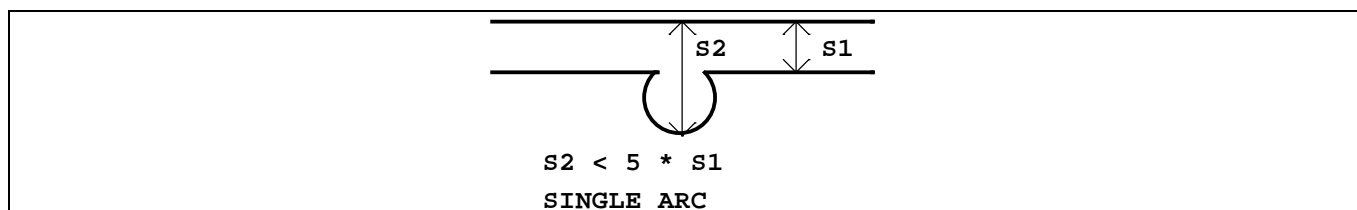


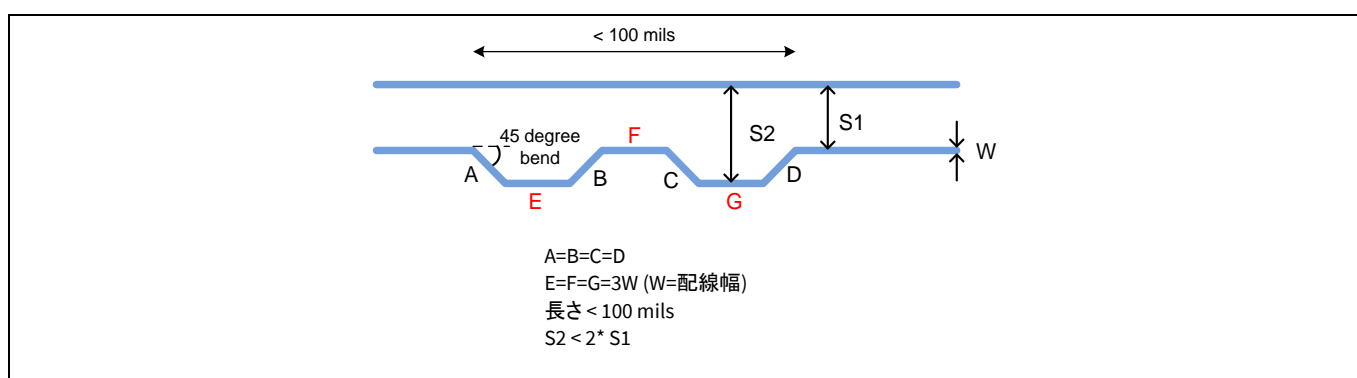
Figure 22 SuperSpeed/HS 信号長のマッチング

## 電氣的設計上の考慮事項

- 長さのマッチングには、シングルアークルーティングとサーペンタインルーティングのさまざまなルーティング方法があります。シングルアークルーティングとサーペンタインルーティングについては、それぞれ [Figure 23](#) と [Figure 24](#) を参照してください。

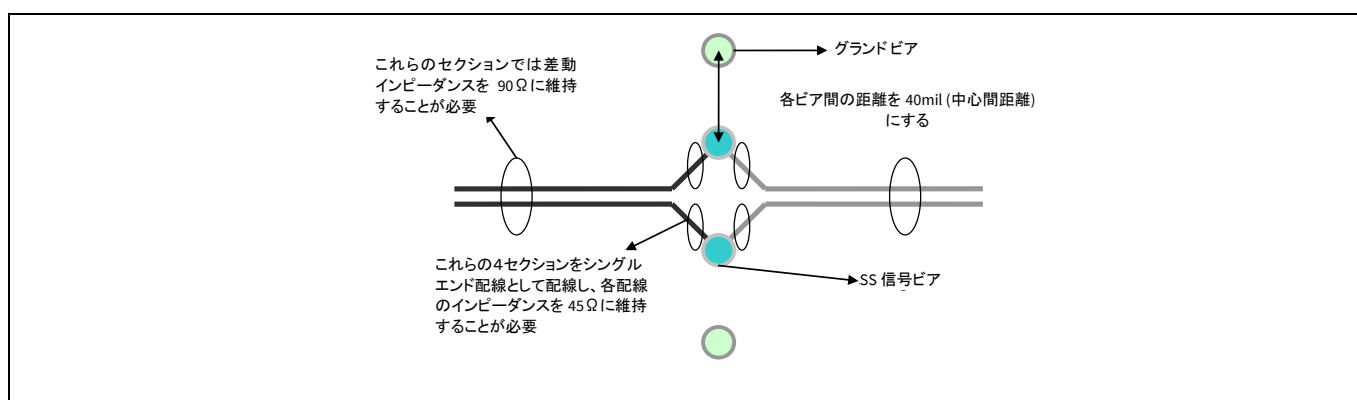


**Figure 23** シングルアークルーティング



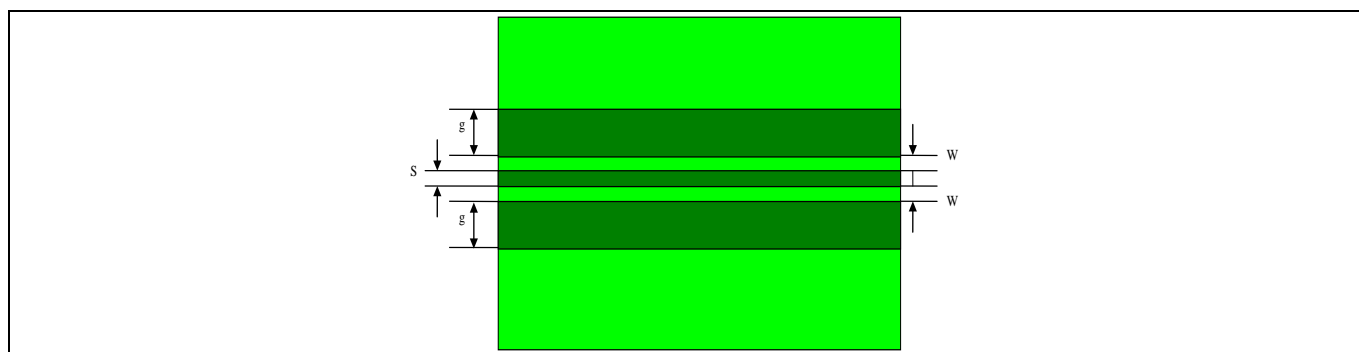
**Figure 24** サーペンタインルーティング

- プリント基板上の層数は少なくとも4層でなければなりません。90Ωの差動インピーダンスを維持するためには、基準電源のベタ面を使用してください。
- 信号の配線が他の層に変更しなければならない場合、全体的に均一なインピーダンスを保証するために、連続的なグランド接続を維持する必要があります。これを実現するために、グランドビアを信号ビアの隣に配置する必要があります。信号ビアとグランドビア間の間隔は少なくとも40milである必要があります。[Figure 25](#)を参照してください。



**Figure 25** グランドビア

インピーダンスのミスマッチを回避するために、差動ペアで一定の配線幅を維持します。



**Figure 26** 差動ペアの配置

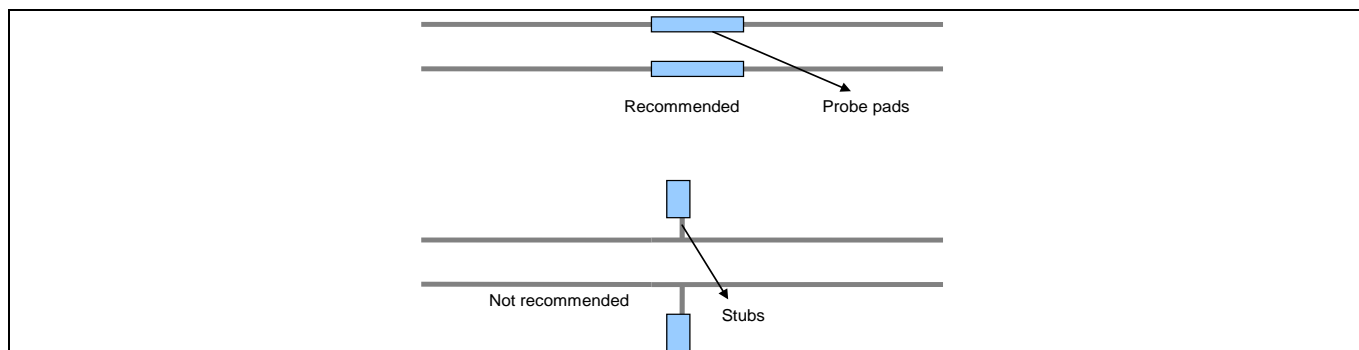
**Table 10** は、前の図で説明した推奨パラメーターを定義します。

**Table 10** USB 配線仕様

寸法	説明	値
S	ペア間の間隔	8 mils
W	配線幅	11 mils
G	配線と他面間の最小のギャップ	8 mils

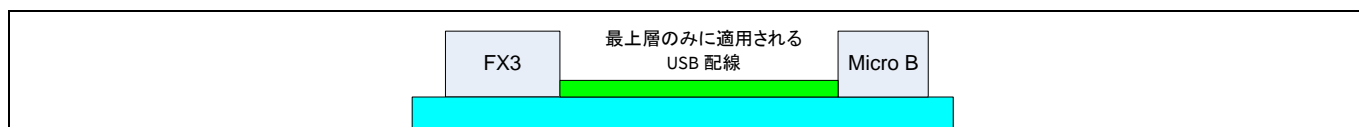
ただし、配線の特性インピーダンスが  $90\Omega$  の場合は、上記の値の変化を無視して良いです。

- すべての USB 線上のスタブを避けてください。パッドはプローブ目的に配線上に必要な場合は、スタブの形で配線の外にはみ出さない方が良いです。Figure 27 を参照してください。

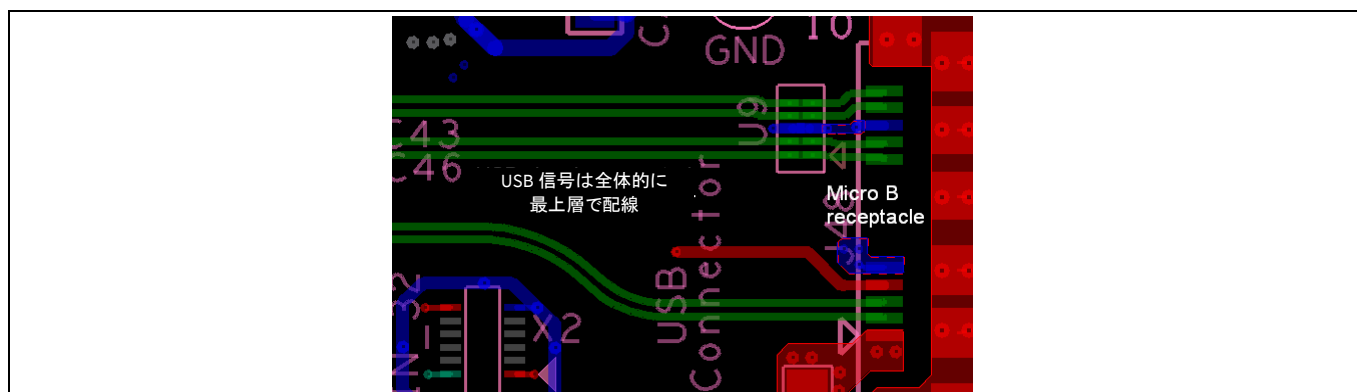


**Figure 27** プロービングパッドの配置

- Micro-B レセプタクルは表面実装レセプタクルであるため、USB 信号は EZ-USB™ FX3 デバイスおよび USB 3.0 Micro-B レセプタクルと完全に同じレイヤーに配線できます。Micro-B レセプタクルの配置と Micro-B レセプタクルのレイアウトについては、それぞれ Figure 28 と Figure 29 を参照してください。

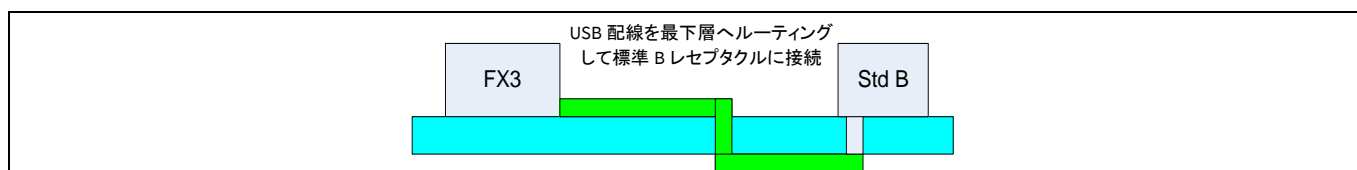


**Figure 28** Micro-B レセプタクルの配置

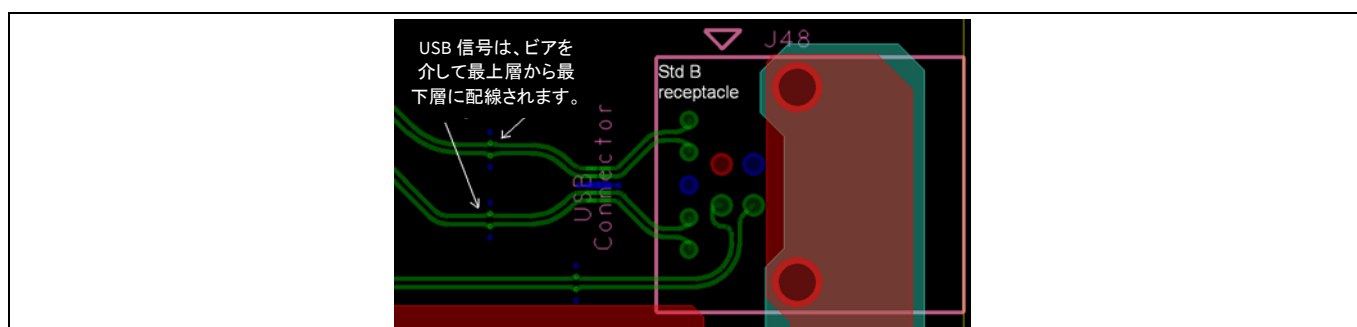


**Figure 29** Micro-B レセプタクルのレイアウト

- 標準 B レセプタクル (スルーホールレセプタクル) を使用する場合は、**Figure 30** および **Figure 31** に示すように、USB 信号ラインをレセプタクルが配置されている反対の層のレセプタクルピンに接続することを強く推奨します。例えば、標準 B レセプタクルが最上層に配置されている場合、信号線は最下層のレセプタクルピンに接続する必要があります。これにより、USB レセプタクルピンによる不要なスタブが防止されます。推奨されるレイアウトとスタブ生成レイアウトの図を、それぞれ **Figure 32** と **Figure 33** に詳しく示します。ビアの導入を避けるために、EZ-USB™ FX3 デバイスを標準 B レセプタクルの反対側の層に配置できます。この場合、USB 配線は完全に同じレイヤーに配線できます。



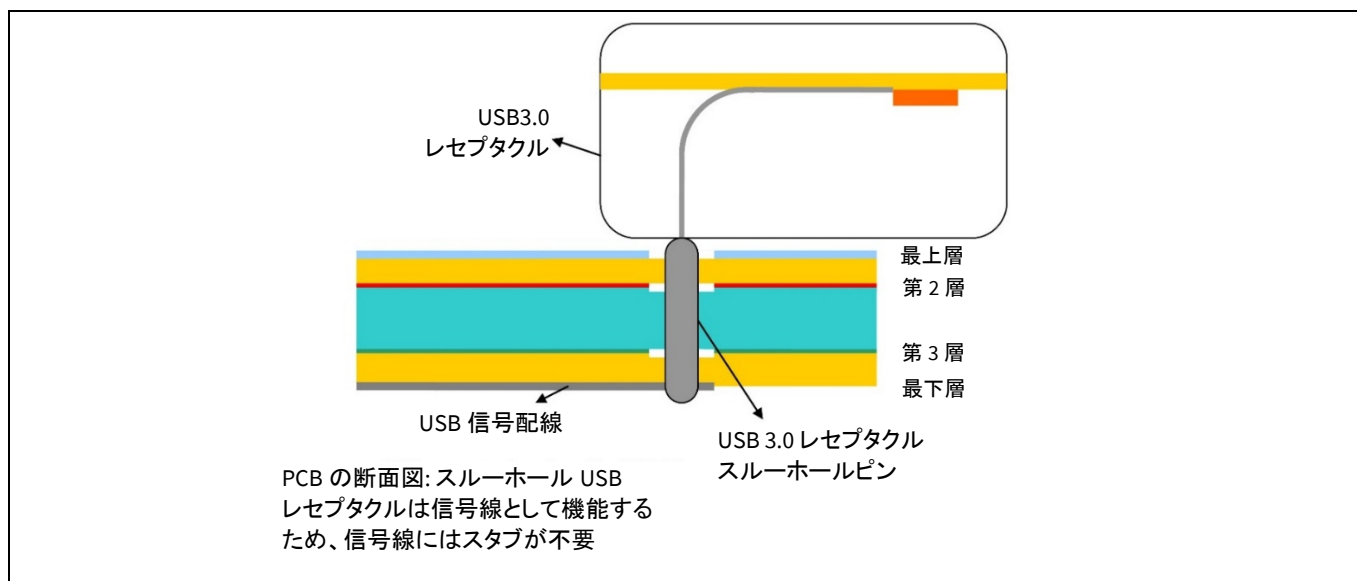
**Figure 30** 標準 B レセプタクルの配置



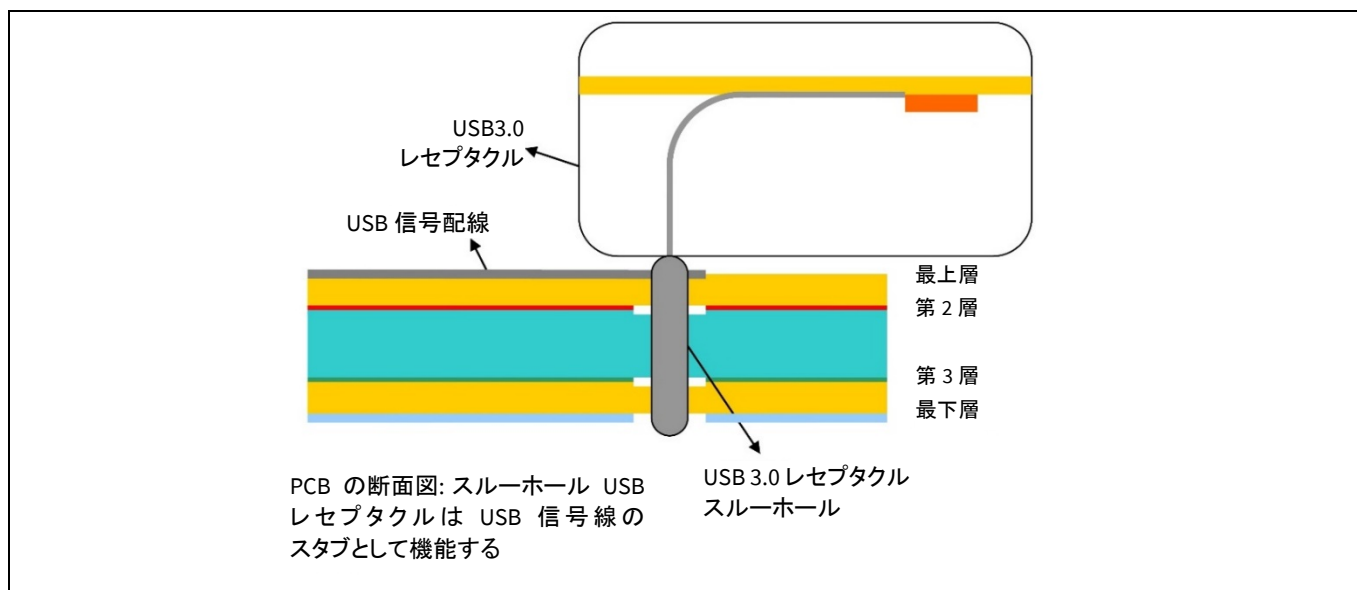
**Figure 31** 標準 B レセプタクルのレイアウト

前述した両方の配線スキームとも最大 3 インチの SS 配線長で動作するようにテストされています。



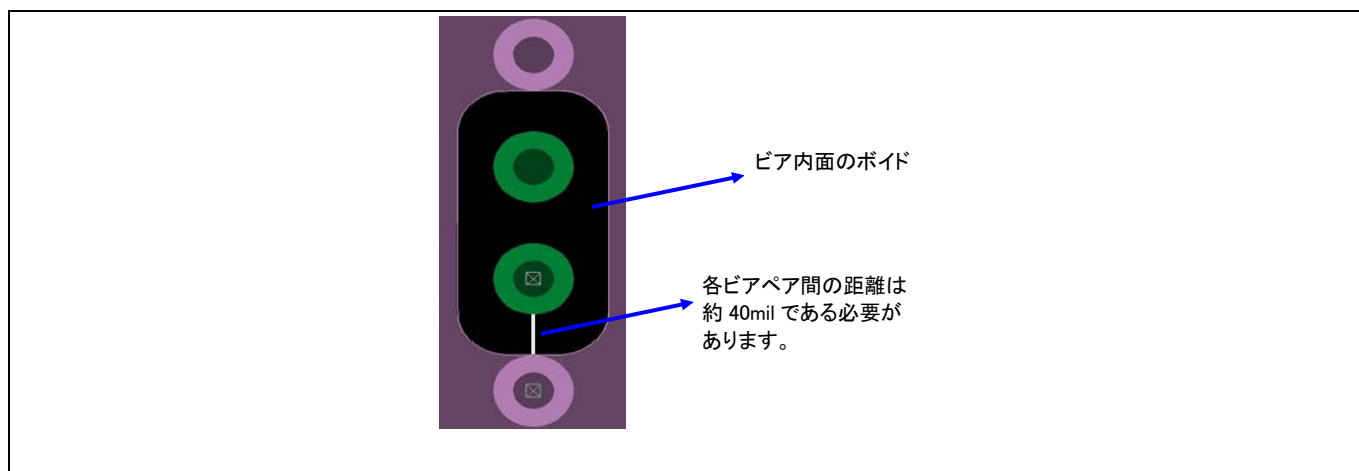


**Figure 32** 標準 Type-B USB レセプタクルの反対側で接続されている USB 信号(推奨レイアウト)



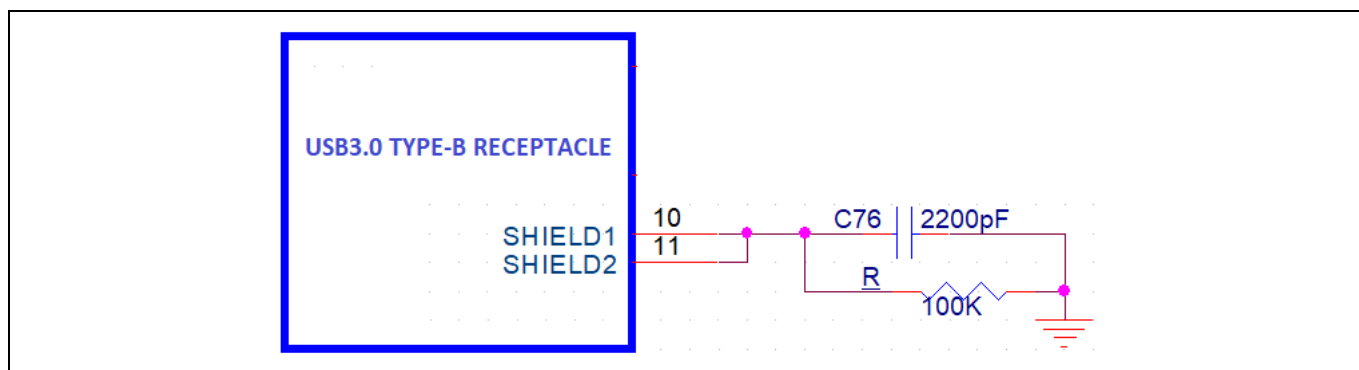
**Figure 33** 標準 Type-B USB レセプタクルの同じ側で接続されている USB 信号(推奨しません)

- SS 信号ラインのビアのボイドは、差動ペアで共通である必要があります。Figure 34 に示すように、共通のボイドがあると、個別のビアと比較して、より優れたインピーダンス整合が維持されます。



**Figure 34** SS 配線のボイドビアの配置

- EMI/EMC の問題を回避するために、USB 3.0 レセプタクルのシールドピンは、並列 LC (または) RC 回路でグラウンドに終端する必要があります。Figure 35 に示すように、RC 回路を使用することを推奨します。



**Figure 35** 標準 B レセプタクルのレイアウト

- クロストークを避けるために、差動ペアを他の差動ペア、クロック信号、または他のいかなるハイスピード信号の近くに配置しないでください。他の差動ペアや他の信号との距離を 3x に維持することを推奨します。ここで、「x」は信号配線の幅です。
- Figure 36 は EZ-USB™ FX3 デバイスから USB3.0 マイクロ B レセプタクルへの USB 信号の配線を例示します。各差動ペアは配線全体で均一に維持する必要があります。AC カップリングコンデンサはできる限りデバイスの近くに配置します。ESD デバイスはできる限りレセプタクルの近くに配置します。

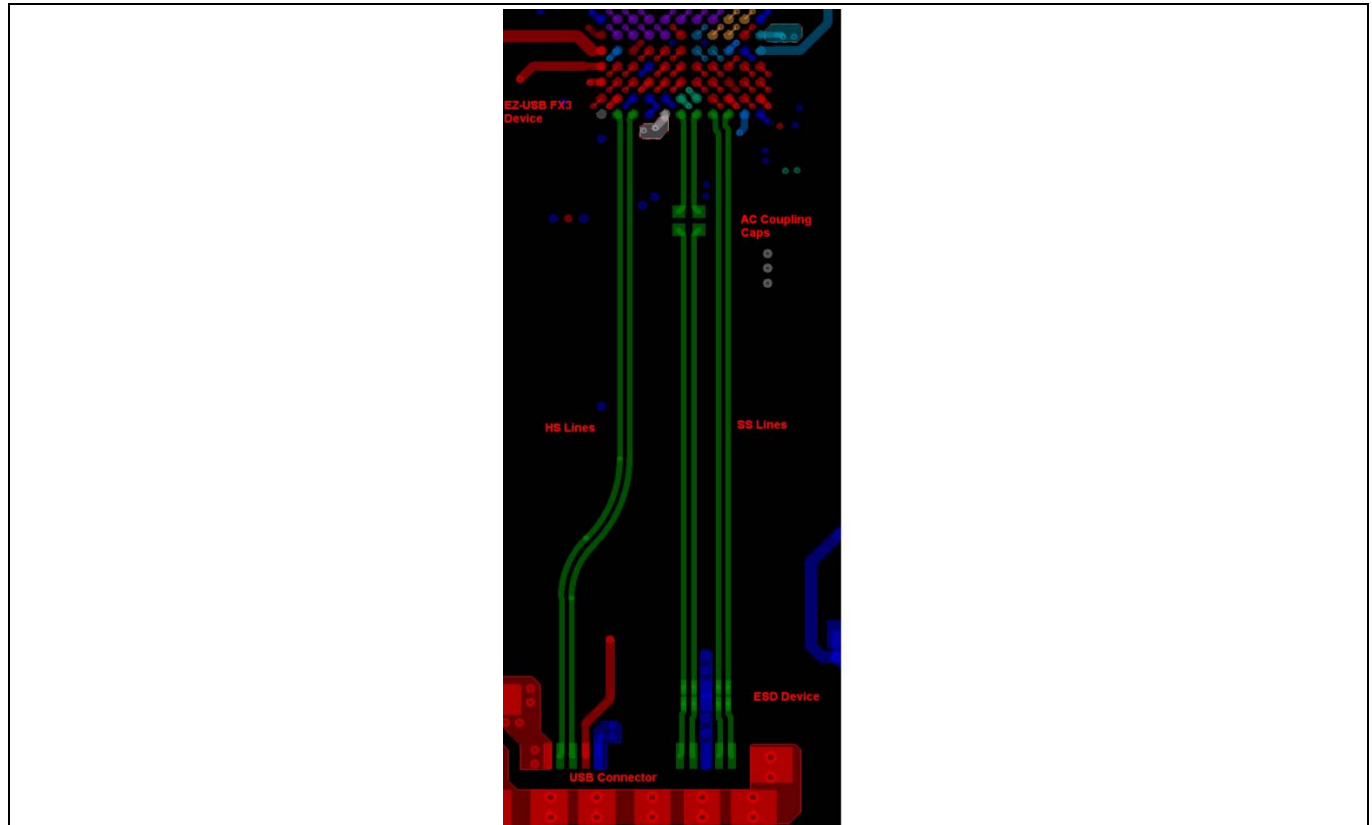


Figure 36 USB 信号のレイアウト例

### 12.1.1 8 層のプリント基板の例

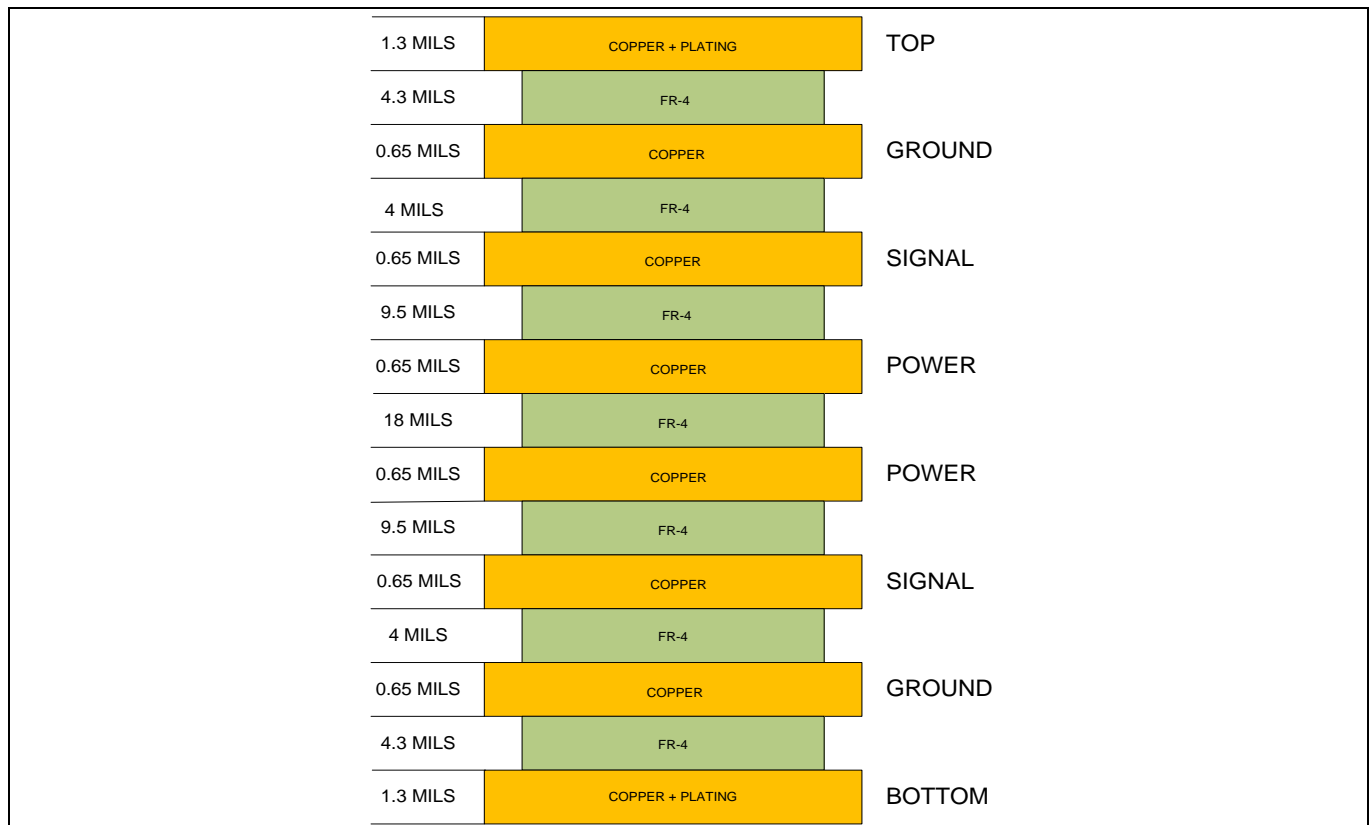


Figure 37 SuperSpeed エクスプローラー開発キットのスタックアップ詳細

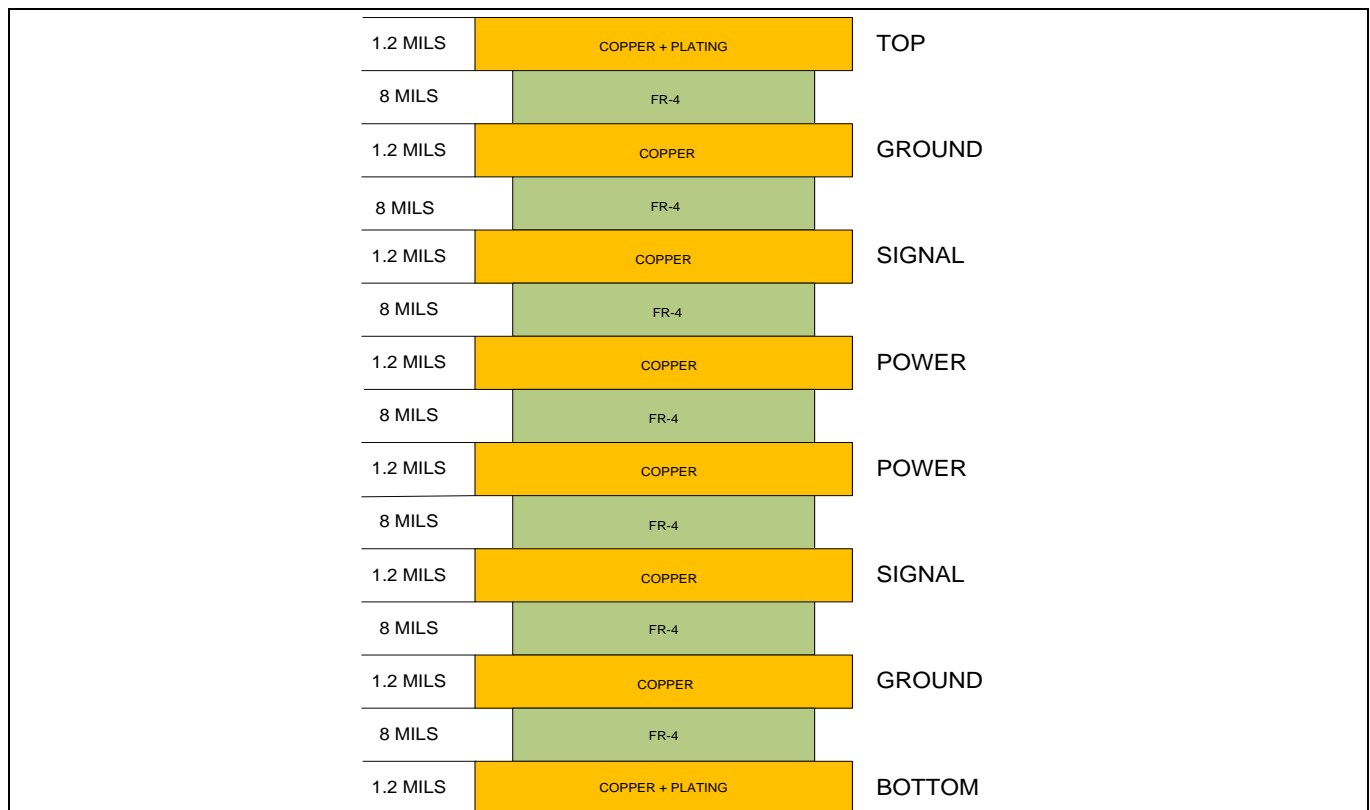


Figure 38 FX3 開発キットのスタックアップ詳細

### 13 FX3S ハードウェア設計上の考慮事項

ここでは EZ-USB™ FX3S にのみ着目します。FX3 のハードウェア設計ガイドラインに加えて、以下のガイドラインを検討する必要があります。

#### 13.1 S ポート インターフェース

EZ-USB™ FX3S には 2 つの個別のストレージ ポート (S0 ポートおよび S1 ポート) を備えています。両方のストレージ ポートとも以下のものに対応します。

- MMC システム仕様、MMCA 技術委員会制定、4.4 版
- SD 仕様、3.0 版
- SDIO 仕様、2.00 版 (2007 年 1 月 30 日) に準拠する SDIO ホスト コントローラー

EZ-USB™ FX3S システムのプリント基板上のストレージ ポート回路を設計する際、これらの仕様要件を満たすために、以下のガイドラインに従ってください。

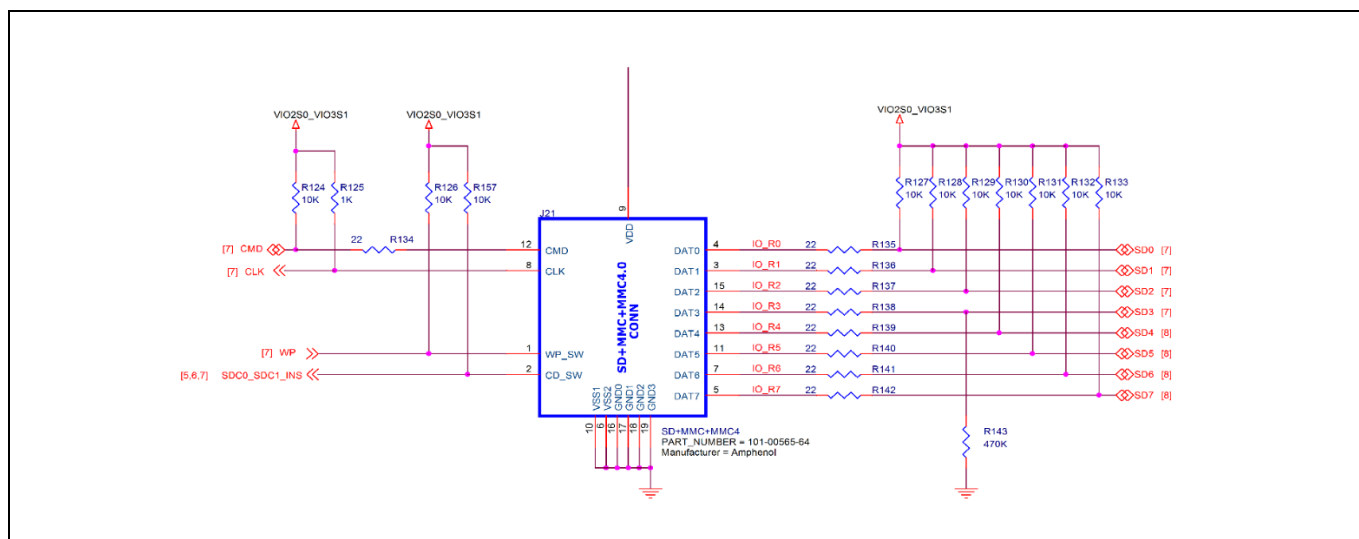
- すべてのデータライン、コマンド、およびクロックラインは長さが整合される必要があります。
- 配線長は 5 インチ以下でなければなりません。これらの数字は SD カード、eMMC デバイス、および EZ-USB™ FX3S デバイスのタイミング パラメータの最悪値を考慮した上で計算され、推奨としてのみ取られる必要があります。
- SD カードの場合、**Figure 39** に示すように、 $V_{DD}$  は他の SD 線上で使用される I/O 電圧と関係なく、3.3V に接続する必要があります。
- eMMC デバイスの場合、 $V_{CC}$  は 3.3V に接続し、ポート I/O 電圧電源 (VIO2 または VIO3) に接続する必要があります。**Figure 40** に eMMC デバイスの回路を示します。
- カード挿入の検出メカニズムの 1 つとして使用されている SD\_D3 を除いて、SD データ信号に 10k $\Omega$  のプルアップ抵抗を追加してください。470k $\Omega$  の抵抗は SD\_DQ3 をプルダウンするために使用されます。SD\_CLK は 1k $\Omega$  の抵抗のみを使用してプルアップされます。
- これらのラインでの反射を減らすために、すべてのデータライン、CMD および CLK ラインで 22 $\Omega$  シリーズ終端を使用することを推奨します。CLK ライン電圧が **Table 2** の推奨 VIOx ドメインよりも低い場合は、22 $\Omega$  を 0 $\Omega$  抵抗に置き換える必要があります。
- UHS-I メモリカードを使用する場合に、SD カード電圧電源 (VIO2 または VIO3) は動的に 1.8V に変更する必要があります。
- カード抜き差し検出は以下のメカニズムを使用して提供されます。
  - SD-D3 データ線: SD のカードは 10k $\Omega$  の内部プルアップ抵抗を備えています。カードを SD/MMC コネクタへ差し込むまたは取り外すと、SD\_D3 ピンでの電圧レベルが変化し、CPU への割り込みをトリガーします。MMC カードの旧世代では、このカード検出のメカニズムをサポートしないことに注意してください。
  - S0/S1\_INS ピン: いくつかの SD/MMC コネクタはカードの抜き差しを検出するためにマイクロスイッチを簡素化します。このマイクロスイッチは S0/S1\_INS に接続できます。カードを SD/MMC コネクタに差し込むとマイクロスイッチがオンに、SD/MMC コネクタから取り外すとオフになります。これは CPU への割り込みをトリガーするピンの電圧レベルを変更します。この S0/S1\_INS ピンは 2 つの S ポート間で共有されていることに注意してください。レジスタ コンフィギュレーションはどのポートがこのピンを使用するかを決定します。このピンは VIO3 の電源メインにマッピングされます。VIO2 と VIO3 が異なる電圧レベルにある場合、このピンは S1\_INS として使用できません。eMMC デバイスが通常基板上にはんだ付けされて抜き差しの検出に伴わないため、抜き差し検出装置はこのデバイスには使用しません。

**Figure 39** および **Figure 40** に SD/MMC カードと eMMC デバイスの異なる実装を示します。

# EZ-USB™ FX3/FX3S/SX3 ハードウェア設計ガイドラインおよび回路図チェックリスト



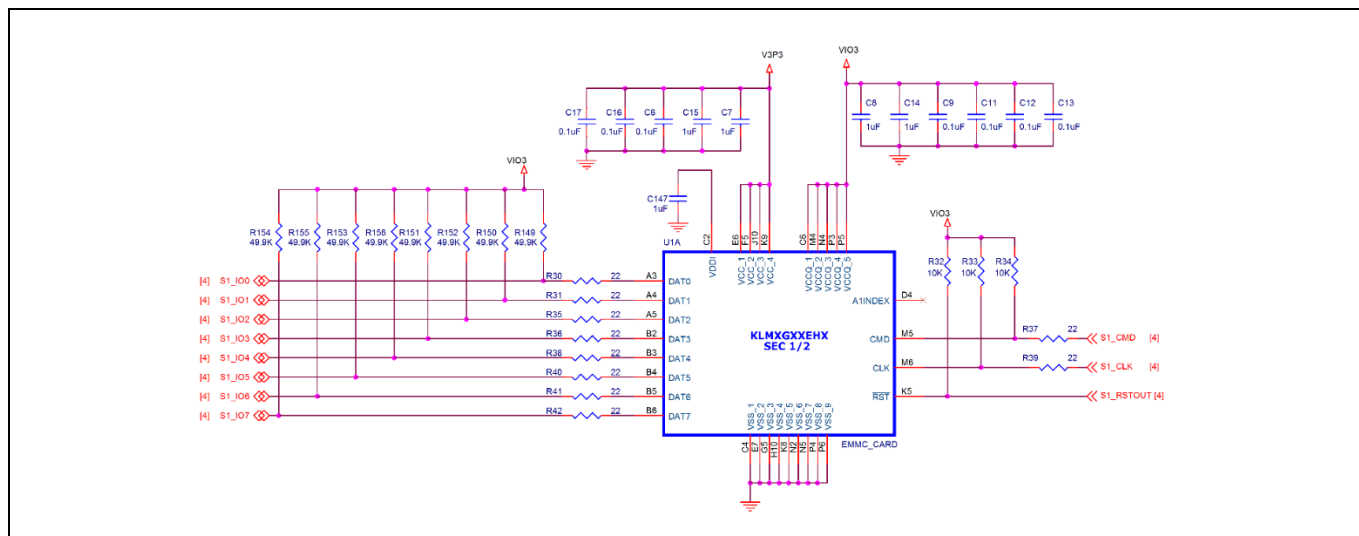
## FX3S ハードウェア設計上の考慮事項



**Figure 39** SD/MMC カード回路

Note:

1. VIO2S0\_VIO3S1 - VIO2S0 または VIO3S1
2. この電圧電源はストレージ ドーター カードを接続する場所によって VIO2 または VIO3 のいずれかになります。ストレージ ドーター カードを S0 ポートに接続している場合は VIO2 になり、S1 ポートに接続している場合は VIO3 になります。
3. SD カードを S1 ポートに接続すると、いくつかのシリアル インターフェースは利用できなくなります。詳細については FXS データシートの「ピンの説明」を参照してください。



## 14 回路図とレイアウトのレビュー チェックリスト

**Table 11** はすべての重要なガイドラインのチェックリストです。それぞれの項目に答えて、ハードウェア設計がこれらのガイドラインをどこまで満たしたかを確認してください。すべての回路図とレイアウトのチェックリストを満たす設計は、システムレベルのハードウェアの問題なしで確実に機能します。

**Table 11** 回路図とレイアウトのレビュー チェックリスト

番号	回路図設計のチェックリスト	回答 (Yes/No/NA)
1	デカップリング コンデンサおよびバルク コンデンサが <b>Table 3</b> のように接続していますか?	
2	水晶発振器は <b>Table 4</b> による本アプリケーション ノートの仕様を満たしていますか?	
3	フェライト ビーズは AVDD, U3TXVDD, U3RXVDD, および CVDD で接続されていますか?	
4	パワーオンリセット RC コンポーネントは最小リセット時間 (1ms) を満たしますか?	
5	USB 高精度抵抗は 1%の許容誤差がありますか?	
6	I <sup>2</sup> C 線はプルアップ抵抗で VIO5 ドメインにプルアップされていますか?	
7	USB ポート シールドは RC 回路で終端していますか?	
8	ESD デバイスがスーパースピード USB 線に接続されていますか?	
9	22Ω の直列抵抗が GPIF 線に接続されていますか?	
10	PMODE 線は表 9 に示すように接続されていますか?	
11	SPI フラッシュは <b>セクション 8.4</b> および <b>セクション 8.5</b> に従って、本アプリケーション ノートの仕様を満たしていますか?	
12	JTAG 線はプルアップ抵抗がないことを確認していましたか?	
13	FX3 デバイスの VBUS ピンには過電圧保護がありますか?	
14	FX3 の VBUS ピンには 1μF のコンデンサがありますか?	
15	FX3 の TX ピンには AC (0.1μF) コンデンサがありますか?	

番号	レイアウトのチェックリスト	回答 (Yes/No/NA)
1	水晶発振器はチップの近く (2cm 未満) に配置されていますか?	
2	デカップリング コンデンサとバルク コンデンサは FX3 電源ピンの近くに配置されていますか?	
3	クロック配線は高速データ配線と電源配線から離れていますか?	
4	電源配線が高速データラインとクロックラインから離されていますか?	
5	RC リセット回路で使用するコンデンサは FX3 のリセット ピンの近くに配置されていますか?	
6	USB SS と HS 信号線は 90Ωの差動インピーダンスを持っていますか?	
7	USB SS と HS 信号回線の長さが一致していますか?	
8	USB データ回線の下にベタ グランド面が付いていますか?	



# EZ-USB™ FX3/FX3S/SX3 ハードウェア設計ガイドラインおよび回路図チェックリスト



## 回路図とレイアウトのレビュー チェックリスト

番号	レイアウトのチェックリスト	回答 (Yes/No/NA)
9	SS 保護配線がスティッチング ピアを持つ USB データ配線と共に提供されていますか?	
10	SS 配線が TX 線上の AC デカップリング コンデンサ (0.1 $\mu$ F) を持っていますか?	
11	TX ラインの AC コンデンサ (0.1 $\mu$ F) は、直近の層にカットアウトがあり、直近の第 3 層にリファレンス GND 分割面がありますか?	
12	AC コンデンサ (0.1 $\mu$ F) は、 <b>Figure 15</b> の下に示されている情報に従って配置されていますか?	
13	USB 配線は 3 インチ未満に保たれていますか?	
14	すべての USB 配線にスタブがないことが保証されていますか?	
15	SS 配線にピアがないことが保証されていますか?	
16	USB 配線があまり屈曲しておらず、直角に曲がっていませんか?	
17	AC カップリング コンデンサの直下にある 2 面はコンデンサの形で切り抜かれていますか?	
18	SS と HS USB 配線が一貫した配線間隔で配線されていることを保証されていますか?	

### 15      まとめ

本書は EZ-USB™ FX3/FX3S/SX3 ハードウェア設計の推奨事項や開発者が考慮しなければならない重要な事項について説明しました。

### 16 付録 A – プリント基板レイアウトのヒント

低ノイズと EMC に対応するプリント基板を設計するためには、数多くの技術があります。その中には次のようなものがあります。

- **複数の層:** 価格が高くなりますが、 $V_{SS}$  と  $V_{DD}$  電源に個々の専用層を割り当てる多重層プリント基板を使用するのが最適です。これにより、優れたデカップリングとシールド効果を得られます。これらの層にある分割された埋込領域は、 $V_{SSA}$ ,  $V_{SSD}$ ,  $V_{DDA}$ , および  $V_{DDD}$  に割り当てる必要があります。
- コストを削減するために、2 層または単一層のプリント基板を使用できます。その場合に、すべての  $V_{SS}$  と  $V_{DD}$  に対して適切なレイアウトを使用する必要があります。
- **コンポーネントの配置:** コンポーネントの電磁干渉 (EMI) の影響に合わせてプリント基板上の異なる回路を分離する必要があります。これにより、プリント基板上のクロスカップリングを減少できます。例えば、ノイズの多い高電流回路, 低電圧回路, およびデジタル コンポーネントを分離する必要があります。
- **グラウンドと電源:** すべてのグラウンド リターンを 1 点にまとめる必要があります。グラウンド ループを避けるか、またはそれらの表面領域を最小限にします。(特に 2 層または単一層のプリント基板を使用する場合) コンポーネントが装着されていないプリント基板のすべての表面は、シールドを作成するために追加の接地を施す必要があります。
- 電源はループの領域を最小限にするために、グラウンド線の近くに配置する必要があります。電源ループはアンテナとして動作でき、EMI の主要な送受信になり得ます。
- **デカップリング:** 外部電源の標準デカップラは 100 $\mu$ F のコンデンサです。高周波数の電源リップルを減少させるために、追加の 0.1 $\mu$ F コンデンサをできるだけデバイスの  $V_{SS}$  と  $V_{DD}$  ピンの近くに配置する必要があります。

一般的に、電磁適合性 (EMC) の性能を向上させるために、すべての感度の高い信号やノイズの多い信号をデカップリングする必要があります。デカップリングは容量性も誘電性も可能です。

- **信号配線:** アプリケーションを設計する際、EMC の性能を向上させるために、以下のものを綿密に検討してください。
  - 高速エッジを持つ信号などのノイズの多い信号
  - 高感度かつ高インピーダンスの信号
  - 割込みやストローブ信号などのイベントをキャプチャする信号

EMC 性能を向上させるためには、配線の長さをできるだけ短く維持し、配線を  $V_{SS}$  配線から分離する必要があります。クロストークを防ぐために、他のノイズが多くかつ高感度な配線の近くや、または平行には配線しないでください。

### 17 付録 B - トラブルシューティング

#### 17.1 FX3/FX3S/SX3 デバイスがエニユメレートされていない

FX3 エニユメレートの問題に寄与する多くの要因があります。これらのポイントには以下があります。

- **PMODE ピン:** 多くのブートモードが FX3 / FX3S/SX3 でサポートされています。したがって、PMODE ピンはアプリケーションに応じて適切に設定する必要があります。
- **FSLC ピン:** FSLC ピンは、クロック入力ソース (水晶発振器または外部クロック) に応じて適切に設定する必要があります。
- **USB3.0 Type-B レセプタクルから FX3/SX3 デバイスへの接続:** FX3/SX3 デバイスの TX ピンは、USB3.0Type-B レセプタクルの TX ピンに接続する必要があります。FX3/SX3 デバイスの Rx ピンは、USB レセプタクルの RX ピンに接続する必要があります。ホスト TX を FX3/SX3 デバイスの RX ピンに接続し、ホスト RX を FX3 デバイスの TX ピンに接続する USB3.0 ケーブルを使用します。

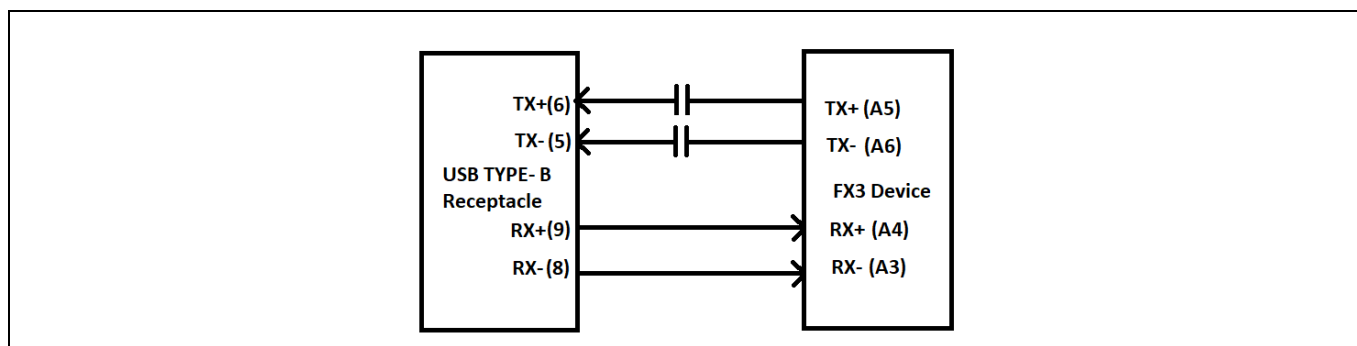


Figure 41 USB3.0 Type-B レセプタクルから FX3/SX3 デバイスへの接続

- **ハブ/組込みコントローラーから FX3/SX3 デバイスへの接続:** 一部のアプリケーションでは、FX3/SX3 デバイスを同じ PCB 内のハブ (または) 組込みコントローラーのダウンストリームポートに接続する必要があります。このような場合、FX3/SX3 デバイスの TX ピンは、ダウンストリームポートの RX ピン (または) 組込みコントローラーの Rx ピンに接続する必要があります。FX3/SX3 デバイスの RX ピンは、ダウンストリームポートの TX ピン (または) 組込みコントローラーの Rx ピンに接続する必要があります。

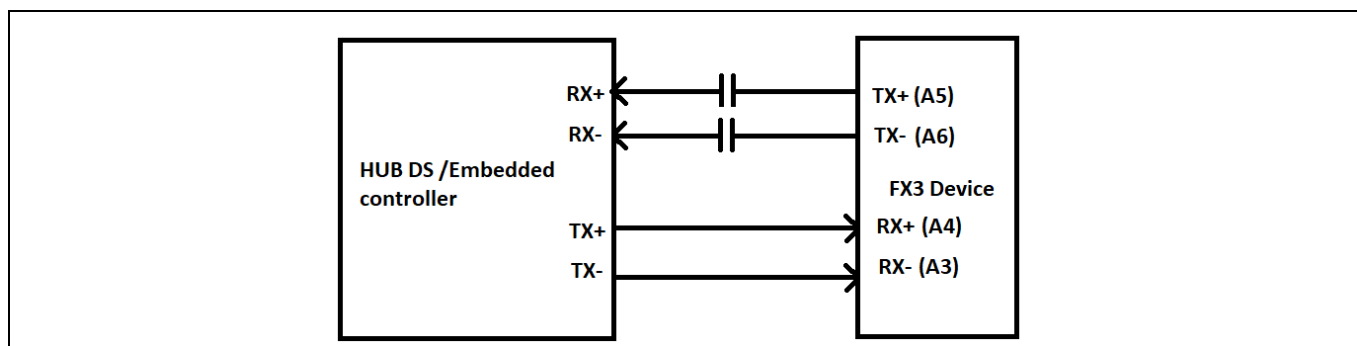


Figure 42 ハブ/組込みコントローラーから FX3/SX3 デバイスへの接続

- **電源ドメインの分離:** AVDD, CVDD, U3TXVDDQ, および U3RXVDDQ が分離され、フェラ이트ビーズで接続されていることを確認してください。また、これらの電源のソースには、70mV 未満のノイズ/リップルが必要です。

## 付録 B – トラブルシューティング

- **USB リファレンス抵抗:** USB3 基準ピン (B3) が $\pm 1\%$ の許容誤差で抵抗 (200E) に接続されていることを確認してください。USB2 基準ピン (C8) が $\pm 1\%$ の許容誤差で抵抗 (6.04k) に接続されていることを確認してください。
- **TX A/C コンデンサ:** A/C コンデンサは、FX3/SX3 デバイスの TX ラインに接続する必要があります。これにより、FX3/SX3 デバイスの TX ラインに入るケーブル/ホストからのコモンモードノイズが防止されます。Type-B レセプタクルを使用するアプリケーションでは、AC コンデンサを Type-B レセプタクルの近くに配置する必要があります。ハブ/組込みコントローラーを使用するアプリケーションでは、AC コンデンサを FX3S/SX3TX ピンの近くに配置する必要があります。
- **USB3.0/USB2.0 レイアウトガイドライン:** [セクション 12.1](#) に従って、高速レイアウトのガイドラインに従っていることを確認してください。高速信号は、下にしっかりしたグランドプレーンがある差動信号である必要があります。

### 18 付録 C – FX3/SX3 デバイスの USB 2.0 (ホストのみ) への接続

- FX3/SX3 SuperSpeed ピン TX+/-ピン (A5 および A6) および RX +/-ピン (A3 および A4) は開いたままにできます。
- 両方の USB3.0 電源ピン (U3TXVDDQ および U3RXVDDQ) は、フェライトビーズで 1.2V に接続する必要があります。
- USB3 リファレンスピン (B3) は開いたままにできます。
- セクション [12.1](#) によってレイアウトガイドラインに従っていることを確認してください。

### 19 付録 D – FX3/SX3 デバイスの USB 3.0 (ホストのみ) への接続

- USB 3.0 は、SuperSpeed ライン (SS\_TX\_P, SS\_TX\_M, SS\_RX\_P, および SS\_RX\_M) と High-Speed ライン (DM および DP) の両方で構成されています。一部の設計では、FX3 デバイスを USB 3.0 モードのみで使用する場合があります。つまり、FX3 では SuperSpeed ラインのみが使用され、別のコントローラーでは High-Speed ラインが使用されます。例えば、インフィニオンの USB 3.0 ハブコントローラーである CYUSB3328 および CYUSB3326 には、USB 3.0 ポートを組み込み SuperSpeed ポートと標準の USB 2.0 ポートに分割できる「共有リンク」機能があります。FX3 を組み込み USB 3.0 ポートに接続するには、FX3 が USB 3.0 でのみ動作し、USB 2.0 にフォールバックしないようにプログラムする必要があります。これが役立つ可能性がある共有リンク以外のアプリケーションが存在する可能性があります。USB 3.0 のみのアプリケーションについては、[KBA219491](#) を参照してください。
- FX3/SX3 High-Speed ピン DP/DM ピン (A9 および A10) は開いたままにできます (または) 他の組み込みコントローラーに接続できます。
- 両方の USB3.0 電源ピン (U3TXVDDQ および U3RXVDDQ) は、フェライトビーズで 1.2V に接続する必要があります。
- USB2 リファレンスピン (C) は開いたままにできます。
- セクション [12.1](#) に従ってレイアウトガイドラインに従っていることを確認してください。



## **20 付録 E – Type-C アプリケーションを備えた FX3/SX3/CX3 デ バイス**

- 以下の Type-C ベースのアプリケーションについては、[KBA218640](#) を参照してください。
- Type-C プラグ実装を備えた FX3/SX3/CX3
- Type-C レセプタクル実装を備えた FX3/SX3/CX3
- PD コントローラーを実装した Type-C レセプタクルを備えた FX3/SX3/CX3

### 参考資料

詳細については以下の資料を参照してください。

- The Circuit Designer's Companion, Second Edition, (EDN Series for Design Engineers) 著者: Tim Williams
- PCB Design for Real-World EMI Control (The Springer International Series in Engineering and Computer Science) 著者: Bruce R. Archambeault および James Drewniak
- Printed Circuits Handbook (McGraw Hill Handbooks) 著者: Clyde Coombs
- EMC and the Printed Circuit Board: Design, Theory, and Layout Made Simple 著者: Mark I. Montrose
- Signal Integrity Issues and Printed Circuit Board Design 著者: Douglas Brooks

## 改訂履歴

### 改訂履歴

Document version	Date of release	Description of changes
**	2013-03-07	これは英語版 001-70707 Rev. *F を翻訳した日本語版 001-86523 Rev. ** です。
*A	2015-10-07	これは英語版 001-70707 Rev. *K を翻訳した日本語版 001-86523 Rev. *A です。
*B	2016-04-21	これは英語版 001-70707 Rev. *L を翻訳した日本語版 001-86523 Rev. *B です。
*C	2017-07-06	更新されたロゴと著作権。
*D	2019-05-15	これは英語版 001-70707 Rev. *N を翻訳した日本語版 001-86523 Rev. *D です。
*E	2020-01-29	これは英語版 001-70707 Rev. *O を翻訳した日本語版 001-86523 Rev. *E です。
*F	2022-04-21	これは英語版 001-70707 Rev. *Q を翻訳した日本語版 001-86523 Rev. *F です。

## Trademarks

All referenced product or service names and trademarks are the property of their respective owners.

**Edition 2022-04-21**

**Published by**

**Infineon Technologies AG**

**81726 Munich, Germany**

**© 2022 Infineon Technologies AG.**

**All Rights Reserved.**

**Do you have a question about this document?**

**Go to: [www.infineon.com/support](http://www.infineon.com/support)**

**Document reference**

**001-86523 Rev. \*F**

## 重要事項

本文書に記載された情報は、いかなる場合も、条件または特性の保証とみなされるものではありません（「品質の保証」）。本文に記された一切の事例、手引き、もしくは一般的価値、および／または本製品の用途に関する一切の情報に関し、インフィニオンテクノロジーズ（以下、「インフィニオン」）はここに、第三者の知的所有権の不侵害の保証を含むがこれに限らず、あらゆる種類の一切の保証および責任を否定いたします。

さらに、本文書に記載された一切の情報は、お客様の用途におけるお客様の製品およびインフィニオン製品の一切の使用に関し、本文書に記載された義務ならびに一切の関連する法的要件、規範、および基準をお客様が遵守することを条件としています。

本文書に含まれるデータは、技術的訓練を受けた従業員のみを対象としています。本製品の対象用途への適合性、およびこれら用途に関連して本文書に記載された製品情報の完全性についての評価は、お客様の技術部門の責任にて実施してください。

本製品、技術、納品条件、および価格についての詳しい情報は、インフィニオンの最寄りの営業所までお問い合わせください ([www.infineon.com](http://www.infineon.com))。

## 警告事項

技術的要件に伴い、製品には危険物質が含まれる可能性があります。当該種別の詳細については、インフィニオンの最寄りの営業所までお問い合わせください。

インフィニオンの正式代表者が署名した書面を通じ、インフィニオンによる明示の承認が存在する場合を除き、インフィニオンの製品は、当該製品の障害またはその使用に関する一切の結果が、合理的に人的傷害を招く恐れのある一切の用途に使用することはできないこと予めご了承ください。