

サイプレスはインフィニオン テクノロジーズになりました

この表紙に続く文書には「サイプレス」と表記されていますが、これは同社が最初にこの製品を開発したからです。新規および既存のお客様いずれに対しても、引き続きインフィニオンがラインアップの一部として当該製品をご提供いたします。

文書の内容の継続性

下記製品がインフィニオンの製品ラインアップの一部として提供されたとしても、それを理由としてこの文書に変更が加わることはありません。今後も適宜改訂は行いますが、変更があった場合は文書の履歴ページでお知らせします。

注文時の部品番号の継続性

インフィニオンは既存の部品番号を引き続きサポートします。ご注文の際は、データシート記載の注文部品番号をこれまで通りご利用下さい。



THIS SPEC IS OBSOLETE

Spec No: 001-92726

Spec Title: AN52433 - ADVANTAGES OF SERIAL
PERIPHERAL INTERFACE (SPI) NVSRAM
OVER SPI EEPROM IN METERING
APPLICATIONS (JA)

Replaced by: NONE

AN52433
計測アプリケーションにおける SPI EEPROM と比べてシリアル ペリフェラル インターフェース (SPI) nvSRAM の利点

作成者: Shivendra Singh

関連プロジェクト: なし

関連製品ファミリ: サイプレスのシリアル SPI nvSRAMs

ソフトウェアバージョン: なし

関連アプリケーションノート: AN64574

本アプリケーション ノートについて、ご質問がある場合または手助けが必要な場合は、zsk@cypress.com で著者までご連絡ください。

サイプレスの SPI nvSRAM 不揮発性メモリ技術は、従来型の SPI EEPROM と比べて重要な利点があります。このアプリケーション ノートでは、計測アプリケーションで SPI nvSRAM を使用する利点について説明し、最新の「スマート」電気エネルギー計器の設計者や企画者の獲得を意図しています。

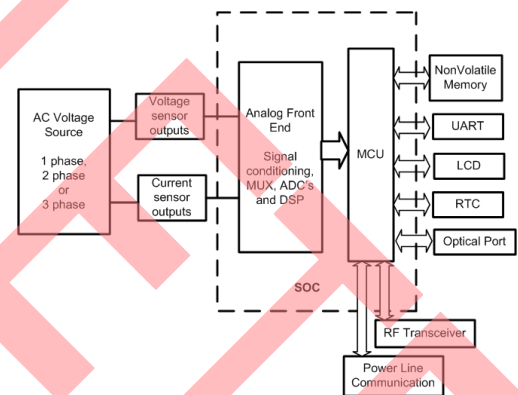
はじめに

サイプレスの nvSRAM は、高速 SRAM セルとシリコン-酸化物-ナイトライド-酸化物-シリコン (SONOS) 構造から成る不揮発性メモリ セルの検証済みで確立された組み合わせです。電源異常が発生した場合に、早急に SRAM の内容全体を自動的に不揮発性ストレージに転送する (AutoStore)、または関連ソフトウェア コマンド (ソフトウェア Store) を発行することで要求に応じて転送することができます。nvSRAM は、AutoStore 処理を完了させるために、 V_{CAP} ピンに接続する小容量 (通常 47 μ F) のコンデンサを必要とします。主電源 (V_{CC}) が nvSRAM に印加された時、その V_{CAP} ピンに接続しているコンデンサを充電します。電源が閾値 (V_{SWITCH}) を下回ると、nvSRAM は自動的に V_{CC} から V_{CAP} に切り替え、AutoStore サイクルを完了します。

このアプリケーション ノートでは、スマート エネルギー計器のアーキテクチャの概要を提供し、そのような計器設計における SPI EEPROM と比べてシリアル (SPI) nvSRAM を使用する利点を詳しく説明します。図 1 にスマート エネルギーメーターの簡単なブロック図を示します。不揮発性メモリはエネルギー計器の重要なコンポーネントの 1 つです。スマートメーターが供給インフラに接続しているネットワークを介して情報をアップロードする場合、不揮発性メモリは有用なエネルギー消費と環境データをタイムスロットごとに格納します。有用な情報には、定期的な電力測定値と計器の改ざんを示す不審な物理的変更が含まれています。エネルギー消費量を減少し、電気エネルギーの効率的な使用を改善し、エネルギー消費 (有効電力、無効電力、皮相電力、時には入力と出力) それぞれの計測値が高精度に記録されます。そのため、昨今のスマートメーターにフォーカスすると不揮発性メモリ用のメモリサイズに対する

要求は、急速に増えています。このデータに対する信頼性と統合性の要件は非常に重要です。

図 1. エネルギー計器のブロック図


計測アプリケーションにおける EEPROM と比べて nvSRAM の利点
より高速なシリアルデータの転送

サイプレスのシリアル nvSRAM 製品は、温度と供給電圧の全ての組み合わせ条件下で 40MHz 超の連続クロック速度で、標準 SRAM 同様に読み書き両方の動作をします。これは、EEPROM 技術よりはるかに高速 (2 倍) であるため、データのブロックをシリアル インターフェースに転送する時間を減少させます。エネルギー管理のような時間に対してクリティカルなタスクに対応する負荷の高いマイクロコントローラ システムでは、nvSRAM を使うインターフェース時のオーバーヘッドの低減は有益です。

nvSRAM での 0 クロック サイクルの書き込み待ち時間

1M ビットのメモリ容量の標準的な EEPROM デバイスは、メモリに送信された 256 バイトのデータ ページあたりに約 6ms の書き込みサイクルを必要とします。数キロバイトのデータ書き込みが必要な場合には、長い書き込み時間を要する結果となります。nvSRAM はこの書き込みの減速の影響を受けません。すべての書き込みはバス速度で実行され、メモリ不足に基づく待ち時間はありません。

例:

- 1K ビットのデータをコントローラのメモリから SPI EEPROM にバックアップするのに 24ms を要します。コントローラは 20MHz の SPI を介して 1K ビットのデータ全体をそのメモリから EEPROM ページ バッファに転送するのに 50 μ s を要し、またページ バッファから EEPROM に 4 ページのデータを書き込むのに 24ms を要します。
- 1K ビットのデータをコントローラのメモリから SPI nvSRAM にバックアップするのに 25 μ s を要します。コントローラは 40MHz の SPI を介して 1K ビットのデータをそのメモリから nvSRAM に転送するのに 25 μ s しか要しません。EEPROM と異なり、nvSRAM はページ書き込みサイクルを必要としません。

したがって、nvSRAM の 0 クロック サイクルの書き込み待ち時間は EEPROM よりも書き込み性能を大幅に向上させます。

ページ サイズに合わせてメモリ使用を設計する必要はありません。

ページ モードの別の結果は、ページ サイズが EEPROM のアーキテクチャとサイズが異なると変わる場合があります。メモリにインターフェースするルーチンは、これに対応するために柔軟に記述し、保存条件の範囲で連続して試験する必要があります。nvSRAM はページ サイズの制限を課しません。そのため使用中のメモリの合計サイズとは無関係に、任意のサイズのデータブロックを書き込むことができます。

平準化や阻害原因の追跡は不要です。

EEPROM にページまたはページの一部 (例えば、1 バイト) を書き込む回数が多ければ多いほど、不揮発性技術の有限な書き換え限度に近づいています。これはスマートメーターで重要です。エネルギーの供給業者から必要な設定に応じて、データは数秒に 1 回記録されます。

メモリへ定期的に書き込む全ての EEPROM システムでは慎重なアドレス管理が使われています。「平準化」と呼ばれるこの方法は、各ページが書き込まれる回数を均等化することを目的とします。このプロセスは、正しく洗練されたドライバルーチンを必要とします。このルーチンを介してすべての非揮発性のアクセスを制御します。このルーチンは、データ構造の内部アドレス指定をメモリ用に物理的なアドレス指定方式に変換します。通常、メモリ アレイの「エージング テーブル」を維持し、デバイスがどのように使用されているか追跡します。

これは小型のファイリングシステムのコード領域のかなりの量を使用します。なぜなら、スマートメーターのアプリケーションにおいてデータの統合性の基本的な重要度 (これは合法的に多くの地域で規定されている) が、このようなルーチンに実質的なテストの負担をかけます。アーキテクチャの変更時には、これは新しいプロセッサファミリへの移行時に設計サイクル時間を追加させます。

サイプレスの nvSRAM は、平準化や経時変化の追跡を必要としません。基本的な不揮発性記憶機構の物理層は、EEPROM に非常に類似しています。しかし、EEPROM の場合は連続的に実行するのに対して、nvSRAM の場合は電源がデバイスから除かれる必要がある時にのみ実行されます。したがって、より多くの基本的なインターフェース プロトコルを使用して内部のデータ構造を外部メモリ内のそれらの機構に接続することができます。その結果、課金のために使用されるセキュリティ、保存場所、フォーマット、およびあらゆる保存された情報に対するアクセス可能性に関する要件により簡単に適合します。

予期されない電源遮断の時に何らかのアクションをする必要はありません。

これは、nvSRAM デバイスを使用する際の主な利点です。これは、極端な故障状態でシステムデータの統合性において信頼性を増加させます。

nvSRAM デバイスが電源遮断を検出すると、つまり、その電源電圧が閾値を下回ると、プロセッサへのリンクのさらなる活動を無視し、自動的にローカルの不揮発性 SONOS メモリにその全体内容の完全な格納を開始します。このプロセスは、V_{CAP} ピンに接続されているコンデンサに蓄積されたエネルギーで電源供給されます。

EEPROM ベースのシステム内の貴重なデータの保存とは対照的に、電源の障害が検出された場合、コントローラは所望のデータブロック サイズに対応する完全な書き込みサイクルを開始、実行しなければなりません。主電源はこのプロセスを通じてコントローラとその周辺装置に電力を確実に供給するために十分なエネルギーを用意する必要があります。コントローラは、電源障害時に電源での「スラッシュ」に起因するクラッシュから保護する必要があります。システムファームウェアは、電源障害前に存在したどのシステム状態においても正常に実行されることを保証するために、エラー条件の広範囲にわたる徹底的な試験を必要とします。

電源投入時に、不揮発性部に保存されたデータは SRAM 部にコピーされます。このプロセスは約 20ms を要し、不揮発性部の内容はこのリコールプロセスの影響を受けません。

nvSRAM の使用法

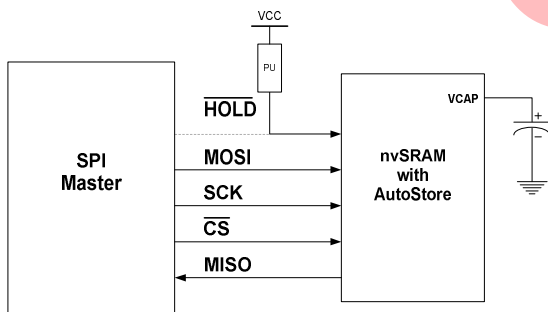
ストレージ コンデンサ付き nvSRAM の使用

サイプレスの nvSRAM デバイスは、小型の外部コンデンサ V_{CAP} に蓄積されているエネルギーを使用して、データを SRAM 部内から不揮発性部に転送します。これは、図 2 に示します。このコンデンサの推奨される公称値は $47\mu\text{F}$ です。この値は初期許容範囲、経時変化、および温度によって大幅に小さくできます。サイズと寿命の視点から見るとタンタルおよび酸化ニオブ素材のコンデンサが最適です。

コンデンサの静的な電圧はチップ供給電圧に等しく、高い電流を提供する必要はありません (STORE 処理中の平均電流は約 3mA です)。これは厳密にリーク電流の前提条件がないことを意味します。コンデンサが接続されており、それはコンデンサ電圧を下回ったときに電源から切り離し、理想的なダイオードとして動作する内部スイッチを介して主電源レールから充電されます。

コンデンサの目的は、バッテリーまたはコンデンサでバックアップされた SRAM の場合のように、SRAM アレイに持続電圧を供給することではありません。不揮発性 STORE 処理が完了した後、データ保持期間は一般的には 20 年であり、STORE 処理完了後に徐々にゼロまで放電するコンデンサ電圧とは全く関係ありません。

図 2. 標準的な SPI nvSRAM (ストレージ コンデンサ付) インターフェース



ストレージ コンデンサなしの nvSRAM を使用

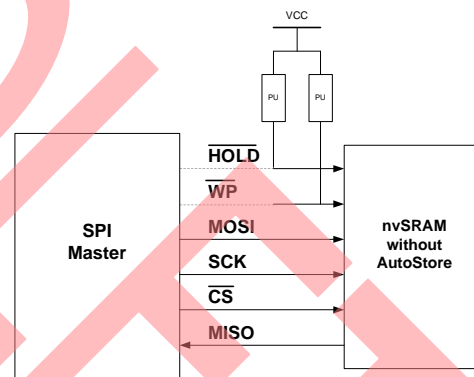
図 3 に示すように、 V_{CAP} ピン上にローカル ストレージ コンデンサがないに関わらず、nvSRAM を使用することが可能です。これは、 V_{CAP} ピンは利用できませんが WP (書き込み保護) に置き換えられる別のパッケージのオプション (AutoStore 機能なし) です。詳細については、EEPROM 付きのフットプリントの互換性を参照してください。この場合は、代替のソフトウェア プログラミングが使用されます。シリアル インターフェースを介してデバイスに送信されたコマンドは、全ての SRAM 内容の記憶を不揮発性メモリ内に移すことができます。このプロセスはシステム機能に依存して、事前に電源障害を予測し、ソフトウェア コマンド (STORE またはソフトウェア STORE) を発行することで要求に応じて不揮発性メモリへの格納を行います。

ソフトウェア STORE は、不揮発性 STORE 処理を完了するのに最大 8 ms かかります。システムは、ソフトウェア STORE 処理中にデバイスの電源 V_{CC} が安定していることを確認する必要があります。シリアル ペリフェラル インターフェース (SPI) の SI ラインに 1 バイトのオペコード ($0x3C$) を送信することで、STORE コマンドを開始します。この期間中は nvSRAM へのメモリ アクセスは禁止されます。

サイプレスは電力メーターとマイクロコントローラ動作が信頼できない過酷な電力環境で動作する他のシステム用に保持容量方法 (AutoStore が有効) を使用することを推奨します。

対応する「ソフトウェア RECALL」コマンドにより、ユーザは RECALL 処理をトリガして SRAM に不揮発性メモリの内容を再格納できます。SPI インターフェースの SI ラインに 1 バイトの RECALL オペコード ($0x60$) を送信することによって、ソフトウェア RECALL 処理を開始します。nvSRAM へのメモリ アクセスが禁止されている時、この処理を完了するのに最大 $600\mu\text{s}$ かかります。

図 3. 標準的な SPI nvSRAM (保持容量付きでない) インターフェース



他のメモリ技術と比べて nvSRAM の利点

他のメモリ技術は、最近では計器データの記憶用途での使用に対応した、EEPROM より優れた選択肢として提唱されてきました。これらの技術に基づくデバイスは、一般的にはサイプレスの nvSRAM と同じ EEPROM の欠点に対処します。

サイプレスの nvSRAM 技術は、標準的な CMOS プロセスで製造され、多くの工場で大規模生産されており、殆どの CMOS 「バックプレーン」にライセンス供与することができます。その結果、nvSRAM デバイスは一般的に時間当たりの合計設計費用がより低いです。これらは、時間がかかるエンジニアリング プロジェクトの設計に適しており、この技術は 20 年近くにわたり航空電子機器や通信用途に挑戦する中でその信頼性を証明してきました。

EEPROM 付きのフットプリントの互換性

表 1 に示すように、サイプレスのシリアル nvSRAM デバイスは、現在 8 ピン SOIC と 16 ピン SOIC パッケージで使用可能

です。メモリ容量が 1M ビットのシリアル EEPROM デバイスは、多くの場合、8 ピンの SOIC パッケージで提供されます。nvSRAM は、EEPROM 設計を「アップグレード」するために使用できますが、保持容量の接続に正確な管理が重要であり、PCB の変更もあります。標準的な EEPROM は WP (書き込み保護) ピンを介して追加の制御を生じます。EEPROM を使用する幾つかのシステムでは、このピンを LOW に駆動して追加書き込みのインターロックを備えることができます。AutoStore 機能付き nvSRAM の場合は、このピンは V_{CAP} オプションを提供するために使用されます。図 4 には、SPI EEPROM と SPI nvSRAM (AutoStore 付き) ピン配置図の違いを、図 5 には、SPI EEPROM と SPI nvSRAM (AutoStore なし) のピン配置図の違いを示します。EEPROM の WP はマイクロコントローラから切り離し、保持容量に接続しなければなりません。

図 4. SPI EEPROM と SPI nvSRAM (AutoStore 付き) のピン配置図

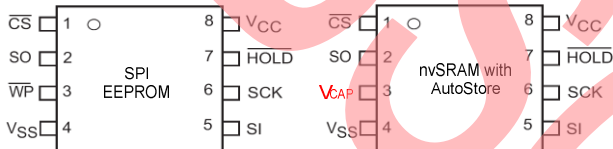
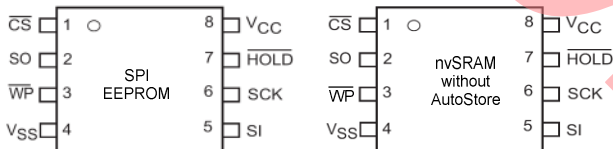


図 5. SPI EEPROM と SPI nvSRAM (AutoStore なし) のピン配置図



16 ピン SOIC パッケージの追加機能

サイプレスのシリアル nvSRAM デバイスは 16 ピン SOIC パッケージでも使用可能です。追加のピンは、リアル タイム クロック (RTC)、方形波出力、ウォッチドッグタイマ、タイミング および電源異常割り込みなどの機能を容易にします。RTC は正確なタイミングで刻む計量データのロギングを可能にします。nvSRAM の RTC チップは、X1 と X2 ピンに業界標準の 32.768kHz の時計用水晶振動子を使用して、RTC ブロック用のリファレンス入カクロックを生成します。nvSRAM RTC には、水晶振動子の PPM ドリフトを自動的に補正する内蔵の校正回路もあります。PPM ドリフトは外部要因によって発生し、システムのタイミング精度に影響を与えます。校正回路を使用すると、校正レジスタに適切な値を設定して、最大

+1 / -2 ppm のクロック精度を達成することができます。16 ピン SOIC パッケージは、双方向 HSB (Hardware Store Busy) ピンも備えており、チップへの入力としてピンを構成します。これは外部コントローラを使用してピンを LOW に引っ張ることにより、不揮発性 STORE を開始するためです。STORE または RECALL 処理が進行中に、出力ピンとしての HSB は、デバイスのレディー (HSB が HIGH) またはビジー (HSB が nvSRAM によって LOW に引っ張られる) 状態を示します。表 1 には、現在サイプレスが提供しているすべてのシリアル nvSRAM パッケージを示します。

表 1. SPI nvSRAM パッケージ

製品番号	メモリ容量	RTC	パッケージ
CY14x101PA	1M ビット	有	16 ピン SOIC
CY14x101QxA	1M ビット	無	8 ピン SOIC、 16 ピン SOIC
CY14x512PA	512K ビット	有	16 ピン SOIC
CY14x512QxA	512K ビット	無	8 ピン SOIC、 16 ピン SOIC
CY14x256PA	256K ビット	有	16 ピン SOIC
CY14x256QxA	256K ビット	無	8 ピン SOIC、 16 ピン SOIC
CY14x064PA	64 キット	有	16 ピン SOIC
CY14Mx064QxA	64K ビット	無	8 ピン SOIC、 16 ピン SOIC

要約

サイプレスのシリアル nvSRAM は、市場で入手可能な標準の SPI インターフェースを備えた全ての計量 IC や MCU に対し簡単な統合を提供します。これは回数無制限の読み書きサイクルを可能にします。充実した機能セットを備え、エネルギー計器の全体的なシステム性能を大幅に向上させます。サイプレスのシリアル nvSRAM は、計量に使用されている殆どのシリアル不揮発性メモリに対応するドロップイン代替品です。シリアル nvSRAM デバイスは、改善されたシステム性能を備えた、より遅く、より少ない書き換え回数技術に関して費用対効果の高い代替品です。

変更履歴

文書名: AN52433 –計量アプリケーションにおける SPI EEPROM と比べてシリアル ペリフェラル インターフェース (SPI) nvSRAM の利点

文書番号: 001-92726

版	ECN	変更者	提出日	変更内容
**	4395697	HZEN	06/09/2014	これは英語版 001-52433 Rev. *F を翻訳した日本語版 Rev. ** です。
*A	5347928	ZSK	7/12/2016	Obsolete the AN52433 translation

ワールドワイドな販売と設計サポート

サイプレスは、事業所、ソリューションセンター、メーカー代理店および販売代理店の世界的なネットワークを保持しています。お客様の最寄りのオフィスについては、[サイプレスのロケーションページ](#)をご覧ください。

製品

車載用	cypress.com/go/automotive
クロック&バッファ	cypress.com/go/clocks
インターフェース	cypress.com/go/interface
照明 & 電源管理	cypress.com/go/powerpsoc cypress.com/go/plc
メモリ	cypress.com/go/memory
PSoC	cypress.com/go/psoc
タッチセンシング	cypress.com/go/touch
USB コントローラ	cypress.com/go/usb
ワイヤレス/RF	cypress.com/go/wireless

PSoC® ソリューション

psoc.cypress.com/solutions
PSoC 1 | PSoC 3 | PSoC 4 | PSoC 5LP

サイプレス開発者コミュニティ

[コミュニティ](#) | [フォーラム](#) | [ブログ](#) | [ビデオ](#) | [トレーニング](#)

テクニカルサポート

cypress.com/go/support

本書で言及するすべての商標または登録商標は、各社の所有物です。

	サイプレス セミコンダクタ 198 Champion Court San Jose, CA 95134-1709	電話番号 : 408-943-2600 ファックス : 408-943-4730 ウェブサイト: www.cypress.com
---	--	---

© Cypress Semiconductor Corporation, 2009-2016. 本文書に記載される情報は、予告なく変更される場合があります。Cypress Semiconductor Corporation (サイプレス セミコンダクタ社) は、サイプレス製品に組み込まれた回路以外のいかなる回路を使用することに対して一切の責任を負いません。サイプレス セミコンダクタ社は、特許またはその他の権利に基づくライセンスを譲渡することも、または含意することはありません。サイプレス製品は、サイプレスとの書面による合意に基づくものでない限り、医療、生命維持、救命、重要な管理、または安全の用途のために使用することを保証するものではなく、また使用することを意図したものではありません。さらにサイプレスは、誤動作や故障によって使用者に重大な傷害をもたらすことが合理的に予想される生命維持システムの重要なコンポーネントとしてサイプレス製品を使用することを許可していません。生命維持システムの用途にサイプレス製品を供することは、製造者がそのような使用におけるあらゆるリスクを負うことを意味し、その結果サイプレスはあらゆる責任を免除されることを意味します。

このソースコード (ソフトウェアおよび/またはファームウェア) はサイプレス セミコンダクタ社 (以下「サイプレス」) が所有し、全世界の特許権保護 (米国およびその他の国)、米国の著作権法ならびに国際協定の条項により保護され、かつそれらに従います。サイプレスが本書面によりライセンシーに付与するライセンスは、個人的、非独占的かつ譲渡不能のライセンスであり、適用される契約で指定されたサイプレスの集積回路と併用されるライセンシーの製品のみをサポートするカスタムソフトウェアおよび/またはカスタム ファームウェアを作成する目的に限って、サイプレスのソースコードの派生著作物をコピー、使用、変更して作成するためのライセンス、ならびにサイプレスのソースコードおよび派生著作物をコンパイルするためのライセンスです。上記で指定された場合を除き、サイプレスの書面による明示的な許可なくして本ソースコードを複製、変更、変換、コンパイル、または表示することは全て禁止します。

免責条項: サイプレスは、明示的または黙示的を問わず、本資料に関するいかなる種類の保証も行いません。これには、商品性または特定目的への適合性の黙示的な保証が含まれますが、これに限定されません。サイプレスは、本文書に記載される資料に対して今後予告なく変更を加える権利を留保します。サイプレスは、本文書に記載されるいかなる製品または回路を適用または使用したことによって生ずるいかなる責任も負いません。サイプレスは、誤動作や故障によって使用者に重大な傷害をもたらすことが合理的に予想される生命維持システムの重要なコンポーネントとしてサイプレス製品を使用することを許可していません。生命維持システムの用途にサイプレス製品を供することは、製造者がそのような使用におけるあらゆるリスクを負うことを意味し、その結果サイプレスはあらゆる責任を免除されることを意味します。

ソフトウェアの使用は、適用されるサイプレス ソフトウェア ライセンス契約によって制限され、かつ制約される場合があります。