

## AN44517

サイプレス MoBL<sup>®</sup> SRAM を使用したバッテリー バックアップ SRAM の設計に関する推奨事項

著者: Anuj Chakrapani

関連プロジェクト: なし

関連製品ファミリ: MoBL<sup>®</sup> SRAM

ソフトウェア バージョン: なし

関連アプリケーション ノート: なし

AN44517 は、サイプレス MoBL<sup>®</sup> SRAM (超低消費電力 SRAM またはマイクロパワーSRAM と呼ばれる) およびマイクロプロセッサ スーパーバイザ チップを使用したバッテリー バックアップ SRAM の設計に関する推奨事項を提供します。この推奨事項により、本書でも説明する他の技術と比べて、バッテリー バックアップ アプリケーションでの電源異常時に優れたデータの整合性を保証することができます。

## はじめに

売り場専用 (POS) 端末装置、ネットワーク処理エンジン、サーバー、医療用埋め込みデバイスなどのアプリケーションはバッテリー バックアップ SRAM メモリ ソリューションを使用しています。

SRAM は揮発性メモリ (即ち、電力喪失時に内容を保持できない) であるため、電源異常時にデータの整合性を保証するために代替の電源を必要とします。

図 1 に、マイクロプロセッサ (または FPGA)、フラッシュ メモリ、および SRAM を含む基本的なバッテリー バックアップ アプリケーションのブロック図を示します。このアプリケーションには 2 つの電源があります: 主電源 (基板上で安定化) とバッテリー (バッテリーの代わりにスーパー コンデンサを使用したアプリケーションもあります)。

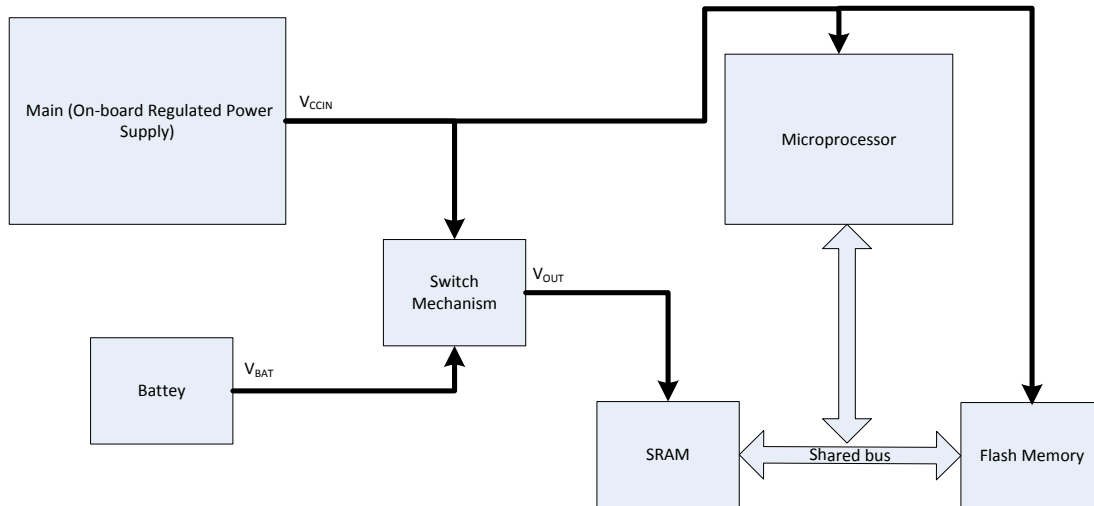
通常動作中に、主電源はマイクロプロセッサ<sup>[1]</sup>、フラッシュ メモリと SRAM デバイス間の全ての通信に使用されます。電源異常時に、重要なデータをバックアップして SRAM に保存することが大切です。このために、電源異常時に SRAM にのみ電源を供給するバッテリーおよびそれに関連するスイッチ メカニズムを使用します。これにより、SRAM のデータ整合性は保証され、アプリケーションの残りの部分は電源なしに維持されます。

バッテリー モードでは、アプリケーションは長いバッテリー寿命を保証するために可能な限り少ない電流を引き出すように設計されています。このために、SRAM をスタンバイ モードに移行させます。すると、SRAM は無効になり、読み出しまたは書き込みアクセスは行われません。これにより、データが変わらないままであることを保証できます。主電源が回復すると、通常動作は再開します。一般的には、サイプレス MoBL<sup>®</sup> SRAM は 10µA 未満のスタンバイ電流を引き出します。これにより、長いバッテリー寿命を保証でき、SRAM はバッテリー駆動アプリケーションに最適になります。

本書では、サイプレス MoBL SRAM を使用したバッテリー バックアップ メモリの設計に関する推奨事項を説明します。

<sup>1</sup> FPGA またはマイクロコントローラーはマイクロプロセッサの代わりに使用できます。本アプリケーション ノートで説明する点は基板搭載メモリを駆動するデバイス タイプに依存しません。以下では、デバイスは「マイクロプロセッサ」と呼ばれますが、いかなる論理デバイスでも構いません。

図 1. 基本的なバッテリー バックアップ アプリケーション: 簡略化したブロック図



## 詳細

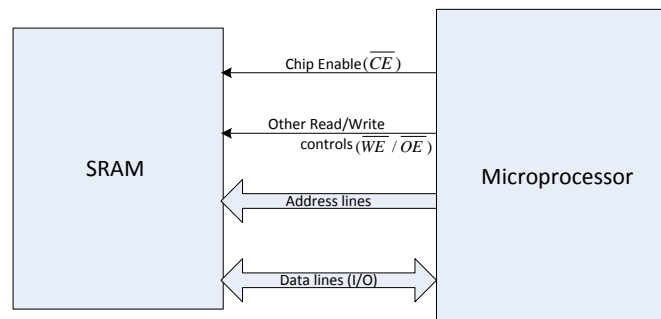
図 2 には、SRAM インターフェースおよびその関連する制御信号を詳しく示します。全てのアドレス、データ、およびチップイネーブル ピン ( $\overline{CE}$ ) を含む制御ピンはマイクロプロセッサによって駆動されます。電源異常が発生した時、バッテリーは SRAM に電源を供給し続けますが、マイクロプロセッサへの電源は停止されます。結果としては、マイクロプロセッサの出力がグランド (GND) に放電される、または、中間電圧レベルに浮遊させられます。マイクロプロセッサの出力が SRAM を駆動するため、SRAM のチップ イネーブル ( $\overline{CE}$ ) 入力のいずれか上の浮遊しているノードは、SRAM に過剰な電流を引き出させる場合があります。理由は、データシートで述べた通りにスタンバイ電流仕様を満たすために SRAM の  $\overline{CE}$  ピンはデアサート状態に入り、高い CMOS レベルである必要があるためです。 $\overline{CE}$  入力を浮遊させると、それが中間電圧レベルにバイアスされ、その結果、アプリケーションのバッテリー寿命を潜在的に短くする高い電流となることがあります。

その状況を回避し、バッテリー バックアップ アプリケーションで電源異常時に SRAM がスタンバイ モードにあることを保証するために、以下で説明する 3 つの設計技術があります。

- プルアップ抵抗を使用したレガシー設計技術 (推奨されません)
- 推奨された設計技術: マイクロプロセッサ スーパーバイザ回路を使用
- 代替の設計技術: リセット モニターを使用

レガシー技術およびリセット モニターを使用した設計技術には制約があるため、長いバッテリー寿命を実現しながら通常モードからバッテリー モードへ、および逆の方向の正常な遷移を保証するためにスーパーバイザ チップを使用することをサイプレスはお勧めします。

図 2. マイクロプロセッサ – SRAM インターフェース



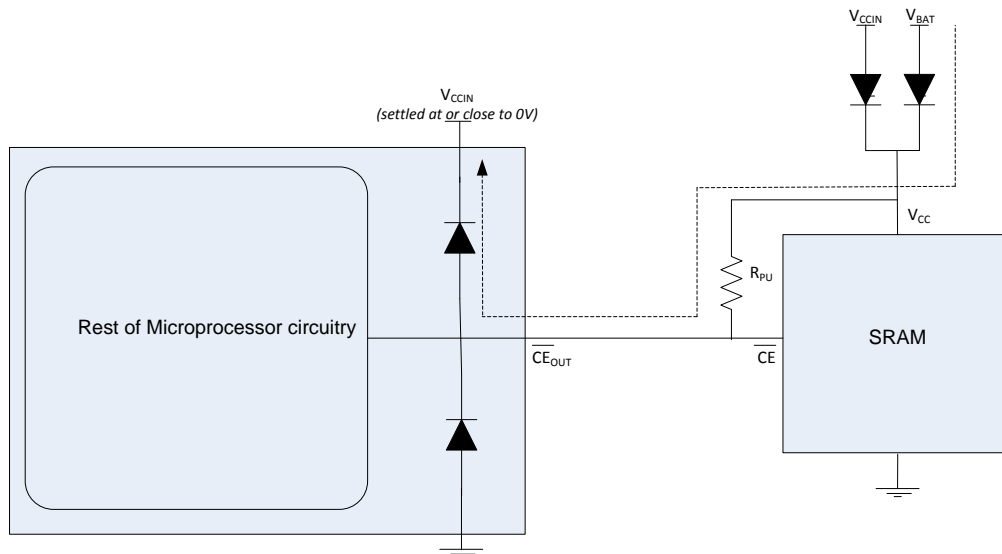
## プルアップ抵抗を使用したレガシー設計技術 (推奨されない)

アクティブ LOW チップ イネーブル ( $\overline{CE}$ ) ピンを備えた SRAM を検討してみましょう。SRAM をスタンバイ モードに移行させるには、このピンは論理 HIGH 状態にデアサート (無効) する必要があります。一方、その他の制御、アドレス、データ ピンはこの状況下で開放することができます。SRAM の  $V_{CC}$  ピンに接続された  $\overline{CE}$  ピン上の k $\Omega$  レンジの外部弱プルアップ抵抗は、デバイスをスタンバイ モードに移行させるために使用できます。理由は、SRAM の  $V_{CC}$  がバッテリー モードでのバッテリー電圧に等しいためです。従って、 $\overline{CE}$  入力がマイクロプロセッサによって積極的に駆動されない時にプルアップ抵抗はそれを HIGH にプルします。ただしこの方式には、以下で説明する制約があります。

通常モードでは、マイクロプロセッサの出力  $\overline{CE}_{OUT}$  はメモリ アクセスのために  $\overline{CE}$  ピンを積極的に駆動します。電源異常時、マイクロプロセッサはその出力の駆動を中止します。すると、外部プルアップ抵抗は  $\overline{CE}$  ピンを HIGH にプルすることで SRAM をスタンバイ モードに移行させます。この技術は理論的にはうまくいきますが、堅牢なソリューションでなく、結果として望ましくない高い電流となる場合があります。理由は図 3 に示すように、マイクロプロセッサの  $\overline{CE}_{OUT}$  ピンは I/O であり、内部に保護ダイオードがあることがあるためです。

これらのダイオードはマイクロプロセッサのピンを高電圧から保護します。従って、印加された電圧がレールを 1 つのダイオードドロップに等しい電圧分超えた場合、ダイオードはオンになります。外部プルアップ抵抗が使用されている場合、マイクロプロセッサの電源 ( $V_{CCIN}$ ) が電源切断時に 0V でまたはそれ近くで安定するため、この時点で  $\overline{CE}_{OUT}$  ピンを HIGH にプルすると、これらのダイオードはオンになります (図 3 を参照してください)。連続的なダイオード電流は潜在的にバッテリーを消耗させます。また、マイクロプロセッサの内部コア電圧がダイオード電流を維持するために上昇したため、マイクロプロセッサ内の回路がオンになる可能性があります。それらの望ましくない効果を防ぐためには、4 ページの「[推奨された設計技術: マイクロプロセッサ スーパーバイザ回路を使用](#)」節で説明するマイクロプロセッサ スーパーバイザ回路を使用することをお勧めします。

図 3. マイクロプロセッサ チップ内の保護ダイオード



### 注

- SRAM は、通常動作の間は  $V_{CCIN}$  によって電源供給され、バッテリー モードの間は  $V_{BAT}$  によって電源供給されます。SRAM への  $V_{CCIN}$  と  $V_{BAT}$  経路に示した 2 個の外部ダイオードは逆電流を防止します。
- 点で描いた矢印は、 $V_{CCIN}$  が切断される時にプルアップ抵抗とダイオードを通して流れる電流を示します。
- $R_{PU}$  はチップを無効にするための外部プルアップ抵抗です。

## 推奨された設計技術: マイクロプロセッサ スーパーバイザ回路を使用

マイクロプロセッサ スーパーバイザ回路 (単にスーパーバイザともいう) は、電源の電圧レベルを監視し、バッテリー バックアップ制御を提供する半導体のデバイスです。これは、電源異常時にバッテリー バックアップ ソリューションでのデータ破損を防ぐために書き込み保護を提供します。外部プルアップ抵抗の使用制約のため、現在ほとんどのバッテリー バックアップ ソリューションは外部抵抗の代わりにスーパーバイザ チップを使用しています。

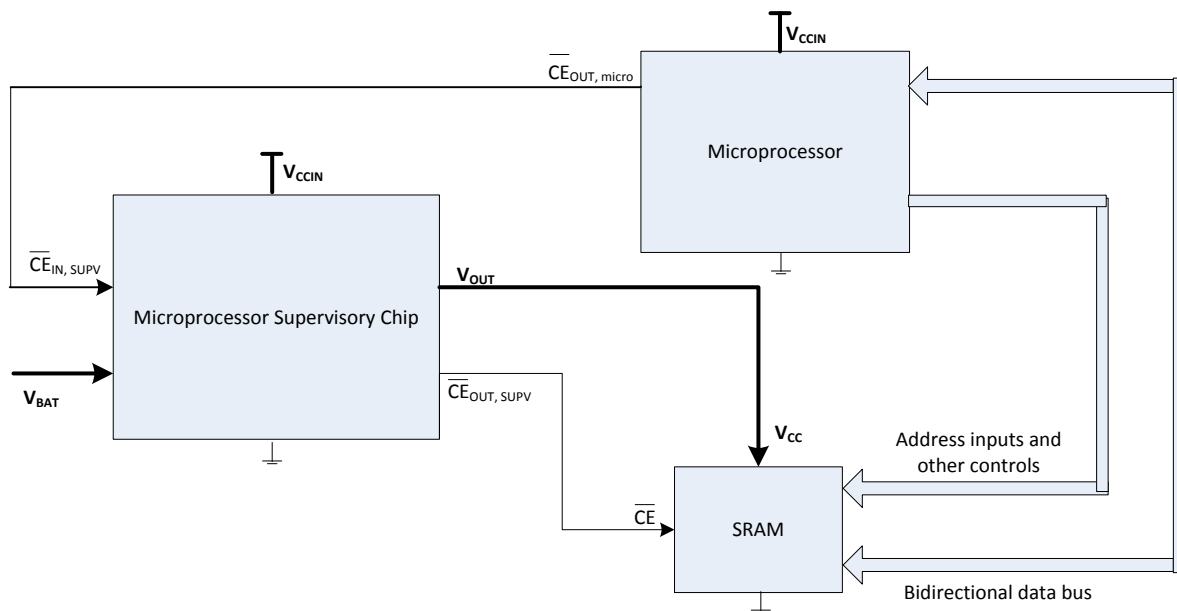
図 4 に示すように、標準的なスーパーバイザ チップは入力ピン  $V_{CCIN}$ 、 $V_{BAT}$ 、 $\overline{CE}_{IN}$  および出力ピン  $V_{OUT}$ 、 $\overline{CE}_{OUT}$  を備えています。

入力ピン  $V_{CCIN}$  と  $V_{BAT}$  それぞれは主電源とバッテリーからの供給電源です。 $V_{OUT}$  は、 $V_{CCIN}$  (通常モードで) または  $V_{BAT}$  (バッテリー モードで) をトラッキングする出力ピンであり、SRAM の無中断の電源のために SRAM の  $V_{CC}$  ピンに接続しています。

マイクロプロセッサのチップ イネーブル出力は、 $\overline{CE}_{OUT}$  出力が SRAM の  $\overline{CE}$  (チップ イネーブル) に接続された、スーパーバイザ チップのチップ イネーブル入力ピンに接続されます。この接続シーケンスにより、スーパーバイザは通常モードでは「不可視な」デバイスとなります。つまり、スーパーバイザは通常モードでのマイクロプロセッサのチップ イネーブル出力を「追跡」します。従って、スーパーバイザは SRAM チップ イネーブルを駆動する第 2 デバイスです。しかしバッテリー モードでは、スーパーバイザはその  $\overline{CE}_{OUT}$  出力を HIGH にプルし、その結果、SRAM が無効になってスタンバイ モードに入ります。

従って、スーパーバイザ チップは不可視のままとなり、通常モードでマイクロプロセッサが SRAM のチップ イネーブルを駆動して SRAM の動作とアクセスを積極的に制御することを可能にします。しかし、主電源が切断され、バッテリー モードに移行した時、スーパーバイザ チップは直接制御して SRAM を無効にしてそれをスタンバイ モードに移行させます。そのためスーパーバイザ チップは、SRAM のチップ イネーブル  $\overline{CE}$  が常に正しい電圧レベルにバイアスされ、中間状態に浮遊しないように保証しています。

図 4. お勧めのスーパーバイザ チップを使用したバッテリー バックアップ設計



## その他の注意事項

アクティブ LOW またはアクティブ HIGH である複数のチップ イネーブル ピンを備えている SRAM があります。SRAM をスタンバイ モードに移行させるためには、全てのチップ イネーブルは固定 CMOS レベルであり（フローティングでない）、その中少なくとも 1 本が無効状態にある必要があります。例えば、アクティブ LOW の  $\overline{CE}_1$  とアクティブ HIGH の  $CE_2$  のデュアルチップ イネーブルを備えた SRAM の場合、以下のことに注意してください。

- SRAM の  $\overline{CE}_1$  を前述したように  $\overline{CE}$  と同じ方法でスーパーバイザに接続します。
- SRAM の  $CE_2$  をマイクロプロセッサの I/O に直接接続します (マイクロプロセッサは SRAM 制御専用の I/O を備えた場合)。電源異常時に入力が中間状態にバイアスすることを防ぐために、グランドに接続された外部弱プルダウン抵抗を取り付けてください。この方式については、[図 5](#) を参照してください。

- マイクロプロセッサの I/O が無い場合は、SRAM の CE<sub>2</sub> を弱プルアップ抵抗 (kΩ レンジ) を介してその V<sub>CC</sub> に接続します。このラインを駆動するアクティブなデバイスがない場合、電流がその他の方向に流れるリスクはありません。これは 6 ページの図 6 に示されています。

多くのスーパーバイザ チップは、異なる方法で使用できる *RESET* 出力を備えています。主電源が閾値を下回ると、この出力は LOW に駆動され (バッテリー モードなど)、主電源が閾値を上回ると、この出力は HIGH に駆動されます (通常モードなど)。この出力は、マイクロプロセッサが電源切断またはリセット関連のイベントをトリガーするよう駆動するために使用できます。また、SRAM の第 2 チップ イネーブル  $CE_2$  を駆動するためにも使用できます。この接続方式については、6 ページの **図 7** を参照してください。

アプリケーション シナリオに基づいて、複数のチップ イネーブルを備えた SRAM に対してはロジックを拡張または変更することができます。

図 5. SRAM の第 2 チップ イネーブルがマイクロプロセッサによって駆動される

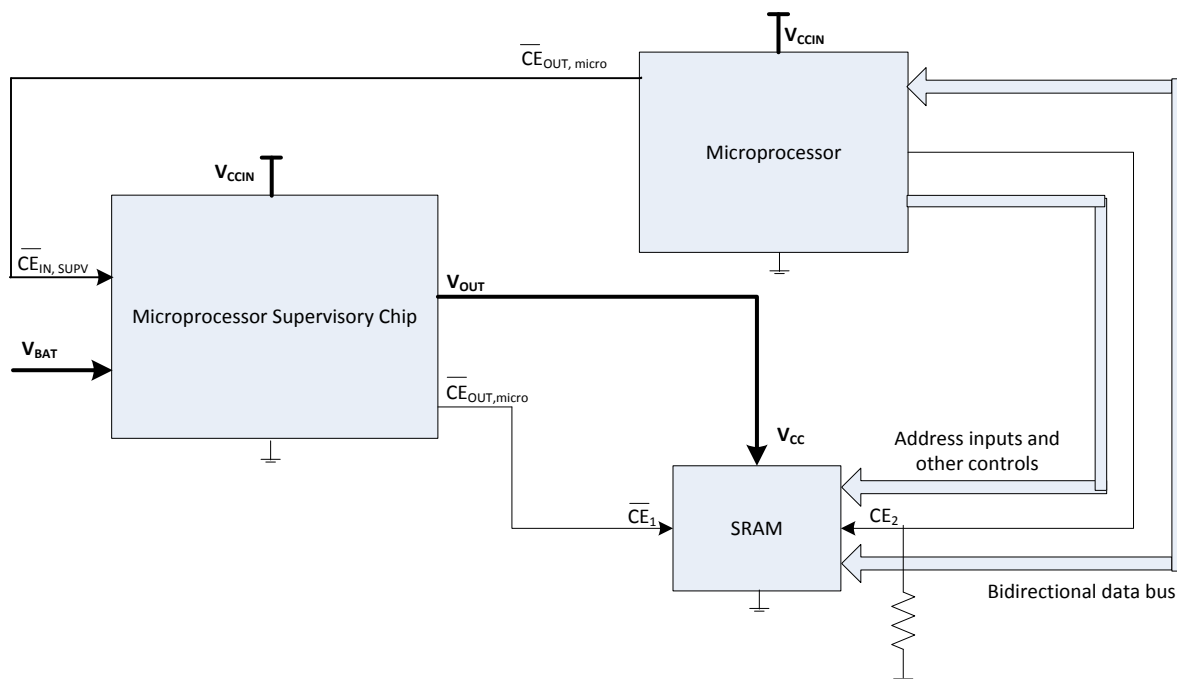


図 6. SRAM の第 2 チップ イネーブルが永久的にプルアップされる

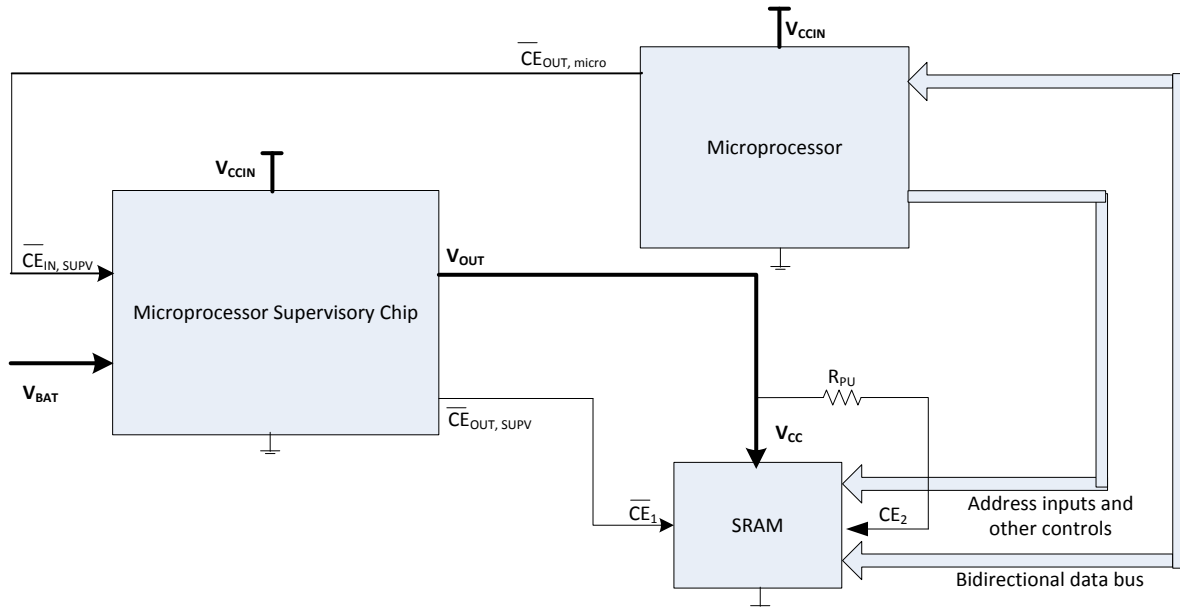
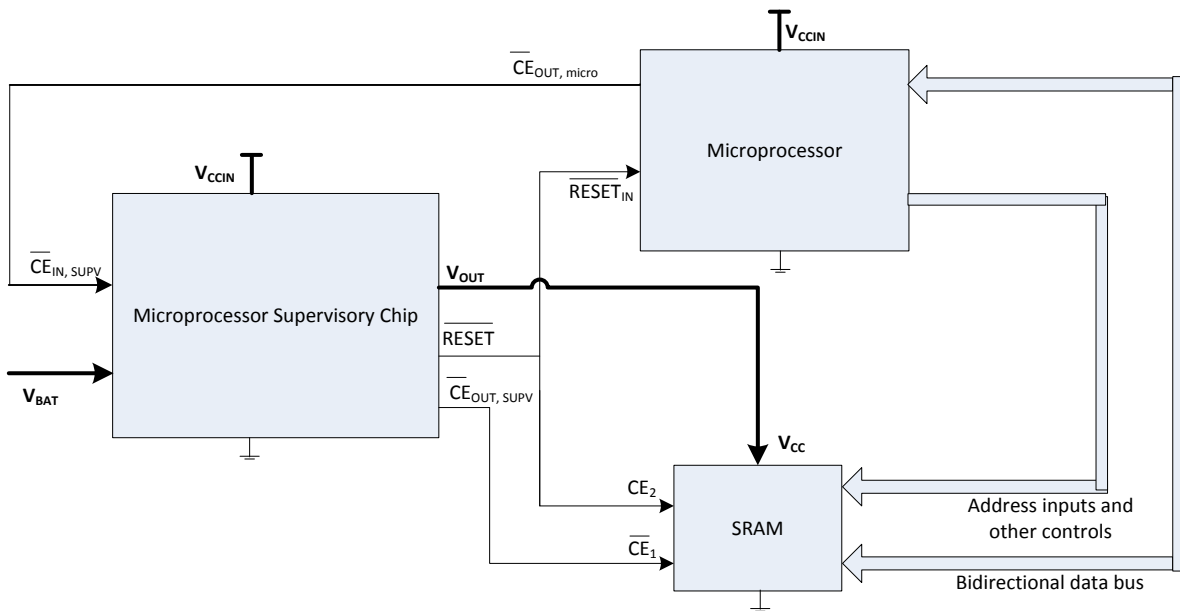


図 7. SRAM の第 2 チップ イネーブルがスーパーバイザ チップの RESET ピンで駆動される



## 代替の設計技術: リセット モニターを使用

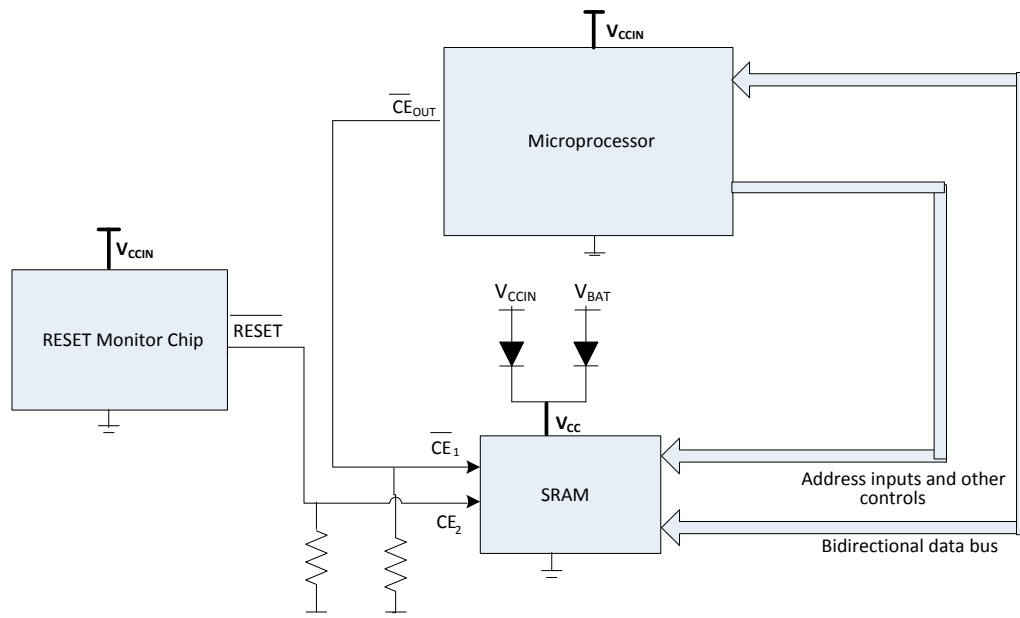
本節では、バッテリー バックアップ ソリューションにリセット モニターを使用する技術を紹介します。リセット モニターはスーパーバイザに似ていて、最小限の外部接続で容易に実装できます。一般的には、リセット モニター チップは 3 本のピンを備えています:  $V_{CCIN}$ 、GND、およびアクティブ LOW 出力  $\overline{RESET}$ 。リセット モニター チップはその入力ピン  $V_{CCIN}$  上で電源電圧を連続して監視し、 $V_{CCIN}$  を設定されたしきい電圧と比較してリセット信号を発生させます。通常、リセット モニター チップは非常に低い電流を引き出すため、バッテリー バックアップ ソリューションに最適です。

本節で説明する方法は、デュアル チップ イネーブル SRAM にのみ適用できます。前述したように、少なくとも 1 本のチップ イネーブルを無効状態にすることで、サイプレスの非同期 SRAM をスタンバイ モードに移行させることができます。この方式の接続は図 8 に示します。

$V_{CCIN}$  と  $V_{BAT}$  それぞれは主電源とバッテリーからの供給電源です。SRAM の  $V_{CC}$  は、通常モードでは  $V_{CCIN}$  に等しく、バッテリーモードでは  $V_{BAT}$  に等しいです。 $V_{CCIN}$  または  $V_{BAT}$  はダイオード接続を介して選択されます (レガシー設計技術のコンフィギュレーションに似ています)。

SRAM のチップ イネーブル  $\overline{CE}_1$  は通常モードでマイクロプロセッサによって駆動され、外部で接続された弱プルダウン抵抗により LOW にプルされます。SRAM のアクティブ HIGH の  $\overline{CE}_2$  信号はリセット モニター チップの  $\overline{RESET}$  出力に接続されます。リセット チップは通常モードで外部電源  $V_{CCIN}$  を連続して監視し、 $V_{CCIN}$  がしきい電圧を上回る時  $\overline{RESET}$  出力を HIGH に維持します。 $V_{CCIN}$  がしきい電圧を下回ると、 $\overline{RESET}$  を LOW に駆動します。 $V_{CCIN}$  が低下する時、SRAM の  $\overline{CE}_2$  上の GND に接続された弱プルダウン抵抗はこのピンを不定 (フローティング) 状態に入らないようにします。従って、 $\overline{CE}_2$  が LOW になることにより、SRAM はスタンバイモードに入ります。

図 8. リセット モニターを使用するバッテリー バックアップ SRAM 設計



この技術には以下の制約があります。

1. この方式はデュアル チップ イネーブル SRAM にのみ適用できます。
2. SRAM の  $V_{CC}$  に印加される有効な電圧がダイオードドロップ (約 0.7V) の分低下するため、 $V_{CC}$  はノイズの影響を受けやすくなります。

その理由で、バッテリー バックアップ設計にはマイクロプロセッサ スーパーバイザ チップを使用することが推奨されています。



## 要約

バッテリー バックアップ アプリケーションでサイプレスの MoBL SRAM を使用した設計では、本アプリケーション ノートで説明したスーパーバイザ技術を使用することをお勧めします。

## 改訂履歴

文書名: サイプレス MoBL<sup>®</sup> SRAM を使用したバッテリー バックアップ SRAM の設計に関する推奨事項 - AN44517

文書番号: 001-95845

版	ECN	変更者	発行日	変更内容
**	4722781	YYA	05/13/2015	これは英語版 001-44517 Rev. *G を翻訳した日本語版 001-95845 Rev. **です。



## ワールドワイドな販売と設計サポート

サイプレスは、事業所、ソリューション センター、メーカー代理店および販売代理店の世界的なネットワークを保持しています。お客様の最寄りのオフィスについては、[サイプレスのロケーション ページ](#)をご覧ください。

### 製品

車載用	<a href="http://cypress.com/go/automotive">cypress.com/go/automotive</a>
クロックおよびバッファ	<a href="http://cypress.com/go/clocks">cypress.com/go/clocks</a>
インターフェース	<a href="http://cypress.com/go/interface">cypress.com/go/interface</a>
照明および電源管理	<a href="http://cypress.com/go/powerpsoc">cypress.com/go/powerpsoc</a> <a href="http://cypress.com/go/plc">cypress.com/go/plc</a>
メモリ	<a href="http://cypress.com/go/memory">cypress.com/go/memory</a>
光学式ナビゲーション センサー	<a href="http://cypress.com/go/ons">cypress.com/go/ons</a>
PSoC	<a href="http://cypress.com/go/psoc">cypress.com/go/psoc</a>
タッチ センシング	<a href="http://cypress.com/go/touch">cypress.com/go/touch</a>
USB コントローラー	<a href="http://cypress.com/go/usb">cypress.com/go/usb</a>
ワイヤレス/RF	<a href="http://cypress.com/go/wireless">cypress.com/go/wireless</a>

### PSoC<sup>®</sup>ソリューション

[psoc.cypress.com/solutions](http://psoc.cypress.com/solutions)

PSoC 1 | PSoC 3 | PSoC 5

### サイプレス開発者コミュニティ

[コミュニティ](#) | [フォーラム](#) | [ブログ](#) | [ビデオ](#) | [トレーニング](#)

### テクニカル サポート

[cypress.com/go/support](http://cypress.com/go/support)

MoBL はサイプレス セミコンダクタ社の登録商標です。本書で言及するその他すべての商標または登録商標は、それぞれの所有者に帰属します。



Cypress Semiconductor  
198 Champion Court  
San Jose, CA 95134-1709  
Phone : 408-943-2600  
Fax : 408-943-4730  
Website : [www.cypress.com](http://www.cypress.com)

© Cypress Semiconductor Corporation, 2008-2015. 本文書に記載される情報は、予告なく変更される場合があります。Cypress Semiconductor Corporation (サイプレス セミコンダクタ社) は、サイプレス製品に組み込まれた回路以外のいかなる回路を使用することに対して一切の責任を負いません。サイプレス セミコンダクタ社は、特許またはその他の権利に基づくライセンスを譲渡することも、または含意することはありません。サイプレス製品は、サイプレスとの書面による合意に基づくものでない限り、医療、生命維持、救命、重要な管理、または安全の用途のために使用することを保証するものではなく、また使用することを意図したものでもありません。さらにサイプレスは、誤動作や故障によって使用者に重大な傷害をもたらすことが合理的に予想される生命維持システムの重要なコンポーネントとしてサイプレス製品を使用することを許可していません。生命維持システムの用途にサイプレス製品を供することは、製造者がそのような使用におけるあらゆるリスクを負うことを意味し、その結果サイプレスはあらゆる責任を免除されることを意味します。

このソースコード (ソフトウェアおよび/またはファームウェア) はサイプレス セミコンダクタ社 (以下「サイプレス」) が所有し、全世界の特許権保護 (米国およびその他の国)、米国の著作権法ならびに国際協定の条項により保護され、かつそれらに従います。サイプレスが本書面によりライセンシーに付与するライセンスは、個人的、非独占的かつ譲渡不能のライセンスであり、適用される契約で指定されたサイプレスの集積回路と併用されるライセンシーの製品のみをサポートするカスタム ソフトウェアおよび/またはカスタム ファームウェアを作成する目的に限って、サイプレスのソース コードの派生著作物をコピー、使用、変更そして作成するためのライセンス、ならびにサイプレスのソース コードおよび派生著作物をコンパイルするためのライセンスです。上記で指定された場合を除き、サイプレスの書面による明示的な許可なくして本ソース コードを複製、変更、変換、コンパイル、または表示することはすべて禁止します。

免責条項: サイプレスは、明示的または黙示的を問わず、本資料に関するいかなる種類の保証も行いません。これには、商品性または特定目的への適合性の黙示的な保証が含まれますが、これに限定されません。サイプレスは、本文書に記載される資料に対して今後予告なく変更を加える権利を留保します。サイプレスは、本文書に記載されるいかなる製品または回路を適用または使用したことによって生ずるいかなる責任も負いません。サイプレスは、誤動作や故障によって使用者に重大な傷害をもたらすことが合理的に予想される生命維持システムの重要なコンポーネントとしてサイプレス製品を使用することを許可していません。生命維持システムの用途にサイプレス製品を供することは、製造者がそのような使用におけるあらゆるリスクを負うことを意味し、その結果サイプレスはあらゆる責任を免除されることを意味します。

ソフトウェアの使用は、適用されるサイプレス ソフトウェア ライセンス契約によって制限され、かつ制約される場合があります。