

AN44517

使用赛普拉斯 MoBL[®] SRAM 的备用电池 SRAM 设计建议

作者: Anuj Chakrapani

相关项目: 无

相关器件系列: MoBL[®] SRAM

软件版本: 无

相关应用笔记: 无

AN44517 针对使用赛普拉斯 MoBL[®] SRAM（也称为超低功耗 SRAM 或微功耗 SRAM）和一个微处理器监控芯片的备用电池 SRAM 提供了设计建议。与文档中所介绍的其它方法相比，在设计建议能够为备用电池应用保证 SRAM 的更好数据完整性。

简介

销售点（POS）终端、网络处理引擎、服务器和植入医疗设备等应用均通过使用 SRAM 来实现备用电池存储器解决方案。

因为 SRAM 是易失性存储器（它们在掉电时不会保留数据），所以在电源发生故障时，SRAM 需要使用一个备用电源才能确保数据的完整性。

图 1 显示的是由一个微处理器（或 FPGA）、一个闪存存储器和一个 SRAM 构成的备用电池应用基本框图。应用有两个电源：主（板上调整）电源和一个电池（有些应用也使用一个超级电容器来代替电池）。

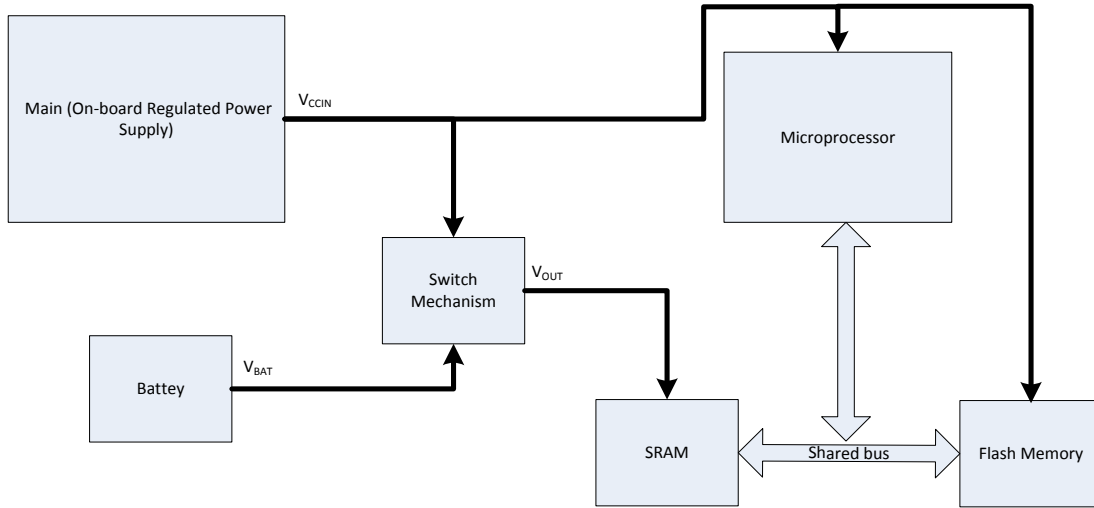
在正常操作条件下，主电源用于处理器^[1]、闪存存储器和 SRAM 器件之间的所有通信。当电源发生故障时，关键数据要在 SRAM 中得到保留和保护。为了达到这个目标，您需要使用一个电池（其作用是在电源故障发生时，仅为 SRAM 供电）和一个相关开关设备。这样可以确保应用的剩下部分掉电时，仍能保留 SRAM 中数据的完整性。

在电池模式下，为了保持电池的寿命，应用设计应尽可能使用最小的电流。想达到该目标，需要将 SRAM 设置为待机模式，以便禁用它，并防止所有读写访问。这样能够保护数据的完整性。正常操作会随着主电源的恢复而重新开始。赛普拉斯 MoBL[®] SRAM 的待机电流通常小于 10 μ A。这样可以保证电池的寿命更长，并且使其成为备用电池应用的理想选择。

本应用手册的剩下内容对使用赛普拉斯 MoBL SRAM 的备用电池存储器提供了设计上的建议。

¹ 也可以使用一个 FPGA 或微控制器来替换微处理器。本应用手册中所谈论的各内容与驱动板上存储器的器件类型无关。在本文档的剩下内容中，该器件被作为“微处理器”进行讨论，但它可以是任何逻辑器件。

图 1. 基本备用电池应用：简化框图



详细信息

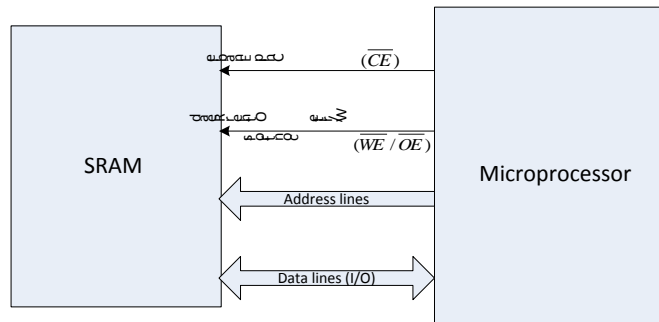
图 2 提供了 SRAM 接口和相关的控制信号清晰的框图。所有地址、数据和控制引脚（包括芯片使能引脚（ \overline{CE} ）在内）都是由微处理器驱动的。发生电源故障时，微处理器的供电被停止，而 SRAM 则由电池供电。这种情况会使微处理器的输出对地（GND）放电或者悬空在某一个中间电平。因为 SRAM 是由微处理器的输出驱动的，所以当 SRAM 芯片使能（ \overline{CE} ）输入处于悬空状态时，会导致 SRAM 使用过大的电流。这是因为 SRAM 的 \overline{CE} 引脚需要处于取消激活状态且被设为 CMOS 高电平，以符合本数据手册中所述的待机电流规范。处于悬空状态时， \overline{CE} 输入为某个中间电压电平，因此可导致能够降低应用电池寿命的高电流。

为了防止这种情况的发生，并且保证使用备用电池应用过程中，SRAM 在电源故障发生时能够进入待机模式，以下各章节为您提供三种方法：

- 使用上拉电阻的传统设计方法（不建议使用）
- 建议使用的设计方法：使用微处理器监控电路
- 代替的设计方法：使用 RESET 监视器

传统方法和使用复位监视器的设计方法均有一些限制，因此，赛普拉斯建议您应该使用一个监控芯片，以便既能保证正常模式与电池模式之间的成功切换，又能保护电池的寿命。

图 2. 微处理器 — SRAM 接口



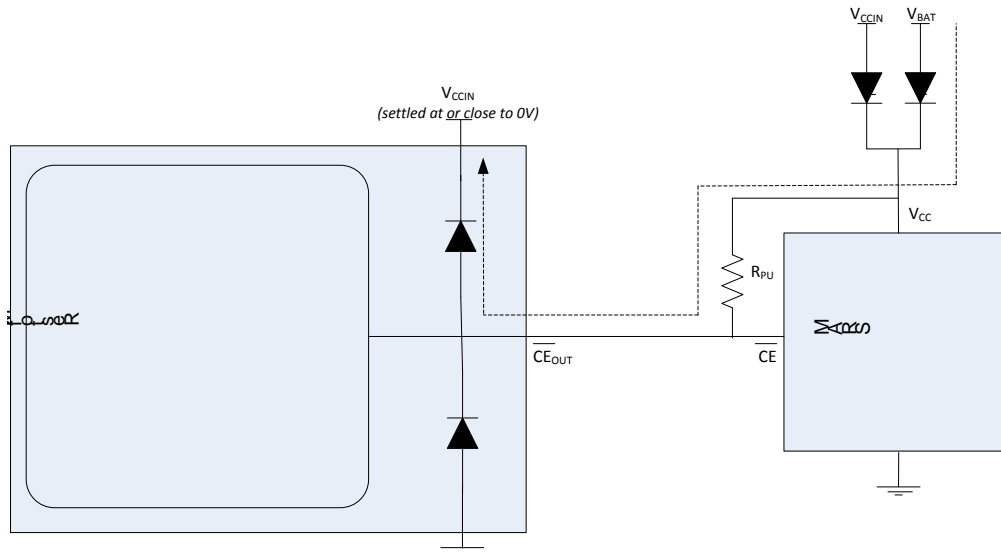
使用上拉电阻的传统设计方法（不建议使用）

例如，我们使用一个 SRAM，它具有一个低电平有效芯片使能 (\overline{CE}) 引脚。为了使 SRAM 进入待机模式，需要取消该引脚的激活状态（被禁用），并将其设为逻辑高状态，另外其他控制、地址和数据引脚可处于悬空状态。因为 SRAM V_{CC} 等于电池模式下的电池电压，所以通过在 \overline{CE} 引脚上连接一个一千欧姆的外部弱上拉电阻，并且将其连接到 SRAM 的 V_{CC} 引脚，可使器件进入待机模式。因此，在微处理器未有效驱动 \overline{CE} 输入时，该上拉电阻会将其置为高电平。然而，该方法有一个限制，具体在下面章节介绍。

在正常工作模式下，微处理器的输出 \overline{CE}_{OUT} 有效驱动 SRAM 的 \overline{CE} 引脚，以便进行处理器访问。发生电源故障时，微处理器会停止驱动它的输出；而外部上拉电阻则会通过将 \overline{CE} 引脚置于高电平使 SRAM 进入待机模式。虽然该方法在理论上是可行的，但它并不是值得推荐的方法，并且在使用时，可能导致不希望的高电流。其原因如下：微处理器的 \overline{CE}_{OUT} 引脚可能是一个 I/O，在该引脚上可能存在保护二极管，如图 3 所示。

这些二极管防止微处理器在引脚上出现高电压，因此，如果所使用的电压比指定的最高电压高出一个二极管电压降时，它们会被打开。如果使用一个外部上拉电阻，断电时，微处理器的供电电源 (V_{CCIN}) 会等于或接近于 0 V，这样会使其 \overline{CE}_{OUT} 引脚变为高电平从而打开这些保护二极管，如图 3 所示。连续的二极管电流能够损坏电池。此外，它还可以打开微处理器里面的电路，因为在这种情况下，为了保持二极管电流，微处理器的内部内核电压需要增加。为了避免这些消极影响，建议使用第 4 页上[建议使用的设计方法：使用微处理器监控电路](#)章节中所描写的微处理器监控电路。

图 3. 微处理器芯片中的保护二极管



注释

- SRAM 在正常模式和电池模式下分别由 V_{CCIN} 和 V_{BAT} 供电。连接到 SRAM 的 V_{CCIN} 和 V_{BAT} 路径上的两个外部二极管，起着阻止反向电流的作用。
- 虚线箭头表示在 V_{CCIN} 停止供电时经过上拉电阻和二极管的电流。
- R_{PU} 表示用于禁用芯片的外部上拉电阻。

建议使用的設計方法：使用微处理器监控电路

微处理器监控电路（简称监控）是半导体器件，用于监控供电电源的电压电平并提供备用电池控制。在使用备用电池解决方案过程中，它们还能够在电源故障发生时提供写保护，以防止数据损坏。由于使用外部上拉电阻存在一些限制，因此，当今大多数备用电池解决方案都使用一个监控芯片来代替外部电阻。

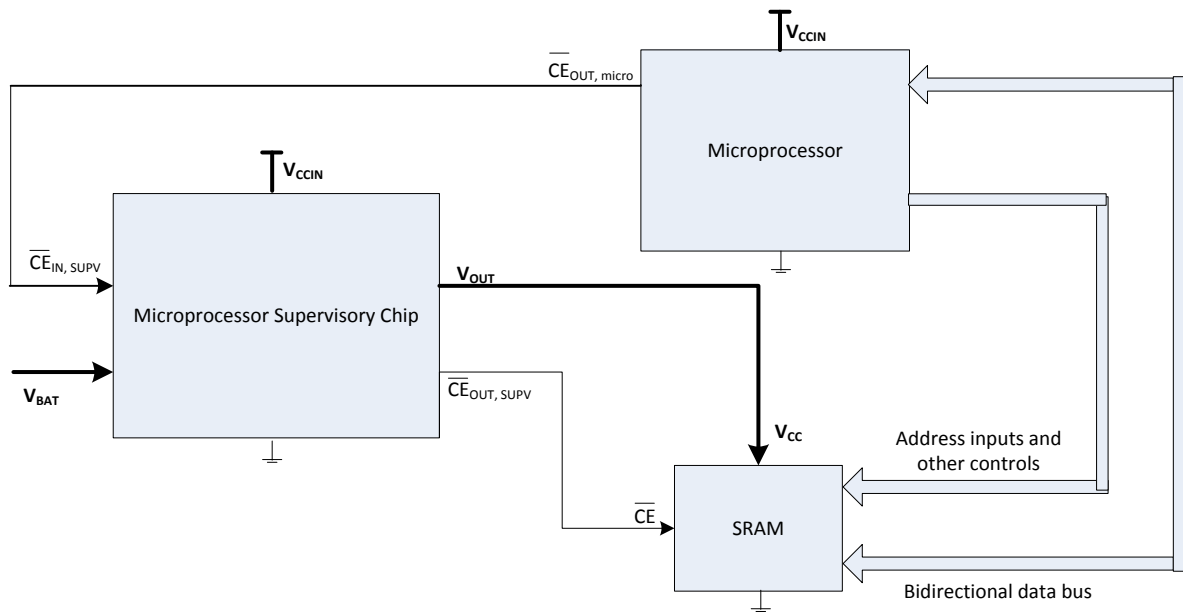
一个典型的监控芯片具有输入引脚 V_{CCIN} 、 V_{BAT} 、 \overline{CE}_{IN} 和输出引脚 V_{OUT} 、 \overline{CE}_{OUT} ，如图 4 所示。

V_{CCIN} 和 V_{BAT} 输入引脚分别由主电源和电池供电。 V_{OUT} 是跟踪 V_{CCIN} （正常模式下）或 V_{BAT} （电池模式下）的输出引脚，它被连接到 SRAM 的 V_{CC} 引脚，因此能够为 SRAM 提供不间断的电源。

微处理器的芯片使能输出连接到监控芯片的芯片使能输入引脚，该监控芯片的 \overline{CE}_{OUT} 输出与 SRAM 的 \overline{CE} （芯片使能）相连接。该连接序列在正常模式下使监控变成一个“透明”的器件。或者说，它在正常模式下“跟踪”了微处理器的芯片使能输出。因此，它是驱动 SRAM 芯片使能的第二者。然而，在电池模式下，监控将其 \overline{CE}_{OUT} 输出置于高电平，进而禁用了 SRAM 并且使其进入待机模式。

因此，在正常模式下，监控芯片保持为透明，它允许微处理器驱动 SRAM 的芯片使能和有效控制 SRAM 的操作和访问。然而，当主电源已停止供电且由电池代替时，监控芯片会直接禁用 SRAM，进而使器件进入待机模式。这能够保证 SRAM 的芯片使能（ \overline{CE} ）始终处于准确的电压，而不是悬空在某个中间状态。

图 4. 使用监控芯片的建议备用电池设计



其他注意事项

一些 SRAM 能够具有多个低电平有效或高电平有效的芯片使能引脚。为了使 SRAM 进入待机模式，必须保证所有芯片使能都处于某个固定的 CMOS 电平（不悬空），并且它们之中至少有一个需要保持为禁用状态。例如，对于具有两个芯片使能的 SRAM — \overline{CE}_1 （低电平有效）和 CE_2 （高电平有效）— 指导如下：

- 将 SRAM \overline{CE}_1 与监控相连接，如前一章节中所介绍的 \overline{CE} 的连接方式。
- 如果微处理器具有专用于 SRAM 控制的 I/O，请将 SRAM CE_2 直接连接到该 I/O。需要使用一个接地（GND）的外部弱下拉电阻，以便在发生电源故障时，可以避免输入进入中间状态。请参考图 5，了解该方案的配置。

- 如果不存在微处理器 I/O，请通过一个弱上拉电阻（一千欧姆）将 SRAM CE_2 连接到它的 V_{CC} 。在这种情况下，因为没有任何活动器件驱动该线路，所以也不存在任何方向的电流危险。第 6 页上的图 6 显示了该方案。

许多监控芯片具有一个 *RESET* 输出，可将其用于不同目的。当主电源下降到某个阈值电平以下（例如，电池模式下），该输出被驱动为低电平；而在主电源超过了阈值电平时，它便被驱动为高电平（例如，正常模式下）。通过使用该输出，可以驱动微处理器，以便触发断电或复位有关的事件。它还可以用于驱动 SRAM 的第二个芯片使能（ CE_2 ）。请参考第 6 页上的图 7，了解该连接方案。

根据应用的实际使用情况，可为具有多个芯片使能的 SRAM 进行设计扩展或调整。

图 5. 微处理器驱动 SRAM 的第二个芯片使能

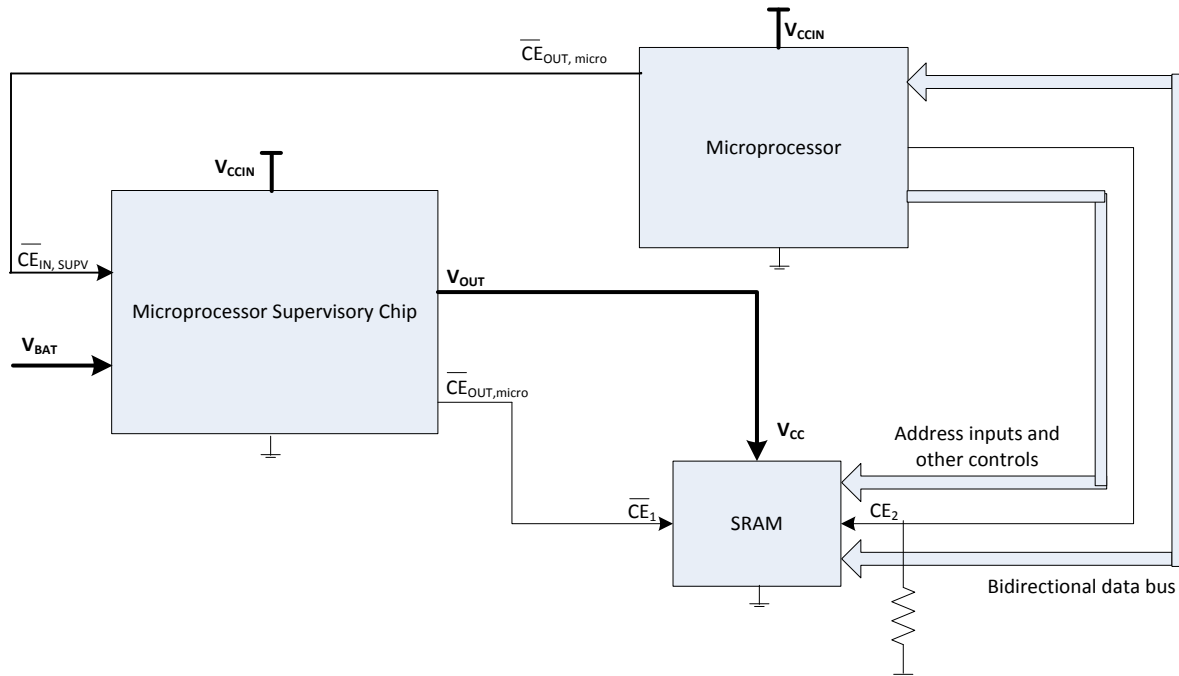


图 6. SRAM 的第二个芯片使能永远上拉

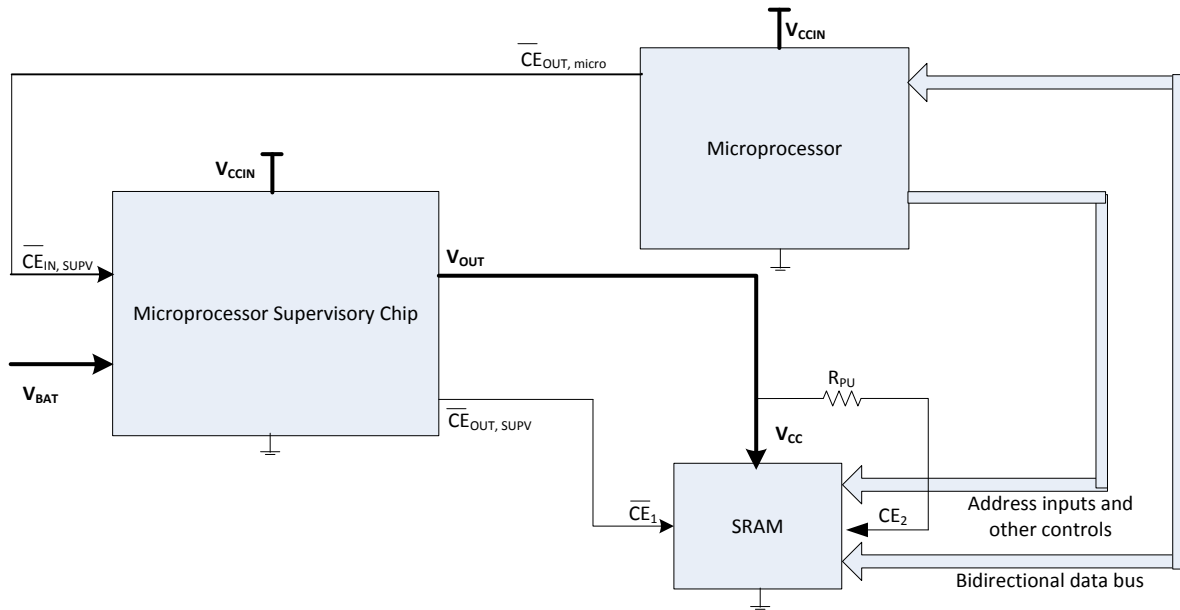
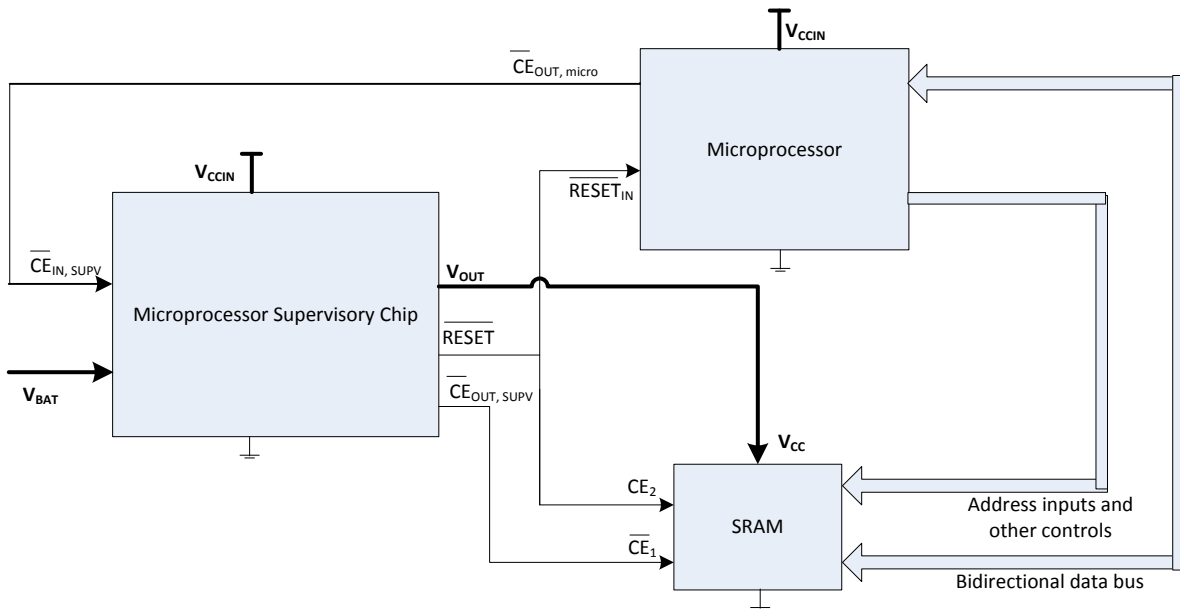


图 7. 监控芯片的复位引脚驱动 SRAM 的第二个芯片使能



代替的设计方法：使用 RESET 监视器

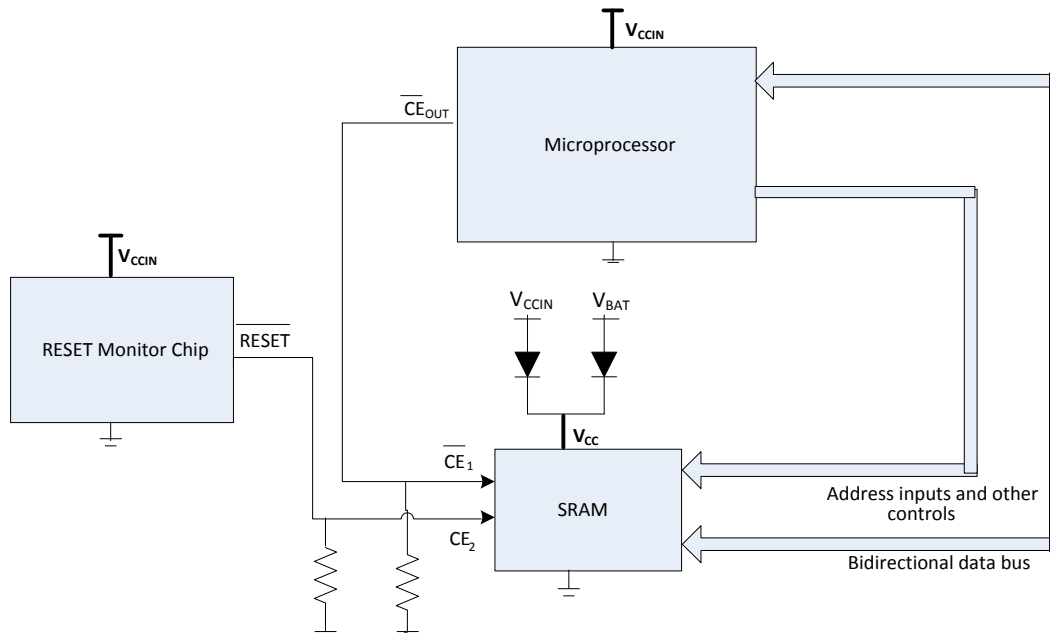
该章节介绍了备用电池应用中使用复位监视器的方法。复位监视器与监控相同，并且它容易被使用在具有极少外部连接的设计中。一个复位监视芯片通常具有 V_{CCIN} 、GND 和一个低电平有效输出（ \overline{RESET} ）等三个引脚。复位监视芯片对其输入引脚（ V_{CCIN} ）上的供电电压连续进行监视，并且通过对 V_{CCIN} 与一组阈值电压限制进行对比来提供复位信号。复位监视芯片通常使用非常低的供电电流，这样可使其适用于各种备用电池应用。

该部分中所谈及的方法仅能应用于双芯片使能 SRAM。如上面显示的，通过将至少一个芯片使能保持为禁用状态，可使赛普拉斯的异步 SRAM 进入待机模式。该方案的连接如图 8 所示。

V_{CCIN} 和 V_{BAT} 分别由主电源和电池供电。SRAM V_{CC} 在正常模式下等于 V_{CCIN} ，而在电池模式下等于 V_{BAT} 。使用 V_{CCIN} 还是 V_{BAT} ，是由二极管连接来选择的（与传统设置方法中的配置相同）。

SRAM 的芯片使能 \overline{CE}_1 在正常模式下由微处理器驱动，并且由一个外部与其相连的弱下拉电阻下拉。SRAM 的高电平有效 CE_2 信号与复位监视芯片的 \overline{RESET} 输出相连接。在正常模式下，复位芯片连续监视外部电源（ V_{CCIN} ），并且在 V_{CCIN} 高于阈值电压时，会将输出保持为高电平。它在 V_{CCIN} 下降到阈值电压以下时将 \overline{RESET} 驱动为低电平。 V_{CCIN} 下降时，SRAM CE_2 上的一个接地弱下拉可防止该引脚进入某个不确定的（悬空）状态。因此，通过将 CE_2 设为低电平，可使 SRAM 进入待机模式。

图 8. 使用复位监视器的备用电池 SRAM 设计



该方法存在某些限制，具体如下：

1. 该方法只能应用于双芯片使能 SRAM。
2. 提供给 SRAM V_{CC} 的有效电压被降低了一个二极管电压降（ $\sim 0.7V$ ），进而使 V_{CC} 更容易受到噪声的影响。

因此，建议在备用电池应用设计中使用一个微处理器监控芯片。

摘要

对于使用赛普拉斯 MoBL SRAM 备用电池应用的新设计，建议使用本应用笔记中所介绍的监控方法。

文档修订记录

文档标题：使用赛普拉斯 MoBL[®] SRAM 的备用电池 SRAM 设计建议 — AN44517

文档编号：001-95810

版本	ECN	变更者	提交日期	变更说明
**	4691570	WAHY	04/10/2015	本文档版本号为 Rev**，译自英文版 001-44517 Rev*G。

销售和设计支持

赛普拉斯公司拥有一个由办事处、解决方案中心、厂商代表和经销商组成的全球性网络。如果想要查找离您最近的办事处，请访问[赛普拉斯所在地](#)。

产品

汽车级产品	cypress.com/go/automotive
时钟和缓冲器	cypress.com/go/clocks
接口	cypress.com/go/interface
照明与电源控制	cypress.com/go/powerpsoc cypress.com/go/plc
存储器	cypress.com/go/memory
光学导航传感器	cypress.com/go/ons
PSoC	cypress.com/go/psoc
触摸感应	cypress.com/go/touch
USB 控制器	cypress.com/go/usb
无线/射频	cypress.com/go/wireless

PSoC®解决方案

psoc.cypress.com/solutions

[PSoC 1](#) | [PSoC 3](#) | [PSoC 5](#)

赛普拉斯开发者社区

[社区](#) | [论坛](#) | [博客](#) | [视频](#) | [培训](#)

技术支持

cypress.com/go/support

MoBL 是赛普拉斯半导体公司的注册商标。此处引用的所有其他商标或注册商标归其各自所有者所有。



赛普拉斯半导体
198 Champion Court
San Jose, CA 95134-1709

电话 : 408-943-2600
传真 : 408-943-4730
网址 : www.cypress.com

© 赛普拉斯半导体公司，2008-2015。此处所包含的信息可能会随时更改，恕不另行通知。除赛普拉斯产品内嵌的电路外，赛普拉斯半导体公司不对任何其他电路的使用承担任何责任。也不会以明示或暗示的方式授予任何专利许可或其他权利。除非与赛普拉斯签订明确的书面协议，否则赛普拉斯不保证产品能够用于或适用于医疗、生命支持、救生、关键控制或安全应用领域。此外，对于可能发生运转异常和故障并对用户造成严重伤害的生命支持系统，赛普拉斯不授权将其产品用作此类系统的关键组件。若将赛普拉斯产品用于生命支持系统中，则表示制造商将承担因此类使用而招致的所有风险，并确保赛普拉斯免于因此而受到任何指控。

该源代码（软件和/或固件）均归赛普拉斯半导体公司（赛普拉斯）所有，并受全球专利法规（美国和美国以外的专利法规）、美国版权法以及国际条约规定的保护和约束。赛普拉斯据此向获许可者授予适用于个人的、非独占性、不可转让的许可，用以复制、使用、修改、创建赛普拉斯源代码的派生作品、编译赛普拉斯源代码和派生作品，并且其目的只能是创建自定义软件和/或固件，以支持获许可者仅将其获得的产品依照适用协议规定的方式与赛普拉斯集成电路配合使用。除上述指定的用途外，未经赛普拉斯明确的书面许可，不得对此类源代码进行任何复制、修改、转换、编译或演示。

免责声明：赛普拉斯不针对此材料提供任何类型的明示或暗示保证，包括（但不限于）针对特定用途的适销性和适用性的暗示保证。赛普拉斯保留在不做出通知的情况下对此处所述材料进行更改的权利。赛普拉斯不对此处所述之任何产品或电路的应用或使用承担任何责任。对于可能发生运转异常和故障，并对用户造成严重伤害的生命支持系统，赛普拉斯不授权将其产品用作此类系统的关键组件。若将赛普拉斯产品用于生命支持系统中，则表示制造商将承担因此类使用而招致的所有风险，并确保赛普拉斯免于因此而受到任何指控。

产品使用可能适用于赛普拉斯软件许可协议的限制。