

## サイプレスはインフィニオン テクノロジーズになりました

この表紙に続く文書には「サイプレス」と表記されていますが、これは同社が最初にこの製品を開発したからです。新規および既存のお客様いずれに対しても、引き続きインフィニオンがラインアップの一部として当該製品をご提供いたします。

## 文書の内容の継続性

下記製品がインフィニオンの製品ラインアップの一部として提供されたとしても、それを理由としてこの文書に変更が加わることはありません。今後も適宜改訂は行いますが、変更があった場合は文書の履歴ページでお知らせします。

## 注文時の部品番号の継続性

インフィニオンは既存の部品番号を引き続きサポートします。ご注文の際は、データシート記載の注文部品番号をこれまで通りご利用下さい。

## 車載向け電源システムの EMI ノイズ改善設計

著者: Yukinori Maekawa

関連製品ファミリ: S6BP20xA, S6BP401A, S6BP50xA

関連資料: [ここをクリック](#)

AN218254 は、サイプレスの車載向けパワー・マネジメント IC (PMIC) 利用した電源システムの EMI ノイズ低減方法を説明します。

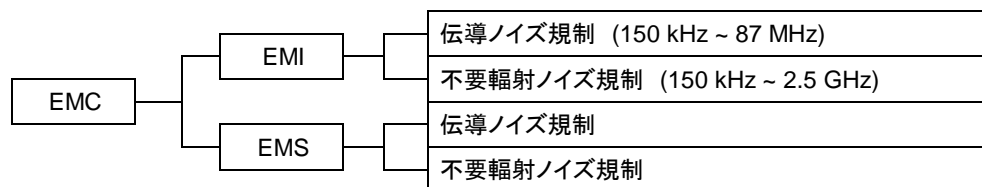
## Contents

車載向け電源システムの EMI ノイズ改善設計 .....	1	4.2. DC/DC コンバータ部品選定 .....	7
1. はじめに .....	1	4.3. PCB レイアウト .....	8
2. EMI ノイズと Primary 電源の関係について .....	2	4.4. 回路, 部品追加による対策 .....	11
3. スイッチング動作による高周波ノイズについて .....	3	4.5. シールドによる対策 .....	13
3.1. 降圧 Buck DC/DC コンバータ回路 .....	3	5. EMI 不要輻射特性例 .....	14
3.2. 昇圧 Boost DC/DC コンバータ回路 .....	4	6. 関連資料 .....	14
3.3. 昇降圧 Buck-boost DC/DC コンバータ回路 .....	5	6.1 アプリケーションノート .....	14
4. EMI 対策方法について .....	6	6.2 データシート .....	15
4.1. Spread Spectrum Clock Generator (SSCG)		改訂履歴 .....	16
機能 .....	6		

## 1. はじめに

現在の自動車には様々な受信機が搭載されています。また自動車周辺に設置された受信機が存在することがあります。これら車載 (もしくは周辺設置) の受信機を保護することを目的とし、IEC (International Electro-technical Commission: 国際電気標準会議) が国際規格を策定しています。この電磁ノイズに対する国際規格は CISPR25 として策定されており、車載モジュールに含まれる電源はこの規格を満たすことが求められます。電磁ノイズは以下の図のように分類することができ、EMI はその一部です。

図 1. 電磁ノイズの分類



ここで

EMC: Electromagnetic Compatibility (電磁適合性),

EMI: Electromagnetic Interference (電磁障害),

EMS: Electromagnetic Susceptibility (電磁感受性)

図内の周波数は CISPR25 での規制周波数範囲

サイプレスの代表的な車載向け PMIC を以下の表に示します。

表 1. PMIC ラインナップ

型 格	主な用途	PMIC 分類	電源構成	スイッチング周波数	出力電圧 / 電流能力
S6BP201A	クラスター, ボディ制御 ADAS	Primary	1 ch Buck-boost	200 kHz~2.1 MHz	5.0 V / 1.0 A
S6BP202A					5.0 V / 2.4 A
S6BP203A					3.3 V / 2.4 A
S6BP401A	ADAS	Secondary	4 ch Buck + 2 ch LDO	2.1 MHz	1.0 V~3.4 V / 0.2 A~3 A
S6BP501A	クラスター	Primary + Secondary	2 ch Buck + 1 ch Boost	420 kHz, 2.1 MHz	1.0 V~5.2 V / 1.3 A~1.4 A
S6BP502A					1.0 V~5.2 V / 1.3 A~2 A

ADAS: Advanced Driver Assistance System

各 PMIC の詳細仕様は各データシート(S6BP201A, S6BP202A, S6BP203A, S6BP401A, S6BP501A, S6BP502A)を参照してください。

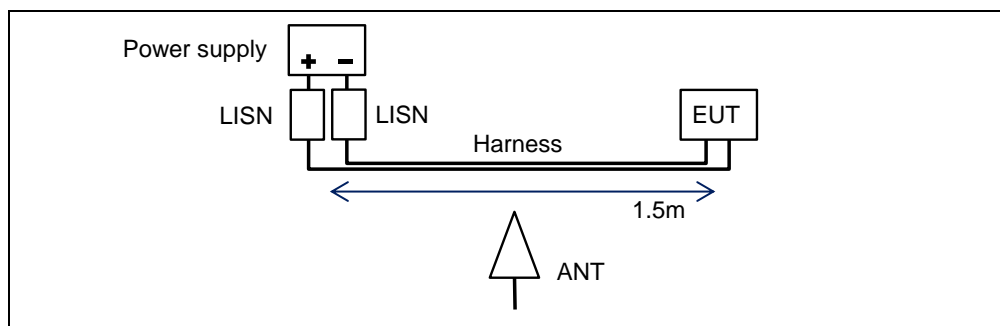
サイプレスの車載 PMIC を利用した電源システムは、スイッチング動作を伴う DC/DC コンバータです。このスイッチング動作と動作環境によりスイッチング周波数 (約 100 kHz~数 MHz) よりもはるかに高い 100 MHz を超えるレンジまで電磁ノイズを発生する場合があります。そのため、この電磁ノイズを低減する対策が必要です。

本書では、サイプレスの PMIC を利用した電源システムの設計における EMI 対策の勘所について説明します。

## 2. EMI ノイズと Primary 電源の関係について

CISPR25 では装置の EMI 不要輻射測定について、以下図のような試験構成を定義づけています。

図 2. 不要輻射 EMI 試験構成例 (平面図)



LISN: Line Impedance Stabilization Network (疑似電源回路網 または 電源インピーダンス安定回路網)

EUT: Equipment under test (被試験装置)

ANT: Antenna (EMI 測定用受信アンテナ)

1GHz 以下の不要輻射ノイズの測定では、Harness の中心を基準に行います。伝導ノイズ測定では Harness (または LISN) の電流 (または電圧) を測定します。Harness の長さは不要輻射ノイズの条件とは異なります。よって EMI ノイズの低減方法としてはノイズ発生源のレベルを下げるとともに、Harness へのノイズ伝搬を防ぐことが重要です。PMICs を含む電源モジュールにおいてはこの Harness は電源線を意味し、特に Primary 電源として機能する DC/DC コンバータチャネルの対策が重要です。

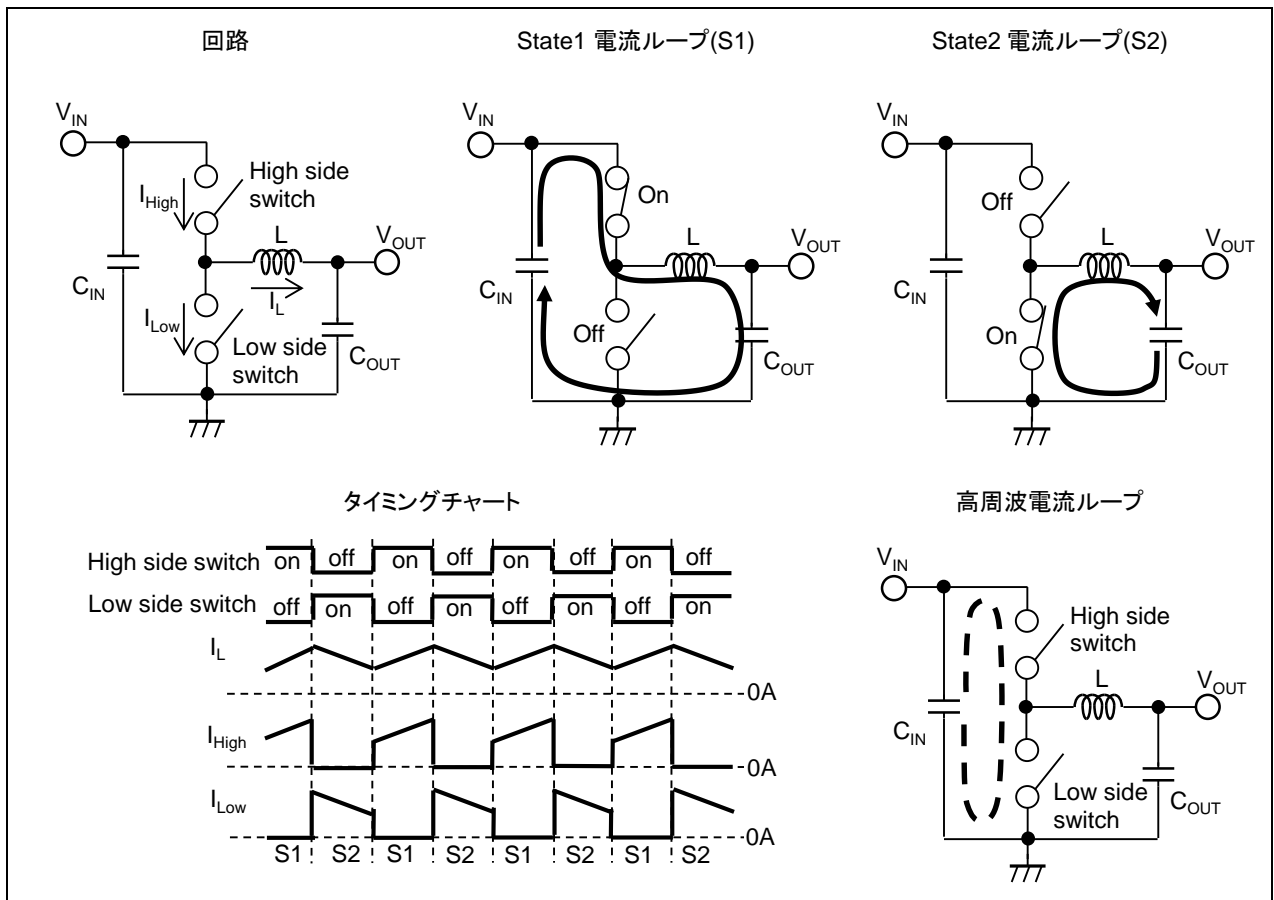
### 3. スイッチング動作による高周波ノイズについて

サイプレスの車載向け PMIC は一部を除きスイッチング周波数が 2 MHz 以上です。よって 2 MHz 未満の AM ラジオレンジ (530 kHz~1.8 MHz) で問題となることはまずありませんが、2 MHz を超える周波数レンジでは対策を要することがあります。この対策方法を説明する前にノイズの理解が必要です。特に 30 MHz 以上の高周波ノイズは重要で DC/DC コンバータのスイッチング動作により発生する高周波電流成分と、その経路によって発生します。ここではトポロジごとの高周波ノイズの発生について説明します。

#### 3.1. 降圧 Buck DC/DC コンバータ回路

Buck トポロジ DC/DC コンバータに関する回路構成、電流ループ、タイミングチャートを示します。

図 3. Buck トポロジ DC/DC コンバータ



Buck トポロジの DC/DC コンバータは、入力容量( $C_{IN}$ )、インダクタ( $L$ )、出力容量( $C_{OUT}$ )および 2 つのスイッチ素子(High side switch, Low side switch)によって構成されます。High side switch, Low side switch はタイミングチャートのように交互にオンまたはオフし、State1 と State2 を交互に繰り返します。このそれぞれの switch に流れる電流を、後段の  $L$  と  $C_{OUT}$  で構成する LPF(Low pass filter)にて平滑することで、入力電圧( $V_{IN}$ )を出力電圧( $V_{OUT}$ )まで分圧します。このスイッチング動作によるオン、オフの瞬間、高周波電流ループ図にて破線で示す  $C_{IN}$  と High side switch, Low side switch のループに急激な電流変化が発生します。この破線のループに寄生するインダクタと高周波電流が起電力を発生し、高周波ノイズが発生します。この高周波ノイズ成分を小さくするためには、寄生インダクタを小さくするかスイッチング瞬間の電流変化を小さくする必要があります。

このトポロジに該当する各 PMIC の DC/DC コンバータチャネルを以下の表に示します。

表 2. Buck トポロジ該当

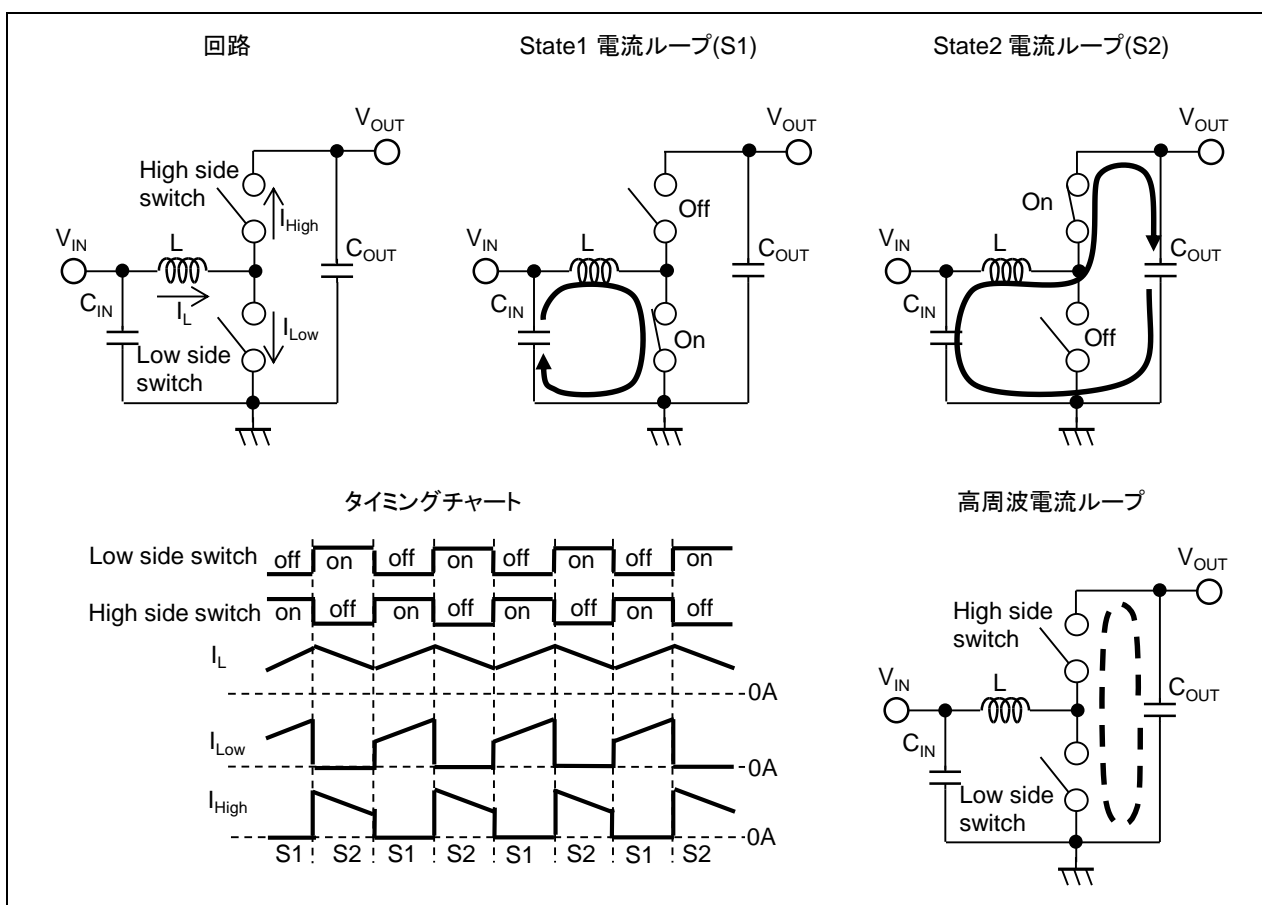
型格	チャネル
S6BP201A, S6BP202A, S6BP203A	該当なし
S6BP401A	DD1, DD2, DD3, DD4
S6BP501A, S6BP502A	DD1V, DD3V

各チャネル名についてはデータシート (S6BP201A, S6BP202A, S6BP203A, S6BP401A, S6BP501A, S6BP502A) を参照してください。

### 3.2. 昇圧 Boost DC/DC コンバータ回路

Boost トポロジ DC/DC コンバータに関する回路構成, 電流ループ, タイミングチャートを以下の図に示します。

図 4. Boost トポロジ DC/DC コンバータ



Boost トポロジの DC/DC コンバータは、入力容量 ( $C_{IN}$ )、インダクタ ( $L$ )、出力容量 ( $C_{OUT}$ ) および 2 つのスイッチ素子 (High side switch, Low side switch) によって構成されます。High side switch, Low side switch はタイミングチャートのように交互にオンまたはオフし、State1 と State2 を交互に繰り返します。特に State2 においてインダクタは電流を維持しようとするのでインダクタ端子間に起電力 (昇圧された電圧) が発生し、後段の  $C_{OUT}$  に供給します。この電流を  $C_{OUT}$  にて平滑することで、出力電圧 ( $V_{OUT}$ ) を生成します。このスイッチング動作によるオン、オフの瞬間、高周波電流ループ図にて破線で示す  $C_{OUT}$  と High side switch, Low side switch のループに急激な電流変化が発生します。この破線のループに寄生するインダクタと高周波電流が起電力を発生し、高周波ノイズが発生します。この高周波ノイズ成分を小さくするためには、寄生インダクタを小さくするかスイッチング瞬間の電流変化を小さくする必要があります。

このトポロジに該当する各 PMIC の DC/DC コンバータチャネルを以下の表に示します。

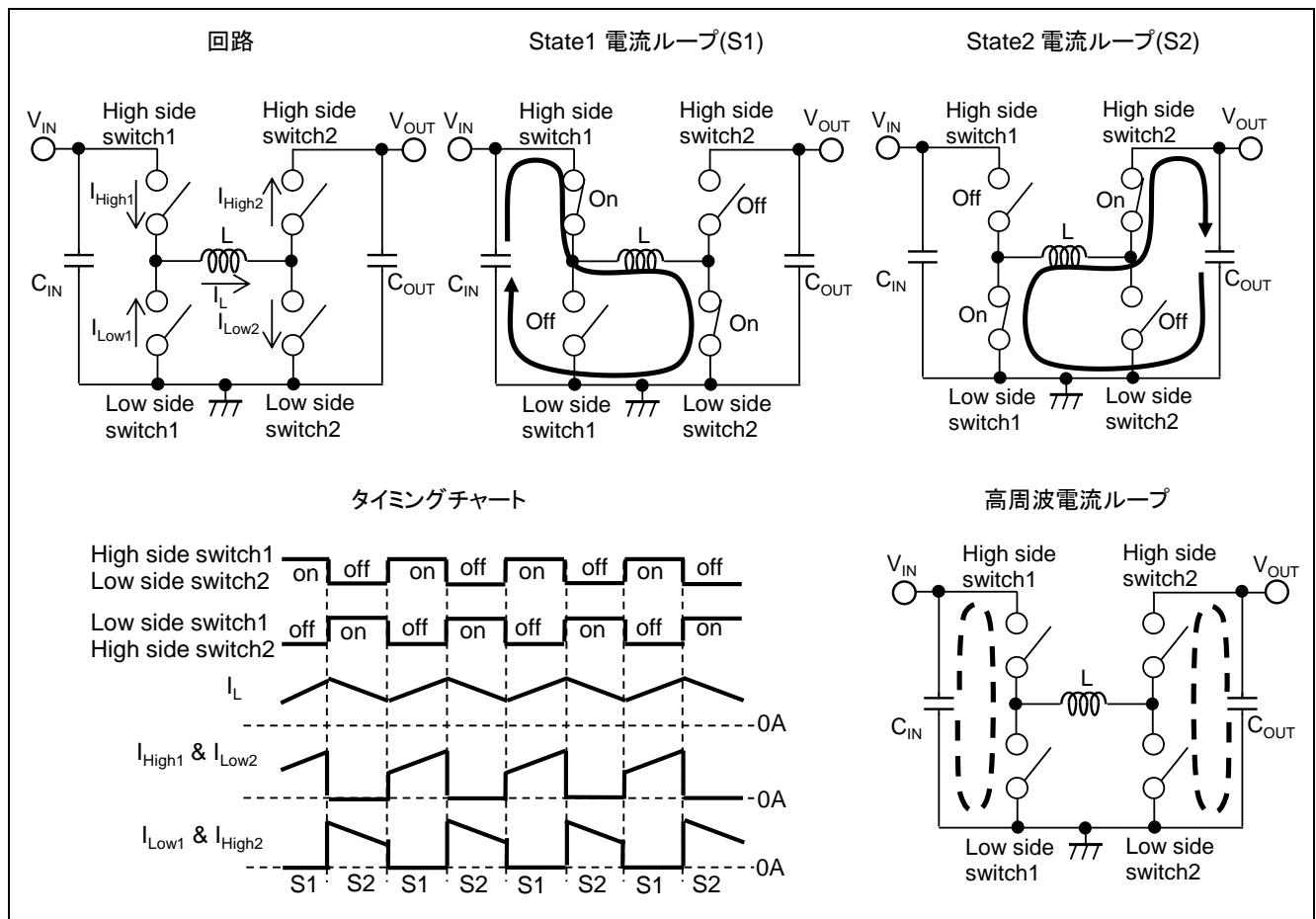
表 3. Boost トポロジ 該当

型格	チャネル
S6BP201A, S6BP202A, S6BP203A	該当なし
S6BP401A	該当なし
S6BP501A, S6BP502A	DD5V

### 3.3. 昇降圧 Buck-boost DC/DC コンバータ回路

Buck-boost トポロジ DC/DC コンバータに関する回路構成、電流ループ、タイミングチャートを以下の図に示します。

図 5. Buck-boost トポロジ DC/DC コンバータ



Buck-boost トポロジの DC/DC コンバータは、入力容量 ( $C_{IN}$ )、インダクタ ( $L$ )、出力容量 ( $C_{OUT}$ ) および 4 つのスイッチ素子 (High side switch1, Low side switch1, High side switch2, Low side switch2) によって構成されます。4 つの switch はタイミングチャートのように交互にオンまたはオフし、State1 と State2 を交互に繰り返します。このそれぞれの switch に流れる電流を後段の  $C_{OUT}$  にて平滑することで出力電圧 ( $V_{OUT}$ ) を生成します。このスイッチング動作によるオン、オフの瞬間、高周波電流ループ図にて破線で示す 2 つのループに急激な電流変化が発生します。この破線のループに寄生するインダクタと高周波電流が起電力を発生し、高周波ノイズが発生します。この高周波ノイズ成分を小さくするためには、寄生インダクタを小さくするか、スイッチング瞬間の電流変化を小さくする必要があります。

このトポロジに該当する各 PMIC の DC/DC コンバータチャネルを以下の表に示します。

表 4. Buck-boost トポロジ 該当

型格	チャネル
S6BP201A, S6BP202A, S6BP203A	該当
S6BP401A	該当なし
S6BP501A, S6BP502A	該当なし

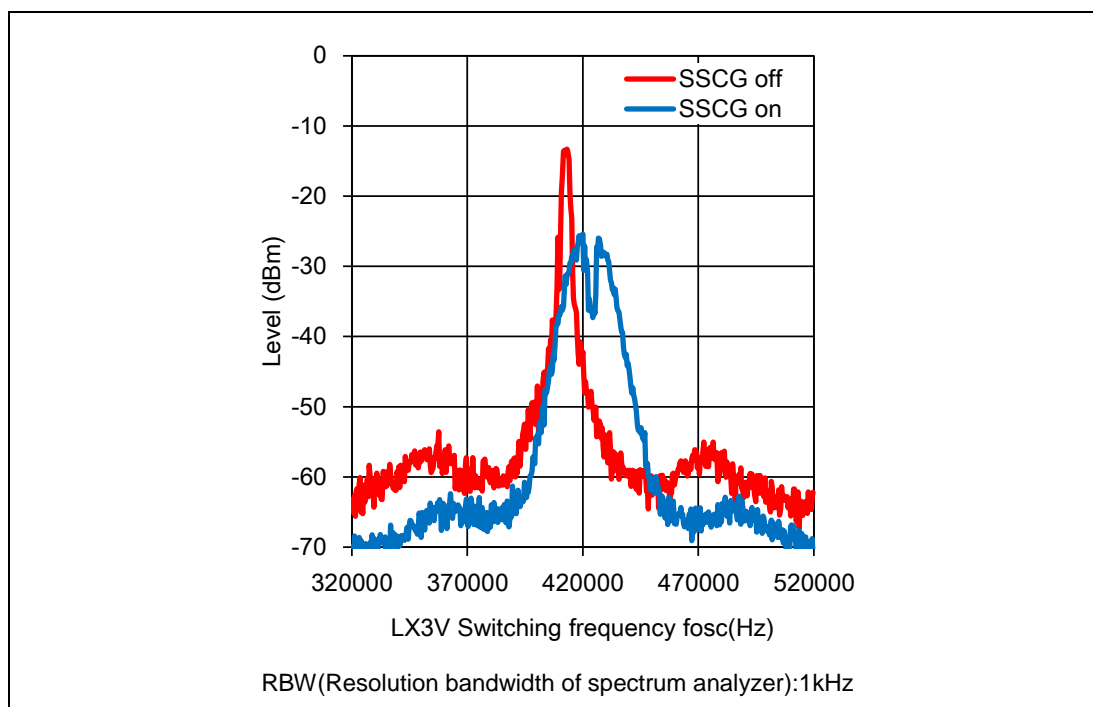
## 4. EMI 対策方法について

ノイズ対策にはいくつかの方法があります。BOM への影響を小さくした、PMIC の設定、部品選定、および PCB レアウトによる対策について説明します。後半ではさらに、回路や部品の追加による対策方法も説明します。

### 4.1. Spread Spectrum Clock Generator (SSCG) 機能

DC/DC コンバータのスイッチング周波数を拡散する SSCG 機能を使用することで EMI ノイズレベルを低減できます。S6BP501A, S6BP502A では、すべての DC/DC コンバータチャネルのスイッチング周波数を 6% 高周波方向に拡散します。SSCG 機能を有効にするためには ENSS 端子を VB 端子へ接続します(ENSS 端子, VB 端子については [S6BP501A, S6BP502A データシート](#) を参照してください)。SSCG 機能によるスイッチングノードである LX3V の拡散特性例を、以下に示します。

図 6. SSCG によるスペクトル拡散特性(LX3V)

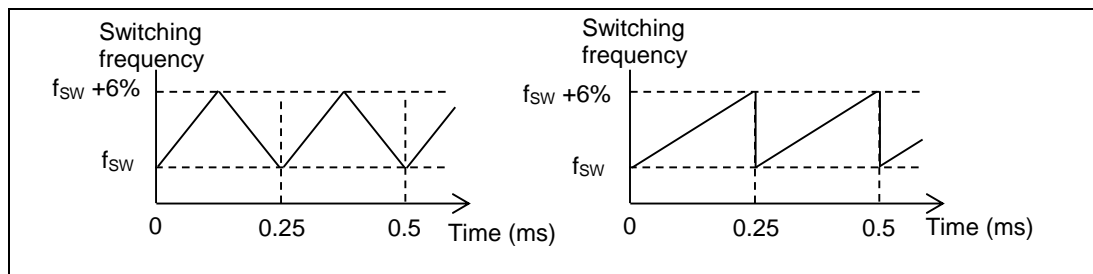


LX3V は、S6BP501A, S6BP502A の端子名で DD3V DC/DC コンバータのスイッチングノード信号です。

S6BP201A, S6BP202A, S6BP203A および S6BP401A では外部クロック同期動作として SYNC 端子にスペクトラム拡散したクロック入力することで同等の動作を実現できます。以下の図にスペクトラム拡散例を示します。



図 7. SYNC 端子スペクトラム拡散クロック例



## 4.2. DC/DC コンバータ部品選定

高周波電流ループが通過する部品については、寄生インダクタ (ESL) の小さなものを選定してください。DC/DC コンバータ動作において、仮に 2A の負荷でスイッチング遷移時間が 2ns とすると 1nH の ESL があるだけで 1V の起電力が発生します。このことからいかに ESL を小さくすることが重要であるかがわかります。以下に各部品選定について示します。

### 4.2.1. 入力コンデンサ, 出力コンデンサ

スイッチング周波数のリップル電流を効果的に吸収するよう、セラミックコンデンサを推奨します。またこの入力コンデンサ, 出力コンデンサの推奨容量値を満たすセラミックコンデンサは、3216 サイズ以上となることが多く、一般的にこれらのサイズのセラミックコンデンサは、1nH 以上の ESL を保有しています。この ESL を低減するために 0.1μF や 0.01μF 程度のより寄生インダクタ (ESL) が小さい小型のセラミックコンデンサを並列に配置することを推奨します。例えば 1005 サイズセラミックコンデンサの ESL は 0.5nH 程度とより小さな値です。フリップタイプセラミックコンデンサ、もしくは 3 端子セラミックコンデンサの選択なども効果的です。

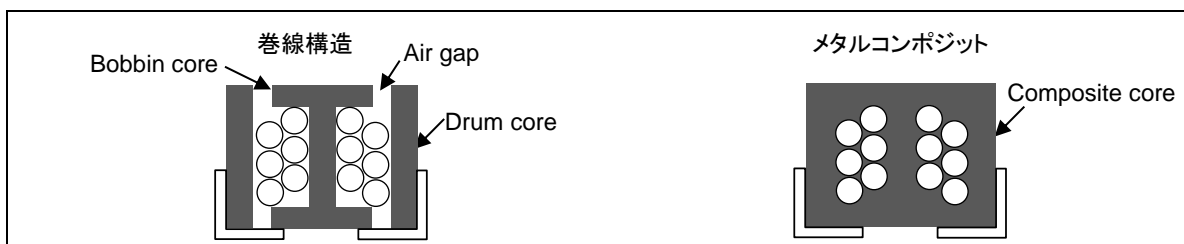
### 4.2.2. 外付けスイッチング FET

S6BP501A, S6BP502A の DD3V のように外付けのスイッチング FET が必要な場合は、パッケージのリードによる寄生インダクタの小さなものを選定してください。SOP (Small Outline Package) のような従来のリード形状のものよりも例えば小型の DFN (Dual Flat pack No-leaded) のほうが有利です。

### 4.2.3. インダクタ

コイルのエアギャップなどから電界ノイズが放射され、AM ラジオ帯域 (500kHz~2MHz) での不要輻射ノイズの原因となることがまれにあります。この場合、コアのエアギャップが存在する巻線構造のものからメタルコンポジット構造のものに変更することで改善します。以下の図に各インダクタの断面構造例を示します。

図 8. インダクタの断面構造例





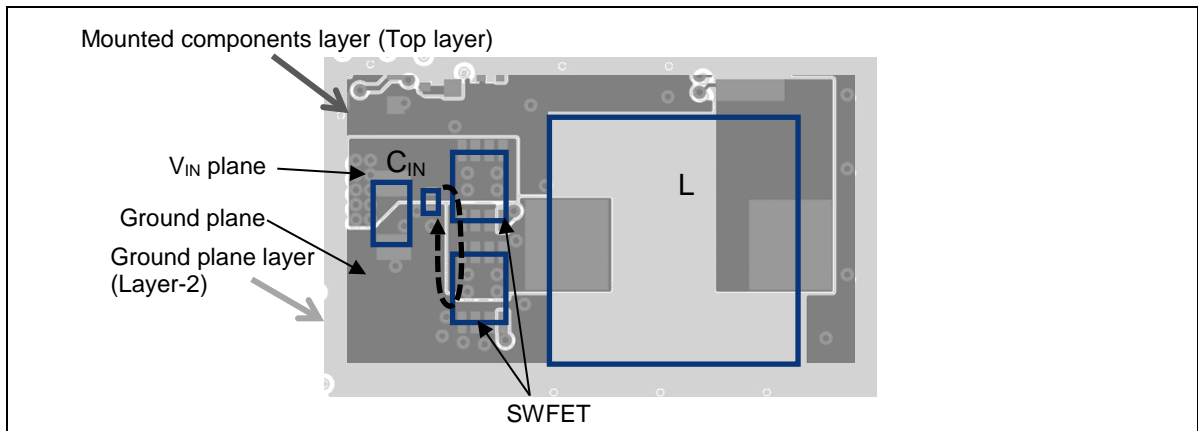
### 4.3. PCB レイアウト

レイアウトによる EMI ノイズ対策の基本方針は「高周波電流ループが小さくなるように配線する」に尽きます。PMIC アプリケーションノートのレイアウトガイドライン内でも記載していますが、ここでは特に高周波電流ループ対策について説明します。

#### 4.3.1. 降圧 Buck DC/DC コンバータ

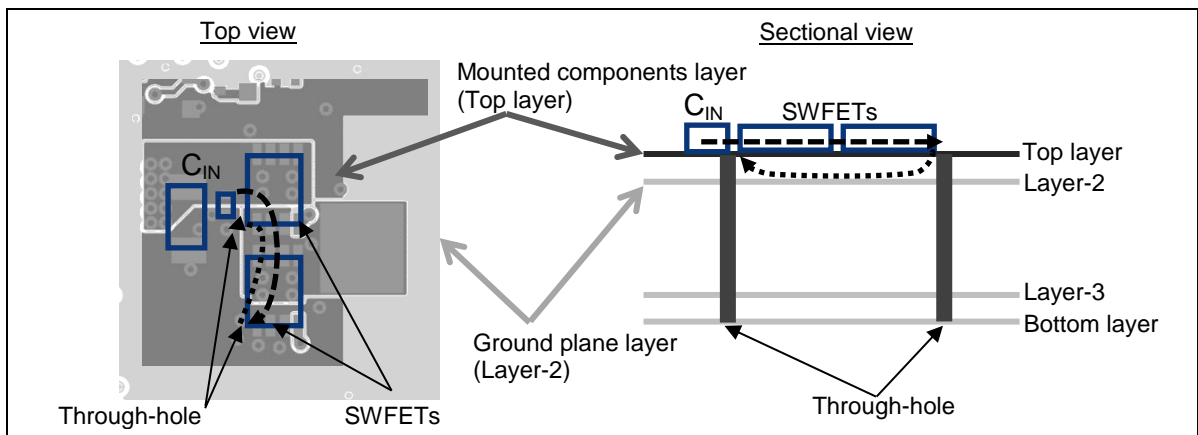
S6BP502A の DD3V チャンネルのレイアウト例を以下の図に示します。4 層基板の例ですが、ここでは Layer-1 (Top layer) と内層の Layer-2 を抜粋しています。

図 9. S6BP502A の DD3V レイアウト例



S6BP502A の DD3V は Buck トポロジであるため、入力コンデンサ ( $C_{IN}$ ) と 2 つのスイッチング FET (SWFET) によって高周波電流ループが構成されます。このレイアウトではループ電流が破線で示したように非常に小さくなっています。これは Top layer で構成されるループですが、以下の図で示す内層グラウンドプレーンの Layer-2 を経路としたループにも存在します。電流ループは同様に破線で示し、右には基板断面の図を示します。

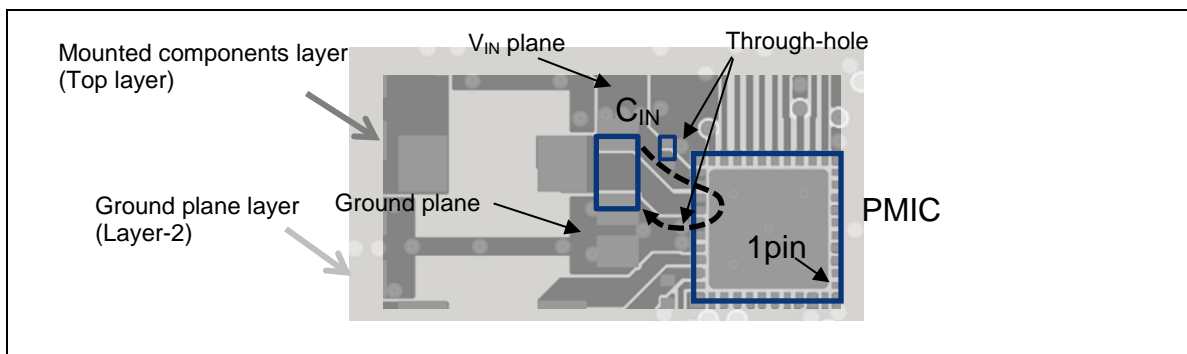
図 10. 高周波電流ループ (Layer-2)



4 層基板であれば一般的に Top layer と Layer-2 のギャップは  $100\ \mu\text{m} \sim 200\ \mu\text{m}$  であり、このループの面積も非常に小さな値です。部品搭載面の直下にグラウンドプレーンを設けることによって、この高周波電流のリターン経路を確保します。Top layer で構成されるループ、Layer-2 を含めたループのうちループインダクタンスのより小さなほうに電流は流れます。4 層基板においては、層間ギャップをより狭いものにすることが高周波ノイズの低減対策になります。2 層基板の場合、基板厚が層間ギャップとなるため、同ループによる寄生インダクタンスは 4 層基板の 8 倍から 16 倍になり、非常に不利です。

またスイッチング FET を内蔵したチャネルの例として、S6BP401A の DD2 チャネルのレイアウト例を以下の図に示します。同様に 4 層基板のうち Layer-1 (Top layer) と内層の Layer-2 を抜粋しています。

図 11. S6BP401A の DD2 レイアウト例

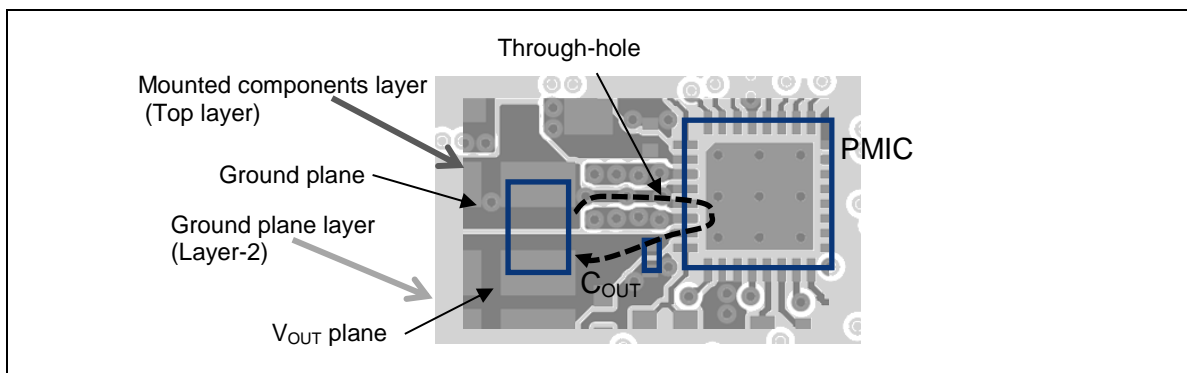


S6BP401A の DD2 は Buck トポロジですが、2つのスイッチング FET は PMIC に内蔵されています。このため、入力コンデンサ ( $C_{IN}$ ) と PMIC 自身で高周波電流ループを構成します。このレイアウトではループ電流が破線で示したような経路です。これは Top layer で構成されるループですが、前述の DD3V チャネルでの例と同様に内層グランドプレーンの Layer-2 を経路としたループも存在します。このレイアウト案でも双方の高周波電流ループが最短となるようなレイアウトです。

#### 4.3.2. 昇圧 Boost DC/DC コンバータ

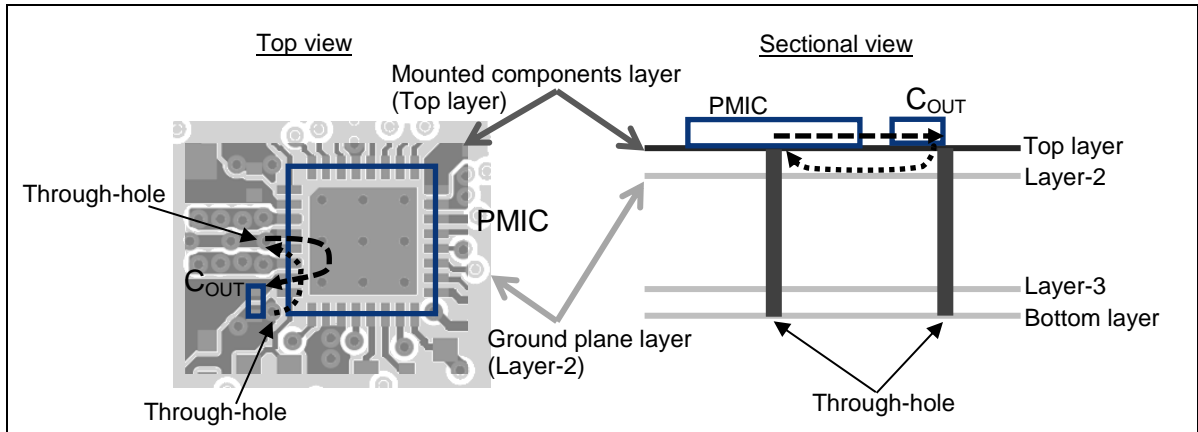
S6BP502A の DD5V チャネルのレイアウト例を以下の図に示します。4 層基板の例ですがこのうち Layer-1 (Top layer) と内層の Layer-2 を抜粋しています。

図 12. S6BP502A の DD5V レイアウト例



S6BP502A の DD5V は Boost トポロジで、かつ 2つのスイッチング FET は PMIC 内蔵です。このため、出力コンデンサ ( $C_{OUT}$ ) と PMIC 内部の 2つのスイッチング FET によって高周波電流ループを構成します。このレイアウトでは破線で示したようなループ電流経路です。これは Top layer で構成されるループですが、以下の図で示す内層グランドプレーンの Layer-2 を経路としたループも存在します。電流ループは同様に破線で示し、右には基板断面を示しています。

図 13. 高周波電流ループ(Layer-2)

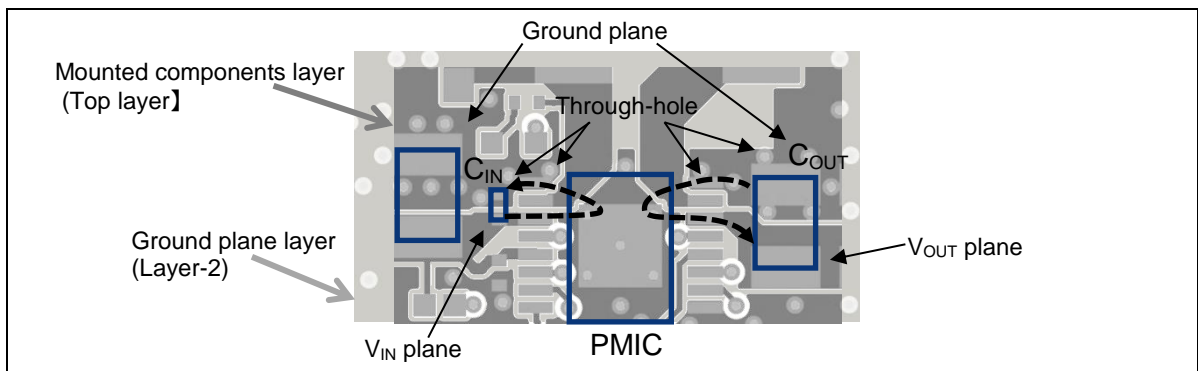


Layer-2 を経路とした高周波電流ループも最短となるようなレイアウトです。

#### 4.3.3. 昇降圧 Buck-boost DC/DC コンバータ

S6BP202A のレイアウト例を以下の図に示します。4 層基板の例ですがこのうち Layer-1 (Top layer) と内層の Layer-2 を抜粋しています。

図 14. S6BP202A レイアウト例



S6BP202A は Buck-boost トポロジで、かつ 4 つのスイッチング FET は PMIC 内蔵です。このため、入力コンデンサ ( $C_{IN}$ ) と PMIC 内部の 2 つのスイッチング FET (SWFET) によって構成されるループ、および出力コンデンサ ( $C_{OUT}$ ) と PMIC 内部の 2 つのスイッチング FET (SWFET) によって構成されるループが 2 つの高周波電流ループです。このレイアウトでは破線で示したようなループ経路です。これは Top layer で構成されるループですが、他のトポロジ同様に内層グラウンドプレーンの Layer-2 を経路としたループも存在し、このループも最短となるようなレイアウトです。

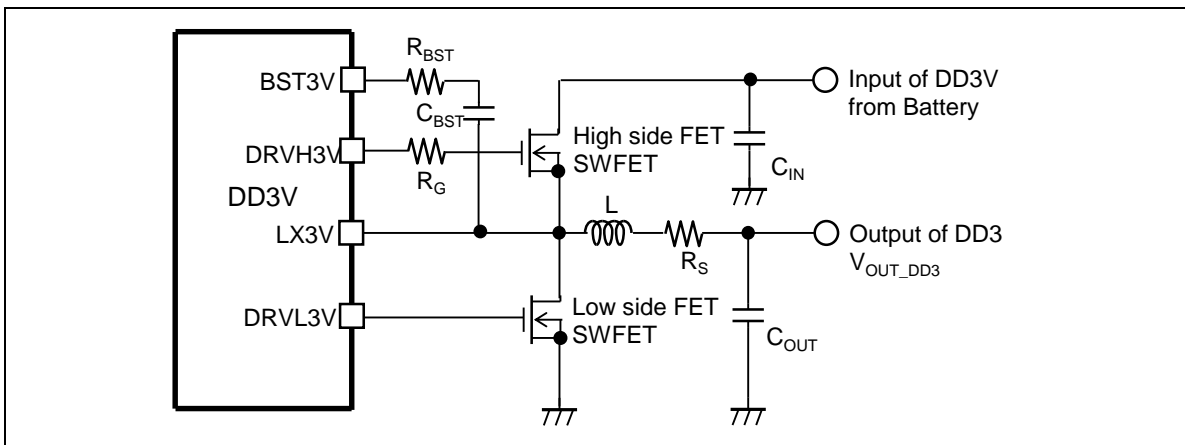
#### 4.4. 回路、部品追加による対策

回路や部品追加による対策としては、以下の方法があります。

##### 4.4.1. ブートストラップ抵抗, スイッチング FET ゲート抵抗

以下の図に Buck コンバータのスイッチング FET 周辺回路例を示します。

図 15. S6BP502A DD3V 回路例



BST3V, DRVH3V, LX3V, DRVL3V は、PMIC の端子名です。詳細は [S6BP501A](#), [S6BP502A データシート](#) を参照してください。

30MHz を超える高周波ノイズの低減には、電流のスルーレートの削減も効果的です。これはスイッチング FET のスイッチング速度を低下することで実現可能です。Buck コンバータの場合は High side FET の SWFET のスイッチング速度が重要です。

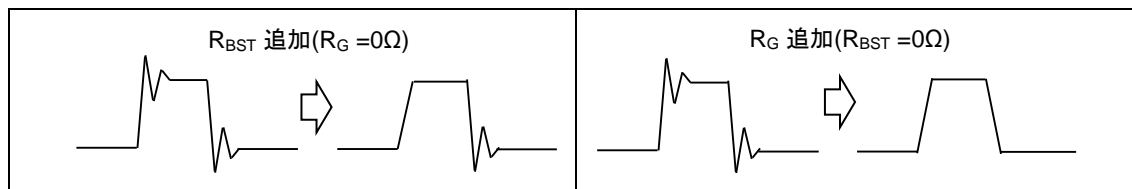
ブートストラップ抵抗 ( $R_{BST}$ ) により LX3V に繋がるスイッチングノード波形の立上りを緩やかにすることが可能です。この対策はブートストラップコンデンサが存在するチャンネルにおいて適用可能です。

$R_{BST}$  の増加により DC/DC コンバータの変換効率やブートストラップコンデンサ ( $C_{BST}$ ) のチャージ電流にも影響を与えます。EMI ノイズレベル, スイッチング波形, 変換効率を確認しつつ  $R_{BST}$  を調整する必要があります。 $R_{BST}$  を増加すると EMI ノイズレベルは改善します。しかしながら大きすぎる  $R_{BST}$  を選定すると、スイッチング波形が矩形波から崩れたり、変換効率が低下する傾向があります。 $R_{BST}$  は  $10\Omega$  を 1 つの指標とし、上記傾向を考慮し選定してください。

また、High side FET のゲート抵抗 ( $R_G$ ) により、LX3V に繋がるスイッチングノード波形の立上り, 立下り双方を緩やかにすることが可能です。この対策は PMIC 外にスイッチング FET を接続するチャンネルにおいて適用可能です。ただし  $R_G$  の増加により High side FET のオフタイミングが遅れる傾向があり、Low side FET のオンタイミングと重なると貫通電流が流れることがあります。 $R_G$  もまた EMI ノイズレベル, スイッチング波形, 変換効率を確認しつつ調整する必要があります。 $R_G$  もまた  $10\Omega$  を 1 つの指標とし、上記傾向を考慮し選定してください。

以下の図にそれぞれの抵抗に追加に対する波形の変化を示します。

図 16. 抵抗追加によるスイッチングノード波形の変化



この対策が適用可能な PMIC チャンネルを以下に示します。

表 5. 抵抗追加対策対応

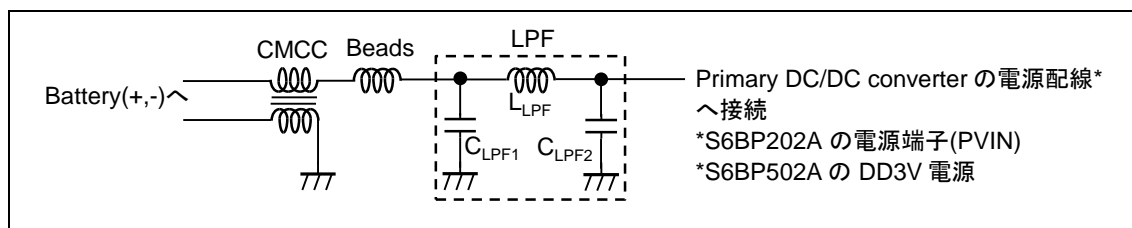
型格	$R_{BST}$ 追加	$R_G$ 追加
S6BP201A, S6BP202A, S6BP203A	○	×
S6BP401A (DD1, DD2, DD3, DD4)	×	×
S6BP501A, S6BP502A	DD3V のみ○	DD3V のみ○

双方適用可能なチャンネルの場合は、まず  $R_{BST}$  にて効果を確認し、不十分であれば  $R_{BST}$  を  $0\Omega$  に戻したうえで  $R_G$  にて確認することを推奨します。

#### 4.4.2. ローパスフィルター (LPF), チップビーズ (Beads), コモンモードチョークコイル (CMCC)

Primary 電源のスイッチングリップル電流が電源ラインに重畳すると、AM ラジオレンジ (500kHz~2MHz) もしくはそれ以上のレンジでノイズレベルが増大することがあります。この場合、Primary 電源、バッテリーからの電力線間に LPF を追加することで改善します。30 MHz を超える高周波レンジでは、Beads もしくは CMCC を利用します。基本的にはバッテリーへの Harness+側、-側に逆相に重畳するノイズに対しては Beads が、同相に重畳するノイズに対しては CMCC が、効果的です。改善の必要な周波数レンジで減衰率が高く、電流定格の満たす電源ライン用を選定してください。以下の図に追加回路例を示します。

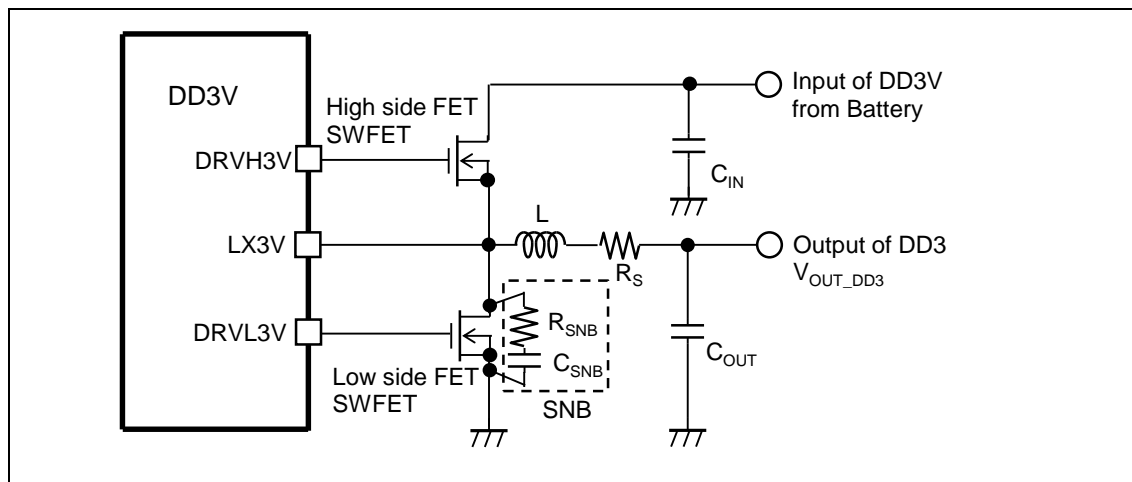
図 17. LPF, Beads, CMCC 追加回路例



#### 4.4.3. スイッチングノードのスナバ(SNB)

Buck トポロジの DC/DC コンバータの例として S6BP502A の DD3V チャンネルの接続例を以下の図に示します。

図 18. SNB 追加回路例



LX3V につながるスイッチングノードの電圧波形に高周波(例えば 30 MHz 以上)のリングングが発生する場合、SNB の追加によりリングングの低減が可能です。一般的には SNB の追加よりも 4.4.1 の  $R_{BST}$ ,  $R_G$  追加のほうが EMI ノイズ低減に効果的なケースが多いのですが、「 $R_{BST}$ ,  $R_G$  を追加しても十分な効果が得られない」、もしくは「対象チャンネルに  $R_{BST}$ ,  $R_G$  を追加できない」場合は SNB による対策を検討してください。SNB は図 18 のように抵抗 ( $R_{SNB}$ ), コンデンサ ( $C_{SNB}$ ) を直列に接続す

ることで構成します。サイズの小さな部品は ESL が小さい(例えば 1005 サイズのチップコンデンサの ESL は 0.5nH です)ので、極力サイズの小さなチップ抵抗やセラミックコンデンサを使用してください。

各トポロジの一般的な SNB 接続箇所は以下表に示します。

表 6. SNB 接続箇所

トポロジ	SNB 接続箇所
Buck	Low side FET の Drain-Source 間
Boost	High side FET の Drain-Source 間
Buck-boost	LX1-PGND1 端子間

LX1, PGND1 は、S6BP201A, S6BP202A, S6BP203A の端子名です。

詳細は [S6BP201A](#), [S6BP202A](#), [S6BP203A](#) データシートを参照してください。

#### 4.5. シールドによる対策

DC/DC コンバータを覆うためのシールドは、できる限り高さを抑えそのサイズをコンパクトなものにしてください。鉄などの強磁性体によるシールドが一般的ですが、高周波 (例えば 30MHz 以上) の電磁界ノイズや低周波 (例えば 30MHz 以下) の電界ノイズ対策には銅によるシールドも効果的です。

## 5. EMI 不要輻射特性例

Primary DC/DC コンバータを構成する PMIC に関する、EMI 不要輻射 (ピーク値) 特性例を以下に示します。

図 19. S6BP202A (EUT: S6SBP202A1FVA1001)

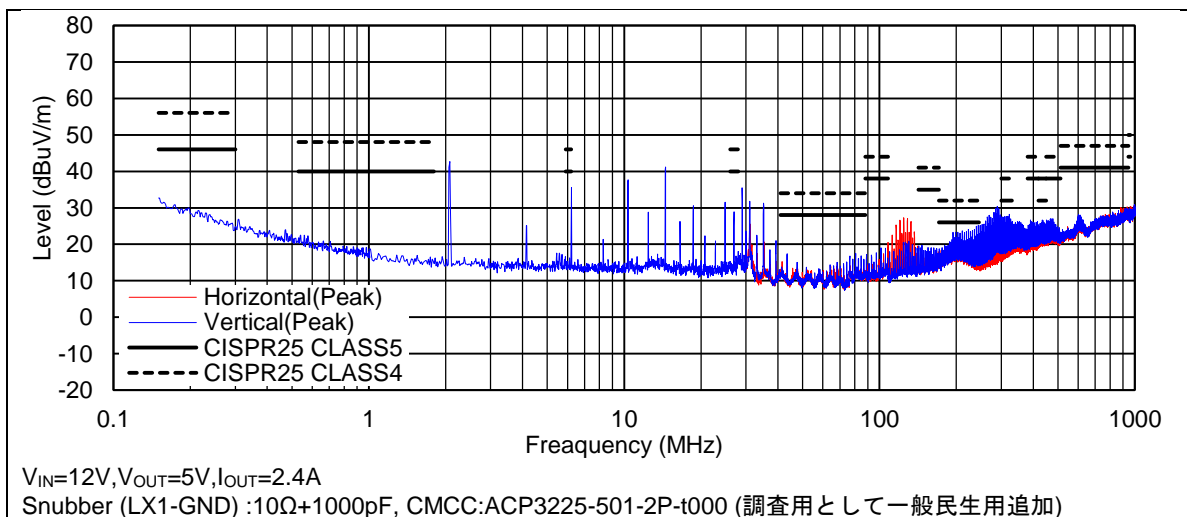
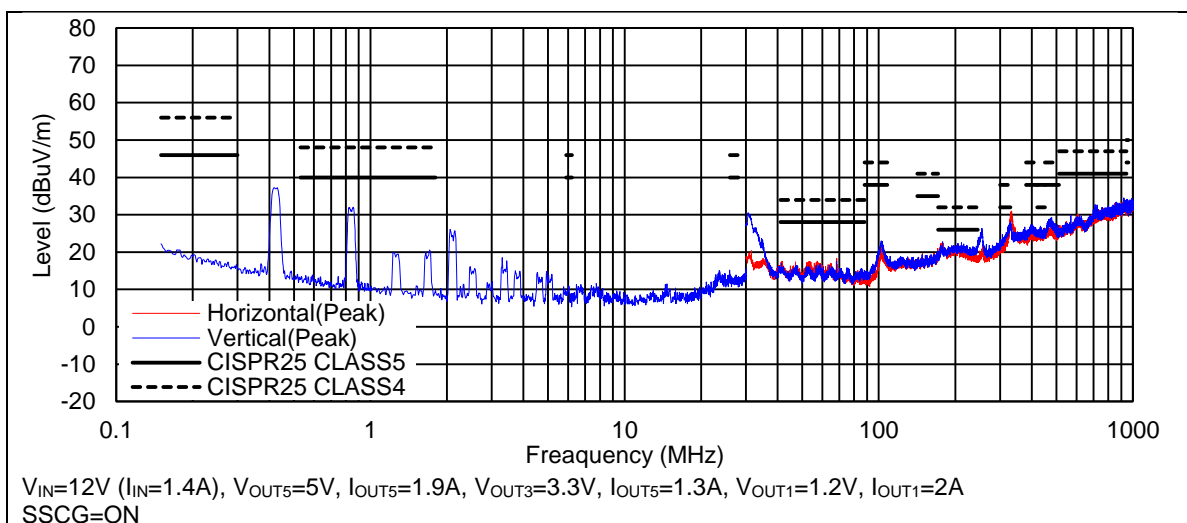


図 20. S6BP502A (EUT: S6SBP502A00VA1001)



## 6. 関連資料

### 6.1 アプリケーションノート

- [AN99497](#) - S6BP201A, S6BP202A および S6BP203A を使用した電源システムの設計
- [AN98649](#) - S6BP401A を使用した電源システムの部品選定について
- [AN99435](#) - S6BP501A, S6BP502A を使用した電源システムの設計について



## 6.2 データシート

- [S6BP201A](#) - S6BP201A, ASSP 42V, 1A, 同期整流式 昇降圧 DC/DC コンバータ IC
- [S6BP202A](#) - S6BP202A, ASSP 42V, 2.4A, 同期整流式 昇降圧 DC/DC コンバータ IC
- [S6BP203A](#) - S6BP203A, ASSP 42V, 2.4A, 同期整流式 昇降圧 DC/DC コンバータ IC
- [S6BP401A](#) - S6BP401A 車載 ADAS 向け パワーマネージメント IC
- [S6BP501A](#), [S6BP502A](#) -S6BP501A, S6BP502A 車載クラスター向け 3ch DC/DC コンバータ IC

## 改訂履歴

文書名: AN218254 - 車載向け電源システムの EMI ノイズ改善設計

文書番号: 002-18255

版	ECN	変更者	発行日	変更内容
**	5782671	YMAE	06/22/2017	これは英語版 002-18254 Rev. **を翻訳した日本語版 002-18255 Rev. **です。

## セールス、ソリューションおよび法律情報

### ワールドワイドな販売と設計サポート

サイプレスは、事業所、ソリューション センター、メーカー代理店、および販売代理店の世界的なネットワークを保持しています。お客様の最寄りのオフィスについては、[サイプレスのロケーション ページ](#)をご覧ください。

### 製品

ARM® Cortex® Microcontrollers	<a href="http://cypress.com/arm">cypress.com/arm</a>
車載用	<a href="http://cypress.com/automotive">cypress.com/automotive</a>
クロック&バッファ	<a href="http://cypress.com/clocks">cypress.com/clocks</a>
インターフェース	<a href="http://cypress.com/interface">cypress.com/interface</a>
IoT (モノのインターネット)	<a href="http://cypress.com/iot">cypress.com/iot</a>
メモリ	<a href="http://cypress.com/memory">cypress.com/memory</a>
マイクロコントローラ	<a href="http://cypress.com/mcu">cypress.com/mcu</a>
PSoC	<a href="http://cypress.com/psoc">cypress.com/psoc</a>
電源用 IC	<a href="http://cypress.com/pmic">cypress.com/pmic</a>
タッチ センシング	<a href="http://cypress.com/touch">cypress.com/touch</a>
USB コントローラー	<a href="http://cypress.com/usb">cypress.com/usb</a>
ワイヤレス/RF	<a href="http://cypress.com/wireless">cypress.com/wireless</a>

### PSoC® ソリューション

[PSoC 1](#) | [PSoC 3](#) | [PSoC 4](#) | [PSoC 5LP](#) | [PSoC 6](#)

### サイプレス開発者コミュニティ

[フォーラム](#) | [WICED IOT Forums](#) | [Projects](#) | [ビデオ](#) | [ブログ](#) | [トレーニング](#) | [Components](#)

### テクニカルサポート

[cypress.com/support](http://cypress.com/support)

ARM and Cortex are the registered trademarks of ARM Limited in the EU and other countries.



Cypress Semiconductor  
198 Champion Court  
San Jose, CA 95134-1709

© Cypress Semiconductor Corporation, 2017. 本書面は、Cypress Semiconductor Corporation 及び Spansion LLC を含むの子会社 (以下「Cypress」という。) に帰属する財産である。本書面 (本書面に含まれ又は言及されているあらゆるソフトウェア若しくはファームウェア (以下「本ソフトウェア」という。) を含む) は、アメリカ合衆国及び世界のその他の国における知的財産法及び条約に基づき Cypress が所有する。Cypress はこれらの法令及び条約に基づく全ての権利を留保し、本段落で特に記載されているものを除き、その特許権、著作権、商標権又はその他の知的財産権のライセンスを一切許諾しない。本ソフトウェアにライセンス契約書が伴っておらず、かつ Cypress との間で別途本ソフトウェアの使用方法を定める書面による合意がない場合、Cypress は、(1) 本ソフトウェアの著作権に基づき、(a) ソースコード形式で提供されている本ソフトウェアについて、Cypress ハードウェア製品と共に用いるためにのみ、かつ組織内部でのみ、本ソフトウェアの修正及び複製を行うこと、並びに (b) Cypress のハードウェア製品ユニットに用いるためにのみ、(直接又は再販売者及び販売代理店を介して間接のいずれかで) 本ソフトウェアをバイナリコード形式で外部エンドユーザーに配布すること、並びに (2) 本ソフトウェア (Cypress により提供され、修正がなされていないもの) が抵触する Cypress の特許権のクレームに基づき、Cypress ハードウェア製品と共に用いるためにのみ、本ソフトウェアの作成、利用、配布及び輸入を行うことについての非独占的で譲渡不能な一身専属的ライセンス (サブライセンスの権利を除く) を付与する。本ソフトウェアのその他の使用、複製、修正、変換又はコンパイルを禁止する。

**適用される法律により許される範囲内で、Cypress は、本書面又はいかなる本ソフトウェア若しくはこれに伴うハードウェアに関しても、明示又は黙示をとわず、いかなる保証 (商品性及び特定の目的への適合性の黙示の保証を含むがこれらに限られない) も行わない。**適用される法律により許される範囲内で、Cypress は、別途通知することなく、本書面を変更する権利を留保する。Cypress は、本書面に記載のある、いかなる製品若しくは回路の適用又は使用から生じる一切の責任を負わない。本書面で提供されたあらゆる情報 (あらゆるサンプルデザイン情報又はプログラムコードを含む) は、参照目的のためのみに提供されたものである。この情報で構成するあらゆるアプリケーション及びその結果としてのあらゆる製品の機能性及び安全性を適切に設計、プログラム、かつテストすることは、本書面のユーザーの責任において行われるものとする。Cypress 製品は、兵器、兵器システム、原子力施設、生命維持装置若しくは生命維持システム、蘇生用の設備及び外科的移植を含むその他の医療機器若しくは医療システム、汚染管理若しくは有害物質管理の運用のために設計され若しくは意図されたシステムの重要な構成部分としての使用、又は装置若しくはシステムの不具合が人身傷害、死亡若しくは物的損害を生じさせるようなその他の使用 (以下「本目的外使用」という。) のためには設計、意図又は承認されていない。重要な構成部分とは、その不具合が装置若しくはシステムの不具合を生じさせるか又はその安全性若しくは実効性に影響すると合理的に予想できるような装置若しくはシステムのあらゆる構成部分をいう。Cypress 製品のあらゆる本目的外使用から生じ、若しくは本目的外使用に関連するいかなる請求、損害又はその他の責任についても、Cypress はその全部又は一部をとわず一切の責任を負わず、かつ Cypress はそれら一切から本書により免除される。Cypress は Cypress 製品の目的外使用から生じ又は本目的外使用に関連するあらゆる請求、費用、損害及びその他の責任 (人身傷害又は死亡に基づく請求を含む) から免責補償される。

Cypress, Cypress のロゴ, Spansion, Spansion のロゴ及びこれらの組み合わせ, WICED, PSoC, Capsense, EZ-USB, F-RAM, 及び Traveo は、米国及びその他の国における Cypress の商標又は登録商標である。Cypress のより完全な商標のリストは、[cypress.com](http://cypress.com) を参照すること。その他の名称及びブランドは、それぞれの権利者の財産として権利主張がなされている可能性がある。