

Traveo™ Family パーシャルウェイクアップの使い方

著者: Deguchi Yoshitaka

関連製品ファミリ: Traveo™ family S6J3110/3360/3370/3400 シリーズ

関連ドキュメント: [Related Documents](#)

本アプリケーションノートでは Traveo™ family S6J3110/3360/3370/3400 シリーズのパーシャルウェイクアップ機能の使い方を説明します。

目次

1 はじめに.....	1	5 まとめ.....	20
2 パーシャルウェイクアップとは.....	1	6 関連ドキュメント.....	20
3 設定.....	2	改訂履歴.....	21
4 動作の説明.....	4	セールス, ソリューションおよび法律情報.....	22

1 はじめに

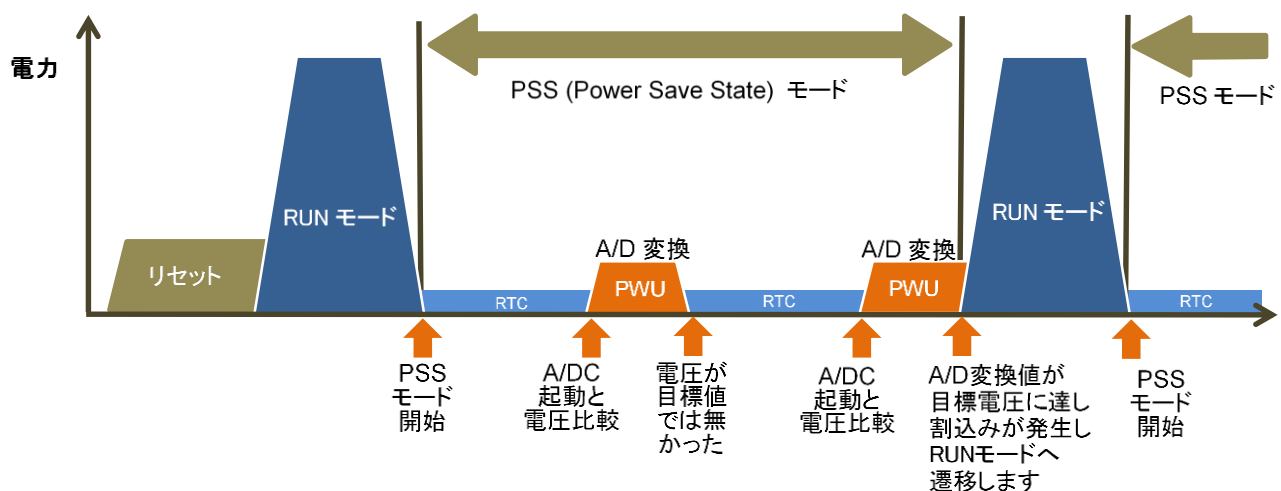
このアプリケーションノートは、Traveo™ family MCU向けにパーシャルウェイクアップの使い方について記載します。パッケージや搭載メモリサイズについては、[データシート](#)を参照してください。

2 パーシャルウェイクアップとは

パーシャルウェイクアップ (PWU) 機能は、MCU を低消費電力モードの状態 で A/D コンバータを使います。PWU モードは PSS (Power Saving State) モードに含まれます。このモードでは A/D コンバータ機能を使い電圧監視を行います。

PWU の効果は CPU を起動することなく、低消費電力状態で外部センサー出力電圧を監視できます。

図 1. PWU 時系列動作

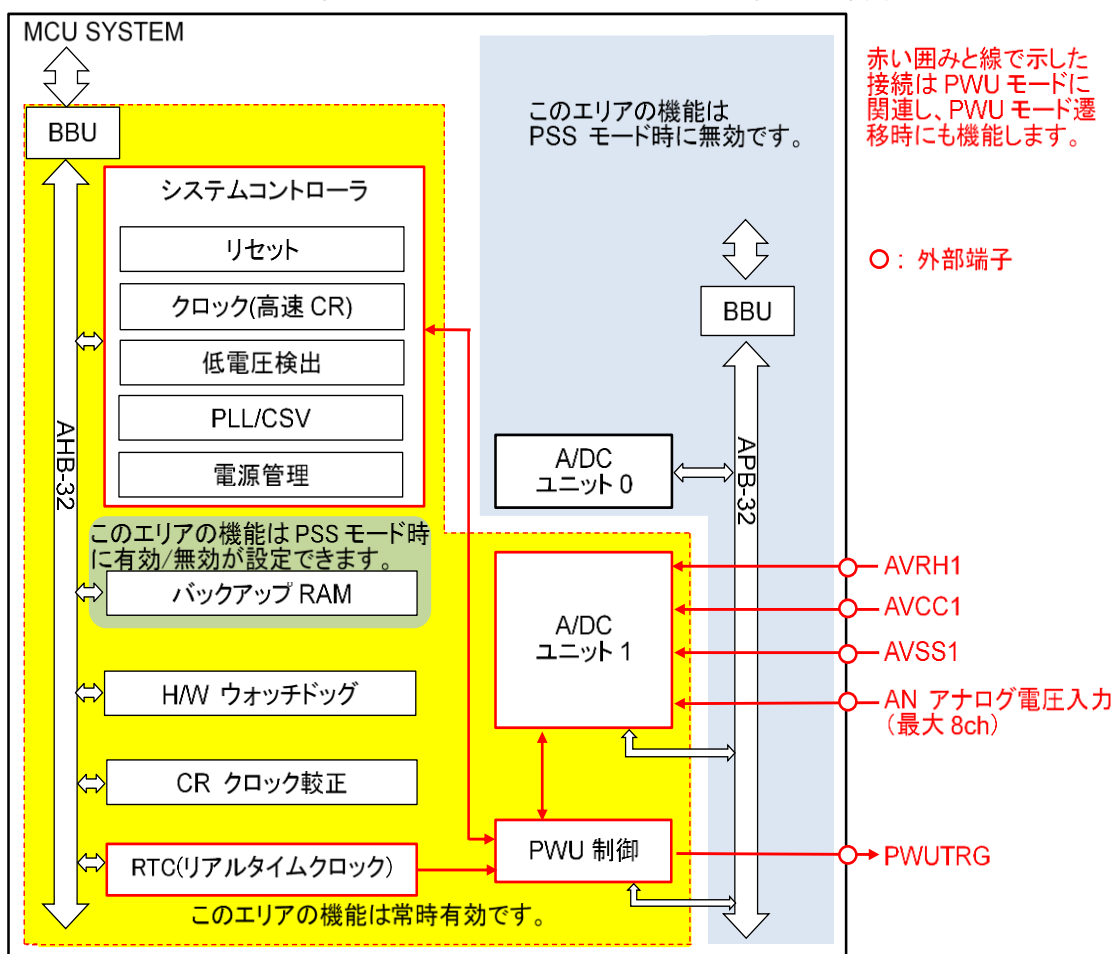


1. CPU モードを RUN モードから PSS モードへ変更します。MCU はスリープモード (RTC と連動) へ遷移します。
2. MCU は定期的に PWU モードへ遷移します。A/D コンバータが起動され、AN 端子から入力された電圧が自動的に観測されます。
3. A/D 変換結果がプログラムで設定した範囲でない場合、MCU は PSS モードを継続します。
4. A/D 変換結果がプログラムで設定した範囲の場合、MCU は RUN モードに移ります。

3 設定

下記の図はパーシャルウェイクアップのブロックダイアグラムです。この図は関連するブロックとの関係に限定して示しています。

図 2. 全体システムとパーシャルウェイクアップ機能との関係



3.1.1 RTC

RTC ブロックは PWU モードへ遷移する時間をカウントします。サイクルは 7.8125 ms ごとに 7.8125 ms から 62.5 ms の間で設定できます。下記は設定サイクル例 7.8125 ms の求め方です。

設定サイクル例 = 0.25 s (PWU モード時の RTC の繰返し低速 CR クロック (通常 100 kHz))/32

0.25 s の詳細については、表 6 の設定順番「2-1.」または、ハードウェアマニュアルの「Real Time Clock」の章の、「Partial Wakeup Trigger Control Register (RTC_PWUTRGCR)」を参照してください。

3.1.2 PWU 制御

PWU 制御ブロックは、高速 CR クロック発振器, "PWUTRG"端子出力機能, ADC ユニット 1 を制御します。この制御ブロックは、PWU モード時に PWUTRG 端子から"H"を出力します。この制御ブロックは PWUTRG 端子が"H"を出力してから、一定時間経過後に A/D 変換を開始します。A/D 変換開始までの時間は、50 μ s から 5100 μ s の間で 50 μ s 単位で設定できます。

3.1.3 システムコントローラ

システムコントローラブロックは、デバイスモード (PSS または RUN)を管理します。この制御ブロックは PWU モードへ遷移すると高速 CR 発振器をオンにします。

3.1.4 A/DC ユニット 1

PWU モードにおいて、S6J3110 または S6J3400 シリーズを使用する場合、AN40 から AN47 の 8 チャンネルが使えます。

PWU モードにおいて、S6J3360 または S6J3370 シリーズを使用する場合、AN6 から AN8 と AN12 から AN16 の 8 チャンネルが使えます。

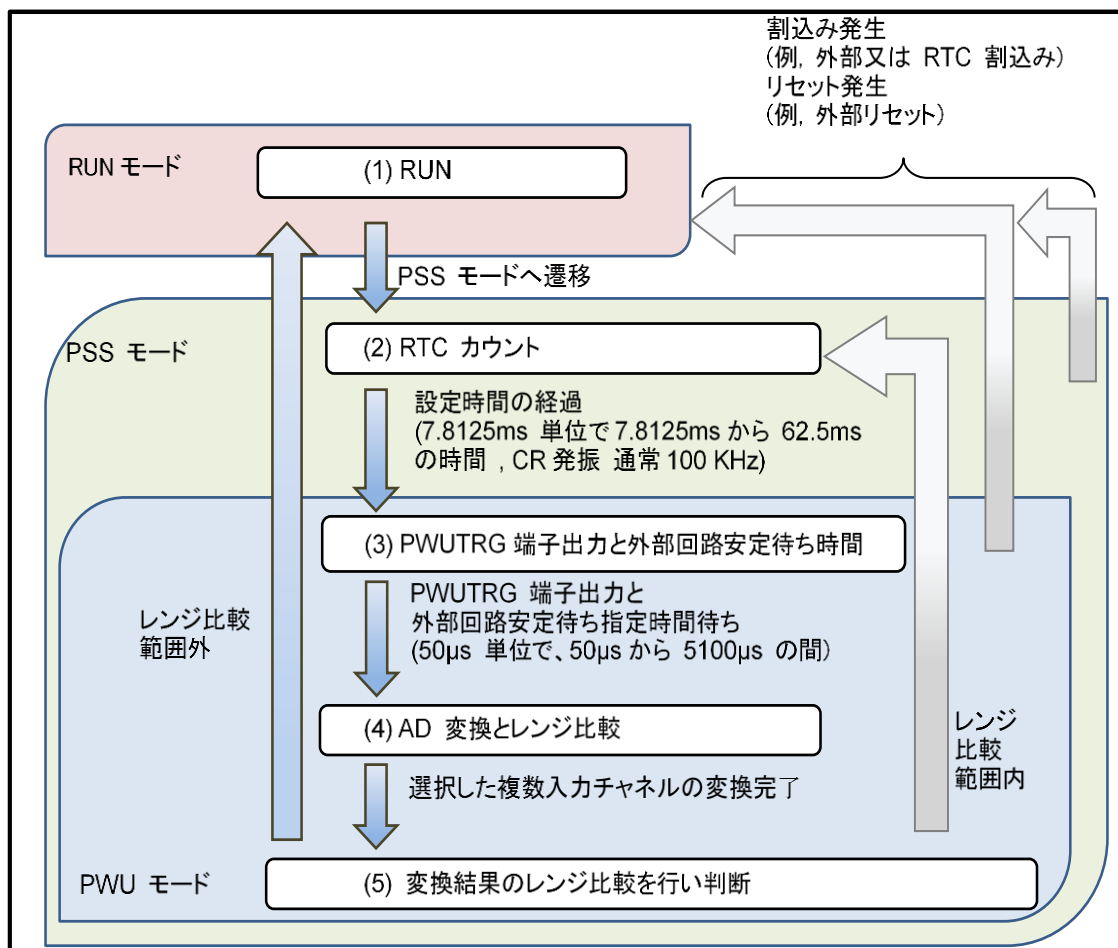
PWU モードにおいて、A/D コンバータのレンジ比較だけが使えます。

4 動作の説明

4.1 モード遷移図

以下の図は PWU モードと他のモードの関係を示しています。図は遷移の概要を示しています。遷移の詳細については、次のセクションを参照してください。

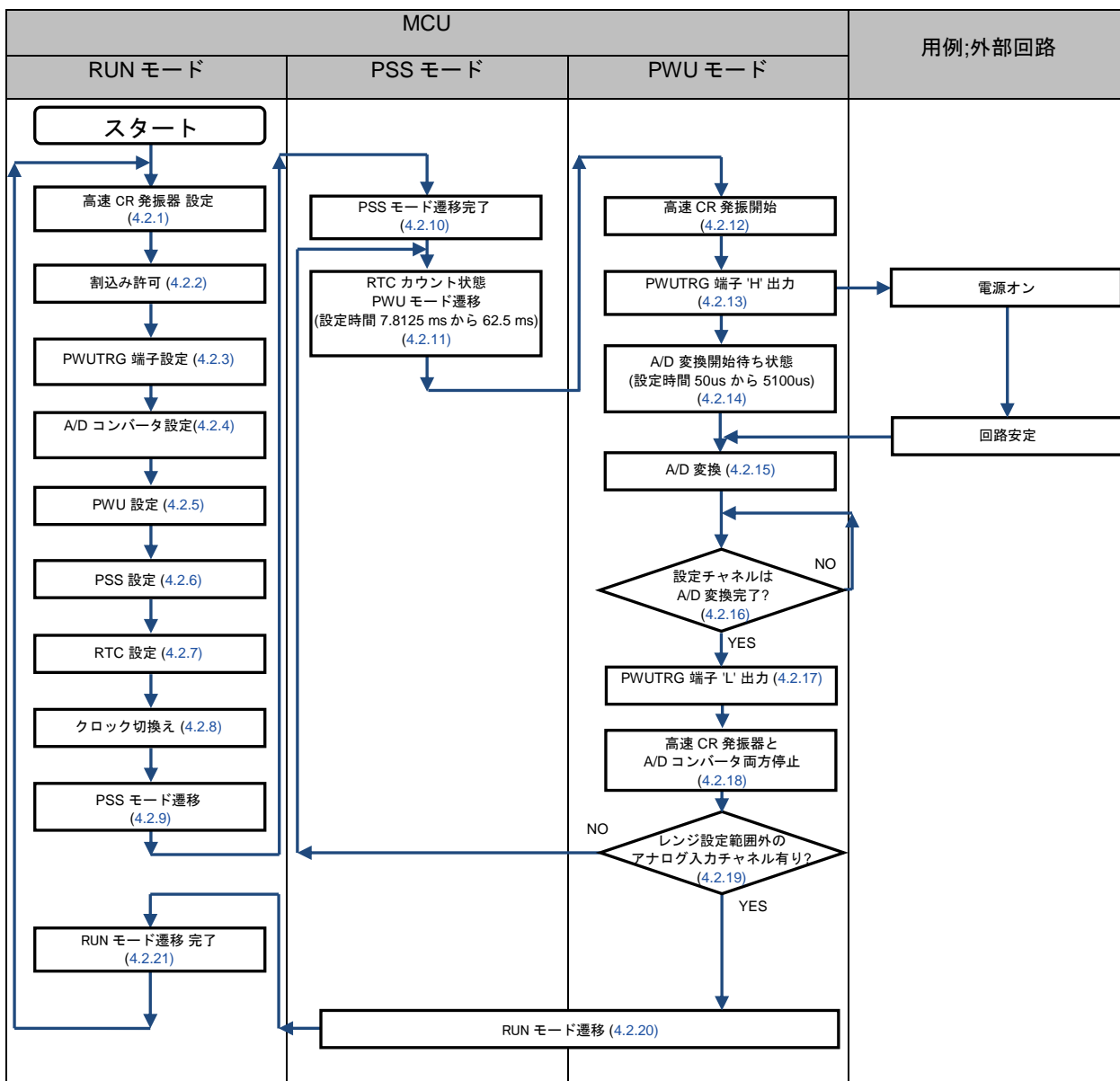
図 3. PWU モード遷移図



4.2 フローチャート

以下のフローチャートはPWU機能の詳細です。このフローチャートの番号付けした各段階および状態の説明を記載します。RUNモードはユーザプログラムを実行している状態です。

図 4. PWU 機能フローチャート



4.2.1 高速 CR 発振器設定 (ソフトウェアによる処理)

4.2.1.1 キャリブレーション

高速 CR 発振クロックをソフトウェアでキャリブレーションを行い、A/D 変換時間および PWUTRG 端子出力から A/D 変換開始 (外部回路安定待ち時間)のずれを補正します。このようなずれは使用状況や製造プロセスに起因します。

これらの設定の詳細については、[関連するドキュメント](#)の「CR CALIBRATION」の章を参照してください。

4.2.1.2 安定待ち時間

SYSC_FCRCTCPR レジスタの PSCL ビットと CMPR ビットを、初期値 (デフォルト) で設定します。

これらの設定は、「[4.2.12 高速 CR 発振起動 \(ハードウェアによる処理\)](#)」に記載している設定に適用されます。安定待ち時間が大きい値に設定した場合、PWU モード時間が PWU 遷移サイクルを超えるとデバイスは不正な状態になります。この状態では、A/D 変換値のレンジ逸脱によって RUN モードへ移行することはできません。安定待ち時間の詳細設定については、[関連するドキュメント](#)の「SOURCE CLOCK TIMER」の章を参照してください

4.2.2 割込み許可 (ソフトウェアによる処理)

許可した割込み要因は、PSS モードおよび PWU モードからの復帰要因として扱うことができます。MCU が割込みにより RUN モードへ戻る場合、「[4.2.20 RUN モード遷移 \(ハードウェアによる処理\)](#)」を行います。

下記の機能を復帰要因として設定できます。

PSS モードの場合でもパワーダウン状態ではないリソースの割込み。

例えば、外部割込み、RTC、NMI、および低電圧検出は復帰要因として設定できます。

使用可能な内蔵リソースについては[各品種のハードウェアマニュアル](#)を参照してください。

A/DC に関する設定[情報](#)については、「[4.2.4 A/D コンバータ設定 \(ソフトウェアによる処理\)](#)」を参照してください。

4.2.3 PWUTRG 端子 (I/O ポート) 設定 (ソフトウェアによる処理)

ここでは、PWUTRG 出力端子の設定と A/DC のアナログ入力端子設定をソフトウェアで行います。

PWUTRG 出力端子は、ポートアウトプットファンクション (POF) ビットに対応した PPC_PCFGR_{ijj} (i=0 から 4, jj=00 から 31) レジスタへ適切な値を書き込むことで設定できます。A/DC のアナログ入力として使用する対象ポートは、対応する PPC_PCFGR_{ijj} (i=0 から 4, jj=00 から 31) レジスタと GPIO_DDR レジスタに適切な値を書き込むことで設定できます。

対応するレジスタと設定について、

S6J3310 または S6J3400 シリーズを使用する場合は、[ハードウェアマニュアル](#)の「APPENDIX: VARIOUS SETTINGS OF I/O PORTS」の章を参照してください。

S6J3360 または S6J3370 シリーズを使用する場合は、[ハードウェアマニュアル](#)の「Port Configuration」の章を参照してください。

PSS モードでの端子状態の保持に関する設定については「[4.2.6 PSS 設定 \(ソフトウェアによる処理\)](#)」を参照してください。

4.2.4 A/D コンバータ設定 (ソフトウェアによる処理)

[表 1](#) と [表 2](#) の PWU モードに対応した A/D コンバータ ユニット 1 に関連した書き込み可能なレジスタ設定値を示します。

下記の番号は [表 1](#) と [表 2](#) の第 3 列における制限事項です:

1. 使用条件に応じた値を設定してください。
2. 推奨設定は「設定値」に基づいています。使用条件に合わせて変更可能です。
3. 必ず「設定値」に従って値を設定してください。

レジスタと設定方法の詳細については、[ハードウェアマニュアル](#)の「12-BIT A/D CONVERTER」の章を参照してください。

注意事項

S6J3110 または S6J3400 シリーズで PWU モードを使用する場合、有効にできる A/D コンバータの入力は 8ch です。[AN40 から AN47]

S6J3360 または S6J3370 シリーズで PWU モードを使用する場合、A/D コンバータの入力は AN6-8 と AN12-16 の 8ch です。

表 1. A/D コンバータ設定 (S6J3110 または S6J3400 シリーズ)

レジスタ名	設定値	制限事項
KEYCDR	ADER1 レジスタに書き込む前に、規定の方法でこのレジスタに書き込み、書き込み保護を解除してください。	3
ADER1	アナログ入力に使用する端子に対応するビットを'1'に設定し、他の端子は'0'に設定してください。 AN40～AN47 以外のアナログ入力はサポートされていないので、ADEn (n = 32～39, 48～63) ビットを'0'に設定してください。	3
ADTSS1	設定しないでください。	3
ADTSE1	全てのビットを'0'に設定します。(ソフトウェア起動は禁止されます)	3
ADCOMPB32～ADCOMPB63	動作に影響しません。	1
ADTCS32～ADTCS63 * 選択したチャンネルとして割り当てられた番号に対応するレジスタだけを選択してください。	INTE=1'b0	3
	{STS1, STS0}=2'b10	3
	RPT=1'b1	3
	PRT=1'b0	3
	PRTS = PWU モードでは使用しないでください。 (動作に影響しません。)	1
	{SEL1, SEL0} = PWU モードでは使用しないでください。 (動作に影響しません。)	1
	BUFX = PWU モードでは使用しないでください。 (動作に影響しません。)	1
ADTECS32～ADTECS63 * 選択したチャンネルとして割り当てられた番号に対応するレジスタだけを選択してください。	BTS = PWU モードでは使用しないでください。 (動作に影響しません。)	1
	STS2=1'b0	3
ADRCUT4～ADRCUT7	STS2=1'b0	3
	{CHSEL4, CHSEL3, CHSEL2, CHSEL1, CHSEL0}= 5'b01000～5'b01111 選択チャンネルとアナログ電圧入力端子が関連付けられます。 アナログ電圧入力端子 AN40～AN47 だけが関連付けられているので、これらの端子に設定を関連付ける必要があります。	3
ADRCUT4～ADRCUT7	使用状況に応じた値を設定してください。	1
ADRCLT4～ADRCLT7	使用状況に応じた値を設定してください。	1
ADRCCS32～ADRCCS63 * 選択したチャンネルとして割り当てられた番号に対応するレジスタだけを選択してください。	{RCOCD2, RCOCD1, RCOCD0}=3'b001	3
	RCOIRS =使用状況に応じた値を設定してください。	1
	RCOIE=1'b1	3
	RCOE=1'b1	3
	{RCOTS1, RCOTS0} =使用状況に応じた値を設定してください。	1
ADSCANS1	SCIE=1'b1	3
	SCMD=1'b1	3

レジスタ名	設定値	制限事項
ADNCS16~ADNCS31 * 選択したチャンネルとして割り当てられた番号に対応するレジスタだけを選択してください。	CNTEN=1'b1	3
	{CCNT1, CCNT0}=2'b00	3
ADTCSC32~ADTCSC63 * 選択したチャンネルとして割り当てられた番号に対応するレジスタだけを選択してください。	PWU モードでは使用しないでください。	1
ADRCIFC1	有効チャンネルとして割り当てられた番号に対応する範囲比較割込みフラグをクリアするには '1' を書き込んでください。 割込み要求状態のままにして PWU モードに遷移しないでください。	3
ADSCANSC1	スキャン変換完了割込みフラグをクリアするには、'1' を書き込んでください。 割込み要求状態のままにして PWU モードに遷移しないでください。	3
ADMD1	STPCEN=1'b0	2
	{CT1, CT0}=2'b00 (2'b11 の設定は禁止です。) 内蔵高速 CR 発振クロック (4 MHz) を分周してコンペア時間を設定します。 設定の詳細と注意事項については、 ハードウェアマニュアル の 12-BIT A/D CONVERTER の章を参照してください。	2
	{ST1, ST0}=2'b00 (2'b11 の設定は禁止です。) 内蔵高速 CR 発振クロック (4 MHz) を分周してサンプリング時間を設定します。 設定の詳細と注意事項については、 ハードウェアマニュアル の 12-BIT A/D CONVERTER の章を参照してください。	2
ADSTPCS8~ADSTPCS15 * 選択したチャンネルとして割り当てられた番号に対応するレジスタだけを選択してください。	{STCH1, STCH0}=2'b00 (2'b11 の設定は禁止です。) 内蔵高速 CR 発振クロック (4 MHz) を分周してサンプリング時間を設定します。 設定の詳細と注意事項については、 ハードウェアマニュアル の 12-BIT A/D CONVERTER の章を参照してください。	2

表 2. A/D コンバータ設定 (S6J3360 または S6J3370 シリーズ)

レジスタ名	設定値	制限事項
ADC12B1_CHCTRLi (i = 0~63)	TRGCL=1'b0	3
	SWTRG=1'b0	3
	RCENビットは下記の値を設定します。 起動チャンネルに対応するRCENビットは1'b1 (レンジコンパレータ有効)に設定し、その他のビットは1'b0 (レンジコンパレータ無効)に設定します。	3
	RCINVSEL=使用条件に応じた値を設定してください。	1
	RCSEL[2:0]=使用条件に応じた値を設定してください。 上下限閾値として、選択されたレジスタ値"i" (ADC12B1_FRCOH _i , ADC12B1_FRCOL _i) を設定します。	1
	SMTIME[1:0]=使用条件に応じた値を設定してください。 チャンネルサンプリング時間として"i" (ADC12B1_ST _i)で選択したレジスタを設定します。	2
	DP=1'b0	3
	RSMRST[1:0]=2'b00	1
	CHPRI[3:0]の値は、3種類の優先度を設定します。 CHPRI[3:0]=4'b0000 (高優先) グループの最初のチャンネル (例えばAN6に対応)を上記の値に設定します。 CHPRI[3:0]=4'b0001 2番目以降のチャンネル (例: AN7-AN8, AN12-AN16) へ上記の値を設定します。 CHPRI[3:0]= 4'b0010以上 PWUモードの不要チャンネルを上記の値に設定してください。 設定の詳細および注意事項については、S6J3360 または S6J3370 シリーズのマニュアルの「12/10/8-Bit Analog To Digital Converter」の章を参照してください。	3
	Value of TRGTYP[1:0] は2種類の起動タイプを設定します。 TRGTYP[1:0]=2'b01 (ソフトウェアまたはハードウェアトリガ) グループの最初のチャンネル (例えばAN6を設定)を上記のトリガタイプに設定します。 TRGTYP[1:0]=2'b10 (先行する論理チャンネル変換の完了) 2番目以降のチャンネルへ (例えばAN7-AN8, AN12-AN16に対応)上記のトリガタイプを設定します。 PWUモード用に定義されたグループには、他のチャンネル (PWUモードを使わない)を含めないでください。 PWUモードでTRGTYP[1:0]=2'b11 (アイドル トリガ)を設定しないでください。 設定の詳細および注意事項については、S6J3360 または S6J3370 シリーズのマニュアルの「12/10/8-Bit Analog To Digital Converter」の章を参照してください。	3
	ANIN[5:0]の値=6'b000110~6'b001000または6'b001100~6'b010000選択チャンネルとアナログ入力端子が関連付けられます。 PWUモードには、アナログ入力端子AN6~AN8またはAN12~AN16を使用することができます。	3

レジスタ名	設定値	制限事項
ADC12B1_PCCTRL i (i = 0~63)	PWU 機能では使わないでください。	1
ADC12B1_CDONEIRQE0/1	CDONEIRQE63~CDONEIRQE0の値は下記の値を設定してください。 グループ内の最後のチャンネルの割込み許可ビット (CDONEIRQEx)は1'b1 (変換終了割込み許可)に設定し、その他のビットは1'b0に設定します。(割込み要求が残った状態でPWUモードへ遷移しないでください。) このレジスタに設定したチャンネルはレンジ比較実施グループの最後のチャンネルになります。	3
ADC12B1_CDONEIRQC0/1	全ての A/D コンバータ完了割込みフラグをクリアするには、 "0xFFFF_FFFF"を書き込んでください。	3
ADC12B1_GRP_IRQE0/1	GRPIRQE63~GRPIRQE0の値を"0x0000_0000_0000_0000"に設定してください。(グループ割込み禁止)	3
ADC12B1_GRP_IRQC0/1	このビットは PWU モードでは使わないでください。	1
ADC12B1_RCIRQE0/1	RCIRQE63~RCIRQE0の値は下記を設定してください。 PWU モードに選択した割込み許可ビット (RCIRQEx)は 1'b1 (レンジ比較割込み許可)を設定し、そして他のビットへは 1'b0 (レンジ割込み禁止)を設定します。(割込み要求が残った状態で PWU モードへ遷移しないでください)	3
ADC12B1_RCIRQC0/1	"0xFFFF_FFFF"を書き込んで全てのレンジ比較割込みフラグをクリアします。	3
ADC12B1_PCIRQE0/1	PCIRQE63からPCIRQE0への値は"0x0000_0000_0000_0000"に設定してください。 (パルスカウンタ割込みを禁止します)	3
ADC12B1_PCIRQC0/1	このビットは PWU モードでは使わないでください。	1
ADC12B1_TRGCL0/1	"0xFFFF_FFFF"を書き込んで A/D チャンネルトリガステータスをクリアします。	3
ADC12B1_TRGORC0/1	"0xFFFF_FFFF"を書き込んで、A/D チャンネルトリガオーバーランフラグをクリアします。	3
ADC12B1_CDDS0~3	CDCHEN=1'b0 (DMA要求を禁止します。) CDCHNUM[5:0] の設定は、CHCHEN=1'b0 の際には無効です。	3
ADC12B1_RT	これらのビットは、PWUモード時は無効なため、使用できません。	1
ADC12B1_CT	CT[15:0]="0x0001" ("0x0006"以上は設定禁止です。) 内蔵高速CR発振クロック (4 MHz)を設定に応じて分周し、分周クロックで A/D変換の比較時間を設定します。 設定の詳細および注意事項については、S6J3360またはS6J3370シリーズのマニュアルの「12/10/8-Bit Analog To Digital Converter」の章を参照してください。	2
ADC12B1_STi (i = 0~3) * 選択したチャンネルとして割り当てられた番号に対応するレジスタだけのサンプリング時間を設定してください。	STi[15:0]="0x0007" ("0x0019"以上は設定禁止です。) 内蔵高速CR発振クロック (4 MHz)を設定に応じて分周し、分周クロックで A/D変換のサンプリング時間を設定します。 設定の詳細および注意事項については、S6J3360またはS6J3370シリーズのマニュアルの「12/10/8-Bit Analog To Digital Converter」の章を参照してください。	2
ADC12B1_OCV	このレジスタは、オフセット補正値を設定します。	2
ADC12B1_GCV	ゲイン補正値の設定を行います。	2

レジスタ名	設定値	制限事項
ADC12B1_CTRL	RES[1:0]=2'b00 (12 bit 分解能)	3
	DBGE=1'b0	3
	ACHMD=1'b0	3
	FSMD=1'b0	3
	FRCMD=1'b1 (12 bit レンジ比較モード)	3
	FSTP=1'b0 (強制停止不可モード (FSMD = "0"))	1
	PDDMD=1'b1 (A/D変換終了後、A/Dコンバータはアイドル状態に移行しない)	3
ADC12B1_RCOL0~7	PWU機能では使用禁止です。	1
ADC12B1_FRCOH0~7 * 選択したチャンネルとして割り当てられた番号に対応するレジスタだけの上限閾値を設定してください。	FRCOH[11:0]=使用条件に応じた値を設定してください。	1
ADC12B1_FRCOL0~7 * 選択したチャンネルとして割り当てられた番号に対応するレジスタだけの 下限閾値を設定してください。	FRCOL[11:0]=使用条件に応じた値を設定してください。	1
ADC12B1_MCCTRL0~3	ADC12B1_MCTRLには、"0x00"を設定してください。	3

4.2.5 PWU 設定 (ソフトウェアによる処理)

1. PWU 機能を許可します。
2. PWUTRG端子出力とA/D変換開始の間の外部回路の安定待ち時間を設定します。

内蔵高速 CR 発振 4 MHz (通常)の場合、50 μ s~5100 μ s の間を 50 μ s 段階ごとに外部回路や、外部デバイスの安定待ち時間を選択します。

S6J3360 または S6J3370 シリーズを使用する場合は、以下の機能を使用することが可能です。

1. A/D 変換開始トリガとして PWU_ADT 端子が選択できます。
2. PWU モードで実行されているレンジ比較実施グループの最初の論理チャンネル番号を選択できます。

4.2.6 PSS 設定 (ソフトウェアによる処理)

表 3 と表 4 は、PSS profile register グループと、system special setting registers の設定可能なレジスタリストです。

下記の数字は、表 3 と表 4 の第 3 列に記載した制限事項です:

1. 使用条件に応じた値を設定してください。
2. 推奨設定は「設定値」に基づいています。使用条件に合わせて変更可能です。
3. 必ず「設定値」に従って値を設定してください。

レジスタと設定方法の詳細についてはハードウェアマニュアルの「LOW-POWER CONSUMPTION」の章を参照してください。

表 3. PSS Profile Register グループ設定 (S6J3110 または S6J3400 シリーズ)

レジスタ名	設定値	制限事項
SYSC0_PSSPDCFGR	PD6_0EN=1'b0	3
	PD4_1EN = Backup RAM 使用条件に応じた値を設定してください。	1
	PD4_0EN = Backup RAM 使用条件に応じた値を設定してください。	1
	PD2EN=1'b0	3
SYSC0_PSSCKSRER	SSCG0EN=1'b0	3
	PLL0EN=1'b0	3
	MOSCEN=1'b0	3
	SCROSCEN=1'b1	3
	CROSCEN=1'b0	3
SYSC0_PSSCKSELR	CDMCUCCSL=3'b111	3
SYSC0_PSSCKER	ENCLKMCUCP=1'b0	3
	ENCLKMCUCH=1'b0	3
SYSC0_PSSCKDIVR	MCUCPDIV=4'b0000	3
	MCUCHDIV=5'b00000	3
SYSC0_PSSPLLxCNTR	PLLxISEL=1'b0	2
	PLLxDIVN=8'b00001101	2
	PLLxDIVM=4'b0001	2
	PLLxDIVL=2'b00	2
SYSC0_PSSSSCGxCNTR0	SSCGxISEL=1'b0	2
	SSCGxDIVN=8'b00001101	2
	SSCGxDIVM=4'b0001	2
	SSCGxDIVL=2'b00	2
SYSC0_PSSSSCGxCNTR1	SSCGxSEN=1'b0	2
	SSCGxFREQ=2'b00	2
	SSCGxMODE=1'b0	2
	SSCGxRATE=10'b0000101001	2
SYSC0_PSSLVDCFGR	LVDL1S = 使用条件に応じた値を設定してください。	1
	LVDL1V = 使用条件に応じた値を設定してください。	1
	LVDL1E = 使用条件に応じた値を設定してください。	1
	LVDH1S = 使用条件に応じた値を設定してください。	1
	LVDH1V = 使用条件に応じた値を設定してください。	1
	LVDH1E = 使用条件に応じた値を設定してください。	1
SYSC0_PSSCSVCFGR	SSCG0CSVE=1'b0	3
	PLL0CSVE=1'b0	3
	MOCSVE=1'b0	3

レジスタ名	設定値	制限事項
SYSC0_PSSREGCFGR	RMSEL=1'b1	3
SYSC0_SPECFGR	HOLDIO_PD6_0=1'b0	3
	HOLDIO_PD2=1'b1 このビットによる設定は、PSS プロファイルの変更後ではなく、レジスタ書き込み直後に反映されます。	3
	PSSPADCTRL=1'b0	3
	BRAMSC=1'b1 設定値が PD4_0EN=1 または PD4_1EN=1 の場合は、バックアップ RAM スリープ制御によって、PSS モードでの消費電流を抑えます。	3
SYSC1_PSSCKSELR0	LAPP1ACSL=1'b0	3
	LAPP0ACSL=1'b0	3
	LCP1ACSL=1'b0	3
	LCP0ACSL=1'b0	3
	CD0CSL=3'b111 この設定を行わない場合、PSS モード遷移時に PSS プロファイルエラーが発生します。	3

表 4. PSS Profile Register グループ設定 (S6J3360 または S6J3370 シリーズ)

レジスタ名	設定値	制限事項
SYSC0_PSSPDCFGR	PD4_1EN = バックアップ RAM の使用条件に応じた値を設定してください。	1
	PD4_0EN = バックアップ RAM の使用条件に応じた値を設定してください。	1
	PD2EN=1'b0	3
SYSC0_PSSCKSRER	SSCG0EN=1'b0	3
	PLL0EN=1'b0	3
	MOSCEN=1'b0	3
	SCROSCEN=1'b1	3
	CROSCEN=1'b0	3
	SOSCEN=1'b0	3
SYSC0_PSSCKSELR	CDMCUCCSL=3'b111	3
SYSC0_PSSCKER	ENCLKMCUCP=1'b0	3
	ENCLKMCUCH=1'b0	3
SYSC0_PSSCKDIVR	MCUCHDIV=5'b00000	3
SYSC0_PSSPLLxCNTR	PLLxISEL=1'b0	2
	PLLxDIVN=8'b00001101	2
	PLLxDIVM=4'b0001	2
	PLLxDIVL=2'b00	2

レジスタ名	設定値	制限事項
SYSC0_PSSSSCGxCNTR0	SSCGxISEL=1'b0	2
	SSCGxDIVN=8'b00001101	2
	SSCGxDIVM=4'b0001	2
	SSCGxDIVL=2'b00	2
SYSC0_PSSSSCGxCNTR1	SSCGxSSEN=1'b0	2
	SSCGxFREQ=2'b00	2
	SSCGxMODE=1'b0	2
	SSCGxRATE=10'b0000101001	2
SYSC0_PSSLVDCFGR	LVDL1S = 使用条件に応じた値を設定してください。	1
	LVDL1V = 使用条件に応じた値を設定してください。	1
	LVDL1E = 使用条件に応じた値を設定してください。	1
	LVDH1S = 使用条件に応じた値を設定してください。	1
	LVDH1V = 使用条件に応じた値を設定してください。	1
	LVDH1E = 使用条件に応じた値を設定してください。	1
SYSC0_PSSCSVCFGR	SSCG0CSVE=1'b0	3
	PLL0CSVE=1'b0	3
	SCRCSVE=1'b0	3
	CRCSVE=1'b0	3
	SOCsVE=1'b0	3
	MOCSVE=1'b0	3
SYSC0_PSSREGCFGR	RMSEL=1'b1	3
SYSC0_SPECFGR	HOLDIO_PD2=1'b1 このビットによる設定は、PSSプロファイルの変更後ではなく、レジスタ書き込み直後に反映されます。	3
	PSSPADCTRL=1'b0	3
	EXVRSTCNT=1'b1 もし、EXVRSTCNT=1'b0が設定されていた場合、LVDH1リセット後、システムSRAMのバックアップRAM領域のRAMデータは保証されません。	3
SYSC1_PSSCKSELR0	LAPP1ACSL=1'b0	3
	LAPP0ACSL=1'b0	3
	LCP1ACSL=1'b0	3
	LCP0ACSL=1'b0	3
	CD0CSL=3'b111 この設定を行わない場合、PSSモード遷移時にPSSプロファイルエラーが発生します。	3

4.2.7 RTC 設定 (ソフトウェアによる処理)

表 5 から表 9 は RTC 設定例です。設定方法の詳細については、**ハードウェアマニュアル** の「REAL-TIME CLOCK」の章を参照してください。

初期設定

表 5. RTC 初期設定

設定順番	設定項目 ^{*1}	設定タイミング
1-1.	RTC_WTCR レジスタの ST ビットへ'1'を設定します。	パワーオンリセット後に実施
1-2.	RTC_WTCR レジスタの ST ビットへ'0'を設定します。	パワーオンリセット後に実施
1-3.	RTC_WTCR レジスタの RCKSEL ビットへ'2'b10'を書き込み、CSM ビットへ'1'を書き込み、そして低速 CR クロックを選択します。	(RTC Clock = 通常 100 kHz) パワーオンリセット後に実施
1-4.	RTC_WRT レジスタの各ビットを設定します。	パワーオンリセット後に実施

*1 レジスタ書き込み時にビットレベルの書き込みを行わないでください。

ハードウェアが自動的に変更するビットが、プログラムによって意図せず書き換えられる可能性があります。

(例: RTC_WTCR レジスタの"UPCAL"ビット)

この場合、読出しと書き込みの機能差を持つビットが他の設定に変更されます。したがって、無関係なビットが影響を受ける可能性があります。

キャリブレーション設定 (低速発振の変動によるカウント値の誤差のキャリブレーション)

表 6. RTC キャリブレーション設定

設定順番	設定項目 ^{*1}	設定タイミング
2-1.	RTC_DURMW レジスタの DURMW ビットに値を書き込み、キャリブレーション期間を設定します。 通常は、キャリブレーション期間を 0.25 s に設定します。 キャリブレーション時間を 0.25 s 以下に設定するには、0.25 s を 1, 2, 3, 8 または 16 で割った値を、その期間として選択できます。ただし値が小さいほど、精度は低くなります。(SCAL[2:0] ビットに関連します) メインクロックが 4 MHz、キャリブレーション期間が 0.25 s に設定されている場合、DURMW ビット値 = "0xF4240" (十進数で 1'000'000) を設定します。	パワーオンリセット解除後限定
2-2.	RTC_WTCR レジスタに関連する下記を設定します。	
	RTC_DURMW レジスタの値に伴って SCAL [2:0] ビットを設定します。キャリブレーション期間を 0.25 s にする設定は "3'b000" です。	パワーオンリセット解除後限定
	CCKSEL ビットへ'1'b1'を設定し、低速 CR 発振を選択します。	パワーオンリセット解除後限定 RTC クロック = 通常 100 kHz
	使用条件に合わせて ENUP ビットを設定します。 ハードウェアでキャリブレーション結果を自動更新するには'1'b1'を設定します。ソフトウェアで更新するには'1'b0'を設定します。 ACAL ビットへ'1'b0'を設定し、自動キャリブレーションを停止します。	パワーオンリセット解除後限定
2-3.	RTC_WINC レジスタの CALDC ビットへ'1'b1'を書き込み、キャリブレーション割込み要求を消去します。	割込み発生後に割込みフラグを消去します。
2-4.	RTC_WTCR レジスタの MTRG ビットへ'1'b1'を書き込み、キャリブレーションを開始します。	

設定順番	設定項目 ^{*1}	設定タイミング
2-5.	RTC_WINS レジスタの CALD ビットが'1'b1'になるまで待ちます。	キャリブレーションを行うタイミングで設定します。 (例: PWU 前) キャリブレーションは実時間で行います。

*1 ビットレベルでレジスタに書き込まないでください。

パーシャルウェイクアップ設定

Case 1: 表 6 の設定順番'2-2'において ENUP ビットが'1'b1'に設定された場合

表 7. RTC 初期化 – Case 1

設定順番	設定項目 ^{*1}	設定タイミング
3-1.	RTC_PWUTRGCR レジスタに、下記の関連ビットの設定を行ってください。	パワーオンリセット解除後
	MD ビットへ'1'b1'を設定する。	
	SEL ビットは、目的に応じて PWU モードに遷移するサイクルを設定します。 7.8125 ms~62.5 ms の範囲の値を 7.8125 ms 単位で選択できます。 (低速 CR 発振が通常 100 kHz の場合)	PWU の周期を切り替えられます。
3-2.	RTC_PWUTRGSR レジスタの BUSY ビットが'1'b0'になるまで待ちます。	RTC_PWUTRGCR レジスタが変更された場合にセットされます。

*1 レジスタへはビットレベルで書き込まないでください。

Case 2: 表 6 の設定順番'2-2'において ENUP ビットが'1'b0'に設定された場合

表 8. RTC 初期化 – Case 2

設定順番	設定項目 ^{*1}	設定タイミング
3-1.	RTC_CNTCAL の値を読み取り、1 を減算して 32 で割ります。 RTC_CNTCAL には 0.25 s のカウンタ値が含まれています。 32 で割ることにより、約 8 ms のカウント値を生成します。	表 6 のキャリブレーション (「2-3」 - 「2-5」) が完了している場合に設定します。
3-2.	RTC_CNTCAL, の値を読み取り、1 を引いてください。 RTC_WTBR レジスタの WTBR ビットに値を書き込みます。	
3-3.	RTC_PWUTRGCR レジスタの関連ビットを下記のように設定します。	キャリブレーション (「2-3」 - 「2-5」) が完了した場合に設定します。
	■ C8MRL ビットを「3-1.」で計算した値に設定してください。	
	■ MD ビットへ'1'b0'を設定します。	パワーオンリセット後に実施
	■ SEL ビットは、目的に応じて PWU モードに遷移するサイクルを設定します。8 ms~64 ms の時間を 8 ms 単位で選択できます。	PWU の周期を切り替えられます。
3-4.	RTC_PWUTRGSR レジスタの BUSY ビットが'1'b0'になるまで待ちます。	RTC_PWUTRGCR レジスタが変更された場合にセットします。

*1 レジスタへはビットレベルで書き込まないでください。

RTC カウントスタート

表 9. RTC 初期化 – RTC スタート

設定順番	設定内容 ^{*1}	設定タイミング
4-1.	RTC_WINE レジスタを設定し、必要な割込みを許可します。	パワーオンリセット後に実施
4-2.	RTC_WINC レジスタの各ビットに'1'を書き込み、割込みフラグをクリアします。	割込み発生後に割込みフラグを消去します。
4-3.	RTC_WTCR レジスタの ST ビットに'1'を書き込んでカウントを開始してください。	パワーオンリセット解除後に行ってください。(RTC クロック=100 kHz)

*1 レジスタへ、ビットレベルの書き込みを行わないでください。

4.2.8 クロック切換え (ソフトウェアによる処理)

1. クロックギアダウン操作

PLL クロックを使用して内部回路を動作させている場合は、クロックギアダウン機能を使用してクロック周波数を段階的に低くし、クロックの切り替えによる影響を低減してください。

クロックギアダウン機能の使い方の詳細については、[ハードウェアマニュアル](#)の「CLOCK SYSTEM」の章の「Clock Gear」を参照してください。

2. クロック調整

PSS モードへ遷移するには、CPU クロック、メモリコンフィギュレーションクロック、SCU クロック、および MCUC クロックの間に 1 対 1 の関係を設定する必要があります。

これらのクロックの間に、この関係がない場合は誤動作の原因となる可能性があります。

なお、PLL および SSCG-PLL は、PSS モード遷移前に無効にする必要があります。

設定例

SCU クロックは、高速 CR 発振クロックで動作するため、CPU クロック (CLK_CPU)、メモリコンフィギュレーションクロック (CLK_MEMC)、MCUC クロック (CLK_SYSC0H) を高速 CR 発振クロックで動作させるように切り替えてください。

- SYSC1_RUNCKSELR0 レジスタの CD0CSL ビットへ"0"を設定してください。
- SYSC1_RUNCKDIVR0 レジスタの HPMDIV ビットと、SYSDIV ビットへ"0"を設定してください。
- SYSC0_RUNCKSELR レジスタの CDMCUCSSL ビットへ"0"を設定してください。
- SYSC0_RUNCKDIVR レジスタの MCUCDIV ビットへ"0"を設定してください。
- SYSC0_RUNCKSRER レジスタの PLL0EN and SSCG0EN ビットへ"0"を設定してください。
PLL と SSCG-PLL を停止します。
- SYSC0_RUNPLL0CNTR, SYSC0_RUNSSCG0CNTR0 および SYSC0_RUNSSCG0CNTR1 レジスタに、適切な値を設定してプロファイルエラーを回避してください。
プロファイルエラー違反の詳細については、[ハードウェアマニュアル](#)の低消費電力の章の「Profile」を参照してください。
- SYSC1_RUNENR レジスタへ'0xAB'を設定します。
- SYSC0_TRGRUNCNTR レジスタへ'0xAB'を設定します。(ランプロファイル更新開始)
- SYSC0_SYSTSR レジスタの RUNDFO ビットが'1'になるまで待ちます。

4.2.9 PSS モード遷移 (ソフトウェアによる処理)

ハードウェアマニュアルの「LOW-POWER CONSUMPTION」の章の「Operation Procedure」を参照し、PSS モードへ遷移してください。

4.2.10 PSS モード遷移完了 (ハードウェアによる処理)

「4.2.6 PSS 設定 (ソフトウェアによる処理)」に記載している PSS プロファイルレジスタの設定に従って PSS モードへ遷移します。

4.2.11 RTC カウント状態と PWU モード遷移 (ハードウェアによる処理)

ハードウェアは、RTC カウント値が「4.2.7 RTC 設定 (ソフトウェアによる処理)」で設定したサイクル値に達するまで待ちます。

RTC のカウントが設定値に達した後、MCU は PWU モードへ遷移します。RUN モードから PSS モードへの移行では、PWU モードが同じ周期間隔で実行されるので、RTC は初期化されません。

4.2.12 高速 CR 発振起動 (ハードウェアによる処理)

ハードウェアが高速 CR 発振器をオンにします。安定待ち時間の経過後、高速 CR 発振器が有効になります。この待ち時間は「4.2.1 高速 CR 発振器設定 (ソフトウェアによる処理)」で設定します。PWU モードは高速 CR 発振器の出力クロックで動作します。

4.2.13 PWUTRG 端子の"H"出力 (ハードウェアによる処理)

ハードウェアがPWUTRG端子出力を'L'から'H'に変更します。

4.2.14 A/D 変換起動待ち状態 (ハードウェアによる処理)

ハードウェアは「4.2.5 PWU 設定 (ソフトウェアによる処理)」で設定した (外部回路が)安定に成る時間まで待ちます。この待ち時間の経過後、外部デバイスの電源は安定したとみなします。

S6J3110 または S6J3400 シリズを使用される場合は、この時間経過後、A/D 変換が開始します。S6J3360 または S6J3370 シリズを使用される場合は、A/D 変換要求 (PWU_ADT) が発行され、A/D 変換を開始します。

4.2.15 A/D 変換 (ハードウェアによる処理)

A/D コンバータの設定は「4.2.4 A/D コンバータ設定 (ソフトウェアによる処理)」に従い、A/D 変換を実施します。

4.2.16 A/D 変換判断 (ハードウェアによる処理)

ハードウェアは、選択されたすべてのチャンネル (最大 8 チャンネル)の変換が終わるまで待機します。

4.2.17 PWUTRG 端子へ'L'出力 (ハードウェアによる処理)

ハードウェアは PWUTRG 端子の出力を'H'から'L'へ切り替えます。

4.2.18 高速 CR 発振器と A/D コンバータの両方をオフします (ハードウェアによる処理)

ハードウェアは高速 CR 発振器と A/D コンバータを停止します。

4.2.19 レンジ比較判断 (ハードウェアによる処理)

ハードウェアは「4.2.15 A/D 変換 (ハードウェアによる処理)」に記述した A/D 変換結果が設定したレンジ比較範囲であるかを判定します。

レンジ比較範囲内の場合は、MCU は再び PSS モードへ遷移します。レンジ比較範囲外の場合は、WAKWUP 信号を発行し、CPU を RUN モードへ遷移させます。

4.2.20 RUN モード遷移 (ハードウェアによる処理)

詳細はプラットフォームハードウェアマニュアルの「LOW-POWER CONSUMPTION」の章の「Operation Procedure」を参照してください。

4.2.21 RUN モード遷移完了 (ハードウェアによる処理)

1. PSS イネーブル設定: SYSC0_PSSSEN0 レジスタの PSSSEN0 ビットへ'1'を設定します。
それ以外の場合は、SYSC0 レジスタへの書き込みデータが無効となり、バスエラーが発生します。
なお、パワーダウン時の初期化により、SYSC1_PSSSEN0 レジスタの PSSSEN0 ビットの設定は不要です。

2. Wakeup 条件の決定: 「4.2.9 PSS モード遷移 (ソフトウェアによる処理)」のステップの処理の前に、下記のビットが全て'0'で、RUN モード遷移後に'1'を設定した場合、A/DC レンジ範囲外の判定によって Wakeup 遷移が発生する可能性があります。

S6J3110 または S6J3400 シリーズの場合:

- a. ADRCIF1 レジスタの RCINT32~RCINT63 の任意のビット
- b. ADSCANS1 レジスタの SCINT

S6J3360 または S6J3370 シリーズの場合:

- a. ADC12B1_RCIRQ0/1 レジスタの RCIRQ0~RCIRQ63
- b. ADC12B1_CDONEIRQ0/1 レジスタの CDONEIRQ0~CDONEIRQ63

また、「4.2.2 割込み許可 (ソフトウェアによる処理)」の設定を行った場合は、設定した要因で RUN モード遷移が発生する可能性があります。そのため、割込み設定前に割込みフラグを確認する必要があります。

3. RUN モード遷移後の A/D コンバータの使用:

- a. S6J3110 または S6J3400 シリーズの場合:

PWU モード時に A/D 変換を行った場合、A/D コンバータは"Pause 状態" *1に入ります。

A/D コンバータが Pause 状態に入ると、BUSY フラグが立ちます。
BUSY フラグが立っていると、A/D コンバータの設定を変更できません。

例えば ADNCS16~ADNCS31 のレジスタの CNTEN ビットが変更された場合、意図せず A/D コンバータがスタートします。

RUN モードへ遷移後、A/D コンバータの設定を変更する場合は、その前に BUSY フラグをクリアしてください。

設定例

ADTCSC32~ADTCSC63 のレジスタの BUSYC ビットへ'1'を設定してください。

*1. [ハードウェアマニュアル](#)の「12-BIT A/D CONVERTER」の章の「5.2.12. About the Scan Conversion Mode」の「Pause scan conversion when the conversion count is specified for each channel」の説明を参照してください。

- b. S6J3360 または S6J3370 シリーズの場合:

PWUモードでA/D変換要求 (PWU_ADT)が発生すると、対応するA/Dチャネルトリガステータスフラグ (ADC12B1_TRGST0/1.TRGST and ADC12B1_CHSTAT0~63.TRGST)がセットされます。

RUNモード遷移後、A/Dコンバータ動作中にA/Dコンバータの設定は更新できません

(ADC12B1_TRGST0/1.TRGST and ADC12B1_CHSTAT0~63.TRGST="1") A/Dコンバータの設定を変更する場合は、全てのトリガステータスフラグをクリアしてください。

設定例

ADC12B1_TRGCL0/1 レジスタの TRGCL0~TRGCL63 ビットへ"1"を設定します。

A/Dチャネルトリガステータスフラグの詳細については、[ハードウェアマニュアル](#)の「12/10/8-Bit Analog To Digital Converter」を参照してください。

RUNモードでハードウェアトリガをA/Dコンバータユニット1の起動トリガとして使用する場合は、PWU_ADTレジスタのADHWTSビットに"0"を設定して他の起動要因を有効にしてください。

A/D変換ハードウェアトリガ選択の詳細については、[ハードウェアマニュアル](#)の「CHAPTER 23 Partial Wakeup Control」の「Section4 Registers」を参照してください。

5 まとめ

通常、低消費電力モード時に A/D 変換を行う場合、CPU は割込みを受け付け、システムは通常の動作に戻ります。

その後、CPU から A/D コンバータを起動する必要があります。ただし、パーシャルウェイクアップを使用する場合は、RTC 以外の電源は切断されます。RTC が設定したカウント (時間) を実行すると、A/D コンバータが CPU を介さずに起動され変換を行います。A/D 変換結果が設定値の範囲内でない場合は、割込みによって PWU モードから復帰して CPU を起動します。

パーシャルウェイクアップは、定期的にセンサーの誤動作をチェックする場合でも、低消費電力のシステムを実現できます。

6 関連ドキュメント

- [S6J311E/D/C/B Series Datasheet \(Doc. No.002-05681\)](#)
- [S6J311A/9/8 Series Datasheet \(Doc. No.002-04632\)](#)
- [S6J3360/70 Series Datasheet \(Doc.No.002-03359\)](#)
- [S6J3400 Series Datasheet \(Doc.No.001-97829\)](#)
- [S6J3110 Series Hardware Manual \(Doc.No.002-10667\)](#)
- [S6J3360 / S6J3370 Series Hardware Manual \(Contact \[Technical Support\]\(#\)\)](#)
- [S6J3400 Series Hardware Manual \(Doc.No.002-09919\)](#)
- [Traveo Family HardwareManual Platform Part for S6J3360/3370 Series \(Doc.No.002-07884\)](#)

改訂履歴

文書名: AN212930 – Traveo™ Family パーシャルウェイクアップの使い方

文書番号: 002-20345

版	ECN	変更者	発行日	変更内容
**	5867510	YODE	2017/08/30	これは英語版 002-12930 Rev. *A を翻訳した日本語版です。

セールス、ソリューションおよび法律情報

ワールドワイドな販売と設計サポート

サイプレスは、事業所、ソリューションセンター、メーカー代理店、および販売代理店の世界的なネットワークを保持しています。お客様の最寄りのオフィスについては、[サイプレスのロケーション ページ](#)をご覧ください。

製品

ARM® Cortex® Microcontrollers	cypress.com/arm
車載用	cypress.com/automotive
クロック&バッファ	cypress.com/clocks
インターフェース	cypress.com/interface
IoT (モノのインターネット)	cypress.com/iot
メモリ	cypress.com/memory
マイクロコントローラ	cypress.com/mcu
PSoC	cypress.com/psoc
電源用 IC	cypress.com/pmic
タッチ センシング	cypress.com/touch
USB コントローラー	cypress.com/usb
ワイヤレス/RF	cypress.com/wireless

PSoC® ソリューション

[PSoC 1](#) | [PSoC 3](#) | [PSoC 4](#) | [PSoC 5LP](#) | [PSoC 6](#)

サイプレス開発者コミュニティ

[フォーラム](#) | [WICED IOT Forums](#) | [Projects](#) | [ビデオ](#) | [ブログ](#)
| [トレーニング](#) | [Components](#)

テクニカルサポート

cypress.com/support

ARM and Cortex are the registered trademarks of ARM Limited in the EU and other countries.



Cypress Semiconductor
198 Champion Court
San Jose, CA 95134-1709

© Cypress Semiconductor Corporation, 2017. 本書面は、Cypress Semiconductor Corporation 及び Spansion LLC を含むその子会社 (以下「Cypress」という。) に帰属する財産である。本書面 (本書面に含まれ又は言及されているあらゆるソフトウェア若しくはファームウェア (以下「本ソフトウェア」という。)) を含む) は、アメリカ合衆国及び世界のその他の国における知的財産法令及び条約に基づき Cypress が所有する。Cypress はこれらの法令及び条約に基づく全ての権利を留保し、本段落で特に記載されているものを除き、その特許権、著作権、商標権又はその他の知的財産権のライセンスを一切許諾しない。本ソフトウェアにライセンス契約書が伴っておらず、かつ Cypress との間で別途本ソフトウェアの使用方法を定める書面による合意がない場合、Cypress は、(1) 本ソフトウェアの著作権に基づき、(a) ソースコード形式で提供されている本ソフトウェアについて、Cypress ハードウェア製品と共に用いるためにのみ、かつ組織内部でのみ、本ソフトウェアの修正及び複製を行うこと、並びに (b) Cypress のハードウェア製品ユニットに用いるためにのみ、(直接又は再販売者及び販売代理店を介して間接のいずれかで) 本ソフトウェアをバイナリーコード形式で外部エンドユーザーに配布すること、並びに (2) 本ソフトウェア (Cypress により提供され、修正がなされていないもの) が抵触する Cypress の特許権のクレームに基づき、Cypress ハードウェア製品と共に用いるためにのみ、本ソフトウェアの作成、利用、配布及び輸入を行うことについての非独占的で譲渡不能な一専属的ライセンス (サブライセンスの権利を除く) を付与する。本ソフトウェアのその他の使用、複製、修正、変換又はコンパイルを禁止する。

適用される法律により許される範囲内で、Cypress は、本書面又はいかなる本ソフトウェア若しくはこれに伴うハードウェアに関しても、明示又は黙示をとわず、いかなる保証 (商品性及び特定の目的への適合性の黙示の保証を含むがこれらに限られない) も行わない。適用される法律により許される範囲内で、Cypress は、別途通知することなく、本書面を変更する権利を留保する。Cypress は、本書面に記載のある、いかなる製品若しくは回路の適用又は使用から生じる一切の責任を負わない。本書面で提供されたあらゆる情報 (あらゆるサンプルデザイン情報又はプログラムコードを含む) は、参照目的のためのみに提供されたものである。この情報で構成するあらゆるアプリケーション及びその結果としてのあらゆる製品の機能性及び安全性を適切に設計、プログラム、かつテストすることは、本書面のユーザーの責任において行われるものとする。Cypress 製品は、兵器、兵器システム、原子力施設、生命維持装置若しくは生命維持システム、蘇生用の設備及び外科的移植を含むその他の医療機器若しくは医療システム、汚染管理若しくは有害物質管理の運用のために設計され若しくは意図されたシステムの重要な構成部分としての使用、又は装置若しくはシステムの不具合が人身傷害、死亡若しくは物的損害を生じさせるその他の使用 (以下「本目的外使用」という。) のためには設計、意図又は承認されていない。重要な構成部分とは、その不具合が装置若しくはシステムの不具合を生じさせるか又はその安全性若しくは実効性に影響すると合理的に予想できるような装置若しくはシステムのあらゆる構成部分をいう。Cypress 製品のあらゆる本目的外使用から生じ、若しくは本目的外使用に関連するいかなる請求、損害又はその他の責任についても、Cypress はその全部又は一部をとわず一切の責任を負わず、かつ Cypress はそれら一切から本書により免除される。Cypress は Cypress 製品の目的外使用から生じ又は本目的外使用に関連するあらゆる請求、費用、損害及びその他の責任 (人身傷害又は死亡に基づく請求を含む) から免責補償される。

Cypress, Cypress のロゴ, Spansion, Spansion のロゴ及びこれらの組み合わせ, WICED, PSoC, Capsense, EZ-USB, F-RAM, 及び Traveo は、米国及びその他の国における Cypress の商標又は登録商標である。Cypress のより完全な商標のリストは、cypress.com を参照すること。その他の名称及びブランドは、それぞれの権利者の財産として権利主張がなされている可能性がある。