

Traveo Family S6J3200 シリーズ FPD-Link プリント回路基板ガイドライン

著者: Hiroo Mizuno

関連製品ファミリ: [Traveo Family S6J3200 Series](#)

関連アプリケーションノート: [AN213250](#)

関連ドキュメント: [関連ドキュメント](#)

本アプリケーションノートでは、Traveo™ Family S6J3200 シリーズのフラットパネルディスプレイリンク (FPD-Link) インタフェースのプリント回路基板のレイアウトガイドラインを記述します。

1 はじめに

Traveo Family S6J3200 シリーズは高性能な映像ディスプレイに接続されるフラットパネルディスプレイリンク (FPD-Link) インタフェース (TxCLK±と TxDOOUT[0:3]±) を搭載しています。FPD-Link は、小振幅差動信号方式 (LVDS) を用いた高速 (最大 350 Mbps/lane) なインタフェースです。

S6J3200 シリーズ FPD-Link のビデオディスプレイ端子には、以下のような特長があります。

- 最大 350 Mbps
- 小振幅電圧幅: 約 350 mV
- 5 つの差動信号線: TxCLK±, TxDOOUT[0:3]±

上記の特徴により、FPD-Link のプリント回路基板は特別な信号線として取り扱う必要があります。このアプリケーションノートでは、S6J3200 シリーズの FPD-Link プリント回路基板のレイアウトガイドラインを記述します。

2 推奨プリント回路基板仕様

FPD-Link を使用する上で、以下の様な LVDS 信号に対応したプリント回路基板設計を推奨します。

- 平衡伝送線路のインピーダンスは $100 \Omega \pm 10\%$
- 自動レイアウトによるビア生成を防ぐため、FPD Link の出力端子の並び替え^[1]
- プリント回路基板設計に Table1 に示したパラメータを適用

Table 1: プリント回路基板レイアウトの長さ/幅/配線スペース

記号	内容	推奨寸法	参照図
S _{DP}	差動ペア信号の間 (CLK+ ^[2] and CLK- ^[3] or DIF+ ^[4] and DIF- ^[5])	最小パターン間ピッチ ^[6]	Figure 1 , Figure 2 , Figure 3

¹ S6J3200 シリーズは FPD-Link のための出力端子を選択できます。詳細は[ハードウェアマニュアル](#)の 30 章を参照してください。

² CLK+は差動クロックのポジティブ(+)信号

³ CLK-は差動クロックのネガティブ(-)信号

⁴ DIF+は差動データ線のポジティブ(+)信号

⁵ DIF-は差動データ線のネガティブ(-)信号

⁶ この値は基板製造時に使用される層の厚さ、誘電体の材料に依存します。適切な差動インピーダンスを確保するために、品質適合試験用の伝送線回路を設け、試験プロセスの一部として、伝送線のインピーダンスを確認することを推奨します。

記号	内容	推奨寸法	参照図
S_{DD}	差動信号線と GND の間、差動 CLK± と差動 DIF± の間または差動 DIF± と他の DIF± の間	最小パターン間ピッチ x 2	Figure 1, Figure 2, Figure 3
S_{DC}	差動信号線とロジック信号線の間	最小パターン間ピッチ x 4	Figure 2
W_{PCB}	配線の幅	配線幅 ^[6]	Figure 1, Figure 2, Figure 3
L_{DP}	差動ペア信号(CLK+ と CLK-, or DIF+ と DIF-) ^[7] のポジティブ(+)とネガティブ(-)の間隔	最大 5 mm	Figure 4
L_{DD}	異なる差動信号(CLK± と DIF±, または DIF± と他の DIF±) ^[7] の間隔	最大 5 mm	Figure 4

3 プリント回路基板設計の考察

3.1 基板層のレイアウト

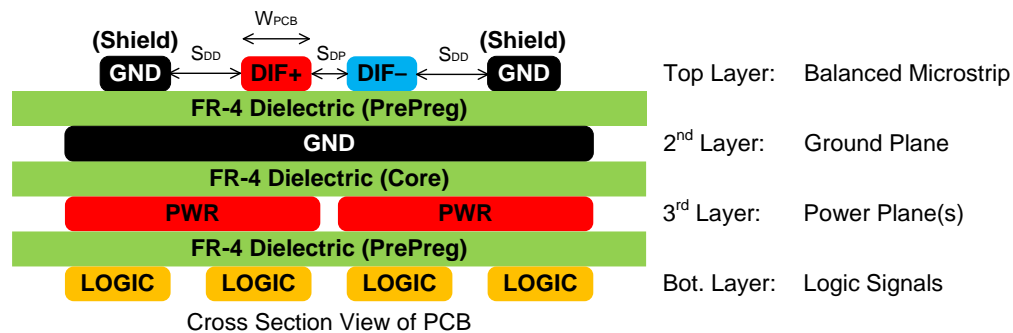
FPD-Link の平衡伝送線路は以下の種類に分別できます。^[8]

- エッジ結合マイクロストリップライン^[9, 10]
- エッジ結合ストリップライン
- ブロードサイド結合ストリップライン

このアプリケーションノートではエッジ結合マイクロストリップラインの例を示します。

もし、プリント回路基板が 4 層またはそれ以上であれば、Figure 1 で示す構造を使います。これは基板の一边に平衡マイクロストリップを配置し、基板のもう片方にノイズ源のロジックを配置^[11]しています。

Figure 1. 4 層プリント回路基板のレイアウトガイドライン



⁷ 誘電率 4.7 の FR-4 中のマイクロストライプ伝送線

⁸ これらの伝送線構成のいずれかを使用できますが、混合すべきではありません。具体的には、いくつかの信号のための平衡マイクロストライプと他の信号の平衡ストリップラインを同時に使用すべきではありません。信号がこれらの伝送線上を異なるレートで伝搬するため、遅延の整合性を維持するのが困難です。

⁹ マイクロストライプと平衡マイクロストライプのための設計式は、ソルダーレジストの誘電率の影響を考慮できていません。新規に基板の製造業者を選ぶ場合、基板設計の目標値を決めるために、異なる間隔のテスト用評価ボードを作ることをお勧めします。

¹⁰ ソルダーレジストの代替えとして、金メッキを使うべきではありません。ニッケル拡散隔膜層は高速信号を歪ませる強磁性の特性を持っています。

¹¹ LVDS 信号はグラウンド基準です。平衡マイクロストライプ伝送線を配置する場合、電力プレーンの代わりにグラウンドプレーンに接続することを推奨します。電力プレーンに接続する場合、電源上のノイズが伝送線上の信号のコモンモードノイズとして伝わります。

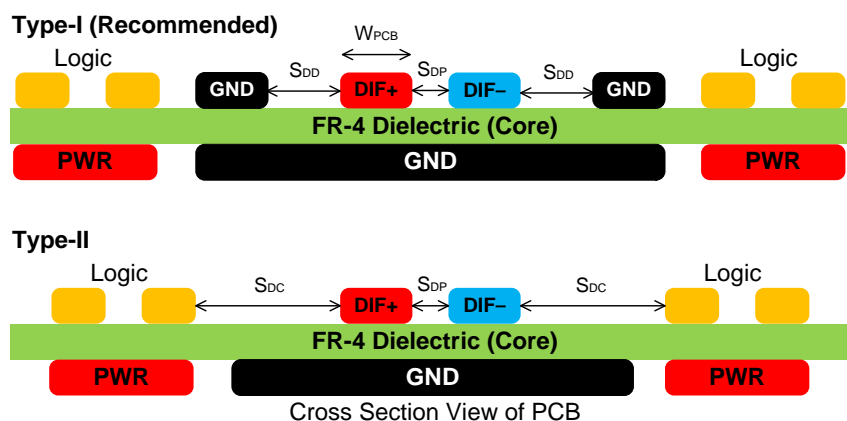
もし、プリント回路基板が 2 層だけならば、同じ層にロジックと平衡マイクロストライプの両方が必要となり、Figure 2 の方法が適用される場合があります。

- Type-I: シールドとして機能するようにロジックと平衡伝送線の間に GND を配置
- Type-II: ロジックと平衡伝送線のいずれかの間のスペースに関し平衡伝送線の間隔の 4 倍にする(式 1 を参照).

$$S_{DC} = 4 \times S_{DP} \quad \text{式 1}$$

Figure 2 では Type-I と Type-II の推奨レイアウトの例を示します。

Figure 2. 推奨レイアウト



3.2 平衡伝送線のスペース

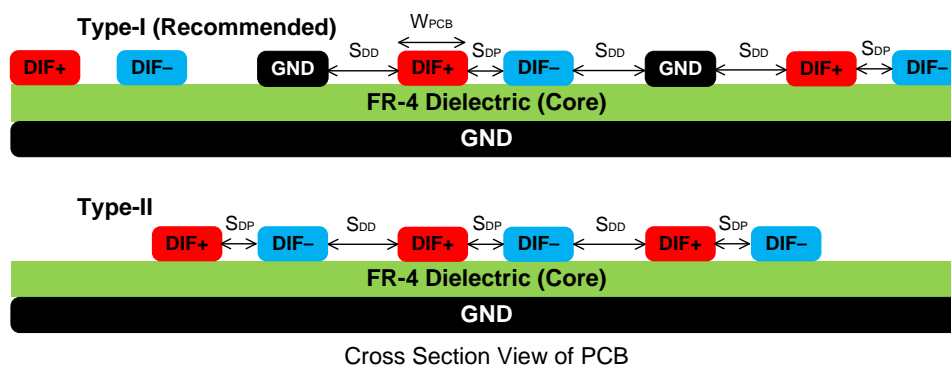
2つまたはそれ以上の平衡伝送線が同じ層に存在するとき、以下の対策が必要です。

- Type-I: シールドとして機能するように平衡伝送線の間に GND を使う
- Type-II: 他の平衡伝送線とマイクロストリップ伝送線の間隔の 2 倍にする (式 2 を参照)

$$S_{DD} = 2 \times S_{DP} \quad \text{式 2}$$

Figure 3 では平衡伝送線の間隔の例を示します。

Figure 3. 平衡伝送線の間隔

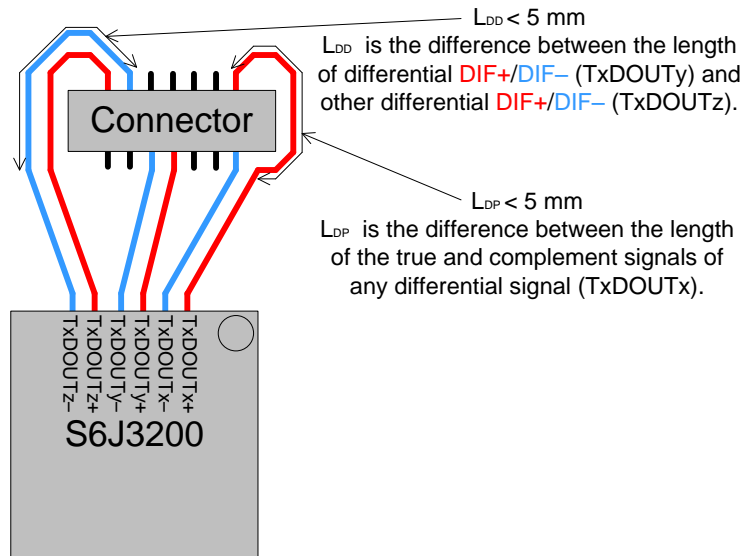


3.3 物理的な長さ / 遅延調整

それぞれの平衡伝送線の物理的な長さとその調整は、インタフェースのタイミングマージンと伝送信号品質によって決定されます。長さの調整は異なる平衡伝送線(L_{DD})の間やポジティブ・ネガティブで構成される各平衡伝送線(L_{DP})の間で行われます。物理的な長さの調整は、コモンモードでの差動信号変換に制限され、送信元と送信先の間で各伝送線の遅延が変わってきます。

Figure 4 の例では、送信デバイス(S6J3200)とコネクタの間に 3 つの差動ペアがあり、経路によって異なる物理的な長さになります。

Figure 4. 物理的な長さ



3 つの平衡伝送線が Figure 4 で示されており、 $TxDOUty\pm$ 信号の経路は平衡伝送線ペア(L_{DP})として良く調整された長さとなっています。 $TxDOUtz\pm$ 信号の経路はミスマッチですが、多くの場合で受け入れられます。しかしながら $TxDOUtx+$ と $TxDOUtx-$ 信号の経路は、大きく長さが異なっており、このように長さが大きく異なるような信号の経路にしない方がよいでしょう。

FR4 上の平衡マイクロストリップのような経路の場合、1 mm は約 10 ps の遅延に相当し^[12]、それぞれ 1 mm の差があれば 10 ps のオフセット時間に相当します。ポジティブとネガティブの平衡伝送線の長さが異なる場合、それらの電磁界の釣合が取れなくなり、信号エネルギーがコモンモードに変換されます。これらは以下の理由により、長さが大きく異なるような信号の経路にしない方がよいでしょう。

- コモンモードのエネルギーが EMI を放射
- 近くの信号に対しクロストークのようなコモンモードノイズを発生
- 差動信号の完全性の減少

Table 1 に示したように、私たちはポジティブとネガティブの平衡伝送線のペア(L_{DP})で 5 mm または 50 ps 以下の不整合に制限することを推奨しています。この制限は伝送線の立上り/立下り時間(通常 400 ps)に依存し、同じ信号速度を維持するためです。 L_{DD} は、 $TxDOUty\pm$ と $TxDOUtz\pm$ 信号の間の長さのミスマッチを表しており、送信デバイス(S6J3200)からコネクタまでの伝送路を表示しています。一般的には、そのコネクタの先にケーブルがあり、受信側コネクタがあるため、受信側コネクタから受信端の配線で補完できる場合があります。 L_{DD} を測定する場合、長さの不整合の合計は送信デバイス(S6J3200)の端子と受信デバイス(通常はディスプレイ)の端子の間であって、コネクタだけではありません。

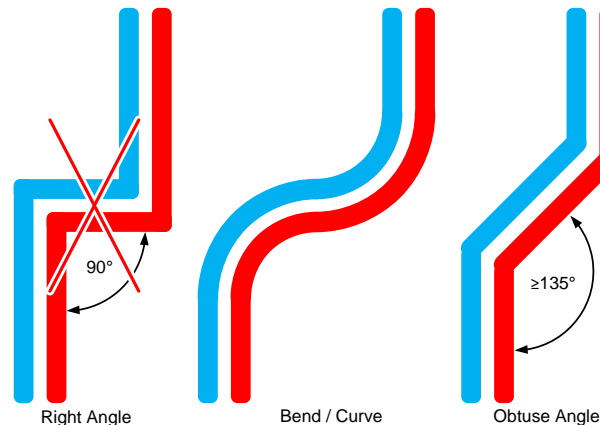
¹² FR-4 のマイクロストリップ伝送線の比誘電率 4.7 の場合

L_{DD} のための Table 1 の推奨も 5 mm (50 ps) ですが、50 MHz で動作しているためです。 L_{DD} の不整合はクロックとデータ信号のオフセットによって送信パルス位置のオフセットの中で発生します。50 MHz の TxCLK±において、各データ線は 350 Mbps の映像を運び、このデータのユニット・インターバル(UI)は 2.85 ns です。この速度信号では、50 ps オフセットは 0.02 UI より少なく、リンクタイミングマージンの減少は 2%より少ない値です。遅い速度信号では、大きな L_{DD} のオフセットは通常 FPD-Link インタフェースのディスプレイで求められるセットアップとホールド時間を満たす限り許容されます。

3.4 経路の制限

経路に 90° の曲線を作らないでください。代替手段として 45° または緩やかな曲線を使用してください。これは、鋭角は伝送線のインピーダンスにより容量成分を発生させてしまうためです。Figure 5 では推奨する経路を示します。

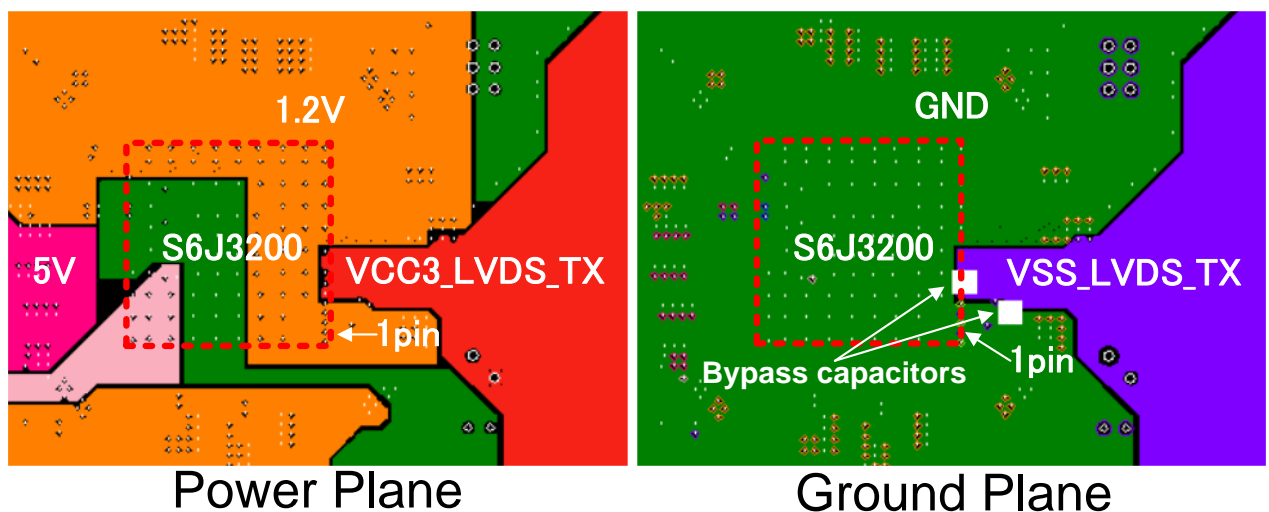
Figure 5. 推奨する経路



3.5 電源とグラウンドのレイアウト

電源とグラウンドは可能な限り広く短くすべきです。FPD-Link の電源は他のレギュレータの電源領域から独立させるべきです。また、バイパスコンデンサは電源/グラウンド端子の近くに配置してください。Figure 6 では電源とグラウンドのレイアウトを示します。

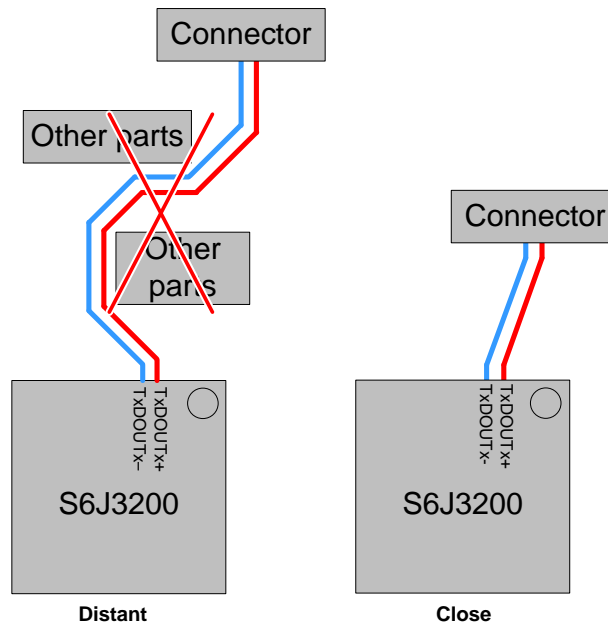
Figure 6. 電源とグラウンドのレイアウト



3.6 コネクタと IC の間の距離

理論的には、伝送線上のドライバやレシーバの間の距離による信号への影響は限定的にすべきです。現実的には、それらの間は、長く複雑であり、全ての 5 つの平衡伝送線ペアの遅延時間を調整することは難しく、信号は大きく不均一となります。可能であれば、FPD-Link コネクタの可能な限り近くに IC を配置すべきです。Figure 7 では IC とコネクタの推奨経路を示します。

Figure 7. コネクタと IC の間の距離



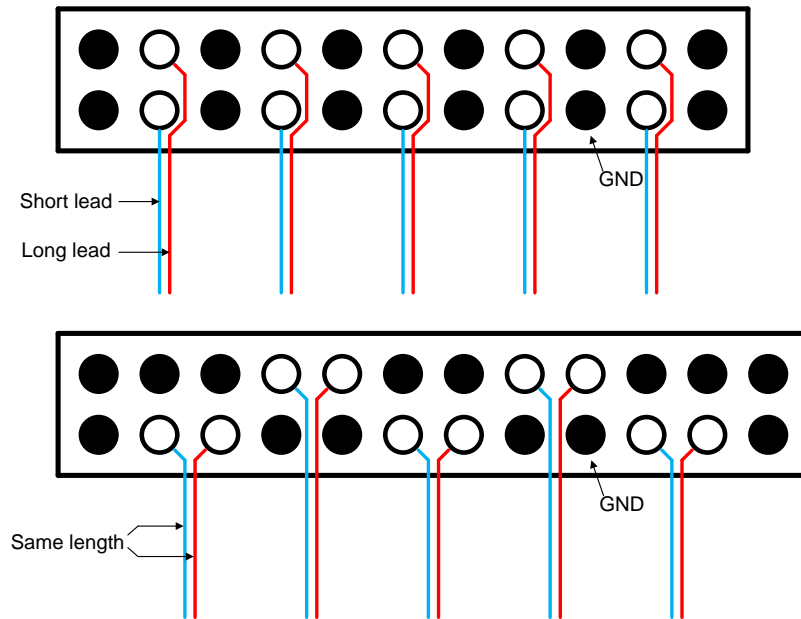
3.7 コネクタの信号配置

コネクタ端子に信号を配置するとき、以下を検討してください。

- コネクタがインピーダンス整合と低スキューである
- 低スキューやクロストークのために長さが同じになるようなコネクタを選択
- コネクタの隣接する端子に同じ差動ペアのポジティブとネガティブ信号
- 可能なら差動ペアの間にグランドを配置
- コネクタの端は高速信号ではなく、グランドにする
- 全てのコネクタの未使用端子はグランド

Figure 8 では 2 つのコネクタの信号配置例を示します。上段の信号配置は差動ペア(LDP)のポジティブとネガティブ信号の経路の長さが不整合になっており、もしコネクタの列の間の端子間隔が小さいならば(3 mm 以下)、信号の経路の差は 5 mm 以下を目標にすべきです。下段の信号配置は差動信号(LDD)の間で少し長さの違いがあります。これはコネクタの反対側からでるケーブルの端の長さを調整することによって補正できます。

Figure 8. コネクタの信号配置



4 関連ドキュメント

- [S6J3200 Series 32-bit Microcontroller Traveo Family Hardware Manual](#)
- [Traveo Family Hardware Manual Platform part](#)
- [S6J3200 Series 32-bit Microcontroller Traveo Family Data Sheet](#)

改版履歴

文書名: AN211139 - Traveo Family S6J3200 シリーズ FPD-Link プリント回路基板ガイドライン

文書番号: 002-17015

版数	ECN 番号	変更者	発行日	変更内容
**	5492991	IKHI	10/25/2016	英語版 002-11139 Rev. ** の日本語版です。
*A	6209595	YSAT	06/18/2018	Cypress の新ロゴを適用。

セールス、ソリューションおよび法律情報

ワールドワイドな販売と設計サポート

サイプレスは、事業所、ソリューション センター、メーカー代理店、および販売代理店の世界的なネットワークを保持しています。お客様の最寄りのオフィスについては、[サイプレスのロケーション ページ](#)をご覧ください。

製品

Arm® Cortex® Microcontrollers	cypress.com/arm
車載用	cypress.com/automotive
クロック&バッファ	cypress.com/clocks
インターフェース	cypress.com/interface
IoT (モノのインターネット)	cypress.com/iot
メモリ	cypress.com/memory
マイクロコントローラ	cypress.com/mcu
PSoC	cypress.com/psoc
電源用 IC	cypress.com/pmic
タッチ センシング	cypress.com/touch
USB コントローラー	cypress.com/usb
ワイヤレス	cypress.com/wireless

PSoC® ソリューション

[PSoC 1](#) | [PSoC 3](#) | [PSoC 4](#) | [PSoC 5LP](#) | [PSoC 6 MCU](#)

サイプレス開発者コミュニティ

[コミュニティ](#) | [Projects](#) | [ビデオ](#) | [ブログ](#) | [トレーニング](#) | [Components](#)

テクニカルサポート

cypress.com/support



Cypress Semiconductor
 198 Champion Court
 San Jose, CA 95134-1709

© Cypress Semiconductor Corporation, 2016-2018. 本書面は、Cypress Semiconductor Corporation 及び Spansion LLC を含むその子会社（以下、「Cypress」という。）に帰属する財産である。本書面（本書面に含まれ又は言及されているあらゆるソフトウェア又はファームウェア（以下、「ソフトウェア」という。）を含む）は、アメリカ合衆国及び世界のその他の国における知的財産法令及び条約に基づき、Cypress が所有する。Cypress はこれらの法令及び条約に基づく全ての権利を留保し、また、本段落で特に記載されているものを除き、Cypress の特許権、著作権、商標権又はその他の知的財産権のライセンスを一切許諾していない。本ソフトウェアにライセンス契約書が伴っておらず、かつ、あなたが Cypress との間で別途本ソフトウェアの使用法を定める書面による合意をしていない場合、Cypress は、あなたに対して、（1）本ソフトウェアの著作権に基づき、（a）ソースコード形式で提供されている本ソフトウェアについて、Cypress ハードウェア製品と共に用いるためにのみ、組織内部でのみ、本ソフトウェアの修正及び複製を行うこと、並びに（b）Cypress のハードウェア製品ユニットに用いるためにのみ、（直接又は再販売者及び販売代理店を介して間接のいずれかで）エンドユーザーに対して、バイナリーコード形式で本ソフトウェアを外部に配布すること、並びに（2）本ソフトウェア（Cypress により提供され、修正がなされていないもの）に抵触する Cypress の特許権のクレームに基づき、Cypress ハードウェア製品と共に用いるためにのみ、本ソフトウェアの作成、利用、配布及び輸入を行うことについての非独占的で譲渡不能な一専属的ライセンス（サブライセンスの権利を除く）を付与する。本ソフトウェアのその他の使用、複製、修正、変換又はコンパイルを禁止する。

適用される法律により許される範囲内、Cypress は、本書面又はいかなる本ソフトウェアに関しても、明示又は黙示を問わず、いかなる保証（商品性及び特定の目的への適合性の黙示の保証を含むがこれらに限られない）も行わない。いかなるコンピューティングデバイスも絶対に安全ということはない。従って、Cypress のハードウェアまたはソフトウェア製品に講じられたセキュリティ対策にもかかわらず、Cypress は、Cypress 製品への権限のないアクセスまたは使用といったセキュリティ違反から生じる一切の責任を負わない。加えて、本書面に記載された製品には、エラーと呼ばれる設計上の欠陥またはエラーが含まれている可能性があり、公表された仕様とは異なる動作をする場合がある。適用される法律により許される範囲内、Cypress は、別途通知することなく、本書面を変更する権利を留保する。Cypress は、本書面に記載のある、いかなる製品若しくは回路の適用又は使用から生じる一切の責任を負わない。本書面で提供されたあらゆる情報（あらゆるサンプルデザイン情報又はプログラムコードを含む）は、参照目的のために提供されたものである。この情報で構成するあらゆるアプリケーション及びその結果としてのあらゆる製品の機能性及び安全性を適切に設計、プログラム、かつテストすることは、本書面のユーザーの責任において行われるものとする。Cypress 製品は、兵器、兵器システム、原子力施設、生命維持装置若しくは生命維持システム、蘇生用の設備及び外科的移植を含むその他の医療機器若しくは医療システム、汚染管理若しくは有害物質管理の運用のために設計され若しくは意図されたシステムの重要な構成部分としての使用、又は装置若しくはシステムの不具合が人身傷害、死亡若しくは物的損害を生じさせるようなその他の使用（以下「本目的外使用」という。）のために設計、意図又は承認されていない。重要な構成部分とは、その不具合が装置若しくはシステムの不具合を生じさせるか又はその安全性若しくは実効性に影響すると合理的に予想できるような装置若しくはシステムのあらゆる構成部分をいう。Cypress 製品のあらゆる本目的外使用から生じ、若しくは本目的外使用に関連するいかなる請求、損害又はその他の責任についても、Cypress はその全部又は一部を問わず一切の責任を負わず、かつ Cypress はそれら一切から本書により免除される。Cypress は Cypress 製品の本来目的外使用から生じ又は本目的外使用に関連するあらゆる請求、費用、損害及びその他の責任（人身傷害又は死亡に基づく請求を含む）から免責補償される。

Cypress、Cypress のロゴ、Spansion、Spansion のロゴ及びこれらの組み合わせ、WICED、PSoC、CapSense、EZ-USB、F-RAM、及び Traveo は、米国及びその他の国における Cypress の商標又は登録商標である。Cypress の商標のより完全なリストは、cypress.com を参照のこと。その他の名称及びブランドは、それぞれの権利者の財産として権利主張がなされている可能性がある。