

CY294xx 高性能时钟：入门手册和最佳设计实践

作者：Amitava Banerjee

相关器件系列：CY29411、CY29412、CY29421、CY29422、CY29430

相关应用笔记：无

要想获取本应用笔记的最新版本，请访问 <http://www.cypress.com/go/AN210253>。

本应用笔记介绍的是 CY294xx 时钟的架构、工作模式和性能。该时钟适用于 OTN、SONET/SDH、xDSL、GbE 和无线基础设施等系统。另外，本应用笔记还介绍了配置器件的最佳实践和设计指南，并详细说明了晶振、内部存储器结构和硬件-软件平台的参考选择。

目录

1 简介	1	8 JEDEC 文件.....	16
2 输入和输出的设置以及可编程特性.....	4	9 布线指南	17
2.1 输入设置.....	4	10 汇总	18
2.2 输出设置.....	5	文档修订记录.....	19
2.3 其他可配置参数和设计指南	6	全球销售和设计支持.....	20
3 RMS 抖动性能	8	产品	20
4 电源规范	10	PSoC®解决方案.....	20
5 编程接口	11	赛普拉斯开发者社区	20
6 器件 I ² C 接口.....	14	技术支持.....	20
7 大量更改和少量更改触发	15		

1 简介

CY294xx 器件是带有一个 PLL 的一系列高性能时钟发生器，这些时钟发生器主要用于 OTN、SONET/SDH、xDSL、GbE 和无线基础设施等高端网络系统，以及消费类和工业级应用。这些器件提供了 QFN 和 LCC 两种封装选项。CY294xx 器件能够生成一个频率达 2.1 GHz 且抖动低至 110 fs 的差分（或单端）输出时钟。这些器件是出厂编程或现场编程的。通过 I²C 接口可以控制存储在易失性存储器内的配置。基于 Sigma-delta PLL 的时钟合成技术提供了出色的电源噪声抑制特性。这样能够在网络和通信系统中简化噪声环境内所生成低抖动时钟的任务。

赛普拉斯建议您通过读取本应用笔记以了解各种器件特性、可编程性选项、内部配置以及硬件设计指南，从而满足系统设计的要求。本应用笔记所提供的存储器映射和 JEDEC 说明可帮助您通过 I²C 主控制器在运行期间修改频率。您应该使用示波器、信号源分析仪等各种测试设备来评估评估套件（EVK）中的软件配置，并检查其性能。本文档中介绍的设计指南有助于您设计应用 PCB，从而得到优质的系统时钟。

开始设计使用 CY294xx 的系统时，除了本应用笔记外还需要参考下列相关文档：

- 赛普拉斯高性能可编程振荡器网站上的 CY29411、CY29412、CY29421、CY29422 和 CY29430 器件数据手册
- CY3676 评估套件网站上的 CY3676 评估套件（CY29412 的硬件评估套件）设计文档
- CY3677 评估套件网站上的 CY3677 评估套件（CY29430 的硬件评估套件）设计文档
- ClockWizard 2.1 软件

可以对 CY294xx 器件进行出厂和现场编程。表 1 显示的是该器件系列的产品概述。

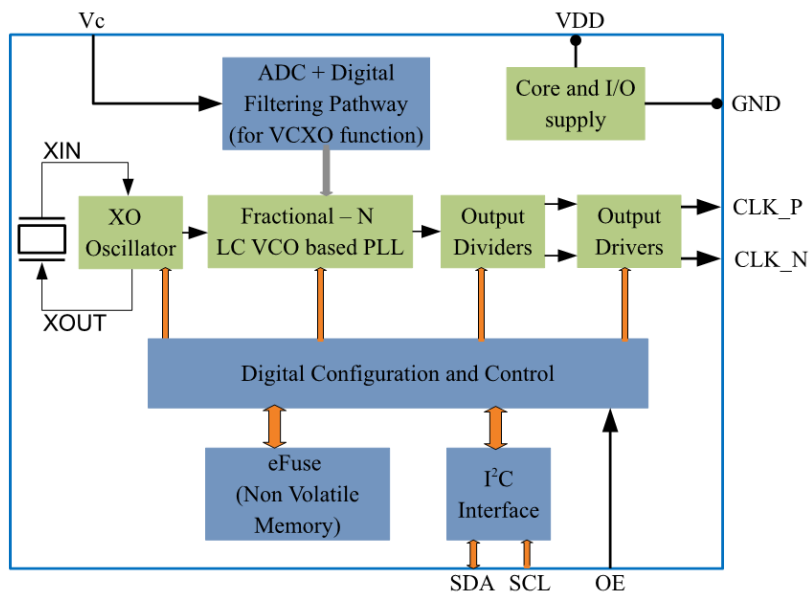
表 1. CY294xx 器件系列产品概述

器件 MPN	封装类型	VCXO 特性	输入类型	输入频率范围	输出类型	频率配置文件数量 (FS)
CY29411	8 引脚 LCC (5 mm x 7 mm)	无	内部 OT3 晶振	NA	一个差分输出	1
CY29412	8 引脚 LCC (5 mm x 7 mm)	有	内部 OT3 晶振	NA	一个差分输出	1
CY29421	8 引脚 LCC (3.2 mm x 5 mm)	无	内部 OT3 晶振	NA	一个差分输出	1
CY29422	8 引脚 LCC (3.2 mm x 5 mm)	有	内部 OT3 晶振	NA	一个差分输出	1
CY29430	16 引脚 QFN	有	外部 HFF 晶振	100 ~ 130 MHz	一个差分输出和一个单端输出 (根据编程操作, 一次只有一个输出工作)	4
			外部 OT3 晶振	100 ~ 130 MHz		
			外部 LFF 晶振	50 ~ 60 MHz		
			外部 TCXO 输入	50 ~ 60 MHz		

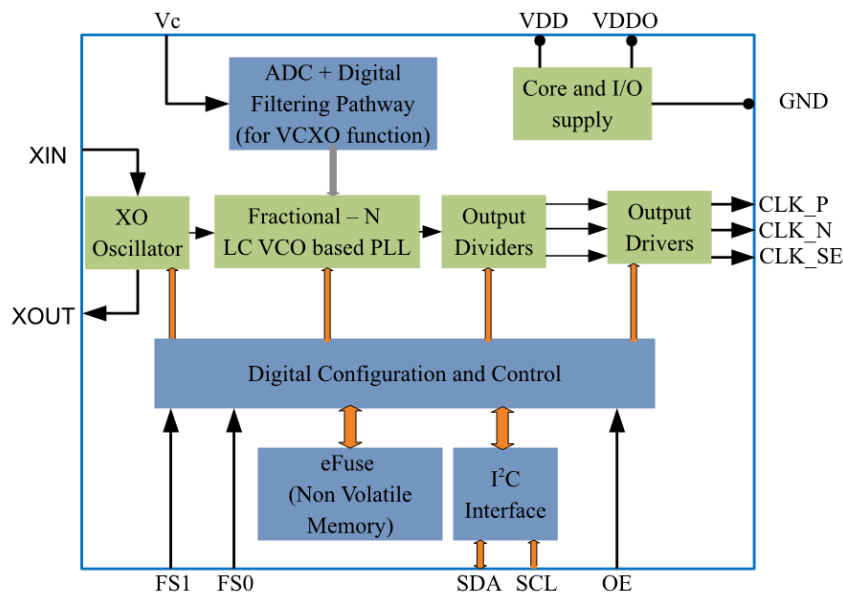
CY29430 和 CY29412/CY29422 器件的内部框图如图 1 所示。CY294xx 器件的关键特性如下：

- 具有高度集成 VCO 的可编程低噪声小数 N 分频锁相环
- 可编程输出的频率范围为 15 MHz ~ 2.1 GHz（连续），15 MHz ~ 250 MHz（单端）
- 可以在一个集成晶振固定频率三次泛音上工作，也可以在晶振的高基频（HFF）模式下工作。
- LVPECL、LVPECL2、CML、HCSL 和 LVDS 可编程输出格式
- 工作电压分别为：3.3 V、2.5 V 和 1.8 V
- 典型的集成抖动值为 110 fs（频率偏移 = 12 kHz ~ 20 MHz）
- 提供 VCXO 功能，并且拉电压总范围 TPR（±50 ppm 到 ±275 ppm）可调校

图 1. (a) CY29412/CY29422 和(b) CY29430 的框图



(a) CY29412, CY29422 architecture block diagram



(b) CY29430 architecture block diagram

2 输入和输出的设置以及可编程特性

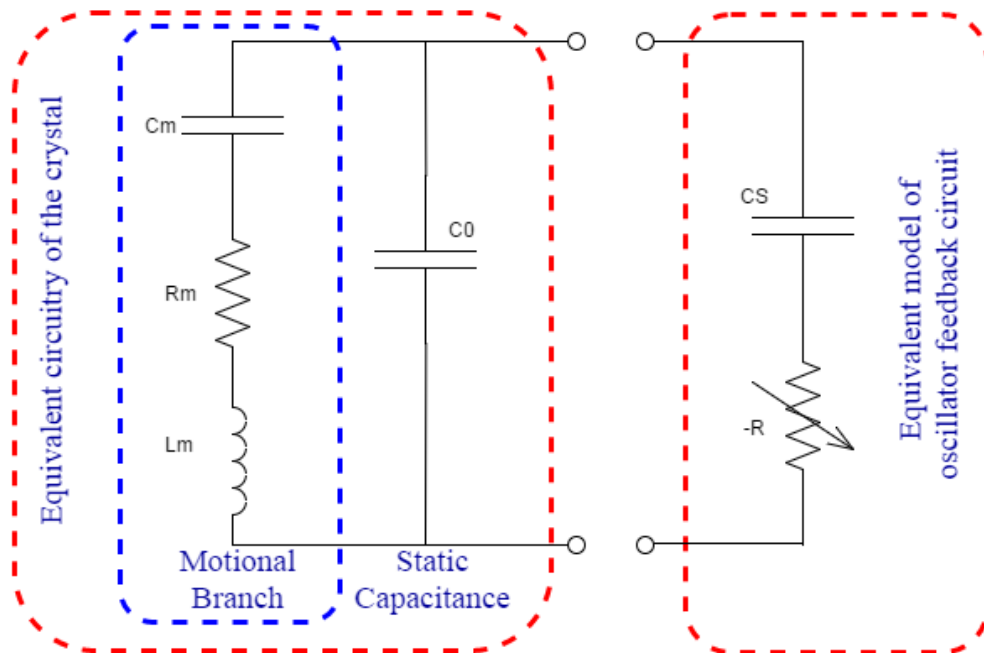
2.1 输入设置

在 CY2941x 和 CY2942x 器件内，LCC 封装中都嵌入了晶振。CY29430 器件要求 PCB 上带有一个外部晶振（HFF 晶振或 OT3）或一个 TCXO 输入源。根据所选晶振（HFF 或 OT3），对内部振荡器电路参数进行如下更改：

- 选用 HFF 晶振时，振荡器电路通过提供适用于基频的负电阻使晶体按照基本频率进行振荡。
- 选用 OT3 晶振时，振荡器电路将该振荡抑制在基本频率（通过提供适用于基频的有效正电阻）并通过提供适用于三次泛音频率的负电阻使晶体在三次泛音频率下振荡。

图 2 显示的是晶振和振荡器负电阻的等效 RLC 电路。反馈路径中的内部振荡器电路显示的是特定频率下的负电阻（-R），并开始振荡。

图 2. 晶振电路框图

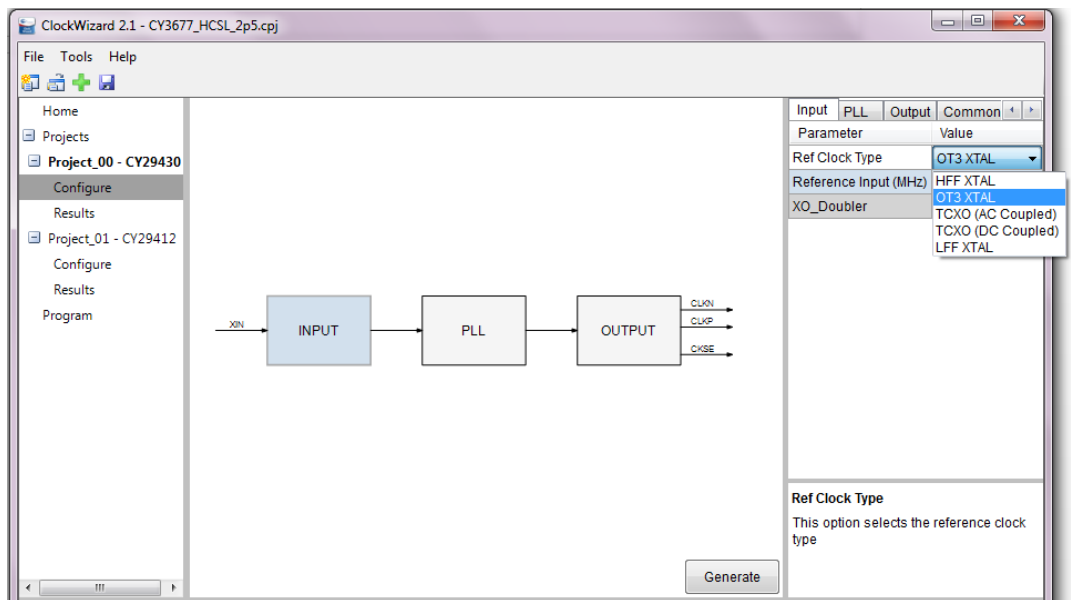


更多有关晶振规范的信息，请参考 [CY29430 数据手册](#)。通过使用 [ClockWizard 2.1 软件](#)，可以配置晶振的相关参数。

图 3 显示的是用于设置可配置晶振参数的各种选项。

如果 TCXO 或外部时钟信号被路由到 XIN 输入端，那么 V_{DD} 上升到指定电平前需要有一个稳定的输入。这是因为上电时进行了片上频率校准，该过程开始时需要有一个稳定的参考输入。更多有关 TCXO 规范的信息，请参考 [CY29430 数据手册](#)。

图 3. ClockWizard 2.1 内的 CY29430 输入晶振设置



2.2 输出设置

CY294xx 和 CY29430 器件支持 LVPECL、LVPECL2、LVDS、CML 和 HCSL 等差分输出标准。另外，CY29430 还带有一个 LVCMOS 输出。LVPECL2 I/O 标准与 LVPECL I/O 标准相同，它们都没有共模输出电流。一次可以使能 CY29430 中的任意一个差分或单端输出。I/O 的供电电压可以为 1.8 V、2.5 V 或 3.3 V。通过 ClockWizard 2.1 软件，您可以编程该器件的电源电压、输出频率和输出标准，如图 4 所示。（PCB 上）输出的外部终端设置需要与器件的软件配置文件相匹配。差分输出的典型外部（板上）终端设置如图 5 所示。CMOS 输出不需要外部终端。它只驱动电容负载。

图 4. ClockWizard 2.1 中不同差分输出标准的终端设置

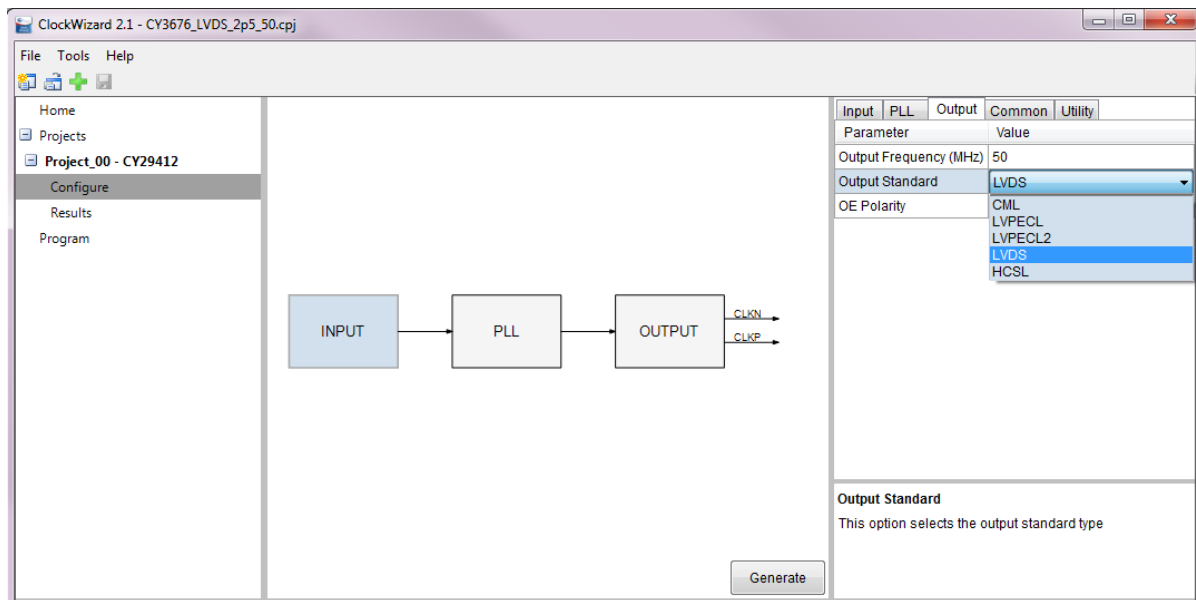
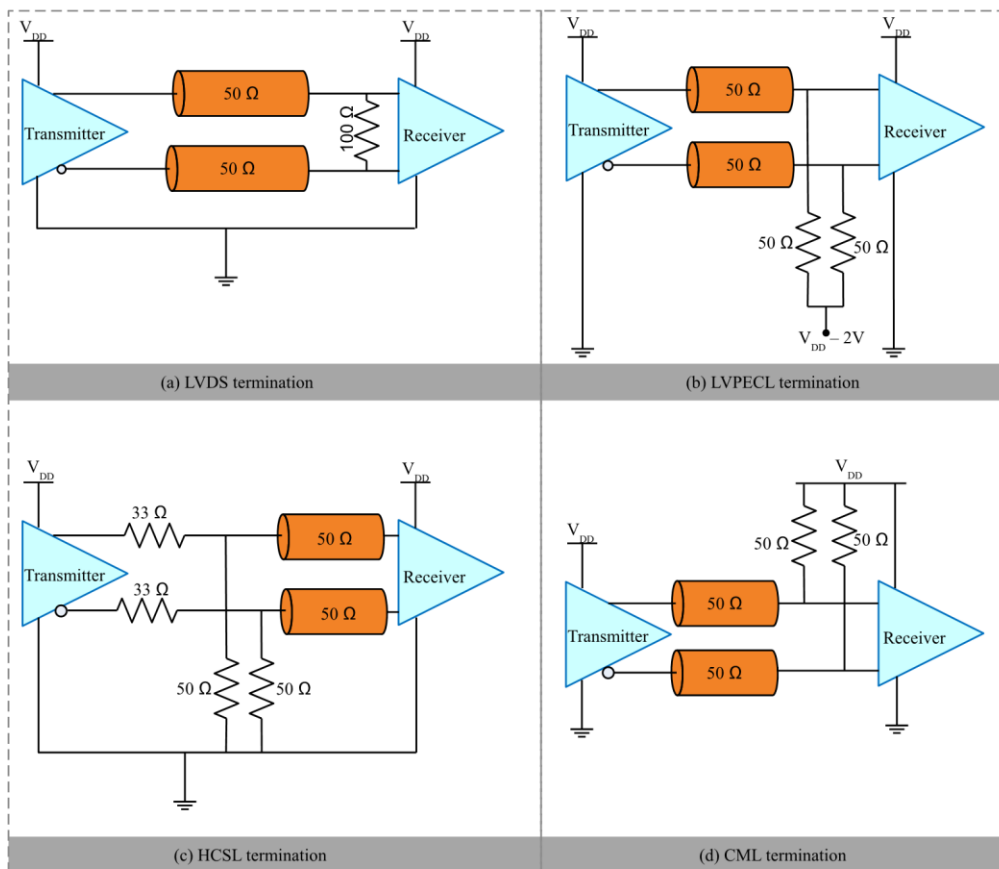


图 5. 器件外部不同 I/O 标准的终端设置



2.3 其他可配置参数和设计指南

除了输入参考和输出设置外，CY294xx 器件还提供了用于编程其他内部电路参数的选项。对于现场可编程器件，您可以使用 [ClockWizard 2.1](#) 配置这些特性。表 2 列出了不同控制引脚和电源引脚的可配置选项，在进行硬件设计时需要遵循这些指南。

表 2. 控制引脚和电源引脚的可配置参数

IC 引脚	功能	参数值	指南
VDD	可配置电源电压	1.8 V / 2.5 V / 3.3 V	根据软件配置来设置板上电源。如果软件配置和板上电源不匹配，则会引起性能问题或可靠性问题。
OE	OE 的可配置极性	200 kΩ 下拉电阻（如果 OE 为低电平有效）	在 PCB 上，向 OE 引脚施加 VDD 电压，从而禁用该输出。使该引脚接地或保持它为悬空状态，以使能该输出。
		200 kΩ 上拉电阻（如果 OE 为高电平有效）	使 OE 引脚接地，从而禁用该输出。将该引脚连接至 VDD 或保持它为悬空状态，以使能该输出。
VIN	可配置为 VCXO 或非 VCXO	将 PLL 配置为整数模式时，不能使能 VCXO 特性。提供了 VCXO 功能，拉电压总范围 TPR (± 50 ppm 到 ± 275 ppm) 可调校。	对于 VCXO 设置，需要添加一个 LC 滤波电路，以确保该输入上接受的是无噪声 DC 信号。 布线指南 中提供了一个滤波电路示例。

除了这些引脚外，请按照下列内容编程其他内部参数：

- 选择 **Kv** 极性（对于具有 **VCXO** 功能的器件）。如果将 **Kv** 编程为负极性，则输出频率 **ppm** 降低，而 **Vc** 上升。对于正极性 **Kv**，输出频率 **ppm** 上升，**Vc** 同时也上升。
- 选择 1/2/4 个默认频率输出（根据 **FS** 的可用性）
- 选择拉电压总范围（对于具有 **VCXO** 功能的器件）
- 选择调制带宽（对于具有 **VCXO** 功能的器件）

在进行系统设计时，您要了解 **FS[1:0]**、**SDA** 和 **SCL** 引脚的功能。表 3 显示的是各种特性和设计指南。

表 3. 频率选择引脚和 I2C 引脚的特性

引脚	内部电阻	指南
FS[1:0] ¹	100 kΩ 下拉电阻	如果没有采用任何外部信号，那么将选择默认的 00 配置文件。在外部采用逻辑 ‘1’，从而改变为其他频率配置文件。
SDA	NA	无内部电阻。使外部上拉电阻接近器件引脚上。进行 PCB 路由时，应该使 SDA 和 SCL 线的长度相互匹配。
SCL	NA	无内部电阻。使外部上拉电阻接近器件引脚上。进行 PCB 路由时，应该使 SDA 和 SCL 线的长度相匹配。

¹ 该特性只适用于 CY29430。CY2941x 和 CY2942x 只能存储一个配置文件，并且没有 **FS** 引脚。

这些 **SDA** 和 **SCL** PCB 走线的长度应该相互匹配，以确保进行正常的 I²C 读和写操作。

3 RMS 抖动性能

CY294xx 器件系列是用于晶体振荡器的高性能、可编程 PLL 解决方案。它主要是为了将复杂的 SAW 和反向 MESA 振荡器替换为一个更便宜和更灵活的解决方案。该器件满足 10/40/100 GbE、SyncE 和 IEEE 1588 等接口标准的频率和抖动要求。该器件的关键规范是频率可达 2.1 GHz，RMS 相位抖动低至 110 fs。图 6 和图 7 中的相位噪声曲线显示的是这些器件的优良抖动性能。这些配置文件是根据 CY294xx 器件的常用系统级应用制定的。

图 6. CY29430 的相位噪声曲线（编程条件：V_{DD} = 3.3 V，输出频率 = 644.5313 MHz，标准 LVPECL2，非 VCXO 模式）

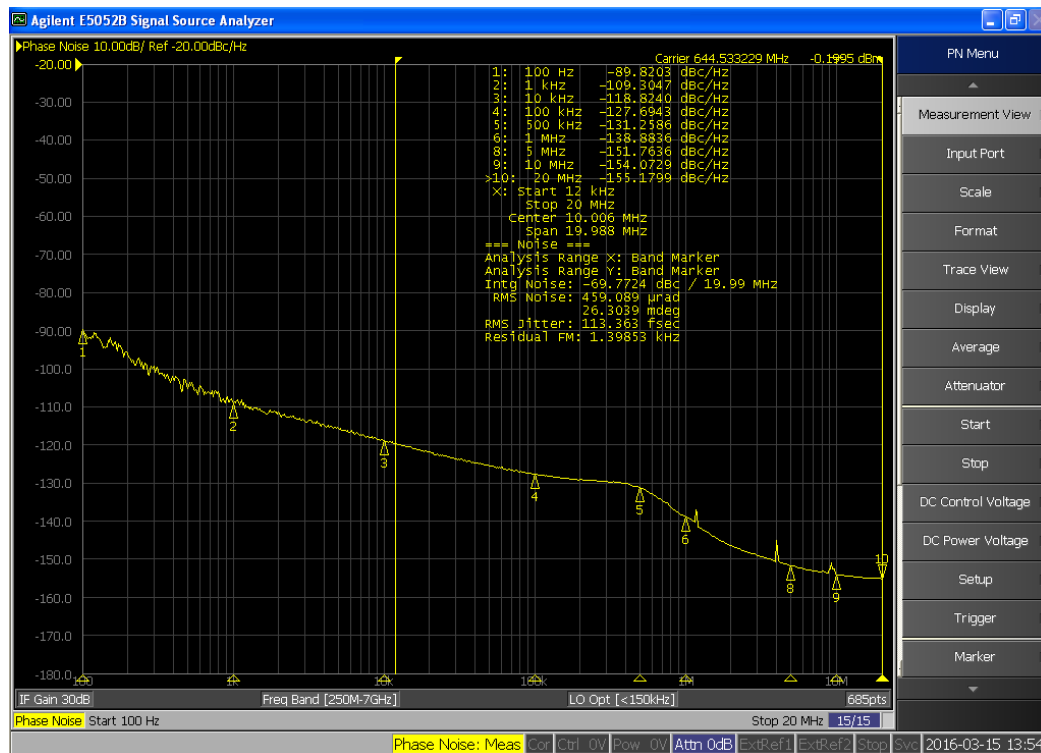
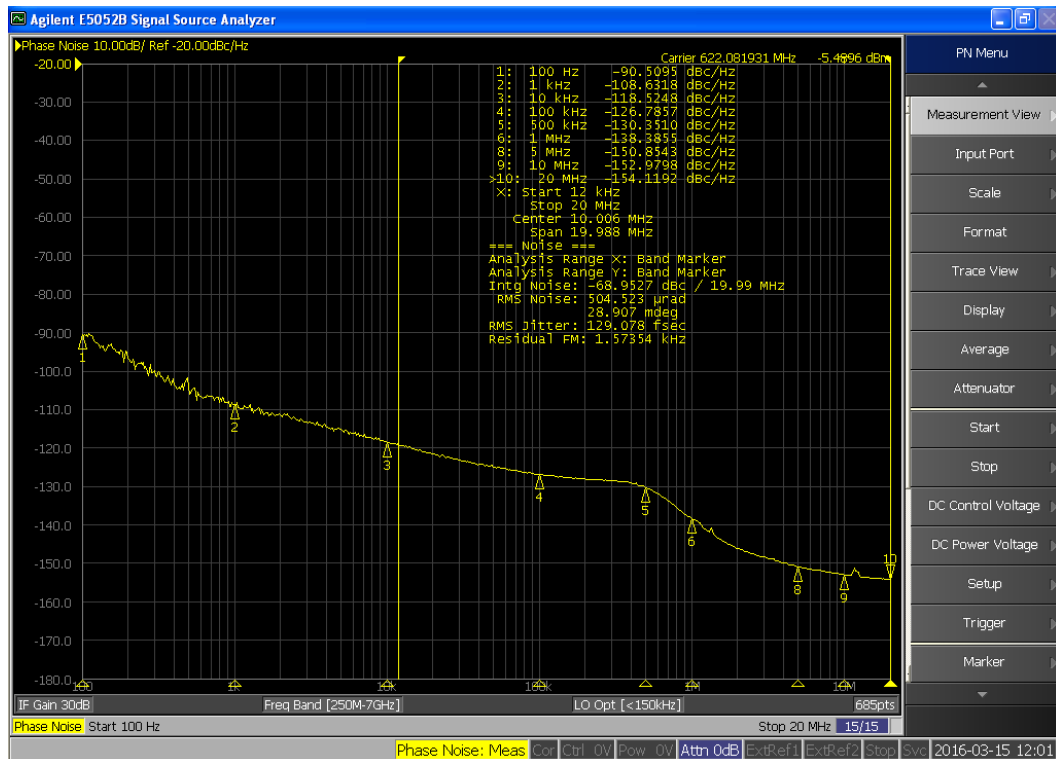


图 7. CY29430 的相位噪声曲线（编程条件：V_{DD} = 2.5 V，标准 CML，输出频率 = 622.08 MHz，非 VCXO 模式）

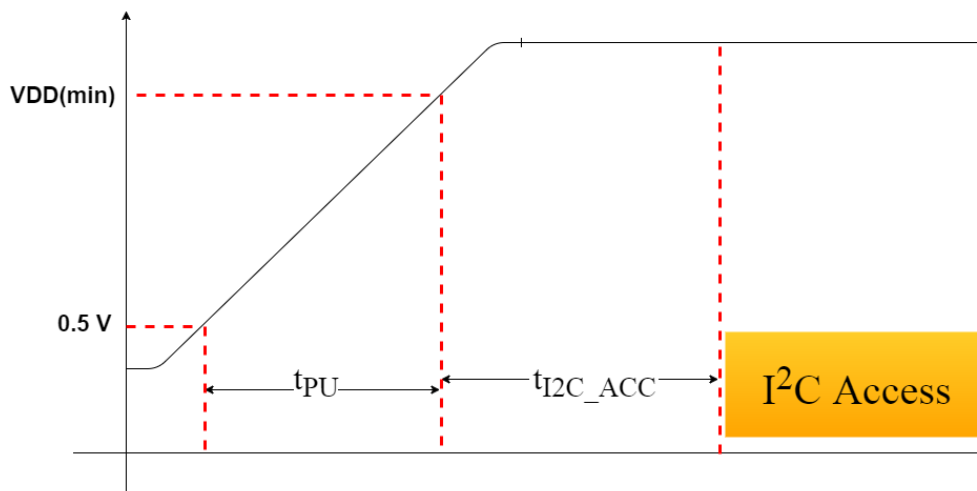


RMS 抖动的计算方法为：对相位噪声曲线下从 12 kHz 到 20 MHz 范围内的面积进行积分算法。这里显示的实验结果是针对 CY3676 和 CY3677 评估套件得出的。

4 电源规范

在进行系统设计时需要遵循 CY294xx 器件的电源上升指南，如图 8 所示。电源上升时间 (t_{PU}) 是将电源电压从 0.5 V 提升到 $V_{DD(min)}$ 所需要的时间。该器件的 t_{PU} 值必须在 10 μs 到 3 秒的范围内。电源达到指定的最小电压后，您至少要等待 5 ms 以进行第一次 I²C 访问 (t_{I2C_ACC})。要将一个配置写入到非易失性存储器内，器件电源必须在 $2.5 V \pm 0.1 V$ 的范围内。

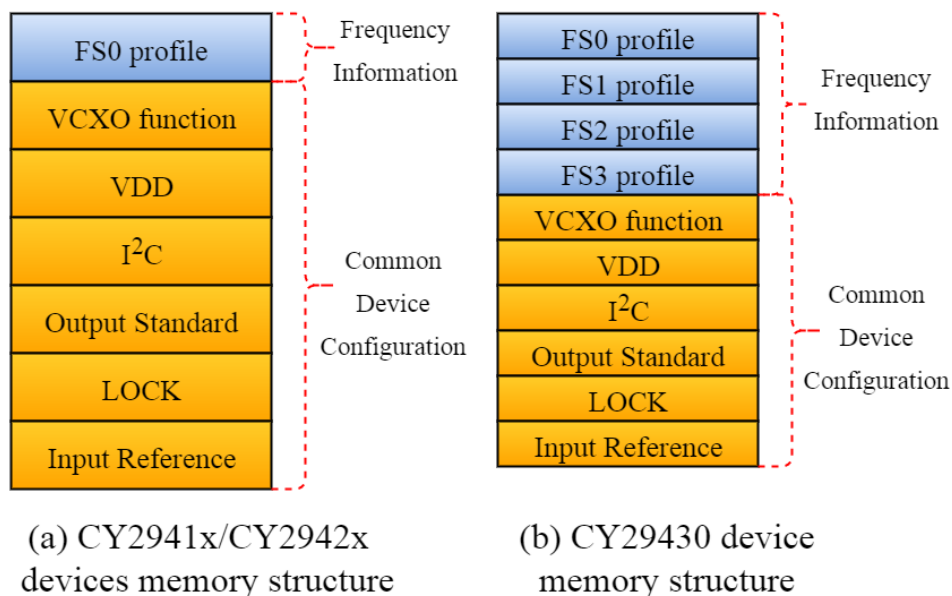
图 8. 电源上升和 I²C 总线访问



5 编程接口

CY2941x、CY2942x 和 CY29430 器件是出厂编程或现场编程的。它们都支持通过 I²C 接口与主机通信。存储器结构和可访问性部分如图 9 所示。CY294xx 的非易失性存储器是一次性可编程（OTP）eFuse。可以将该 eFuse 分为通用的器件配置和输出频率的相关信息。通用器件配置不受输出频率的影响，这些配置包括：芯片电源、OE 极性、I²C 器件地址、输入参考、输出标准和 VCXO 功能。

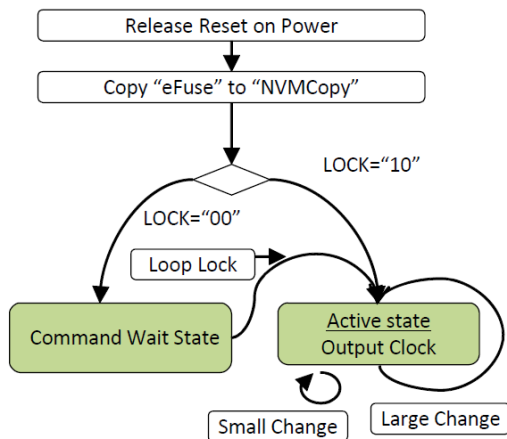
图 9. CY294xx 器件的存储器结构和可访问性



这些器件具有一个用于控制器件性能的内部状态机。复位后，状态机将“eFuse”内容加载到“NVMCopy”（易失性存储器）内，如图 10 所示。根据 LOCK 的值，该状态机会进入“命令等待状态”或“活动状态”。在命令等待状态中，您可以访问所有寄存器，并能读取/写入“NVMCopy”的数据。在这种状态下可以使用以下特性：

- 编程 eFuse
- 将 eFuse 的内容复制到 NVMCopy 内
- 环路锁存

图 10. 控制器件性能的 CY294xx 器件状态图



CY294xx 器件还包含易失性存储器（在图 10 中显示为“NVMCopy”），上电时 eFuse 的精确副本被存储在该存储器中。芯片设置取决于易失性存储器的内容，输出频率则取决于该存储器所存储的配置情况，如图 11 所示。可以通过 I²C 总线访问和更改易失性存储器。

通过发送“环路锁存”命令（而不用编程“LOCK”）使状态机进入“活动状态”，您可以测试器件的功能。器件会根据这些设置进行工作。

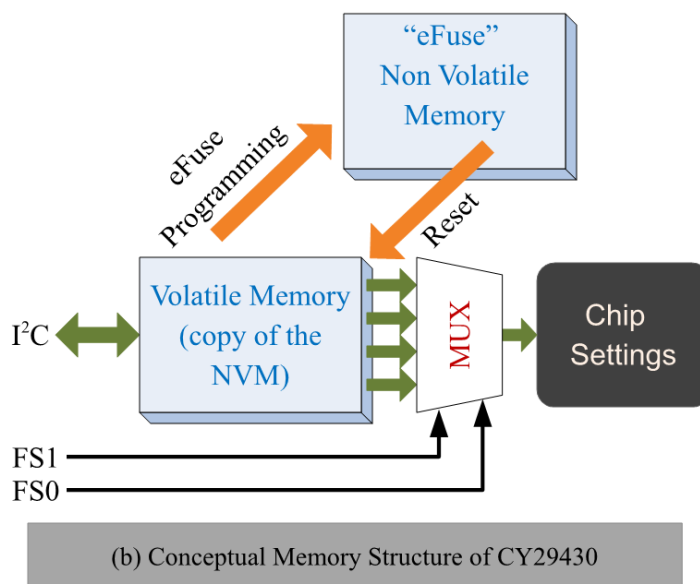
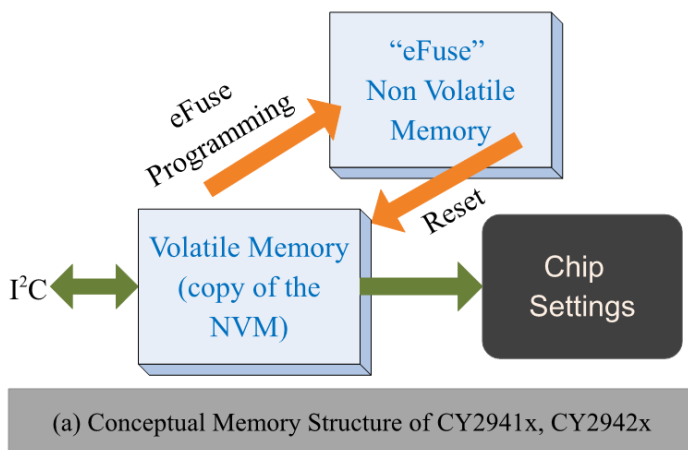
将 LOCK 编程为‘10’时，器件会进入活动状态；上电后，输出时钟可用。在“活动状态”下，通过使用“Small Change”（少量更改）或“Large Change”（大量更改）命令改变输出频率。

在“命令等待状态”下，可以配置器件（写入或不写入 eFuse 都能进行）。这种使用情况用于验证下列条件中的输出频率：

- 在验证该配置后，您可以将 JEDEC 文件写入到 eFuse 内。
- 可以锁定环路，进行测试操作。
- 在锁定状态下，不能重新编程 eFuse。但通过 I²C 接口使用 Large Change 或 Small Change 命令也可以控制输出频率。

用于编程 eFuse 的电气参数如表 4 所示。

图 11. 显示易失性和非易失性存储器的存储器结构（概念）



在 eFuse 锁定状态下，通过 I²C 接口使用 Large Change 或 Small Change 命令可以控制输出频率。验证该配置后，应该将 JEDEC 文件写入到 eFuse 内。用于编程 eFuse 的电气参数如表 4 所示。

表 4. 用于编程 eFuse 的交流和直流规范汇总

参数	说明	最小值	最大值	单位
V _{DD}	用于编程 eFuse 的器件电源	2.4	2.6	V
t _{PU}	电源从 0 上升到指定的最小 V _{DD} 所需时间	0.01	3000	ms
f _{I2C}	I²C 总线时钟频率	–	400	kHz
t _{I2C_ACC}	上电后进行第一次 I²C 访问所需的时间	5		ms
T _{PROG}	eFuse 编程温度	25	125	°C

6 器件 I²C 接口

CY294xx 的 I²C 接口完全是一种硬件实现。如果选中了地址，则根据 I²C 协议，每次对内部寄存器映射图进行写操作可以传输 8 位数据。CY294xx 支持两线式串行接口，该接口支持快速模式（400 kbps）和 7 位寻址功能。只能对它进行单字节访问。可以对器件的 I²C 地址进行编程。请参考表 5 了解编程器件的寄存器映射情况。

锁定 eFuse 后，您应该使用所编程的器件地址进行通信，比如大量更改/少量更改。通过将 I²C 使能位设置为 OFF 可以禁用 I²C 功能，但该器件仍能够进行 0x55 I²C 传输操作。该器件的出厂默认 I²C 地址为 55h。当多个 I²C 器件连接着相同的总线，并且对 0x55 器件进行访问时，您应该保持从设备地址。

表 5. CY294xx 器件系列的内部存储器映射情况

参数	存储器地址				
	CY29411、CY29412、 CY29421、CY29422	CY29430			
	FS	FS0	FS1	FS2	FS3
器件配置	50h–57h	50h–57h			
器件 ID (= 51h) — 只读	00h	00h			
用户可配置信息	D4h–D6h	D4h–D6h			
DIVO	10h	10h	20h	30h	40h
DIVO、DIVN_INT	11h	11h	21h	31h	41H
ICP、DIVN_INT、PLL_MODE	12h	12h	22h	32h	42h
DIVN_FRAC_L	13h	13h	23h	33h	43h
DIVN_FRAC_M	14h	14h	24h	34h	44h
DIVN_FRAC_H	15h	15h	25h	35h	45h

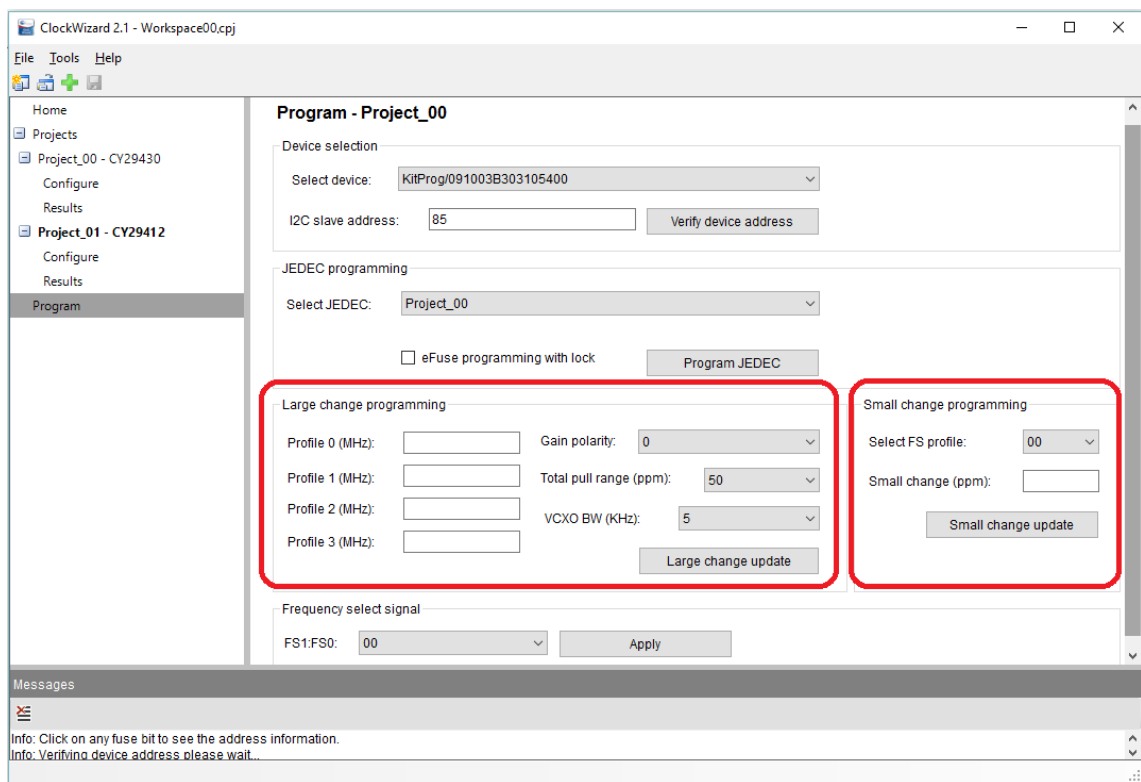
7 大量更改和少量更改触发

当器件处于活动状态时，通过使用“Small Change”（少量更改）或“Large Change”（大量更改）命令，您可以更改输出频率。进行大量更改触发时，PLL 完全关闭，并使用新的频率。使用小数 N 分频参数进行的更改被称为少量更改触发。

- 少量更改所指的频率的更改范围在 ± 500 ppm 内。频率信息通过 I²C 加载，并且输出频率从原始值改变为新值时不会产生任何窄脉冲。注意：整数倍分频 PLL 不支持少量更改功能。
- 大量更改指的是频率的改变超出了 ± 500 ppm 的范围，并且通过 I²C 或 FS 状态改变来实现频率更改。器件需要重新校准并重新配置 PLL，该过程完成前输出一直不稳定。

通过使用 CY3676 或 CY3677 EVK 硬件平台可以在 [ClockWizard 2.1](#) 中验证大量更改触发和少量更改触发功能。各种设置选项如图 12 所示。

图 12. 大量更改触发和少量更改触发选项



8 JEDEC 文件

```
# < Checksum: 20B8D58B      << CYPRESS CHECKSUM
# s 29430                    << Device Information
# f --- INPUT SECTION XIN ---
# f 114.285000 ;XIN (MHz)
# f OT3 ;XO mode
# f Disable ;XO doubler
# f Enable ;VCXO enable/Disable
# f 50 ;VCXO pull range
# f 10k ;VCXO BW
# f Positive ;VCXO polarity
# f --- DEVICE CONFIGURATION ---
# f 2.5V ;VDD Range
# f PECL ;OUTPUT standard
# f actH ;OE polarity
# f Enable ;I2C BUS
# f 55 ;I2C device address (HEX)
# f --- OUTPUT FREQUENCY ---
# f 156.250000 ;FS0
# f 155.520000 ;FS1
# f 688.812300 ;FS2
# f 322.562562 ;FS3
*
QP0016* QF2048* G0*
L00128                      << FS0 configuration
001011000011110000001010101000110001100000101000*
L00256                      << FS1 configuration
001011000011110000001010101000010010010111100000*
L00384                      << FS2 configuration
0000101101000010000001101110111011000001001100*
L00512                      << FS3 configuration
00010110001111100000100001111110111101100010111*
L00640                      << Common configuration
000001001010100000011101101100001101010110010101100010101010000*
L01696                      << User option configuration
000000000000000100000010*
COD3E*                      << FUSE sum = 0D3E
0000
```

CY294xx 器件的 JEDEC 文件包含用户创建的所有配置文件信息（如 PLL 配置、输出标准、输入参考、VCXO、OE 极性）和其他用户可配置选项。下面显示的是典型的 JEDEC 文件示例：

双下划线字段分别为 LOCK（2 位）、R_CAL（4 位）和 RC_CAL（4 位）信息。R_CAL 和 RC_CAL 字段是出厂编程好的。通过以下方式可以使用 JEDEC 文件中所提供的数据计算存储器地址及其内容（另请参考表 6）：

- 存储器地址 = xxxx/8（xxxx = JEDEC 中 L0xxxx 的 4 位数字）。存储器地址（L00128，即 0x10）中的二进制数据为 00101100-00111100-00001010-10100011-00011000-00101000*。
- 存储器地址 0x10 中的数据为 0x2C（00101100），用于设置所需的 DIVO 参数。
- 存储器地址 0x11 中的数据为 0x3C（00111100），用于设置所需的 DIVO 和 DIVN_INT 参数。
- 存储器地址 0x12 中的数据为 0x0A（00001010），用于设置所需的 ICP、DIVN_INT 和 PLL_MODE 参数。
- 存储器地址 0x13 中的数据为 0xA3（10100011），用于设置所需的 DIVN_FRAC_L 参数。

- 存储器地址 0x14 中的数据为 0x18 (00011000)，用于设置所需的 DIVN_FRAC_M 参数。
- 存储器地址 0x15 中的数据为 0x28 (00101000)，用于设置所需的 DIVN_FRAC_H 参数。

9 布线指南

由于 CY294xx 器件支持频率极高 (LVDS、LVPECL、LVPECL2 和 CML 规范的频率可达 2.1 GHz) 的输出，并要求 114.285 MHz OT3 或 122.88 MHz HFF 晶振作为输入，因此布线需要遵循一定的设计指南。

- 将输入晶振放置在离 IC 输入引脚最近的地方。图 13 显示的是 PCB 板上的晶振和 CY29430 输入端的典型路由方案。
- 路由由输出走线时需要用屏蔽地层 (实现阻抗匹配并使串扰最小)。通过配置走线宽度、走线离地间隔和 PCB 堆栈来确保所有位置的阻抗都为 50 Ω 。您可以将 PCB 上的传输线设计为单个 50 Ω 线或 100 Ω 差分线。应该遵循 CY3676 和 CY3677 EVK 的 Fab 注意事项中所述的设计指南。
- CY29430 的 VIN 引脚要求 PCB 上有一个 RLC 滤波器。VCXO 输入端的滤波器降低了噪声耦合，从而降低 RMS 相位抖动。建议您将 VCXO 滤波器放置在离器件 VIN 引脚最近的位置。图 14 显示的是 PCB 上建议使用的典型 VCXO 输入滤波器设计。

原理图和布线指南如图 13 和图 14 所示。建议您参考该原理图和布线文件，并遵循 CY3676 和 CY3677 EVK 的晶振和输出传输线。

图 13. 晶振电路的原理图和布线示例

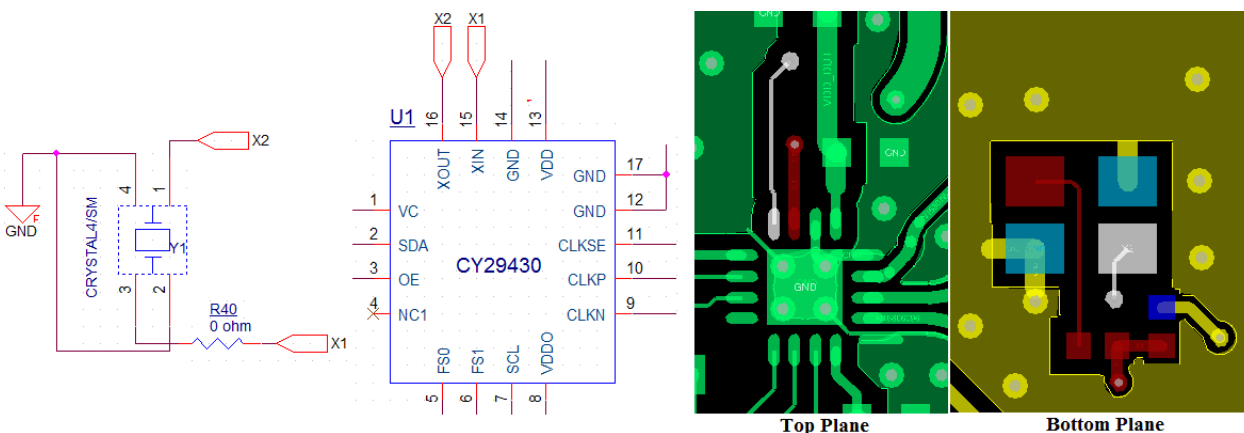
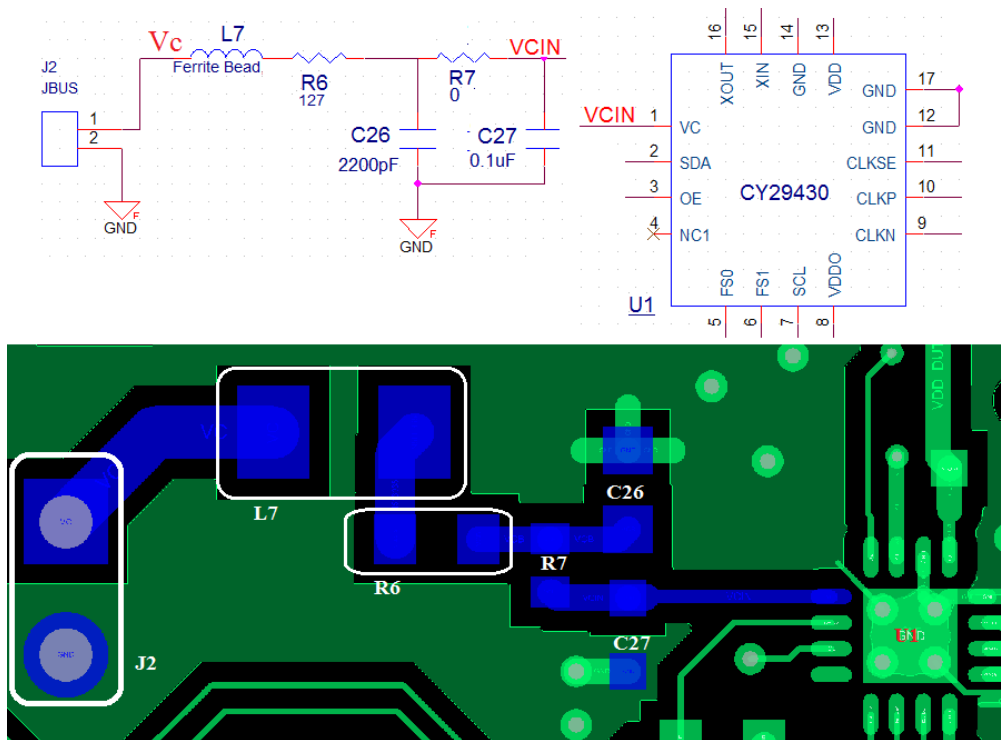


图 14. VCXO 输入的滤波电路



10 汇总

本应用笔记详细介绍了 CY294xx 器件的各种特性并提供了用于评估时钟特性的硬件和软件平台的相关参考内容。

文档修订记录

文档标题：AN210253 — CY294xx 高性能时钟：入门手册和最佳设计实践

文档编号：002-13851

版本	ECN	变更者	提交日期	变更说明
**	5319292	RZZH	06/24/2016	本文档版本号为 Rev**，译自英文版 002-10253 Rev**。

全球销售和设计支持

赛普拉斯公司具有一个由办事处、解决方案中心、厂商代表和经销商组成的全球性网络。要想查找离您最近的办事处，请访问[赛普拉斯所在地](#)。

产品

ARM® Cortex®微控制器	cypress.com/arm
汽车级产品	cypress.com/automotive
时钟与缓冲器	cypress.com/clocks
接口	cypress.com/interface
照明与电源控制	cypress.com/powerpsoc
存储器	cypress.com/memory
PSoC	cypress.com/psoc
触摸感应	cypress.com/touch
USB 控制器	cypress.com/usb
无线/射频	cypress.com/wireless

PSoC®解决方案

cypress.com/psoc
PSoC 1 | PSoC 3 | PSoC 4 | PSoC 5LP

赛普拉斯开发者社区

[社区](#) | [论坛](#) | [博客](#) | [视频](#) | [培训](#)

技术支持

cypress.com/support

PSoC 是赛普拉斯半导体公司的注册商标。此处引用的所有其他商标或注册商标归其各自所有者所有。

	赛普拉斯半导体公司	电话	: 408-943-2600
	198 Champion Court	传真	: 408-943-4730
	San Jose, CA 95134-1709	网址	: www.cypress.com

© 赛普拉斯半导体公司，2016 年。本文件是赛普拉斯半导体公司及其子公司，包括 Spansion LLC（“赛普拉斯”）的财产。本文件，包括其包含或引用的任何软件或固件（“软件”），根据全球范围内的知识产权法律以及美国与其他国家签署条约由赛普拉斯所有。除非在本款中另有明确规定，赛普拉斯保留在该等法律和条约下的所有权利，且未就其专利、版权、商标或其他知识产权授予任何许可。如果软件并不附随有一份许可协议且贵方未以其他方式与赛普拉斯签署关于使用软件的书面协议，赛普拉斯特此授予贵方属人性质的、非独家且不可转让的如下许可（无再许可权）（1）在赛普拉斯特软件著作权项下的下列许可权（一）对以源代码形式提供的软件，仅出于在赛普拉斯硬件产品上使用之目的且仅在贵方集团内部修改和复制软件，和（二）仅限于在有关赛普拉斯硬件产品上使用之目的将软件以二进制代码形式的向外部最终用户提供（无论直接提供或通过经销商和分销商间接提供），和（2）在被软件（由赛普拉斯公司提供，且未经修改）侵犯的赛普拉斯专利的权利主张项下，仅出于在赛普拉斯硬件产品上使用之目的制造、使用、提供和进口软件的许可。禁止对软件的任何其他使用、复制、修改、翻译或汇编。

在适用法律允许的限度内，赛普拉斯未对本文件或任何软件作出任何明示或暗示的担保，包括但不限于关于适销性和特定用途的默示保证。赛普拉斯保留更改本文件的权利，届时将不另行通知。在适用法律允许的限度内，赛普拉斯不对因应用或使用本文件所述任何产品或电路引起的任何后果负责。本文件，包括任何样本设计信息或程序代码信息，仅为供参考之目的提供。文件使用人应负责正确设计、计划和测试信息应用和由此生产的任何产品的功能和安全性。赛普拉斯产品不应被设计为、设定为或授权用作武器操作、武器系统、核设施、生命支持设备或系统、其他医疗设备或系统（包括急救设备和手术植入物）、污染控制或有害物质管理系统中的关键部件，或产品植入之设备或系统故障可能导致人身伤害、死亡或财产损失其他用途（“非预期用途”）。关键部件指，若该部件发生故障，经合理预期会导致设备或系统故障或会影响设备或系统安全性和有效性的部件。针对由赛普拉斯产品非预期用途产生或相关的任何主张、费用、损失和其他责任，赛普拉斯不承担全部或部分责任且贵方不应追究赛普拉斯之责任。贵方应赔偿赛普拉斯因赛普拉斯产品任何非预期用途产生或相关的所有索赔、费用、损失和其他责任，包括因人身伤害或死亡引起的主张，并使之免受损失。

赛普拉斯、赛普拉斯徽标、Spansion、Spansion 徽标，及上述项目的组合，及 PSoC、CapSense、EZ-USB、F-RAM 和 Traveo 应视为赛普拉斯在美国和其他国家的商标或注册商标。请访问 cypress.com 获取赛普拉斯商标的完整列表。其他名称和品牌可能由其各自所有者主张为该方财产。