



本ドキュメントは Cypress (サイプレス) 製品に関する情報が記載されております。本ドキュメントには、「MB」から始まるシリーズ名、品名およびオーダ型格が記載されておりますが、これらはすべて「CY」から始まるシリーズ名、品名およびオーダ型格として、新規および既存のお客様に引き続き提供してまいります。

オーダ型格の調べ方について

1. www.cypress.com/pcn にアクセスしてください。
2. SEARCH PCNS フィールドに、オーダ型格などのキーワードを入力し、「Apply」をクリックしてください。
3. 該当するタイトル(Title)をクリックしてください。
4. 「Affected Parts List」ファイルを開いてください。
当該ファイルに記載されている各種変更情報をご利用ください。

詳しいお問い合わせ先

Cypress 製品およびそのソリューションの詳細につきましては、お近くの営業所へお問い合わせください。

サイプレスについて

サイプレスは、世界で最も革新的な車載や産業機器、スマート家電、民生機器および医療機器製品向けに、最先端の組み込みシステム ソリューションを提供するリーディングカンパニーです。サイプレスのマイクロコントローラーや、アナログ IC、ワイヤレスおよび USB ベースのコネクティビティ ソリューション、高い信頼性と高性能を提供するメモリ製品は、各種機器メーカーの差異化製品の開発と早期市場参入を支援します。サイプレスは、ベストクラスのサポートと開発リソースをグローバルに提供することで、彼らが従来市場を破壊しまったく新しい製品カテゴリを歴史的なスピードで市場投入できるよう支援します。詳細はサイプレスのウェブサイト (japan.cypress.com) をご覧ください。

三相モータ制御の構成例と設定方法

関連製品ファミリ: MB9D560 シリーズ Traveo™ Family

本アプリケーションノートでは、MB9D560 シリーズにおける三相モータ制御の具体的な構成例と、各ユニットの設定方法について記載します。

Contents

1 はじめに	1	6 12 ビット 4ch A/D コンバータ (4ch-SH ADC).....	26
2 概要	1	6.1 概要.....	26
3 16 ビットフリーランタイム (16bit FRT)	5	6.2 設定詳細	27
3.1 概要.....	5	7 R/D コンバータ (RDC)	33
3.2 設定詳細.....	6	7.1 概要.....	33
4 16 ビットアウトプットコンペア (16bit OCU)	14	7.2 設定詳細	35
4.1 概要.....	14	8 付録	43
4.2 設定詳細.....	15	8.1 三相モータ制御用対象ユニット.....	43
5 波形ジェネレータ (WFG)	20	8.2 略語・用語.....	44
5.1 概要.....	20	9 改訂履歴	45
5.2 設定詳細.....	22	セールス、ソリューションおよび法律情報	46

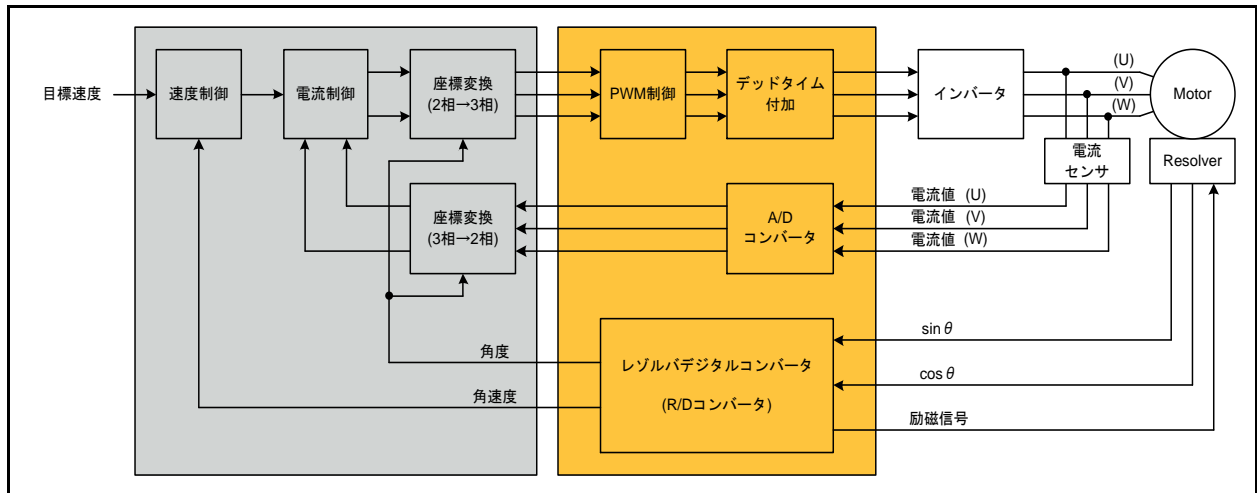
1 はじめに

本アプリケーションノートでは、MB9D560 シリーズにおける三相モータ制御の具体的な構成例と、各ユニットの設定方法について記載します。

2 概要

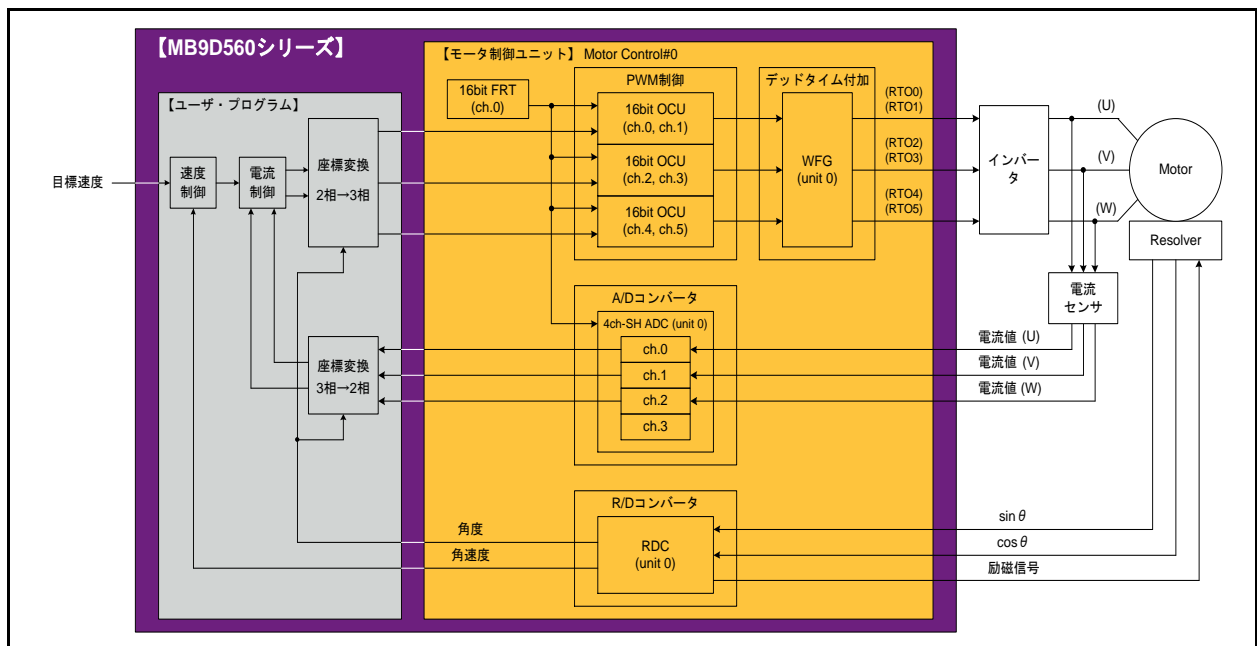
図 1 は、本アプリケーションノートで対象とするモータ制御の実施例です。電流フィードバックによるベクトル制御の実施例で、モータの角度検出にはレゾルバを使用します。

図 1. 電流フィードバックによるベクトル制御の実施例



MB9D560 シリーズを使用すると、上記の実施例は図 2 のとおり構成できます。「速度制御, 電流制御, 座標変換」はプログラムで制御し、「モータ制御ユニット」は MB9D560 シリーズの各ユニットで構成します。本アプリケーションノートでは、モータ制御ユニットに関し、具体例を提示しながらその設定方法について記載します。

図 2. MB9D560 シリーズでの電流フィードバックによるベクトル制御の構成例

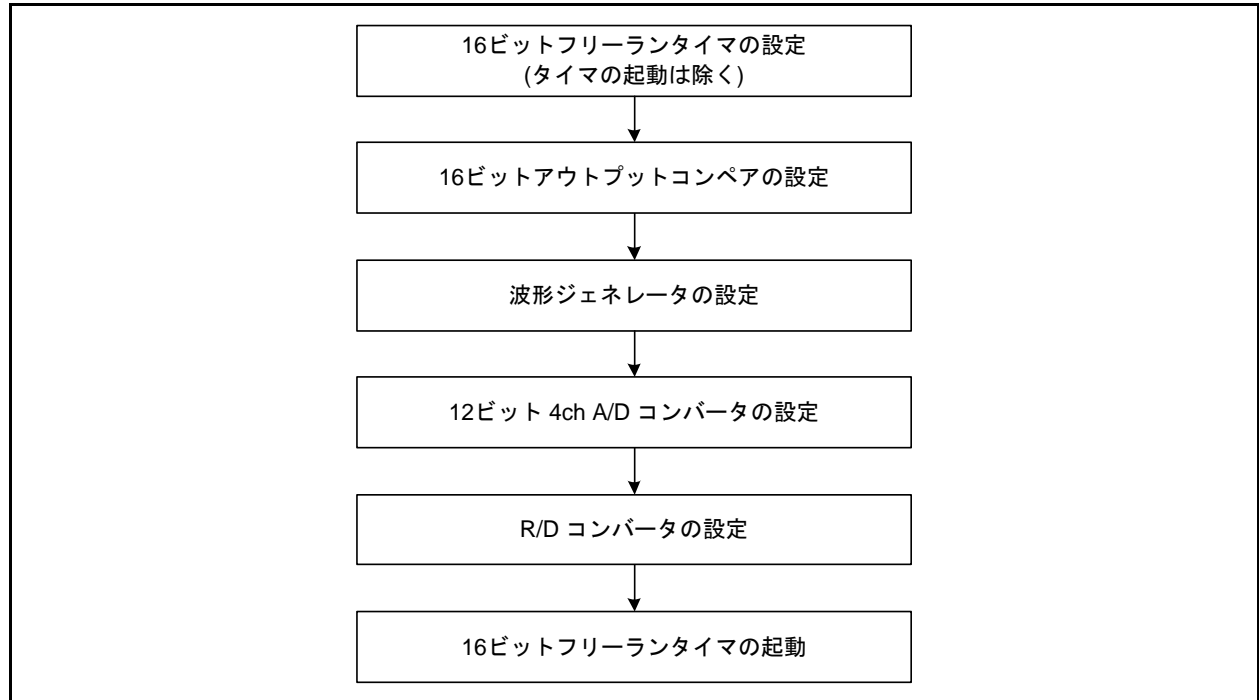


注意事項:

- MB9D560 シリーズにはモータ制御ユニットが 2ch (#0, #1) 搭載されていますが、本アプリケーションノートでは、#0 を例にとりあげて説明します。#1 を対象とした場合でも同様の構成ですが、対象のチャネルおよびユニットが異なります。詳細は、「8.1. 三相モータ制御用対象ユニット」を参照してください。

各ユニットを使用するための設定フローは以下のとおりです。

図 3. ユニットの全体設定フロー

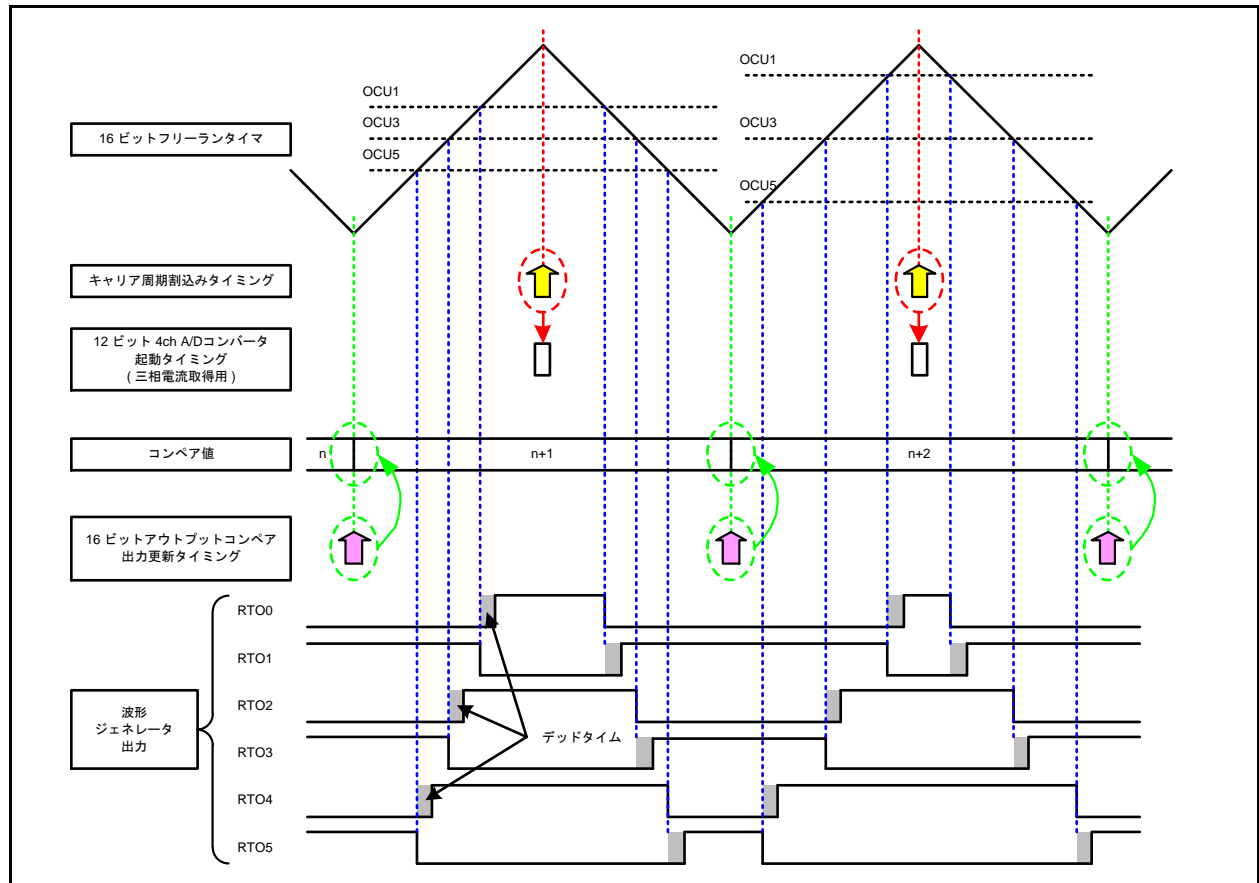


各ユニットを使用するにあたって、三相モータ制御のタイミングを考慮する必要があります。本アプリケーションノートでは、以下のようにタイミング制御を行うことを前提とします。各ユニットの動作クロックは、最大の100MHzとします。

タイミング制御条件

- キャリア周期 (モータ制御周期) を、16 ビットフリーランタイムのアップダウンカウントモード (三角波) で生成します。
- 16 ビットフリーランタイムのコンペア一致検出割込みを、モータ制御の起動タイミングとします。
- 三相電流取得用として 12 ビット 4ch A/D コンバータを使用します。この 12 ビット 4ch A/D コンバータは 16 ビットフリーランタイムに同期して変換を開始します。
- インバータ制御用信号は 16 ビットアウトプットコンペアで生成します。16 ビットアウトプットコンペアは、16 ビットフリーランタイム値とユーザ・プログラムで演算したコンペア値を比較して信号を生成します。コンペア値は三角波のゼロ点において更新されます。
- 波形ジェネレータによりデッドタイムを付加します。

図 4. タイミング制御



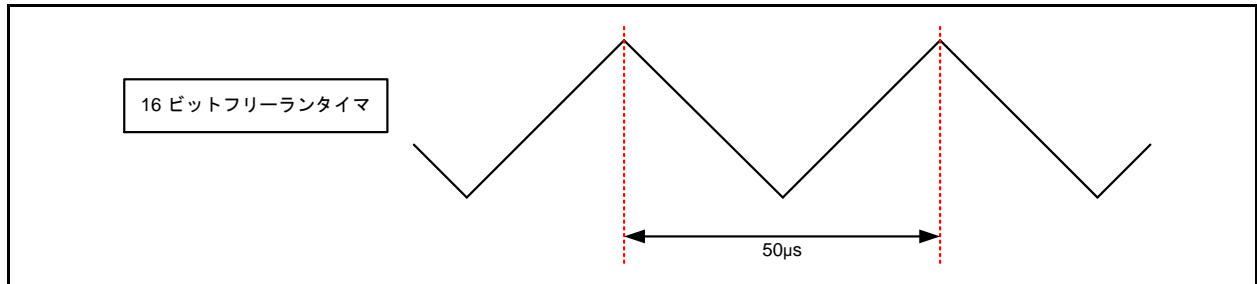
以下、本節に記載した内容を前提として説明を行います。

3 16 ビットフリーランタイム (16bit FRT)

フリーランタイムは、入力クロックを指定されたカウント値までカウントアップし指定カウント値に達した場合、カウントダウンまたはゼロより再カウントアップをするタイマです。モータ制御時のキャリア周期を生成します。

本節では、16 ビットフリーランタイムの ch.0 において、三角波でキャリア周期 (50 μ s) を生成する方法について説明します。

図 5. 16 ビットフリーランタイムの出力 (ch.0)



3.1 概要

16 ビットフリーランタイムの設定概要について以下に記載します。

3.1.1 フリーランタイムカウントクロックの選択

カウント用動作クロックとして、外部クロック (FRCK) または内部クロック (CLK_PERI4, CLK_PERI5) を選択できます。

内部クロック選択時は、内部プリスケアラにより 9 種類のカウント動作クロック (ϕ , $\phi/2$, $\phi/4$, $\phi/8$, $\phi/16$, $\phi/32$, $\phi/64$, $\phi/128$, $\phi/256$) を選択できます。

注意事項:

- ϕ : 内部クロック (CLK_PERI4, CLK_PERI5) の周波数を示します。

3.1.2 カウントモードの選択

カウントモードとしてアップカウントモード (のこぎり波) またはアップダウンカウントモード (三角波) を選択できます。

3.1.3 フリーランタイムコンペア割込み

コンペア一致、ゼロ検出時に割込みを生成できます。また、割込みマスク機能を使用して、割込み発生を 1~8 回までマスクできます。アップダウンカウントモードでは、コンペア一致、ゼロ検出を個別に設定できます。

3.1.4 フリーランタイムセレクト

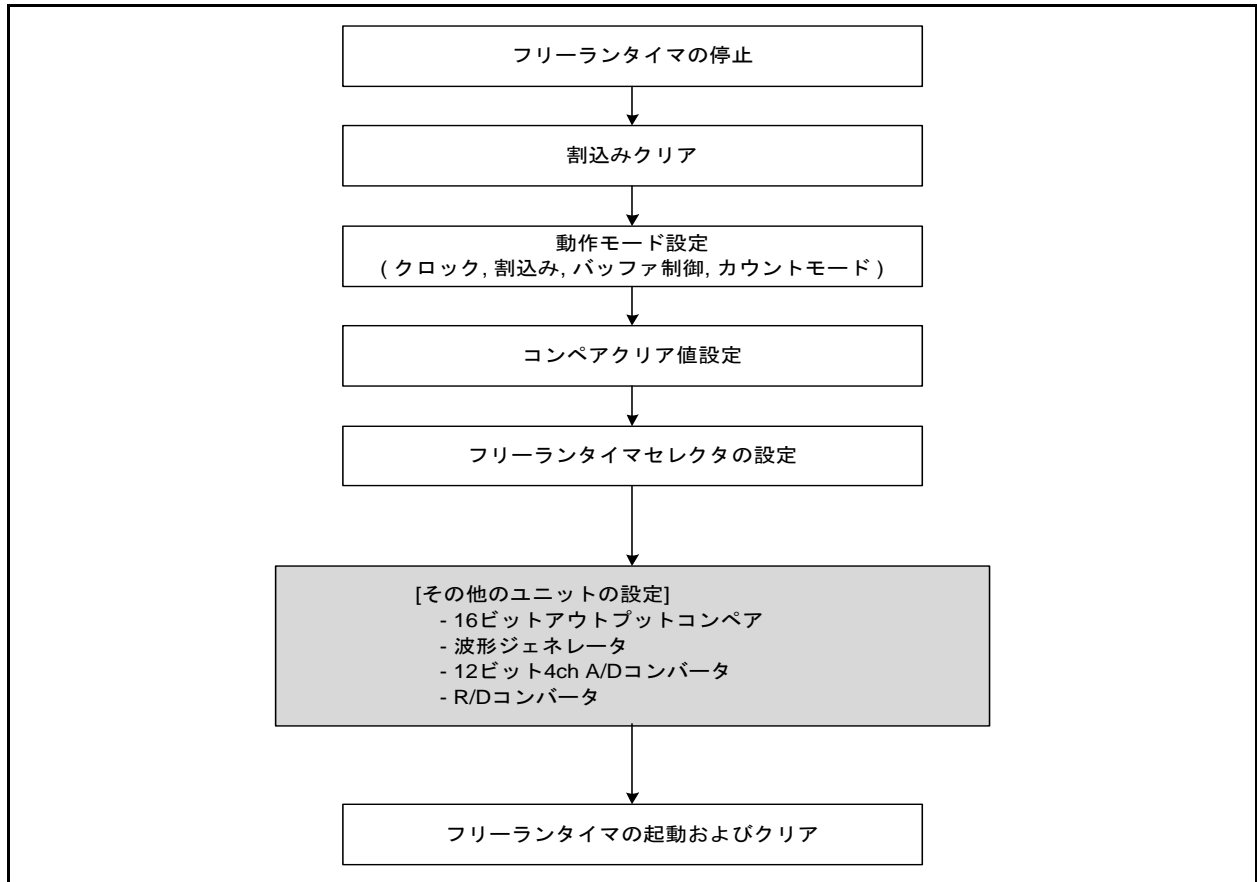
フリーランタイムのカウント出力値は、フリーランタイム選択レジスタによって 16 ビットアウトプットコンペア, 16 ビットインプットキャプチャ, 12 ビット A/D コンバータおよび 12 ビット 4ch A/D コンバータのカウント値として使用できます。

3.2 設定詳細

3.2.1 設定手順例

16ビットフリーランタイムの設定フローを以下に示します。

図 6. 設定フロー



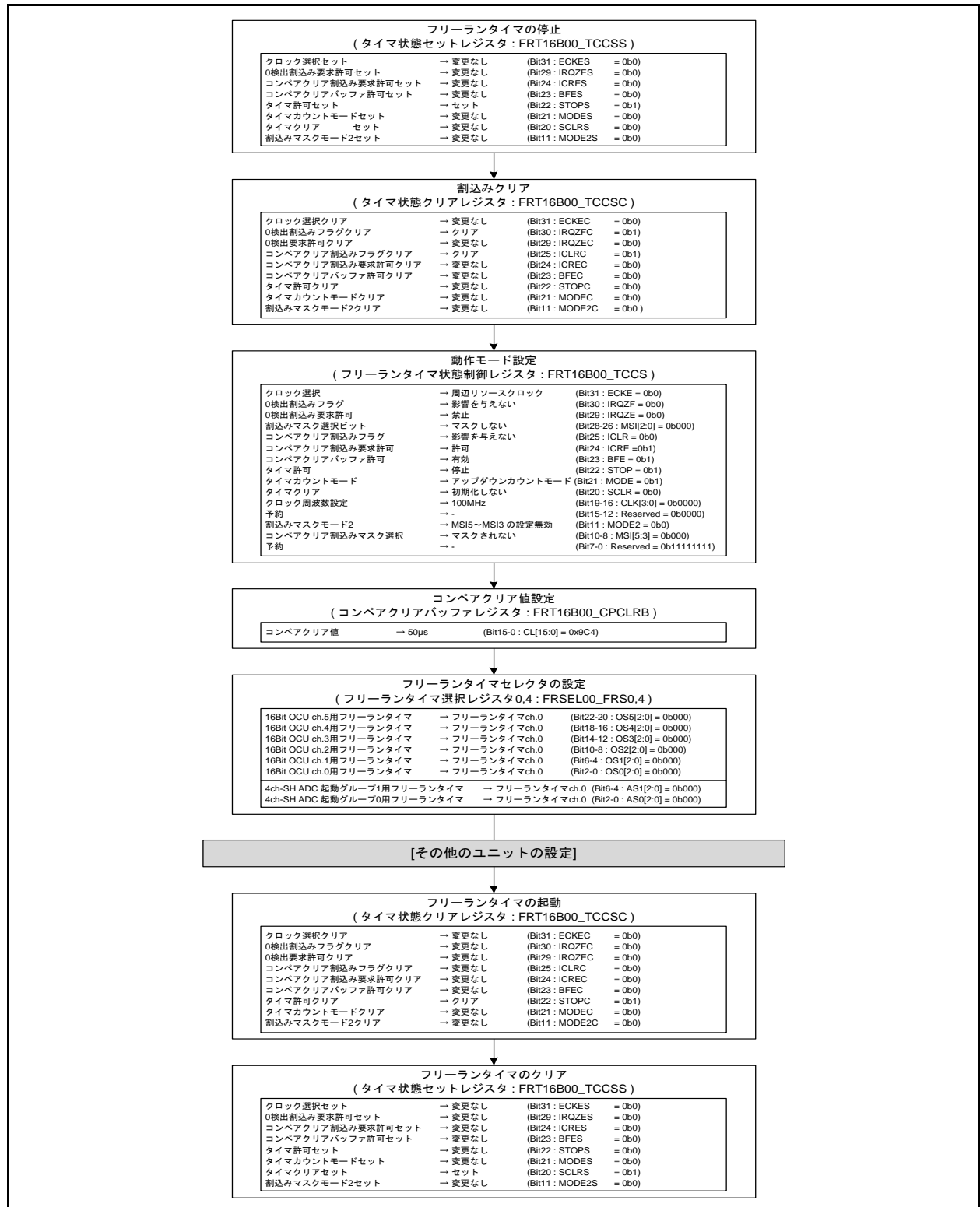
注意事項:

- フリーランタイムの起動は、各ユニットの設定を含めて最後に行ってください。

16ビットフリーランタイムの設定に使用するレジスタは以下のとおりです。詳細設定例を図 7 に記載します。

- FRT16Bxx_CPCLR : コンペアクリアレジスタ (xx = 00-19)
- FRT16Bxx_TCCS : タイマ状態制御レジスタ (xx = 00-19)
- FRT16Bxx_TCCSC : タイマ状態クリアレジスタ (xx = 00-19)
- FRT16Bxx_TCCSS : タイマ状態セットレジスタ (xx = 00-19)
- FRSELxx_FRS0 : フリーランタイム選択レジスタ 0 (xx = 00/01/02)
- FRSELxx_FRS4 : フリーランタイム選択レジスタ 4 (xx = 00/01)

図 7. フリーランタイム設定例



3.2.2 状態制御レジスタの設定

状態制御レジスタ (FRT16Bxx_TCCS) は、フリーランタイマのカウンタ動作クロックの選択、割込み制御、タイマ起動/停止、カウンタクリア、タイマカウンタモードの設定、カウンタ動作クロック周波数選択に使用します。

「3.2.1. 設定手順例」における設定内容は以下のとおりです。

表 1. 状態制御レジスタの設定例 (FRT16Bxx_TCCS)

ビット	ビット名		レジスタ設定		ビットクリア (FRT16Bxx_TCCSC)	ビットセット (FRT16Bxx_TCCSS)
			設定値	設定内容		
31	ECKE	クロック選択	0b0	内部クロック	○	○
30	IRQZF	0 検出割込みフラグ	0b0	クリアする	○	×
29	IRQZE	0 検出割込み要求許可	0b0	禁止	○	○
28-26	MSI[2:0]	割込みマスク選択	0b000	マスクしない	×	×
25	ICLR	コンペアクリア割込みフラグ	0b0	クリアする	○	×
24	ICRE	コンペアクリア割込み要求許可	0b1	許可	○	○
23	BFE	コンペアクリアパッファ許可	0b1	有効	○	○
22	STOP	タイマ許可	0b1	停止	○	○
21	MODE	タイマカウンタモード	0b1	アップダウン カウンタ	○	○
20	SCLR	タイマクリア	0b0	クリアしない	×	○
19-16	CLK[3:0]	クロック周波数選択	0b0000	100MHz	×	×
15-12	Reserved	予約	0b000	—	×	×
11	MODE2	割込みマスクモード 2	0b0	MSI5 - MSI3 の設定 は無効	○	○
10-8	MSI[5:3]	コンペアクリア割込みマスク 選択	0b000	マスクしない	×	×
7-0	Reserved	予約	0b11111111	—	×	×

注意事項:

- クロックの選択変更および周波数変更による予期せぬ動作を防止するため、Bit31 (ECKE)、Bit19-16 (CLK[3:0])は、動作停止時と動作開始時の設定を同じにしてください。
- タイマクリア Bit20 (SCLR) の設定は、タイマ許可後 Bit22 (STOP) または同時に設定してください。

タイマ状態クリアレジスタ (FRT16Bxx_TCCSC) およびタイマ状態セットレジスタ (FRT16Bxx_TCCSS) を使用すれば、設定を変更したいビットを個別にクリア/セットできます。複数ビットを同時にクリア/セットすることも可能です。「3.2.1. 設定手順例」では、FRT16Bxx_TCCSC を使用して、各設定完了後にタイマ動作を許可しています。

FRT16Bxx_TCCSC では各ビットを 0b0 にクリアし、FRT16Bxx_TCCSS では各ビットを 0b1 にセットします。

3.2.3 コンペアクリア値の算出

出力信号の周期は、コンペアクリアレジスタ (FRT16Bxx_CPCLR) に設定します。

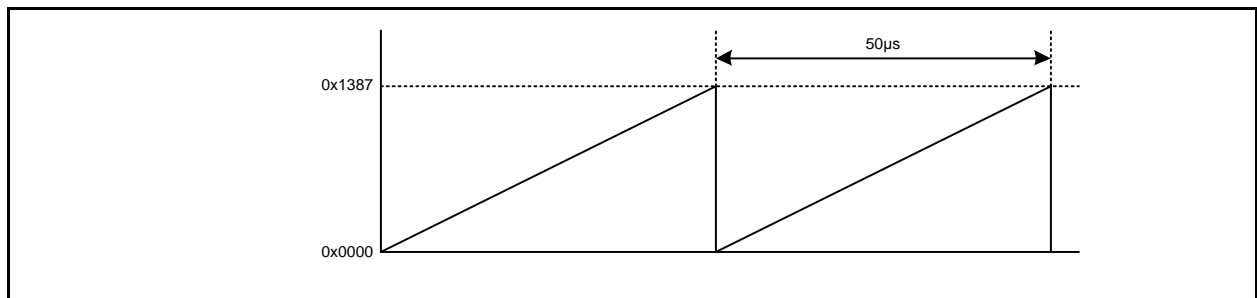
動作クロック (CLK PERI4, 100 MHz) で 50 μ s をカウントする場合、FRT16Bxx_CPCLR への設定値は以下のとおり算出できます。

1. アップカウントモード時

$$\begin{aligned}
 \text{設定値} &= \text{カウント数} - 1 \\
 &= (\text{キャリア周期} \div \text{動作クロック周期}) - 1 \\
 &= (50\mu\text{s} \div 10\text{ns}) - 1 \\
 &= 5000 - 1 = 4999 \\
 &= 0x1387
 \end{aligned}$$

よって、FRT16Bxx_CPCLR に 0x1387 を設定すれば 50 μ s の周期を得ることができます。

図 8. アップカウントモード時のタイマ動作

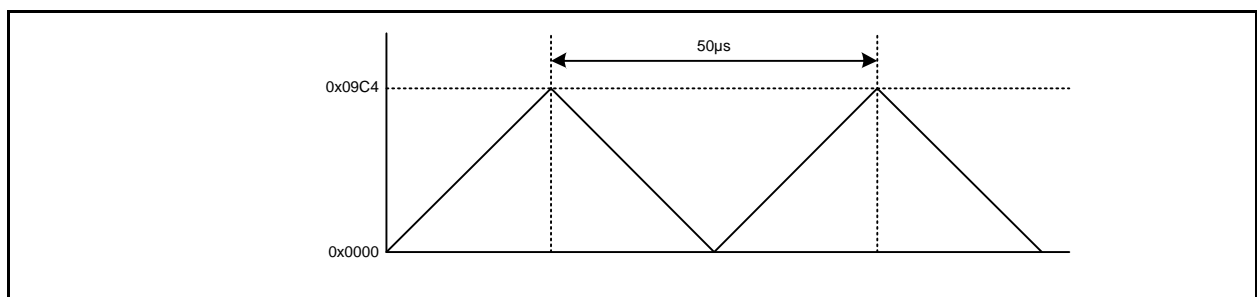


2. アップダウンカウントモード時

$$\begin{aligned}
 \text{設定値} &= \text{カウント数} \div 2 \\
 &= (\text{キャリア周期} \div \text{動作クロック周期}) \div 2 \\
 &= (50\mu\text{s} \div 10\text{ns}) \div 2 \\
 &= 5000 \div 2 = 2500 \\
 &= 0x9C4
 \end{aligned}$$

よって、FRT16Bxx_CPCLR に 0x9C4 を設定すれば 50 μ s の周期を得ることができます。

図 9. アップダウンカウントモード時のタイマ動作



3.2.4 コンペアクリア値の反映

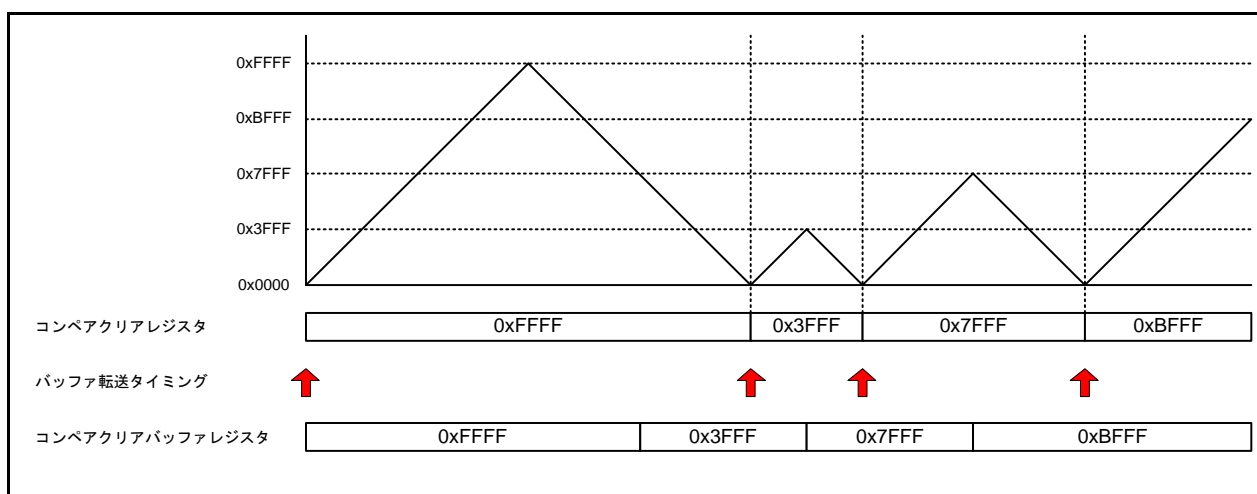
三相モータ制御中に、モータの速度や必要トルクによっては、モータ制御のキャリア周期を変更する場合があります。

この場合、フリーランタイムの動作を停止せずにキャリア周期を変更しなければなりません。フリーランタイムを停止せずにキャリア周期を変更する場合には、以下の手順を参考にして設定を行ってください。

- コンペアクリアバッファ許可 (BFE) によりバッファを有効とする。
- コンペアクリアバッファレジスタに新しいキャリア周期を設定する。
- フリーランタイムのゼロ検出時に新しいキャリア周期が転送される。(図 10 参照)

バッファ (BFE) を無効とした場合、コンペアクリアバッファレジスタに書き込まれた値は、コンペアクリア値として即時反映されます。

図 10. コンペア値の反映 (バッファレジスタ許可時 : BFE = 0b1)



3.2.5 フリーランタイム選択レジスタの設定

16ビットフリーランタイム (16bit FRT) は、フリーランタイム選択レジスタによって、16ビットアウトプットコンペア (16bit OCU), 16ビットインプットキャプチャ (16bit ICU), 12ビット A/D コンバータ (SH ADC), 12ビット 4ch A/D コンバータ (4ch-SH ADC) とそれぞれ連携して動作できます。

フリーランタイムセクタは3個搭載されており、16bit FRT ch.0 - ch.5, ch.6 - ch.11, ch.12 - ch.17 にそれぞれ対応しています。ブロックダイアグラムを図 11 および図 12 に示します。

図 11. フリーランタイムセクタのブロックダイアグラム (FRSEL00, FRSEL01)

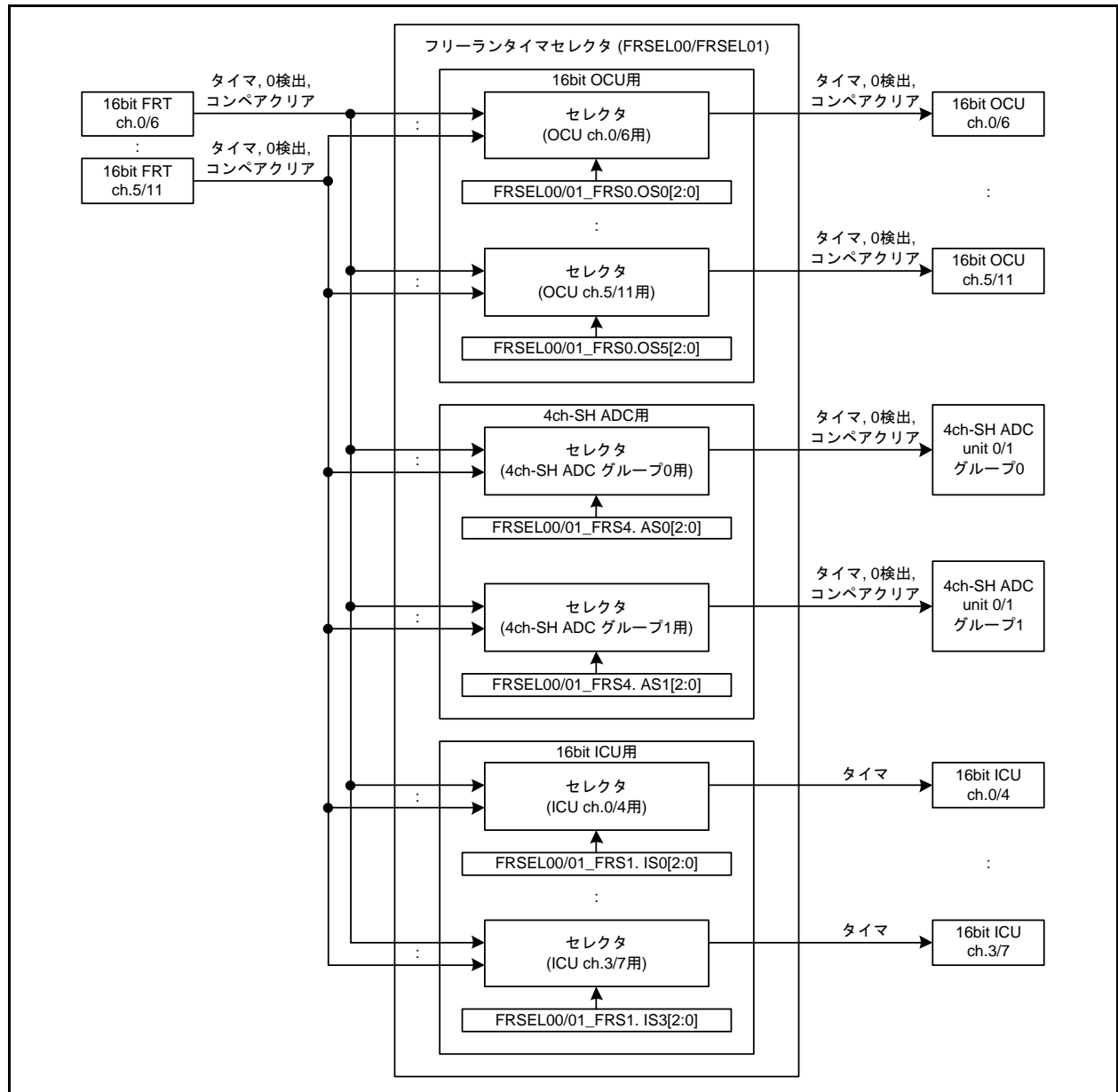
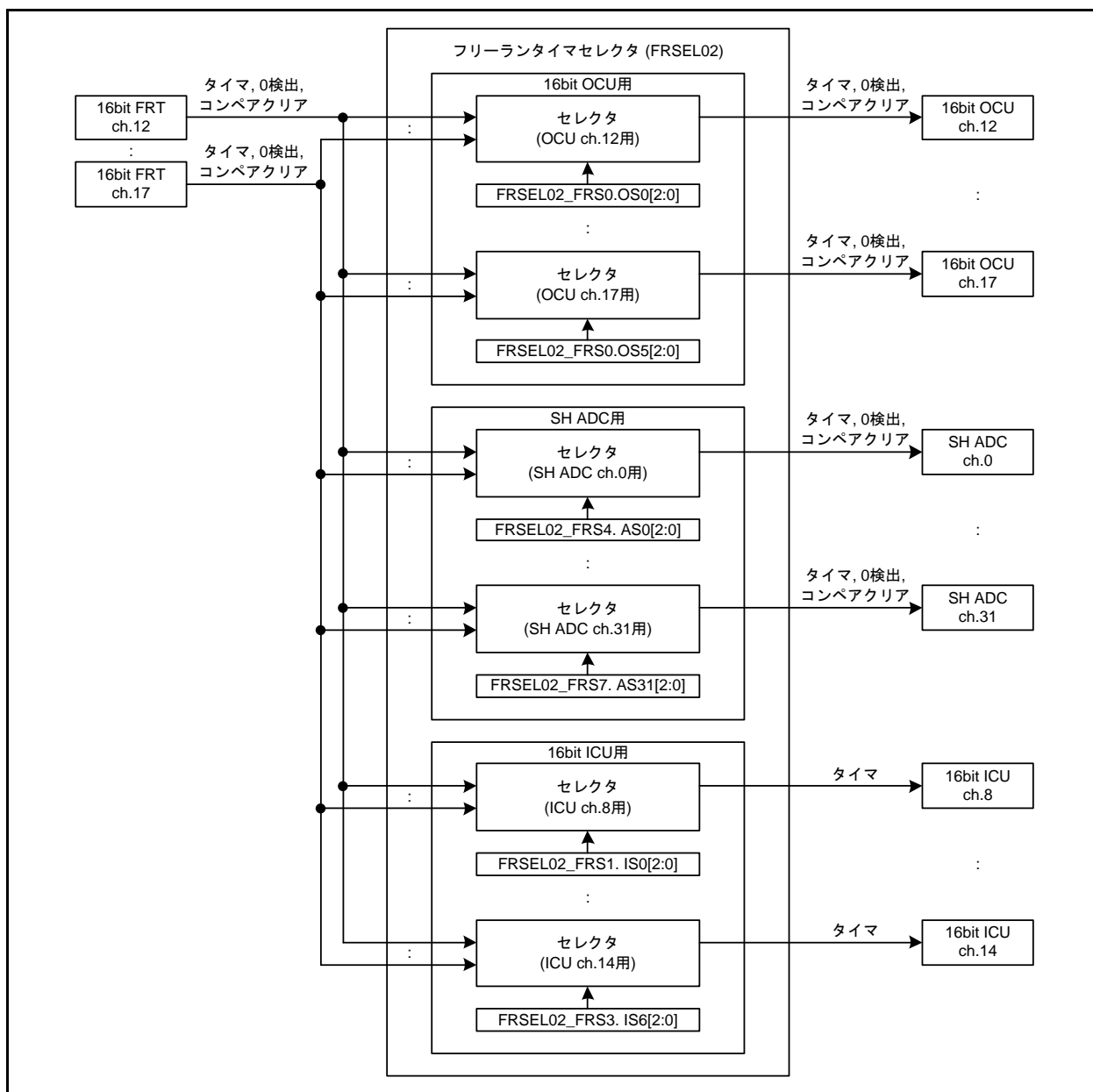


図 12. フリーランタイムセクタのブロックダイアグラム (FRSEL02)



以下、「16ビットアウトプットコンペア」と「12ビット 4ch A/D コンバータ」の設定方法を記載します。

3.2.5.1 16 ビットアウトプットコンペア

16 ビットアウトプットコンペアに同期させる 16 ビットフリーランタイムを選択するために、フリーランタイム選択レジスタ (FRSELxx_FRS0, xx = 00, 01, 02) を使用します。

OS (チャネル番号) [2:0] ビットにフリーランタイム ch.0 を割り当てる場合は 0b000 を設定し、フリーランタイム ch.1 を割り当てる場合は 0b001 を設定します。

表 2 の設定では、16bit OCU0, 1, 2, 3, 4, 5 はフリーランタイム ch.0 に同期します。

表 2. フリーランタイム選択レジスタの設定例 (1)

16 ビットアウトプット コンペア ch	レジスタ名	ビット名	設定値
16bit OCU (ch.0)	FRSEL00_FRS0	OS0[2:0]	0b000
16bit OCU (ch.1)	FRSEL00_FRS0	OS1[2:0]	0b000
16bit OCU (ch.2)	FRSEL00_FRS0	OS2[2:0]	0b000
16bit OCU (ch.3)	FRSEL00_FRS0	OS3[2:0]	0b000
16bit OCU (ch.4)	FRSEL00_FRS0	OS4[2:0]	0b000
16bit OCU (ch.5)	FRSEL00_FRS0	OS5[2:0]	0b000

3.2.5.2 12 ビット 4ch A/D コンバータ

12 ビット 4ch A/D コンバータに同期させる 16 ビットフリーランタイムを選択するために、フリーランタイム選択レジスタ (FRSELxx_FRS4, xx = 00, 01) を使用します。

AS (ユニット番号) [2:0] ビットにフリーランタイム ch.0 / ch.6 を割り当てる場合は 0b000 を設定し、フリーランタイム ch.1 / ch.7 を割り当てる場合は 0b001 を設定します。

表 3 の設定では、4ch-SH ADC の unit 0, 起動グループ 0, 1 はフリーランタイム ch.0 に同期します。

表 3. フリーランタイム選択レジスタの設定例 (2)

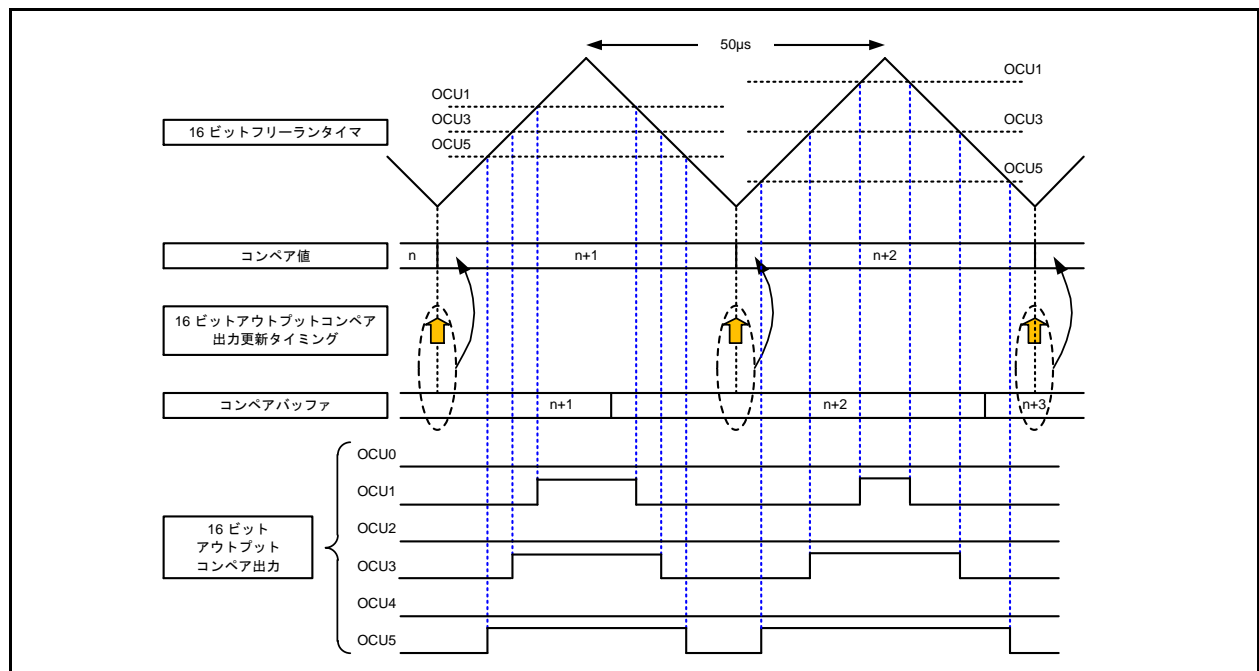
12 ビット 4ch A/D コンバータ 起動グループ	レジスタ名	ビット名	設定値
4ch-SH ADC [unit 0, 起動グループ 0]	FRSEL00_FRS4	AS0[2:0]	0b000
4ch-SH ADC [unit 0, 起動グループ 1]	FRSEL00_FRS4	AS1[2:0]	0b000

4 16 ビットアウトプットコンペア (16bit OCU)

16 ビットアウトプットコンペアは、アウトプットコンペアに設定されるコンペア値と接続されるフリーランタイムのカウント値を比較し、一致した場合に出力を反転させます。モータ制御において、キャリア周期生成用フリーランタイムと連携し、PWM 波形の生成に使用できます。

本節では、ch.0 の 16 ビットフリーランタイムと接続し、16 ビットアウトプットコンペア (ch.0 - ch.5) から図 13 のような PWM 波形 (OCU1, OCU3, OCU5) を生成する方法について説明します。

図 13. PWM 波形生成 (例)



注意事項:

- 本アプリケーションノートでは、波形ジェネレータをデッドタイムタイマモードで使用します。波形ジェネレータをデッドタイムタイマモードとして使用する場合、OCU の偶数番号出力 (OCU0, OCU2, OCU4) は無視されます。
- コンペア値には、ユーザ・プログラムで計算した 2 相 3 相変換後の値をセットしてください。

4.1 概要

16 ビットアウトプットコンペアの設定概要について以下に記載します。

4.1.1 16 ビットアウトプットコンペアの機能

16 ビットアウトプットコンペアは、16 ビットフリーランタイムと組み合わせて使用し、フリーランタイムカウント値とコンペアレジスタが一致した場合、割込みが生成され、出力レベルが反転します。

4.1.2 コンペア波形出力

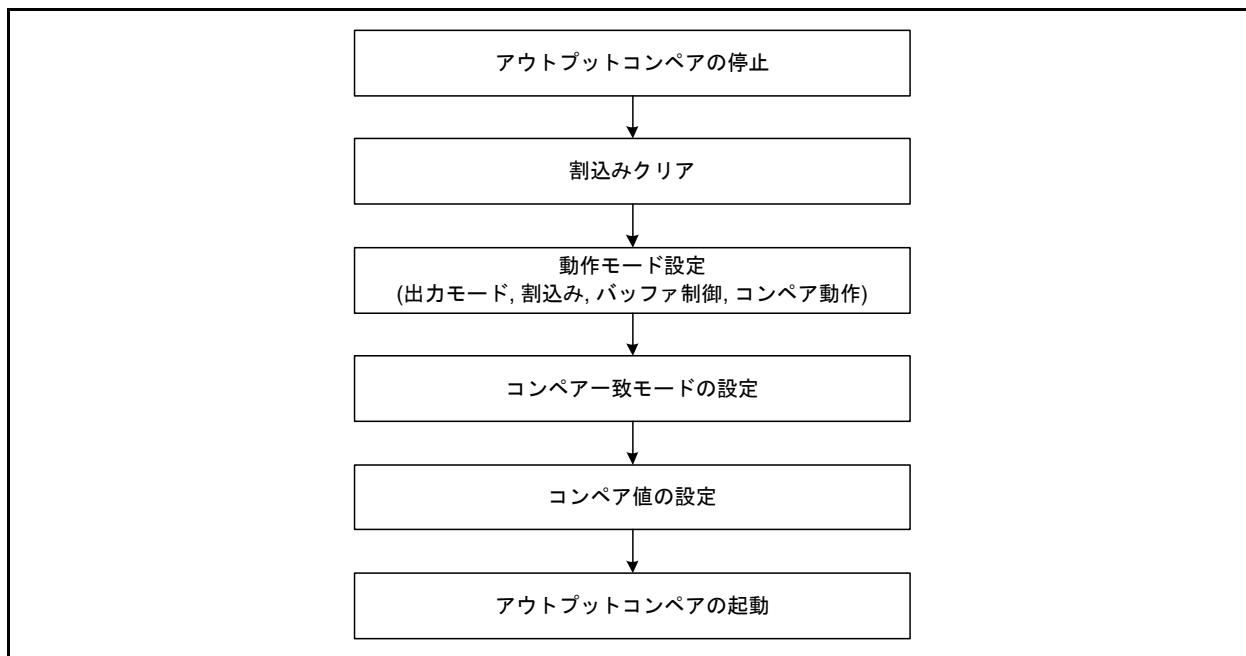
MB9D560 では、コンペア制御レジスタ (OCU16Bxx_OCS) の出力レベル反転モードビット (CMOD) およびコンペアモード制御レジスタ (OCU16Bxx_OCMOD) の組み合わせで、コンペアー一致時の波形を出力します。

4.2 設定詳細

4.2.1 設定手順例

16ビットアウトプットコンペアの設定フローを以下に示します。

図 14. 設定フロー

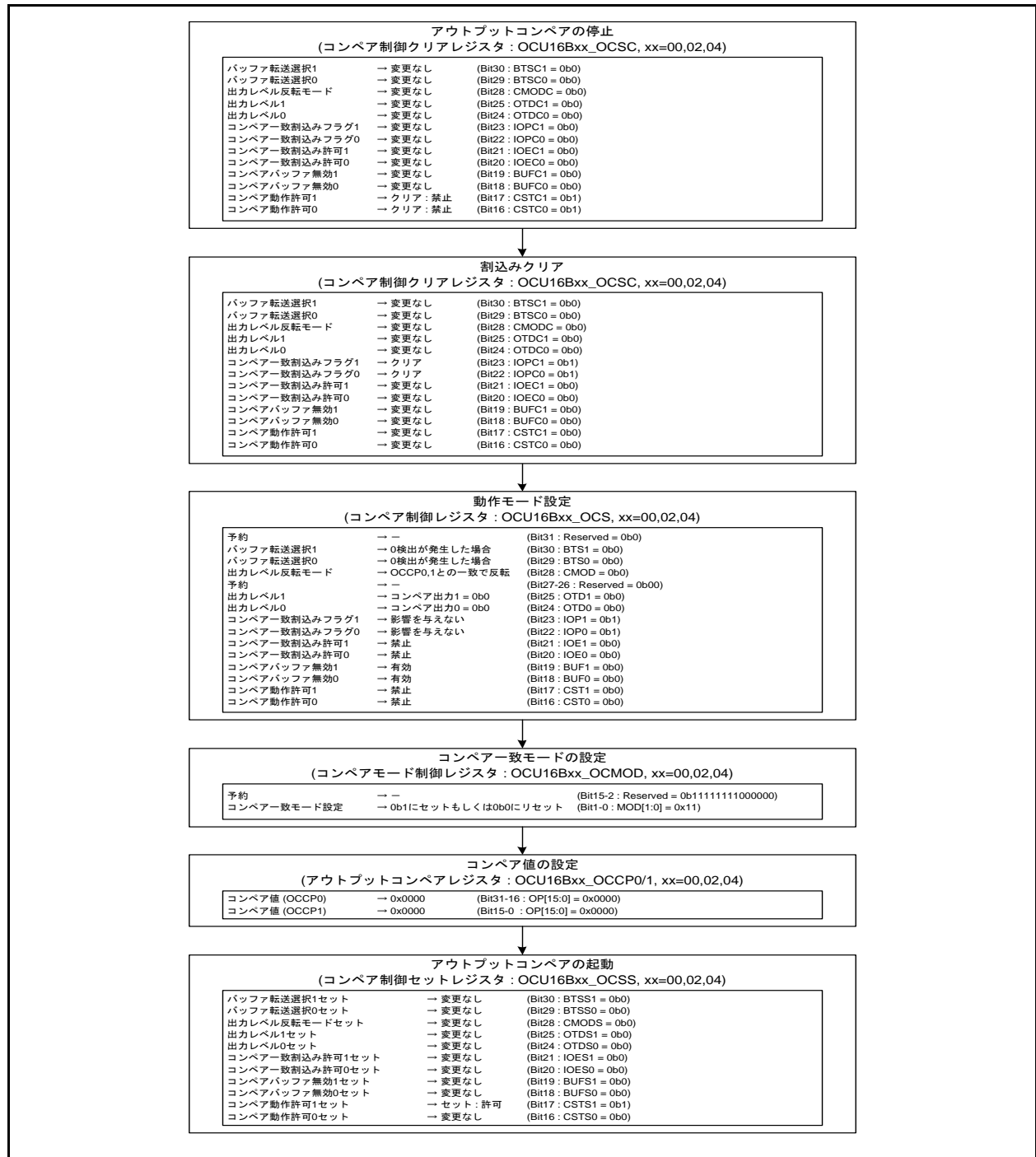


使用するレジスタは以下のとおりです。詳細設定例を図 14 に記載します。

- OCU16Bxx_OCS : コンペア制御レジスタ
- OCU16Bxx_OCSS : コンペア制御セットレジスタ
- OCU16Bxx_OCMOD : コンペアモード制御レジスタ
- OCU16Bxx_OCCP0/1 : アウトプットコンペアレジスタ
- OCU16Bxx_OCCPB0/1 : アウトプットコンペアバッファレジスタ

(Note) xx = 00, 02, 04, 06, 08, 10, 12, 14, 16, 18, 20, 22
 xx = 00 : 16ビットアウトプットコンペア ch.0/ch.1
 xx = 02 : 16ビットアウトプットコンペア ch.2/ch.3
 :
 xx = 22 : 16ビットアウトプットコンペア ch.22/ch.23

図 15. アウトプットコンペア設定例


注意事項:

- xx = 00,02,04 の記載があるレジスタは、00, 02, 04 の3つのレジスタを設定してください。

4.2.2 コンペア制御レジスタ, コンペアモード制御レジスタ設定

コンペア制御レジスタ設定 (OCU16Bxx_OCS) では、アウトプットコンペアのバッファ転送タイミングの設定, 波形出力モードの設定, 出力レベル, 割込み制御, コンペアバッファ, コンペア動作許可/停止設定を行います。

コンペアモード制御レジスタ (OCU16Bxx_OCMOD) は、コンペアー一致時の出力設定を行います。

4.2.2.1 コンペア制御レジスタ

表 4. コンペア制御レジスタの設定例 (OCU16Bxx_OCS, xx = 00,02,04 共通)

ビット	ビット名	説明	レジスタ設定		ビットクリア (OCU16Bxx_OCSC)	ビットセット (OCU16Bxx_OCSS)
			設定値	設定内容		
31	Reserved	予約	0b0	—	×	×
30, 29	BTS[1:0]	バッファ転送選択	0b00	0 検出が発生した場合	○	○
28	CMOD	出力レベル反転モード	0b0	OCCP0, OCCP1 との一致で反転	○	○
27, 26	Reserved	予約	0b00	—	×	×
25, 24	OTD[1:0]	出力レベル	0b00	コンペア出力 = 0b0	○	○
23, 22	IOP[1:0]	コンペアー一致割込みフラグ	0b00	クリア	○	×
21, 20	IOE[1:0]	コンペアー一致割込み許可	0b00	禁止	○	○
19, 18	BUF[1:0]	コンペアバッファ無効	0b00	有効	○	○
17, 16	CST[1:0]	コンペア動作許可	0b00	禁止	○	○

コンペア制御クリアレジスタ (OCU16Bxx_OCSC) およびコンペア制御セットレジスタ (OCU16Bxx_OCSS) を使用すれば、各ビットをクリア/セットできます。複数ビットを同時にクリア/セットすることも可能です。「[4.2.1. 設定手順例](#)」では、OCU16Bxx_OCSS を使用して、各設定完了後にアウトプットコンペアを起動しています。

OCU16Bxx_OCSC では本レジスタの各ビットを 0b0 にクリアし、OCU16Bxx_OCSS では本レジスタの各ビットを 0b1 にセットします。

4.2.2.2 コンペアモード制御レジスタ

表 5. コンペアモード制御レジスタの設定例 (OCU16B00_OCMOD, xx = 00,02,04 共通)

ビット	ビット名	説明	レジスタ設定	
			設定値	設定内容
15 - 2	Reserved	予約	0b11111111000000	—
1, 0	MOD[1:0]	コンペアー一致モード設定	0b11	コンペア制御レジスタの CMOD ビットの設定により、0b1 にセットもしくは 0b0 にリセット

4.2.2.3 反転出力モード

コンペアモード制御レジスタ (OCU16Bxx_OCMOD) の MOD[1:0] = 0b00 と設定することによって、反転出力モードとして動作します。

1. コンペア制御レジスタ (OCU16Bxx_OCS) の CMOD = 0b0 の場合

本モードでは、ch.0/1 とともにアウトプットコンペアレジスタとフリーランタイマの一致により反転します。
ch.2/3, ch.4/5, ch.6/7, ch.8/9, ch.10/11 においても ch.0/1 と同じ動作です。

2. コンペア制御レジスタ (OCU16Bxx_OCS) の CMOD = 0b1 の場合

本モードでは、ch.0 はアウトプットコンペアレジスタとフリーランタイマの一致で反転します。
ch.1 は、ch.0 と ch.1 のアウトプットコンペアレジスタとフリーランタイマの一致で反転します。
ch.2/3, ch.4/5, ch.6/7, ch.8/9, ch.10/11 においても ch.0/1 と同じ動作です。

4.2.2.4 セット/リセットモード

コンペアモード制御レジスタ (OCU16Bxx_OCMOD) の MOD[1:0] = 0b11 と設定することによって、セット/リセットモードとして動作します。

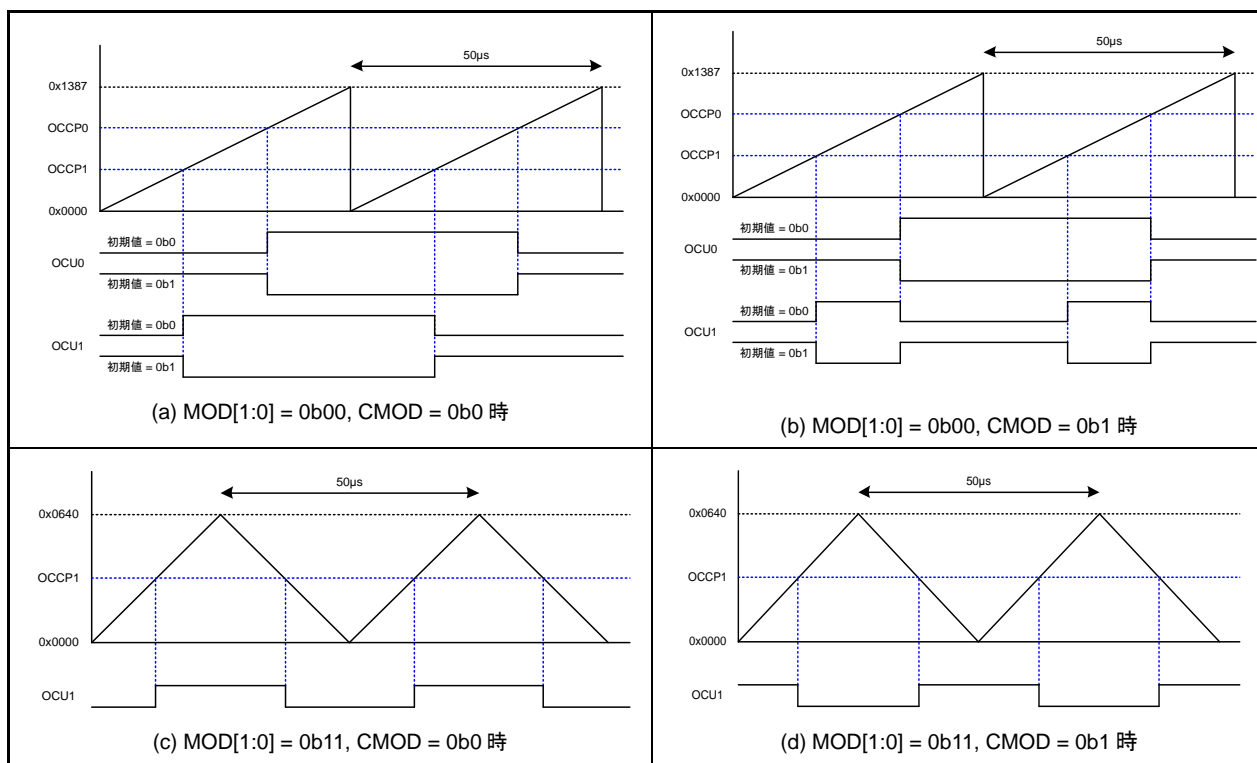
1. コンペア制御レジスタ (OCU16Bxx_OCS) の CMOD = 0b0 の場合

本モードでは、アップダウンカウントモード (三角波) においてアップカウント時の一致は 0b1 にセットされ、
ダウンカウント時の一致は 0b0 にリセットされます。

2. コンペア制御レジスタ (OCU16Bxx_OCS) の CMOD = 0b1 の場合

本モードでは、アップダウンカウントモード (三角波) においてアップカウント時の一致は 0b0 にリセットされ、
ダウンカウント時の一致は 0b1 にセットされます。

図 16. 波形生成例



4.2.3 アウトプットコンペア (バッファ) レジスタ設定

コンペア値を設定するレジスタは、アウトプットコンペアレジスタとアウトプットコンペアバッファレジスタより構成されます。

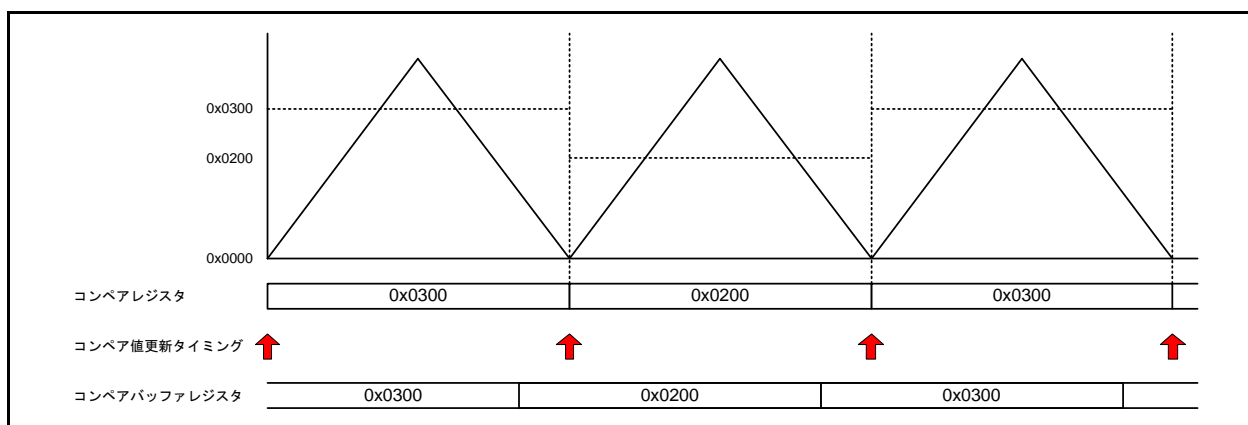
コンペアバッファ機能を無効とした場合、コンペアバッファレジスタに書き込まれた値は、コンペアレジスタに即時反映されます。

コンペアバッファ機能を有効にした場合、コンペアバッファレジスタに書き込まれた値は、指定した転送タイミングでコンペアレジスタに転送されます。

注意事項:

- コンペアバッファ機能の有効/無効設定: コンペア制御レジスタの BUF[1:0]を参照してください。
- コンペアレジスタへの転送タイミング設定: コンペア制御レジスタの BTS[1:0]を参照してください。

図 17. コンペア値更新タイミング (ゼロ検出時転送)

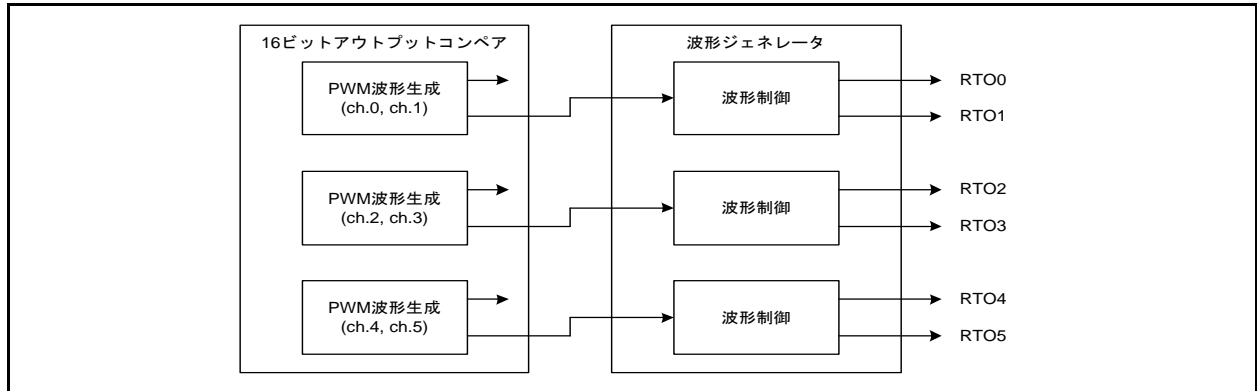


5 波形ジェネレータ (WFG)

波形ジェネレータは、16ビットアウトプットコンペアが生成するコンペア出力を基に、モータ制御におけるデッドタイム生成を行います。モータ制御用インバータのU相、V相、W相それぞれの上下スイッチ用波形も生成します。

16ビットアウトプットコンペアと波形ジェネレータの接続は以下のとおりです。

図 18. 本アプリケーションノートによる接続構成



本節では、16ビットアウトプットコンペア出力から、モータ制御用の上下アームのスイッチ波形の生成と、デッドタイムを付加する方法について説明します。

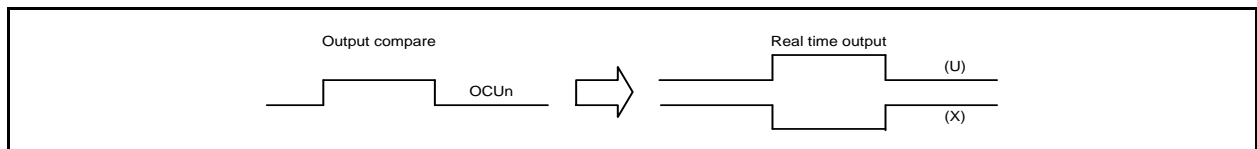
5.1 概要

波形ジェネレータの設定概要について以下に記載します。

5.1.1 リアルタイム出力

波形ジェネレータは、16ビットアウトプットコンペアの出力信号から、その正相／逆相の2つの信号 (リアルタイム出力) を生成します。合計で、6つのリアルタイム出力信号を生成可能です。

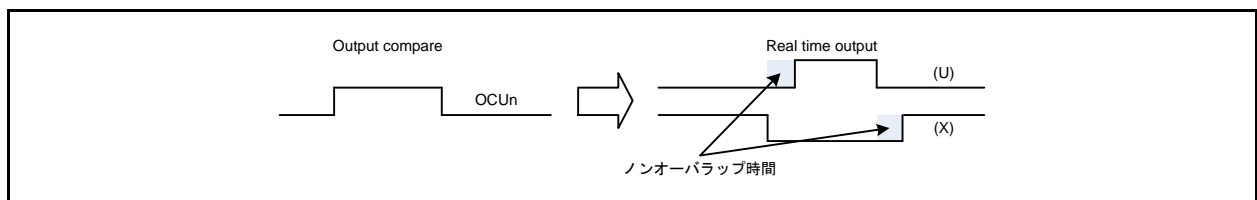
図 19. リアルタイム出力



5.1.2 ノンオーバーラップ時間の生成

上記のリアルタイム出力に、ノンオーバーラップ時間を付加します。ノンオーバーラップ時間は、16デッドタイムレジスタに設定します。

図 20. ノンオーバーラップ時間



5.1.3 出力レベル変換制御機能

6本のリアルタイム出力を個別に反転します。これにより、上下アームのスイッチ極性が異なるインバータへの接続が可能です。

図 21. 出力レベル変換制御機能のブロックダイアグラム

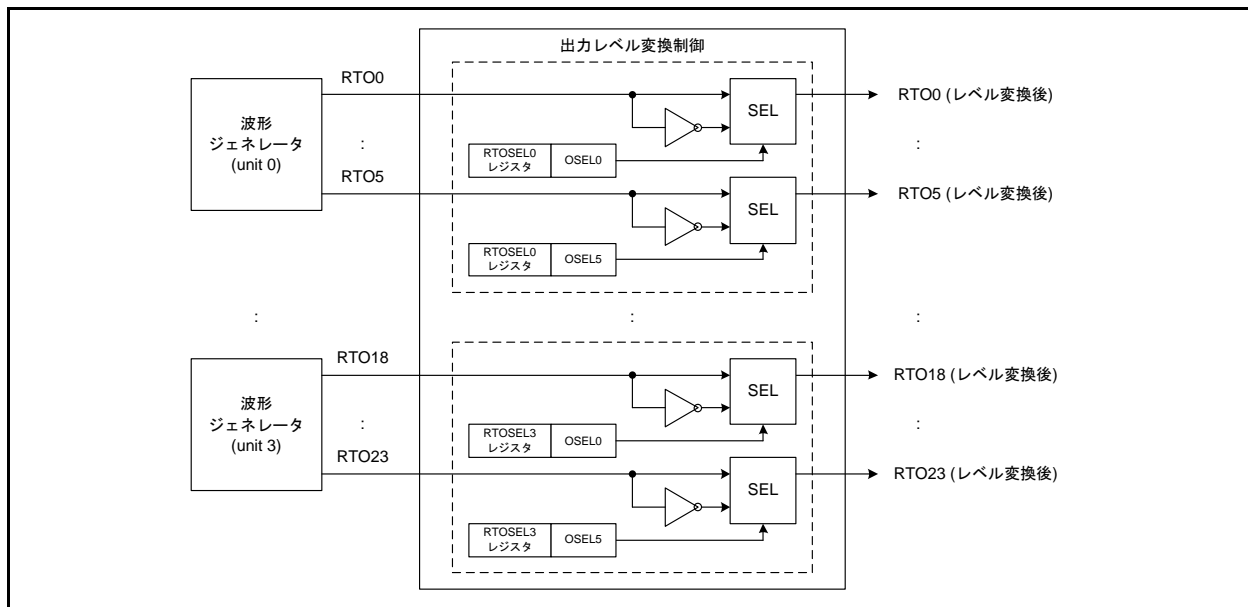
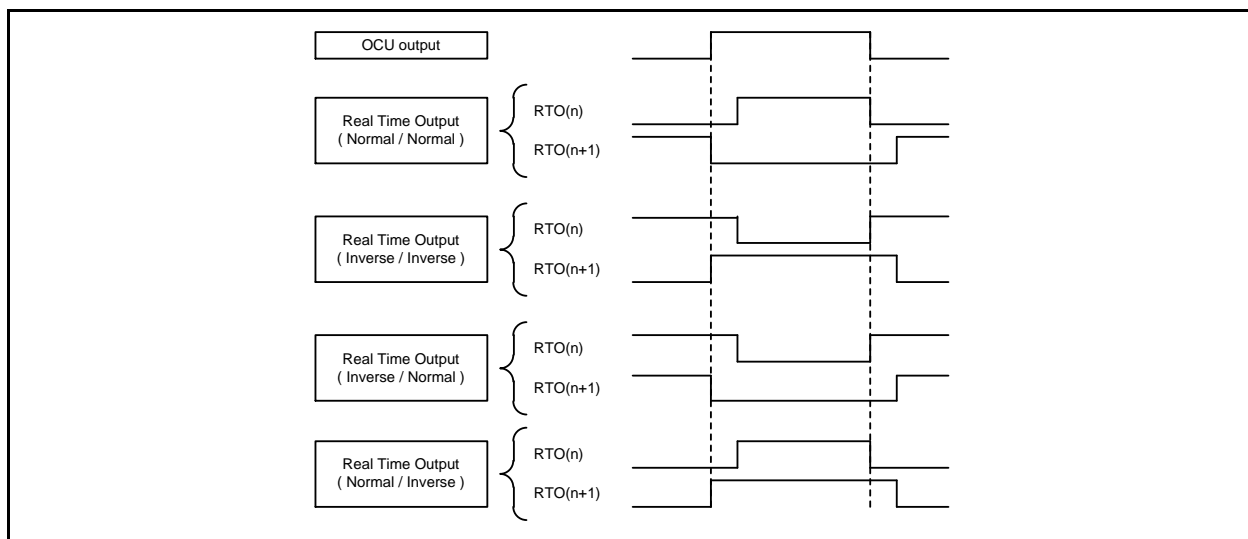


図 22. 出力レベル変換制御機能



5.1.4 DTTI 機能

DTTI 機能は、波形ジェネレータ出力を強制的に停止する機能です。外部ポートからの指示と、ソフトウェアによる指示が可能です。

DTTI が有効となった場合、ポート設定レジスタ (PPC_PCFGRIj) の POF[2:0]ビットの設定にかかわらず、強制的に汎用ポートにできます。

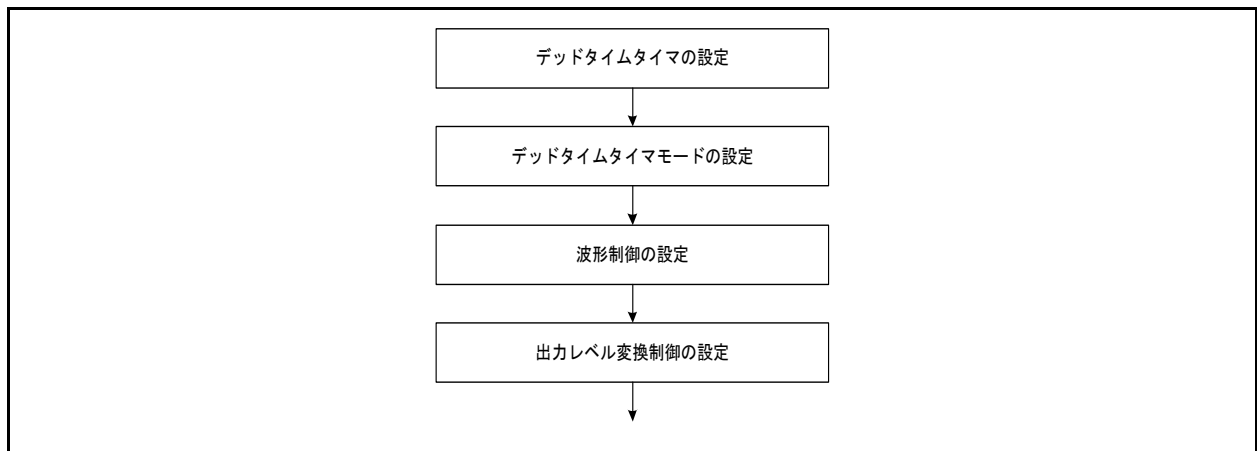
汎用ポートの状態を事前に設定しておけば、異常が起きた場合のモータ制御を、CPU を介さずに事前に設定した状態にできます。

5.2 設定詳細

5.2.1 設定手順例

波形ジェネレータの設定フローを以下に示します。

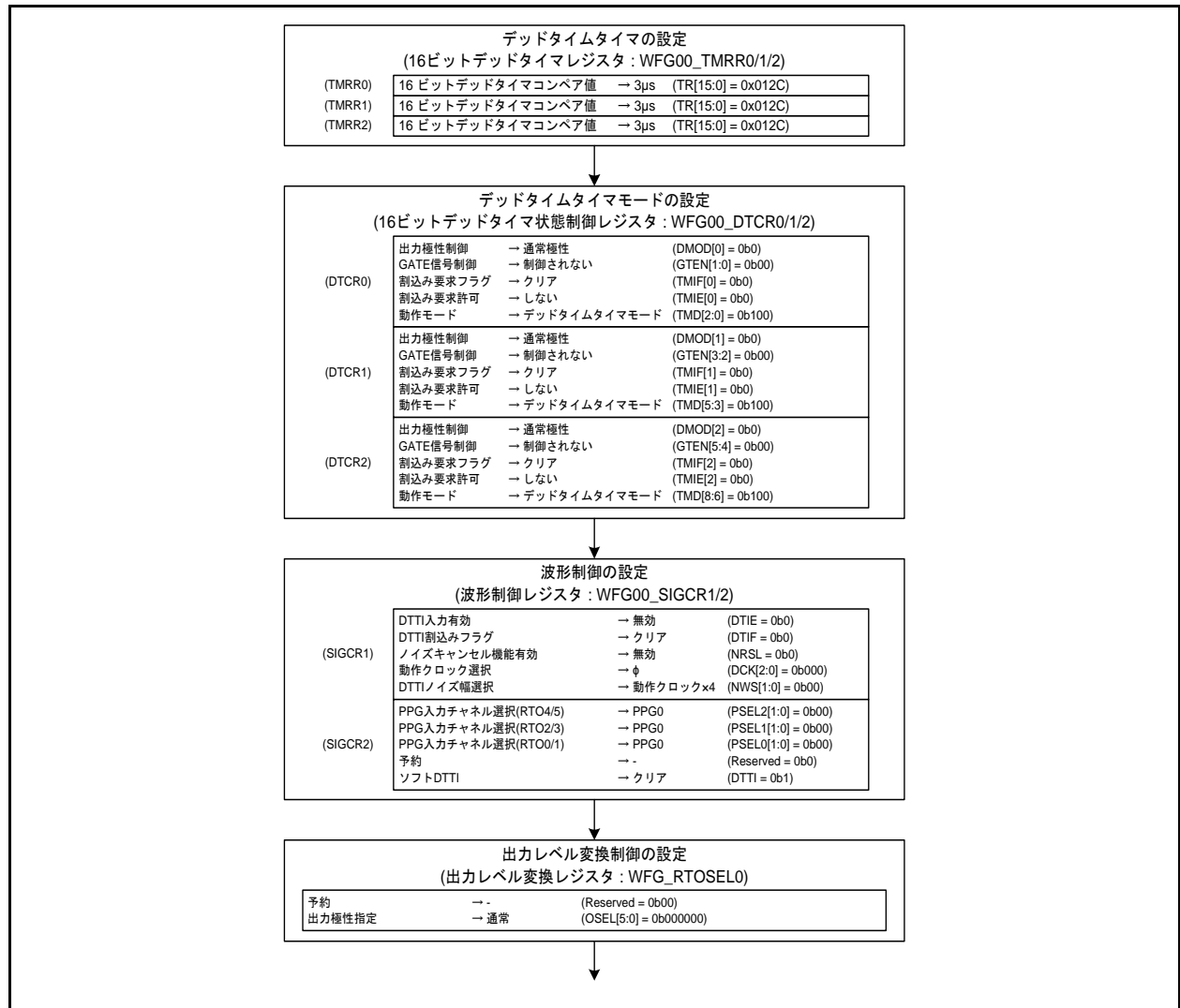
図 23. 設定フロー



使用するレジスタは以下のとおりです。詳細設定例を 図 24 に記載します。

- WFGxx_TMRR0/1/2 : 16 ビットデッドタイムレジスタ (xx = 00,01,02,03)
- WFGxx_DTCR0/1/2 : 16 ビットデッドタイム状態制御レジスタ (xx = 00,01,02,03)
- WFGxx_SIGCR1/2 : 波形制御レジスタ 1/2 (xx = 00,01,02,03)
- WFG_RTOSL0 : 出力レベル変換レジスタ

図 24. 波形ジェネレータ設定例



5.2.2 16ビットデッドタイムレジスタ設定 (WFGxx_TMRR0/1/2)

デッドタイム期間は、WFGxx_TMRR0/1/2に設定します。動作クロック (CLK PERI4, 100 MHz) で 3 μs のデッドタイムを付加する場合、WFGxx_TMRR0/1/2 への設定値は以下のとおり算出できます。

$$\begin{aligned}
 \text{設定値} &= \text{デッドタイムカウント周期} \\
 &= 3\mu\text{s} \div 10\text{ns} \\
 &= 300 \\
 &= 0x12C
 \end{aligned}$$

5.2.3 16 ビットデッドタイム状態制御レジスタ設定 (WFGxx_DTCR0/1/2)

波形ジェネレータのモード設定と出力波形の極性設定を行います。

表 6. 16 ビットデッドタイム状態制御レジスタの設定例 (WFGxx_DTCR0/1/2)

ビット	ビット名	説明	レジスタ設定		ビットクリア (WFGxx_ DTCRC0/1/2)	ビットセット (WFGxx_ DTCRS0/1/2)
			設定値	設定内容		
31	DMOD0	出力極性制御 0	0b0	通常極性	○	○
30, 29	GTEN[1:0]	GATE 信号制御 1/0	0b00	制御されない	○	○
28	TMIF0	割込み要求フラグ 0	0b0	クリア	○	×
27	TMIE0	割込み要求許可 0	0b0	しない	○	○
26-24	TMD[2:0]	動作モード 2/1/0	0b100	デッドタイムタイマモード	×	×
23	DMOD1	出力極性制御 1	0b0	通常極性	○	○
22, 21	GTEN[3:2]	GATE 信号制御 3/2	0b00	制御されない	○	○
20	TMIF1	割込み要求フラグ 1	0b0	クリア	○	×
19	TMIE1	割込み要求許可 1	0b0	しない	○	○
18-16	TMD[5:3]	動作モード 5/4/3	0b100	デッドタイムタイマモード	×	×
15	DMOD2	出力極性制御 2	0b0	通常極性	○	○
14, 13	GTEN[5:4]	GATE 信号制御 5/4	0b00	制御されない	○	○
12	TMIF2	割込み要求フラグ 2	0b0	クリア	○	×
11	TMIE2	割込み要求許可 2	0b0	しない	○	○
10-8	TMD[8:6]	動作モード 8/7/6	0b100	デッドタイムタイマモード	×	×

16 ビットデッドタイム状態制御クリアレジスタ (WFGxx_DTCRC0/1/2) および 16 ビットデッドタイム状態制御セットレジスタ (WFGxx_DTCRS0/1/2) を使用すれば、各ビットをクリア／セットできます。
複数ビットを同時にクリア／セットすることも可能です。

WFGxx_DTCRC0/1/2 では各ビットを 0b0 にクリアし、WFGxx_DTCRS0/1/2 では各ビットを 0b1 にセットします。

5.2.4 波形制御レジスタ設定 (WFGxx_SIGCR1/2)

波形制御レジスタ 1/2 (WFGxx_SIGCR1/2) では、波形ジェネレータの動作クロック、DTTI 入力信号のノイズキャンセル機能、DTTI 機能の有効無効および割込みを設定します。

表 7. 波形制御レジスタ 1 の設定例 (WFGxx_SIGCR1)

ビット	ビット名	説明	レジスタ設定		ビットクリア (WFGxx_ SIGCR1C)	ビットセット (WFGxx_ SIGCR1S)
			設定値	設定内容		
23	DTIE	DTTI 入力有効	0b0	無効	○	○
22	DTIF	DTTI 割込みフラグ	0b0	クリア	○	×
21	NRSL	ノイズキャンセル機能有効	0b0	無効	○	○
20-18	DCK[2:0]	動作クロック選択	0b000	φ (100MHz)	×	×
17, 16	NWS[1:0]	DTTI ノイズ幅選択	0b00	4 クロック	×	×

波形制御クリアレジスタ 1 (WFGxx_SIGCR1C) および波形制御セットレジスタ 1 (WFGxx_SIGCR1S) を使用すれば、各ビットをクリア／セットできます。複数ビットを同時にクリア／セットすることも可能です。

WFGxx_SIGCR1C では各ビットを 0b0 にクリアし、WFGxx_SIGCR1S では各ビットを 0b1 にセットします。

表 8. 波形制御レジスタ 2 の設定例 (WFGxx_SIGCR2)

ビット	ビット名	説明	レジスタ設定	
			設定値	設定内容
7, 6	PSEL2[1:0]	PPG 入力チャネル選択 (RTO4/5)	0b00	PPG0
5, 4	PSEL1[1:0]	PPG 入力チャネル選択 (RTO2/3)	0b00	PPG0
3, 2	PSEL0[1:0]	PPG 入力チャネル選択 (RTO0/1)	0b00	PPG0
1	Reserved	予約	0b0	—
0	DTTI	ソフト DTTI	0b1	クリア

WFGxx_SIGCR2 の各ビットをクリア／セットするレジスタはありません。

5.2.5 出力レベル変換レジスタ設定 (WFG_RTOSL0)

本レジスタは、PWM 波形出力を個別に反転させたい場合にご使用ください。

表 9. 出力レベル変換レジスタの設定例 (WFG_RTOSL0)

ビット	ビット名	説明	レジスタ設定	
			設定値	設定内容
31, 30	Reserved	予約	0b00	—
29-24	OSEL[5:0]	出力極性指定	0b000000	通常極性

注意事項

- 本レジスタの設定は即時反映されるのでご注意ください。

6 12 ビット 4ch A/D コンバータ (4ch-SH ADC)

12 ビット 4ch A/D コンバータは逐次比較型のサンプリング A/D コンバータで、最大 4ch のアナログ入力電圧を同時にサンプリングし、シリアルで 12 ビットのデジタル値に変換します。

モータ制御における、三相電流の取込みに使用します。

本節では、16 ビットフリーランタイムと連携して A/D 変換を起動 (A/D 起動コンペア値とフリーランタイムのタイマ値が一致した場合) し、変換データを取り込む方法について説明します。

6.1 概要

12 ビット 4ch A/D コンバータの設定概要について以下に記載します。

6.1.1 A/D 変換

アナログ入力端子の入力電圧を A/D 変換する逐次比較型のサンプリング A/D コンバータです。アナログ入力端子は、プログラムによって最大 4ch まで使用可能です。

A/D 変換終了時、変換したデータはチャンネルごとに A/D データレジスタに格納されます。また、A/D 変換終了割込みを発生可能です。A/D データレジスタにはエラーフラグも格納されます。これにより、A/D 変換データの状態を確認できます。

6.1.2 A/D 変換の起動要求と起動調停

12 ビット 4ch A/D コンバータは、「ソフトウェア、外部トリガ、ベースタイマ、コンペア一致 (16 ビットフリーランタイムとのコンペア一致)」のいずれかの要求 (起動要求) で起動します。起動要求は、ユニット単位で行われます。

起動要求が競合した場合、「コンペア一致 > 外部トリガ/ベースタイマ > ソフトウェア」の優先順で調停が行われます。A/D 変換中に優先度の高い起動要求が発生した場合、変換は中断されます。

中断した起動要因は、優先度の高い起動要求の変換終了後に再度調停されます。

6.1.3 データ保護機能

A/D データレジスタには、保護機能を設定できます。保護機能が有効の場合、A/D データレジスタのデータ読出しと割込みフラグクリアを行うまで、A/D 起動要求はマスクされます。割込みフラグのクリアを保護条件に含めることも可能です。

データ保護機能は、変換中の全チャンネルの変換終了後に有効になります。

6.1.4 A/D 変換の強制終了

A/D 起動要求/割込みクリアレジスタ (ADTSC[n]) の A/D 起動要求クリアビット (ADTSC[n]:BUSYC) に 0b1 を書き込むことにより、現在の A/D 変換要求または変換を強制終了できます。

6.1.5 レンジ比較機能

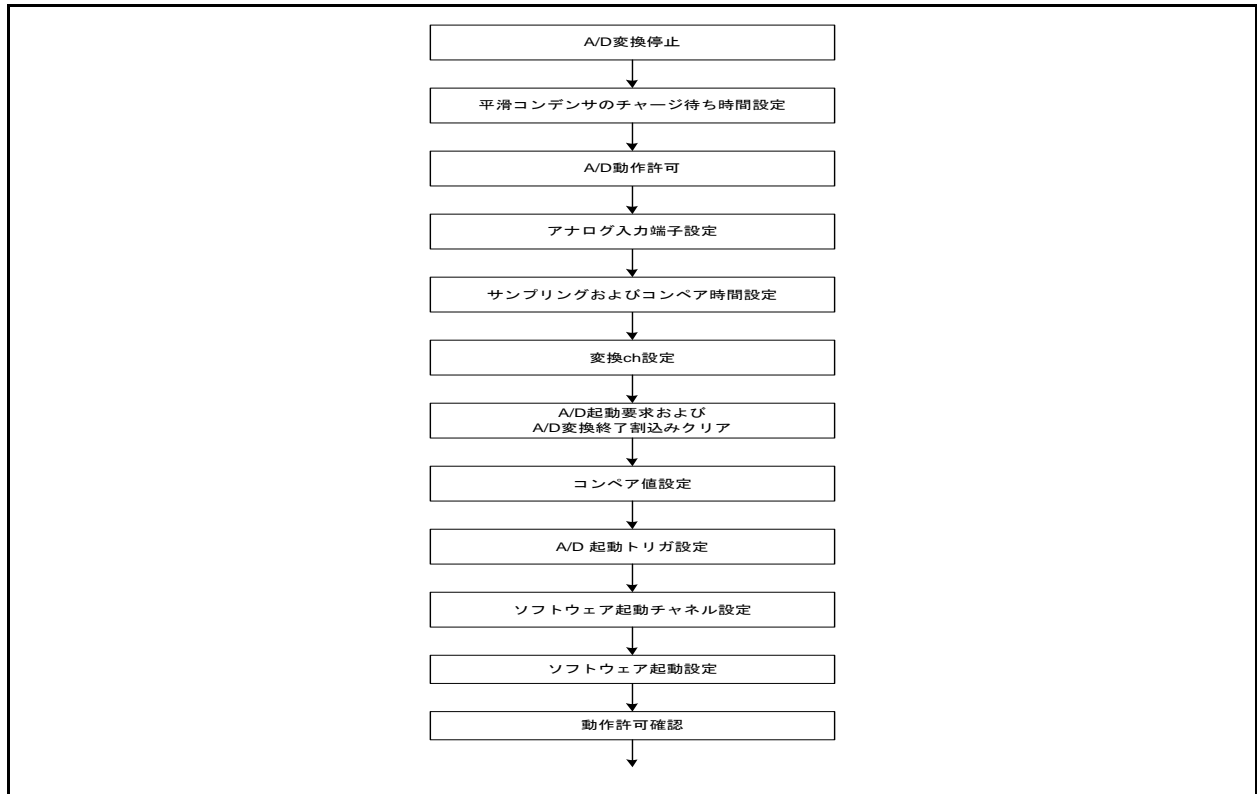
A/D 変換結果を、上下限閾値と比較 (レンジ比較) する機能です。比較結果として、「上限閾値超過」や「下限閾値未滿」などが検出できます。上下限閾値は、4 種類の上下限閾値設定の中から 1 つを選択します。

6.2 設定詳細

6.2.1 設定手順例

12ビット 4ch A/D コンバータの設定フローを以下に示します。

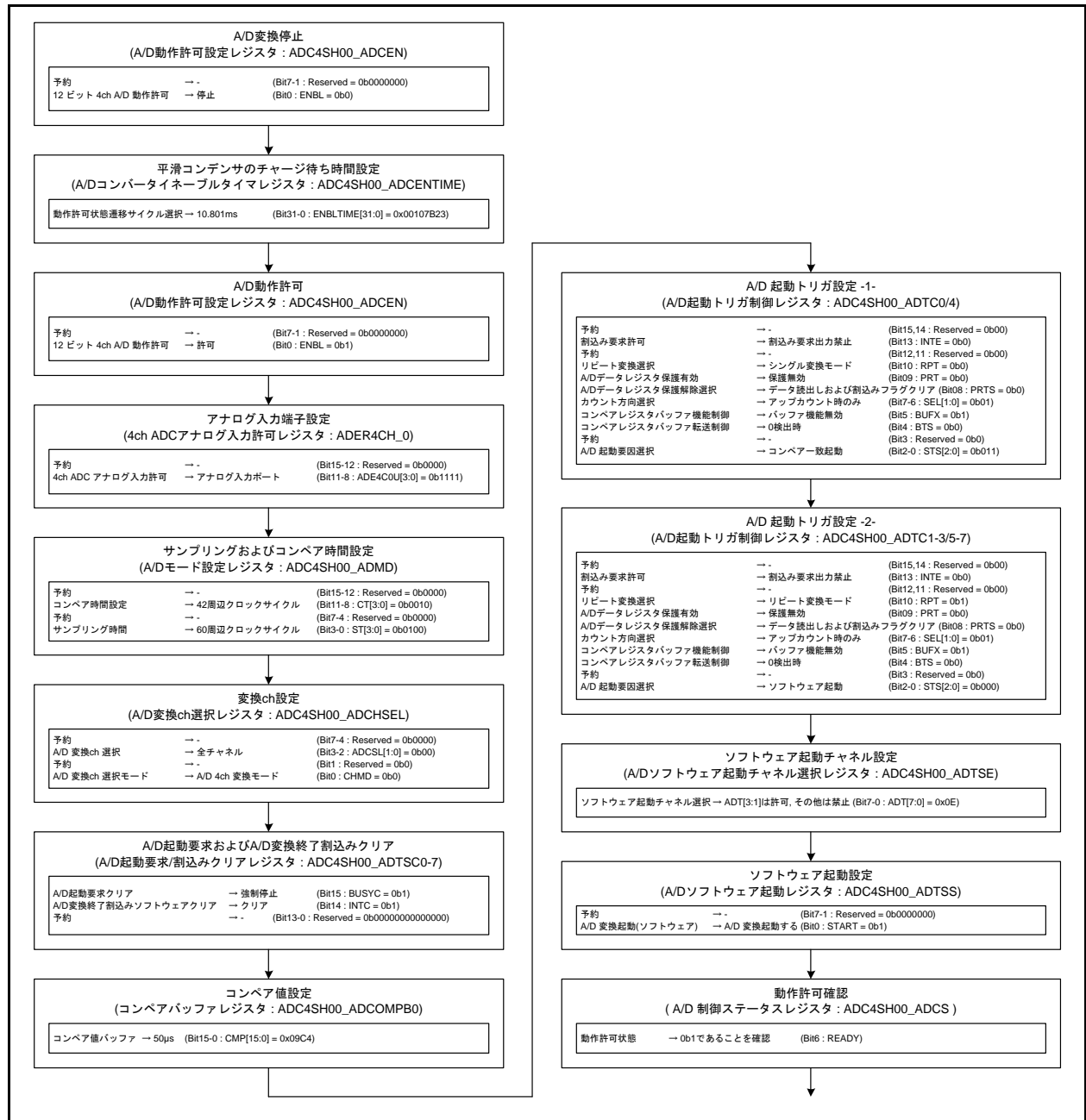
図 25. 設定フロー



使用するレジスタは以下のとおりです。詳細設定例を図 26 に記載します。

- ADC4SHxx_ADCEN : A/D 動作許可設定レジスタ
- ADC4SHxx_ADCS : A/D 制御ステータスレジスタ
- ADER4CH_0 : 4ch ADC アナログ入力許可レジスタ
- ADC4SHxx_ADMD : A/D モード設定レジスタ
- ADC4SHxx_ADCHSEL : A/D 変換 ch 選択レジスタ
- ADC4SHxx_ADTSC[n] : A/D 起動要求/割込みクリアレジスタ[n]
- ADC4SHxx_ADTC[n] : A/D 起動トリガ制御レジスタ[n]
- ADC4SHxx_ADCENTIME : A/D コンバータイネーブルタイマレジスタ
- ADC4SHxx_ADCOMP[n] : コンペアバッファレジスタ[n]
- ADC4SHxx_ADTSE : A/D ソフトウェア起動チャネル選択レジスタ
- ADC4SHxx_ADTSS : A/D ソフトウェア起動レジスタ
(xx = 00/01, n = 0 - 7)

図 26. 12ビット 4ch A/D コンバータ設定例



注意事項:

- ADC4SH00_ADTCSC0-7 : 8つのレジスタすべてを設定してください。
- ADC4SH00_ADTC0/4 : 2つのレジスタすべてを設定してください。
- ADC4SH00_ADTC1-3/5-7 : 6つのレジスタすべてを設定してください。

6.2.2 A/D 動作許可設定レジスタ (ADC4SHxx_ADCEN)

A/D 動作許可設定レジスタは、12 ビット 4ch A/D コンバータの動作許可状態を設定します。ENBL ビットの手換えは、必ず変換動作前の A/D 動作が停止している状態 (ADCS:BUSY = 0b0)で行ってください。

表 10. A/D 動作許可設定レジスタの設定例 (ADC4SHxx_ADCEN)

ビット	ビット名	説明	レジスタ設定	
			設定値	設定内容
7-1	Reserved	Reserved	0b0000000	—
0	ENBL	12 ビット 4ch A/D 動作許可ビット	0b0 0b1	動作停止 動作許可

6.2.3 A/D 制御ステータスレジスタ (ADC4SHxx_ADCS)

A/D 制御ステータスレジスタは、A/D 変換動作中もしくは A/D 変換停止中を表示します。

表 11. A/D 制御ステータスレジスタの状態 (ADC4SHxx_ADCS[n])

ビット	ビット名	説明	内容
7	BUSY	A/D 変換中	0: 変換停止中, 1: 変換動作中
6	READY	動作許可状態	0: 動作停止状態, 1: 動作許可状態

6.2.4 4ch ADC アナログ入力許可レジスタの設定 (ADER4CH_0/1)

4ch ADC アナログ入力許可レジスタ (ADER4CH_1, ADER4CH_0) は、4ch-SH ADC のアナログ入力端子を制御するレジスタです。

キーコード機能を搭載した型格では、本レジスタへの書き込みにはキーコード設定が必要です。キーコード機能の有無は『データシート』の「型格オプション」を参照してください。

表 12. 4ch ADC アナログ入力許可レジスタの設定例 (ADER4CH_0)

ビット	ビット名	説明	レジスタ設定	
			設定値	設定内容
7-4	Reserved	予約	0b0000	—
3-0	ADE4C0U[3:0]	4ch ADC アナログ入力許可	0b1111	アナログ入力モード

6.2.5 A/D モード設定レジスタの設定 (ADC4SHxx_ADMD)

A/D コンバータの変換時間とは、サンプリング時間 (アナログ入力端子に印加される電圧によって内部のキャパシタに電荷を蓄積する時間) とコンペア時間 (キャパシタの電荷を内部の比較器でデジタルデータに変換する時間) の合計です。サンプリング時間とコンペア時間の最小/最大時間は、データシートの「電気的特性」を参照してください。

サンプリング時間とコンペア時間は、A/D モード設定レジスタに書き込む設定値とそのときの入力クロックによって決まります。以下に例を示します。

表 13. A/D モード設定レジスタの設定例 (ADC4SHxx_ADMD)

ビット	ビット名	説明	レジスタ設定	
			設定値	設定内容
15-12	Reserved	予約	0b0000	—
11-8	CT[3:0]	コンペア時間設定	0x0010	1680ns
7-4	Reserved	予約	0b0000	—
3-0	ST[3:0]	サンプリング時間設定	0x0100	600ns

6.2.6 A/D 変換 ch 選択レジスタ (ADC4SHxx_ADCHSEL)

A/D 変換 ch 選択レジスタは、A/D 変換チャンネル数を設定します。

表 14. A/D 変換 ch 選択レジスタの設定例 (ADC4SHxx_ADCHSEL)

ビット	ビット名	説明	レジスタ設定	
			設定値	設定内容
7-4	Reserved	予約	0b0000	—
3, 2	ADCSL[1:0]	A/D 変換 ch 選択	0b00	全チャンネル
1	Reserved	予約	0b0	—
0	CHMD	A/D 変換 ch 選択モード	0b0	A/D 4ch 変換モード

6.2.7 A/D 起動要求/割込みクリアレジスタ[n] (ADC4SHxx_ADTSC[n])

A/D 起動要求/割込みクリアレジスタは、A/D 起動要求の強制停止および A/D 変換終了割込み要求フラグのクリアを行います。

表 15. A/D 起動要求/割込みクリアレジスタ[n]の設定例 (ADC4SHxx_ADTSC[n])

ビット	ビット名	説明	レジスタ設定	
			設定値	設定内容
15	BUSYC	A/D 起動要求クリア	0b1	強制停止
14	INTC	A/D 変換終了割込みソフトウェアクリア	0b1	クリア
13-0	Reserved	予約	0b0000000000000000	—

6.2.8 A/D 起動トリガ制御レジスタの設定 (ADC4SHxx_ADTC[n])

A/D 起動トリガ制御ステータスレジスタは、A/D 起動要求確認、割込み要求の許可/禁止、割込み要求の状態の確認、起動要因選択、変換モード選択、保護機能制御、コンペア動作に使用するコンペア値の選択、コンペア値のバッファ制御に使用します。

表 16. A/D 起動トリガ制御レジスタの設定例 (ADC4SHxx_ADTC0/4)

ビット	ビット名	説明	レジスタ設定	
			設定値	設定内容
15, 14	Reserved	予約	0b00	—
13	INTE	割込み要求許可	0b0	禁止
12, 11	Reserved	予約	0b00	—
10	RPT	リピート変換選択	0b0	シングル変換モード
9	PRT	A/D データレジスタ保護有効	0b0	保護無効
8	PRTS	A/D データレジスタ保護解除選択	0b0	データ読出しおよび 割込みフラグクリア
7, 6	SEL[1:0]	カウント方向選択	0b01	アップカウント時のみ
5	BUFX	コンペアレジスタバッファ機能制御	0b1	バッファ機能無効
4	BTS	コンペアレジスタバッファ転送制御	0b0	0 検出時
3	Reserved	予約	0b0	—
2-0	STS[2:0]	A/D 起動要因選択	0b011	コンペア一致起動

表 17. A/D 起動トリガ制御レジスタの設定例 (ADC4SHxx_ADTC1-3 / 5-7)

ビット	ビット名	説明	レジスタ設定	
			設定値	設定内容
15, 14	Reserved	予約	0b00	—
13	INTE	割込み要求許可	0b0	割込み要求出力禁止
12, 11	Reserved	予約	0b00	—
10	RPT	リピート変換選択 (*1)	0b1	リピート変換モード
9	PRT	A/D データレジスタ保護有効	0b0	保護無効
8	PRTS	A/D データレジスタ保護解除選択	0b0	データ読出しおよび 割込みフラグクリア
7, 6	SEL[1:0]	カウント方向選択	0b01	アップカウント時のみ
5	BUFX	コンペアレジスタバッファ機能制御	0b1	バッファ機能無効
4	BTS	コンペアレジスタバッファ転送制御	0b0	0 検出時
3	Reserved	予約	0b0	—
2-0	STS[2:0]	A/D 起動要因選択 (*1)	0b000	ソフトウェア起動

注意事項:

- RPT / STS[2:0]について
 起動チャンネルを 0 または 4 で変換を行う際、RPT および STS[2:0]は以下のとおり設定してください。
 - ☐ RPT : リピート変換モード
 - ☐ STS[2:0]: ソフトウェア起動

6.2.9 A/D コンバータイネーブルタイムレジスタ (ADC4SHxx_ADCENTIME)

電源投入後、12 ビット 4ch A/D コンバータは直ちに動作できません。動作可能となるまでには、外部端子に接続する平滑コンデンサ (C_{REF}) がチャージされるまで待つ必要があります。チャージが完了するまでの時間 (起動時間) は以下のとおりです (データシートの電気的特性「2. 推奨動作条件」より抜粋)。

$$\text{起動時間} = 9 \times C_{REF} \times 1.2k + 1\mu \quad [s]$$

C_{REF} を最大の $1\mu F$ とした場合、起動時間は以下のとおりです (ここでは、コンデンサ容量の誤差を含めずに計算します)。

$$\text{起動時間} = 9 \times 1\mu F \times 1.2k + 1\mu = 10.801 \quad [ms]$$

本レジスタには、上記の起動時間を設定してください。ADCEN レジスタの ENBL ビットに 0b1 を書き込むと、本レジスタの値を初期値としたダウンカウントが開始します。ダウンカウント終了後、ADCS レジスタの RDY ビットは 0b1 になり、動作可能であることを示します。電源投入後には、必ずこの操作を行ってください。

動作クロック (CLK PERI4, 100 MHz) で上記の起動時間を待つ場合、本レジスタの設定値は以下のとおり算出できます。

$$\begin{aligned} \text{設定値} &= \text{ダウンカウント数} - 1 \\ &= (10.801ms \div 10ns) - 1 \\ &= 1,080,100 - 1 = 1,080,099 \\ &= 0x107B23 \end{aligned}$$

6.2.10 コンペアバッファレジスタの設定 (ADC4SHxx_ADCCOMPB[n])

コンペア値を設定するレジスタには、アウトプットコンペアレジスタとアウトプットコンペアバッファレジスタがあります。

コンペアバッファ機能を無効とした場合、コンペアバッファレジスタに書き込まれた値は、コンペアレジスタに即時反映されます。

コンペアバッファ機能を有効にした場合、コンペアバッファレジスタに書き込まれた値は、指定した転送タイミングでコンペアレジスタに転送されます。

注意事項:

- コンペアバッファ機能の有効/無効設定: A/D 起動トリガ制御レジスタの BUFX を参照してください。
- コンペアレジスタへの転送タイミング設定: A/D 起動トリガ制御レジスタの BTS を参照してください。

6.2.11 A/D ソフトウェア起動チャンネル選択レジスタ (ADC4SHxx_ADTSE) および A/D ソフトウェア起動レジスタ (ADC4SHxx_ADTSS)

起動チャンネルを 0 および 4 として変換を行う際、A/D ソフトウェア起動チャンネル選択レジスタと A/D ソフトウェア起動レジスタは、以下のとおり設定してください。

表 18. /D ソフトウェア起動チャンネル選択レジスタの設定例 (ADC4SHxx_ADTSE)

ビット	ビット名	説明	レジスタ設定	
			設定値	設定内容
7-0	ADT[7:0]	ソフトウェア起動チャンネル選択	0x0E	ADT[3:1] : 許可 その他 : 禁止

表 19. A/D ソフトウェア起動レジスタの設定例 (ADC4SHxx_ADTSS)

ビット	ビット名	説明	レジスタ設定	
			設定値	設定内容
7-1	Reserved	予約	0b0000000	—
0	START	A/D 変換起動	0b1	A/D 変換起動する

7 R/D コンバータ (RDC)

R/D コンバータは、モータ制御における「レゾルバ用の励磁信号の生成」と「ベクトル制御で使用するモータ回転角度／角速度の検出」を行います。本節では、これらを行うための設定方法を記載します。

7.1 概要

R/D コンバータの設定概要について以下に記載します。

7.1.1 レゾルバ励磁信号出力

レゾルバを励磁する信号を出力します。出力周波数は 10kHz と 20kHz の選択が可能です。

7.1.2 角度および角速度検出機能

R/D コンバータは、レゾルバからの応答信号をデジタル変換し、12bit の角度データ (θ_{org}) と 16bit の角速度データ (ω_{org}) を検出します。

本 RDC では、上記の θ_{org} と ω_{org} を検出するだけでなく、下記の演算を行った結果を出力することができます。

1. 初期位相調整
2. 正弦余弦変換
3. 進角補正

7.1.2.1 初期位相調整

R/D コンバータが検出する角度データ (θ_{org}) に対し、初期位相 (δ) を加算します。

$$\theta = n \times \theta_{org} + \delta$$

(n : レゾルバ電気角とモータの電気角の比率)

三相電流を取得する 12 ビット 4ch A/D コンバータの起動に同期して角度 θ (同期角度) を保持します。

7.1.2.2 正弦余弦変換

正弦余弦変換入力レジスタ (RDCxx_SCCIR) に角度 θ に書き込むと、 $\sin \theta$ の変換値が正弦データレジスタ (RDCxx_SINDR) に、 $\cos \theta$ の変換値が余弦データレジスタ (RDCxx_COSDR) に格納されます。値の形式は、IEEE754 準拠の 32 ビット浮動小数点数です。

7.1.2.3 進角補正演算

3 相 2 相変換と 2 相 3 相変換では、モータの回転角度 θ に対する $\sin \theta$, $\cos \theta$ の値が必要です。しかし、この変換を行っている間もモータは回転しているため角度に差分が生じます。この回転角の差分を進角 ($\Delta\theta$) と呼びます。MB9D560 では、ハードウェアで $\sin \theta$, $\cos \theta$, $\sin \Delta\theta$, $\cos \Delta\theta$ を演算します。これにより進角を補正できます。

7.1.3 異常検出機能

R/D コンバータは以下の異常を検出し、NMI で割込み通知することができます。

- 角度変換異常 (専用 A/D 変換器の異常通知)
- 励磁異常
- オフセット異常
- 地絡異常
- 断線異常
- 振幅異常
- トラッキンググループ異常

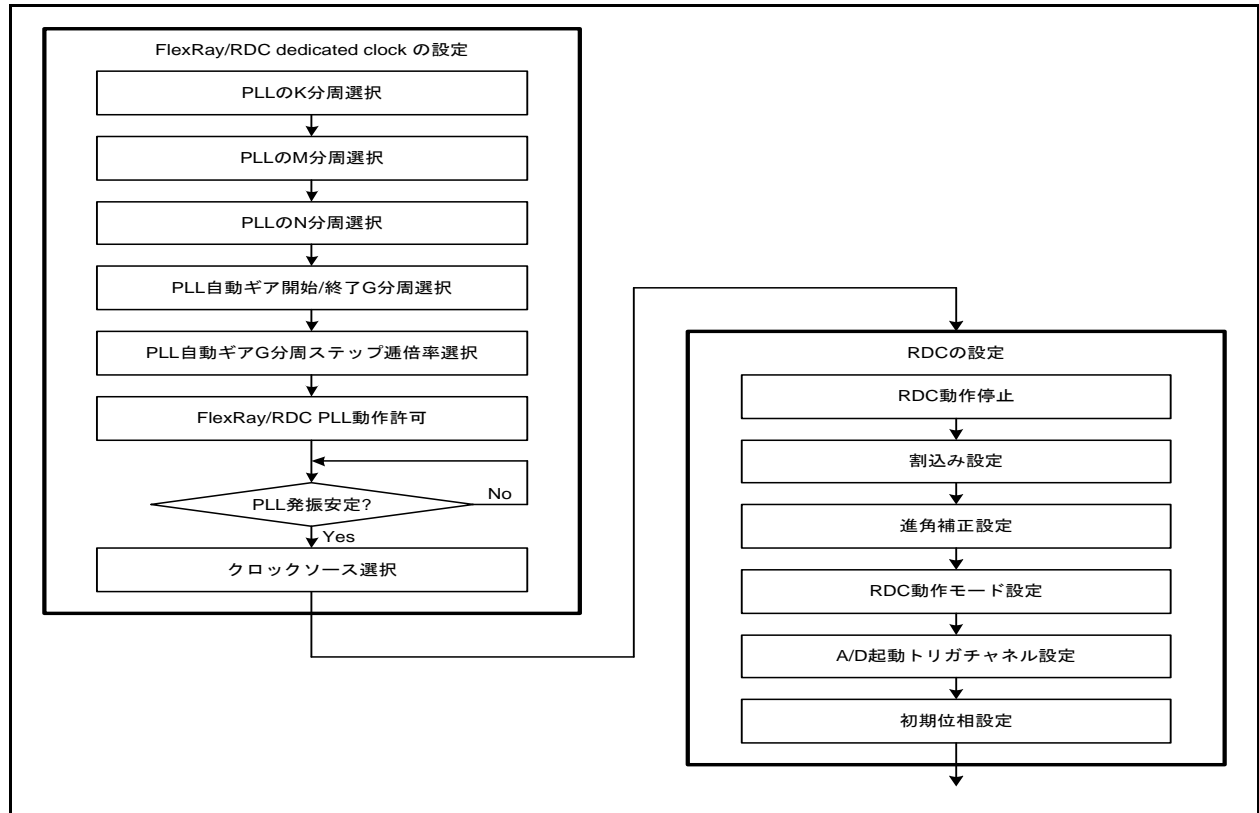
RDC 動作制御レジスタ 1 (RDCxx_RDCCTR1) の RDCEN ビットを許可してから、レゾルバ応答信号が安定するまでの間は異常を検出する場合があります。

7.2 設定詳細

7.2.1 設定手順例

R/D コンバータと専用 PLL の設定フローを以下に示します。

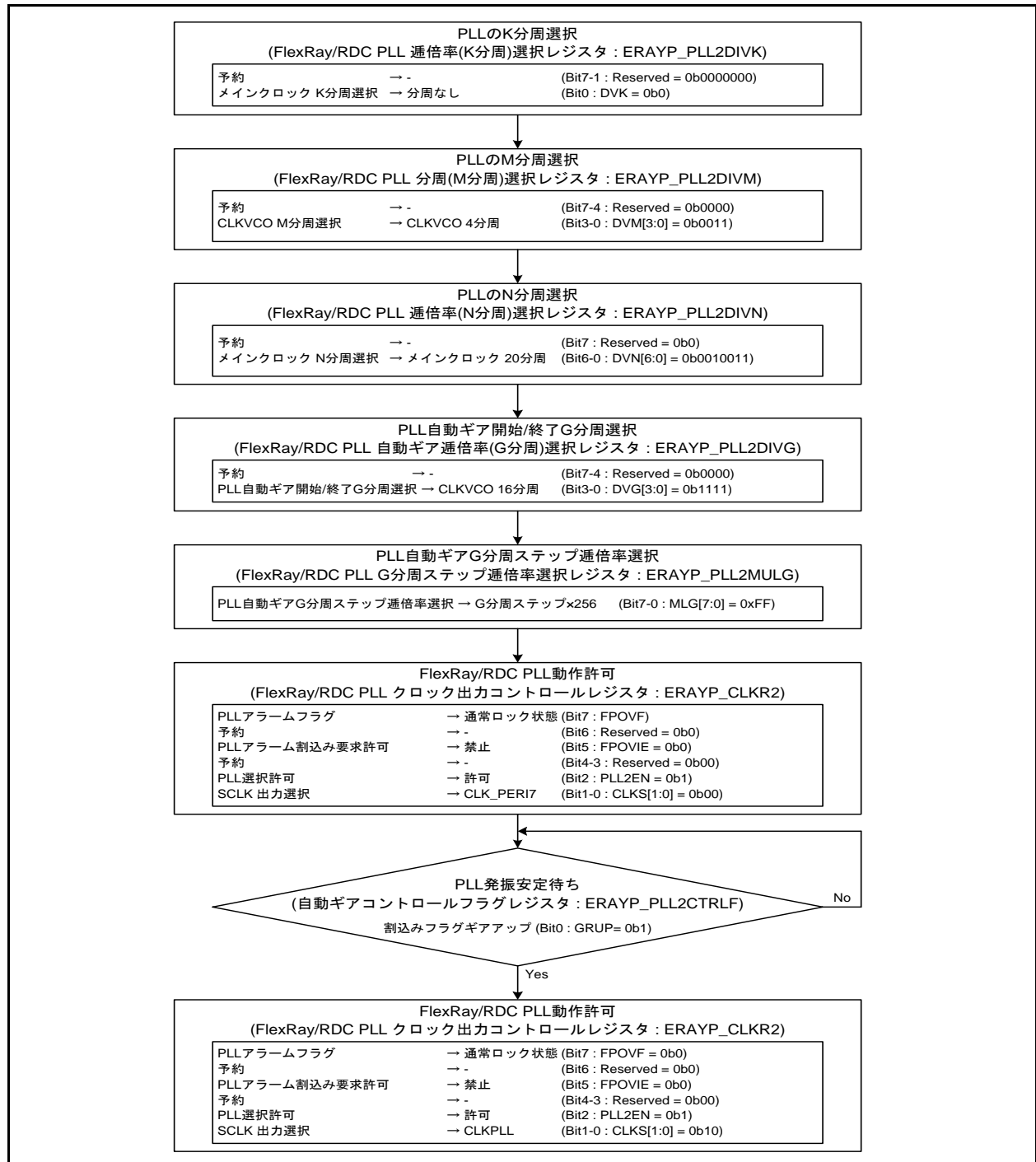
図 27. 設定フロー



使用するレジスタは以下のとおりです。詳細設定例を図 28 および 図 29 に記載します。

- ERAYP_PLL2DIVK : FlexRay/RDC PLL 通倍率 (K 分周) 選択レジスタ
- ERAYP_PLL2DIVM : FlexRay/RDC PLL 分周 (M 分周) 選択レジスタ
- ERAYP_PLL2DIVN : FlexRay/RDC PLL 通倍率 (N 分周) 選択レジスタ
- ERAYP_PLL2DIVG : FlexRay/RDC PLL 自動ギア通倍率 (G 分周) 選択レジスタ
- ERAYP_PLL2MULG : FlexRay/RDC PLL G 分周ステップ通倍率選択レジスタ
- ERAYP_CLKR2 : FlexRay/RDC PLL クロック出力コントロールレジスタ
- ERAYP_PLL2CTRLF : 自動ギアコントロールフラグレジスタ
- RDCxx_RDCCTR0 : RDC 動作制御レジスタ 0 (xx = 00/01)
- RDCxx_RDCCTR1 : RDC 動作制御レジスタ 1 (xx = 00/01)
- RDCxx_RDCCTR2 : RDC 動作制御レジスタ 2 (xx = 00/01)
- RDCxx_RDCIPR : RDC 初期位相レジスタ (xx = 00/01)
- RDCxx_RDCICER : RDC 異常割込み要求許可レジスタ (xx = 00/01)

図 28. FlexRay/RDC dedicated clock 設定例



注意事項

- メインクロックに 16MHz が入力された場合、RDC に 80MHz クロックを出力する場合の例です。

図 29. R/D コンバータ設定例

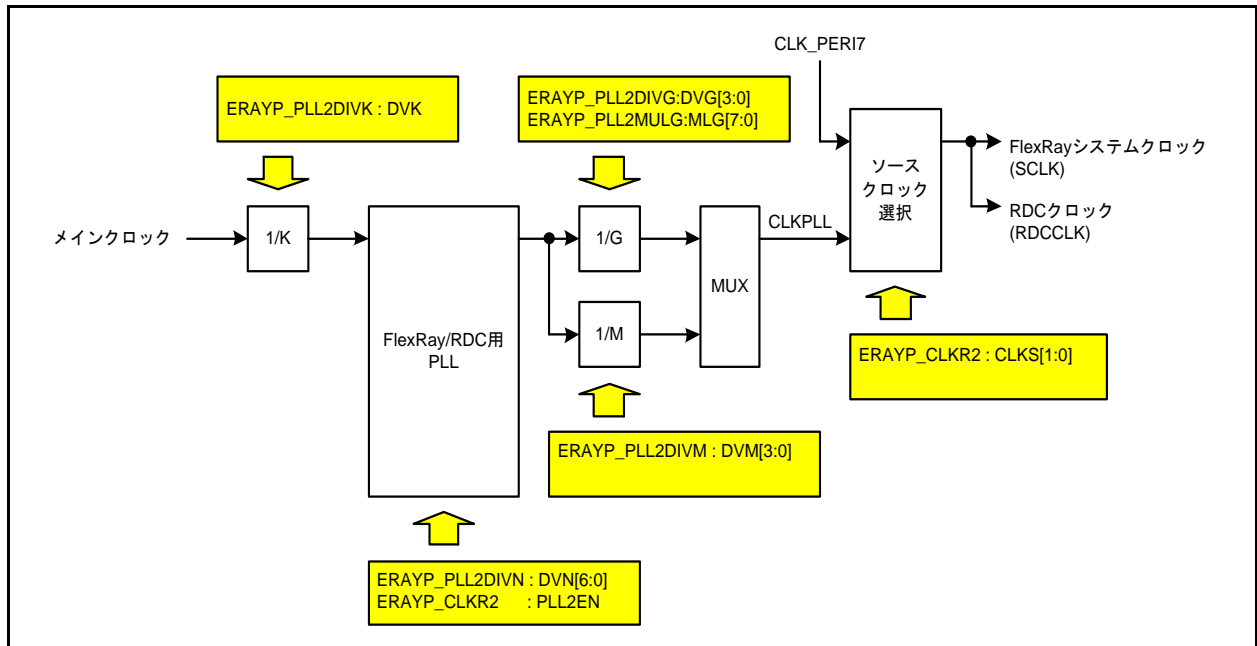


7.2.2 専用クロックの設定

R/D コンバータは 80MHz のクロックで動作します。この 80MHz のクロックを生成するため、FlexRay/RDC dedicated clock モジュールが搭載されています。FlexRay/RDC dedicated clock モジュールでクロックを生成し、R/D コンバータに 80MHz クロックを供給してください。

R/D コンバータは 80MHz クロックを内部で 2 分周し、40MHz で動作します。

図 30. 構成



7.2.2.1 分周設定 (ERAYP_PLL2DIVK / ERAYP_PLL2DIVM / ERAYP_PLL2DIVN)

メインクロックが 16MHz の場合、R/D コンバータに 80MHz クロックを供給するための分周／逡倍設定は以下のとおりです。

表 20. 分周／逡倍設定例 (メインクロック = 16MHz, RDCCLK = 80MHz)

メイン クロック (MCLK)	ERAYP_PLL2DIVK	ERAYP_PLL2DIVN	ERAYP_PLL2DIVM	FlexRay / RDC クロック (SCLK / RDCCLK)
	DVK	DVN[6:0]	DVM[3:0]	
16 MHz	0 (分周なし)	0b001_0011 (20 逡倍)	0b0011 (4 分周)	80 MHz

注意事項:

- PLL の出力周波数には上限／下限があります。下記の範囲内でご使用ください。
200MHz ≤ PLL 出力周波数 ≤ 400MHz
- 上記設定では、メインクロックを以下のとおり分周／逡倍します。
分周なし (16MHz) → 20 逡倍 (320MHz) → 4 分周 (80MHz)

7.2.2.2 クロック自動ギアの設定

クロックの出力周波数を急激に上げた場合、電源電圧が降下することがあります。これを防ぐため、クロック自動ギアを使用します。

1. FlexRay/RDC PLL 自動ギア通倍率 (G 分周) 選択レジスタ (ERAYP_PLL2DIVG)

クロックのギア通倍率を選択します。

表 21. FlexRay/RDC PLL 自動ギア通倍率 (G 分周) 選択レジスタの設定例 (ERAYP_PLL2DIVG)

ビット	ビット名	説明	レジスタ設定	
			設定値	設定内容
7-4	Reserved	予約	0b0000	—
3-0	DVG[3:0]	PLL 自動ギア開始/終了 G 分周選択	0b1111	CLKVCO 16 分周

2. FlexRay/RDC PLL G 分周ステップ通倍率選択レジスタ (ERAYP_PLL2MULG)

クロック自動ギアのステップ通倍率を選択します。

表 22. FlexRay/RDC PLL G 分周ステップ通倍率選択レジスタの設定例 (ERAYP_PLL2MULG)

ビット	ビット名	説明	レジスタ設定	
			設定値	設定内容
7-0	MLG[7:0]	PLL 自動ギア G 分周ステップ通倍率選択	0xFF	G 分周ステップ × 256

3. 自動ギアコントロールレジスタ (ERAYP_PLL2CTRLF)

ギアアップ (クロック周波数を上げる) する場合は、GRUP ビットで状態を確認してください。

表 23. 自動ギアコントロールレジスタの内容 (ERAYP_PLL2CTRLF)

ビット	ビット名	説明	レジスタ設定
7-3	Reserved	予約	—
2	IEDN	割込み許可ギアダウン	0: ギアダウン割込み非アクティブ 1: ギアダウン割込みアクティブ
1	Reserved	予約	—
0	GRUP	割込みフラグギアアップ	0: ギアアップ割込み非アクティブ 1: ギアアップ割込みアクティブ

7.2.2.3 FlexRay/RDC PLL クロック出力コントロールレジスタの設定 (ERAYP_CLKR2)

RDCCLK 出力のための動作設定を行います。

表 24. FlexRay/RDC PLL クロック出力コントロールレジスタの設定例 (ERAYP_CLKR2)

ビット	ビット名	説明	レジスタ設定	
			設定値	設定内容
7	FPOVF	FlexRay/RDC 用 PLL アラームフラグ	Don't Care (Read Only)	—
6	Reserved	予約	0b0	—
5	FPOVIE	FlexRay/RDC 用 PLL アラーム割込み要求	0b0	禁止
4, 3	Reserved	予約	0b0	—
2	PLL2EN	FlexRay/RDC 用 PLL 選択	0b0 → 0b1	停止 → 許可
1, 0	CLKS[1:0]	SCLK 出力選択	0b00 → 0b10	CLK_PERI7 → CLKPLL

注意事項:

- CLKPLL (FlexRay/RDC) がクロックソースとして選択されている (CLKS[1:0] = 0b10) 場合、FlexRay/RDC PLL 動作許可ビット (PLL2EN) を変更することは禁止です。

7.2.3 R/D コンバータの設定

7.2.3.1 RDC 動作制御レジスタ 0 (RDCxx_RDCCTR0) の設定

進角補正処理方法の選択および制御周期の選択を行います。

表 25. RDC 動作制御レジスタ 0 の設定例 (RDCxx_RDCCTR0)

ビット	ビット名	説明	レジスタ設定	
			設定値	設定内容
31	CSEL	進角補正処理方法選択	0b0	行わない
30-27	Reserved	予約	0b0000	—
26-24	CPS[2:0]	制御周期設定	0b000	120 μ s

7.2.3.2 RDC 動作制御レジスタ 1 (RDCxx_RDCCTR1) の設定

R/D コンバータの動作モードを設定します

表 26. RDC 動作制御レジスタ 1 の設定例 (RDCxx_RDCCTR1)

ビット	ビット名	説明	レジスタ設定	
			設定値	設定内容
23	Reserved	予約	0b0	—
22	TLBS	トラッキンググループ帯域選択	0b0	600Hz
21	EFS	励磁周波数選択	0b0	10kHz
20	ABZRS	ABZ 相分解能選択	0b0	1 倍
19-18	UVWS[1:0]	UVW 極数選択	0b00	1 通倍
17	CPE	カスタムパラメータ制御	0b0	無効
16	RDCEN	RDC 制御	0b1	動作

注意事項:

- トラッキンググループとは、R/D コンバータが行う追従補完演算です。600Hz, 1800Hz の 2 種類のモードが選択できます。
- RDCEN ビットを 0b1 にすることによって R/D コンバータは動作を開始します。停止させる場合は 0b0 に設定してください。

7.2.3.3 RDC 動作制御レジスタ 2 (RDCxx_RDCCTR2) の設定

R/D コンバータが出力する角度 (θ) および角速度 (ω) を A/D 起動トリガに同期 (チャネルを選択) させます。また、角度/角速度角度 (θ) および角速度 (ω) に対する通倍設定を行います。

表 27. RDC 動作制御レジスタ 2 の設定例 (RDCxx_RDCCTR2)

ビット	ビット名	説明	レジスタ設定	
			設定値	設定内容
23-21	Reserved	予約	0b000	—
20-18	MTRADT[2:0]	A/D トリガチャネル選択	0b000	起動グループ 0
17-16	AGLM[1:0]	角度/角速度通倍選択	0b00	1 通倍

7.2.3.4 RDC 初期位相レジスタ (RDCxx_RDCIPR)

R/D コンバータが出力する角度に加算するオフセット値を設定します。

表 28. RDC 初期位相レジスタ (RDCxx_RDCIPR)

ビット	ビット名	説明	レジスタ設定	
			設定値	設定内容
15-12	Reserved	予約	0b0000	—
11-0	AMPOFST[11:0]	オフセット角度データ	0b010000000000	90 [degree]

注意事項:

- オフセット角度データは、ご使用の環境に合わせて設定してください。

7.2.3.5 RDC 異常割込み要求許可レジスタ (RDCxx_RDCICER) の設定

R/D コンバータが異常状態を検出した場合の割込みを設定します。また、異常状態を示すフラグをクリアします。

表 29. RDC 異常割込み要求許可レジスタの設定例 (RDCxx_RDCICER)

ビット	ビット名	説明	レジスタ設定	
			設定値	設定内容
7-2	Reserved	予約	0b000000	—
1	RDCEF	割込み要求フラグ	0b0	全クリア
0	INTE	割込み許可	0b0	異常割込み禁止

8 付録

8.1 三相モータ制御用対象ユニット

MB9D560 シリーズの三相モータ制御に関連するユニットとして、本アプリケーションノートでは以下のユニットを対象としています。

本アプリケーションノートでとりあげたユニットに関連するブロックダイアグラムとその搭載数について、以下に示します。

図 31. ブロックダイアグラム

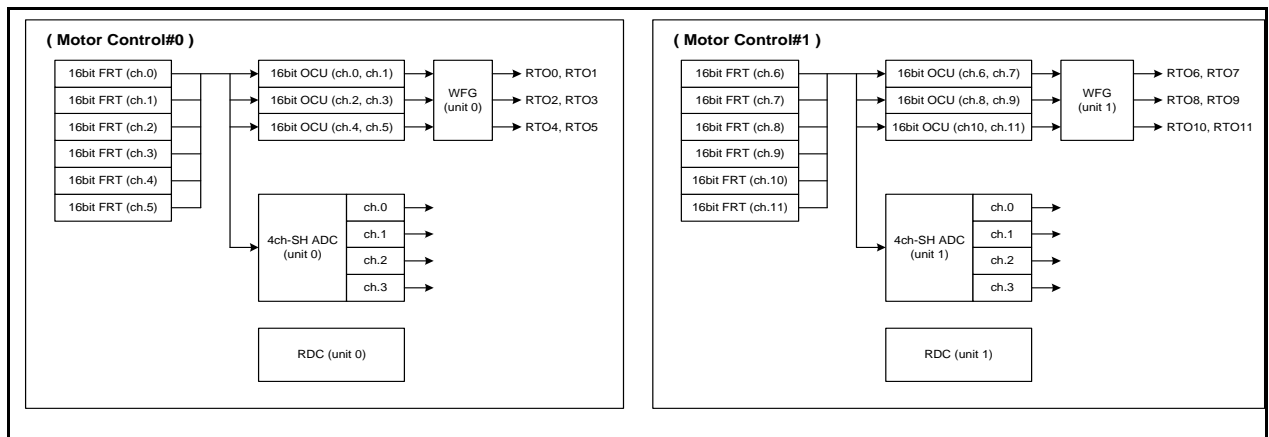


表 30. ユニットの割り当てとその搭載数

ユニット名	搭載数	割り当て	コメント
16 ビット フリーランタイム (16bit FRT)	20 ch	ch.0 - ch.5 : Motor Control #0 制御用	各ユニットの起動タイミングや、割込み信号発生のために使用します。
		ch.6 - ch.11 : Motor Control #1 制御用	
		ch.12 - ch.19 : その他の制御用	
16 ビット アウトプットコンペア (16 bit OCU)	24 ch	ch.0 - ch.5 : Motor Control #0 用	PWM 波形の生成
		ch.6 - ch.11 : Motor Control #1 用	
		ch.12 - ch.23 : その他の制御用	
波形ジェネレータ (WFG)	4 unit (24 ch)	unit 0 : Motor Control #0 用	デッドタイム付加
		unit 1 : Motor Control #1 用	
		unit 2, 3 : その他の波形生成用	
12 ビット 4ch A/D コンバータ (4ch-SH ADC)	2 unit (8 ch)	unit 0 : Motor Control #0 用 unit 1 : Motor Control #1 用	三相電流取得
R/D コンバータ (RDC)	2 unit	unit 0 : Motor Control #0 用 unit 1 : Motor Control #1 用	角度・速度検出

8.2 略語・用語

MB9D560 シリーズに関する略語と用語に関して説明します。

表 31. 略語／用語

略語・用語	説明
CLK_PERI4 CLK_PERI5	CLK_PERI4 : Motor Control ユニット#0 用ペリフェラルクロック CLK_PERI5 : Motor Control ユニット#1 用ペリフェラルクロック
PLL	Phase Locked Loop
PPG	Programmable Pulse Generator
PWM	Pulse Width Modulation
RDC	Resolver Digital Converter
WFG	Wave Form Generator

9 改訂履歴

ドキュメント名: AN205996 - 三相モータ制御の構成例と設定方法

ドキュメント番号: 002-05997

Revision	ECN	変更者	発行日	変更内容
**	-	SHUS	01/30/2015	スパンションアプリケーションノート MB9D560_AN708-00002-1v0-J をサイプレスとして登録したものです。
*A	5605446	SHUS	01/27/2017	英語版 002-05996 Rev.*A の日本語版です。
*B	6038243	YOST	01/19/2018	英語版 002-05996 Rev.*C の日本語版です。 Cypress ロゴの変更 セールス, ソリューションおよび法律情報の変更

セールス, ソリューションおよび法律情報

ワールドワイドな販売と設計サポート

サイプレスは、事業所、ソリューション センター、メーカー代理店、および販売代理店の世界的なネットワークを保持しています。お客様の最寄りのオフィスについては、[サイプレスのロケーション ページ](#)をご覧ください。

製品

Arm® Cortex® Microcontrollers	cypress.com/arm
車載用	cypress.com/automotive
クロック&バッファ	cypress.com/clocks
インターフェース	cypress.com/interface
IoT (モノのインターネット)	cypress.com/iot
メモリ	cypress.com/memory
マイクロコントローラ	cypress.com/mcu
PSoC	cypress.com/psoc
電源用 IC	cypress.com/pmic
タッチ センシング	cypress.com/touch
USB コントローラー	cypress.com/usb
ワイヤレス	cypress.com/wireless

PSoC® ソリューション

[PSoC 1](#) | [PSoC 3](#) | [PSoC 4](#) | [PSoC 5LP](#) | [PSoC 6 MCU](#)

サイプレス開発者コミュニティ

[コミュニティ](#) | [Projects](#) | [ビデオ](#) | [ブログ](#) | [トレーニング](#) | [Components](#)

テクニカルサポート

cypress.com/support



Cypress Semiconductor
 198 Champion Court
 San Jose, CA 95134-1709

©Cypress Semiconductor Corporation, 2015-2018. 本書面は、Cypress Semiconductor Corporation 及び Spansion LLC を含むその子会社 (以下「Cypress」という。) に帰属する財産である。本書面 (本書面に含まれ又は言及されているあらゆるソフトウェア若しくはファームウェア (以下「本ソフトウェア」という。) を含む) は、アメリカ合衆国及び世界のその他の国における知的財産法令及び条約に基づき Cypress が所有する。Cypress はこれらの法令及び条約に基づく全ての権利を留保し、本段落で特に記載されているものを除き、その特許権、著作権、商標権又はその他の知的財産権のライセンスを一切許諾しない。本ソフトウェアにライセンス契約書が伴っておらず、かつ Cypress との間で別途本ソフトウェアの使用方法を定める書面による合意がない場合、Cypress は、(1) 本ソフトウェアの著作権に基づき、(a) ソースコード形式で提供されている本ソフトウェアについて、Cypress ハードウェア製品と共に用いるためにのみ、かつ組織内部でのみ、本ソフトウェアの修正及び複製を行うこと、並びに (b) Cypress のハードウェア製品ユニットに用いるためにのみ、(直接又は再販売者及び販売代理店を介して間接のいずれかで) 本ソフトウェアをバイナリコード形式で外部エンドユーザーに配布すること、並びに (2) 本ソフトウェア (Cypress により提供され、修正がなされていないもの) が抵触する Cypress の特許権のクレームに基づき、Cypress ハードウェア製品と共に用いるためにのみ、本ソフトウェアの作成、利用、配布及び輸入を行うことについての非独占的で譲渡不能な一身専属的ライセンス (サブライセンスの権利を除く) を付与する。本ソフトウェアのその他の使用、複製、修正、変換又はコンパイルを禁止する。

適用される法律により許される範囲内で、Cypress は、本書面又はいかなる本ソフトウェア若しくはこれに伴うハードウェアに関しても、明示又は黙示をとわず、いかなる保証 (商品性及び特定の目的への適合性の黙示の保証を含むがこれらに限られない) も行わない。いかなるコンピューティングデバイスも絶対に安全ということはない。従って、Cypress のハードウェアまたはソフトウェア製品に講じられたセキュリティ対策にもかかわらず、Cypress は、Cypress 製品への権限のないアクセスまたは使用といったセキュリティ違反から生じる一切の責任を負わない。加えて、本書面に記載された製品には、エラッタと呼ばれる設計上の欠陥またはエラーが含まれている可能性があり、公表された仕様とは異なる動作をする場合がある。適用される法律により許される範囲内で、Cypress は、別途通知することなく、本書面を変更する権利を留保する。Cypress は、本書面に記載のある、いかなる製品若しくは回路の適用又は使用から生じる一切の責任を負わない。本書面で提供されたあらゆる情報 (あらゆるサンプルデザイン情報又はプログラムコードを含む) は、参照目的のためのみに提供されたものである。この情報で構成するあらゆるアプリケーション及びその結果としてのあらゆる製品の機能性及び安全性を適切に設計、プログラム、かつテストすることは、本書面のユーザーの責任において行われるものとする。Cypress 製品は、兵器、兵器システム、原子力施設、生命維持装置若しくは生命維持システム、蘇生用の設備及び外科的移植を含むその他の医療機器若しくは医療システム、汚染管理若しくは有害物質管理の運用のために設計され若しくは意図されたシステムの重要な構成部分としての使用、又は装置若しくはシステムの不具合が人身傷害、死亡若しくは物的損害を生じさせるようなその他の使用 (以下「本目的外使用」という。) のためには設計、意図又は承認されていない。重要な構成部分とは、その不具合が装置若しくはシステムの不具合を生じさせるか又はその安全性若しくは実効性に影響すると合理的に予想できるような装置若しくはシステムのあらゆる構成部分をいう。Cypress 製品のあらゆる本目的外使用から生じ、若しくは本目的外使用に関連するいかなる請求、損害又はその他の責任についても、Cypress はその全部又は一部をとわず一切の責任を負わず、かつ Cypress はそれら一切から本書により免除される。Cypress は Cypress 製品の目的外使用から生じ又は本目的外使用に関連するあらゆる請求、費用、損害及びその他の責任 (人身傷害又は死亡に基づく請求を含む) から免責補償される。

Cypress, Cypress のロゴ, Spansion, Spansion のロゴ及びこれらの組み合わせ, WICED, PSoC, CapSense, EZ-USB, F-RAM, 及び Traveo は、米国及びその他の国における Cypress の商標又は登録商標である。Cypress のより完全な商標のリストは、cypress.com を参照すること。その他の名称及びブランドは、それぞれの権利者の財産として権利主張がなされている可能性がある。