

S6J3110 / S6J3120 シリーズ A/D コンバータの使用方法

関連製品ファミリ: セクション 2 を参照

本アプリケーションノートは、サイプレス製マイコン Traveo ファミリ S6J3110 / S6J3120 シリーズの利用を検討されている方を対象としています。本アプリケーションノートでは、A/D 変換の基本的な使用方法とレンジ比較機能の使用方法について説明します。

Contents

1 はじめに.....1	4.5 A/D 起動トリガ制御状態クリアレジスタ (ADTCSC).....20
1.1 この文書について.....1	4.6 レンジ比較制御レジスタ (ADRCES).....21
2 対象製品.....1	4.7 上限閾値設定レジスタ (ADRCUT).....21
3 概要.....2	4.8 下限閾値設定レジスタ (ADRCLT).....21
3.1 A/D 起動コンペアの機能について.....2	4.9 A/D ソフトウェア起動チャネル選択レジスタ (ADTSE).....22
3.2 A/D 起動調停の機能について.....3	4.10 A/D ソフトウェア起動レジスタ (ADTSS).....22
3.3 A/D コンバータ制御の機能について.....3	4.11 A/D データレジスタ (ADTCD).....22
3.4 構成.....4	4.12 レンジ比較フラグレジスタ (ADRCIF).....23
3.5 A/D コンバータの設定手順.....7	4.13 レンジ比較フラグクリアレジスタ (ADRCIFC).....23
4 使用するレジスタについて.....19	5 参考文献.....23
4.1 アナログ入力制御レジスタ (ADER).....19	6 改訂履歴.....24
4.2 A/D モード設定レジスタ (ADMD).....19	セールス、ソリューションおよび法律情報.....25
4.3 A/D 起動トリガ拡張制御レジスタ (ADTECS).....19	
4.4 A/D 起動トリガ制御状態レジスタ (ADTCS).....20	

1 はじめに

1.1 この文書について

本アプリケーションノートは、サイプレス製マイコン Traveo ファミリ S6J3110 / S6J3120 シリーズの利用を検討されている方を対象としています。本アプリケーションノートでは、A/D 変換の基本的な使用方法とレンジ比較機能の使用方法について説明します。

2 対象製品

本アプリケーションノートに記載されている内容の対象製品は、下記のとおりです。

シリーズ名	品種型格 (パッケージサフィックスは除く)
S6J3110	S6J3118, S6J3119, S6J311A, S6J311B, S6J311C, S6J311D, S6J311E
S6J3120	S6J3128, S6J3129, S6J312A

3 概要

S6J3110 / S6J3120 シリーズにおける 12 ビット A/D コンバータは、RC 逐次比較変換方式でアナログ入力電圧を 12 ビットのデジタル値に変換します。A/D 起動要因の入力により、A/D 変換を行います。また、A/D 変換された結果が上限閾値レジスタおよび下限閾値レジスタで設定された範囲内もしくは範囲外の比較を行うレンジ比較機能も搭載しており、これらの機能について説明します。

3.1 A/D 起動コンペアの機能について

A/D 起動コンペアの機能について以下に示します。

3.1.1 アナログ入力制御

2 ユニットの A/D コンバータで、最大 64 チャンネルのアナログ入力の許可/禁止を選択することが可能です。

3.1.2 起動チャンネル

A/D 起動要求制御、および A/D 変換データ格納を起動チャンネル単位で行います。A/D 起動チャンネルは、12 ビット A/D コンバータの各ユニットと対応しています。対応は以下のようになっています。

- 起動チャンネル 0~31 : 12bit A/D コンバータユニット 0
- 起動チャンネル 32~63 : 12bit A/D コンバータユニット 1

3.1.3 A/D 起動要求

各起動チャンネルは、以下の A/D 起動要求要因から選択できます。なお、起動チャンネル内では A/D 変換(起動要求)中の再起動はできません。

- ソフトウェア
- ベースタイム(リロードタイム, PWM タイマ)
- フリーランタイムコンペア一致

ソフトウェア起動, リロードタイムおよび PWM タイマ起動は、任意の起動チャンネルを選択可能です。

フリーランタイムコンペア一致起動は、フリーランタイム値と各起動チャンネルのコンペアレジスタが一致したときに A/D 起動要求を行います。

起動要求は、起動チャンネルごとにシングルモードまたはリピートモードの選択が可能です。

シングルモードでは、1 回の起動要因で 1 回の起動要求を行います。リピートモードでは、1 回の起動要因で起動要求を継続します。

3.1.4 A/D 変換データ

A/D 変換終了時に、A/D データレジスタに変換データを格納します。A/D データレジスタは、起動チャンネルごとにあります。各 A/D データレジスタ内には、エラーフラグビットおよびエラー状態ビットが存在し、これらの値より A/D 変換結果の状態を知ることができます。

3.1.5 A/D 変換回数を指定したスキャン変換

起動チャンネルごとに A/D 変換回数を指定したスキャン変換ができます。A/D 変換回数を指定したスキャン変換は、A/D コンバータのユニットあたりに 1 種類の設定ができます。A/D 変換回数の指定は、1 回~4 回を選択できます。

3.1.6 レンジ比較機能

起動チャンネルごとに、A/D 変換結果と上下限閾値をレンジ比較して検出することができます。

- 上下限閾値の設定は最大 4 種類設定可能。各起動チャンネルは、4 種類の上下限閾値設定の中から 1 つの組合せを選択。
- 上下限閾値の範囲内、もしくは範囲外確認の選択可能。
- 連続検出回数の設定可能(1~7 回から選択可能)。

3.1.7 割込み要求

各起動チャンネルは、A/D 変換終了時に、割込み要求を発生できます。

3.1.8 データ保護機能

各 A/D データレジスタは、データ保護機能を設定できます。なお、保護機能はコンペアー一致起動以外の要因のときに有効です。データ保護機能が有効時、A/D データレジスタのデータ読出しと割込みフラグクリアを行うまで、A/D 起動要求がマスクされます。

3.1.9 故障診断機能

12 ビット A/D コンバータユニットの入力電圧において、上限基準電圧(AVRH)、または下限基準電圧(AVRL)を設定して、A/D コンバータの故障を診断する自己診断機能を搭載しています。

3.2 A/D 起動調停の機能について

A/D 起動調停は、A/D コンバータのユニットごとにあります。

- A/D 起動調停は、調停回路、A/D 起動トリガ生成、およびアナログチャネル番号選択で構成されます。
- A/D 起動コンペアーからの起動要求の調停を行い、起動トリガ、A/D 変換キャンセル信号、およびアナログチャネル番号を生成します。
起動トリガは、各 A/D 起動コンペアーからの起動要求から 1 つを選択して生成します。A/D 起動調停では各 A/D 起動コンペアーの起動要求が競合した場合、以下のような優先制御を行います。
- A/D 変換停止中に優先度が同じ起動要因が発生した場合
起動チャネルの若い番号のものから処理します。
- A/D 変換停止中に優先度が異なる起動要因が発生した場合
優先度の高い起動要因から処理します。
- A/D 変換中に優先度の高い起動要因が発生した場合
現在の変換を中断して優先度の高い起動要因を処理します。その変換後、再度調停されて中断した起動要因を再起動します。
- A/D 変換中に優先度の低い起動要因が発生した場合
現在の変換終了後に再度調停されて低い起動要因を処理します。
- A/D 変換中に優先度が同じ起動要因が発生した場合
現在の変換終了後に再度調停されて優先度が同じ起動要因を処理します。

3.3 A/D コンバータ制御の機能について

12 ビット A/D コンバータユニット 0, 1 において、アナログ入力端子がそれぞれ割り振られています。アナログ入力端子に入力されたアナログ電圧(入力電圧)をデジタル値に A/D 変換する機能があり、以下のような仕様になっています。

- 変換方式は、サンプルホールド回路付き RC 逐次変換比較方式です。
- アナログ入力端子はレジスタで選択できます。(A/D コンペアー起動部にて設定します。)
- A/D 変換は、1 回の起動要因の入力で 1 回の変換を行います。
- A/D 変換中に、再度、起動信号が入力された場合は、再起動を行います。(再起動機能)
- A/D 変換中に、A/D 変換キャンセル信号を受信すると現在の処理を停止、初期化します。(強制停止機能)
- サンプルング時間の設定は、全チャネル共通のサンプルング時間設定と、チャネルごとのサンプルング時間設定の選択ができます。

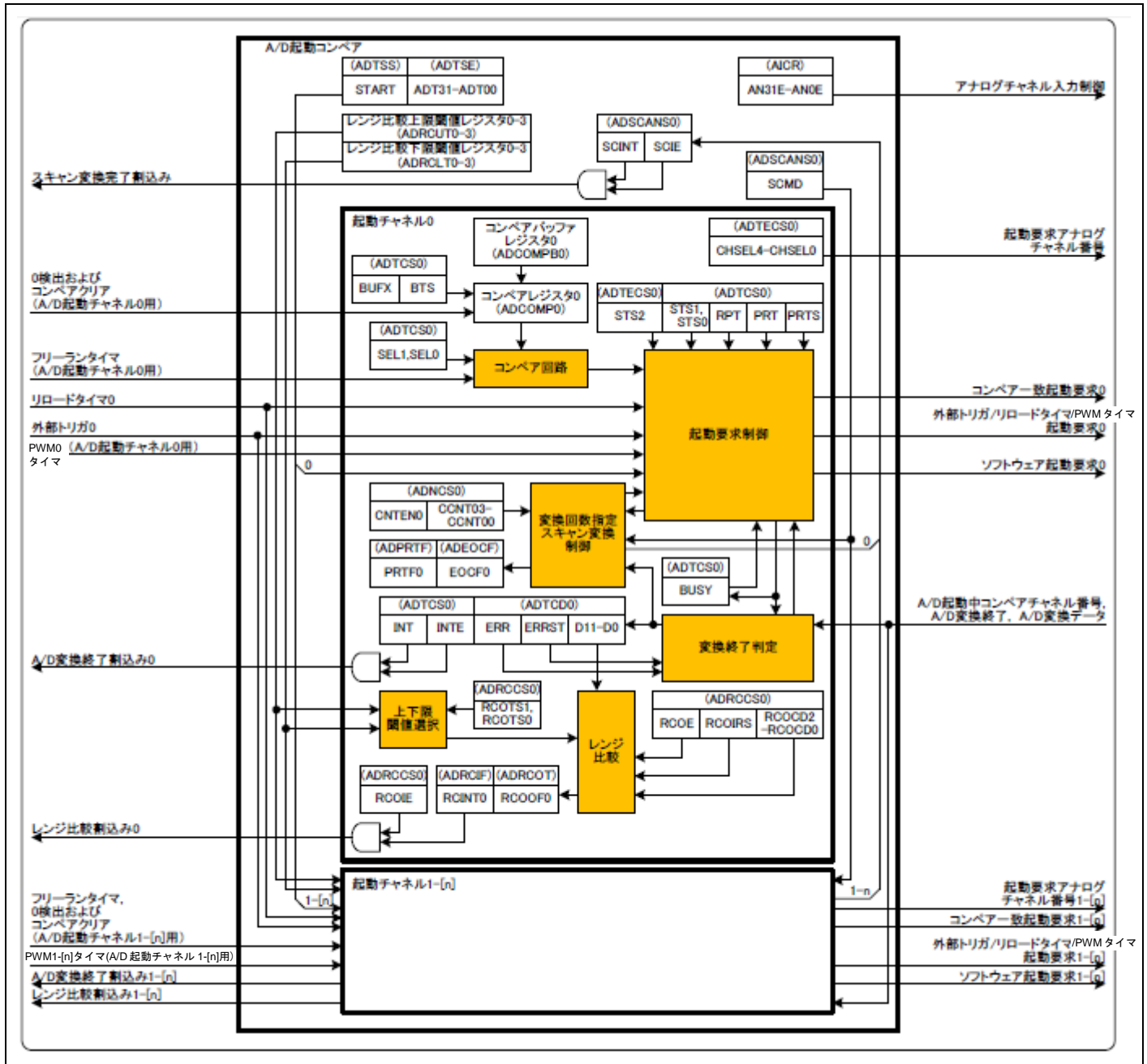
3.4 構成

12ビット A/D コンバータの構成を示します。

3.4.1 A/D 起動コンペアの構成

A/D 起動コンペアの構成を以下に示します。

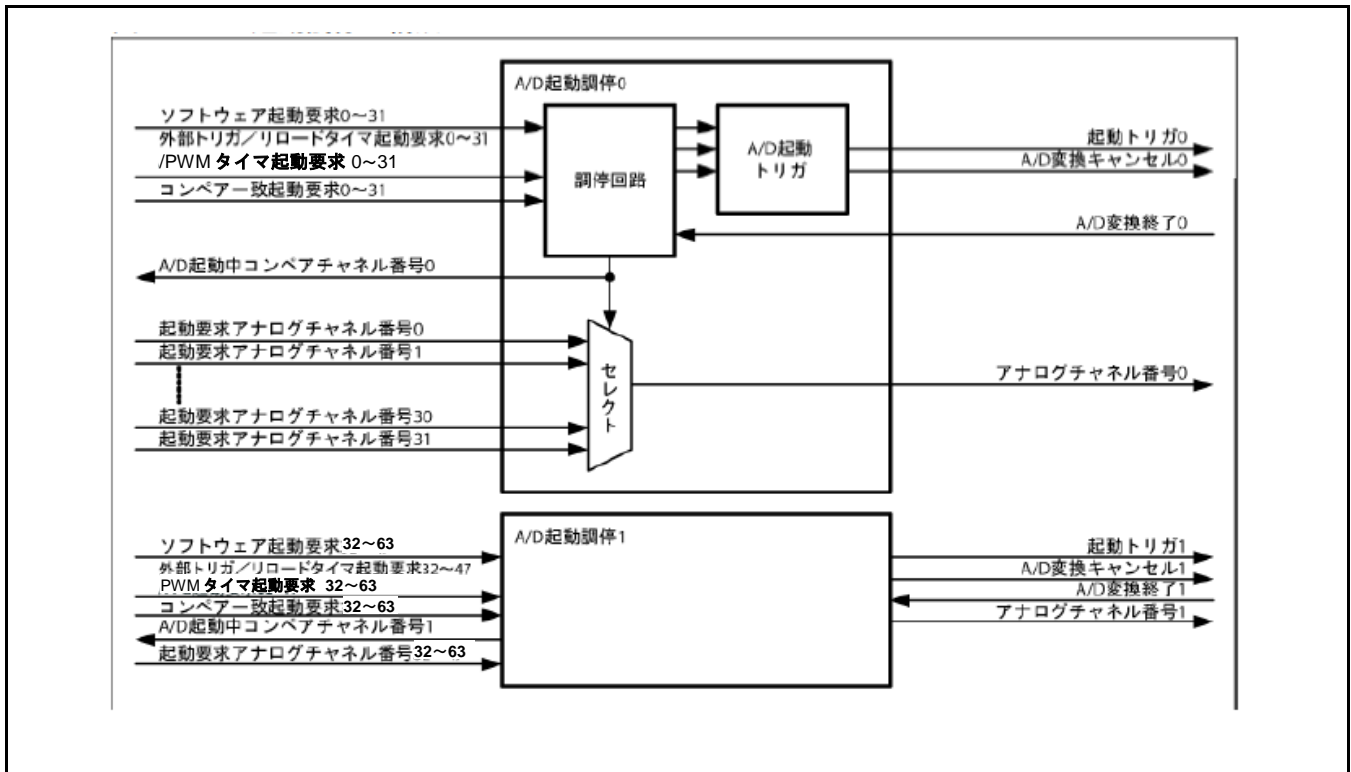
図 1 A/D 起動コンペアの構成図(n=31, A/D コンバータユニット 0)



3.4.2 A/D 起動調停の構成

A/D 起動調停の構成を以下に示します。

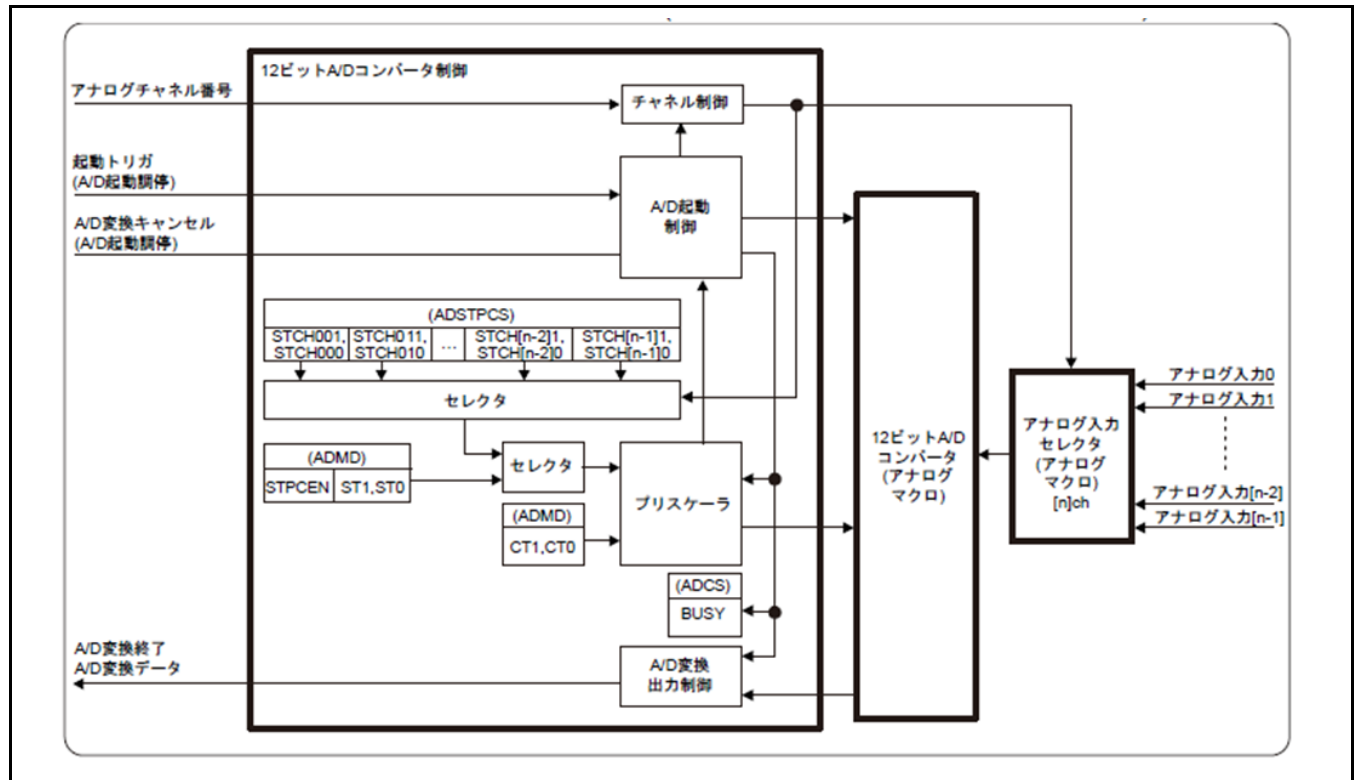
図 2 A/D 起動調停の構成図



3.4.3 A/D コンバータ制御の構成

12 ビット A/D コンバータ制御の構成を以下に示します。

図 3 12 ビット A/D コンバータ制御の構成図(n=32, A/D コンバータユニット 0)



3.5 A/D コンバータの設定手順

3.5.1 設定手順例

A/D 変換機能の設定フローと設定項目例を以下に示します。

図 4 A/D 変換機能の設定例

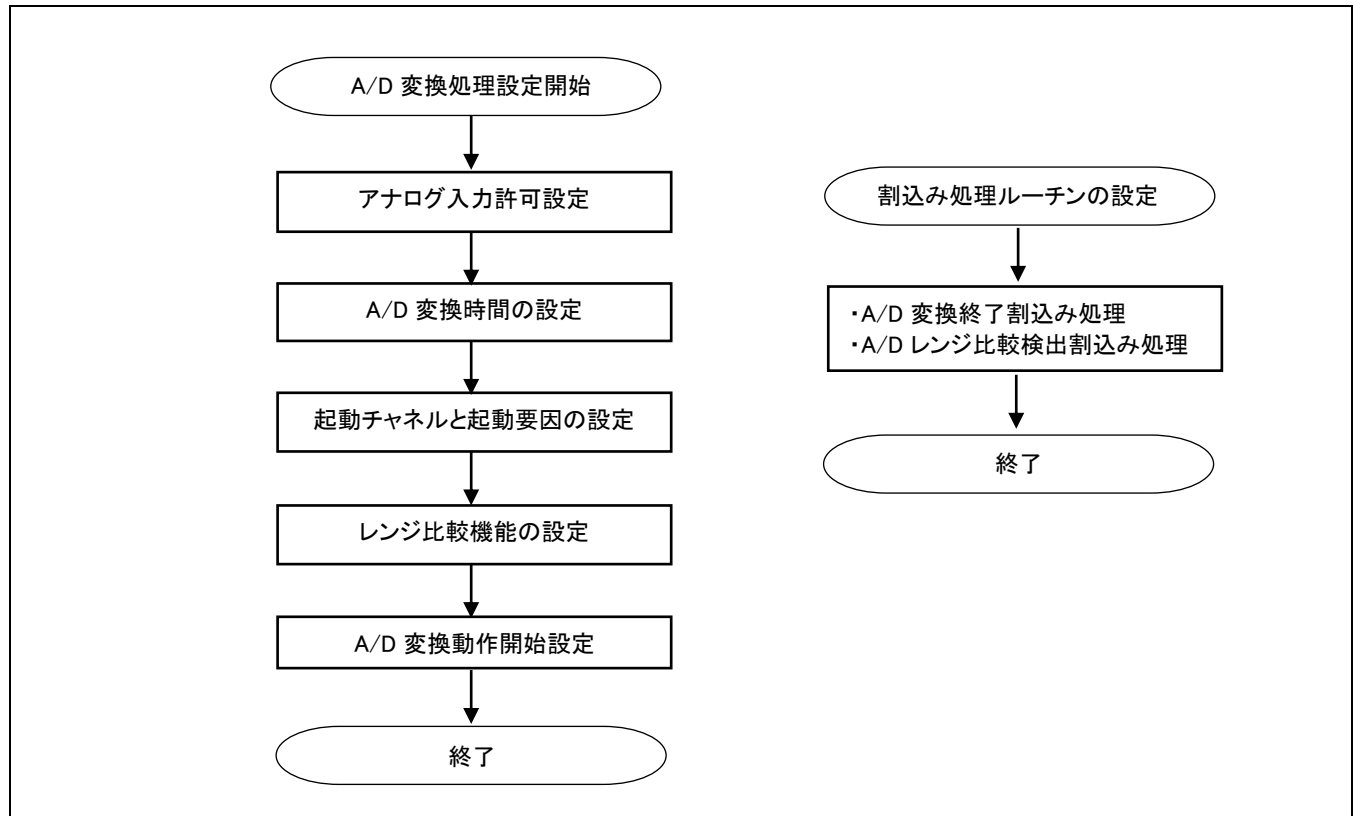


表 1 A/D 変換機能の設定項目例

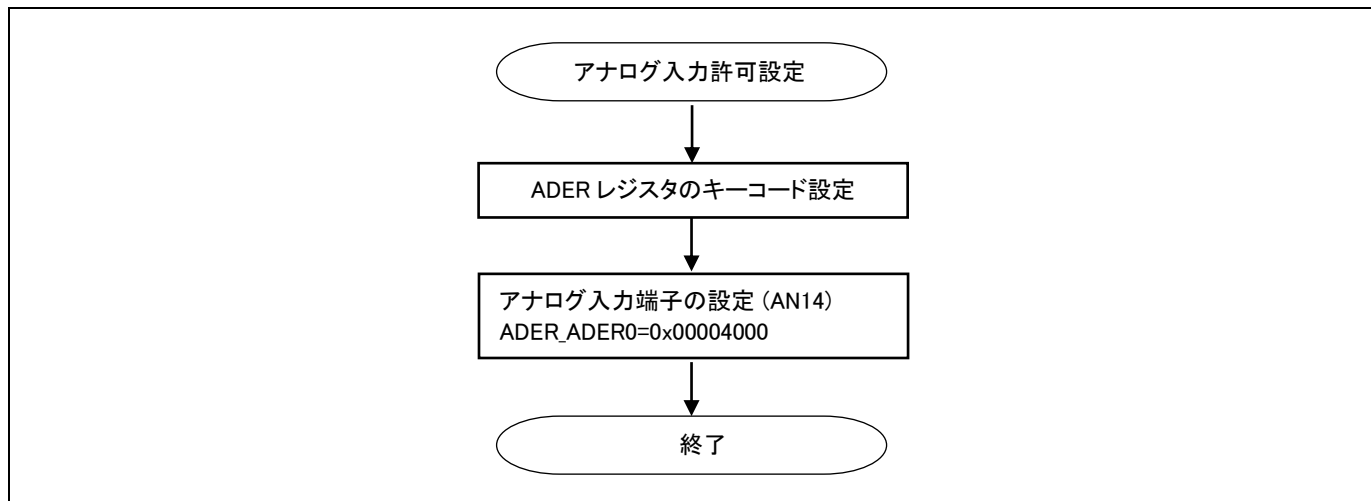
設定項目	設定値
アナログ入力端子	AN14
サンプリング時間	1.3μs
コンペア時間	0.8μs
起動チャネル	チャネル 0
起動要因	ソフトウェア起動
A/D 変換モード	リピート変換
A/D 変換データ保護機能	無効
A/D 変換終了割り込み処理	有効
A/D 変換レンジ比較機能	有効
A/D 変換レンジ比較検出による割り込み処理	有効

上記図 4 の各項目の設定について示します。

3.5.1.1 アナログ入力許可設定

アナログ入力許可設定は、アナログ入力制御レジスタ(ADER)によって行います。本レジスタは、キーコード対象レジスタです。キーコード対象レジスタの設定方法については S6J3110 / S6J3120 Series HARDWARE MANUAL の 12 Bit-A/D Converter 章の 4.1.1.Key Code Register を参照してください。本アプリケーションノートの設定例では、アナログ入力端子 AN14 を使用します。

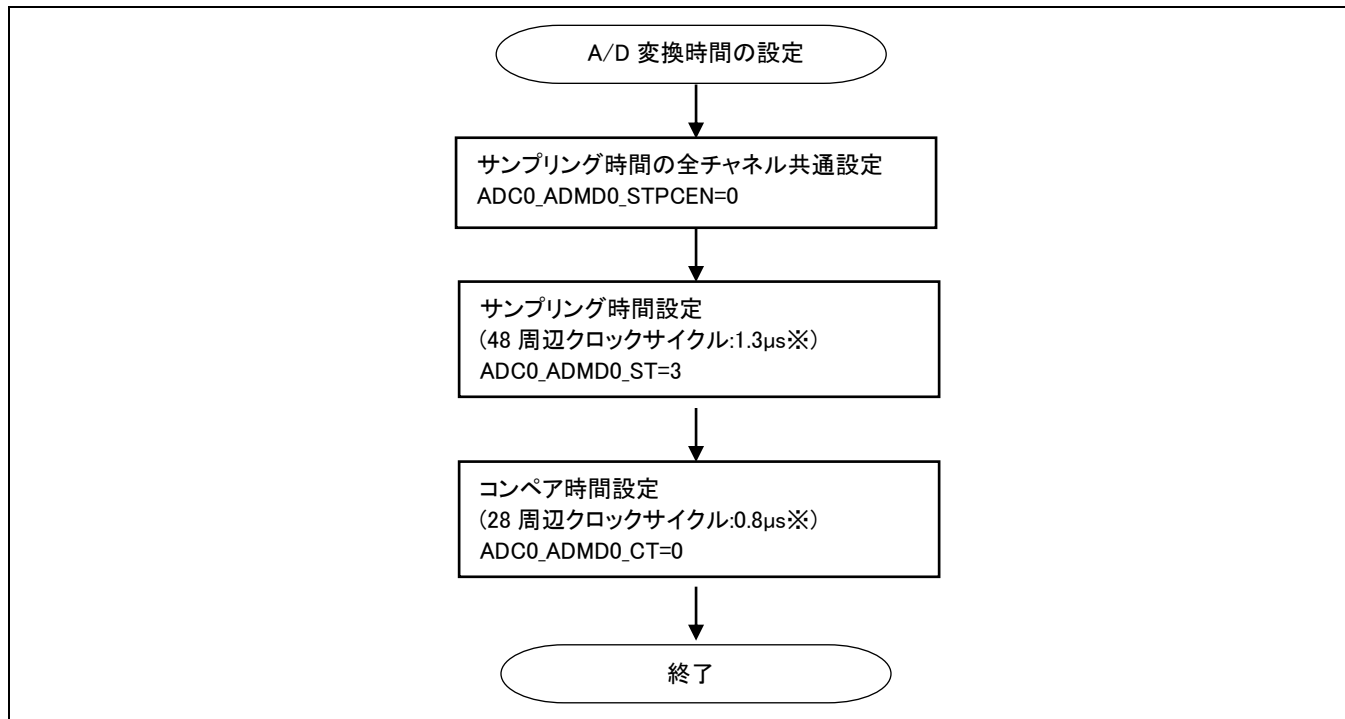
図 5 アナログ入力許可の設定フロー



3.5.1.2 A/D 変換時間の設定

A/D 変換時間の設定において、コンペア時間, サンプルング時間の設定, サンプルング時間のチャンネル共通設定を行います。これらは、A/D モード設定レジスタ (ADMD)によって行います。

図 6 A/D 変換時間の設定フロー

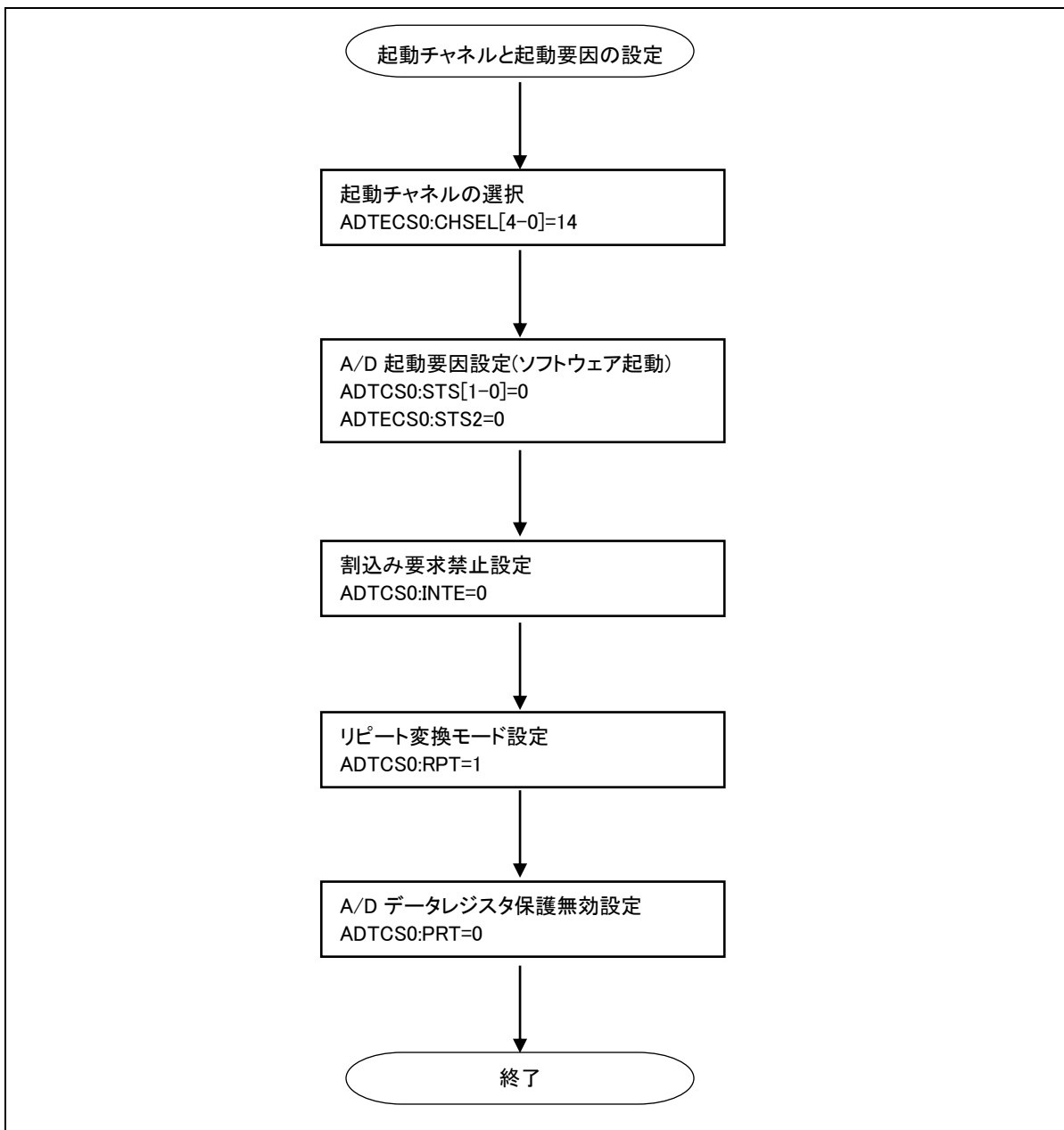


※ S6J311E において周辺クロックが 36MHz の場合

3.5.1.3 起動チャンネルと起動要因の設定

起動チャンネルは、A/D 起動トリガ拡張レジスタ (ADTECS) で設定します。起動要因は、A/D 起動トリガ制御状態レジスタ (ADTCS) と上記 ADTECS レジスタで設定します。また、割り込み要求禁止設定、リポート変換モード設定、A/D データレジスタ保護無効設定を ADTCS レジスタで設定します。

図 7 A/D 変換の起動チャンネルと起動要因の設定フロー



以下にプログラム例を示します。

図 8 アナログ入力設定から起動要因設定までのプログラム例

```
void AD_Init(void)
{
    // KEYCode Register
    ADER_KEYCDR=0x20000804;
    ADER_KEYCDR=0x60000804;
    ADER_KEYCDR=0xA0000804;
    ADER_KEYCDR=0xE0000804;
    ADER_ADER0=0x00004000;//Analog input (AN14)
    } ←アナログ入力許可設定

    //All Channel Sampling time common
    ADC0_ADMD0_STPCEN=0;
    } ←全チャネル共通サンプリング時間設定

    //Sampling time setting
    ADC0_ADMD0_ST=3;
    } ←サンプリング時間設定

    //Compare time setting
    ADC0_ADMD0_CT=0;
    } ←コンペア時間設定

    // A/D Activation Trigger Extended Control Resgister
    // Analog Channel select
    ADC0_ADTECS0_CHSEL=14;
    } ←起動チャネル 0 を選択

    // Activation factor setting (Software trigger)
    ADC0_ADTECS0_STS=0;
    ADC0_ADTECS0_STS2=0;
    } ←A/D 起動要因設定

    // A/D Interrupt request disable
    ADC0_ADTECS0_INTE=0;
    } ←A/D 割込み要求禁止設定

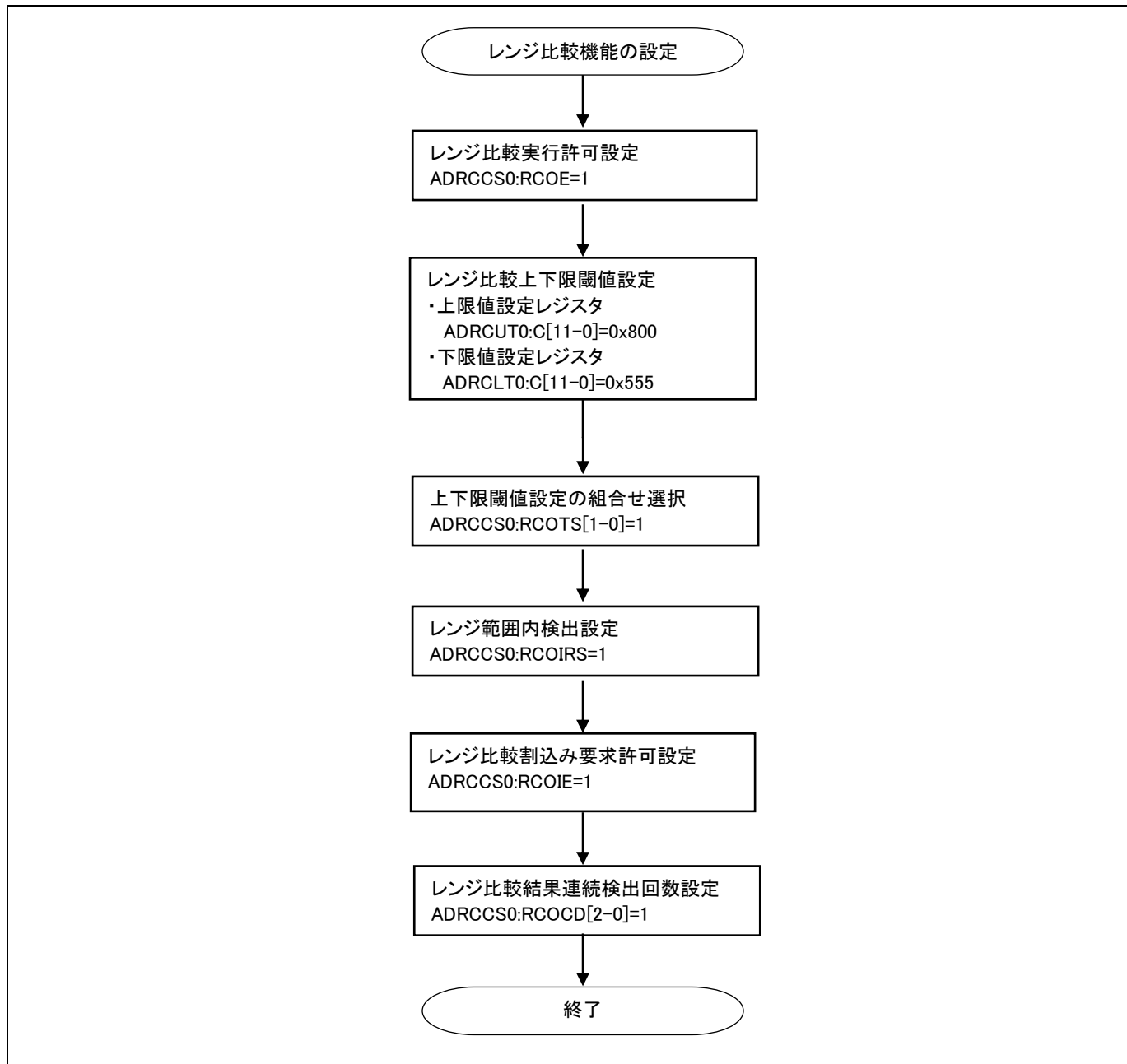
    //Repeat conversion
    ADC0_ADTECS0_RPT=1;
    } ←リピート変換モード設定

    // A/D data register protection disable
    ADC0_ADTECS0_PRT=0;
    } ←A/D データレジスタ保護無効設定
}
```

3.5.1.4 レンジ比較機能の設定

レンジ比較機能は、レンジ比較制御レジスタ(ADRCSS)で設定します。ADRCSS レジスタでレンジ比較実行許可設定, 上下限閾値設定の組合せ, レンジ範囲内外の検出設定, レンジ比較割込み要求許可設定, レンジ比較結果の連続検出回数設定を行います。また、レンジ比較の上下限閾値を上下限閾値設定レジスタ(ADRCUT), 下限閾値設定レジスタ(ADRCUT)で行います。レンジ比較機能の動作詳細については、＜参考＞レンジ比較機能の動作について(P17)を参照してください。

図 9 A/D 変換レンジ比較機能の設定フロー



以下にプログラム例を示します。

図 10 A/D レンジ比較機能におけるプログラム例

```
void AD_RangeCompare(void)
{
    // A/D Range comparison execution enable } ←レンジ比較実行許可設定
    ADC0_ADRCCS0_RCOE=1;

    // A/D Upper threshold setting } ←レンジ比較上限閾値設定
    ADC0_ADRCUT0_C=0x800;

    // A/D Lower threshold setting } ←レンジ比較下限閾値設定
    ADC0_ADRCLT0_C=0x555;

    // A/D Upper and Lower threshold (ADRCUT0/ADRCLT0) } ←上下限閾値設定の組合せ設定
    ADC0_ADRCCS0_RCOTS=0;

    // A/D Inside check setting } ←レンジ範囲内検出設定
    ADC0_ADRCCS0_RCOIRS=1;

    // A/D Range comparison interrupt request enable } ←レンジ比較割込み要求許可設定
    ADC0_ADRCCS0_RCOIE=1;

    // A/D Continue detection count(1) } ←レンジ比較結果の連続検出回数設定
    ADC0_ADRCCS0_RCOCD=1;
}
```

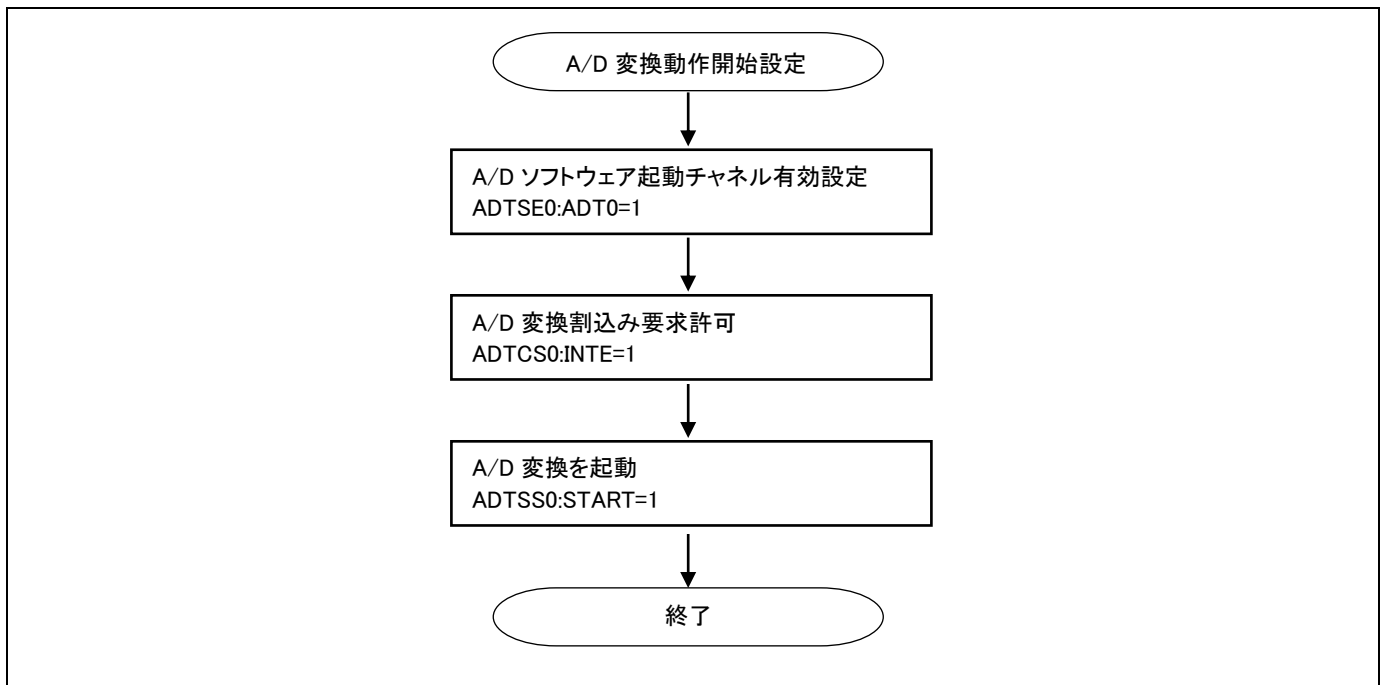
3.5.1.5 A/D 変換動作開始設定

A/D 変換の動作開始設定は、A/D ソフトウェア起動チャンネル選択レジスタ(ADTSE)でソフトウェア起動チャンネルを設定し、A/D 起動トリガ制御状態レジスタ(ADTCS)で A/D 変換割込み要求を許可します。

それから、A/D ソフトウェア起動レジスタ(ADTSS)にて、START ビットにより、A/D 変換機能を起動します。

以下に A/D 変換動作開始の設定フローを示します。

図 11 A/D 変換動作開始における設定フロー



以下にプログラム例を示します。

図 12 A/D 変換動作開始におけるプログラム例

```

void AD_Start(void)
{
    // A/D software activation channel enable } ←A/D ソフトウェア起動チャンネル有効設定
    ADC0_ADTSE0_ADT0=1;

    // A/D Interrupt request enable } ←A/D 変換割込み要求許可
    ADC0_ADTCS0_INTE=1;

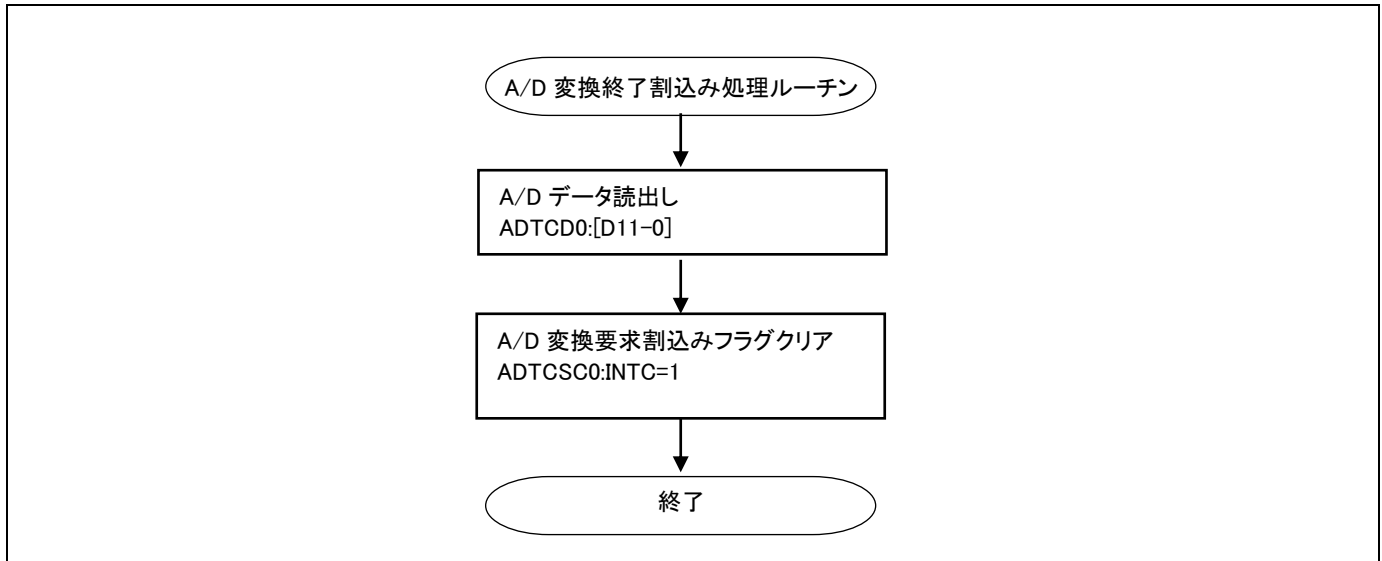
    // A/D conversion activation } ←A/D 変換を起動(ソフトウェア起動)
    ADC0_ADTSS0_START=1;
}
  
```

3.5.1.6 割込み処理ルーチンの設定

割込み処理ルーチンの設定について以下に示します。

A/D 変換終了の割込み処理とレンジ比較機能の割込み処理ルーチンにおける設定フローを示します。A/D 変換終了時に割込み処理を設定できます。この処理では、A/D データレジスタ(ADTCD)にて A/D 変換データの読出しを行い、A/D 起動トリガ制御状態クリアレジスタ(ADTCSC)で、A/D 変換要求の割込みフラグをクリアします。

図 13 A/D 変換終了割込みルーチン設定フロー



以下にプログラム例を示します。

図 14 A/D 変換終了割込み処理ルーチンプログラム例

```

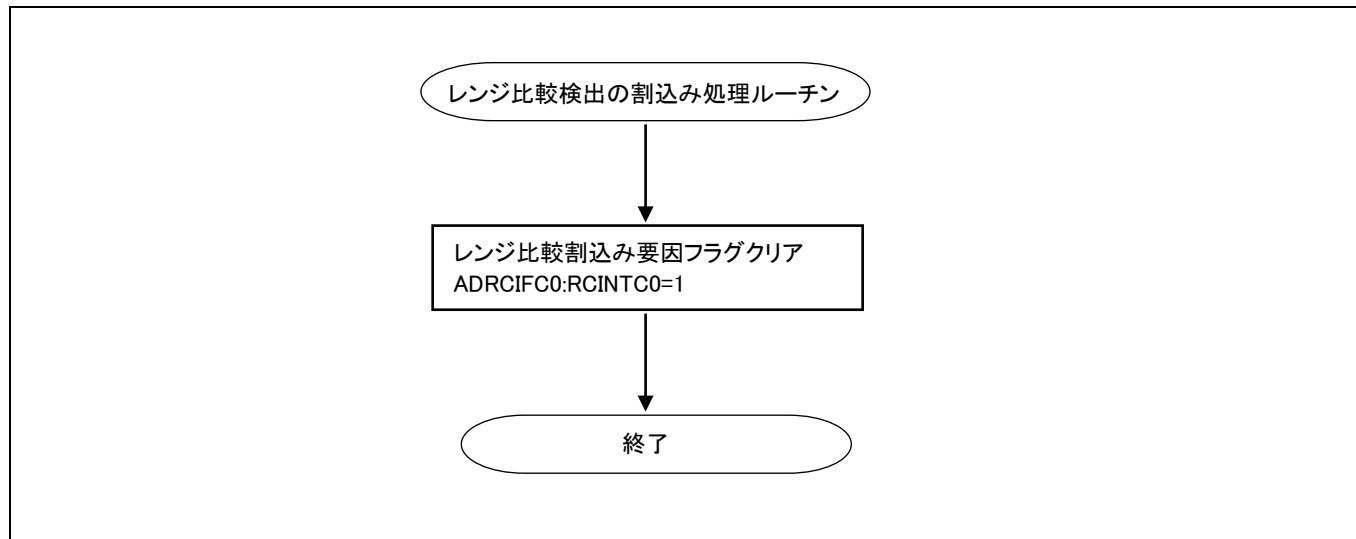
// A/D Conversion end interrupt routine
FN_IRQ_DEFINE_BEGIN(Adc_Isr_Adc0_EndOfConversion, INTERRUPTS_IRQ_NUMBER_396)
{
    // A/D data get
    AD_data=ADC0_ADTCD0_D;
    // A/D interrupt request flag clear
    ADC0_ADTCSC0_INTC=1;
}
FN_IRQ_DEFINE_END()
  
```

←A/D データ読出し

←A/D 変換終了割込みフラグクリア

次にレンジ比較機能の割り込み処理の設定フローを示します。レンジ比較機能の検出で割り込み処理を設定できます。この処理では、レンジ比較フラグクリアレジスタ(ADRCIFC)にて、レンジ比較割り込み要因フラグをクリアします。

図 15 レンジ比較検出の割り込み処理ルーチン設定フロー



以下にプログラム例を示します。

図 16 レンジ比較機能の割り込み処理ルーチンプログラム例

```

// A/D Range compare detection interrupt routine
FN_IRQ_DEFINE_BEGIN(Adc_Isr_Adc0_RangeCompare, INTERRUPTS_IRQ_NUMBER_397)
{
    // A/D Range comparison interrupt factor flag clear } ←レンジ比較割り込み要因フラグクリア
    ADC0_ADRCIFC0_RCINTC0=1;
}
FN_IRQ_DEFINE_END()
  
```


<参考>レンジ比較機能の動作について

レンジ比較機能の動作について以下に補足します。

レンジ比較機能は、レンジ比較許可設定時(ADRCSS.RCOE=1)において、A/D 変換が終了し A/D データビット(ADTCD.D[11-0])にデータが格納されると実行します。レンジ比較は、レンジ比較上下限閾値選択ビット(ADRCSS.RCOTS[1-0])により選択した上下限閾値設定レジスタ(ADRCUT/ADRCLT)と A/D データビット(ADTCD.D[11-0])を比較します。上下限閾値と A/D 変換結果の比較による範囲内、または範囲外の確認は以下図 17 のようになります。また、検出対象をまとめたものを表 2 に示します。

- 図 17 において、A/D 変換結果 1, 4, 5 は、範囲内の設定で検出されます。
- 図 17 において、A/D 変換結果 2, 3, 6 は、範囲外の設定で検出されます。

図 17 A/D 変換レンジ比較機能の動作

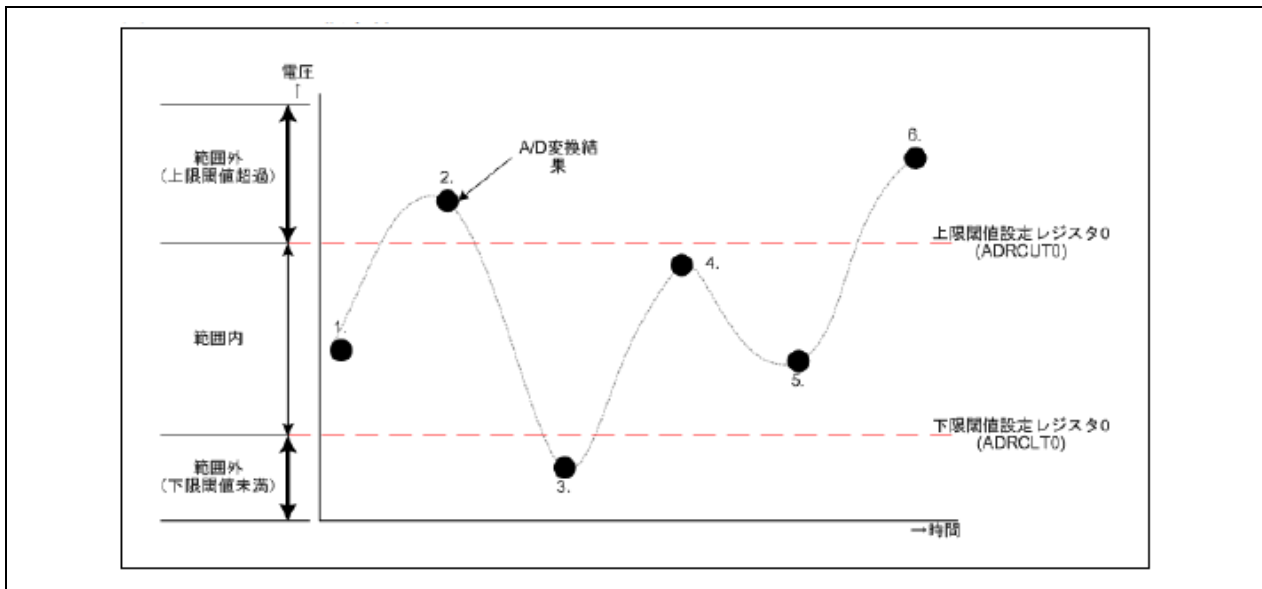


表 2 レンジ比較上下限閾値選択

レンジ比較結果	範囲外確認 (ADRCSS: RCOIRS="0")	範囲内確認 (ADRCSS: RCOIRS="1")
範囲外 (上限閾値超過) A/D データビット > 上限閾値設定レジスタ	検出	未検出
範囲内 A/D データビット ≤ 上限閾値設定レジスタ かつ A/D データビット ≥ 下限閾値設定レジスタ	未検出	検出
範囲外(下限閾値未満) A/D データビット < 下限閾値設定レジスタ	検出	未検出

また、レンジ比較機能では、連続検出回数の設定が可能です。連続検出設定は、レンジ比較結果の連続検出を行いノイズなどを除去します。レンジ比較結果の検出を連続検出回数の設定(ADRCSS.RCOCD[2-0])により設定した回数を検出したとき、レンジ比較割込み要因フラグビット(ADRCIF.RCINT)に 1 が設定されます。連続検出中に一度でもレンジ比較結果が未検出となった場合、連続検出のカウントは、0 回にクリアされ測定をやり直します。

4 使用するレジスタについて

A/D 変換機能の基本的な設定で示したレジスタ詳細を以下に示します。

4.1 アナログ入力制御レジスタ (ADER)

アナログ入力制御レジスタ (ADER) は、アナログ入力を制御するレジスタです。

このレジスタは、キーコード対象レジスタになります。キーコードレジスタの設定方法については、S6J3110 / S6J3120 Series HARDWARE MANUAL の 12 Bit-A/D Converter 章の 4.1.1.Key Code Register を参照してください。

表 3 アナログ入力制御レジスタの設定内容

ビット	ビット名	説明	レジスタ設定	
			設定値	設定内容
31-0	ADE[31-0]	アナログ入力許可ビット	1	アナログ入力許可

※アナログ入力チャネルが Channel14 の場合、ADE14=1 を設定します。

4.2 A/D モード設定レジスタ (ADMD)

A/D モード設定レジスタ (ADMD) は、A/D 変換のコンペア時間やサンプリング時間に関する設定を行います。

表 4 A/D モード設定レジスタの設定内容

ビット	ビット名	説明	レジスタ設定	
			設定値	設定内容
7	STPCEN	チャネルごとのサンプリング時間設定許可ビット	0	全チャネル共通のサンプリング時間設定
6-4	Reserved	予約	0	—
3-2	CT[1-0]	コンペア時間設定ビット	0	28 周辺クロックサイクル設定
1-0	ST[1-0]	サンプリング時間設定ビット	3	48 周辺クロックサイクル設定

4.3 A/D 起動トリガ拡張制御レジスタ (ADTECS)

A/D 起動トリガ拡張制御レジスタ (ADTECS) は、起動要因選択およびアナログ入力チャネルの選択を行います。

表 5 A/D 起動トリガ拡張制御レジスタの設定内容

ビット	ビット名	説明	レジスタ設定	
			設定値	設定内容
15-9	Reserved	予約	0	—
8	STS2	A/D 起動要因選択ビット	0	ソフトウェア起動
7-5	Reserved	予約	0	—
4-0	CHSEL[4-0]	アナログチャネル選択ビット	14	チャネル 14

4.4 A/D 起動トリガ制御状態レジスタ (ADTCS)

A/D 起動トリガ制御状態レジスタ(ADTCS)は、A/D 起動要求確認、割込み要求の許可、禁止、割込み要求の状態確認、起動要因選択、変換モード選択、保護機能制御、コンペア動作に使用するコンペア値の選択、コンペア値のバッファ制御、およびアナログ入力チャネルの選択に使用します。

表 6 A/D 起動トリガ制御状態レジスタの設定内容

ビット	ビット名	説明	レジスタ設定	
			設定値	設定内容
15	BUSY	A/D 起動要求中ビット	0	A/D 起動要求強制停止
14	INT	割込み要求フラグビット	0	A/D 変換未終了
13	INTE	割込み要求許可ビット	1	割込み要求出力の許可
12-11	STS[1-0]	A/D 起動要因選択ビット	0	ソフトウェア起動
10	RPT	リピート変換選択ビット	1	リピート変換
9	PRT	A/D データレジスタ保護有効ビット	0	保護無効
8	PRTS	A/D データレジスタ保護解除選択ビット	0	フラグクリア
7-6	SEL[1-0]	カウント方向選択ビット	0	アップダウンカウント両方時 (フリーランタイム未使用時は無効)
5	BUFX	コンペアレジスタバッファ機能制御ビット	1	無効
4	BTS	コンペアレジスタバッファ転送制御ビット	0	上記 BUFX 未使用時は無効
3-0	Reserved	予約	0	—

※本アプリケーションノートでの設定例では、BUSY、INT、PRTS、SEL[1-0]、BUFX、BTS ビットは、初期設定の状態にしています。

4.5 A/D 起動トリガ制御状態クリアレジスタ (ADTCSC)

A/D 起動トリガ制御状態クリアレジスタ(ADTCSC)は、A/D 起動トリガ制御状態レジスタ(ADTCS)の BUSY ビット、または INT ビットをクリアするレジスタです。

表 7 A/D 起動トリガ制御状態レジスタの設定内容

ビット	ビット名	説明	レジスタ設定	
			設定値	設定内容
15	BUSYC	BUSY クリアビット	1	ADTCS レジスタの BUSY をクリアする。
14	INTC	INT クリアビット	1	ADTCS レジスタの INT をクリアする。
13-0	Reserved	予約	0	—

4.6 レンジ比較制御レジスタ(ADRCSS)

レンジ比較制御状態レジスタ(ADRCSS)は、連続検出回数指示および状態確認、範囲内、範囲外確認選択、レンジ比較割込み要求の許可、禁止、レンジ比較実行許可、禁止および上下限閾値の選択を行います。

表 8 レンジ比較制御状態レジスタの設定内容

ビット	ビット名	説明	レジスタ設定	
			設定値	設定内容
7-5	RCOCD[2-0]	連続検出回数指定, 状態表示ビット	1	連続検出回数 1 回
4	RCOIRS	範囲内, 範囲外確認選択ビット	1	範囲内を確認
3	RCOIE	レンジ比較割込み要求許可ビット	1	レンジ比較割込み許可
2	RCOE	レンジ比較実行許可ビット	1	レンジ比較実行許可
1-0	RCOTS[1-0]	上下限閾値選択ビット	0	上限閾値設定レジスタ 0/下限閾値設定レジスタ 0 を選択

4.7 上限閾値設定レジスタ(ADRCUT)

上限閾値設定レジスタ(ADRCUT)は、レンジ比較で使用する上限閾値を設定します。

表 9 上限閾値設定レジスタの設定内容

ビット	ビット名	説明	レジスタ設定	
			設定値	設定内容
15-12	Reserved	予約	0	—
11-0	C[11-0]	上限閾値ビット	0x800 (※)	上限閾値

※上記の上限閾値ビットの値は設定例になります。

4.8 下限閾値設定レジスタ(ADRCLT)

下限閾値設定レジスタ(ADRCLT)は、レンジ比較で使用する下限閾値を設定します。

表 10 下限閾値設定レジスタの設定内容

ビット	ビット名	説明	レジスタ設定	
			設定値	設定内容
15-12	Reserved	予約	0	—
11-0	C[11-0]	下限閾値ビット	0x555 (※)	下限閾値

※上記の下限閾値ビットの値は設定例になります。

4.9 A/D ソフトウェア起動チャネル選択レジスタ(ADTSE)

A/D ソフトウェア起動チャネル選択レジスタ(ADTSE)は、ソフトウェアで A/D 起動要求を行う起動チャネルを選択するレジスタです。

表 11 A/D ソフトウェア起動チャネル選択レジスタの設定内容

ビット	ビット名	説明	レジスタ設定	
			設定値	設定内容
31-0	ADT[31-0]	ソフトウェア起動	1	ソフトウェア起動許可

4.10 A/D ソフトウェア起動レジスタ(ADTSS)

A/D ソフトウェア起動レジスタ(ADTSS)は、12 ビット A/D コンバータの A/D 起動要求を行うレジスタです。なお、起動するチャネルは、A/D ソフトウェア起動チャネル選択レジスタ(ADTSE)で設定される起動されるチャネルに対してです。

表 12 A/D ソフトウェア起動レジスタの設定内容

ビット	ビット名	説明	レジスタ設定	
			設定値	設定内容
7-1	Reserved	予約	0	—
0	START	A/D 変換起動ビット(ソフトウェア)	1	A/D 変換機能を起動

4.11 A/D データレジスタ(ADTCD)

A/D データレジスタ(ADTCD)は、A/D 変換結果を格納するレジスタです。

表 13 A/D データレジスタの設定内容

ビット	ビット名	説明	レジスタ設定	
			設定値	設定内容
15	ERR	変換データエラーフラグビット	0, 1	変換データが正常(0)、またはエラー(1)を示す。
14	ERRST	変換データエラー状態ビット	0, 1	変換データが古い結果(0)、または新しいデータ(1)に上書きされた状態を示す。上記 ERR ビットがエラーのとき、エラー内容を示す。
13-12	Reserved	予約	—	—
11-0	D[11-0]	A/D データビット	0—0xFFF	変換データ

本レジスタは書き込みによる設定は行いません。読出しによるアクセスになります。

4.12 レンジ比較フラグレジスタ(ADRCIF)

レンジ比較フラグレジスタ(ADRCIF)は、レンジ比較結果の連続検出による割込み要因を表示します。対応する起動チャネルのレンジ比較結果の連続検出によって RCINT ビットは、1 に設定されます。

表 14 レンジ比較フラグレジスタの設定内容

ビット	ビット名	説明	レジスタ設定	
			設定値	設定内容
31-0	RCINT[31-0]	変換データエラーフラグビット	0, 1	レンジ比較割込み要因クリア状態(0)、または要因発生状態(1)

本レジスタの特定の RCINT ビットをクリアする場合は、ADRCIFC レジスタの RCINTC ビットにおいて 1 を設定してクリアしてください。RCINT ビットは読み出しアクセスのみです。

4.13 レンジ比較フラグクリアレジスタ(ADRCIFC)

レンジ比較フラグクリアレジスタ(ADRCIFC)は、レンジ比較フラグレジスタ(ADRCIF)のビットをクリアするために使用します。

表 15 レンジ比較フラグクリアレジスタの設定内容

ビット	ビット名	説明	レジスタ設定	
			設定値	設定内容
31-0	RCINTC[31-0]	レンジ比較割込み要因フラグクリアビット	1	ADRCIF レジスタの RCINT をクリアする

5 参考文献

- [1]. 32-BIT MICROCONTROLLER Spansion Traveo Family S6J3110 series HARDWARE MANUAL
- [2]. 32-BIT MICROCONTROLLER Spansion Traveo Family S6J3120 series HARDWARE MANUAL

6 改訂履歴

ドキュメント名: AN204457 - S6J3110 / S6J3120 シリーズ A/D コンバータの使用方法

ドキュメント番号: 002-04458

Revision	ECN	変更者	発行日	変更内容
**	-	KHAS	07/31/2015	スパンションアプリケーションノート S6J3110_AN708-00015-1v0-J をサイプレスとして登録したものです。
*A	5605394	KHAS	01/27/2017	これは英語版の 002-04457 Rev. *A を翻訳した日本語版です。
*B	6179313	YSAT	05/18/2018	Cypress の新ロゴを適用。

セールス、ソリューションおよび法律情報

ワールドワイドな販売と設計サポート

サイプレスは、事業所、ソリューション センター、メーカー代理店、および販売代理店の世界的なネットワークを保持しています。お客様の最寄りのオフィスについては、[サイプレスのロケーション ページ](#)をご覧ください。

製品

Arm® Cortex® Microcontrollers	cypress.com/arm
車載用	cypress.com/automotive
クロック&バッファ	cypress.com/clocks
インターフェース	cypress.com/interface
IoT (モノのインターネット)	cypress.com/iot
メモリ	cypress.com/memory
マイクロコントローラ	cypress.com/mcu
PSoC	cypress.com/psoc
電源用 IC	cypress.com/pmic
タッチ センシング	cypress.com/touch
USB コントローラー	cypress.com/usb
ワイヤレス	cypress.com/wireless

PSoC® ソリューション

[PSoC 1](#) | [PSoC 3](#) | [PSoC 4](#) | [PSoC 5LP](#) | [PSoC 6 MCU](#)

サイプレス開発者コミュニティ

[コミュニティ](#) | [Projects](#) | [ビデオ](#) | [ブログ](#) | [トレーニング](#) | [Components](#)

テクニカルサポート

cypress.com/support

All other trademarks or registered trademarks referenced herein are the property of their respective owners.



Cypress Semiconductor
198 Champion Court
San Jose, CA 95134-1709

© Cypress Semiconductor Corporation, 2015-2018. 本書面は、Cypress Semiconductor Corporation 及び Spansion LLC を含むその子会社（以下「Cypress」という。）に帰属する財産である。本書面（本書面に含まれ又は言及されているあらゆるソフトウェア若しくはファームウェア（以下「本ソフトウェア」という。）を含む）は、アメリカ合衆国及び世界のその他の国における知的財産法令及び条約に基づき Cypress が所有する。Cypress はこれらの法令及び条約に基づく全ての権利を留保し、本段落で特に記載されているものを除き、その特許権、著作権、商標権又はその他の知的財産権のライセンスを一切許諾しない。本ソフトウェアにライセンス契約書が伴っておらず、かつ Cypress との間で別途本ソフトウェアの使用法を定める書面による合意がない場合、Cypress は、(1) 本ソフトウェアの著作権に基づき、(a) ソースコード形式で提供されている本ソフトウェアについて、Cypress ハードウェア製品と共に用いるためにのみ、かつ組織内部でのみ、本ソフトウェアの修正及び複製を行うこと、並びに (b) Cypress のハードウェア製品ユニットに用いるためにのみ、（直接又は再販売者及び販売代理店を介して間接のいずれかで）本ソフトウェアをバイナリーコード形式で外部エンドユーザーに配布すること、並びに (2) 本ソフトウェア（Cypress により提供され、修正がなされていないもの）が抵触する Cypress の特許権のクレームに基づき、Cypress ハードウェア製品と共に用いるためにのみ、本ソフトウェアの作成、利用、配布及び輸入を行うことについての非独占的で譲渡不能な一身専属的ライセンス（サブライセンスの権利を除く）を付与する。本ソフトウェアのその他の使用、複製、修正、変換又はコンパイルを禁止する。

適用される法律により許される範囲内で、Cypress は、本書面又はいかなる本ソフトウェア若しくはこれに伴うハードウェアに関しても、明示又は黙示を問わず、いかなる保証（商品性及び特定の目的への適合性の黙示の保証を含むがこれらに限られない）も行わない。いかなるコンピューティングデバイスも絶対に安全ということはない。従って、Cypress のハードウェアまたはソフトウェア製品に講じられたセキュリティ対策にもかかわらず、Cypress は、Cypress 製品への権限のないアクセスまたは使用といったセキュリティ違反から生じる一切の責任を負わない。加えて、本書面に記載された製品には、エラーと呼ばれる設計上の欠陥またはエラーが含まれている可能性があり、公表された仕様とは異なる動作をする場合がある。適用される法律により許される範囲内で、Cypress は、別途通知することなく、本書面を変更する権利を留保する。Cypress は、本書面に記載のある、いかなる製品若しくは回路の適用又は使用から生じる一切の責任を負わない。本書面で提供されたあらゆる情報（あらゆるサンプルデザイン情報又はプログラムコードを含む）は、参照目的のためのみに提供されたものである。この情報で構成するあらゆるアプリケーション及びその結果としてのあらゆる製品の機能性及び安全性を適切に設計、プログラム、かつテストすることは、本書面のユーザーの責任において行われるものとする。Cypress 製品は、兵器、兵器システム、原子力施設、生命維持装置若しくは生命維持システム、蘇生用の設備及び外科的移植を含むその他の医療機器若しくは医療システム、汚染管理若しくは有害物質管理の運用のために設計され若しくは意図されたシステムの重要な構成部分としての使用、又は装置若しくはシステムの不具合が人身傷害、死亡若しくは物的損害を生じさせるようなその他の使用（以下「本目的外使用」という。）のためには設計、意図又は承認されていない。重要な構成部分とは、その不具合が装置若しくはシステムの不具合を生じさせるか又はその安全性若しくは実効性に影響すると合理的に予想できるような装置若しくはシステムのあらゆる構成部分をいう。Cypress 製品のあらゆる本目的外使用から生じ、若しくは本目的外使用に関連するいかなる請求、損害又はその他の責任についても、Cypress はその全部又は一部を問わず一切の責任を負わず、かつ Cypress はそれら一切から本書により免除される。Cypress は Cypress 製品の本来目的外使用から生じ又は本目的外使用に関連するあらゆる請求、費用、損害及びその他の責任（人身傷害又は死亡に基づく請求を含む）から免責補償される。

Cypress, Cypress のロゴ, Spansion, Spansion のロゴ及びこれらの組み合わせ, WICED, PSoC, CapSense, EZ-USB, F-RAM, 及び Traveo は、米国及びその他の国における Cypress の商標又は登録商標である。Cypress のより完全な商標のリストは、cypress.com を参照すること。その他の名称及びブランドは、それぞれの権利者の財産として権利主張がなされている可能性がある。