



本ドキュメントは Cypress (サイプレス) 製品に関する情報が記載されております。本ドキュメントには、「MB」から始まるシリーズ名、品名およびオーダ型格が記載されておりますが、これらはすべて「CY」から始まるシリーズ名、品名およびオーダ型格として、新規および既存のお客様に引き続き提供してまいります。

### オーダ型格の調べ方について

1. [www.cypress.com/pcn](http://www.cypress.com/pcn) にアクセスしてください。
2. SEARCH PCNS フィールドに、オーダ型格などのキーワードを入力し、「Apply」をクリックしてください。
3. 該当するタイトル(Title)をクリックしてください。
4. 「Affected Parts List」ファイルを開いてください。  
当該ファイルに記載されている各種変更情報をご利用ください。

### 詳しいお問い合わせ先

Cypress 製品およびそのソリューションの詳細につきましては、お近くの営業所へお問い合わせください。

### サイプレスについて

サイプレスは、世界で最も革新的な車載や産業機器、スマート家電、民生機器および医療機器製品向けに、最先端の組み込みシステム ソリューションを提供するリーディングカンパニーです。サイプレスのマイクロコントローラーや、アナログ IC、ワイヤレスおよび USB ベースのコネクティビティ ソリューション、高い信頼性と高性能を提供するメモリ製品は、各種機器メーカーの差異化製品の開発と早期市場参入を支援します。サイプレスは、ベストクラスのサポートと開発リソースをグローバルに提供することで、彼らが従来市場を破壊しまったく新しい製品カテゴリを歴史的なスピードで市場投入できるよう支援します。詳細はサイプレスのウェブサイト ([japan.cypress.com](http://japan.cypress.com)) をご覧ください。

# AN204450

## Traveo™ Family, MB9D560 クロックシステムの設定方法

### 関連製品ファミリ: シリーズ名 製品番号

|         |                             |
|---------|-----------------------------|
| MB9D560 | MB9DF564MAE/F565MAE/F566MAE |
|         | MB9DF564MGE/F565MGE/F566MGE |

本アプリケーションノートは、サイプレス製マイコン Traveo ファミリ MB9D560 の利用を検討されている方を対象としています。MB9D560 のクロックシステムを設定するためには固有の手順が必要になります。本アプリケーションノートでは、モータ制御用マイコンである MB9D560 を最大周波数 (200MHz) で動作させる場合のクロックシステムの設定方法について記載します。

## Contents

|                                |   |
|--------------------------------|---|
| 1 はじめに.....1                   | 3.2 システムクロック変更.....6                      |
| 1.1 この文書について.....1             | 4 参考文献.....15                             |
| 1.2 開発環境.....1                 | 5 改訂履歴.....16                             |
| 2 クロックシステム概要.....2             | Worldwide Sales and Design Support.....17 |
| 3 システムクロック変更処理.....3           |   |
| 3.1 TCFLASH のウェイトサイクル数設定.....4 |   |

## 1 はじめに

### 1.1 この文書について

本アプリケーションノートは、サイプレス製マイコン Traveo ファミリ MB9D560 の利用を検討されている方を対象としています。

MB9D560 のクロックシステムを設定するためには固有の手順が必要になります。

本アプリケーションノートでは、モータ制御用マイコンである MB9D560 を最大周波数 (200MHz) で動作させる場合のクロックシステムの設定方法について記載します。

### 1.2 開発環境

本アプリケーションノートの内容は表 1 に示す環境で開発されています。

表 1. 開発環境

|        |                    |
|--------|--------------------|
| マイコン   | MB9DF566MGB        |
| 統合開発環境 | MULTI v6.1.4       |
| 評価ボード  | MB2198-770-02-E0   |
| 最適化    | Optimize for Speed |

## 2 クロックシステム概要

クロックシステムは MCU を動作させるための様々なクロックを提供します。

MCU の外部/内蔵発振クロックを総称してソースクロックとよびます。ソースクロックは MCU を動作させるために使用する内部動作クロックの生成元となります。

クロックシステムでは以下のソースクロックを生成します。

- 高速 CR クロック
- 低速 CR クロック
- メインクロック/メイン 2 分周クロック
- PLL クロック

外部/内蔵発振回路から高速 CR クロック、低速 CR クロック、メインクロックを生成し、さらにメインクロックを分周することによってメイン 2 分周クロックを生成します。

また、メインクロックおよび内蔵 PLL 発振回路から PLL クロックを生成します。

メインクロック、PLL クロックを使用する場合はクロックスーパーバイザによるクロックの監視が可能です。

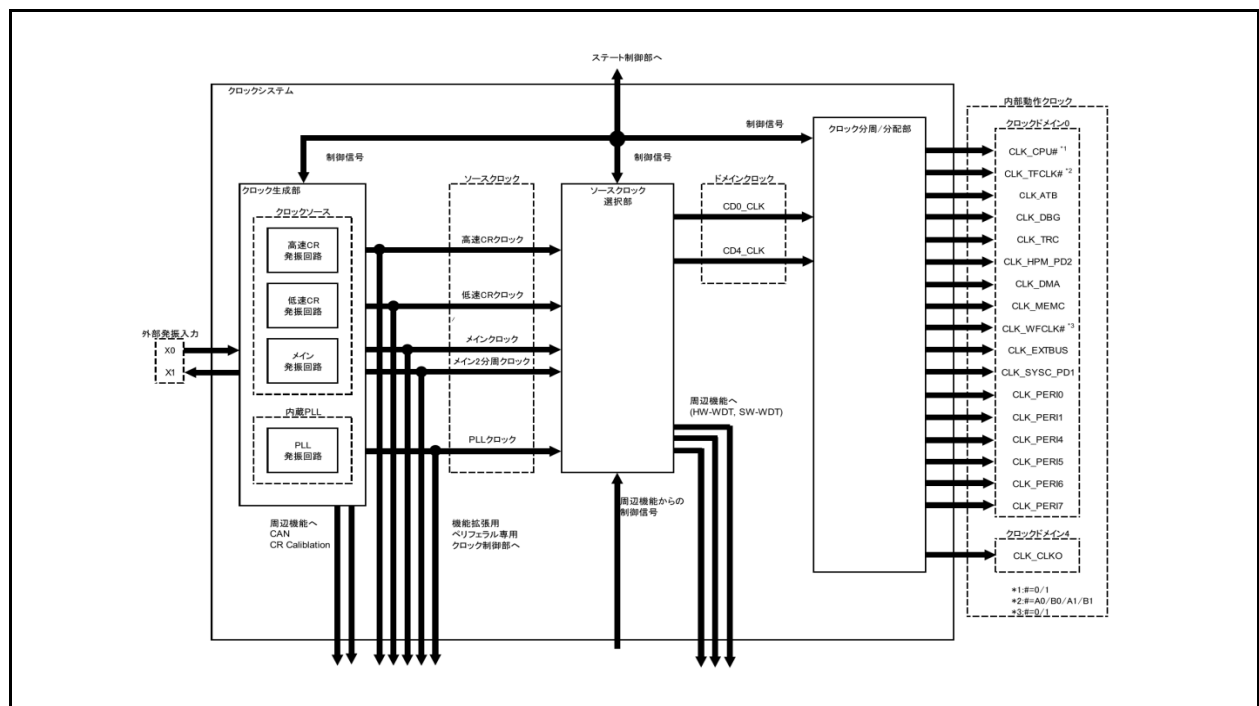
同一のソースクロックから生成される内部動作クロックを使用する領域をクロックドメインとよびます。クロックドメインは 1 つ以上の内部動作クロックを持っています。

クロックシステムは以下のクロックドメインにクロックを供給します。

- クロックドメイン 0 (システム領域)
- クロックドメイン 4 (外部出力クロック領域)

クロックドメインごとに使用するソースクロックを選択できます。各クロックドメインでは選択したソースクロックを分周し、内部動作クロックとして MCU 内にクロックを分配します。

図 1. クロックシステムブロックダイアグラム

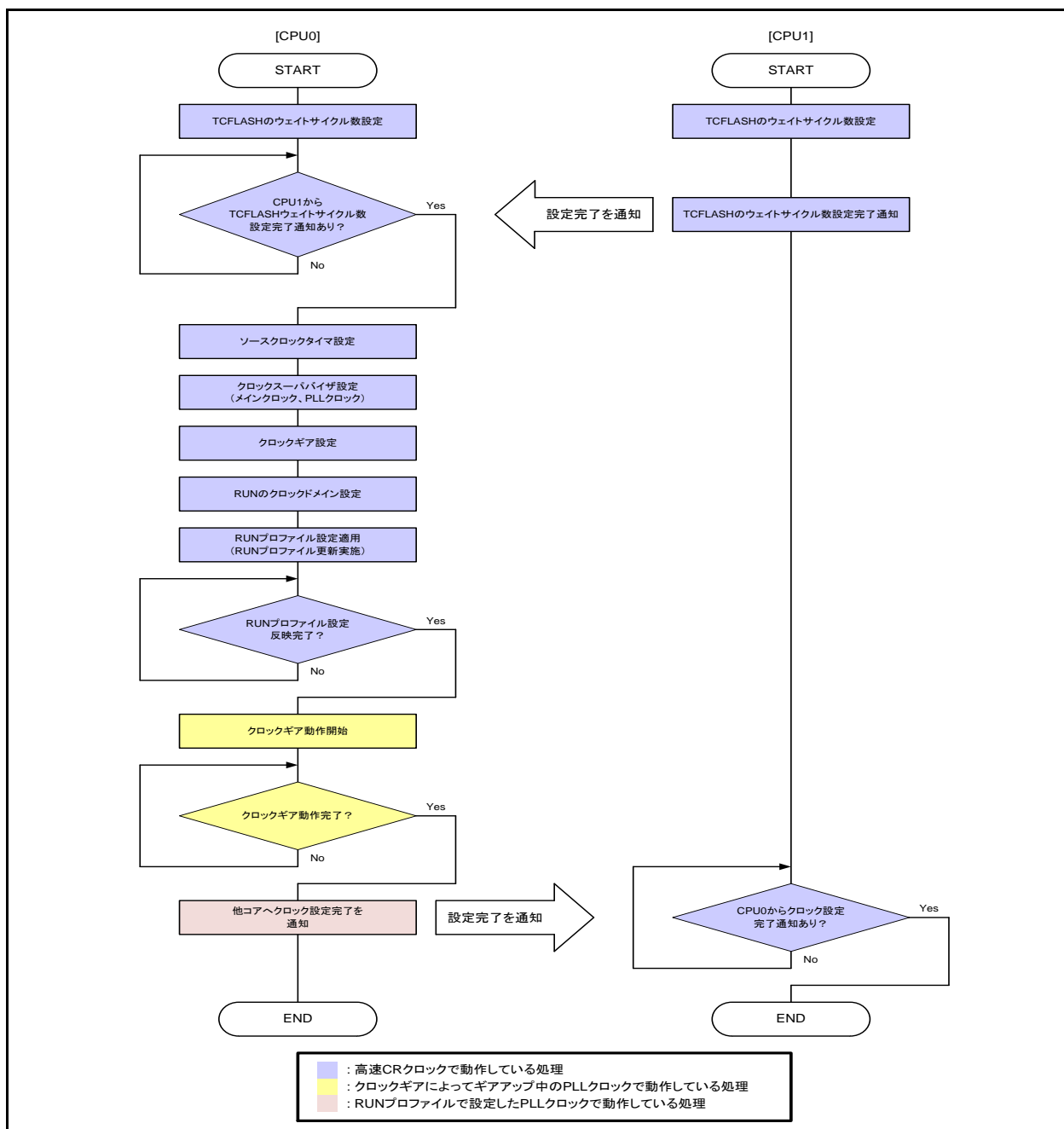


### 3 システムクロック変更処理

RUN のシステムクロックを変更する手順を図 2 に記します。

なお、システムクロックの変更を行う場合、コア間で同期をとる必要があります。コア間で同期をとる方法については 2CPU モード時の注意についてのアプリケーションノートを参照してください。

図 2. システムクロック変更手順



### 3.1 TCFLASH のウェイトサイクル数設定

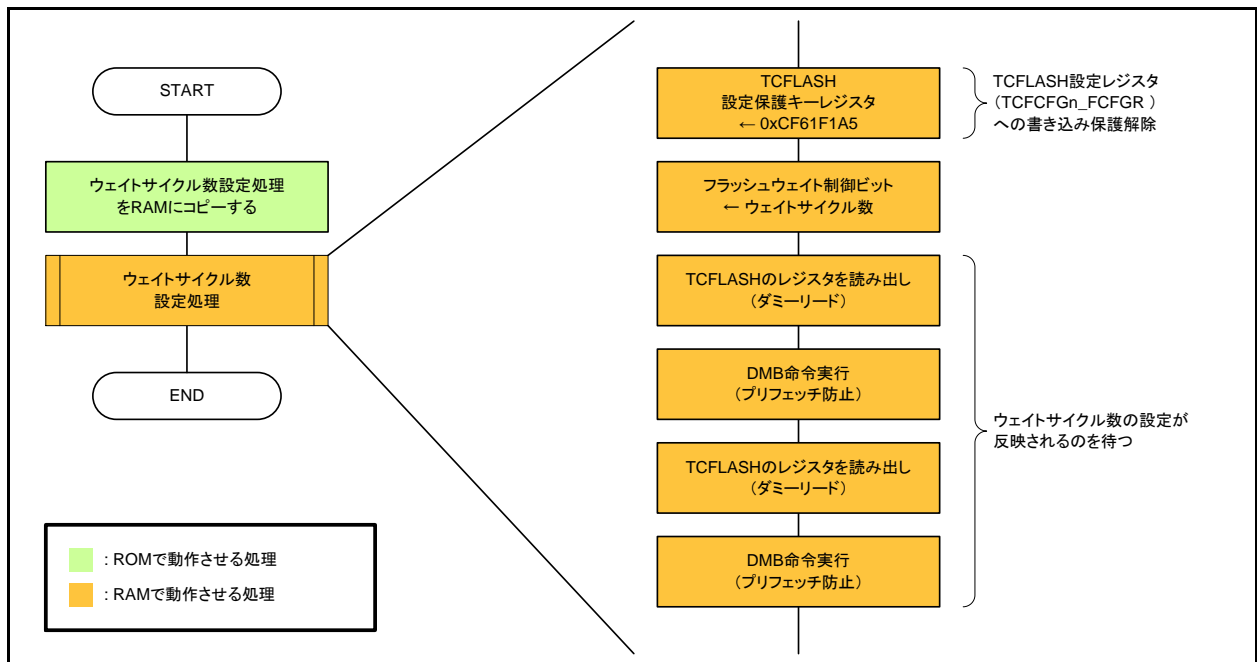
システムの動作周波数が TCFLASH の最大動作周波数(80MHz)より大きい場合、TCFLASH にアクセスする際に適切なウェイトサイクルを挿入する必要があります。TCFLASH 設定レジスタのフラッシュウェイト制御ビット (TCFCFGn\_FCFGR[bit1:0]) に値を設定することでウェイトサイクルを挿入することができます。

ウェイトサイクル数を設定する手順を図 3 に記します。

本マイコンでは 2 つの TCFLASH が搭載されているため、各コアから接続先の TCFLASH のウェイトサイクル数を設定する必要があります。

なお、ウェイトサイクル数の設定は必ずシステムクロックを変更する前に行ってください。

図 3. TCFLASH ウェイトサイクル数変更手順



#### 3.1.1 ウェイトサイクル設定前準備

ウェイトサイクル数の設定中は TCFLASH へのアクセス（データ読み出しまたはプログラム実行）が禁止されているため、ウェイトサイクル数の設定処理は RAM で動作させる必要があります。ウェイトサイクル数の設定処理を RAM で動作させる手順を以下に記します。

1. ROM と RAM にそれぞれウェイトサイクル数設定処理用のセクションを用意
2. 1.で作成したセクション（RAM）を指定してウェイトサイクル数設定処理を実装
3. 1.で作成したセクション（ROM）内のデータを 1.で作成したセクション（RAM）にコピーする処理を実装
4. 3.で実装した処理を実行後に 1.で作成したセクション（RAM）にコピーしたウェイトサイクル数設定処理を実行する処理を実装

ウェイトサイクル数設定処理の実装例を図 4、図 5 に記します。

図 4. TCFLASH ウェイトサイクル数設定例 (CPU0)

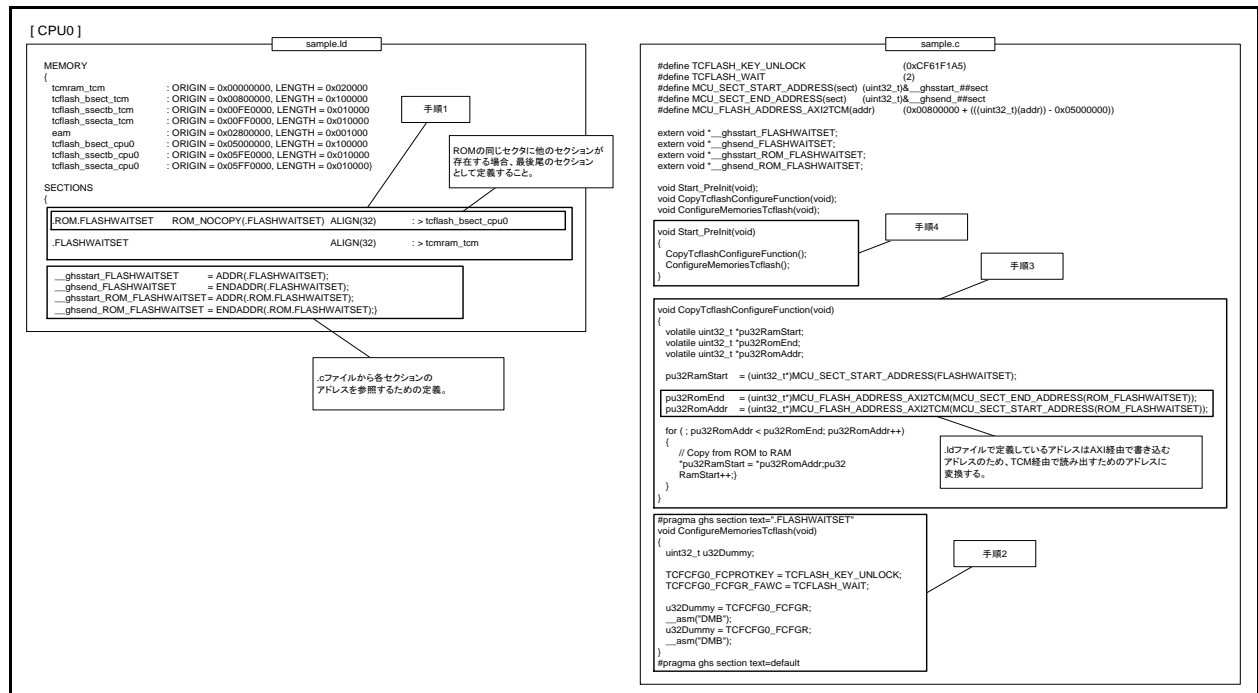
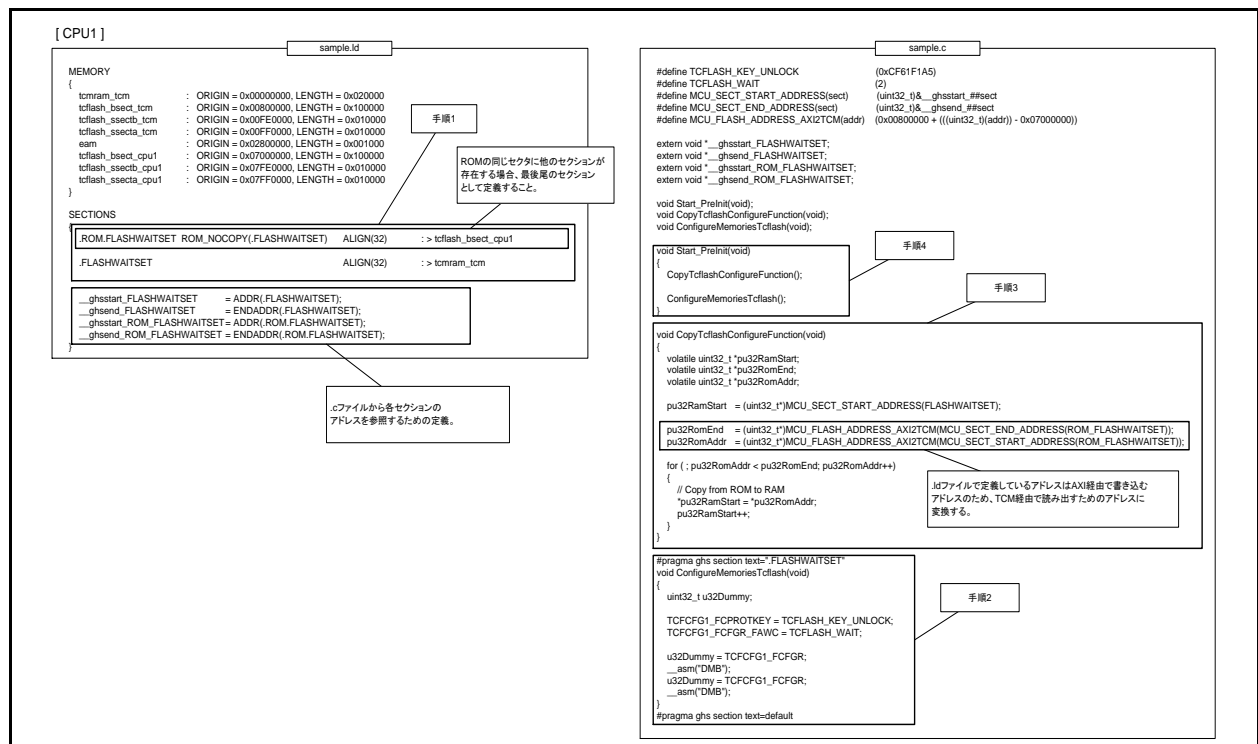


図 5. TCFLASH ウェイトサイクル数設定例 (CPU1)



### 3.1.2 ウェイトサイクル数算出方法

TCFLASH 設定レジスタのフラッシュウェイト制御ビット (TCFCFGn\_FCFGR[bit1:0]) に設定するウェイトサイクル数は以下の計算式から算出します。

$$(\text{システム動作周波数} \div \text{TCFLASH の最大動作周波数}) - 1 = \text{挿入するウェイトサイクル数 (※)}$$

※計算結果が小数となった場合、小数部を切り上げて値を整数化してください。

例) システム動作周波数: 200MHz、TCFLASH の最大動作周波数: 80MHz の場合

$$(\text{システム動作周波数} \div \text{TCFLASH の最大動作周波数}) - 1$$

$$= 200 \div 80 - 1$$

$$= 3 - 1$$

$$= 2$$

## 3.2 システムクロック変更

本マイコンは電源投入後、高速 CR クロックにて動作します。システムクロックの周波数を変更するためには以下の設定を行い、RUN プロファイルに設定を反映させてください。RUN プロファイル設定後、クロックギアを動作させることによって設定したステップ数をかけて徐々にシステムクロックの周波数が変化します。

誤動作を引き起こす原因となりうるので、システムクロックの周波数変更中は全てのコアがペリフェラルにアクセスすることがないようにしてください。

なお、本章で記載しているレジスタは全て書込みがロックされています。レジスタに対して書込みを行う際は必ずプロテクション・キー設定レジスタ (SYSC\_PROTKEYR) に解除コード (0x5CACCE55) を書き込んでロックを解除してから行ってください。ロックの解除は書込みを行う際に毎回必要となります。

### 3.2.1 ソースクロックタイマ設定

クロックの発振安定待ち時間までクロック出力をゲーティングするためにソースクロックタイマを使用します。ソースタイマを使用するためには表 2 のレジスタを設定する必要があります。システムクロックを高速 CR クロックから PLL クロック (200MHz) に変更する場合の設定例を表 2 に記します。

表 2. ソースクロックタイマ設定例 (PLL クロック 200MHz 使用時)

| レジスタ略称           | ビット名        | 設定内容                   | 設定値        |
|------------------|-------------|------------------------|------------|
| SYSC_MOCTCPR ※1  | PSCL        | メインクロックタイマの入力クロック分周比選択 | 0110(b) ※3 |
|                  | CMPR ※2     | メインクロックタイマのコンペア値       | 1D4C(h) ※3 |
| SYSC_MOCTTRGR ※4 | CGCPT       | タイマ設定変更/タイマカウント開始      | 1(b)       |
| SYSC_PLLSTCNR    | PLLSTABS ※5 | PLL 発振安定待ち時間を選択        | 1111(b)    |

※1: SYSC\_MOCTTRGR の CGCPT に"1"を書き込むことによって設定が反映されます。

SYSC\_MOCTTRGR の CGCPT に"1"を書き込む前に設定を完了してください。

※2: タイマ動作中に変更することは禁止です。

※3: メインクロックは 16MHz を想定した設定値です。

※4: 記載していないビットは変更不要です。

※5: PLL クロック発振許可設定後の設定変更は禁止です。

### 3.2.2 クロックスーパーバイザ設定

クロックスーパーバイザを使用することで、クロックの停止や周波数レンジ異常を検出することが可能です。クロックスーパーバイザは監視対象となるクロックと、一定時間を測定するための参照クロックをカウントし、カウンタを比較することで異常を検出します。

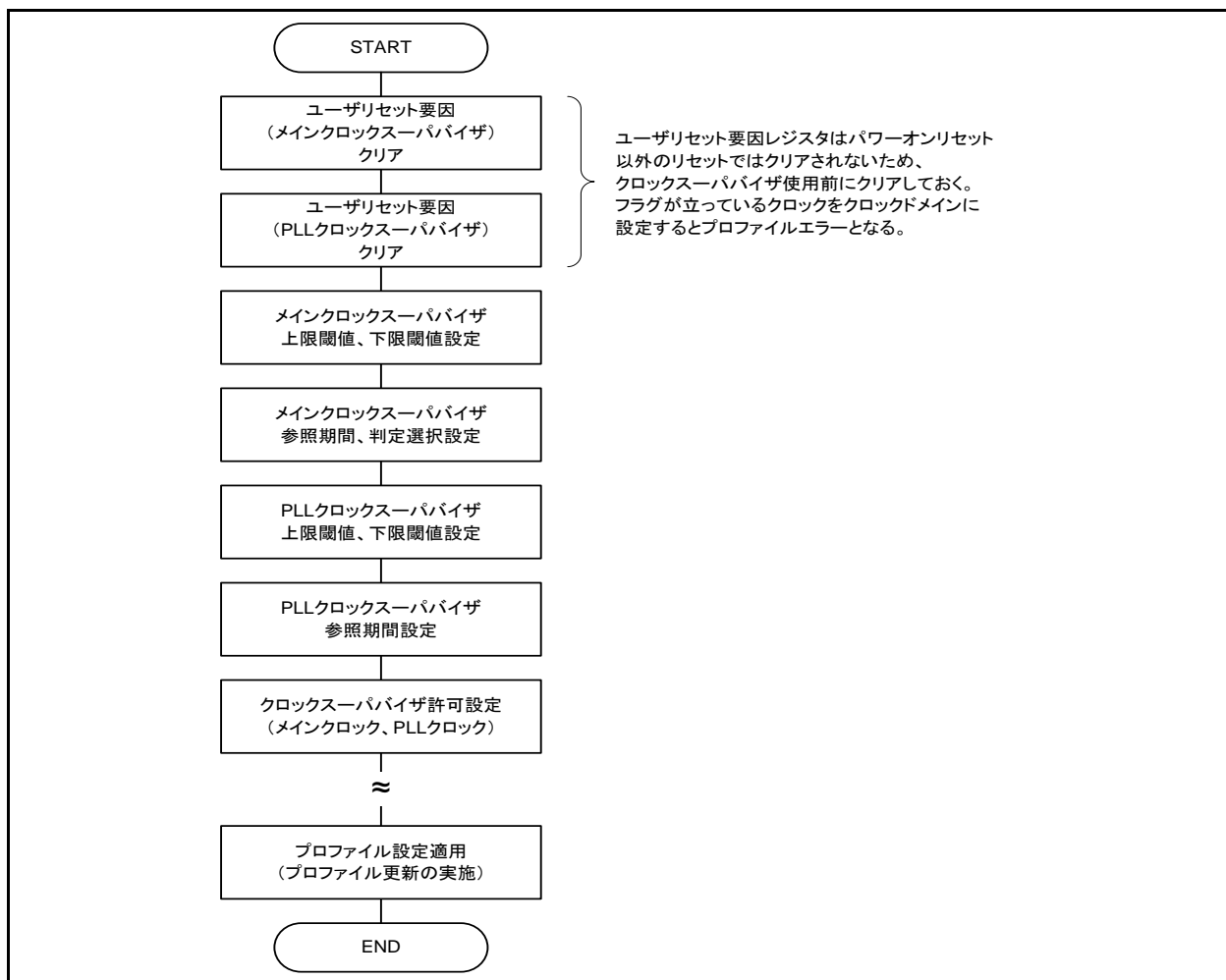
本マイコンには以下のクロックスーパーバイザが搭載されており、それぞれ独立しているため個別に許可/禁止の設定を行うことが可能です。

- メインクロックスーパーバイザ
- PLL クロックスーパーバイザ
- サブシステム PLL クロックスーパーバイザ (FlexRay/RDC 用 PLL)

本アプリケーションノートではメインクロックスーパーバイザおよび、PLL クロックスーパーバイザの使用方法について記します。サブシステム PLL クロックスーパーバイザの使用方法についてはハードウェアマニュアルを参照してください。

メインクロックスーパーバイザおよび PLL クロックスーパーバイザを使用する場合の設定手順を図 6 に記します。なお、クロックスーパーバイザは監視対象となるクロックの発振安定待ち完了後に動作を開始します。

図 6. クロックスーパーバイザ設定手順





### 3.2.2.1 クロックスーパーバイザ設定例

クロックスーパーバイザを使用するためには表 3 のレジスタを設定する必要があります。以下の条件でクロックスーパーバイザを使用する場合の設定例を表 3 に記します。

なお、表 3 には PSS 状態時の設定は含まれていません。PSS 状態時のメインクロックスーパーバイザの参照クロックには低速 CR クロックを選択することが可能です。低速 CR クロックを参照クロックとして使用する方法についてはハードウェアマニュアルを参照してください。

- 使用するクロックスーパーバイザ：メインクロックスーパーバイザ、PLL クロックスーパーバイザ
- メインクロックスーパーバイザ使用条件
  - メインクロック周波数：16MHz
  - 高速 CR クロック周波数：6～10MHz (typ：8MHz)
  - メインクロック周波数許容範囲：4～20MHz
  - 参照クロックカウント期間：60
- PLL クロックスーパーバイザ使用条件
  - PLL クロック周波数：200MHz
  - メインクロック周波数：8MHz
  - PLL クロック周波数許容範囲：80～500MHz
  - 参照クロックカウント期間：12

表 3. クロックスーパーバイザ設定例（メインクロック、PLL クロック使用時）

| レジスタ略称                    | ビット名      | 設定内容   | 設定値<br>(10 進数) |
|---------------------------|-----------|--|----------------|
| SYSC_CSMOCFGR00<br>※1、※2  | UPTHR     | メインクロックの周波数レンジ上限閾値<br>(参照クロック：高速 CR クロック)          | 200 ※3         |
|                           | LOWTHR    | メインクロックの周波数レンジ下限閾値<br>(参照クロック：高速 CR クロック)          | 24 ※3          |
| SYSC_CSMOCFGR01<br>※1     | JDGSEL    | メインクロック異常検出時の動作選択<br>(参照クロック：高速 CR クロック)           | 0 ※4           |
|                           | REFCLKWND | メインクロックスーパーバイザの参照クロックカウント期間<br>(参照クロック：高速 CR クロック) | 60             |
| SYSC_CSVPLLCFGR0<br>※2、※5 | UPTHR     | PLL クロックの周波数レンジ上限閾値<br>(参照クロック：メインクロック)            | 375 ※3         |
|                           | LOWTHR    | PLL クロックの周波数レンジ下限閾値<br>(参照クロック：メインクロック)            | 60 ※3          |
| SYSC_CSVPLLCFGR1<br>※5    | REFCLKWND | PLL クロックスーパーバイザの参照クロックカウント期間<br>(参照クロック：メインクロック)   | 12             |
| SYSC_RUNCSVCFGR           | PLLCSV    | PLL クロックスーパーバイザの許可                                 | 1              |
|                           | MOCSVE    | メインクロックスーパーバイザ許可                                   | 1              |

※1：メインクロックスーパーバイザ動作中に設定を変更することは禁止です。

※2：上限閾値＞下限閾値となる値を設定してください。

※3：閾値の算出方法は「3.2.2.2 クロックスーパーバイザ閾値算出方法」を参照してください。

※4：異常検出時、メインクロックがクロックドメイン 0 またはソフトウェアウォッチドッグタイマのクロックとして選択されている場合はリセットが発生します。それ以外は割込みが発生します。

※5：PLL クロックスーパーバイザ動作中に設定を変更することは禁止です。

### 3.2.2.2 クロックスーパーバイザ閾値算出方法

クロックスーパーバイザに設定する閾値は以下の計算式から算出します。

監視対象クロック周波数最大許容値 ÷ 参照クロック周波数最小値 × 参照クロックカウント期間  
= 上限閾値

監視対象クロック周波数最小許容値 ÷ 参照クロック周波数最大値 × 参照クロックカウント期間  
= 下限閾値

「3.2.2.1 クロックスーパーバイザ設定例」にある条件で使用的した場合、以下のようになります。

- メインクロックスーパーバイザ上限閾値  
メインクロック周波数最大許容値 ÷ 高速 CR クロック周波数最小値 × 参照クロックカウント期間  
=  $20 \div 6 \times 60$   
= 200
- メインクロックスーパーバイザ下限閾値  
メインクロック周波数最小許容値 ÷ 高速 CR クロック周波数最大値 × 参照クロックカウント期間  
=  $4 \div 10 \times 60$   
= 24
- PLL クロックスーパーバイザ上限閾値  
PLL クロック周波数最大許容値 ÷ メインクロック周波数最小値 × 参照クロックカウント期間  
=  $500 \div 16 \times 12$   
= 375
- PLL クロックスーパーバイザ下限閾値  
PLL クロック周波数最小許容値 ÷ メインクロック周波数最大値 × 参照クロックカウント期間  
=  $80 \div 16 \times 12$   
= 60

### 3.2.2.3 クロックスーパーバイザ注意事項

クロックスーパーバイザを使用する際は以下の点に注意してください。

- クロックスーパーバイザの動作許可/禁止はプロファイル設定により行います。クロックスーパーバイザ設定レジスタへの書き込みだけでは設定は反映されません。
- クロックスーパーバイザを停止する場合は必ず 同時に監視クロックの発振を停止してください。
- クロックスーパーバイザによるリセット要因フラグがセットされているクロックをクロックドメインに選択した場合、プロファイルエラーとなります。
- ユーザリセット要因レジスタ (SYSC\_RSTCAUSEUR) はパワーオンリセット時以外クリアされないため、クロックスーパーバイザ動作開始前にクロックスーパーバイザリセット検出ビットをクリアしておく必要があります。
- クロックスーパーバイザが異常を検出したことによるリセットが発生すると、システムクロックのソースクロックは高速 CR クロックに戻ります。

### 3.2.3 クロックギア設定

クロックギアはクロックギア回路に入力されたクロックを段階的に出力していきます。これにより周波数を徐々に変化させていくことができます。

クロックギアを使用せずにメインクロックから PLL クロックへの変更を行った場合、周波数が急激に変動することにより電源電流が大きく変動します。電源電流のオーバシュート/アンダシュートを避けるため、クロック変更時は必ずクロックギアを使用してください。

クロックギアを使用するためには表 4 のレジスタを設定する必要があります。以下の条件で使用する場合の設定例を表 2 に記します。

- メインクロック周波数：16MHz
- PLL クロック周波数：200MHz
- ループ回数：256 回
- ステップ幅：1
- スタートステップ：0

表 4. クロックギア設定例

| レジスタ略称         | ビット名        | 設定内容                      | 設定値       |
|----------------|-------------|---------------------------|-----------|
| SYSC_PLLCGCNTR | PLLCGLP ※1  | クロックギア動作の 1 ステップにおけるループ回数 | FF(h)     |
|                | PLLCGSTP ※1 | ギアアップ/ギアダウン時のステップ幅        | 00(b)     |
|                | PLLCGSSN ※1 | クロックギア動作開始ステップ            | 000000(b) |
|                | PLLCGSTR    | クロックギア動作開始                | 01(b) ※2  |
|                | PLLCGEN ※1  | クロックギア動作許可                | 1(b)      |

※1: PLL クロック発振許可設定後の設定変更は禁止です。

※2: プロファイル設定の適用後、クロックギアを動作させるタイミングで設定してください。

#### 3.2.3.1 クロックギア動作開始手順

表 4（PLLCGSTR を除く）の設定を行った後、以下の手順を行うことでクロックギアが動作を開始します。クロックギア動作開始後はクロックギアが完了するまで待ってください。

1. PLL クロックをドメインクロックとして選択
2. クロックギア制御レジスタ（SYSC\_PLLCGCNTR）の PLLCGSTR に"01"をセット
3. クロックギア制御レジスタ（SYSC\_PLLCGCNTR）の PLLCGSTS をポーリングし、クロックギアが停止する（PLLCGSTS が"10"になる）まで待つ

#### 3.2.3.2 クロックギア使用時の注意事項

クロックギアを使用する際は以下の点に注意してください。

- クロックギア制御レジスタ（SYSC\_PLLCGCNTR）の設定値は「3.2.4.3 クロックドメイン 0 ソースクロック選択」で記載している条件を満たしている必要があります。
- ステップ幅が小さく、ループ回数が大きいほど周波数は緩やかに変化していきます。
- クロックギアを動作許可に設定すると、クロックギア入力クロックの発振安定待ち時間経過後から PLLCGSSN の設定に応じたクロックを出力します。ただし、クロックギア動作開始設定が行われるまでギアアップ/ギアダウンは行いません。

### 3.2.4 RUN のクロックドメイン設定

#### 3.2.4.1 ソースクロック許可設定

ハードリセット直後は外部/内蔵発振回路からのソースクロック（高速 CR クロック、低速 CR クロック、メインクロック/メイン 2 分周クロック）のみが発振許可となり、PLL クロックは発振禁止となります。システムクロックのソースクロックを PLL クロック（200MHz）に変更するためには PLL クロックの発振を許可にする必要があります。PLL クロックの発振を許可にするためにはメインクロックの発振が許可になっている必要があります。メインクロックの発振が禁止となっていた場合、プロファイルエラーとなります。

表 5 のレジスタのビットに"1"を書き込むことにより、RUN 動作時の該当クロックの発振を許可に設定することができます。ただし、システムで使用されているクロックの設定を変更することはできません。また、RUN 動作時は高速 CR クロックおよび、低速 CR クロックの発振を禁止にすることはできません。

システムクロックのソースクロックを PLL クロック（200MHz）に変更する場合の RUN の設定例を表 5 に記します。

表 5. ソースクロック発振許可設定例

| レジスタ略称         | ビット名     | 設定内容           | 設定値 (2 進数) |
|----------------|----------|----------------|------------|
| SYSC_RUNCKSRER | PLLEN    | PLL クロック発振許可   | 1          |
|                | MOSCEN   | メインクロック発振許可    | 1          |
|                | SCROSCEN | 低速 CR クロック発振許可 | 1          |
|                | CROSCEN  | 高速 CR クロック発振許可 | 1          |

#### 3.2.4.2 PLL クロック分周設定

内蔵している PLL 発振回路により、メインクロックから PLL クロックを生成します。RUN 動作時、以下の条件でメインクロック 16MHz から PLL クロック 200MHz を生成する場合の設定例を表 6 に記します。

- N 通倍 : 25 通倍
- M 分周 : 2 分周
- 入力クロック分周 : 分周なし

表 6. PLL クロック分周設定例

| レジスタ略称          | ビット名    | 設定内容            | 設定値 (10 進数) |
|-----------------|---------|-----------------|-------------|
| SYSC_RUNPLLCNTR | PLLDIVN | PLL クロック N 通倍設定 | 24          |
|                 | PLLDIVM | PLL クロック M 分周設定 | 1           |
|                 | PLLDIVL | PLL 入力クロック分周設定  | 0           |

#### 3.2.4.3 クロックドメイン 0 ソースクロック選択

ハードリセット直後、全てのクロックドメインはソースクロックに高速 CR クロックが選択されている状態になります。システムクロックのソースクロックを PLL クロック（200MHz）に変更する場合はクロックドメイン 0 のソースクロックに PLL クロックを設定する必要があります。クロックドメイン 0 のソースクロックを PLL クロックに設定することでシステムクロックのソースクロックが PLL クロックになります。

RUN 動作時のクロックドメイン 0 のソースクロックは表 7 のレジスタを設定することによって選択することが可能です。RUN 動作時のクロックドメイン 0 のソースクロックを PLL クロックに設定する場合の設定値を表 7 に記します。

なお、PLL クロックに変更する場合は必ずクロックギアを使用し、50MHz 以下でクロックを変更した後でギアアップ動作を行ってください。

表 7. クロックドメイン 0 ソースクロック設定例

| レジスタ略称          | ビット名   | 設定内容                 | 設定値 (2 進数) |
|-----------------|--------|----------------------|------------|
| SYSC_RUNCKSELR0 | CD0CSL | クロックドメイン 0 ソースクロック選択 | 100        |

### 3.2.4.4 内部動作クロック発振許可設定

RUN 動作時の内部動作クロックの発振許可設定は表 8 のレジスタを設定することによって変更することが可能です。ただし、以下のクロックには制限があります。

- SYSCPD1 内部動作クロック：発振禁止は設定不可能
  - HPMPD2 内部動作クロック：発振禁止は設定不可能
  - CPU1 内部動作クロック：発振禁止は設定不可能
  - CPU0 内部動作クロック：発振禁止は設定不可能
  - EXTBUS 内部動作クロック：本マイコンは EXTBUS 非搭載のため常に発振禁止を設定すること (※)
- ※EXTBUS 内部動作クロックの発振許可設定はデフォルトで発振許可となっているため、必ず発振禁止を設定しないでください。

EXTBUS 内部動作クロック以外を全て発振許可とする場合の設定を表 8 に記します。

表 8. 内部動作クロック発振許可設定例

| レジスタ名        | ビット名         | 設定内容                 | 設定値 (2 進数) |
|--------------|--------------|----------------------|------------|
| SYSC_RUNCKER | ENCLKPERI7   | PERI7 内部動作クロック発振許可   | 1          |
|              | ENCLKPERI6   | PERI6 内部動作クロック発振許可   | 1          |
|              | ENCLKPERI5   | PERI5 内部動作クロック発振許可   | 1          |
|              | ENCLKPERI4   | PERI4 内部動作クロック発振許可   | 1          |
|              | ENCLKPERI1   | PERI1 内部動作クロック発振許可   | 1          |
|              | ENCLKPERI0   | PERI0 内部動作クロック発振許可   | 1          |
|              | ENCLKSYSCPD1 | SYSCPD1 内部動作クロック発振許可 | 1 ※1       |
|              | ENCLKEXTBUS  | EXTBUS 内部動作クロック発振許可  | 0 ※2       |
|              | ENCLKMEMC    | MEMC 内部動作クロック発振許可    | 1          |
|              | ENCLKDMA     | DMA 内部動作クロック発振許可     | 1          |
|              | ENCLKHPMPD2  | HPMPD2 内部動作クロック発振許可  | 1 ※1       |
|              | ENCLKATB     | ATB 内部動作クロック発振許可     | 1          |
|              | ENCLKDBG     | DBG 内部動作クロック発振許可     | 1          |
|              | ENCLKCPU1    | CPU1 内部動作クロック発振許可    | 1 ※1       |
|              | ENCLKCPU0    | CPU0 内部動作クロック発振許可    | 1 ※1       |

※1: "0"書込みは無効です。

※2: 初期値は"1"が設定されているため、必ず"0"に変更してください。

### 3.2.4.5 内部動作クロック分周設定

RUN 動作時の内部動作クロックごとのソースクロックからの分周比は表 10 のレジスタを設定することによって変更することが可能です。ただし、各内部動作クロックの最大動作周波数を超えるクロックが供給されることがないように分周比を設定してください。各内部動作クロックの最大動作周波数を表 9 に記します。

表 9. 内部動作クロックの最大動作周波数

| 内部動作クロック      | 最大動作周波数 |
|---------------|---------|
| CLK_HPMPD2    | 200MHz  |
| CLK_DMA       | 200MHz  |
| CLK_MEMC      | 200MHz  |
| TRC クロック      | 100MHz  |
| CLK_ATB       | 100MHz  |
| DBG クロック      | 50MHz   |
| システムクロック      | 200MHz  |
| SYSC_PD1 クロック | 100MHz  |
| EXTBUS クロック   | 200MHz  |
| PERI7 クロック    | 50MHz   |
| PERI6 クロック    | 50MHz   |
| PERI5 クロック    | 100MHz  |
| PERI4 クロック    | 100MHz  |
| PERI1 クロック    | 50MHz   |
| PERI0 クロック    | 100MHz  |

各内部動作クロックを最大動作周波数で動作させる場合の設定を表 10 に記します。なお、システムクロックのソースクロックは PLL クロック（200MHz）であるものとします。

表 10. 内部動作クロック分周設定例

| レジスタ名      | ビット名       | 設定内容                                       | 設定値 (2 進数) |
|------------|------------|--|------------|
| RUNCKDIVR0 | HPMDIV     | HPM クロック、DMA クロック、MEMC クロックのシステムクロックからの分周比 | 0          |
|            | TRCDIV     | TRC クロックのシステムクロックからの分周比                    | 1          |
|            | ATBDIV     | ATB クロックのシステムクロックからの分周比                    | 1 ※1       |
|            | DBGDIV     | DBG クロックの ATB クロックからの分周比                   | 1 ※1       |
|            | SYSDIV     | システムクロックのソースクロックからの分周比                     | 0          |
| RUNCKDIVR1 | SYSCPD1DIV | SYSC_PD1 クロックの HPM クロックからの分周比              | 1          |
|            | EXTBUSDIV  | EXTBUS クロックの HPM クロックからの分周比                | 1 ※2       |
| RUNCKDIVR2 | PERI7DIV   | PERI7 クロックの PERI5 クロックからの分周比               | 1          |
|            | PERI6DIV   | PERI6 クロックの PERI4 クロックからの分周比               | 1          |
|            | PERI5DIV   | PERI5 クロックの HPM クロックからの分周比                 | 1          |
|            | PERI4DIV   | PERI4 クロックの HPM クロックからの分周比                 | 1          |
|            | PERI1DIV   | PERI1 クロックの PERI0 クロックからの分周比               | 1          |
|            | PERI0DIV   | PERI0 クロックの HPM クロックからの分周比                 | 1          |

※1: 書き込み無効です。

※2: 本マイコンは EXTBUS 非搭載のため、設定を変更しても影響ありません。

### 3.2.5 RUN プロファイル設定適用

RUN/PSS プロファイル設定パラメータ (※) の設定を変更する場合、該当するレジスタへ値を書き込んだだけでは設定が反映されません。RUN プロファイルの設定を反映させるには以下の手順を行う必要があります。

※ハードウェアマニュアルを参照してください。

1. 設定を変更するレジスタ全てに設定値を書き込む
2. システムステータスフラグ・割込みクリアレジスタ (SYSC\_SYSCCLR) にて RUN プロファイル更新完了(メイン状態制御)フラグをクリア
3. RUN プロファイル更新トリガレジスタ (SYSC\_TRGRUNCNTR) に"0xAB"を書き込む
4. システムステータスレジスタ (SYSC\_SYSSTSR) の RUN プロファイル更新完了 (メイン状態制御) フラグビット (RUNDFO) をポーリングし、プロファイル更新が完了する (RUNDFO が"1"になる) まで待つ

手順 3 を行うことで制御回路が RUN プロファイルの内容を確認し、内容に問題がなければ以下の順で設定を反映していきます。

1. システムステータスレジスタ (SYSC\_SYSSTSR) の RUNSTS0 に"1"をセット
2. RUN プロファイルの内容を APPLIED プロファイルにコピー
3. 以下の設定を順に反映
  - クロック発振許可/停止(発振安定待ちも含む)
  - クロックスーパバイザ設定変更
  - LVD 設定変更
  - クロック動作設定 (ソースクロックの変更、分周、各クロックソース ON/OFF)
  - クロック停止設定 (ソースクロックの停止)
4. RUN プロファイルの更新が完了後、システムステータスレジスタ (SYSC\_SYSSTSR) の RUNSTS0 を"0"クリア
5. システムステータスレジスタ (SYSC\_SYSSTSR) の RUNDFO に"1"をセット

RUN プロファイルの設定内容に問題がある場合はプロファイルエラーとなり、システムエラー割込み要因レジスタ 1 (SYSC\_SYSEERRIR1) の RUNERRIFO に"1"をセットします。このとき新しいプロファイルの内容は破棄され、現在使用しているプロファイルの内容で回路は動作します。

プロファイルエラーについてはハードウェアマニュアルを参照してください。

#### 3.2.5.1 RUN プロファイル設定適用時の注意事項

RUN プロファイルの設定を適用 (RUN プロファイル更新を実施) する場合は以下の点に注意してください。

- プロファイル更新中のプロファイル更新は禁止です。プロファイル更新中に再度プロファイルを更新した場合システムエラー割込みが発生し、再度更新しようとしたプロファイルは無効となります。
- RUN プロファイルを更新する前にプロファイルエラーがないことを確認してください。プロファイルエラーの状態では RUN プロファイル更新を行った場合 NMI 割込みが発生し、RUN プロファイルの設定は破棄されます。
- RUN プロファイル更新中は RUN プロファイルレジスタ群にライトアクセスすることは禁止です。RUN プロファイル更新中に RUN プロファイルレジスタ群にライトアクセスした場合、バスエラーとなり書き込んだデータは無効となります。

## 4 参考文献

- [1]. 32 ビット・マイクロコントローラ MB9D560 シリーズハードウェアマニュアル
- [2]. MB9D560 シリーズアプリケーションノート (2CPU モード時の注意)



## 5 改訂履歴

ドキュメント名: AN204450 - Traveo™ Family, MB9D560 クロックシステムの設定方法

ドキュメント番号: 002-04451

| Revision | ECN     | 変更者  | 発行日        | 変更内容   |
|----------|---------|------|------------|--|
| **       | -       | KHAS | 07/16/2015 | スパンションアプリケーションノート MB9D560_AN708-00008-1v0-J をサイプレスとして登録したものです。 |
| *A       | 5597709 | KHAS | 01/23/2017 | 英語版 002-04450 Rev.*A の日本語版です。                                  |

## Worldwide Sales and Design Support

サイプレスは、事業所、ソリューション センター、メーカー代理店、および販売代理店の世界的なネットワークを保持しています。お客様の最寄りのオフィスについては、[サイプレスのロケーション ページ](#)をご覧ください。

### 製品

|                               |  |
|-------------------------------|--|
| ARM® Cortex® Microcontrollers | <a href="http://cypress.com/arm">cypress.com/arm</a>               |
| 車載用                           | <a href="http://cypress.com/automotive">cypress.com/automotive</a> |
| クロック&パッファ                     | <a href="http://cypress.com/clocks">cypress.com/clocks</a>         |
| インターフェース                      | <a href="http://cypress.com/interface">cypress.com/interface</a>   |
| IoT (モノのインターネット)              | <a href="http://cypress.com/iot">cypress.com/iot</a>               |
| メモリ                           | <a href="http://cypress.com/memory">cypress.com/memory</a>         |
| マイクロコントローラ                    | <a href="http://cypress.com/mcu">cypress.com/mcu</a>               |
| PSoC                          | <a href="http://cypress.com/psoc">cypress.com/psoc</a>             |
| 電源用 IC                        | <a href="http://cypress.com/pmuc">cypress.com/pmuc</a>             |
| タッチ センシング                     | <a href="http://cypress.com/touch">cypress.com/touch</a>           |
| USB コントローラー                   | <a href="http://cypress.com/usb">cypress.com/usb</a>               |
| ワイヤレス/RF                      | <a href="http://cypress.com/wireless">cypress.com/wireless</a>     |

### PSoC® ソリューション

[PSoC 1](#) | [PSoC 3](#) | [PSoC 4](#) | [PSoC 5LP](#)

### サイプレス開発者コミュニティ

[フォーラム](#) | [WICED IOT Forums](#) | [Projects](#) | [ビデオ](#) | [ブログ](#) | [トレーニング](#) | [Components](#)

### テクニカルサポート

[cypress.com/support](http://cypress.com/support)

All other trademarks or registered trademarks referenced herein are the property of their respective owners.



Cypress Semiconductor  
198 Champion Court  
San Jose, CA 95134-1709  
Phone : 408-943-2600  
Fax : 408-943-4730  
Website : [www.cypress.com](http://www.cypress.com)

© Cypress Semiconductor Corporation, 2015-2017. 本書面は、Cypress Semiconductor Corporation 及び Spansion LLC を含むその子会社（以下、「Cypress」という。）に帰属する財産である。本書面（本書面に含まれ又は言及されているあらゆるソフトウェア又はファームウェア（以下、「本ソフトウェア」という。）を含む）は、アメリカ合衆国及び世界のその他の国における知的財産法令及び条約に基づき、Cypress が所有する。Cypress はこれらの法令及び条約に基づく全ての権利を留保し、また、本段落で特に記載されているものを除き、Cypress の特許権、著作権、商標権又はその他の知的財産権のライセンスを一切許諾していない。本ソフトウェアにライセンス契約書が伴っておらず、かつ、あなたが Cypress との間で別途本ソフトウェアの使用法を定める書面による合意をしていない場合、Cypress は、あなたに対して、（1）本ソフトウェアの著作権に基づき、（a）ソースコード形式で提供されている本ソフトウェアについて、Cypress ハードウェア製品と共に用いるためにのみ、組織内部でのみ、本ソフトウェアの修正及び複製を行うこと、並びに（b）Cypress のハードウェア製品ユニットに用いるためにのみ、（直接又は再販売者及び販売代理店を介して間接のいずれかで）エンドユーザーに対して、バイナリーコード形式で本ソフトウェアを外部に配布すること、並びに（2）本ソフトウェア（Cypress により提供され、修正がなされていないもの）に抵触する Cypress の特許権のクレームに基づき、Cypress ハードウェア製品と共に用いるためにのみ、本ソフトウェアの作成、利用、配布及び輸入を行うことについての非独占的で譲渡不能な一身専属的ライセンス（サブライセンスの権利を除く）を付与する。本ソフトウェアのその他の使用、複製、修正、変換又はコンパイルを禁止する。

適用される法律により許される範囲内で、Cypress は、本書面又はいかなる本ソフトウェアに関しても、明示又は黙示をとわず、いかなる保証（商品性及び特定の目的への適合性の黙示の保証を含むがこれらに限られない）も行わない。適用される法律により許される範囲内で、Cypress は、別途通知することなく、本書面を変更する権利を留保する。Cypress は、本書面に記載のあるいかなる製品又は回路の適用又は使用から生じる一切の責任を負わない。本書面で提供されたあらゆる情報（あらゆるサンプルデザイン情報又はプログラムコードを含む）は、参照目的のためのみに提供されたものである。この情報で構成するあらゆるアプリケーション及びその結果としてのあらゆる製品の機能性及び安全性を適切に設計し、プログラムし、かつテストすることは、本書面のユーザーの責任において行われるものとする。Cypress 製品は、兵器、兵器システム、原子力施設、生命維持装置若しくは生命維持システム、蘇生用の設備及び外科的移植を含むその他の医療機器若しくは医療システム、汚染管理若しくは有害物質管理の運用のために設計され若しくは意図されたシステムの重要な構成部分として用いるため、又はシステムの不具合が人身傷害、死亡若しくは物的損害を生じさせることになるその他の使用（以下、「本目的外使用」という。）のためには、設計、意図又は承認されていない。重要な構成部分とは、装置又はシステムのその構成部分の不具合が、その装置若しくはシステムの不具合を生じさせるか又はその安全性若しくは実効性に影響すると合理的に予想できる、機器又はシステムのあらゆる構成部分をいう。Cypress 製品のあらゆる本目的外使用から生じ、若しくは本目的外使用に関連するいかなる請求、損害又はその他の責任についても、Cypress はその全部又は一部を問わず一切の責任を負わず、かつ、あなたは Cypress をそれら一切から免除するものとし、本書により免除する。あなたは、Cypress 製品の目的外使用から生じ又は本目的外使用に関連するあらゆる請求、費用、損害及びその他の責任（人身傷害又は死亡に基づく請求を含む）から Cypress を免責補償する。

Cypress、Cypress のロゴ、Spansion、Spansion のロゴ及びこれらの組み合わせ、WICED、PSoC、Capsense、EZ-USB、F-RAM、及び Traveo は、米国及びその他の国における Cypress の商標又は登録商標である。Cypress の商標のより完全なリストは、[cypress.com](http://cypress.com) を参照のこと。その他の名称及びブランドは、それぞれの権利者の財産として権利主張がなされている可能性がある。