

## AN1234

## サイプレスのゼロ遅延バッファを理解する

著者: Purushottam Kumar

関連プロジェクト: なし

関連製品ファミリ: CY2308、CY2305、CY2309

ソフトウェア バージョン: 該当なし

関連アプリケーション ノート: なし

本アプリケーション ノートの最新版または関連プロジェクト ファイルについては、  
<http://www.cypress.com/go/AN1234> へアクセスしてください。

AN1234 は、サイプレスのゼロ遅延バッファとその複数のアプリケーションを詳細に説明します。ゼロ遅延バッファは、入出力間および出力間に厳密なスキューを必要とする各種クロック分配アプリケーションに最適です。

## 目次

サイプレスのゼロ遅延バッファの紹介 .....	1
CY2308 .....	2
リードまたはラグ調整 .....	2
ゼロ遅延制御とスキュー制御 .....	3
配線長による、ゼロ遅延、リードまたはラグ調整 .....	4
駆動能力 .....	6
特殊なパワーダウン機能 .....	6
アプリケーション .....	6
スキューを増やすことなくクロック信号のファンアウトを 増加させる (バッファする) .....	6
5V から 3.3V へのレベル シフト .....	6
レベルシフトでクロック分配時の EMI/EMC を低減する .....	7
出力を連結することによって出力間のスキューを 削減する .....	7
外部フィードバックの使用 .....	8
内部フィードバックを使用する ゼロ遅延周波数通倍器/分周器 .....	8
CY2305/CY2309 .....	10
PCI バッファ ソリューション .....	10
5 デバイス/スロット ソリューション .....	10
9 デバイス/スロット ソリューション .....	10
SDRAM バッファ ソリューション .....	10
3 つの SDRAM DIMM 向け ゼロ遅延バッファ ソリューション .....	11
サイプレスのゼロ遅延バッファの推奨レイアウト .....	13
サイプレスのゼロ遅延バッファ用クロック信号の 推奨ルーティング .....	14
まとめ .....	14
ワールドワイドな販売と設計サポート .....	16

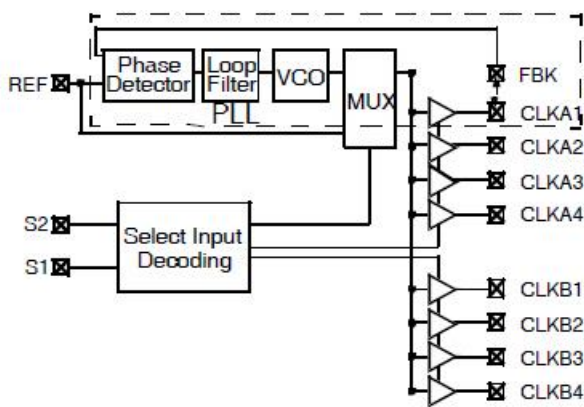
## サイプレスのゼロ遅延バッファの紹介

ゼロ遅延バッファは、1 つのクロック信号を無遅延かつ出力間のスキューが少ない複数のクロック信号にファンアウトすることができるデバイスです。ゼロ遅延バッファの概略図を図 1 に示しています。ゼロ遅延バッファは、基準入力 (REF) とフィードバック入力 (FBK) を使用する PLL (位相ロックループ) で構成されています。フィードバック入力は出力のいずれかによって駆動されます。PLL 内部の位相検出器は、位相検出器の 2 つの入力に位相および周波数に差が無いように VCO (電圧制御発振器) の出力周波数を調整します。PLL 制御ループには、出力のいずれかとその負荷を含むため、その出力の負荷を動的に補償します。つまり、PLL は出力の負荷に関係なく、入力からフィードバックを駆動する出力までの遅延をゼロにします。

**注:** これは、フィードバック入力で監視される出力の場合のみです。他のすべての出力の場合は、出力負荷の違いの影響を受けて入力から出力まで遅延をもちます。詳細については「リードまたはラグ調整」セクションを参照してください。

サイプレスはゼロ遅延バッファ (ZDB) 製品を幅広く取り揃えています。例えば、CY2304、CY2305、CY2308、CY2309 などです。これらの ZDB は 10MHz~200MHz の周波数をサポートし、特長が互いに異なります。例えば、内部または外部からのフィードバック、出力数、周波数倍率、複数の出力周波数および出力有効機能を含む構造上の違いがあります。CY2308 は、8 個の出力を有し、外部からフィードバックをまわすことが出来るという柔軟性を提供するのに対し、CY2305/CY2309 はそれぞれ 5 個と 9 個の出力を有し、内部にフィードバック接続を持つことで、システムデザインをより単純なものにしています。他のデバイスは、2、4、5、9、10、11、または 12 個の出力を持っています。詳細については、弊社のウェブサイトの製品セクション ([www.cypress.com](http://www.cypress.com)) を参照してください。本アプリケーション ノートでは、ZDB とその複数のアプリケーションを理解するために、CY2308、CY2305、および CY2309 を一例として使用しています。

図 1. CY2308 の簡略化したブロック図



## CY2308

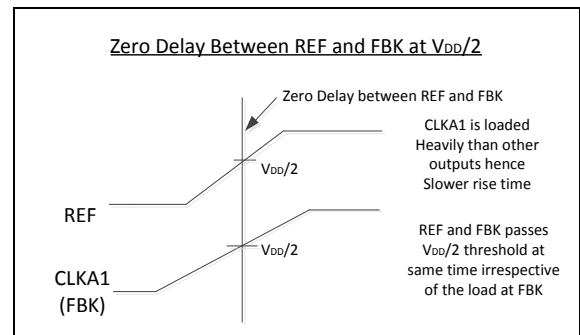
サイプレスの CY2308 は、単一の入力クロックを持ち、入力から出力までの遅延がなく、出力間のスキューが少ない 8 個のクロック出力を提供するデュアルバンク汎用 ZDB です。CY2308 は、フィードバックが開いているデバイスです。ZDB として機能させるためには、フィードバック ループを閉じなければなりません。8 つの出力のいずれかをフィードバック (FBK) ピンにフィードバックしてフィードバック ループを閉じ、単純な ZDB を形成することができます。外部でフィードバック経路を閉じることができるという CY2308 の能力は、スキュー制御、および CY2308 を様々なクロック分配アプリケーションに使用するオプションを提供します。フィードバックされる出力には負荷をのせるという他の出力とは異なる機能を持っており、その主な特長は以下のセクションで説明される単純なリードまたはラグ調整のために使用することができます。

## リードまたはラグ調整

フィードバックされる出力に適切に負荷をのせることにより、基準クロックに対して他の出力を進ませ、または遅らせることができます。ここでは、PLL の特性を使用して、フィードバックされる出力を他の出力に比べて進ませ、または遅らせます。CY2308 には PLL に入力される REF と FBK という 2 つのピンがあることに注意してください (図 1 を参照してください)。基準信号 (クロック) は、REF ピンへの入力として与えられるのに対し、FBK ピンは外部でフィードバック経路を閉じるために使用されます。以下の PLL の特性一覧を読むと、FBK ピンに任意の出力を接続するという特長を理解することができます。

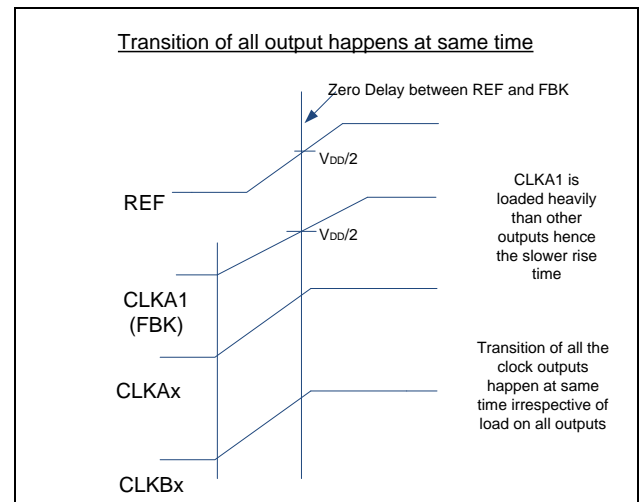
1. PLL は、FBK ピンの位相 (および周波数) を  $V_{DD}/2$  の閾値で検知し、同じ  $V_{DD}/2$  の閾値で REF ピンと比較します。したがって、この PLL の特性により、ZDB は REF 入力  $V_{DD}/2$  になる点から FBK 入力  $V_{DD}/2$  になる点への遅延がゼロになるように常に自己調整を行います。

図 2.  $V_{DD}/2$  で見た時の REF と FBK の遅延がゼロ



2. すべての出力は、同時に遷移を開始します。これは、FBK を駆動する出力も同様です。

図 3. すべての出力の遷移

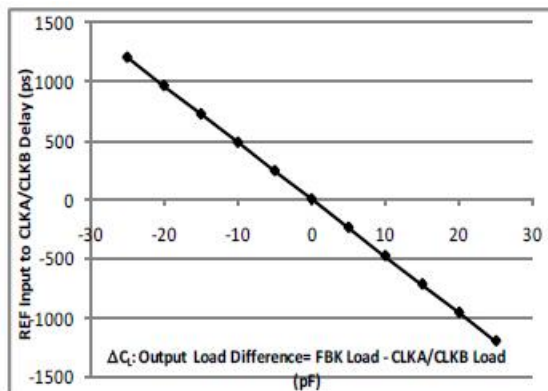


したがって、出力の負荷を変化させると、その立ち上がり時間が変化し、結果として、出力が  $V_{DD}/2$  の閾値に達するまでにかかる時間が変化します。これらの特性により、フィードバックされる出力の負荷を他の出力よりも重くすると出力は進み、またはフィードバックされる出力の負荷を他の出力よりも軽くすると出力は遅れます。これは

図 3 で説明されます。

図 4 のグラフは、フィードバックされる出力と他の出力との負荷の差に対する遅延の差分を示しています。遅延の差分は、出力が変化するのに何ピコ秒かかるかを示す測定値です。一次近似すると、負荷の差 1pF あたり 50ps で調整できます。

図 4. リードラグ調整

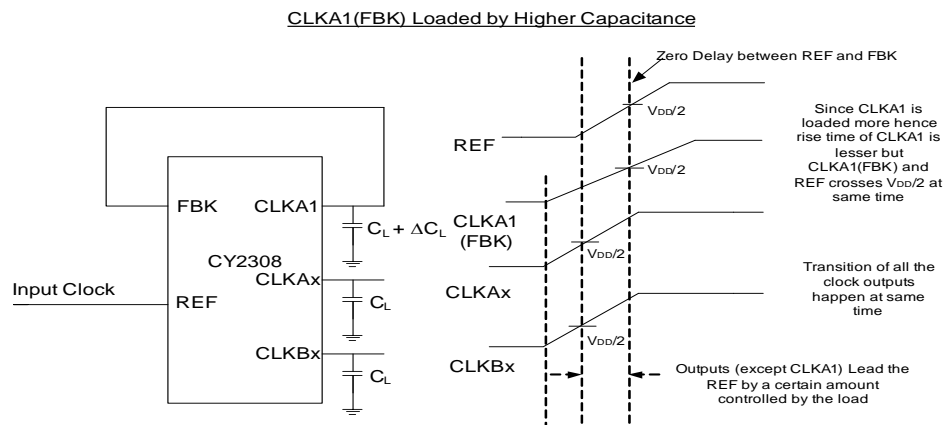


## ゼロ遅延制御とスキュー制御

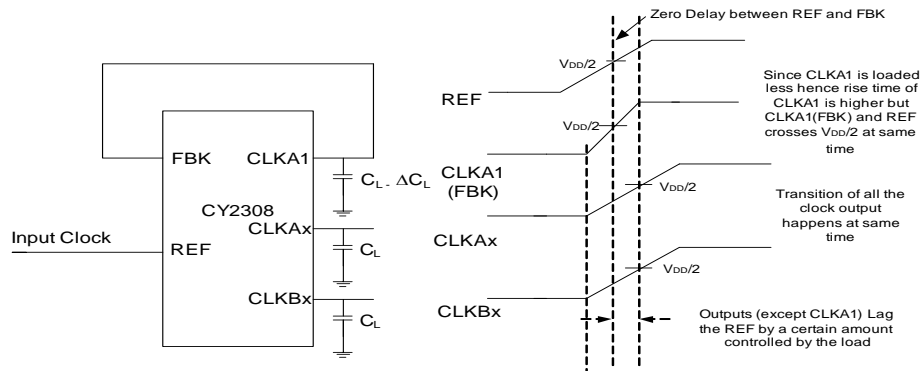
出力間のゼロスキューを実現するためには、すべての出力の負荷を同等にする必要があります。フィードバック ループは、FBK と他の出力間のスキューを動的には調整しません。図 5 は、出力の負荷が出力間のスキューにどのように影響するかを示しています。どの出力も FBK を駆動するために使用することができますが、ここでは、FBK は CLKA1 によって駆動されているものとします。他の出力の負荷が CLKA1 の負荷よりも軽い場合、その他の出力は CLKA1 に対して進みます。他の出力の負荷が重い場合、その他の出力は CLKA1 に対して遅れます。これは、前のセクションで説明したとおりです。この場合には、CLKA1 は監視される唯一の出力であるため、基準 (REF) からの遅延がゼロになります。他のクロックのタイミングは、負荷の違いによって CLKA1 に対して相対的に決まります。

未使用の出力は、静電容量や配線を追加することなく、開放にする必要があることに注意してください。

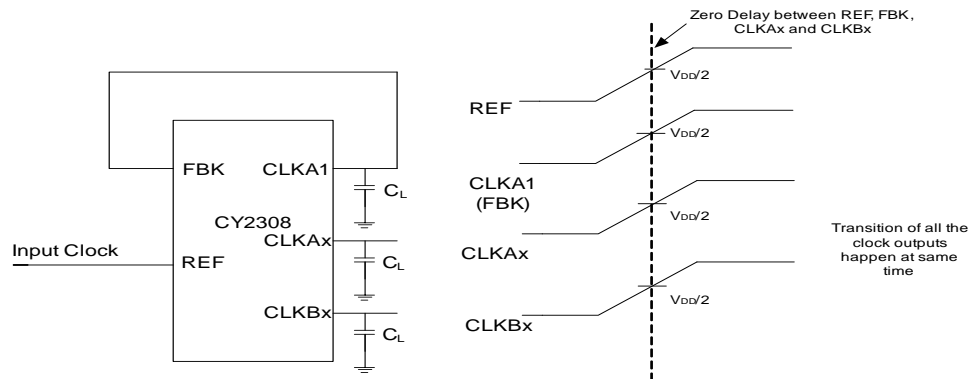
図 5. CY2308 の異なる負荷コンフィギュレーションでのタイミング図、および FBK を駆動する CLKA1



CLKA1(FBK) Loaded by Lower Capacitance



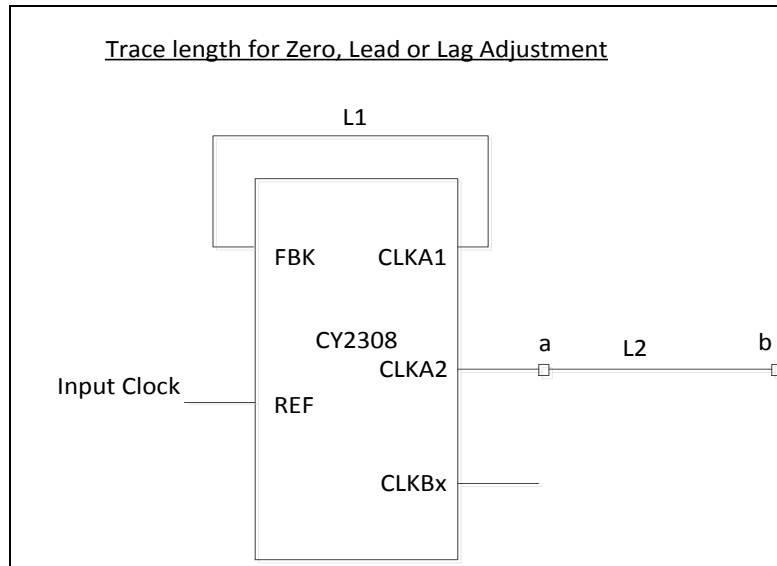
All outputs with equal load



## 配線長による、ゼロ遅延、リードまたはラグ調整

これまでのところ、リードとラグ タイミングと出力スキューへ容量性負荷が及ぼす影響のみを説明してきました。同様の概念が配線長にも適用されます。REF 入力と CLK 信号がそれらの行き先に到着する間のゼロ遅延を実現するためには、一般的なルールとしては (CLK ピンから FBK ピンへの) フィードバックの配線長はその他の CLK 出力からそれぞれの行き先への配線長に等しくなければなりません。図 7 は配線長を変更することにより、出力クロックのゼロ遅延、リードまたはラグ調整を実現する方法を示しています。ここでは、図 6 に示すように、FBK が CLKA1 によって駆動されるものとし、CLKA1 から FBK までの配線長が L1、CLKA2 からその行き先までの配線長が L2 としています。

図 6. 配線長でゼロ遅延、リードまたはラグ調整



CLKA1 と FBK 間に配線長  $L1$  に起因する遅延 ( $t$ ) があることに注意してください。PLL の特性により、図 7 に示すように、FBK と REF の  $V_{DD}/2$  閾値の交点が同時になるように CLKA1 は REF に対して遅延時間 ( $t$ ) だけ進みます。すべての出力 (図 7 の CLKA2) が (上記の「リードおよびラグ調整」セクションで説明したように) CLKA1 と同時に遷移を開始するため、CLKA2 (a 点) も REF に対して進みます。しかし CLKA2 の行き先 (b 点) への到着は、配線長  $L2$  により CLKA2 (a 点) に比べて時間  $t'$  だけ遅れます。

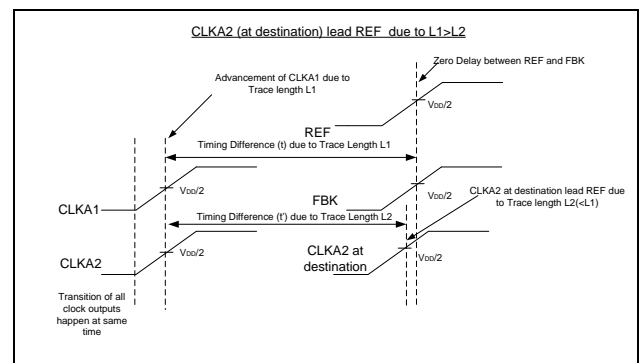
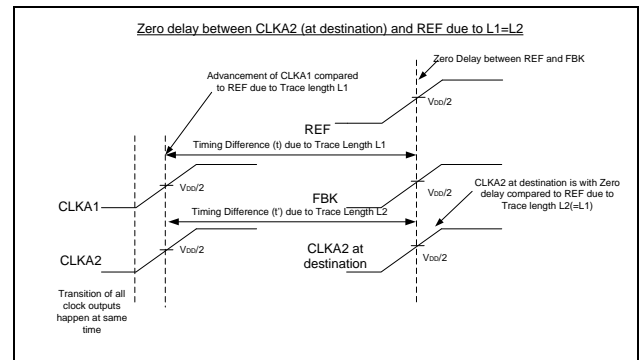
要約すれば、

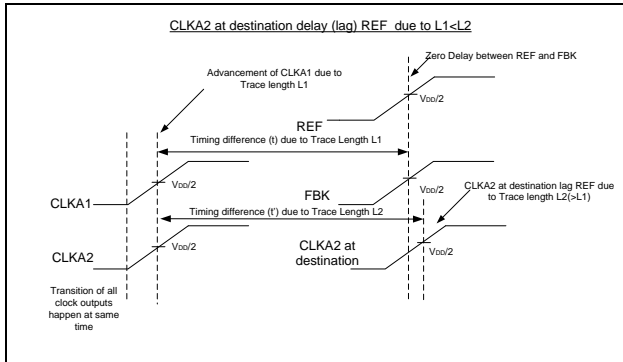
$L1 = L2$  の場合、 $t = t'$  で、従って、図 7 に示すように、REF と CLKA2 の行き先はゼロ遅延になります。

$L1 > L2$  の場合、 $t > t'$  で、従って図 7 に示すように、CLKA2 の行き先 (b 点) は、REF に対して進みます。

$L1 < L2$  の場合、 $t < t'$  で、従って図 7 に示すように、CLKA2 の行き先は、REF に対して遅れます。

図 7. 配線長による、ゼロ遅延、リードまたはラグ調整





どんなバッファもそうであるように、個々のクロックは、その固有の配線を短くすることによって進み、またはそれを長くすることによって遅れます。配線長を長くするときには、密に蛇行した配線は、そうでない同じ長さの配線と比べて、遅延が少なくなることにご注意ください。これは密な配線はそれ自身に結合し、信号の伝播を速くするためです。

## 駆動能力

CY2308 はそれぞれ 30pF の負荷容量を駆動するように設計された高駆動能力を持っています。標準的な CMOS 入力を 7pF と仮定すると、最大 4 つの CMOS 入力を CY2308 の出力の一つで駆動できます。しかし、入力からのゼロ遅延を維持するために、CY2308 のすべての使用される出力で出力負荷を等しくしなくてはなりません。

## 特殊なパワーダウン機能

CY2308 にはユニークなパワーダウン モードがあります: REF 入力停止した場合、CY2308 は自動的にシャットダウン状態に入り、PLL をオフにして出力をトライステートにします。CY2308 がシャットダウン モードに入ったとき、消費電流は 50μA 未満になり、(REF が再入力されると) 1ms 未満の時間で PLL をロックしてシャットダウン モードから出ます。

出力はそれぞれ 4 つの出力からなる 2 つのバンクとして扱われています。その 4 つの出力からなる 2 つのバンクを独立にトライステート状態にするために 2 つの選択信号が提供されます。

出力が REF クロックで駆動され、PLL がバイパスされるモードも用意されています。選択信号を使用した様々な動作設定については、表 1 を参照してください。

表 1. 選択信号の設定

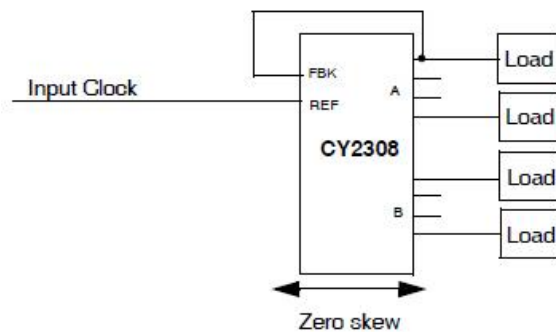
S2	S1	CLK A1~A4	CLK B1~B4	クロック源	PLL
0	0	Hi-Z	Hi-Z	-	OFF
0	1	1	Hi-Z	PLL 出力	ON
1	0	クロック出力	クロック出力	REF クロック	OFF
1	1	クロック出力	クロック出力	PLL 出力	ON

## アプリケーション

### スキューを増やすことなくクロック信号のファンアウトを増加させる (バッファする)

ファンアウトを増加させる、駆動能力を強化する、または単に長い配線上に弱いクロック信号を分配するには、クロック バッファの使用が必要です。従来型の高速バッファには伝播遅延が存在し、その値は、設計者がタイミング解析を実施しているときに、注意する必要があります。図 8 に示すように、CY2308 のような PLL ベースのゼロ遅延バッファは、配線長が適切に確保される限り、伝播遅延に起因したスキューの無い、必要とされるバッファを提供します。

図 8. クロック バッファ

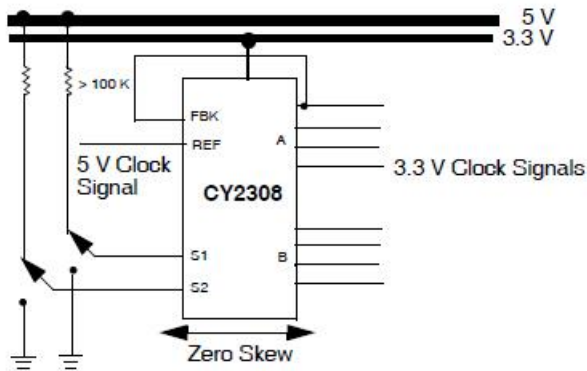


### 5V から 3.3V へのレベル シフト

CY2308 は 5V から 3.3V へのレベル シフトとして機能することができます。REF クロック入力端子は 5V 入力に準拠しています。多くのシステム コンポーネントが未だに 5V で動作していますが、単一の 5V 基準クロックから複数の 3.3V のクロックを (レベル シフト時に発生する伝搬遅延も無く) 生成する能力を提供します。5V 入力に準拠しているのは REF パッドのみである事に注意してください。CY2308 の選択信号は 5V 入力に準拠していません。しかし、100 キロオームよりも大きな抵抗を使って選択ピンを 5V 電源に接続することができます。また、選択ラインは弱い内部プルアップを有しており、開放したままにすることができます。図 9 を参照してください。



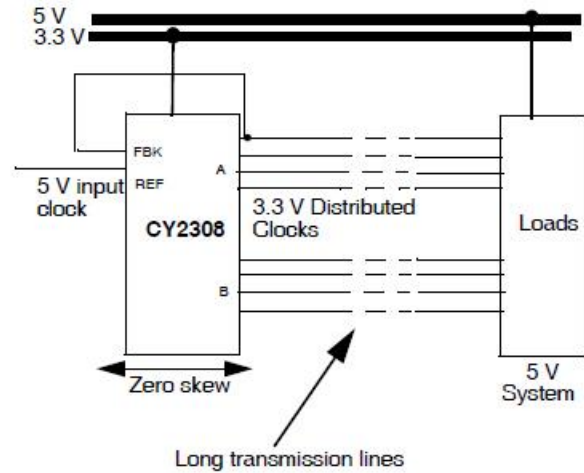
図 9. 電圧レベル シフト



## レベル シフトでクロック分配時の EMI/EMC を低減する

電磁妨害 (EMI) と電磁結合 (EMC) はシステムの周りを通る高エネルギー電磁場 (EMF) により発生されます。これは、システム上の高周波スイッチング信号によって引き起こされます。これらの高周波数信号を分配する長い伝送線路は EMC と EMI の主な原因です。これらの線路で適切な終端とインピーダンス整合を使用すれば、伝送されるエネルギーが適切に消費され、この問題を軽減するのに役立ちます。(詳細については「[Layout and Termination Techniques for Cypress Clock Generators](#)」アプリケーション ノート参照) EMI と EMC を制御するもう 1 つの技術は、高周波数信号の実際のエネルギーを減少させることです。CY2308 はこの目的に使用されます。上記の例で示したように、CY2308 は 5V のクロック信号を 3.3V のクロック信号出力に変換するのに使用できます。以下の図 10 では、これらの 3.3V 信号は 5V 信号の代わりに長い伝送線路を通じて分配され、生成される EMF のエネルギーが実質的に減少されます。CY2308 の出力は 3.3V で、振幅がレール ツー レールであるため、5V の TTL 入力に対応できます。したがって、負荷として、5V デバイスを駆動することができます。ここでの唯一の要件は 3.3V 電源が必要となることです。

図 10. EMI の削減



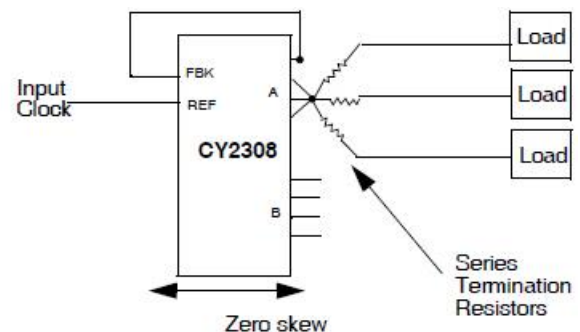
## 出力を連結することによって出力間のスキューを削減する

出力間のスキューは今日のシステム デザインの重要な要素の 1 つです。

出力間のスキューを削減する革新的なアプローチは、複数の出力を連結する事です。この方式は、特定の入力への駆動能力を増加させると、複数の出力による出力間のスキューを除去することの両方を目的として使われます。

図 11 では、CY2308 の 3 つの出力が連結され、3 つの異なる負荷に分配されます。この方式は、3 つの負荷に分配されるクロック間のスキューを削減します。3 つの独立した直列終端抵抗が、3 つの負荷からそれぞれ見えることに注意してください。

図 11. 連結された出力



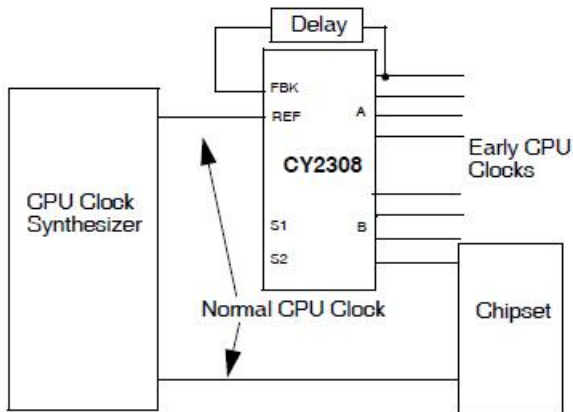
## 外部フィードバックの使用

CY2308 は、外部に開いたフィードバック経路を持っており、いずれかの出力を FBK ピンに導くことによりゼロ遅延バッファとして動作させます。しかし、フィードバック経路は、他のアプリケーションにも使用できます。その中のいくつかをここで説明します。

### 進んだクロックの生成

一部のチップセットでは、他のホスト クロックのコピーに比べて早く到着するホスト クロックのコピーを必要とします。これはフィードバック経路にディスクリートな遅延素子を配置することで実現できます。これまでに述べたように、PLL 内部の位相検出器は VCO の出力周波数を調整するので、2 つの入力 (CY2308 の REF と FBK) には位相にも周波数にも差がありません。フィードバック経路にディスクリートな遅延素子を追加すると、位相検出器は、進んだクロックを生成するように PLL 内部の VCO 出力を調整し、図 12 に示すように、REF と FBK の間の位相差を無くします。CY2308 をこの方式で使うと、入力信号より進んだ 8 つの出力が生成されます。これらの 8 つの出力は入力クロックに比べて「進んで」います。図 12 に、このように進んだクロックを生成する回路の実装例を示します。

図 12. 進んだクロック



### 変更可能な負荷を使用して進んだまたは遅れたクロックを生成

REF クロックに対して進んだまたは遅れたクロックを生成する場合 CY2308 に組み入れる簡単なアプローチがあります。それは、FBK ピンにフィードバックされるクロックの負荷を調整する事です。これは上記の「リードまたはラグ調整」セクションで説明しました。

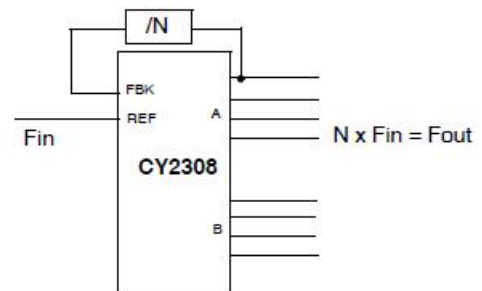
### 変更可能な配線長を使用して進んだまたは遅れたクロックを生成

進みまたは遅れはフィードバックの配線長を変更することでも実現できます。これは上記の「ゼロ、リードまたはラグ調整のための配線長」セクションで説明しました。標準的な伝播遅延時間はマイクロストリップの場合 150ps/インチで、ストリップラインの場合は 180ps/インチです。

### 周波数通倍器

フィードバック経路に外部分周器を配置すれば、CY2308 を周波数通倍器にすることができます。図 13 に示すように、フィードバック経路に 1/N 分周器を配置すれば、すべての出力が入力の周波数の N 倍の周波数で動作します。通倍比に関係なく、入力と出力の周波数は 10~130MHz の範囲内でなければなりません。よって、分周比は 13 以下でなければなりません。

図 13. 周波数通倍器



### 内部フィードバックを使用するゼロ遅延周波数通倍器／分周器

#### ゼロ遅延バッファの拡張ファミリー

単一チップから得られる遅延のない単純な通倍／分周機能が必要な場合が多々あります。このような場合に対応するために、CY2308 に分周器を内蔵してゼロ遅延バッファのファミリーとして拡張しています。CY2308-2、-3、-4 のブロック図を図 14 に示します。特定の出力バンクで FBK を駆動することで、出力に必要な機能を生成できます。

表 2 に派生機能を使用する際にフィードバックとして使用可能な出力と、REF との関係を示します。



図 14. CY2308-2、-3、-4 の簡略化したブロック図

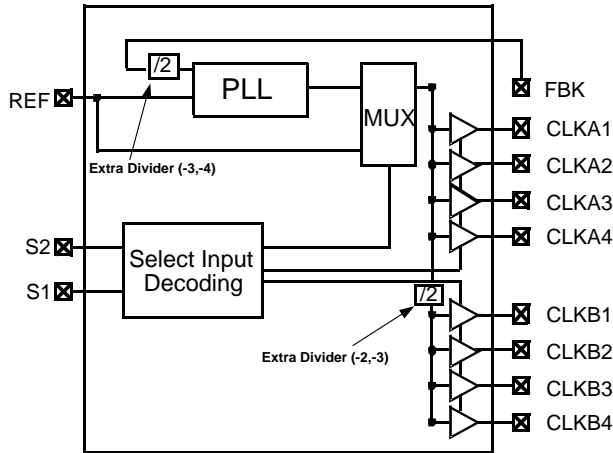


表 2. CY2308-2、-3、-4 の設定

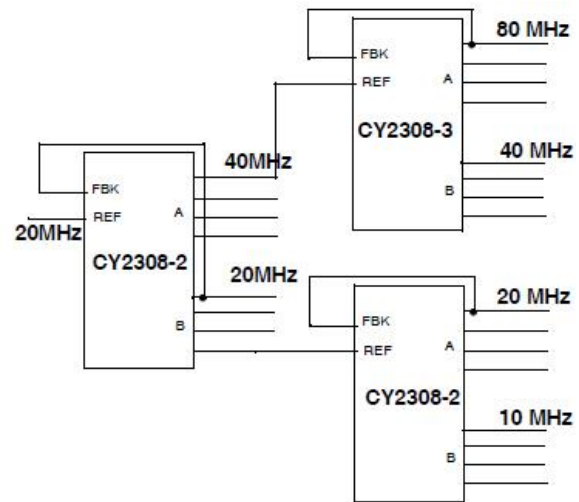
型番	FBK	出力周波数	
	出力	バンク A	バンク B
CY2308-1	A または B	x1	x1
CY2308-2	A	x1	x0.5
CY2308-2	B	x2	x1
CY2308-3	A	x2	x1 <sup>[1]</sup>
CY2308-3	B	x4	x2
CY2308-4	A または B	x2	x2

### カスケード接続された CY2308 を使用した複数周波数のクロック分配ネットワーク

複数の CY2308-2、3、4 をカスケード接続する事で、低スキューで複数の周波数を持つ興味深いクロックネットワークを作成できます。図 15 に例を 1 つ示します。ここでは、20MHz の入力信号で 10、20、40、および 80MHz 信号の複数のコピーを生成しています。それらの信号の位相はすべて互いに揃っており、そのスキューはゼロです。この方式で PLL をカスケード接続すると、システム全体でのジッタを増加させる可能性があります。しかしながら、「サイプレスのゼロ遅延バッファのレイアウトの推奨事項」で説明する良質な  $V_{DD}$  フィルタリングを使うと、この問題は減少します。

<sup>1</sup> 出力位相が不確定: 入力クロックから 0°または 180°のいずれかになります。予測可能な位相が必要な場合、CY2308-2 を使用してください。

図 15. CY2308-x クロック ツリー

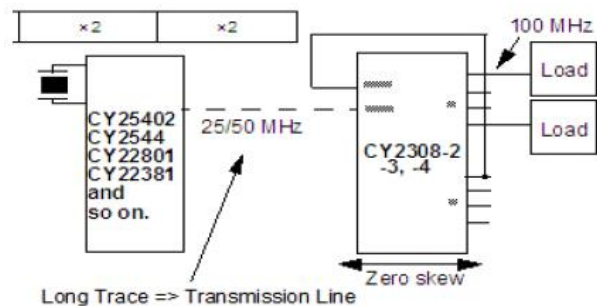


### CY2308-2、-3、-4 を使用して EMI/EMC を低減

前述のアプリケーションで CY2308 により、クロックの振幅を 5V (レール ツー レール) から 3.3V (レール ツー レール) に縮小することで EMI/EMC を減少する方法について説明しました。CY2308-2、-3、-4 は、分配される信号の周波数を減少させることで長い伝送線路で発生する EMI/EMC を減少させるというもう 1 つの方法を提供します。

例えば、ある負荷が 100MHz などの高周波数を必要とし、クロック源から物理的に離れているところに配置される必要があったとします。通常、クロックを供給するためには、100MHz の信号をクロック源で生成し、長い伝送線路を経由して負荷に供給する必要があります (100MHz でスイッチングし、盛大な EMI/EMC を生成します)。図 16 に示す別のソリューションとしては、クロック源で 25 または 50MHz のクロックを生成し、その低い周波数のクロックを伝送線路を通じて伝送し、CY2308-2、-3、および-4 を使用して負荷の近くで周波数を 100MHz に遷倍します。この低い周波数のクロックのエッジ比率が低い場合、長い配線での EMI/EMC は減少します。これは、EMI/EMC がエッジ比率に依存するためです。

図 16. CY2308-2、3、および 4 を使用して EMI を低減



## CY2305/CY2309

前のセクションでは、CY2308 が ZDB のいくつかのアプリケーションを理解するために使用されました。ここでは、PCI や SDRAM バッファ ソリューションなどの ZDB を使った幾つかのアプリケーションを説明するために CY2305/CY2309 を使用します。CY2305 と CY2309 は、単一の入力クロックをそれぞれ 5 つと 9 つの出力を提供する汎用の ZDB です。システム デザインをより簡単にするため、CY2305/CY2309 は、内部フィードバックで設計されています。CLKOUT (CY2305 のピン 8 または CY2309 のピン 16) と FBK はシステム デザインをより簡単にするため、内部で接続されています。

## PCI バッファ ソリューション

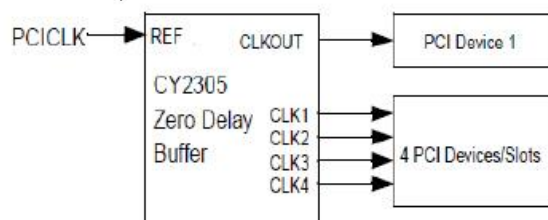
CY2305/CY2309 の ZDB は、より多くの PCI クロックを必要とするシステムの要求を満たします。CY2305 は、1 つのクロックを PCI バッファリングのための 5 つのクロックにバッファリングするためのものです。一方、CY2309 は 1 つのクロックを PCI バッファリングのための 9 つのクロックにバッファリングするためのものです。これら 2 つのデバイスを用いた 5 つと 9 つの PCI デバイス/スロット ZDB ソリューションを次のセクションで説明します。

### 5 デバイス/スロット ソリューション

5 つの PCI クロックを必要とするシステムは、図 17 に示すように CY2305 ZDB を使用すると実現できます。5 つの PCI バッファ ソリューションを実装するためのガイドラインは次のとおりです。

- PCI/スロット 1 (CLKOUT) は、かならず接続されます。
- PCI スロットの負荷が異なる場合、クロックは進みまたは遅れます (「リードまたはラグ調整」セクションを参照してください)。

図 17. 5 つの PCI デバイス/スロットのゼロ遅延バッファ ソリューションとして機能する CY2305

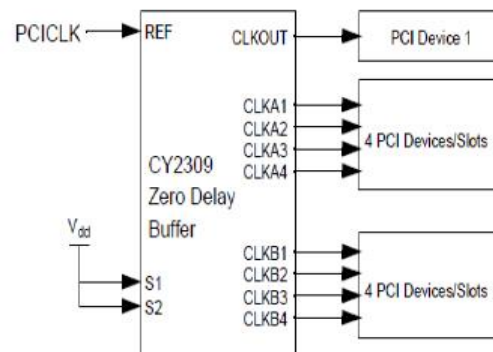


### 9 デバイス/スロット ソリューション

9 つの PCI クロックを必要とするシステムは、図 18 に示すように CY2309 ZDB を使用すると実現できます。9 つの PCI バッファ ソリューションを実装するためのガイドラインは次のとおりです。

- PCI/スロット 1 (CLKOUT) は、かならず接続されます。
- 選択信号は出力バンクをシャットダウンするのに使用できます (詳細は CY2305/CY2309 データシートを参照してください)。

図 18. 9 つの PCI デバイス/スロットのゼロ遅延バッファ ソリューションとして機能する CY2309



## SDRAM バッファ ソリューション

SDRAM (同期 DRAM) は、コンピュータのシステム バスに同期するダイナミック ランダム アクセス メモリ (DRAM) です。SDRAM は、同期インターフェースを持ち、よってクロック信号が与えられるときにのみ制御入力に応答します。

1 つ以上の SDRAM DIMM モジュールが存在するシステムでは、それぞれの DIMM モジュールは遅延のない同様のクロックで動作する必要があります。CY2305/CY2309 は、内部フィードバックのため、この種のシステムには最適なクロッキング ソリューションです。以下に説明する例では 1 つの SDRAM モジュールが合計 4 つのクロック信号を受け付けるものとします。CY2305 は 1 つの SDRAM モジュールに 4 つのクロックをバッファリングするように考えられました。一方、CY2309 は 2 つの SDRAM モジュールに 8 つクロックをバッファリングするように考えられています。しかし、2 つより多くの SDRAM モジュールの場合、CY2305 と CY2309 がカスケード接続する事で実現できます。

ここで説明する ZDB ソリューションは CY2305 と CY2309 をカスケード接続して、3 つの SDRAM DIMM モジュールを有するシステムに使用している例です。

### 3つの SDRAM DIMM 向けゼロ遅延バッファソリューション

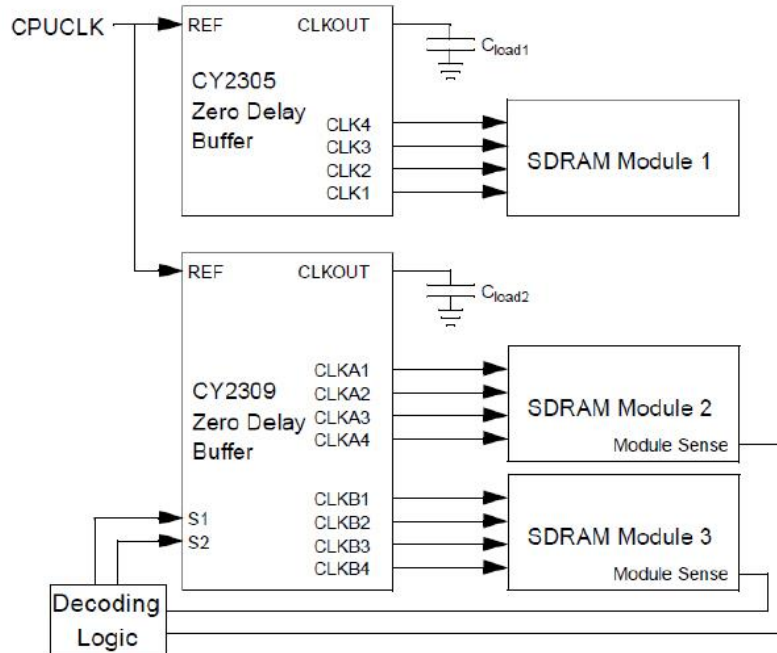
CY2305 と CY2309 で 3 つの SDRAM DIMM のサポートを実装するには 2 つのソリューションがあります。1 つ目は調整可能な遅延ソリューションで、2 つ目は遅延の自己調整ソリューションです。

#### 調整可能な遅延ソリューション

調整可能な遅延ソリューションでは、図 19 に示すように、CLKOUT は容量性負荷を持ちます。したがって、SDRAM 入力と基準クロック (CPUCLK) との間の遅延時間を調整することができます。3 つの SDRAM DIMM 向けの調整可能な遅延ソリューションを実装するために以下のいくつかのガイドライン／推奨事項があります。

- CPUCLK と SDRAM 入力の間をゼロ遅延にするためには、Cload1 と Cload2 は、SDRAM モジュールの負荷と等しくなければなりません。
- SDRAM 入力を基準入力に対して進むまたは遅れるようにするためには、本アプリケーションノートの「リードまたはラグ調整」を参照してください。
- SDRAM モジュールは順番にインストールする必要があります。(最初にモジュール 1 を、最後にモジュール 3 をインストールします。)
- モジュール 2 と 3 の SDRAM モジュールが存在しないとき、対応するモジュールのクロックはトライステートになりますが、CLKOUT は継続して出力されます。
- モジュール 1 のクロックをトライステートにすることが出来るのは CPUCLK をトライステートにすることだけで、このときモジュール 2 と 3 もトライステートになります。

図 19. CY2305 と CY2309 を使用した 3 SDRAM DIMM 向けの調整可能な遅延ソリューション



### 自己調整ソリューション

自己調整ソリューションでは、図 20 に示すように、CLKOUT が SDRAM モジュールに直接接続されています。したがって、CPUCLK と (モジュール 1 とモジュール 2 の) 両 SDRAM モジュールの入力との間で遅延が常にゼロになります。3 つの SDRAM DIMM 向けの自己調整ソリューションを実装するために以下のいくつかのガイドライン／推奨事項があります。

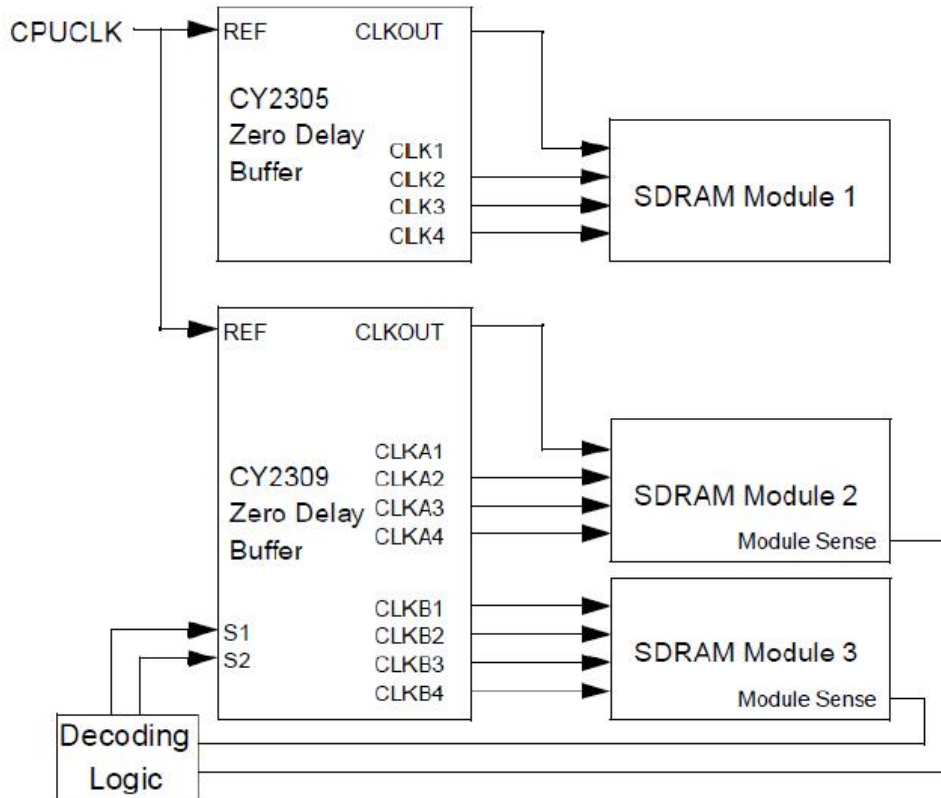
- このソリューションは CLKOUT が直接 SDRAM モジュールに接続されているため、(モジュール 1 とモジュール 2 に限り) 異なる SDRAM 入力の負荷を自動的に補正します。
- SDRAM モジュール 1 とモジュール 2 の CK0<sup>2</sup>を CLKOUT で駆動しなくてはなりません。そうすることで、CLKOUT には、必ず負荷が接続されます。
- SDRAM モジュールは順番にインストールする必要があります (最初にモジュール 1 を、最後にモジュール 3 をインストールします)。

- モジュール 2 と 3 の SDRAM モジュールが存在しないとき、対応するモジュールのクロックはトライステートになりますが、CLKOUT は継続して出力されます。
- モジュール 1 のクロックをトライステートにすることが出来るのは CPUCLK をトライステートにすることだけで、このときモジュール 2 と 3 もトライステートになります。

説明している例は 3 つの SDRAM DIMM 向けバッファソリューションであることに注意してください。同様に、これらの ZDB を、1 つ、2 つまたは 4 つの SDRAM DIMM のバッファソリューションに使用することもできます。例えば、1 つの CY2305 を 1 つの SDRAM DIMM ソリューションに、1 つの CY2309 を 2 つの SDRAM DIMM ソリューションに、または 2 つの CY2309 をまたは 4 つの SDRAM DIMM ソリューションに使用することができます。

<sup>2</sup> CK0 は SDRAM DIMM モジュールのクロック入力の 1 つです。例えば、168 ピン SDRAM DIMM モジュールでは、ピン 42-CK0 です。

図 20. CY2305 と CY2309 を使用した 3 SDRAM DIMM 向けの自己調整ソリューション



## サイプレスのゼロ遅延バッファの推奨レイアウト

1. 100pF と 0.01uF のコンデンサを (CY3208 の場合はピン 4 と 12 の)  $V_{DD}$  と  $V_{SS}$  の間に配置することを推奨しています。バイパス コンデンサ ( $C_b$ ) 0.01uF はクロック バッファが最大容量負荷のついた全ての出力を同時に駆動しているときに、電源の垂下を防止するために使用されます。100pF のコンデンサ ( $C_d$ ) は、電源からのノイズを取り除くために使用されます。デカップリング コンデンサとバイパス コンデンサは、 $V_{DD}$  端子と  $V_{DD}$  ビアとの間に配置する必要があります。
2.  $V_{DD}$  と  $V_{SS}$  のベタ層を確保するため、部品面にできるだけ多くのビアを使用します。 $V_{DD}$  と  $V_{SS}$  ピンにはより大きなビアを使用することが推奨されます。また、図 21 に示す

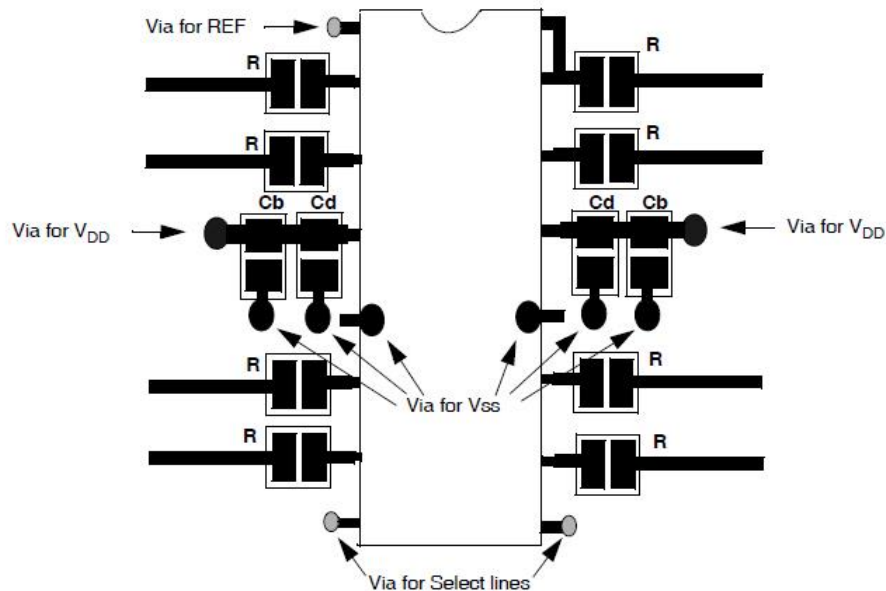
ように、すべてのデカップリング コンデンサ、バイパス コンデンサ、および  $V_{SS}$  ピンには  $V_{SS}$  に対して個別のビアを使用することを推奨します。良質の面実装コンデンサの使用を推奨します。

3. CY2308 で駆動される各クロック出力には反射波を防止するための直列ダンピング抵抗を使用することを推奨します。この値は回路基板配線のインピーダンスに依存し、10~75Ω になります。直列終端抵抗は、できるだけ出力ピンの近くに配置する必要があります。

**注:** 回路図とレイアウトの検証に関するサポートが必要な場合、[www.cypress.com/support](http://www.cypress.com/support) でサイプレスのカスタマ サポートまでお問い合わせください。



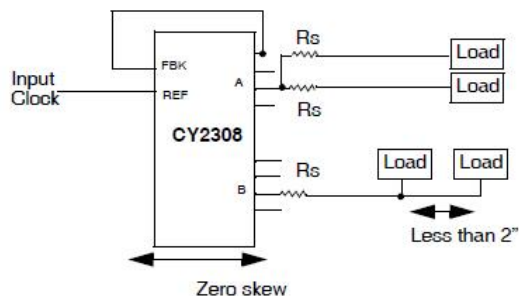
図 21. CY2308 の推奨レイアウト



## サイプレスのゼロ遅延バッファ用クロック信号の推奨ルーティング

1. 単一の出力で複数の負荷を駆動するとき、出力をディジー チェーンでつなぐ (50MHz では、距離が 2 インチ未満の場合) か、またはできるだけクロック源の近くの各負荷に個別の配線をルーティングします。個々の配線が単一の出力から引き出される場合、各配線は別々に直列終端抵抗を持つべきです。図 22 を参照してください。
2. クロック信号に使用するビアの数は最小限にしてください。できる限り単一の層でクロックをルーティングするようにしてください。
3. クロックをルーティングするときに 90 度に曲げた配線を使用しないでください。できる限りなめらかに曲がる配線を使用してください。
4. ベタ グランド面がクロック配線ルーティング層に隣接する層に配置されることを推奨します。

図 22. 複数の出力を駆動



## まとめ

サイプレスの ZDB は、1 つのクロック信号を出力間の遅延が無くスキューが少ない複数のクロック信号にファンアウトすることができるデバイスです。ファンアウトを増やす、駆動能力を上げる、または弱いクロック信号を単純に増幅して長い配線を駆動するためには、クロック バッファの使用が必要です。サイプレスの ZDB はこのようなアプリケーションに理想的な選択肢です。CY2305/CY2309 の ZDB は、より多くの PCI クロックを必要とするシステムに対応します。CY2305 は、1 つのクロックを PCI バッファリングのための 5 つのクロックにバッファリングするためのものです。一方、CY2309 は 1 つのクロックを PCI バッファリングのための 9 つのクロックにバッファリングするためのものです。お客様のアプリケーションにサイプレス ZDB デバイスを使用する際、前述の使用例とレイアウトのガイドラインに従うことを推奨します。

## 改訂履歴

文書名: サイプレスのゼロ遅延バッファを理解する - AN1234

文書番号: 001-95842

版	ECN 番号	変更者	発行日	変更内容
**	4722776	NTAN	07/14/2015	これは英語版 001-35239 Rev. *F を翻訳した日本語版 001-95842 Rev. **です。

## ワールドワイドな販売と設計サポート

サイプレスは、事業所、ソリューション センター、メーカー代理店および販売代理店の世界的なネットワークを持っています。お客様の最寄りのオフィスについては、[サイプレスのロケーション ページ](#)をご覧ください。

### 製品

車載用	<a href="http://cypress.com/go/automotive">cypress.com/go/automotive</a>
クロック & バッファ	<a href="http://cypress.com/go/clocks">cypress.com/go/clocks</a>
インターフェース	<a href="http://cypress.com/go/interface">cypress.com/go/interface</a>
照明 & 電源管理	<a href="http://cypress.com/go/powerpsoc">cypress.com/go/powerpsoc</a> <a href="http://cypress.com/go/plc">cypress.com/go/plc</a>
メモリ	<a href="http://cypress.com/go/memory">cypress.com/go/memory</a>
PSoC	<a href="http://cypress.com/go/psoc">cypress.com/go/psoc</a>
タッチ センシング	<a href="http://cypress.com/go/touch">cypress.com/go/touch</a>
USB コントローラー	<a href="http://cypress.com/go/usb">cypress.com/go/usb</a>
無線 / RF	<a href="http://cypress.com/go/wireless">cypress.com/go/wireless</a>

### PSoC<sup>®</sup>ソリューション

[psoc.cypress.com/solutions](http://psoc.cypress.com/solutions)  
PSoC 1 | PSoC 3 | PSoC 4 | PSoC 5LP

### サイプレス開発者コミュニティ

[コミュニティ](#) | [フォーラム](#) | [ブログ](#) | [ビデオ](#) | [トレーニング](#)

### テクニカル サポート

[cypress.com/go/support](http://cypress.com/go/support)

PSoC は、サイプレス セミコンダクタ社の登録商標です。本書で言及するその他すべての商標または登録商標は、各社の所有物です。



Cypress Semiconductor      Phone : 408-943-2600  
198 Champion Court      Fax : 408-943-4730  
San Jose, CA 95134-1709      Website : [www.cypress.com](http://www.cypress.com)

© Cypress Semiconductor Corporation, 2007-2015. 本文書に記載される情報は予告なく変更される場合があります。Cypress Semiconductor Corporation (サイプレス セミコンダクタ社) は、サイプレス製品に組み込まれた回路以外のいかなる回路を使用することに対して一切の責任を負いません。サイプレス セミコンダクタ社は、特許またはその他の権利に基づくライセンスを譲渡することも、または含意することはありません。サイプレス製品は、サイプレスとの書面による合意に基づくものでない限り、医療、生命維持、救命、重要な管理、または安全の用途のために使用することを保証するものではなく、また使用することを意図したものでもありません。さらにサイプレスは、誤動作や故障によって使用者に重大な傷害をもたらすことが合理的に予想される生命維持システムの重要なコンポーネントとしてサイプレス製品を使用することを許可していません。生命維持システムの用途にサイプレス製品を供することは、製造者がそのような使用におけるあらゆるリスクを負うことを意味し、その結果サイプレスはあらゆる責任を免除されることを意味します。

このソースコード (ソフトウェアおよび/またはファームウェア) はサイプレス セミコンダクタ社 (以下「サイプレス」) が所有し、全世界の特許権保護 (米国およびその他の国)、米国の著作権法ならびに国際協定の条項により保護され、かつそれらに従います。サイプレスが本書面によりライセンシーに付与するライセンスは、個人的、非独占的かつ譲渡不能のライセンスであり、適用される契約で指定されたサイプレスの集積回路と併用されるライセンシーの製品のみをサポートするカスタム ソフトウェアおよび/またはカスタム ファームウェアを作成する目的に限って、サイプレスのソースコードの派生著作物をコピー、使用、変更して作成するためのライセンス、ならびにサイプレスのソース コードおよび派生著作物をコンパイルするためのライセンスです。上記で指定された場合を除き、サイプレスの書面による明示的な許可なくして本ソース コードを複製、変更、変換、コンパイル、または表示することはすべて禁止します。

免責事項: サイプレスは、明示的または黙示的を問わず、本資料に関するいかなる種類の保証も行いません。これには、商品性または特定目的への適合性の黙示的な保証が含まれますが、これに限定されません。サイプレスは、本文書に記載される資料に対して今後予告なく変更を加える権利を留保します。サイプレスは、本文書に記載されるいかなる製品または回路を適用または使用したことによって生ずるいかなる責任も負いません。サイプレスは、誤動作や故障によって使用者に重大な傷害をもたらすことが合理的に予想される生命維持システムの重要なコンポーネントとしてサイプレス製品を使用することを許可していません。生命維持システムの用途にサイプレス製品を供することは、製造者がそのような使用におけるあらゆるリスクを負うことを意味し、その結果サイプレスはあらゆる責任を免除されることを意味します。

ソフトウェアの使用は、適用されるサイプレス ソフトウェア ライセンス契約によって制限され、かつ制約される場合があります。