

## AN1234

## 了解赛普拉斯零延迟缓冲器

作者：Purushottam Kumar

相关项目：无

相关部件系列：CY2308, CY2305, CY2309

软件版本：NA

相关应用笔记：无

要想获得该应用笔记的最新版本或相关项目文件，请访问网站 <http://www.cypress.com/go/AN1234>。

AN1234 对赛普拉斯零延迟缓冲器以及其丰富的应用提供了详细说明。对输入输出和输出输出时滞要求严格的时钟分布应用，零延迟缓冲器提供了非常理想的选择。

## 目录

赛普拉斯零延迟缓冲器概述 .....	1
CY2308 .....	2
超前或滞后调整 .....	2
零延迟和转换控制 .....	3
零、超前或滞后调整的走线长度 .....	4
驱动能力 .....	6
特殊的断电特性 .....	6
应用 .....	6
增加一个时钟信号的扇出（缓冲）（不存在时滞延迟） .....	6
5 V 到 3.3 V 的电平位移 .....	6
通过电平位移降低时钟分布中的 EMI/EMC .....	7
通过组合输出来减少输出到输出的时滞 .....	7
使用外部反馈 .....	8
使用内部反馈的零延迟频率乘法器/分频器 .....	8
CY2305/CY2309 .....	9
PCI 缓冲解决方案 .....	9
五器件/插槽解决方案 .....	10
九器件/插槽解决方案 .....	10
SDRAM 缓冲解决方案 .....	10
三个 SDRAM DIMM 零延迟缓冲解决方案 .....	10
赛普拉斯零延迟缓冲器的布局建议 .....	12
赛普拉斯零延迟缓冲器中时钟信号的路由建议 .....	13
总结 .....	13
全球销售和 design 支持 .....	15

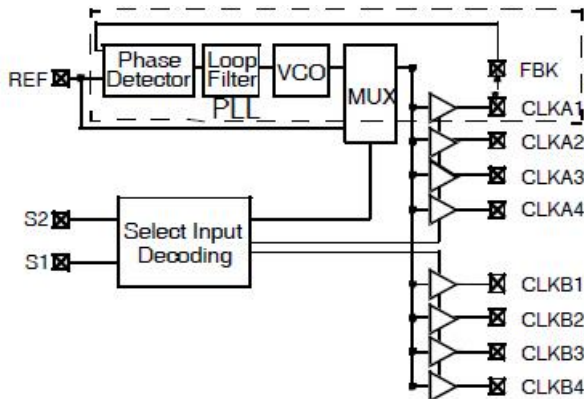
## 赛普拉斯零延迟缓冲器概述

零延迟缓冲器能够将一个时钟信号生成为多个时钟信号，它不会引起任何延迟并且可以确保较紧的输出时滞。图 1 显示的是零延迟缓冲器的简化框图。零延迟缓冲器由一个 PLL（锁相环）构成，该 PLL 使用一个参考输入（REF）和一个反馈输入（FBK）。反馈输入由一个输出驱动。PLL 中的相位检测器会调整 VCO（电压控制振荡器）的输出频率，以便保证两个输入之间不存在相位或频率差异。因为 PLL 控制环包括了一个输出及其负载，所以它完全能够补偿该输出上连接的负载。无论驱动反馈的输出负载如何，PLL 中输入到该输出的延迟均为零。

**注意：**该零延迟只应用于被反馈输入监控的输出；而所有其它输出则具有输入到输出延迟，该延迟是受输出负载的差异而影响的。有关详细信息，请参考“超前或滞后调整”一节。

赛普拉斯具有广泛的零延迟缓冲器（ZDB）产品系列。例如：CY2304, CY2305, CY2308, CY2309 等等。这些 ZDB 支持 10 MHz ~ 200 MHz 的频率范围，并且各自的特性互不相同。例如：内部和外部反馈、输出数量、频率乘法、多种输出频率和输出使能特性等各构架上的区别。CY2308 具有八个输出，并且能够通过外部关闭反馈路径；而 CY2305/CY2309 分别具有五个和九个输出，并且具有一个集成反馈路径连接，可满足简化系统设计的要求。其它器件具有 2、4、5、9、10、11、或 12 个输出。有关详细信息，请参考我们网站（[www.cypress.com](http://www.cypress.com)）上的产品介绍内容。在该应用笔记中，我们将 CY2308、CY2305 和 CY2309 作为例子，用于讲解 ZDB 及其丰富应用。

图 1. CY2308 简化框图



## CY2308

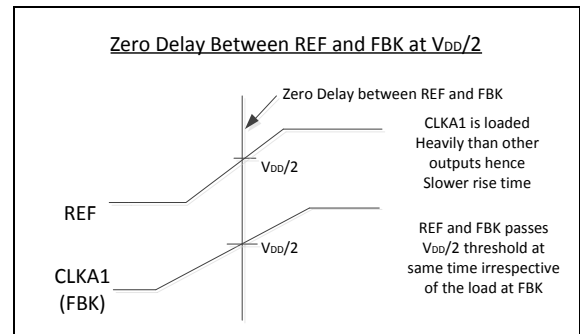
赛普拉斯 CY2308 是一个双分组通用 ZDB，它从单个输入时钟提供八个输出时钟，其输入到输出延迟为零，各输出之间的时滞较低。CY2308 是一种开放性反馈器件。为了实现 ZDB 的功能，反馈环必需是关闭的。将八个输出中的任何一个反馈到反馈引脚（FBK）均能关闭反馈环，并形成简单的 ZDB。CY2308 可在外部关闭反馈路径的功能使其具有了时滞控制能力，并为各种时钟分布应用提供了选择。反馈输出的负载与其它输出的负载之间关键的区别可被用于简单的超前或滞后调整，这一内容在后续章节中进行介绍。

## 超前或滞后调整

通过对反馈输出提供合适的负载，可使其他输出超前或滞后于参考时钟。在该情况下，使用 PLL 可使输出超前或滞后于其它输出。请注意，CY2308 中有 REF 和 FBK 两个引脚（图 1），它们是 PLL 的输入。参考信号（时钟）作为 REF 引脚的输入，而 FBK 引脚则用于在外部关闭反馈路径。请参考下面所列出的 PLL 特点，以便了解将任何输出连接到 FBK 引脚的特性。

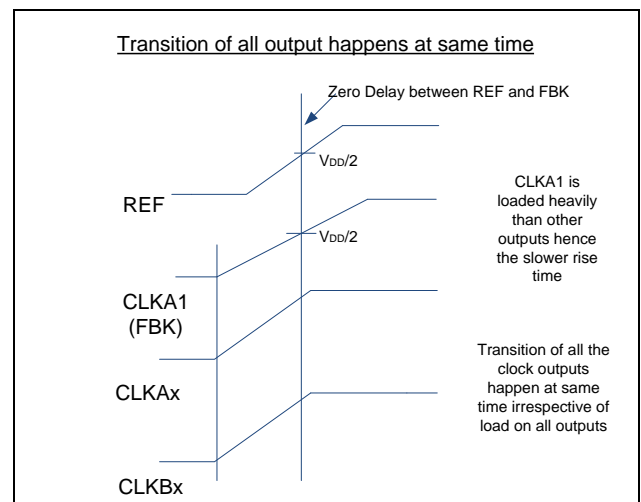
1. PLL 检测 FBK 引脚在阈值等于  $V_{DD}/2$  的情况下的相位（和频率），然后将其与 REF 引脚在相同的  $V_{DD}/2$  阈值的情况下相比。因此，ZDB 始终使用 PLL 的特性进行自调整，以便将 FBK 输入的  $V_{DD}/2$  时间对于 REF 输入的  $V_{DD}/2$  时间的延迟保持为零。

图 2. REF 和 FBK 在  $V_{DD}/2$  的零延迟



2. 所有输出（包括驱动 FBK 的输出）同时开始各自的切换。

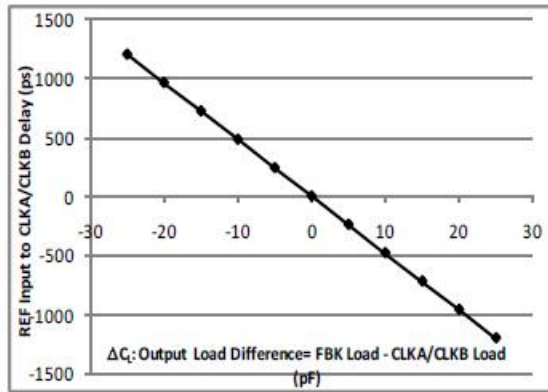
图 3. 所有输出的切换



因此，改变一个输出上的负载会改变它的上升时间，进而改变输出达到  $V_{DD}/2$  阈值的时间。按此原理，通过使对反馈输出提供的负载大于其它输出，可使输出提前；或者反过来，通过使对反馈输出提供的负载小于其它输出，可使输出滞后（滞后）。图 3 对此进行了讲解。

图 4 显示的是延迟差异以及反馈输出与其它输出负载之间的差异。延迟差异表示移动输出所需时间（以皮秒为单位）。如图表上第一个测量的数据显示，负载差异的调整等于 50 ps/pF。

图 4. 超前和滞后调整

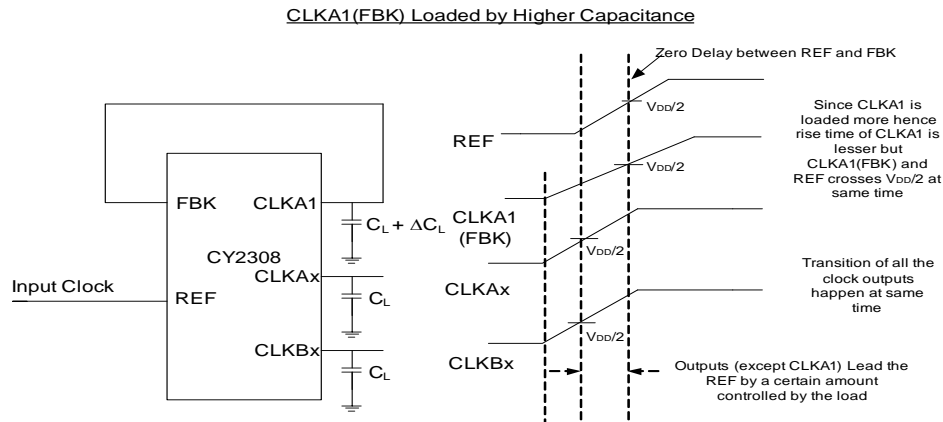


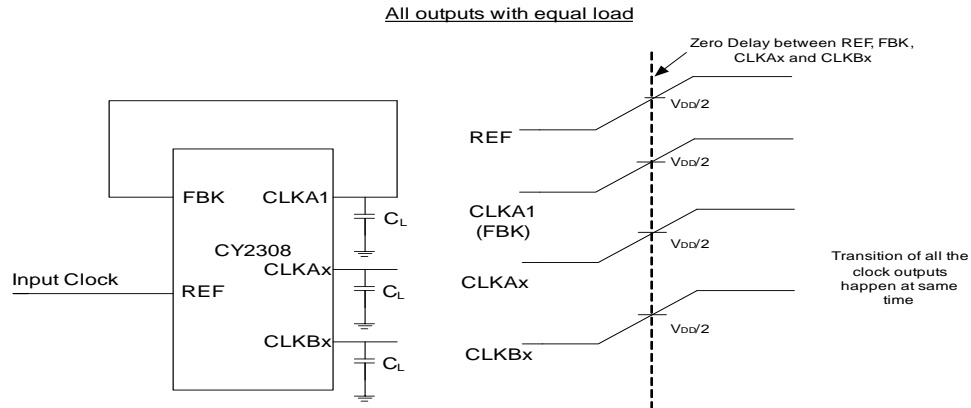
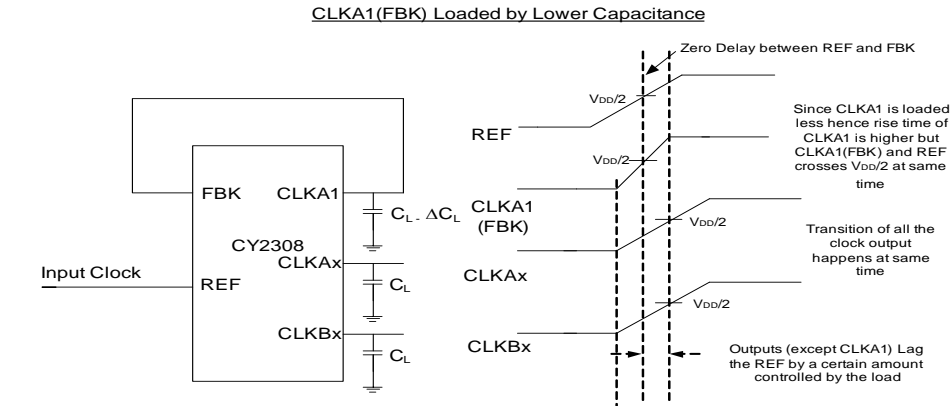
## 零延迟和转换控制

为了实现零输出到输出时滞，所有输出上的负载必须相等。反馈环不会完全调整 FBK 和其他输出之间的时滞。图 5 显示的是输出负载对输出到输出时滞的影响。在这里，假设 FBK 被 CLKA1 驱动，虽然其它输出均可用于驱动 FBK。如果其它输出的负载小于 CLKA1，它们会超前于 CLKA1；而如果它们的负载大于 CLKA1，它们会滞后于 CLKA1，如前一章节所解释。在这种情况下，因为 CLKA1 是唯一被监控的输出，它作为与 REF 存在零延迟的输出。其它输出的负载区别会确定它们是否超前或滞后于 CLKA1。

请注意，不被使用的输出需要处于悬空状态，而不需要任何附加电容或走线。

图 5. 不同负载配置下的 CY2308 时序框图（CLKA1 驱动 FBK）

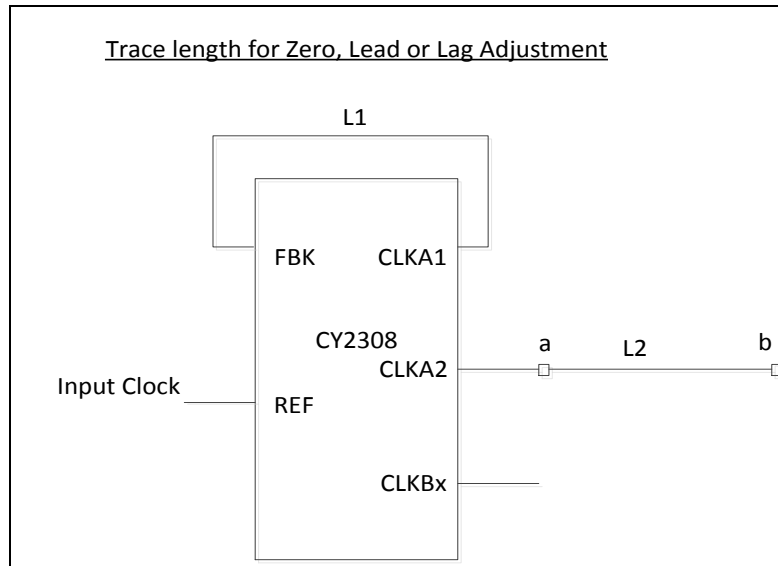




## 零、超前或滞后调整的走线长度

以前，我们仅通过电容负载对超前、滞后时序和输出时滞的影响进行了讨论。该原理也适用于走线长度。为了使 REF 引脚与在到达目的地时的各 CLK 信号间的延迟为零，主要规则是反馈走线长度（从 CLK 引脚到 FBK 引脚）要等于从其他输出到与其相对应的目的地的走线长度。图 7 显示的是如何通过改变走线长度进行零、超前或滞后调整。在这里，假设 FBK 由 CLKA1 驱动、CLKA1 到 FBK 的走线长度等于 L1、从 CLKA2 到其目的地的长度等于 L2，如图 6 所示。

图 6. 进行零、超前或滞后调整的走线长度



请注意，由于 L1 走线长度，从 CLKA1 到 FBK 之间有一段延迟时间 (t)。按照 PLL 的属性，为了保证 FBK 和 REF 的  $V_{DD}/2$  阈值的交叉点处于同一时间，CLKA1 会超前于 REF，超前时间 (t) 等于延迟时间 (如图 7 所示)。所有输出 (图 7 中的 CLKA2) 会与 CLKA1 同时开始切换 (如“超前和滞后调整”一节中所介绍)，所以 CLKA2 (a 点) 会超前于 REF。但由于 L2 走线长度，在目的地的 CLKA2 (b 点) 会滞后于 CLKA2 (a 点)，延迟时间等于 t'。

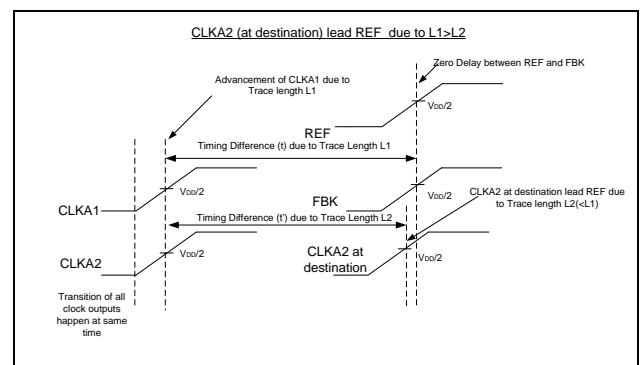
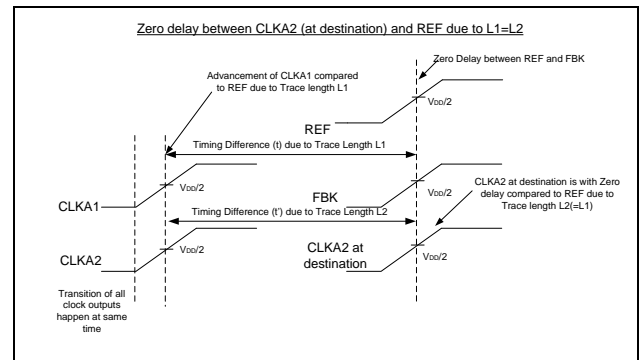
总之，

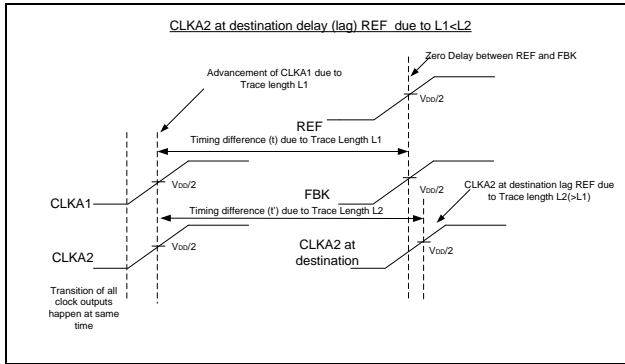
如果  $L1 = L2$ ，那么  $t = t'$ ，因此 REF 同处于目的地的 CLKA2 之间的延迟为零，如图 7 所示。

如果  $L1 > L2$ , 那么  $t > t'$ , 因此处于目的地的 CLKA2 (b 点) 超前于 REF, 如图 7 所示。

如果  $L1 < L2$ , 那么  $t < t'$ , 因此处于目的地的 CLKA2 延迟 (滞后) 于 REF, 如图 7 所示。

图 7. 用于零延迟, 超前或滞后调整的走线长度





对于所有缓冲器，通过缩短或延长这根特殊的走线，可分别使各时钟变成超前或滞后。延长走线长度时，请注意，在长度相等的情况下，一条弯曲的走线所引起的延迟比直走线的延迟小。这是因为路由较近的走线自身被耦合，会加快信号传输的速度。

## 驱动能力

CY2308 具有八个高驱动输出，每个可驱动 30 pF 大小的电容。假设一个典型 CMOS 输入电容为 7 pF，那么 CY2308 的一个输出可以驱动多达四个 CMOS 输入。然而，CY2308 上的各个输出必须具有相等的输出负载，以便保证输入对输出的延迟为零。

## 特殊的断电特性

CY2308 具有一种独特的断电模式：如果输入参考被停止，部件会通过关闭 PLL 并使各输出进入三态来自动进入关闭状态。当部件处于关闭模式时，它耗用的电流小于 50  $\mu$ A，并能够在 PLL 被锁闭 1 ms 以内的时间，退出关闭状态。

输出被作为两个分组使用，每个分组具有四个输出；并且提供了两条选择线路，用于单独将这两组输出进入三态甚至使 PLL 断电，以达到低功耗操作目的。

当输出由参考驱动，并且 PLL 被旁路时，也存在一种相对应的模式。请参考表 1，了解如何通过使用选择线路进行多种操作配置。

表 1. 选择输出解码

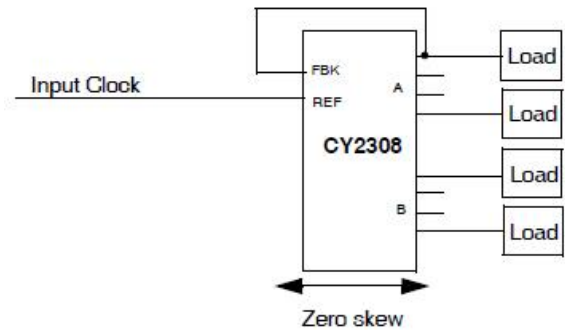
S2	S1	CLK A1-A4	CLK B1-B4	输出源	PLL
0	0	OFF	OFF	—	OFF
0	1	驱动	OFF	PLL	ON
1	0	驱动	驱动	参考	OFF
1	1	驱动	驱动	PLL	ON

## 应用

### 增加一个时钟信号的扇出（缓冲）（不存在时滞延迟）

增加扇出，增加驱动强度或者只是简单对在一段长式走线上的弱时钟信号进行重新设置需要使用时钟缓冲器。传统的高速缓冲器存在传输延迟，设计者在对设计中的时序进行研究时需要注意这一点。如图 8 所示，基于 PLL 的零延迟缓冲器（如 CY2308）在使用合适的走线时长条件下，可提供不带相关传输延迟时滞的所需缓冲。

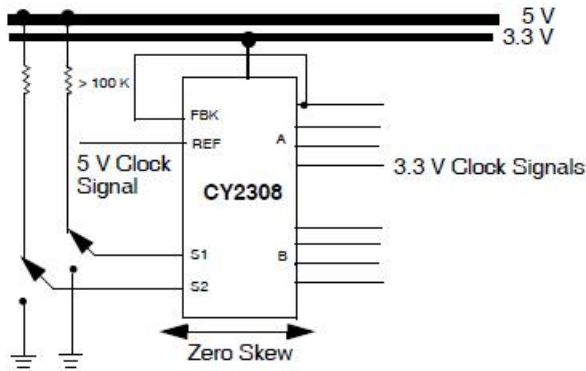
图 8. 时钟缓冲



## 5 V 到 3.3 V 的电平位移

CY2308 可作为 5 V 到 3.3 V 的电平位移器使用。参考输入板适用于 5 V 信号。因为许多系统组件仍运行在 5 V 电压，该特性能够从一个 5 V 的参考时钟生成多个 3.3 V 的时钟，在电平位移过程中并不会导致任何传输延迟。请注意，只有参考版适用的是 5 V 信号；CY2308 的选择输出并不适用于 5 V 的信号。但可以通过使用一个 100 KOhms 以上的电阻器，将选择引脚连接到一个 5 V 电压源。此外，各选择线路具有内部弱上拉，并能够保持为悬空状态。请参考图 9。

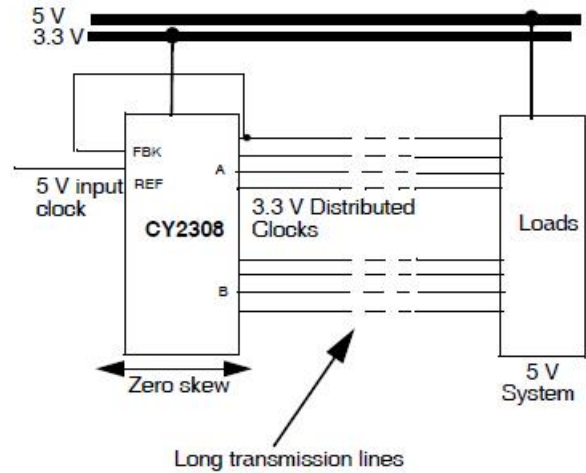
图 9. 电平位移



### 通过电平位移降低时钟分布中的 EMI/EMC

电磁干扰 (EMI) 和电磁耦合 (EMC) 是由影响全系统的高能量电磁场 (EMF) 导致的。这是由系统中各高频切换信号造成的。分布这些高频信号的长式传输线路是导致 EMC 和 EMI 的主要原因。在这些线路中使用合适的终端和阻抗匹配会耗散被传输的能量，进而解决该问题（有关详细信息，请参考应用笔记中“赛普拉斯时钟发生器的布局和终端技术”中的内容）。降低高频信号的实际能量是控制 EMI 和 EMC 的另一种方法。CY2308 可提供这种功能。如前面的一些例子所示，CY2308 可用于将 5 V 时钟信号转换成输出上的 3.3 V 时钟信号。如图 10 所示，在较长的传输线路上，使用 3.3 V 的信号代替 5 V 信号，所生成的 EMF 的能量被大大减少。CY2308 的输出是 3.3 V，在轨至轨中摆动，使其符合 5 V TTL 规则。因此，在负载中，它可被驱动给一个 5 V 器件。唯一要求是应该提供一个 3.3 V 的电源。

图 10. 降低 EMI



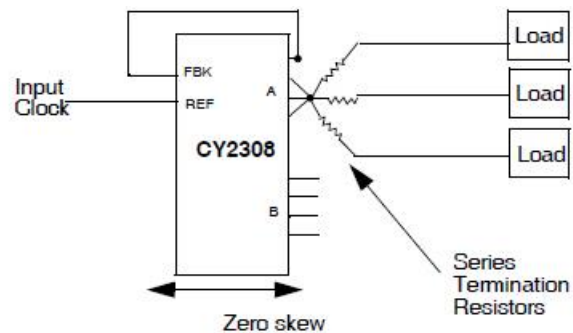
### 通过组合输出来减少输出到输出的时滞

在当前的系统设计中，输出到输出的时滞是最重要的因素之一。

将各输出组合起来是减少输出到输出时滞的一个先进方法。通过使用这种方法，既能够增强特定输入的驱动，又能消除由多输出导致的输出到输出间的时滞。

如图 11 所示，CY2308 的三个输出被组合，并被分布给三个不同的负载。这样减少了输入到这些负载的时钟间的时滞。请注意，如图所示，三个独立的串联终端电阻被提供给三个负载。

图 11. 输出组合



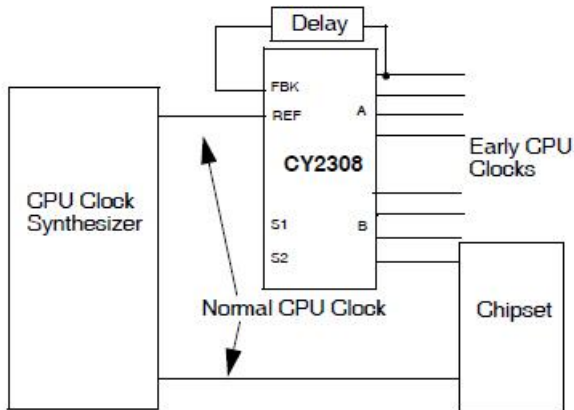
## 使用外部反馈

CY2308 具有一条反馈路径。为了实现零延迟缓冲操作，该路径被关闭（通过将任意输出驱动给 FBK 引脚）。然而，反馈路径可用于其他应用，这里会介绍其中一些应用。

### ‘早’时钟的生成

一些特定的芯片集需要某些主时钟信号提早到达（即：比主时钟的其他信号到达得更早的信号）。通过在反馈路径中使用一个独立延迟元素，可以实现该目标。如您所知，PLL 中的相位检测器调整了 VCO 的输出频率，以便保证两个输入（CY2308 中的 REF 和 FBK）间不存在相位或频率差异。因为我们在反馈路径中已经添加了一个独立的延迟元素，所以，为了保证 REF 和 FBK 之间不存在相位或频率差异，相位检测器需要通过调整 PLL 中的 VCO 输出出来生成早时钟（如图 12 所示）。实现该方法时，通过使用 CY2308 可以生成八个输出用于引导输入。与输入时钟相比，这八个输出更‘早’。图 12 显示的是生成这八个输出的电路的实施框图。

图 12. 早时钟



### 通过使用变量负载创建超前或滞后时钟

在 CY2308 中，可以使用一个简单的方法来创建超前或滞后于 REF 时钟的时钟边沿。如“超前或滞后调整”一节中的介绍，通过对反馈到 FBK 引脚的时钟进行负载调整，可以达到该目标。

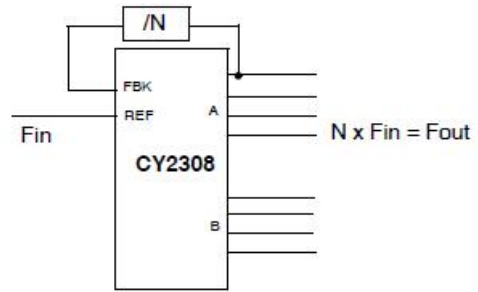
### 通过使用变量走线长度创建超前或滞后时钟

如“用于零，超前或滞后调整的走线长度”这一节所介绍的内容，可通过改变反馈走线的长度使时钟超前或滞后。微波传送带和带状线的典型传输延迟时间分别为 150 ps/inch 和 180 ps/inch。

## 频率乘法器

在反馈路径中使用一个外部分频器可以为 CY2308 创建一个频率乘法器。如图 13 所示，反馈路径中的一个 /N 分频器可使所有输出的运行频率等于输入  $\times N$  的频率。无论倍增系数是几，输入和输出频率需要处于 10–130 MHz 的频率范围内，因此分频器的值不能大于 13。

图 13. 频率乘法器



## 使用内部反馈的零延迟频率乘法器/分频器

### 零延迟缓冲器的扩展系列

您可在多种情况下对某个单一芯片执行乘法/分频要求，并且需要在该过程中不存在任何延迟。为了解决这些问题，零延迟缓冲器系列已得到扩展，即对 CY2308 设置了内部分频器。CY2308-2、-3、-4 的框图如图 14 所示。从一个特定的输出分组驱动 FBK 可在输出上生成所需功能。

表 2 定义了用于反馈的输出，这些输出在发生乘法/分频任务时还可以作为参考使用。

图 14. CY2308-2、-3、-4 的简化框图

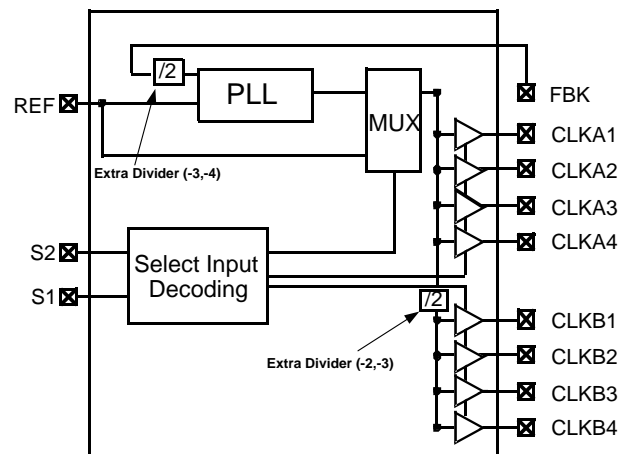


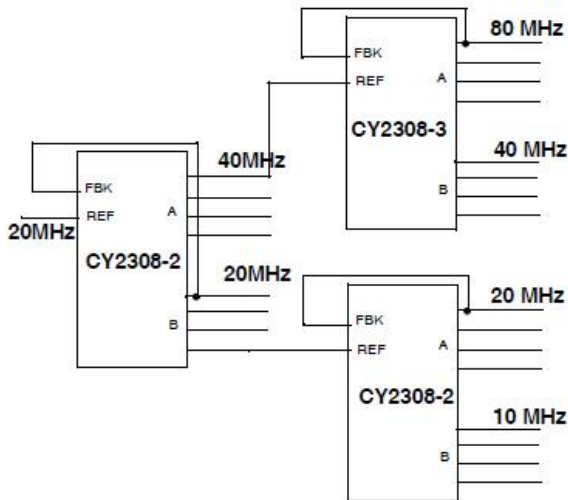
表 2. CY2308-2、-3、-4 配置

P/N	FBK	输出频率	
	输出	A 组	B 组
CY2308-1	A 或 B	x1	x1
CY2308-2	A	x1	x0.5
CY2308-2	B	x2	x1
CY2308-3	A	x2	x1 <sup>[1]</sup>
CY2308-3	B	x4	x2
CY2308-4	A 或 B	x2	x2

### 使用级联 CY2308 的多频率时钟分布网络

对 CY2308-2、-3、-4 进行级联可创建频率丰富、时滞较低的时钟分布网络。请参考图 15 中的示例。在这里将一个 20 MHz 输入信号用于生成 10、20、40 和 80 MHz 信号的多个版本，其中各相位互相对齐，延迟为零。实行该方法时，PLL 的级联会增加系统中的抖动。然而，通过使用“赛普拉斯零延迟缓冲器的布局建议”所描写的合适 V<sub>DD</sub> 过滤可缓解该问题。

图 15. CY2308-x 时钟树



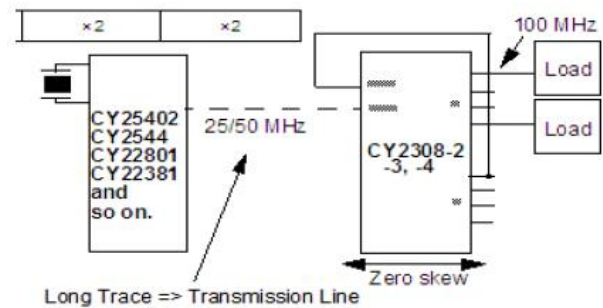
<sup>1</sup> 输出相位位于等式中 — 输入时钟的 0° 或 180°。如果需要可预测的相位，那么需使用 CY2308-2。

### 使用 CY2308-2、-3、-4 降低 EMI/EMC

如上述应用中所介绍的，通过使用 CY2308 可以将电压摆动从 5 V（轨至轨）降低为 3.3 V（轨至轨），进而降低 EMI/EMC。CY2308-2、-3、-4 通过降低分布信号的频率，为减少长式传输线路上的 EMI/EMC 提供了另外一个方法。

例如，一个负载需要 100 MHz 的高频率，其物理位置则远离时钟源。通常，为了提供该时钟，该时钟源要生成一个 100 MHz 的信号，然后再经过一条长式传输线路（在 100 MHz 下进行切换，并生成大量的 EMI/EMC）传输到负载。如图 16 所示，其他可用的方法为：时钟源生成一个 25 或 50 MHz 的时钟，再经过传输线路传输该低频率时钟，最后到达负载时，通过使用 CY2308-2、-3、-4 将频率加倍成 100 MHz 的时钟。如果该低频率时钟的边沿速率被降低，那么在长式走线上，EMI/EMC 会被降低，因为 EMI/EMC 是由边沿速率决定的。

图 16. 使用 CY2308-2、-3、-4 降低 EMI



## CY2305/CY2309

如前一章节所示，CY2308 用于介绍 ZDB 的一些应用。在这里，我们又使用了 CY2305/CY2309 来介绍 ZDB 的其他一些应用，如 PCI 和 SDRAM 缓冲解决方案。CY2305 和 CY2309 是一个通用的 ZDB，可通过一个单一的输入时钟分别提供五个和九个输出。为了满足简化系统设计的要求，CY2305/CY2309 具有集成反馈路径。CLKOUT（CY2305 中的引脚 8 和 CY2309 中的引脚 16）和 REF（CY2305/CY2309 中的引脚 1）被内部链接，这样有助于简化系统设计。

## PCI 缓冲解决方案

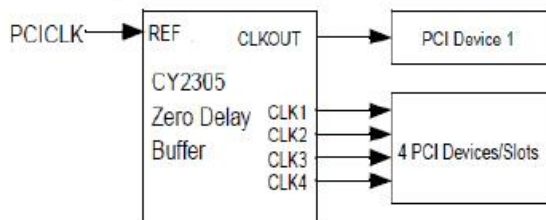
对于需要多个 PCI 时钟的系统，CY2305/CY2309 ZDB 是非常理想的选择。CY2305 用于通过一个时钟生成五个时钟，而 CY2309 则用于通过一个时钟生成九个时钟，从而实现 PCI 缓冲任务。下面各章节会对使用该两个器件的五和九 PCI 器件/插槽 ZDB 解决方案进行讨论。

## 五器件/插槽解决方案

使用 CY2305 ZDB 可以供给需要五个 PCI 时钟的系统，如图 17 所示。执行五 PCI 缓冲解决方案的指导如下：

- PCI/插槽 1 (CLKOUT) 需要始终处于运行状态。
- 如果各个 PCI 插槽的负载不同，它们会具有早时钟或者晚时钟（请参考“超前或滞后调整”一节）

图 17. CY2305 作为五 PCI 器件/插槽零延迟缓冲解决方案使用

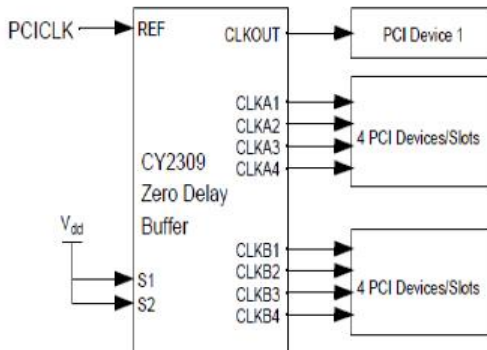


## 九器件/插槽解决方案

使用 CY2309 ZDB 可以提供给需要九个 PCI 时钟的系统使用，如图 18 所示。执行九 PCI 缓冲解决方案的指导如下：

- PCI/插槽 1 (CLKOUT) 始终需要处于运行状态。
- 通过使用选择线路，可以关闭各输出组，有关详细信息，请参考 CY2305/CY2309 数据手册。

图 18. CY2309 作为九 PCI 器件/插槽零延迟缓冲解决方案使用



## SDRAM 缓冲解决方案

SDRAM（同步 DRAM）是与电脑系统总线同步的动态随机存取存储器。SDRAM 具有一个同步接口。因此，只有存在时钟信号时，它才会响应控制输入。

对于具有一个 SDRAM DIMM 模块或一个以上 SDRAM DIMM 模块的系统，它们需要使用共同的时钟，并且需要延迟为零。因为 CY2305/CY2309 具有集成反馈路径，所以对于这种系统，它们是最好的时钟解决方案。以下各例子假设：一个 SDRAM 模块接收四个时钟信号。CY2305 适用于一个 SDRAM 模块来缓冲四个时钟；CY2309 则适用于两个 SDRAM 模块来缓冲八个时钟。然而，对于具有多于两个 SDRAM 模块的系统，则可以使用 CY2305 和 CY2309 进行级联。

这里解释的 ZDB 解决方案是应用于通过 CY2305 和 CY2309 进行级联而具有三个 SDRAM DIMM 模块的系统。

## 三个 SDRAM DIMM 零延迟缓冲解决方案

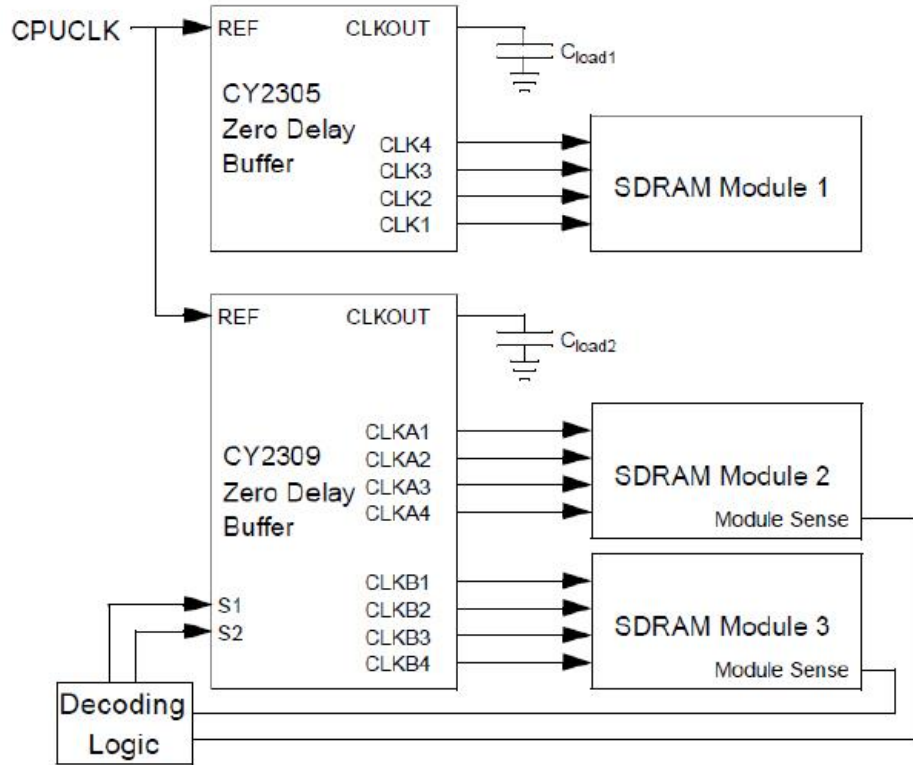
通过 CY2305 和 CY2309 执行三个 SDRAM DIMM 模块操作时，共有两种方法。第一种方法是可调整延迟解决方案，第二种则是自身调整延迟解决方案。

### 可调整延迟解决方案

使用可调整延迟解决方案时，CLKOUT 被加载负载电容，如图 19 所示。因此可调整 SDRAM 输入和参考 (CPUCLK) 之间的延迟。执行三个 SDRAM DIMM 可调整延迟解决方案时，下面提供了一些指导/建议：

- 为了保证 CPUCLK 和 SDRAM 输入之间的延迟为零，Clload1 和 Clload2 必须等于 SDRAM 模块负载。
- 为了使 SDRAM 输入超前或滞后于参考输入，请参考该应用手册中“超前或滞后调整”一节。
- SDRAM 模块需要按顺序设置（首先设置模块 1，最后设置模块 3）。
- 不存在这些 SDRAM 模块时，模块 2 和 3 会进入三态，但 CLKOUT 仍然运行。
- 只有通过使 CPUCLK 进入三态才能使模块 1 的时钟进入三态，这样也会使模块 2 和 3 进入三态。

图 19. 针对使用 CY2305 和 CY2309 的三个 SDRAM DIMM 的可调整延迟解决方案



### 自身调整解决方案

使用自身调整解决方案时，CLKOUT 被直接连接到 SDRAM 模块，如图 20 所示。因此，CPUCLK 和 SDRAM 模块输入（模块 1 和模块 2）间的延迟始终等于零。执行三个 SDRAM DIMM 自身调整解决方案时，下面提供了一些指导/建议：

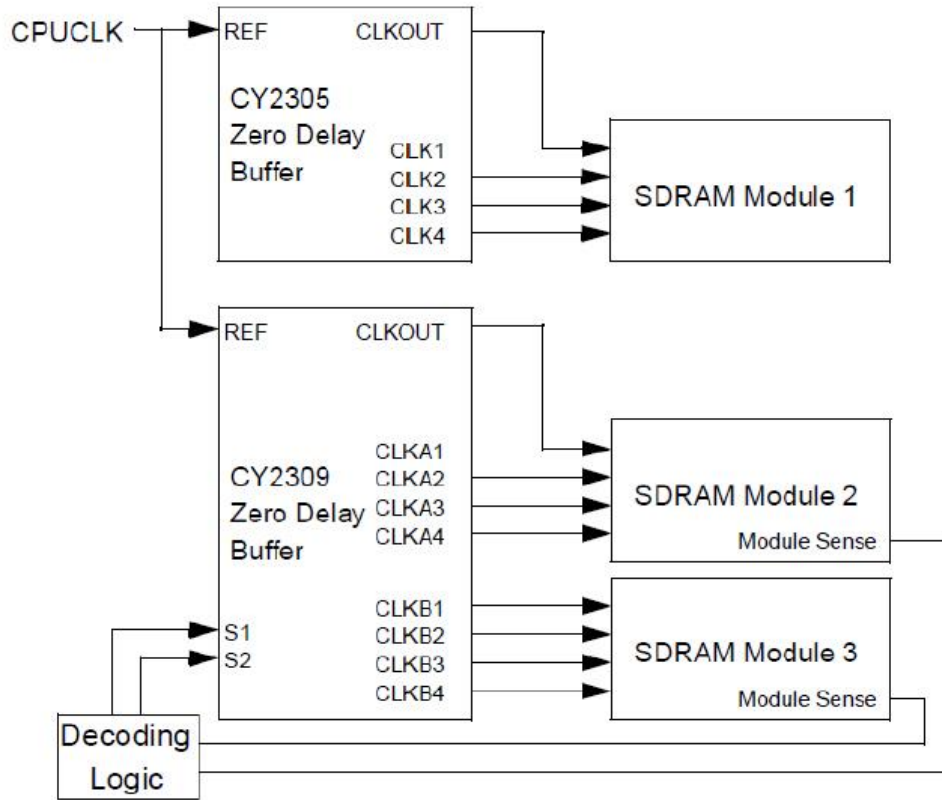
- 该解决方案会自动对各不同的 SDRAM 输入负载（仅在模块 1 和模块 2 上）进行补偿，因为 CLKOUT 直接被连接到 SDRAM 模块。
- CLKOUT 必须驱动 SDRAM 模块 1 和模块 2 上的 CK0<sup>2</sup>，以便保证 CLKOUT 始终满载。
- SDRAM 模块需要按顺序设置（首先设置模块 1，最后设置模块 3）。

- 不存在这些 SDRAM 模块时，模块 2 和 3 将进入三态，但是 CLKOUT 继续运行。
- 只有通过使 CPUCLK 进入三态才能使模块 1 的时钟进入三态，这样也会使模块 2 和 3 进入三态。

请注意，所提出的例子是应用于三个 SDRAM DIMM 缓冲解决方案。同样，这些 ZDB 还可以用于 1、2 或 4 SDRAM DIMM 缓冲解决方案。例如：可以将一个 CY2305 使用于一个 SDRAM DIMM 解决方案，或将一个 CY2309 使用于两个 SDRAM DIMM 解决方案，或者将两个 CY2309 使用于四个 SDRAM DIMM 解决方案。

<sup>2</sup> 在 SDRAM DIMM 模块中，CK0 是一个时钟输入。例如：168-引脚 SDRAM DIMM 模块中的引脚 42-CK0

图 20. 针对使用 CY2305 和 CY2309 的三个 SDRAM DIMM 自身调整解决方案



## 赛普拉斯零延迟缓冲器的布局建议

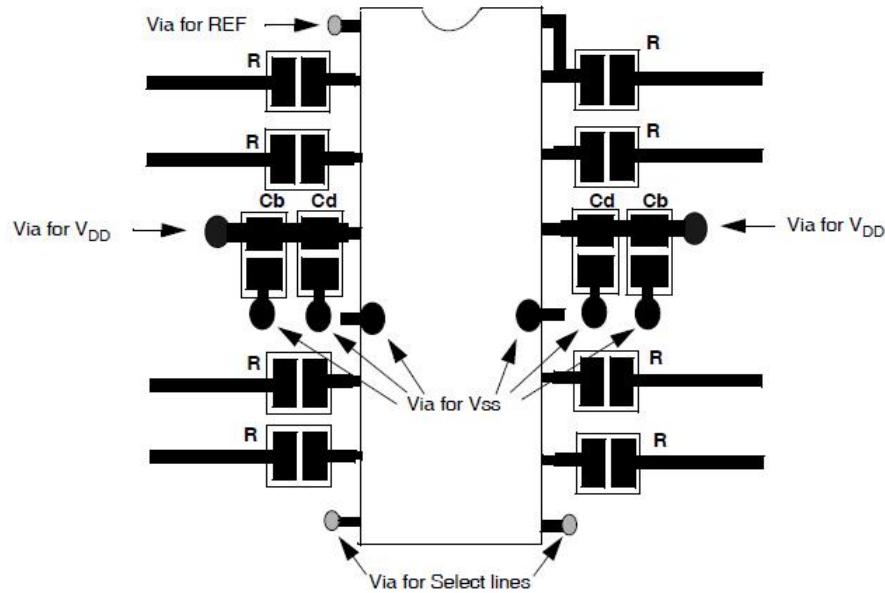
1. 建议在引脚 4 和 12 的  $V_{DD}$  和  $V_{SS}$  之间连接一个 100 pF 和一个 0.01 mF 的电容器。0.01 mF 电容器作为旁路电容器 ( $C_b$ ) 使用，在时钟缓冲器对所有输出同时进行切换最大电容负载时，该旁路电容器有助于防止电源下降。100 pF 电容器 ( $C_d$ ) 用于去耦电源噪声。去耦和旁路电容器应该设置在  $V_{DD}$  引脚和  $V_{DD}$  过孔之间。
2. 为了保证组件上的  $V_{DD}$  和  $V_{SS}$  层的稳定性，所使用的过孔数量越多越好。在  $V_{DD}$  和  $V_{SS}$  引脚上，建议使用更大的过孔。此外，在所有去耦电容器、旁路电容器和  $V_{SS}$

引脚上，建议使用连接到  $V_{SS}$  的独立过孔，如图 21 所示。应该使用高质量的表面贴装电容器。

3. 对于由 CY2308 驱动的每一个时钟，建议使用一个串联阻尼电阻，以防止反射波。根据电路板上走线的阻抗，该值的取值范围为 10 到 75 ohms。各串联终端电阻离输出引脚越近越好。

**注意：**如需要更多有关原理图和布局验证的帮助信息，请通过 [www.cypress.com/support](http://www.cypress.com/support) 联系赛普拉斯用户帮助。

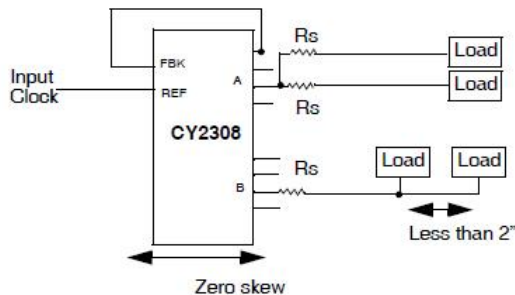
图 21. CY2308 的布局建议



## 赛普拉斯零延迟缓冲器中时钟信号的路由建议

1. 通过一个输出驱动多个负载时，如果频率为 50 MHz，距离小于 2"，那么请对各个输出进行菊花式连接，否则，请从离源最近的位置将各独立走线路由到每一个负载。从一个输出路由各条独立走线时，每一条走线需要具有一个独立的串联终端电阻。请参考图 22。
2. 请确保在时钟信号上使用的过孔数量最少。请在同一层上路由各个时钟。
3. 路由各个时钟时，请不要使用 90 度的直角。请尽可能使用平滑曲线。
4. 请保证在时钟走线临近的一层面有一个实心的地层。

图 22. 驱动多输出



## 总结

赛普拉斯的 ZDB 器件，它能够将一个时钟信号展开为多个时钟信号，并且不会造成任何延迟，输出之间时滞非常小。扩大展开，增加驱动强度或者只是简单对某一段长式走线上的弱时钟信号进行重新设置，需要使用时钟缓冲器。对于这些应用，赛普拉斯的 ZDB 是非常理想的选择。对于需要多个 PCI 时钟的系统来说，CY2305/CY2309 ZDB 是非常理想的选择。CY2305 用于将一个时钟缓冲成五个时钟，而 CY2309 则将一个时钟缓冲成九个时钟，以实现 PCI 缓冲。在应用中使用赛普拉斯的 ZDB 器件时，请考虑所提供的各个实例和布局指导。

## 文档修订记录

文档标题：了解赛普拉斯零延迟缓冲器 – AN1234

文档编号：001-95808

版本	ECN	变更者	提交日期	变更说明
**	4691568	YLIU	04/02/2015	本文档版本号为 Rev**，译自英文版 001-35239 Rev*F。

## 全球销售和设计支持

赛普拉斯公司拥有一个由办事处、解决方案中心、厂商代表和经销商组成的全球性网络。如果想要查找离您最近的办事处，请访问[赛普拉斯所在地](#)。

### 产品

汽车级产品	<a href="http://cypress.com/go/automotive">cypress.com/go/automotive</a>
时钟与缓冲器	<a href="http://cypress.com/go/clocks">cypress.com/go/clocks</a>
接口	<a href="http://cypress.com/go/interface">cypress.com/go/interface</a>
照明和电源控制	<a href="http://cypress.com/go/powerpsoc">cypress.com/go/powerpsoc</a> <a href="http://cypress.com/go/plc">cypress.com/go/plc</a>
存储器	<a href="http://cypress.com/go/memory">cypress.com/go/memory</a>
PSoC	<a href="http://cypress.com/go/psoc">cypress.com/go/psoc</a>
触摸感应	<a href="http://cypress.com/go/touch">cypress.com/go/touch</a>
USB 控制器	<a href="http://cypress.com/go/usb">cypress.com/go/usb</a>
无线/射频	<a href="http://cypress.com/go/wireless">cypress.com/go/wireless</a>

### PSoC®解决方案

[psoc.cypress.com/solutions](http://psoc.cypress.com/solutions)  
PSoC 1 | PSoC 3 | PSoC 4 | PSoC 5LP

### 赛普拉斯开发者社区

[社区](#) | [论坛](#) | [博客](#) | [视频](#) | [培训](#)

### 技术支持

[cypress.com/go/support](http://cypress.com/go/support)

PSoC 是赛普拉斯半导体公司的注册商标。此处引用的所有其他商标或注册商标归其各自所有者所有。



赛普拉斯半导体  
198 Champion Court  
San Jose, CA 95134-1709

电话 : 408-943-2600  
传真 : 408-943-4730  
网站地址 : [www.cypress.com](http://www.cypress.com)

©赛普拉斯半导体公司，2007-2015。此处所包含的信息可能会随时更改，恕不另行通知。除赛普拉斯产品内嵌的电路外，赛普拉斯半导体公司不对任何其他电路的使用承担任何责任。也不会以明示或暗示的方式授予任何专利许可或其他权利。除非与赛普拉斯签订明确的书面协议，否则赛普拉斯不保证产品能够用于或适用于医疗、生命支持、救生、关键控制或安全应用领域。此外，对于可能发生运转异常和故障并对用户造成严重伤害的生命支持系统，赛普拉斯不授权将其产品用作此类系统的关键组件。若将赛普拉斯产品用于生命支持系统中，则表示制造商将承担因此类使用而招致的所有风险，并确保赛普拉斯免于因此而受到任何指控。

该源代码（软件和/或固件）均归赛普拉斯半导体公司（赛普拉斯）所有，并受全球专利法规（美国和美国以外的专利法规）、美国版权法以及国际条约规定的保护和约束。赛普拉斯据此向获许可者授予适用于个人的、非独占性、不可转让的许可，用以复制、使用、修改、创建赛普拉斯源代码的派生作品、编译赛普拉斯源代码和派生作品，并且其目的只能是创建自定义软件和/或固件，以支持获许可者仅将其获得的产品依照适用协议规定的方式与赛普拉斯集成电路配合使用。除上述指定的用途外，未经赛普拉斯明确的书面许可，不得对此类源代码进行任何复制、修改、转换、编译或演示。

免责声明：赛普拉斯不针对此材料提供任何类型的明示或暗示保证，包括（但不限于）针对特定用途的适销性和适用性的暗示保证。赛普拉斯保留在不做出通知的情况下对此处所述材料进行更改的权利。赛普拉斯不对此处所述之任何产品或电路的应用或使用承担任何责任。对于可能发生运转异常和故障，并对用户造成严重伤害的生命支持系统，赛普拉斯不授权将其产品用作此类系统的关键组件。若将赛普拉斯产品用于生命支持系统中，则表示制造商将承担因此类使用而招致的所有风险，并确保赛普拉斯免于因此而受到任何指控。

产品使用可能受限于赛普拉斯软件许可协议。