

## サイプレス クロック ジェネレータの設計とレイアウトのガイドライン

著者: Chinmayee Agnihotri, Brijesh A. Shah

関連プロジェクト: なし

関連製品ファミリ: CY254xx, CY2238x, CY2239x, CY22x50

ソフトウェアバージョン: 該当無し

関連アプリケーション ノート: 該当無し

AN1111 は、サイプレスのクロック ジェネレータの基本的な回路設計とプリント回路基板 (PCB) のレイアウト ガイドラインに触れます。電源のフィルター処理、出力終端処理、および重要なコンポーネントの配置の一般的なプラクティスについて詳しく説明します。クロック信号の配線時の推奨事項は、簡単に示されます。回路とレイアウトの標準的な例を参考として提供します。

### 目次

はじめに.....	1
回路設計.....	1
電源のフィルター処理.....	2
水晶振動子のための補助的コンポーネント.....	4
クロック出力の終端処理.....	4
その他の一般設計ガイドライン.....	6
レイアウト ガイドライン.....	6
配置.....	6
配線.....	8
まとめ.....	8
付録 A: CY22150 と CY22393 の例.....	9
CY22150 回路図とレイアウト例.....	9
CY22393 回路図とレイアウト例.....	10
ドキュメントの変更履歴.....	11
ワールドワイド販売と設計サポート.....	12

### はじめに

クロック デバイスの速度が増加するにつれて信号と電源の健全性 (integrity) の問題も増えてきています。今日の要件としては、最初の試行でエラーをなくし、設計時間を削減することです。このため、システムの設計の全サイクルを通じて早い段階でエラーの検出と修正を行う必要があります。このアプリケーション ノートでは、サイプレスのクロック ジェネレータの PCB 設計時の一般的なプラクティスについて説明します。これらのプラクティスは、回路図とレイアウトのデザインの両方を含みます。

クロック ジェネレータの回路設計時、最適なデバイス性能を達成するために特定のガイドラインに従う必要があります。これらは、電源と信号の健全性を守る手段を含みます。回路設計時のいくつかの重要な要件は、電源のフィルター処理、水晶発振コンデンサの選択、クロック出力と I<sup>2</sup>C バス終端処理、アプリケーション固有のコンフィギュレーションです。

クロック ジェネレータのレイアウトは、クロックのレシーバと回路基板に搭載された隣接のコンポーネントの性能に影響を与えます。多くの場合、システム設計者はクロック ジェネレータ、電源および水晶発振回路のコンデンサ、終端抵抗などのデバイスを手動で配置したり配線しなければなりません。このアプリケーション ノートには、そのような PCB 設計用の一般的なガイドラインが含まれます。特定のアプリケーションのための設定に際しては、必要とする機能をコンフィギュレーションするためにクロック ジェネレータのデータシートを参照してください。

### 回路設計

このセクションでは、回路設計時の重要な注意事項について説明します。

## 電源のフィルター処理

クロック ジェネレータが非常に高い周波数で動作する場合、その電源はノイズの影響を受けやすくなります。ノイズ発生源の可能性としては、クロック ジェネレータの通信信号、高速クロック、電源切り替え、出力切り替えがあります。電源ノイズは、クロック ジェネレータのジッタとスキュー パラメーターに影響を与えます。デカップリングとバイパス用コンデンサを電源ノイズを低減するために使用することをお勧めします。以下のセクションでは、電源ノイズ低減のための様々なコンポーネントの使用の詳細説明を示します。

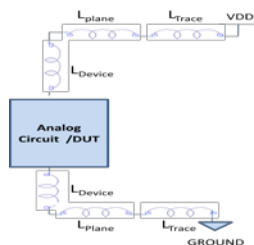
### デカップリングとバイパス用コンデンサを使用する理由

#### バイパス コンデンサ

信号の立ち上がり時間が増加するにより、グランド バウンスによる影響が生じます。これは、図 1 に説明するようにリード、配線と平面のインダクタンスにより発生します。グランド バウンスは回路に接続される負荷デバイスの認識によると論理 LOW です。これは、回路の論理 LOW とリード フレームのインダクタンスを通じる電圧スパイクを足したものとなります。インダクタンス両端の電圧は電流の時間変化 ( $di/dt$ ) [ $V = L * (di/dt)$ ] に比例するため、デバイスの立ち上がり/立ち下り時間がより早くなることは、 $dt$  が小さくなることを意味し、そのため、 $di/dt$  が増加し、インダクタンスでの電圧低下が増加します。これにより、デバイスの論理 LOW を変えるインダクタンスの電流スパイクが発生します。よって、電圧がグランドから跳ね返ります。これは、グランド バウンスと呼ばれます。

一方、電源の近くのインダクタンスの同様な低下により、論理 HIGH 値が下がります。そのため、負荷デバイスは、指定された論理 LOW/論理 HIGH の値ではなくグランドや電源の値からバウンスする信号を認識します。バイパス コンデンサを使ってこの問題に対応できます。バイパスコンデンサは、平面インダクタンスが抑えられるまでの短時間、安定化された電源レベルとパッケージでのグランド レベルを提供します。バイパスコンデンサは、高周波電流が高インピーダンス経路へ流れることを制限するために、この経路を分岐します。

図 1. PCB 内のデバイスに対応する様々なインダクタンス



このバイパス コンデンサは、自分の配線とリードのインダクタンスによるノイズも持っています。より長い PCB 配線は電流の速い変化を抑制し、電圧の大幅な低下を引き起こすより高いインダクタンスを持っています。そのため、バイパス コンデンサをより幅広い配線で、できるだけデバイスの近くに配置すること

をお勧めします。パッケージの寄生容量は、「クロック出力の終端処理」に示すようにパッケージのリードとボンディング ワイヤの寄生容量を含みます。

#### デカップリング コンデンサ

デカップリングとは、IC の電源を主電源から分離することを意味します。1 つの回路を他の回路のノイズから隔離する必要があります。これらの回路間の共有電源配線の数を削減しなければなりません。そのため、デカップリングを用いる必要があります。デカップリングは、下記の 2 つの方法でノイズ伝達を低減します。

- デカップリングは常に、電源供給線と直列して配置された高インピーダンスのエレメントをからなるためバイパスを助けます。これにより、ノイズ電流が電源ではなく低インピーダンスのバイパエメントを通じて流れることとなります。
- これはローパス フィルターとして機能し、直列のエレメントを通じて流れる電流の高周波成分は減衰されます。よって、レギュレータは反応し、電源電圧を安定にすることができます。

図 2 に、サイプレスのデバイスでの電源に対するフィルター処理に適用される標準的手段を示します。一般的に、バイパスとデカップリング コンデンサの出力信号への影響は下図で見られます。

図 2. CY2544 での電源フィルター処理

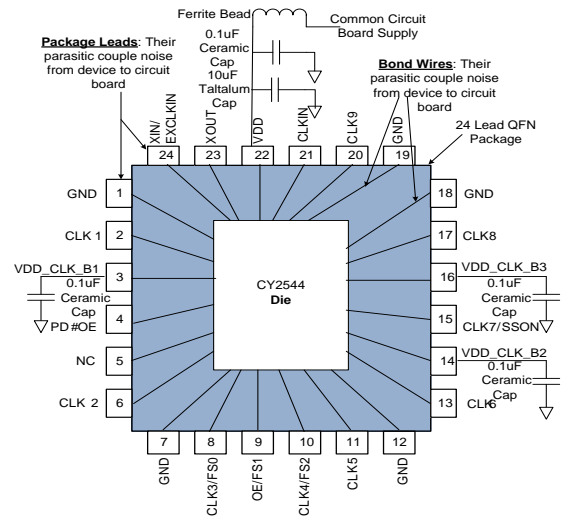


図 3. 高インピーダンスのバイパス コンデンサ使用時の出力

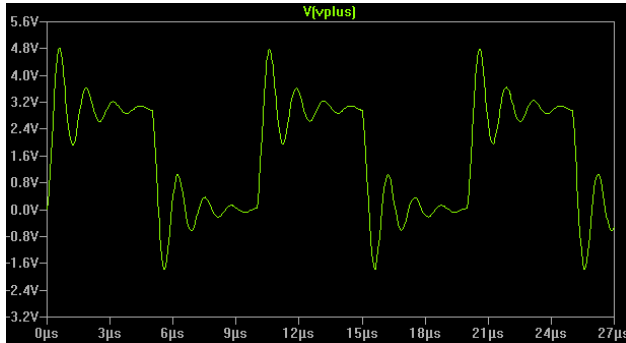
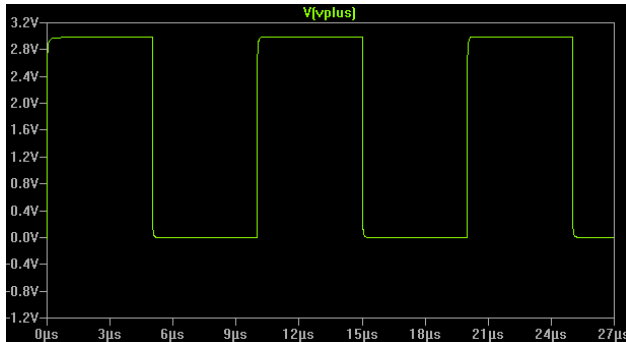


図 4. 低インピーダンスのバイパス コンデンサ使用時の出力



### コンデンサの選択

電源電圧内の幅広い周波数のノイズをフィルター処理するには、低周波コンデンサと高周波コンデンサの平行の組み合わせを採用します。これにより、幅広い周波数にわたる低インピーダンスの経路が形成されます。高周波コンデンサ (0.001µF ~ 1µF) と比べて、低周波コンデンサ (1µF ~ 1000µF) は、低周波数 (<200MHz) でより低いインピーダンスを提供します。低周波コンデンサは、タンタル コンデンサと電解コンデンサの 2 種類があります。

コンデンサの等価直列抵抗 (ESR) により、電源電圧のリップルが生じます。そのため、できるだけ ESR を最小限にする必要があります。タンタル コンデンサは、ESR が低いため、電解コンデンサより適しています。低周波コンデンサと比べて、高周波コンデンサは、高周波数 (>200MHz) でより低いインピーダンスを提供します。高周波コンデンサは、安くて信頼性が高いセラミックのものがあります。良いやり方としては、1 個の 10µF タンタル コンデンサと 1 個の 0.1µF、または 0.01µF セラミック コンデンサをコア電源供給ピンに搭載し、1 個の 0.1µF または 0.01µF セラミック デカップリング コンデンサを出力バンク電源供給ピンに搭載することです。10µF のタンタル コンデンサは 16mΩ までのインピーダンス (1MHz 時)、0.1µF のセラミック コンデンサは 8mΩ までのインピーダンス (200MHz 時) を持っています。

対象の周波数範囲において必要とされる低インピーダンスは、負荷電流の定められたばらつきに応じる電源リップルの許容

割合に依存します。インピーダンスの計算に使用する式は以下の通りです。

$$Z_{\text{LOW}} = \Delta V / \Delta I = [(V_{\text{DD}} \times \text{Ripple}) / \Delta I]$$

ここで:

$V_{\text{DD}}$  = デバイスの電源電圧

Ripple = 許容リップル (%単位)

$\Delta I$  = 電源負荷電流の変化

デバイスの電源電圧が 3.3V で、電源負荷電流の 100mA 変動に応じる許容リップルが 0.1%であるアプリケーションの場合、必要な低インピーダンスは、対象の周波数範囲において 33mΩです。

### フェライト ビーズ

フェライト ビーズは、同じ周波数の帯域幅にインピーダンスを発生させることによりその周波数範囲においてノイズ エネルギーを除去します。フェライト材料は高抵抗で、高周波数でのロスの無い信号転送を助けます。フェライト ビーズは、クロックジェネレータの電源をプリント回路基板 (PCB) の電源面から隔離することができます。多層の PCB は、電源面とグランド面の専用層を持っています。インダクタンス分離により、ノイズは PCB の電源面からデバイスの電源に、またデバイスの電源から PCB の電源層に干渉できません。フェライト ビーズは、以下の 2 つのパラメーターで選択します。

- DC インピーダンス (0Ω~5 Ω)
- DC 電流 (15%マージン + 最大供給電流)

DC インピーダンスと DC 電流のパラメーターは、条件を満たす必要がありますが、それらだけでは足りません。フェライト ビーズがより低周波数で共振があれば、電源ノイズは減衰せず、逆に増加する場合があります。通常、ノイズを減衰しないビーズの共通特性は、低 DC 抵抗 (<0.1Ω)、低周波数 (10kHz ~ 100kHz) の近くの共振です。フェライトビーズの出力信号への一般的な影響は、図 5 に示されます。

図 5. ノイズのある信号

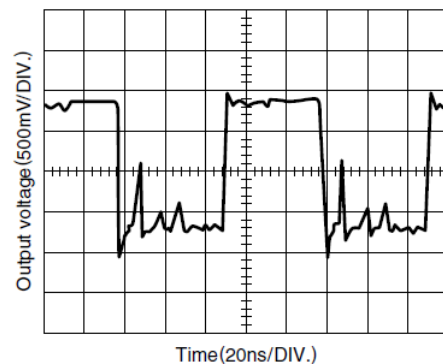


図 6. フェライト ビーズ使用時の信号

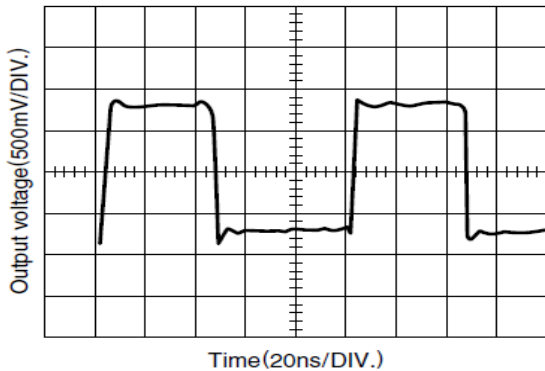
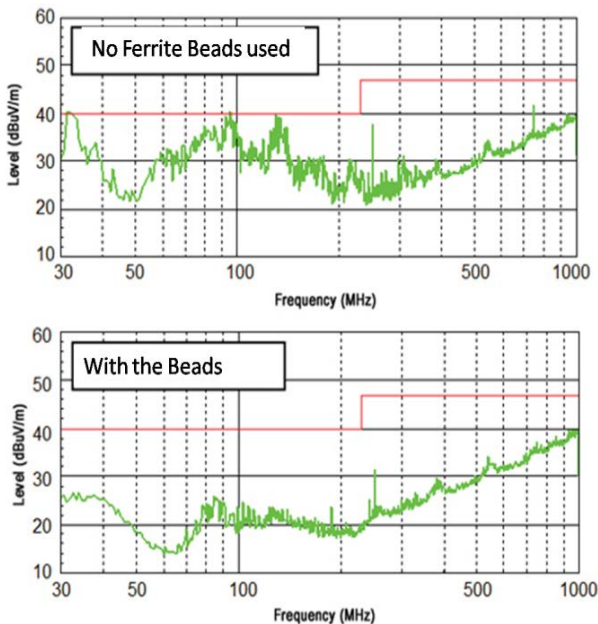


図 7 にフェライト ビーズの 30MHz~350MHz のバンド幅の信号への影響を示します。ノイズ ピークの多くは除去されます。フェライト ビーズで使用する素材は、より低周波数でのノイズ減衰を意図されているため、いくつかのピーク (>350MHz) はまだ見られます。

図 7. フェライト ビーズの効果



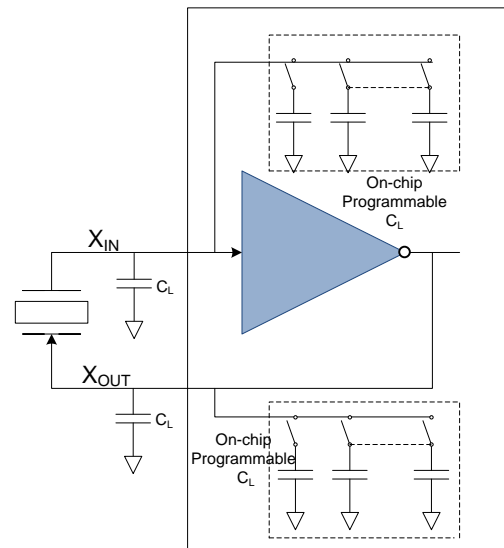
フィルター処理のコンデンサと適切なレイアウト デザイン等の代替手段が必要な条件を満たしている場合には、フェライト ビーズは、電源のフィルター処理に必須ではありません。フェライト ビーズを 1 個使用する場合、ビーズを区分点としてバイパスコンデンサをクロック ジェネレータのある側に配置します。

## 水晶振動子のための補助的コンポーネント

サイプレス クロック ジェネレータでは、外部クロックまたは外部水晶振動子をリファレンス入力として使うことができます。

図 8 に示すように、外部水晶と外部コンデンサを備えた内蔵バッファ アンプにより、Pierce 振動子コンフィギュレーションが構成されます。振動子が要求機能を達成するためには、クロック ジェネレータのデータシートに推奨される負荷コンデンサ、駆動力および motional resistance (運動抵抗) の仕様を満たさなければなりません。クロック ジェネレータ ファミリの一部は、内蔵のプログラマブルな負荷コンデンサ アレイを持っているため、外部の負荷コンデンサは不要になります。水晶パラメータに関する詳細水晶事項は、「サイプレスの周波数シンセサイザ向けの水晶パラメータの推奨事項」ホワイトペーパーに記載されます。

図 8. サイプレスのクロック ジェネレータにおけるピアス型振動子



外部クロックをリファレンス入力として使用するために、X\_OUT ピンを未接続のままにし、外部クロックを X\_IN ピンに接続します。

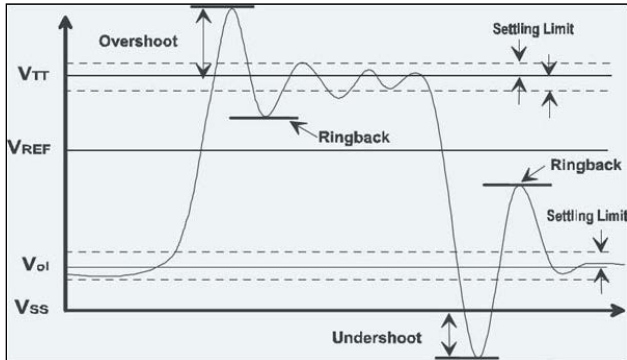
## クロック出力の終端処理

伝送線の理論に従って、反射を防止するために、エッジが (クロック信号を運んでいる) 配線の伝播遅延より 2 倍以上早いクロック信号は終端処理する必要があります。最大電力転送に関する定理により、最大の信号電力を転送するためにドライバーのインピーダンスとレシーバのインピーダンスは一致しなければなりません。インピーダンスが不一致の場合、信号のエネルギーはレシーバから反射し、信号の中断時にオーバーシュートかアンダーシュートのようになります。オーバーシュートやアンダーシュートは、図 9 に示すように信号レベルを大幅に変更することがあります。その結果として、レシーバは、この信号を誤った信号レベルとして検出する場合があります。終端処理



技術は、インピーダンスを一致にさせ、オーバーシュートとアンダーシュートを防止することができます。

図 9. 反射によるオーバーシュートとアンダーシュート



配線は、ソースのエンドポイント、またはレシーバのエンドポイントでを終端処理することが可能です。これらの技術のいずれも独自の利点と欠点を持っています。

#### ソースの終端処理または直列終端処理

ソースのインピーダンスを配線のインピーダンスと一致させるために、クロック信号のソースは直列抵抗で終端されます。ソースのエンドポイントでのインピーダンス マッチングにより、レシーバから反射された信号は吸収されて、これにより、オーバーシュートとアンダーシュートは発生しません。

直列終端抵抗 ( $R_t$ ) の計算では、ソース インピーダンス ( $R_s$ ) は配線のインピーダンス ( $R_T$ ) から減算されます。配線インピーダンスが  $50\Omega$  で、ソース インピーダンスが  $17\Omega$  の場合、直列終端抵抗は  $33\Omega$  になります。

$$R_t = R_T - R_s$$

ここで:

$R_t$  = 直列終端抵抗

$R_s$  = ソース インピーダンス

$R_T$  = 配線インピーダンス

ソース インピーダンスは、デバイスの IBIS モデルの I-V の曲線から出されます。サイプレス クロック ジェネレータの IBIS モデルは、[www.cypress.com](http://www.cypress.com) から入手できます。

#### 直列終端処理の利点

- DC 電力の損失が無い
- 他の終端処理技術より消費電力が比較的に低い

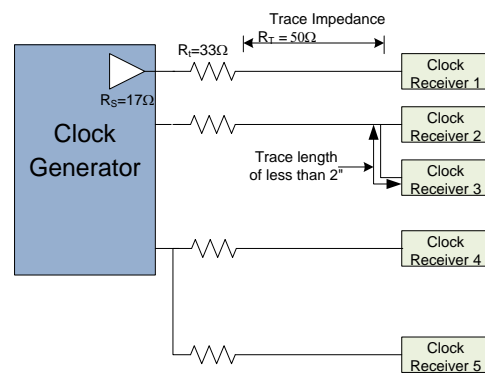
#### 直列終端処理の欠点

- I-V 曲線にわたってソース インピーダンスが変化するため、完全なインピーダンス マッチはできない。

- クロック レシーバが配線の終端に配置された場合にのみ適用可能。クロック レシーバが配線の中間に接続されている場合には反射を発生させます。

複数のクロック レシーバが同じクロック出力を共有するアプリケーションで、レシーバ間の配線長が 2 インチ未満の場合、図 10 に示すようにレシーバ間で 1 つの終端抵抗を共有することができます。しかし、サイプレスは、下図にも示すように、遠く離れて配置されたレシーバには別々の独立した直列抵抗を配置することをお勧めします。

図 10 ソースの終端処理



#### 配線終端の終端処理

これらの終端処理技術では、クロック出力が配線の終わりに終端されるため、信号はレシーバから反射しません。ソース終端処理と違って、クロック レシーバは、他のレシーバに影響することなく配線に沿って接続することが可能ですが、受信クロックの反射を回避するために終端処理をする必要があります。

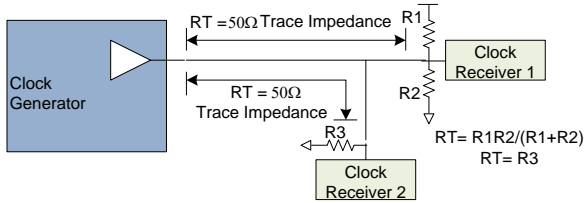
よく知られた終端処理技術は、プルアップ/プルダウン終端処理です。

#### プルアップ/プルダウン終端処理

図 11 に示すように、プルアップ抵抗とプルダウン抵抗 ( $R_1$ 、 $R_2$ ) はレシーバ エンドポイントで接続します。これらの抵抗の Thevenin equivalent ( $R_T$ ) は、配線のインピーダンスと等しくする必要があります。

$$R_T = (R_1 * R_2) / (R_1 + R_2)$$

図 11. 配線の終端処理



クロック ジェネレータの電流がジェネレータの仕様に記載されている出力 LOW 電流 (IOL) と出力 HIGH 電流 (IOH) の限界を超えないように、R1 と R2 の抵抗は適度な高レベルに調整しなければなりません。IOL と IOH の限界が同じ場合、抵抗 R1 の値を R2 の値と等しくするか、または IOL/IOH の限界に応じて R1/R2 を調整します。

DC 電流が R1 と R2 を通じて連続的に流れるため、プルアップ/プルダウン終端処理技術を使用すると、消費電力は高くなります。しかし、プルアップ抵抗 (R1) のみ、またはプルダウン抵抗 (R2) のみを使用して、配線のインピーダンスに合わせることで消費電力を半分削減することができます。

## その他の一般設計ガイドライン

### 未使用のクロック出力

アプリケーションが出力と出力スキューの間 のわずかな変化 (30ps 未満) を許容する場合、クロック ジェネレータの未使用クロック出力を終端されていない状態にすることができます。終端されていないクロック出力ピンはアンテナとなり、クロック信号の遷移でノイズを放射します。しかし、この放射ノイズは、QFN などのより小型のパッケージでは EMI にはあまり寄与しません。

複数のクロック出力バンクを持っているクロック ジェネレータは、未終端の出力により追加のスキューを持つことがあります。他の実行中のクロックと比べて、未終端のクロック出力の消費電力ははるかに少なくなります。これにより、これらの出力バンクの消費電流に差が出ます。比較的高い消費電力の出力バンクと比べて、低消費電力の出力バンクは、クロックをより高速で駆動することができます。これにより、消費電力が異なったバンクのクロック信号間で追加のスキューが生じます。この追加スキューは 30ps 未満です。

最良の手法としては、設計の際に未使用の出力においてコンデンサ用のパッドを設計して置きます。スキューや EMI が問題であれば、試験の時に、5pF~10pF のコンデンサを実装してください。

### 多機能ピン

より少ないピン数を使って複数のプログラマブルな機能を利用するために、サイプレスのクロック ジェネレータでは多機能ピンが有ります。多機能ピンを複数の動作の 1 つ (出力イネーブ

ル、電源切断、周波数選択、拡散 (Spread) オン/オフ) にコンフィギュレーションすることができます。

多機能ピンを配線接続するには、外部プルアップ/プルダウン抵抗を使用します。抵抗の値は、ピンの VIH/VIL 仕様を満たす必要があります。通常、プルアップ/プルダウン抵抗は 1kΩ です。

### I<sup>2</sup>C バスのプルアップ抵抗

サイプレスのクロック ジェネレータでは、シリアル クロック (SCLK)、シリアル データ (SDAT)、I<sup>2</sup>C インターフェースの回線には外部のプルアップ抵抗が必要です。プルアップ抵抗の値は通常、2kΩ~5kΩ です。

### コンデンサによる EMI 低減

EMI に敏感なアプリケーションでは、急峻な クロック エッジは放射ソースの 1 つとなります。クロック出力上に 4.7pF~22pF のコンデンサを使ってクロックの信号の立ち上がり/立ち下りエッジを円滑にします。これは、放射の低減に有用です。クロック出力の直列終端抵抗の後ろに EMI コンデンサを配置してください。

## レイアウト ガイドライン

レイアウトは、配置と配線の 2 つの主なタスクを含みます。電源フィルター処理、水晶振動子、クロック出力終端処理に対応する重要なコンポーネントの配置は、クロック ジェネレータの最適な性能を達成するために必須です。プリント回路基板 (PCB) の配線技術は、最適な電源配線の長さや幅、ビア使用、クロック配線の規則、グランドと電源面の使用方法を含んでいます。

### 配置

配置は、回路基板上に搭載されているコンポーネントの機械的な位置を決めるプロセスです。

### クロック ジェネレータ デバイス

クロック ジェネレータは、クロック配線同士が交差しないよう、取り囲むクロック レシーバの中央に配置する必要があります。ソケットを使用せずクロック ジェネレータを回路基板に直接実装します。ソケットにより寄生容量が増えてノイズが発生することがあります。

### 外付けコンポーネント

バイパス コンデンサやデカップリング コンデンサを電源ピンの近くに配置します。出力終端抵抗を対応のクロック出力ピンの近くに配置します。水晶と負荷コンデンサをできるだけデバイスの X<sub>IN</sub> と X<sub>OUT</sub> ピンの近くに配置します。追加の寄生容量による影響を回避するために水晶負荷コンデンサから X<sub>IN</sub>、X<sub>OUT</sub> ピンまでの距離は同一でなければなりません。クロック出力では、EMI コンデンサを直列抵抗の後ろに配置します。図 12 と図 13 に、クロック ジェネレータの回路図と配置の代表的な例を示します。

図 12. クロック ジェネレータの回路図例

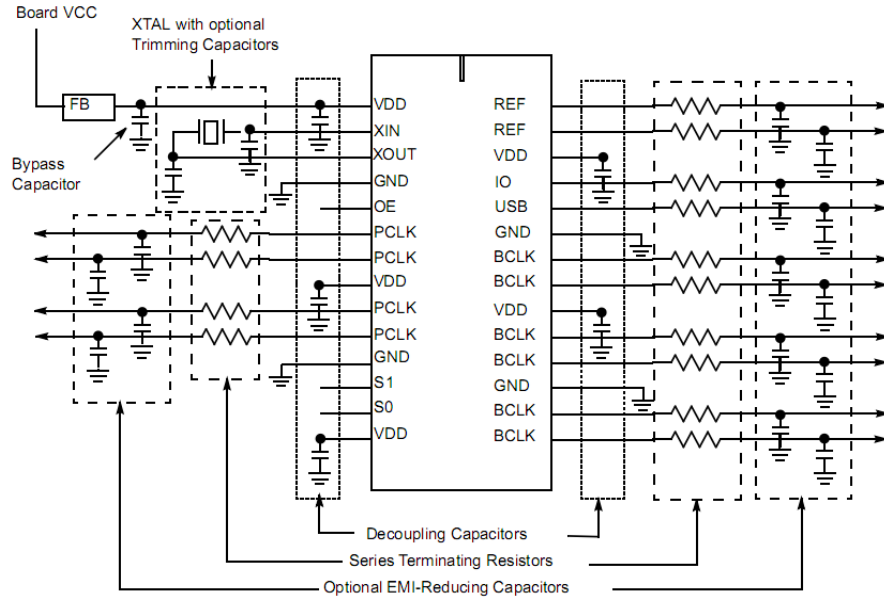
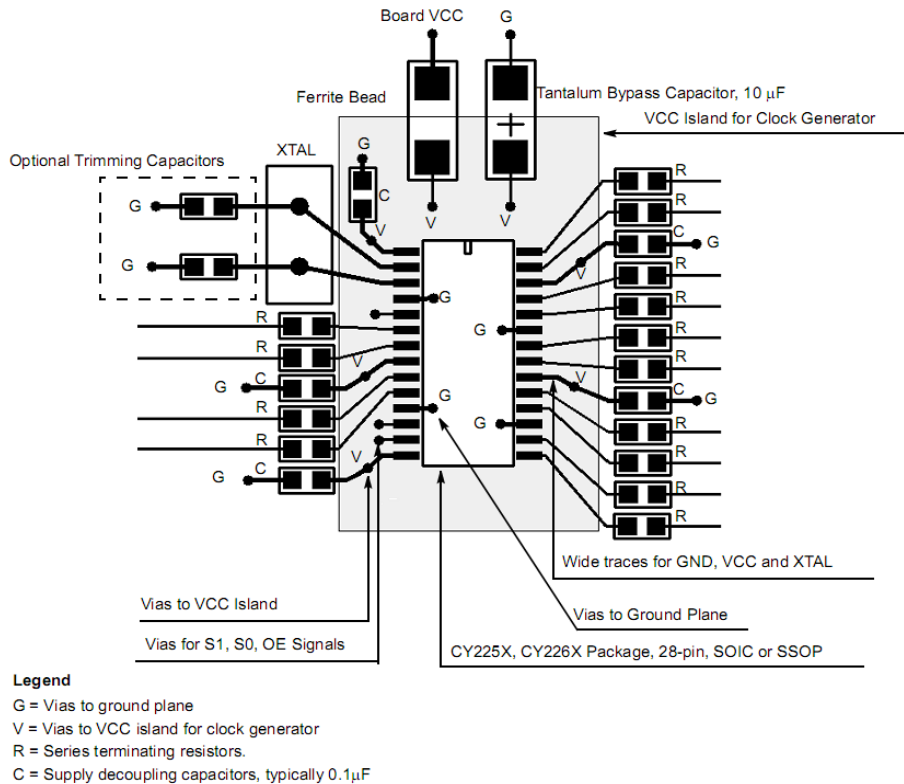


図 13. クロック ジェネレータのレイアウト例



CY22150、CY22393 の回路図例とレイアウト例については、「付録 A: CY22150 と CY22393 の例」を参照してください。

## 配線

配線は、回路基板上でコンポーネントを電気接続するプロセスです。

### 電源とグランド層

一般的に、PCB の全層は電源層、またはグランド層の属性を有します。厚い電源層やグランド層は、より低い DC 抵抗と AC インダクタンスによって層内での電圧低下を防ぎ、グランドを通して戻ってくる信号に対してより低いインピーダンスの経路を持ちます。電源層とグランド層は、回路基板にわたってグランド ループを削減するため、EMI の低減に有用です。

### 局所化された電源領域ないしグランド領域

高速のデジタルとアナログのデバイスを備えた回路基板では、干渉を防止するために、独立したアナログとデジタルの電源領域と、同様に独立したグランド領域を有するべきです。この場合では、ローカライズされた電源/グランドの銅領域は高速のデバイスをカバーするコンポーネント層に使用されます。ノイズの移動を妨げるために、ローカライズされた電源領域はフェライト ビーズを使って回路基板の電源層に接続します。インピーダンスがより低い経路を形成するために、ローカライズされたグランド領域では、複数のビアを使ってグランド層に接続する必要があります。

クロック ジェネレータのパッケージが大きい場合、[図 13](#) に示すように、ローカライズされた領域を使って回路基板上の他のノイズ ソースの影響を低減します。

### 配線での最善の措置

- 電源、グランド、および水晶振動子のために幅の広い配線を採用幅の広い配線は低いインダクタンスを持ちます。

- 水晶振動子は等距離でかつクロック配線及び高速配線と離れた配線上に置きます。
- 銅配線と比べて、ビアは高い抵抗とインダクタンスを持っています。クロック配線上のビアの数はできるだけ少なくします。ビアを使用する場合、電源層とグランド層から離して配置します。これにより、クロック配線のインピーダンスのばらつきが低減されます。
- グランド層の近くに配置されたクロック配線には、低いインピーダンスのリターン経路があります。
- グランド層、電源層またはクロック ジェネレータ デバイスの下に配線しないでください。
- お互いの間のスキューを最小限にする必要があるクロック信号に対しては配線は同じ長さにしてください。

## まとめ

クロック ジェネレータの性能は、どの電子システムに対しても極めて重要です。回路設計とレイアウトにいくつかの予防の手段を使用すると、クロック ジェネレータの性能を最適化することができます。回路設計時の重要な注意点は、電源のフィルター処理、水晶発振コンデンサと負荷コンデンサの選択、クロック出力の終端処理、アプリケーション固有のコンフィギュレーションです。レイアウトのベスト プラクティスは、クロック ジェネレータ、電源フィルター処理のコンデンサ、水晶振動子のコンデンサの配置を含みます。また信号線、電源面とグランド面の配線ルールを含んでいます。



## 付録 A: CY22150 と CY22393 の例

### CY22150 回路図とレイアウト例

図 14. 回路図

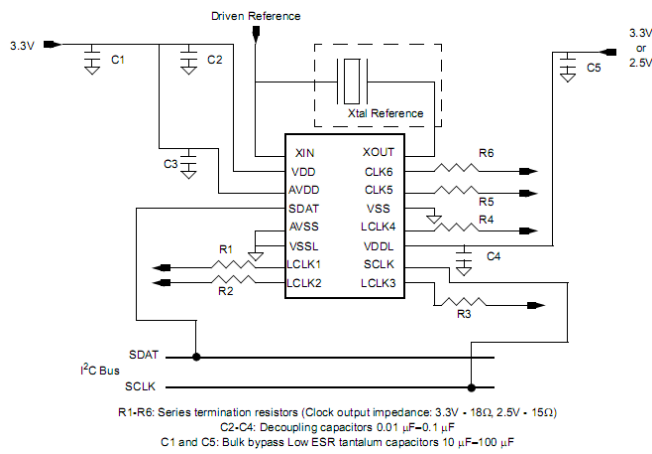


図 15. レイアウト - 最上層 + 最下層

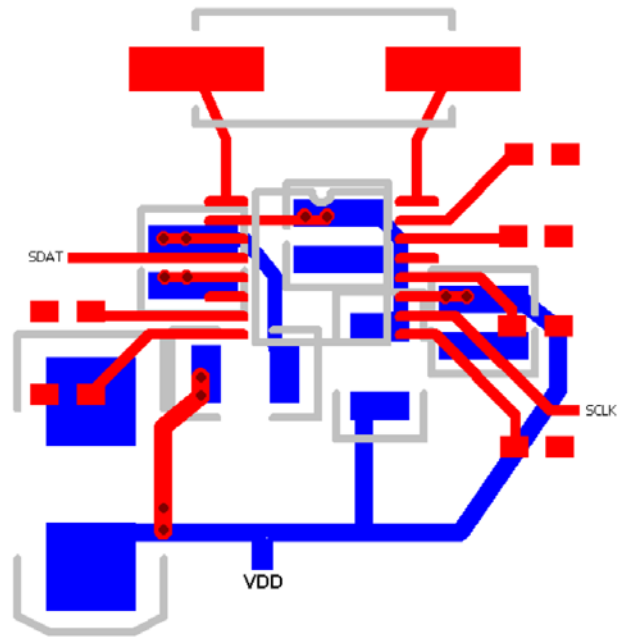


図 16. レイアウト - 最上層

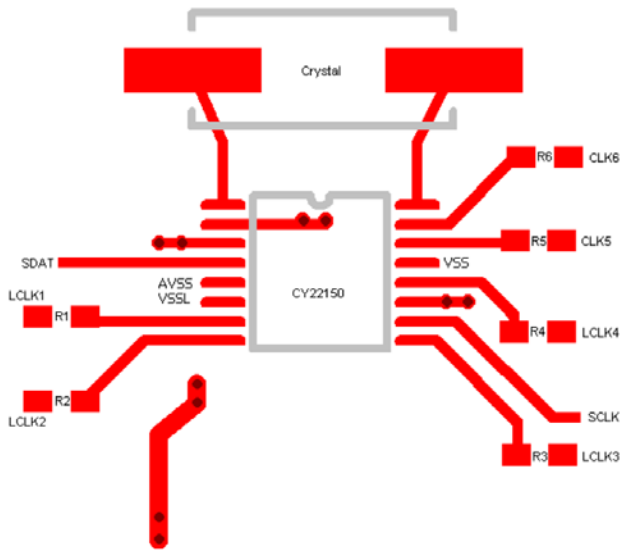
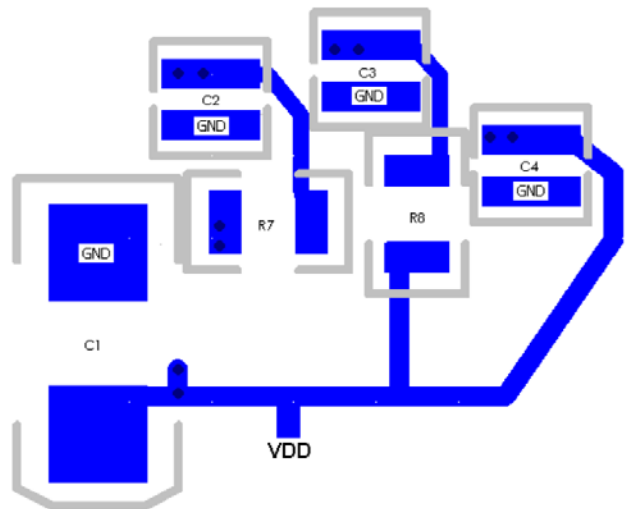


図 17. レイアウト - 最下層



### CY22393 回路図とレイアウト例

図 18. 回路図

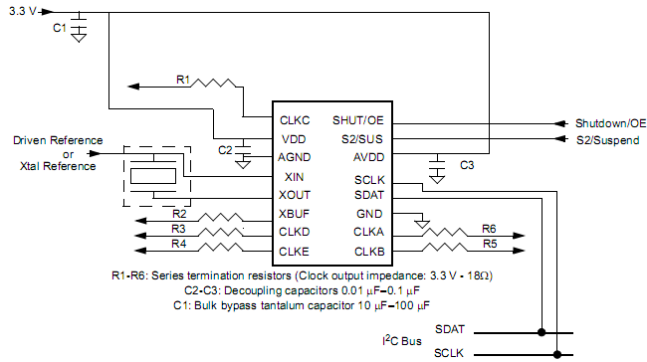


図 19. レイアウト - 最上層 + 最下層

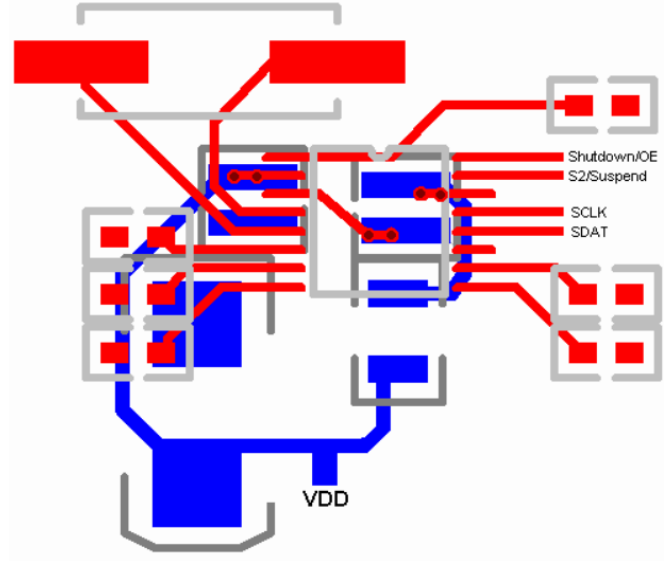


図 20. レイアウト - 最上層

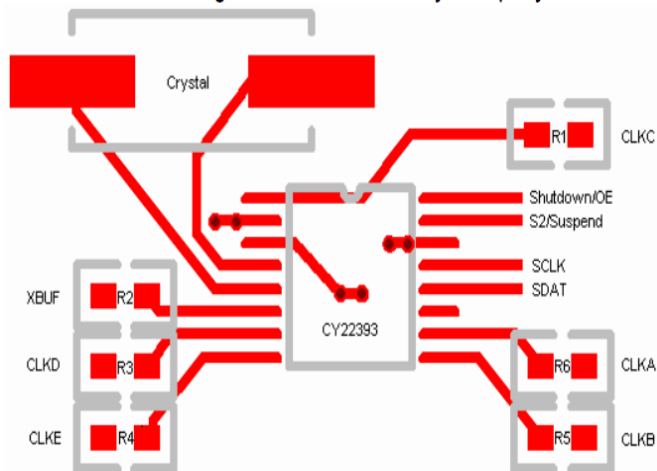
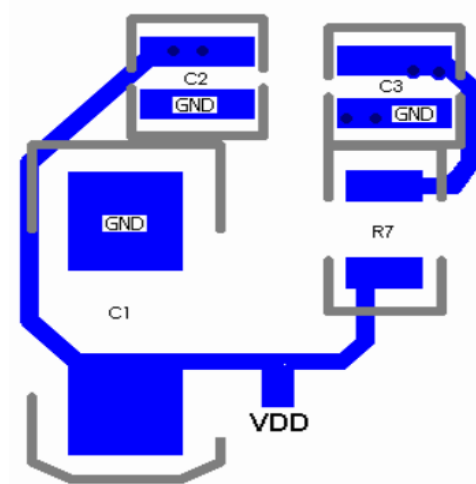


図 21. レイアウト - 最下層



## ドキュメントの変更履歴

文書名: サイプレス クロック ジェネレータの設計とレイアウトのガイドライン-AN1111

文書番号: 001-95841

版	ECN	変更者	発行日	変更内容
**	4700197	HZEN	03/27/2015	これは英語版 001-34339 Rev. *Dを翻訳した日本語版 001-95841 Rev. **です。

## ワールドワイド販売と設計サポート

サイプレスは、事業所、ソリューション センター、メーカー代理店および販売代理店の世界的なネットワークを保持しています。お客様の最寄りのオフィスについては、[サイプレスのロケーション](#) ページをご覧ください。

### 製品

車載用	<a href="http://cypress.com/go/automotive">cypress.com/go/automotive</a>
クロック&バッファ	<a href="http://cypress.com/go/clocks">cypress.com/go/clocks</a>
インターフェース	<a href="http://cypress.com/go/interface">cypress.com/go/interface</a>
照明&電源管理	<a href="http://cypress.com/go/powerpsoc">cypress.com/go/powerpsoc</a> <a href="http://cypress.com/go/plc">cypress.com/go/plc</a>
メモリ	<a href="http://cypress.com/go/memory">cypress.com/go/memory</a>
PSoC	<a href="http://cypress.com/go/psoc">cypress.com/go/psoc</a>
タッチ センシング	<a href="http://cypress.com/go/touch">cypress.com/go/touch</a>
USB コントローラー	<a href="http://cypress.com/go/usb">cypress.com/go/usb</a>
ワイヤレス/RF	<a href="http://cypress.com/go/wireless">cypress.com/go/wireless</a>

### PSoC<sup>®</sup>ソリューション

[psoc.cypress.com/solutions](http://psoc.cypress.com/solutions)  
PSoC 1 | PSoC 3 | PSoC 5LP

### サイプレス開発者コミュニティ

[コミュニティ](#) | [フォーラム](#) | [ブログ](#) | [ビデオ](#) | [トレーニング](#)

### テクニカル サポート

[cypress.com/go/support](http://cypress.com/go/support)

本書で言及するその他すべての商標または登録商標は、各社の所有物です。



Cypress Semiconductor Phone : 408-943-2600  
198 Champion Court Fax : 408-943-4730  
San Jose, CA 95134-1709 Website : [www.cypress.com](http://www.cypress.com)

© Cypress Semiconductor Corporation, 2012-2015. 本文書に記載される情報は予告なく変更される場合があります。Cypress Semiconductor Corporation (サイプレス セミコンダクタ社) は、サイプレス製品に組み込まれた回路以外のいかなる回路を使用することに対して一切の責任を負いません。サイプレス セミコンダクタ社は、特許またはその他の権利に基づくライセンスを譲渡することも、または含意することはありません。サイプレス製品は、サイプレスとの書面による合意に基づくものでない限り、医療、生命維持、救命、重要な管理、または安全の用途のために使用することを保証するものではなく、また使用することを意図したものでもありません。さらにサイプレスは、誤動作や故障によって使用者に重大な傷害をもたらすことが合理的に予想される生命維持システムの重要なコンポーネントとしてサイプレス製品を使用することを許可していません。生命維持システムの用途にサイプレス製品を供することは、製造者がそのような使用におけるあらゆるリスクを負うことを意味し、その結果サイプレスはあらゆる責任を免除されることを意味します。

このソースコード (ソフトウェアおよび/またはファームウェア) はサイプレス セミコンダクタ社 (以下「サイプレス」) が所有し、全世界の特許権保護 (米国およびその他の国)、米国の著作権法ならびに国際協定の条項により保護され、かつそれらに従います。サイプレスが本書面によりライセンスに付与するライセンスは、個人的、非独占的かつ譲渡不能のライセンスであり、適用される契約で指定されたサイプレスの集積回路と併用されるライセンスの製品のみをサポートするカスタム ソフトウェアおよび/またはカスタム ファームウェアを作成する目的に限って、サイプレスのソースコードの派生著作物をコピー、使用、変更して作成するためのライセンス、ならびにサイプレスのソース コードおよび派生著作物をコンパイルするためのライセンスです。上記で指定された場合を除き、サイプレスの書面による明示的な許可なくして本ソース コードを複製、変更、変換、コンパイル、または表示することはすべて禁止します。

免責条項: サイプレスは、明示的または黙示的を問わず、本資料に関するいかなる種類の保証も行いません。これには、商品性または特定目的への適合性の黙示的な保証が含まれますが、これに限定されません。サイプレスは、本文書に記載される資料に対して今後予告なく変更を加える権利を留保します。サイプレスは、本文書に記載されるいかなる製品または回路を適用または使用したことによって生ずるいかなる責任も負いません。サイプレスは、誤動作や故障によって使用者に重大な傷害をもたらすことが合理的に予想される生命維持システムの重要なコンポーネントとしてサイプレス製品を使用することを許可していません。生命維持システムの用途にサイプレス製品を供することは、製造者がそのような使用におけるあらゆるリスクを負うことを意味し、その結果サイプレスはあらゆる責任を免除されることを意味します。

ソフトウェアの使用は、適用されるサイプレス ソフトウェア ライセンス契約によって制限され、かつ制約される場合があります。