

AN1111

赛普拉斯时钟发生器的设计和布局指南

作者: Chinmayee Agnihotri 和 Brijesh A. Shah

相关项目: 无

相关器件系列: CY254xx、CY2238x、CY2239x、CY22x50

软件版本: NA

相关应用笔记: NA

AN1111 介绍的是赛普拉斯时钟发生器的基本原理图设计和印刷电路板 (PCB) 布局指南。另外, 它还详细说明了电源滤波、输出终端和关键组件放置的通用实践, 并简单介绍了路由时钟信号的建议方法。在本应用笔记中同时提供了原理图和布局的典型示例, 用于参考。

目录

简介	1
原理图设计	1
电源滤波	2
晶体振荡器的辅助组件	4
时钟输出终端	4
其他通用设计指南	6
布局指南	6
放置	6
路由	8
汇总	8
附录 A: CY22150 和 CY22393 的示例	9
CY22150 的原理图和布局示例	9
CY22393 的原理图和布局示例	10
文档修订记录	11
全球销售和设计支持	12

简介

随着时钟器件的速度的增加, 信号的完整性和电源完整性问题也逐渐增多。现在要求缩短设计时间, 并在第一次尝试过程中不能发生任何错误。因此, 在一个系统的完整设计周期中, 需要早期发现错误并采取各种纠正措施。本应用笔记介绍了赛普拉斯时钟发生器 PCB 设计的通用实践。这些实践包括原理图和布局设计。

在时钟发生器原理图设计中, 必须按照指南进行操作, 以获取最佳的器件性能。这包括了电源和信号完整性的测量。原理图设计中的关键要求包括: 电源滤波、晶体振荡器电容的选择、时钟输出和 I²C 总线终端以及应用的特定配置。

时钟发生器的布局对时钟接收器的性能和电路板上接近组件产生影响。一个系统设计师必须多次为时钟发生器、电源和晶体振荡器电容以及终端电阻等器件进行手动放置和路由操作。本应用笔记包含了这样的 PCB 设计通用指南。对于应用程序的特定设置, 请参考时钟发生器器件数据手册, 从而将其配置为所需要的性能。

原理图设计

本节介绍的是原理图设计中的重要注意事项。

电源滤波

当时钟发生器的电源以非常高的频率运行时，它很容易受到噪声的影响。该噪声可能来自于通信信号、高速时钟、电源切换或时钟发生器的输出切换。电源噪声会对时钟发生器的抖动和时滞参数产生影响。建议使用去耦电容和旁路电容来降低电源噪声。下面的内容详细介绍了各种组件的使用情况，用于降低电源噪声。

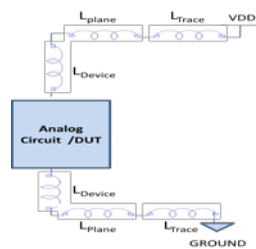
为何需要去耦和旁路电容？

旁路电容

由于信号的上升时间增加，因此接地反弹效应也开始生效。这是由引线、走线和板层感应（如图 1 所示）导致的。接地反弹是逻辑低电平，它由电路上连接的负载器件引起。它是电路的逻辑低电平加上引线框架电感上电压尖峰得到的数值。由于电感上的电压同随时间而变化的电流成正比(di/dt) [$V = L \cdot (di/dt)$]，因此器件的升降时间越短， dt 值便越小。这样， di/dt 增加会使电感上的电压下降更快。由此，电感中的电流会突然上升，从而改变器件逻辑低电平的大小。这样电压会上升到接地电压值以上。这种情况被称为接地反弹。

另一方面，如果靠近电源的电感也有相同的负下降，那么逻辑高电平值会降低。因此，加载器件将认为一个信号从接地电压或电源值而不是从已指定的逻辑低电平或逻辑高电平反弹。通过使用旁路电容可以处理这种情况，因为它能够为封装提供一小段时间的调节电源和接地电压，直到消除平面自感应为止。可将旁路电容连接到高阻抗路径，以降低流入该路径的高频电流。

图 1. 与 PCB 中的器件相对应的不同电感



由于该旁路电容具有自身的走线和引线电感，因此它也存在自身的噪声。PCB 走线越长，电感便越高，这样可以抑制电流快速变化，并出现较大的电压下降。因此，始终建议将旁路电容放置在最近器件的位置，走线越宽越好。封装寄生电容包含封装的引线和接合线的寄生电容，如“时钟输出终端”所示。

去耦电容

去耦意味着将 IC 的电源从主电源上隔离开。如果需要一个电路从另一个电路的噪声隔离开，用户应该降低这两个电路共享的电源走线的长度。因此，需要使用去耦法。去耦通过两种方法来减少传输噪声：

- 由于去耦始终需要使用与电源线相连的高阻抗元件，因此它有助于进行旁路；这样可确保噪声电流通过低阻抗旁路元件，而不是功过电源。
- 它作为一个低通滤波器使用，能够使流过串联元件的所有电流的高频部分减弱，这样可使调节器作出反应，并保持电源电压的稳定状态。

图 2 显示的是对赛普拉斯器件进行电源滤波时需要进行的典型测量。一般情况下，旁路电容和去耦电容对输出信号的影响如下所示。

图 2. CY2544 的电源滤波

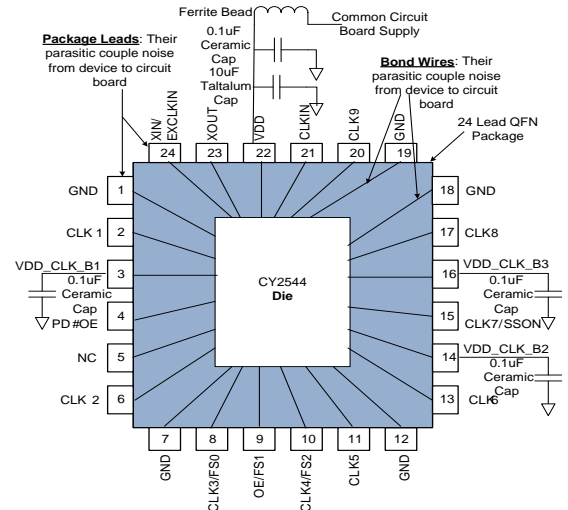


图 3. 带有高阻抗旁路电容的输出

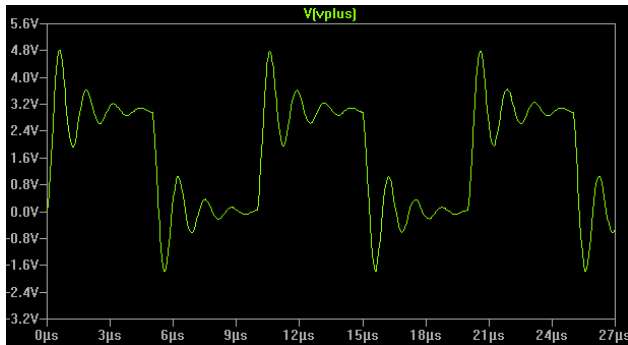
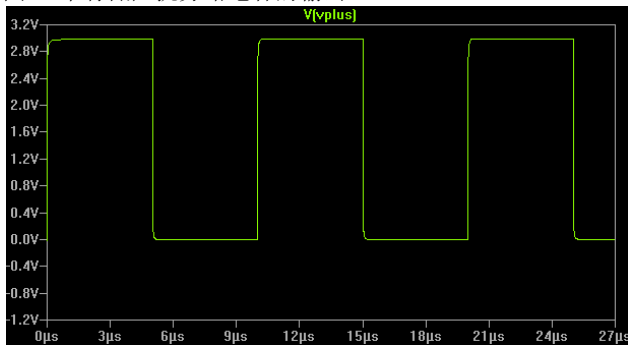


图 4. 带有低阻抗旁路电容的输出



电容选择

要想对电源电压中宽频率范围内的噪声进行滤波，请将低频率和高频率电容并联起来使用。这样可以在宽频率范围内提供低阻抗路径。与高频率电容（0.001 至 1 μF ）相比，低频率电容（1 至 1000 μF ）在低频率中（<200 MHz）提供的阻抗更小。低频率电容采用钽和电解类型。

电源电压中的波纹是由电容的等效串联电阻（ESR）导致的。因此，应该确保 ESR 的值尽可能低。由于钽电容的 ESR 很低，因此与电解电容相比它更合适。与低频率电容相比，高频率电容在高频率下（> 200 MHz）提供的阻抗更低。高频率电容应该采用便宜且可靠的陶瓷类型。应该在内核供电引脚上使用一个 10 μF 大小的钽电容和 0.1 μF 或 0.01 μF 大小的陶瓷电容，并在输出组供电引脚上使用 0.1 μF 或 0.01 μF 大小陶瓷去耦电容。频率为 1 MHz 时，10 μF 大小的钽电容的阻抗约为 16 m Ω ；频率为 200 MHz 时，0.1 μF 大小的陶瓷电容的阻抗约为 8 m Ω 。

某个频率范围内所需的低阻抗取决于负载电流中被变化的相应电源纹波比例。通过以下公式可以计算出阻抗：

$$Z_{\text{LOW}} = \Delta V / \Delta I = [(V_{\text{DD}} \times \text{Ripple}) / \Delta I]$$

其中：

V_{DD} 是器件的供电电压

波纹为容差波纹（百分比）

ΔI 是电源负载电流发生的变化

如果在某个应用中，器件供电电压为 3.3 V，并且负载电流中 100 mA 变化值的相应波纹为 0.1%，那么所需频率范围的低阻抗将为 33 m Ω 。

铁氧体磁珠

铁氧体磁珠通过为相同频率带宽创建阻抗来消除某个频率范围内的噪声能量。铁氧体材料具有很高的电阻性，该特性有助于在高频率条件下无耗进行信号传输。铁氧体磁珠可以从印刷电路板（PCB）的电源层上将时钟发生器隔离开；多层 PCB 有专用的电源层和接地层。得益于电感隔离，因此 PCB 电源层中的噪声不会干扰器件的电源，反之亦然。根据以下两个参数选择铁氧体磁珠：

- DC 阻抗（0 至 5 Ω ）
- DC 电流（15%的容限加上最大供电电流）

要满足 DC 阻抗和 DC 电流的要求，这些仍不充足。如果铁氧体磁珠在低频率下存在谐振，那么电源噪声将被递增而不是被减弱。一般情况下，铁氧体磁珠具有的以下常见特性不能降低噪声：低 DC 电阻（<0.1 Ω ）、靠近低频率的谐振（10–100 kHz）。铁氧体磁珠典型对输出信号地影响如图 5 所示。

图 5. 噪声信号

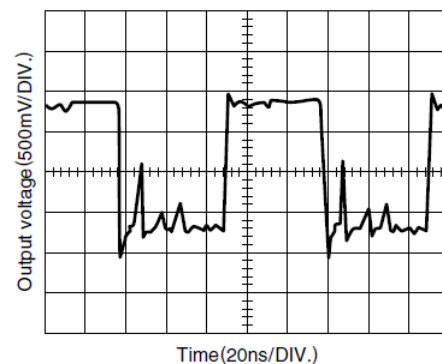


图 6. 使用铁氧体磁珠时的信号

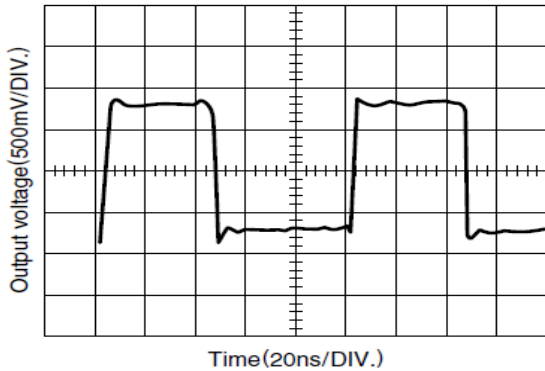
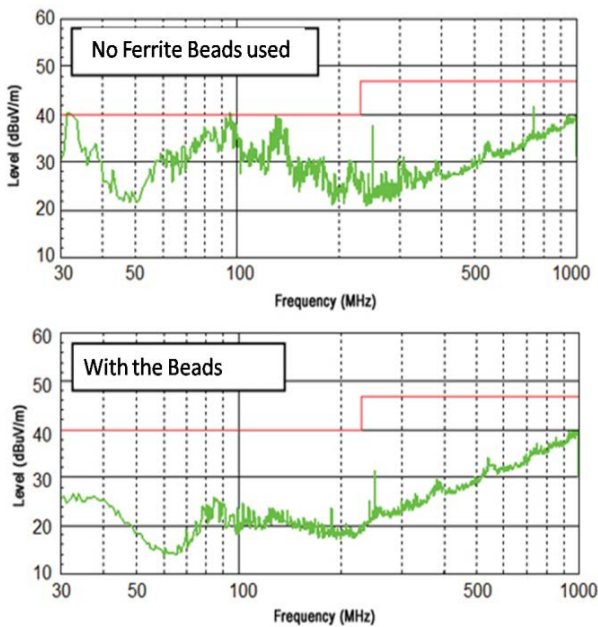


图 7 显示的是在带宽范围为 30 到 350 MHz 时铁氧体磁珠对各种信号产生的影响；几乎所有峰值噪声都被消除。由于作为铁氧体磁珠的材料适用于在更低频率下降低噪声，因此某些峰值噪声 (> 350 MHz) 仍然存在。

图 7. 铁氧体磁珠的影响



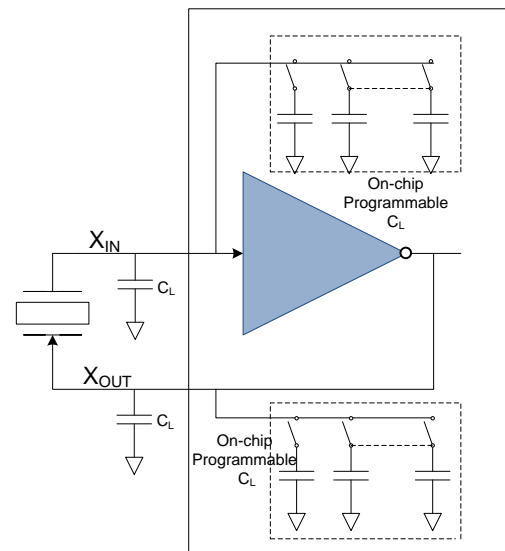
当滤波电容和合适的布局设计满足要求时，铁氧体磁珠不需要对电源进行滤波。如果使用铁氧体磁珠，请将旁路电容放置在该磁珠的时钟发生器一侧。

晶体振荡器的辅助组件

赛普拉斯时钟发生器接收某个外部时钟或晶体，将其作为参考输入。

如图 8 所示，带有外部晶体和电容的片上缓冲放大器进行 Pierce 振荡器配置。为了得到所需的振荡器功能，晶体必须满足时钟发生器数据手册中所建议的负载电容、驱动电平和动态电阻等规格。某些时钟发生器系列拥有一个可编程片上负载电容阵列，并且不需要外部负载电容。白皮书赛普拉斯频率合成器的晶体参数建议中提供了晶体参数的详细建议内容。

图 8. 赛普拉斯时钟发生器中的 Pierce 振荡器

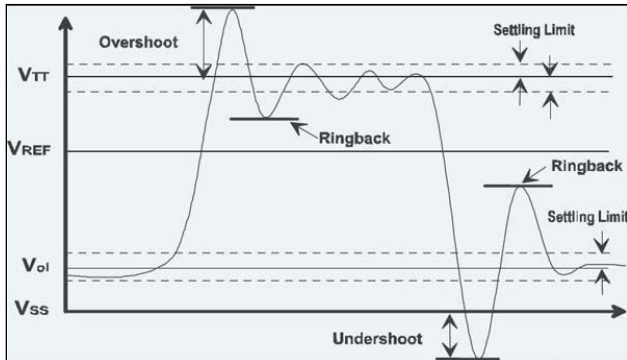


要想将外部时钟作为参考输入使用，请保持 X_OUT 引脚的未连接状态，并将外部时钟连接到 X_IN 引脚上。

时钟输出终端

根据传输线理论，如果时钟信号的边沿比两倍走线（用于传输时钟信号的）的传输延迟还要快，那么该信号需要终端匹配，以避免发生反射现象。最大电源传输定理指出了驱动器的阻抗和接收器的阻抗必须相匹配以传输最大信号电源。当阻抗不匹配时，信号电源将从接收器被反射，并通过在信号的中断点上过冲或下冲来表现该情况。过冲或下冲能够显著改变信号的电平，如图 9 所示。这样，接收器会检测将其作为错误的信号电平。通过使用终端技术可以使阻抗匹配并防止发生过冲和下冲现象。

图 9. 由反射导致的过冲和下冲



一条走线可以在源端或接收器端上进行终端匹配。每个技术都有其自身的优点和缺点。

源终端或串联终端

一个串联电阻将连接至时钟信号源的终端，以使源阻抗和走线阻抗相匹配。由于阻抗在源端上得到匹配，因此接收器中的反射信号会被吸收。这样可以防止发生过冲或下冲现象。

通过将走线阻抗 (R_T) 减去源阻抗 (R_S) 可以计算出串联终端电阻 (R_I)。对于 $50\ \Omega$ 走线阻抗和 $17\ \Omega$ 源阻抗，串联终端电阻应该为 $33\ \Omega$ 。

$$R_I = R_T - R_S$$

其中：

R_I = 串联终端电阻

R_S = 源阻抗

R_T = 走线阻抗

源阻抗来自器件 IBIS 模型的 I-V 曲线。在 www.cypress.com 网站上提供了赛普拉斯时钟发生器的 IBIS 模型。

串联终端的优点

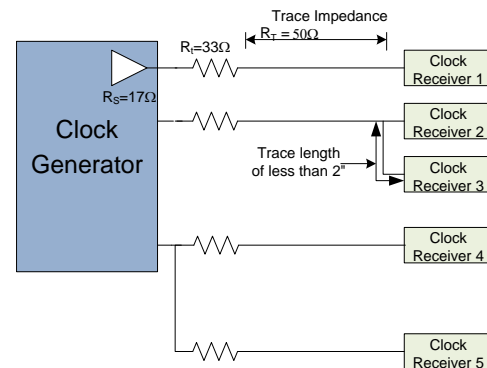
- 无 DC 功率耗散
- 与其他终端技术相比，串联终端的功耗更低

串联终端的缺点

- 由于 I-V 曲线上的源阻抗是可变的，因此不存在完全的阻抗匹配
- 只有时钟接收器位于走线的末端时才可用。如果时钟接收器沿着走线连接，则会引起反射现象。

在某些应用中，同一个时钟输出可以有多个时钟接收器，如果各接收器之间的走线长度小于两英寸，那么这些接收器可以共享单个终端电阻，如图 10 所示。但是赛普拉斯建议将这些接收器的单独串联电阻放置的越远越好，如下图所示。

图 10. 源终端



走线结束终端

如果使用这些终端技术，时钟输出将在走线的末端上被终止。因此，信号不会从接收器上被反射。与源终端不同，可以将时钟接收器沿着走线连接而不会影响其他接收器，但应该结束它，以避免接收时钟中的反射。

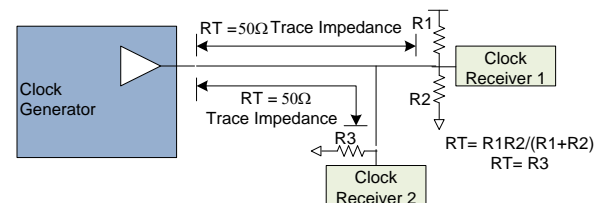
上拉/下拉终端是端点终端上一项有名的技术。

上拉/下拉终端

如图 11 所示，上拉和下拉电阻 (R_1 、 R_2) 连接到接收器的末端。这些电阻的戴维南等值 (Thevenin equivalent — R_T) 应等于走线的阻抗。

$$R_T = (R_1 * R_2) / (R_1 + R_2)$$

图 11. 走线端点终端



R_1 和 R_2 的电阻不应该过高，从而不会超过时钟发生器输出低电流 (I_{OL}) 和输出高电流 (I_{OH}) 规范的限制。如果 I_{OL} 和 I_{OH} 限制相同，那么选择电阻 R_1 和 R_2 相等，或根据 I_{OL}/I_{OH} 限制调整 R_1/R_2 的比值。

由于 DC 电流连续流入 R1 和 R2，因此如果使用上拉和下拉终端技术，功耗会很大。但只通过调整上拉电阻（R1）或下拉电阻（R2）使走线阻抗相匹配，便可以降低一半的功耗。

其他通用设计指南

未使用的时钟输出

如果应用允许输出至输出时滞（< 30 ps）的较小变化，您可以保持时钟发生器上未使用时钟输出处于未被终端状态。在切换时钟信号时，未终端的时钟输出引脚作为天线使用和表现为辐射噪声。然而，辐射噪声对于更小封装（如 QFN）的 EMI 没有任何益处。

由于存在未被终端的输出，因此带有多个时钟输出组时钟发生器带有额外的时滞。与其他运行时钟相比，未被终端的时钟输出吸收的电流更小。这样会引起各输出组所消耗的电流存在差别。与功耗较高的输出组相比，功耗较低输出组会以更快的速度驱动时钟。这样，不同功耗输出组中的时钟信号之间会存在额外的时滞，该时滞小于 30 ps。

在设计过程中最好将电容焊盘放置在未使用的输出上。如果需要关注时滞或 EMI，则在测试时请安装一个 5 到 10 pF 的电容。

多功能引脚

要想通过更少的引脚使用多种可编程特性，赛普拉斯时钟发生器提供了这样的多功能引脚。您可以将多功能引脚配置为多个操作中的一功能：输出使能、断电、频率选择和扩展开/关。

要想固定连接到一个多功能引脚，需要使用一个外部上拉或下拉电阻。电阻值必须满足该引脚的 VIH/VIL 规格。上拉电阻或下拉电阻的典型值通常为 1 kΩ。

I²C 总线的上拉电阻

赛普拉斯时钟发生器要求在 I²C 接口的串行时钟（SCLK）和串行数据（SDAT）上存在外部上拉电阻。上拉电阻的典型值为 2 至 5 kΩ。

使用电容来降低 EMI

在对 EMI 敏感的应用中，陡峭的时钟沿是其中一种辐射源。在时钟输出上使用一个 4.7 至 22 pF 的电容，从而使时钟信号的上升沿和下降沿变得更加平缓。这样可以降低辐射。将 EMI 电容放置在时钟输出上串联终端电阻的后面。

布局指南

布局包括两项主要任务：放置和路由。对于优化时钟发生器性能来讲，放置与电源滤波、晶体振荡器和时钟输出终端相关的关键组件非常重要。印刷电路板（PCB）的路由技术包括：优化电源走线长度和宽度、过孔的利用、时钟走线路由方法以及接地层和电源层的使用等情况。

放置

放置指的是在电路板上为各组件确定机械位置的过程。

时钟发生器器件

时钟发生器应该位于围绕时钟接收器中心的位置，使时钟走线不会相互交叉。直接将时钟发生器放置在电路板上，不需要使用套接字（该套接字会带来寄生电容，从而导致噪声）。

外部组件

确保旁路电容或去耦电容接近电源引脚。确保输出终端电阻接近相应的时钟输出引脚。晶体和负载电容应该尽可能接近器件的 X_{IN} 和 X_{OUT} 引脚；从晶体负载电容到 X_{IN} 和 X_{OUT} 引脚的距离必须相等，这样可以避免额外引起的影响。将 EMI 电容放置在时钟输出上的串联电阻后面。图 12 和图 13 分别显示了时钟发生器原理图和时钟发生器放置的一个典型示例。

图 12. 时钟发生器原理图示例

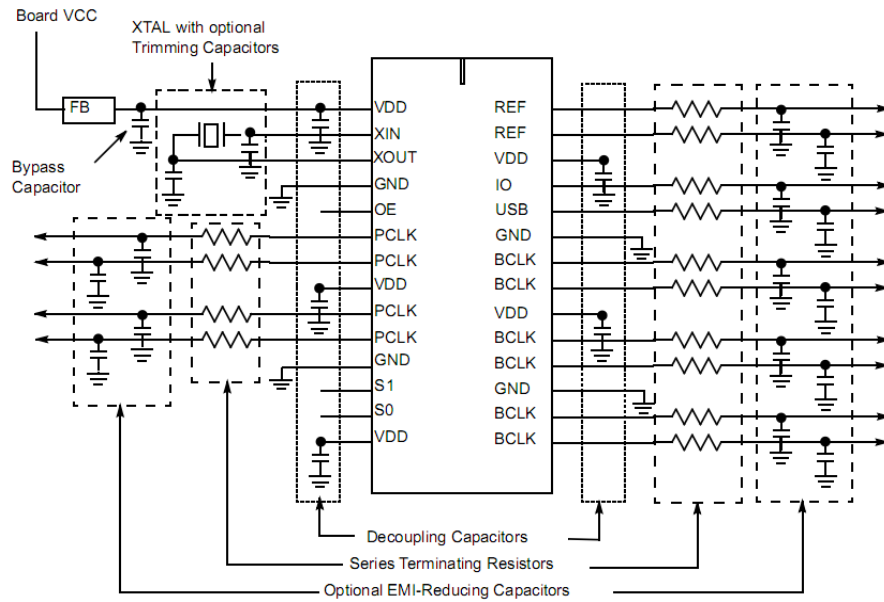
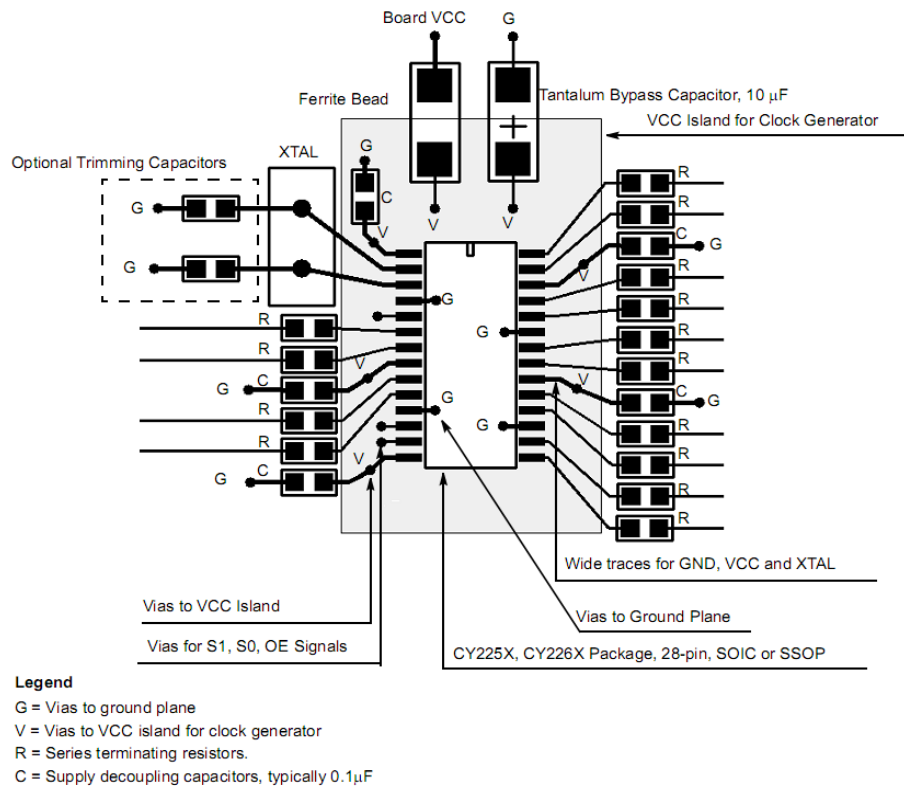


图 13. 时钟发生器布局示例



欲了解 CY22150 和 CY22393 的原理图和布局示例，请参考附录 A: CY22150 和 CY22393 的示例。

路由

路由是指对电路板上各个组件进行电气连接的过程。

电源层和接地层

一般情况下，PCB 的整个层连接着电源层或接地层。较厚的电源层或接地层它们的 DC 电阻和 AC 电感更低，因此该层上的电压较小，并且路径的电感更低，从而使信号返回到地面。电源层和接地层可以减少电路板上的接地环路，从而减少 EMI。

本地电源或接地区域

带有高速数字和模拟器件的电路板应该拥有单独的模拟和数字电源以及接地区域，用于避免干扰。在这种情况下，使用组件层上的本地电源或接地铜区域覆盖高速器件。本地电源区域应该使用铁氧体磁珠连接到电路板电源层，用于阻止噪声传输。为了得到阻抗更低的路径，在本地接地区域使用多个过孔来连接到接地层。

如果时钟发生器封装比较大，那么使用本地区域来减少其他噪声源对电路板的影响，如图 13 所示。

路由最佳实践

- 在电源、接地和晶体上使用宽走线。宽走线具有的电感更小。

- 使用距离相等的走线路由晶体，并将该晶体放置在远离时钟走线或高速走线的位置。
- 与铜走线相比，过孔的电阻和电感更大。因此，应该在一个时钟走线上使用最低数量的过孔。如果使用过孔，应使该过孔远离电源或接地层，降低时钟走线阻抗发生变化。
- 路由到接近接地层的时钟走线拥有低阻抗的返回路径。
- 请勿将走线路由到接地或电源层中或时钟发生器器件的下方。
- 为时钟信号使用长度相等的走线（这些信号的相应时滞必须为最小值）

汇总

时钟发生器的性能对所有电子系统起着重要的作用。在原理图设计和布局相位期间采取某些预防措施可以优化时钟发生器的性能。原理图设计中重点注意事项包括：电源滤波、晶体和负载电容的选择、时钟输出终端和应用的特定配置。布局的最佳实践包括时钟发生器、电源滤波电容和晶体振荡器电容的放置，以及时钟信号走线、电源和接地层的路由方法。

附录A: CY22150 和CY22393 的示例

CY22150 的原理图和布局示例

图 14. 原理图

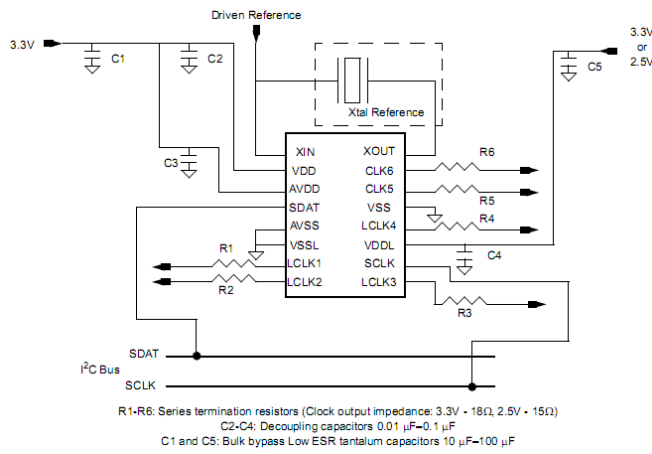


图 15. 布局 – 顶层 + 底层

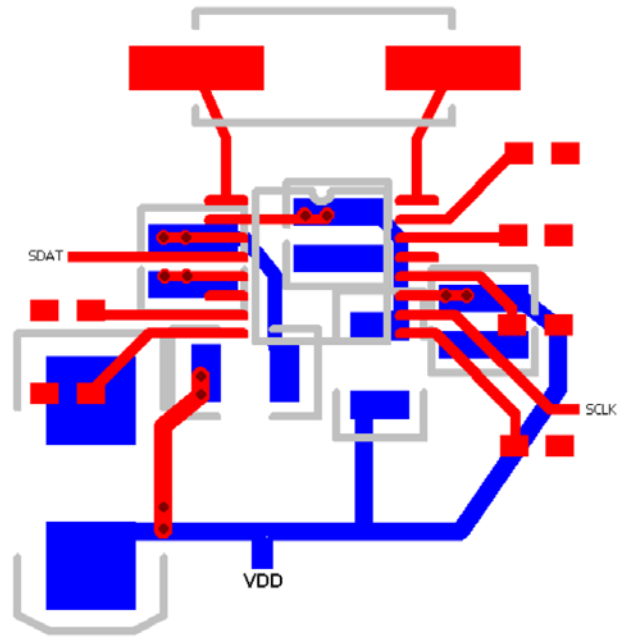


图 16. 布局 – 顶层

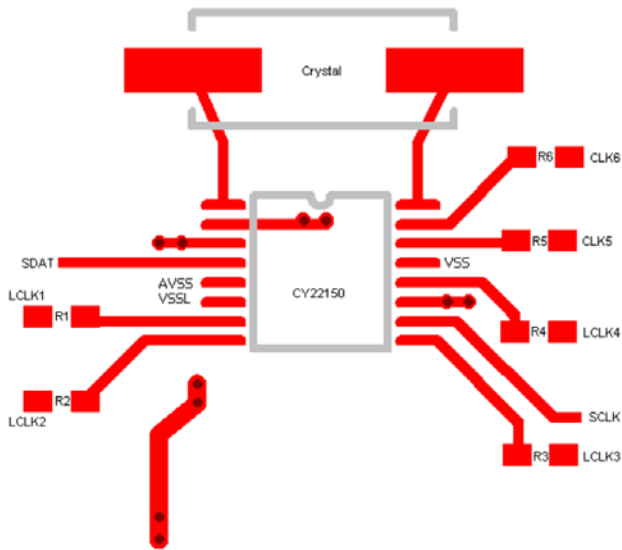
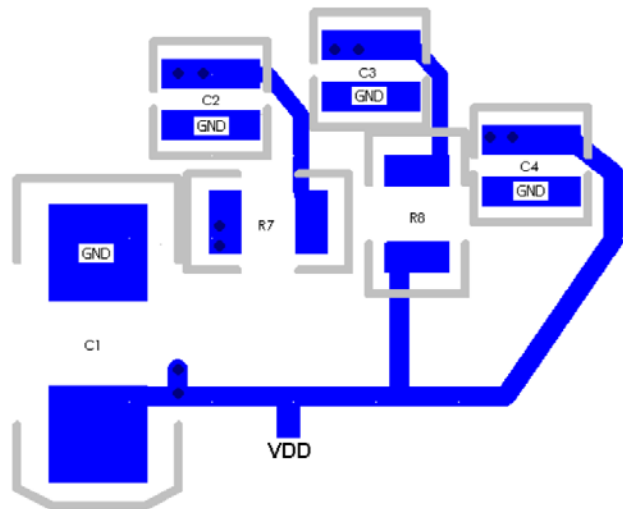


图 17. 布局 – 底层



CY22393 的原理图和布局示例

图 18. 原理图

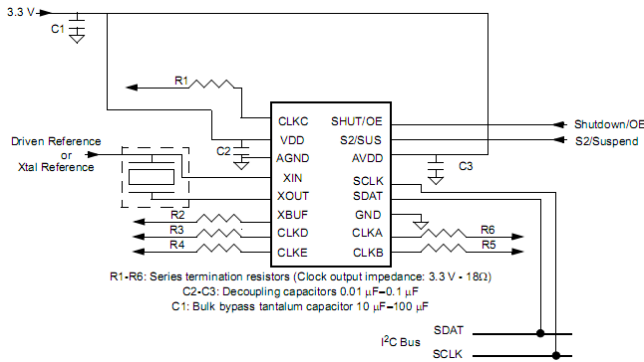


图 19. 布局 – 顶层 + 底层

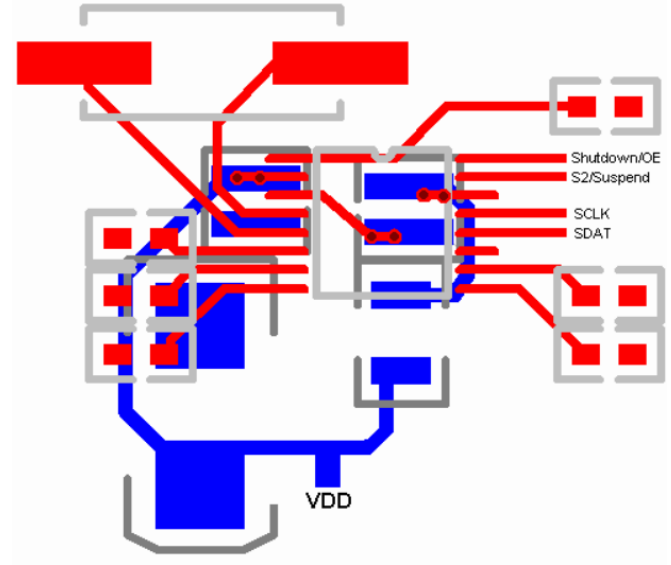


图 20. 布局 – 顶层

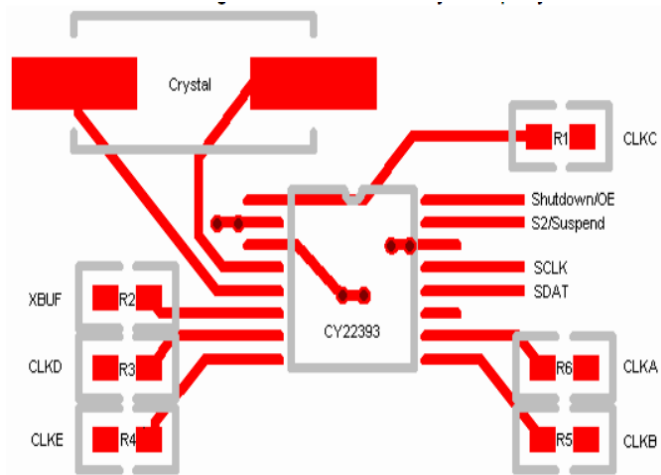
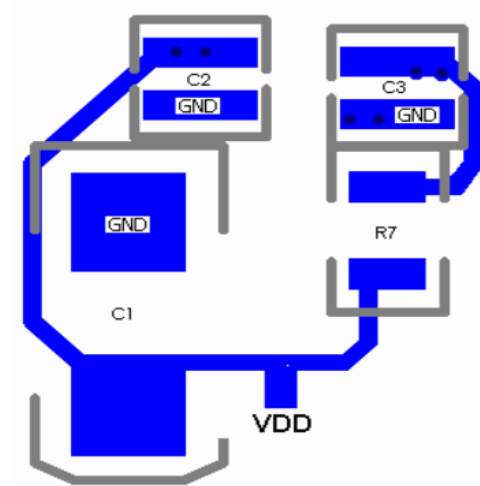


图 21. 布局 – 底层



文档修订记录

文档标题：赛普拉斯时钟发生器的设计和布局指南 – AN1111

文档编号：001-95807

版本	ECN	变更者	提交日期	变更说明
**	4691567	YLIU	04/14/2015	本文档版本号为Rev**, 译自英文版001-34339 Rev*D。

全球销售和设计支持

赛普拉斯公司拥有一个由办事处、解决方案中心、厂商代表和经销商组成的全球性网络。如果想要查找离您最近的办事处，请访问[赛普拉斯所在地](#)。

产品

汽车级产品	cypress.com/go/automotive
时钟与缓冲器	cypress.com/go/clocks
接口	cypress.com/go/interface
照明和电源控制	cypress.com/go/powerpsoc cypress.com/go/plc
存储器	cypress.com/go/memory
PSoC	cypress.com/go/psoc
触摸感应	cypress.com/go/touch
USB 控制器	cypress.com/go/usb
无线/射频	cypress.com/go/wireless

PSoC®解决方案

psoc.cypress.com/solutions
 PSoC 1 | PSoC 3 | PSoC 5LP

赛普拉斯开发者社区

[社区](#) | [论坛](#) | [博客](#) | [视频](#) | [培训](#)

技术支持

cypress.com/go/support

此处引用的所有其他商标或注册商标归其各自所有者所有。



赛普拉斯半导体
 198 Champion Court
 San Jose, CA 95134-1709

电话 : 408-943-2600
 传真 : 408-943-4730
 网址 : www.cypress.com

©赛普拉斯半导体公司，2012-2015。此处所包含的信息可能会随时更改，恕不另行通知。除赛普拉斯产品内嵌的电路外，赛普拉斯半导体公司不对任何其他电路的使用承担任何责任。也不会以明示或暗示的方式授予任何专利许可或其他权利。除非与赛普拉斯签订明确的书面协议，否则赛普拉斯不保证产品能够用于或适用于医疗、生命支持、救生、关键控制或安全应用领域。此外，对于可能发生运转异常和故障并对用户造成严重伤害的生命支持系统，赛普拉斯不授权将其产品用作此类系统的关键组件。若将赛普拉斯产品用于生命支持系统中，则表示制造商将承担因此类使用而招致的所有风险，并确保赛普拉斯免于因此而受到任何指控。

该源代码（软件和/或固件）均归赛普拉斯半导体公司（赛普拉斯）所有，并受全球专利法规（美国和美国以外的专利法规）、美国版权法以及国际条约规定的保护和约束。赛普拉斯据此向获许可者授予适用于个人的、非独占性、不可转让的许可，用以复制、使用、修改、创建赛普拉斯源代码的派生作品、编译赛普拉斯源代码和派生作品，并且其目的只能是创建自定义软件和/或固件，以支持获许可者仅将其获得的产品依照适用协议规定的方式与赛普拉斯集成电路配合使用。除上述指定的用途外，未经赛普拉斯明确的书面许可，不得对此类源代码进行任何复制、修改、转换、编译或演示。

免责声明：赛普拉斯不针对此材料提供任何类型的明示或暗示保证，包括（但不限于）针对特定用途的适销性和适用性的暗示保证。赛普拉斯保留在不做出通知的情况下对此处所述材料进行更改的权利。赛普拉斯不对此处所述之任何产品或电路的应用或使用承担任何责任。对于合理预计可能发生运转异常和故障，并对用户造成严重伤害的生命支持系统，赛普拉斯不授权将其产品用作此类系统的关键组件。若将赛普拉斯产品用于生命支持系统中，则表示制造商将承担因此类使用而招致的所有风险，并确保赛普拉斯免于因此而受到任何指控。

产品使用可能适用于赛普拉斯软件许可协议的限制。