

## AN1044

## 了解赛普拉斯异步 FIFO

作者: Adithi Perepu

相关项目: 无

Associated Part Family: CY7C421

软件版本: NA

相关应用笔记: 无

如果要获取该应用笔记的最新版本或示例项目文件, 请访问 <http://www.cypress.com/go/AN1044>。

AN1044 提供了有关异步 FIFO CY7C421 架构、性能和扩展逻辑的概况, 并且讨论了 FIFO 的常见问题及其解决方式。

## 目录

简介 .....	1
异步 FIFO 概况 .....	1
FIFO 读/写操作 .....	2
通用 FIFO 的配置 .....	3
独立操作和宽度扩展操作的配置 .....	3
深度扩展配置 (令牌传输机制) .....	5
重新传输功能 .....	7
应用 .....	7
设计注意事项及解决方法 .....	7
中断或重复数据 .....	8
FIFO 锁定 .....	8
数据丢失或消失 .....	8
被重复或乱序数据、假满或空白 .....	9
空白状态下的读操作以及已满状态下的写操作 .....	9
有效的脉冲宽度违反 .....	10
总结 .....	11
全球销售和 design 支持 .....	13

## 简介

本应用笔记描述了赛普拉斯异步 FIFO CY7C421 的内部架构。另外, 还包括了有关器件的性能、应用、失效模式、典型问题症状及其解决方式的关键性的总结内容。本应用笔记中涉及到的时序参数是器件数据手册 — CY7C421, 512 x 9 异步 FIFO 的改版。

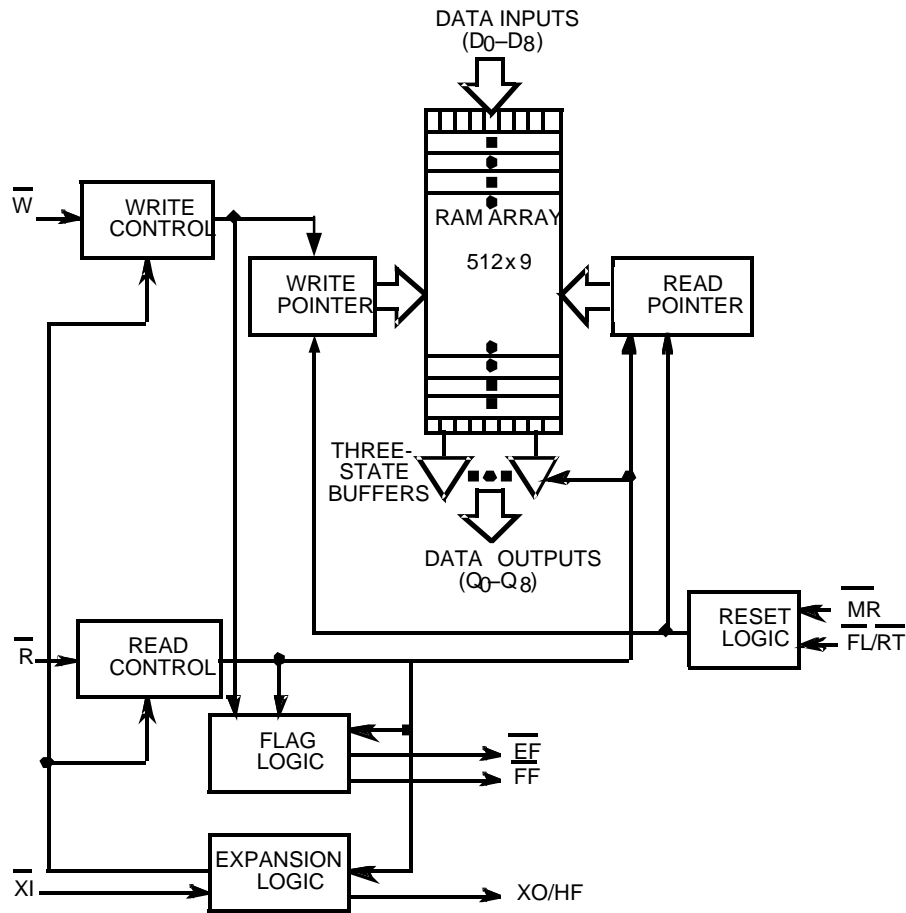
## 异步 FIFO 概况

赛普拉斯异步 FIFO (CY7C421) 为 512 字深、9 位宽的器件。该单片器件提供了达 15 纳秒的访问时间和 25 纳秒的循环时间。有关可用速度和封装组合的更多信息, 请参见器件数据手册。

赛普拉斯异步 FIFO 采用了带有专用读/写端口的 SRAM 类型, 它允许进行单独的读/写操作。该 FIFO 使用了特殊设计的双端口 SRAM 单元, 它带有单独的读和写晶体管, 支持两个端口同时进行访问。

CY7C421 异步 FIFO 的组织方式能够使数据按照写入的顺序被读取。全满、半满和空标志便于进行写入和读取操作。此外, 还提供了各个附加引脚有助于扩展宽度和深度。更多有关 FIFO 逻辑框图的信息, 请参见图 1。

图 1. FIFO 框图



## FIFO 读/写操作

图 2 和图 3 显示的是异步 FIFO 读/写时序。读操作是在读使能 ( $\overline{R}$ ) 的下降沿上被启动的。输出数据总线 ( $Q_0-Q_8$ ) 提供了  $\overline{R}$  的下降沿后的可用数据  $t_A$ 。该  $t_A$  周期指的是这个 FIFO 的读访问时间。在  $\overline{R}$  被确认后的一段时间 ( $t_{LZR}$ )，该输出数据总线转换将处于高阻状态。需要确保读操作只能在有效数据可用于总线后 ( $\overline{R}$  的下降沿后的  $t_A$ ) 才被执行。可以通过解除  $\overline{R}$  的激活来结束该读操作。

$Q_0-Q_8$  总线上的数据将在  $\overline{R}$  的上升沿后保持可用于  $t_{DVR}$ 。它是读周期结束时输出数据的保持时间。然后，内部电路会自动进入就绪状态，准备执行下一个读操作。这个时间段指的是  $t_{RR}$ ，或读恢复时间。各个后续的阅读操作在该时期内不会被启动。最小脉冲宽度由  $t_{PR}$  表示，用于实行读访问，并且该时间等于读访问时间- $t_A$ 。

读周期时间 ( $t_{RC}$ ) 计算如下：

$$t_{RC} = \text{访问时间} (t_A) + \text{读恢复时间} (t_{RR})$$

最大读频率是  $t_{RC}$  的倒数，例如：

$$\text{读频率 (最大值)} = 1/(t_A + t_{RR})$$

例如：具有 20 ns 访问时间和 10 ns 读恢复时间的一个赛普拉斯 FIFO 会占用 30 ns 的读周期时间，或 33.3 MHz 的最大读周期频率。

写操作与读操作相同。写操作在发出写信号 ( $\overline{W}$ ) 时被初始化，并以解除  $\overline{W}$  (上升沿) 的激活指令结束。要想执行有效写入操作，输入数据总线 ( $D_0-D_8$ ) 必须在发生  $\overline{W}$  的上升沿前的  $t_{SD}$  (设置时间) 内处于稳定状态，并在发生该上升沿后的  $t_{HD}$  (保持时间) 内保持可用状态。要想执行有效的写操作，需要将  $t_{PW}$  置位为最小的写使能脉冲宽度。各个连续写周期之间需要一个写恢复时间， $t_{WR}$ 。

最大写频率为  $1/(t_{PW} + t_{WR})$ 。例如，具有 15 纳秒的写选通宽和 10 纳秒的写恢复时间的器件会形成一个 25 纳秒的写周期时间，即：最大写频率为 40 MHz。

各个 FIFO 中包括了单独的内部写和读计数器（指针）。其中，写指针总是指向下一个将被写入的字，读指针总是指向被读取的现有 FIFO 字。每个写或读操作都会使相应的计数器递增一个位置。通过这些计数器的相对位置可以确定器件的状态，它们包括空、半满和满标志外部指示。

图 2. 异步读周期时序

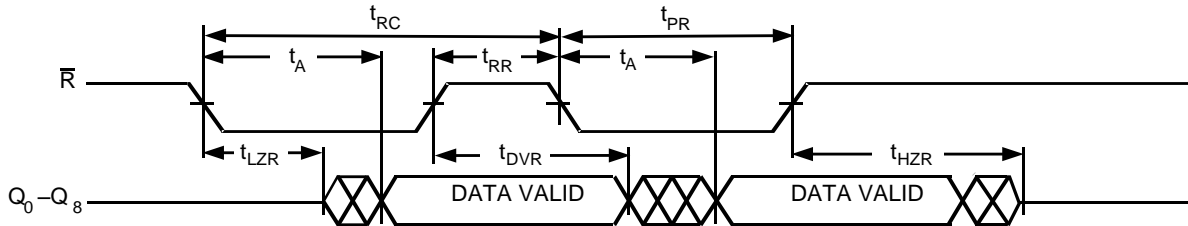
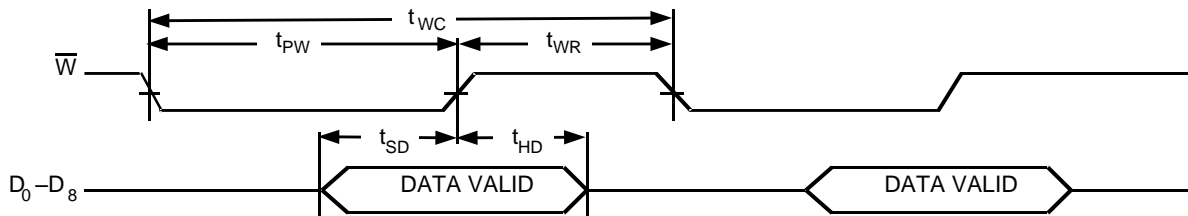


图 3. 异步写周期时序



## 通用 FIFO 的配置

通过将多个异步 FIFO 级联起来，可以创建一个更宽和/或更深的 FIFO，还可以尽量减少外部逻辑。该外部逻辑实现了一个用于生成复合标志的逻辑或门。下面部分对独立操作、宽度扩展和深度扩展进行了介绍。

赛普拉斯 FIFO 提供了用于实现扩展逻辑操作（宽度和深度扩展）所需的引脚 XI 和 XO。使用引脚 XI 和 XO 将令牌从一个 FIFO 传输到下一个 FIFO。FL 指的是用于加载数据的一个 FIFO。

### 独立操作和宽度扩展操作的配置

图 4 说明了独立操作的配制情况。在这种配置中，XI（向内扩展）引脚被连接到低电平，另外 FL（第一个加载）引脚被连接到高电平。

图 4. 独立操作

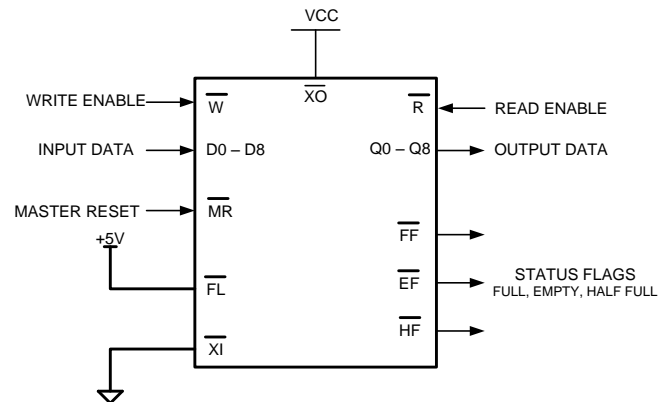
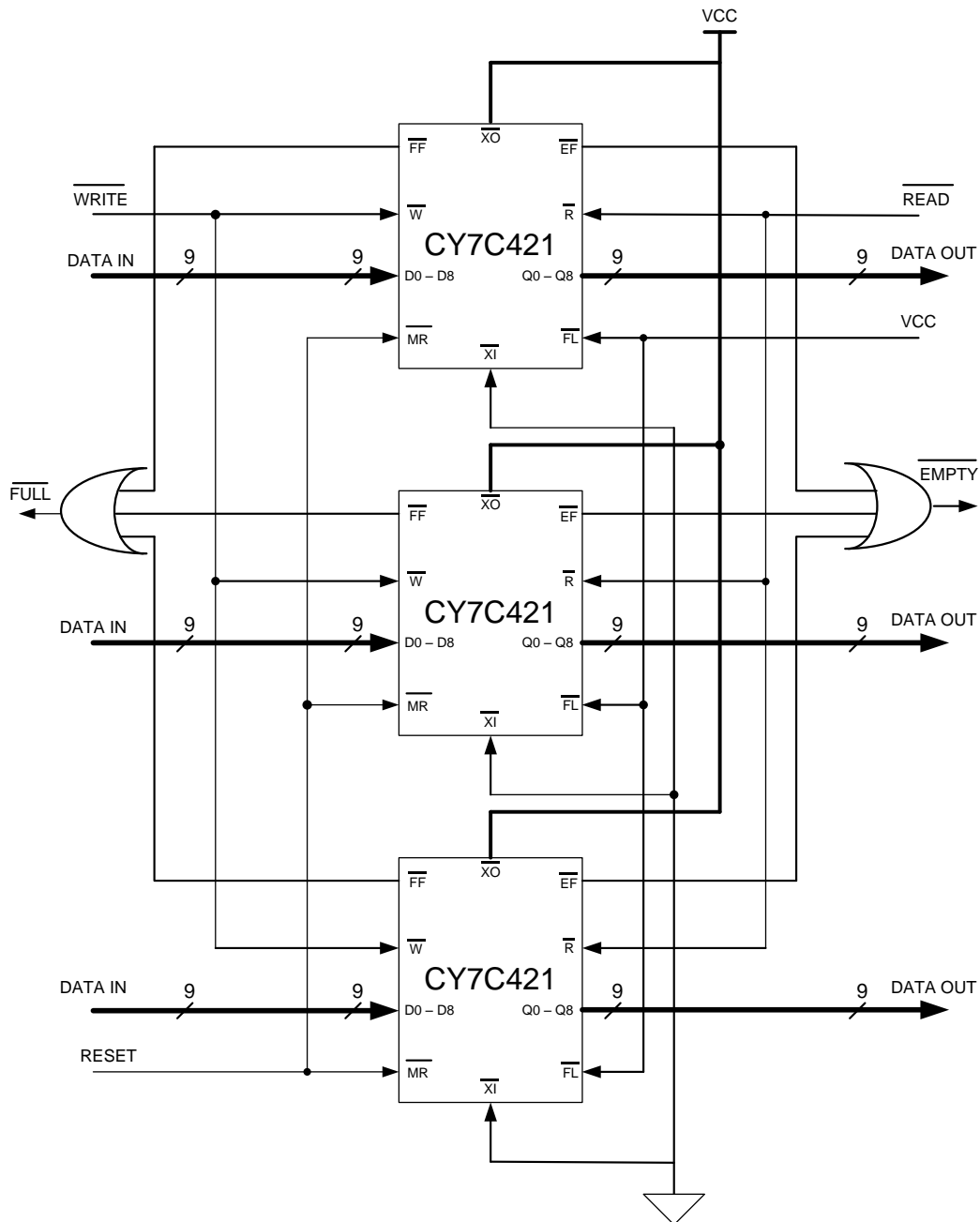


图 5 说明了宽度扩展的配置情况。与单独操作的配置相同，FIFO 引脚 XI 被连接到低电平，另外 FL 引脚被连接到高电平。

进行宽度扩展操作时，传输延迟能够防止设计中具体的 FIFO 同时进行进入满、半满或空条件。因此，各个复合标志必须是外部生成的，用以正确反映扩展宽度的 FIFO 的瞬间状态。通过一个逻辑或门可以实现该操作。

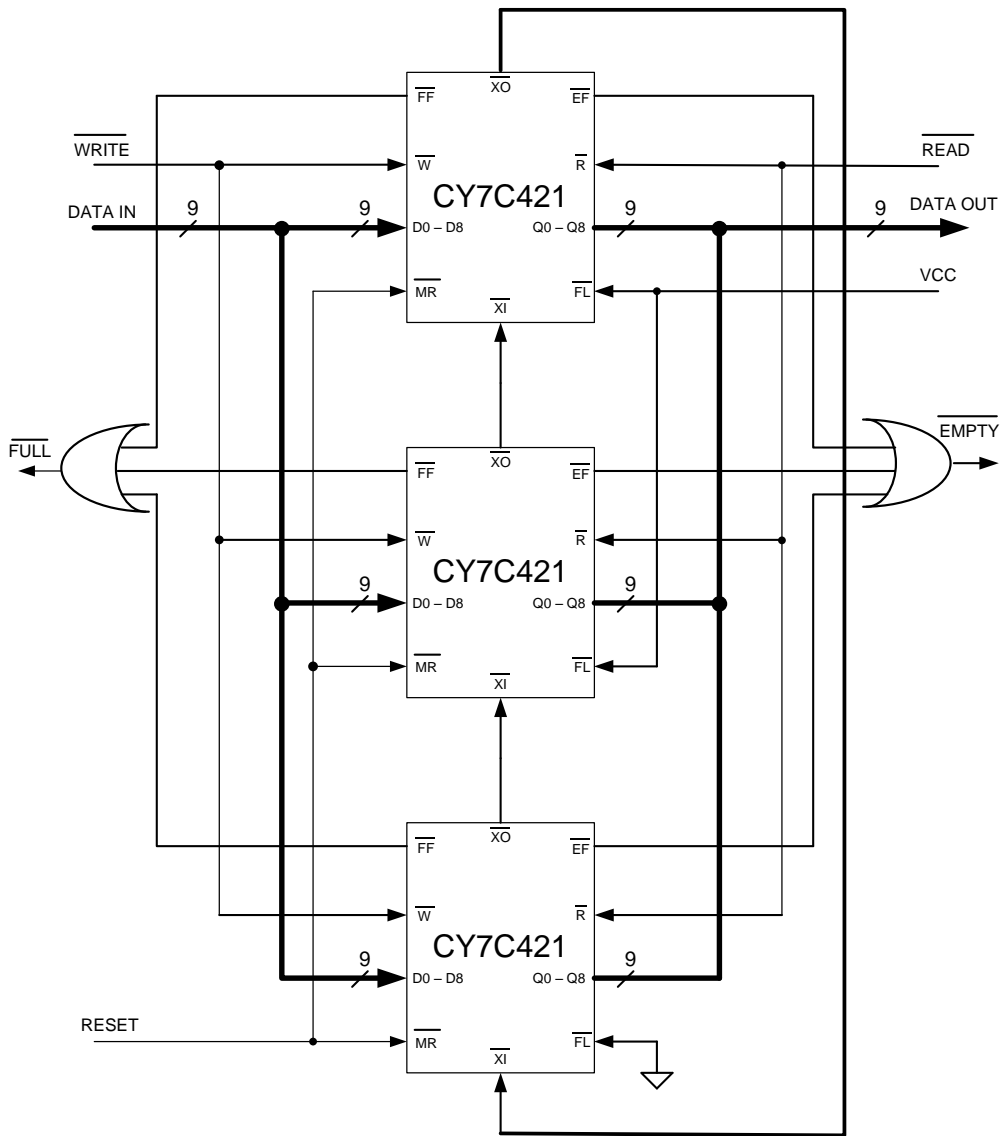
图 5. 宽度扩展



## 深度扩展配置（令牌传输机制）

图 6 说明了深度扩展的配置，在这种配置中，一个器件上的 **FL**（第一次加载）引脚必须被连接到低电平，用以表明哪个器件作为第一个 **FIFO** 被写入。随后，通过将一个器件的 **XO**（向外扩展）引脚与旁边器件的 **XI**（向内扩展）引脚相连，可以将这些 **FIFO** 以菊花链的方式连接起来。该链条中后一个器件的 **XO** 信号被传送给前一个器件的 **XI** 引脚，以构成一个令牌传输环。

图 6. 深度扩展配置（令牌传输）



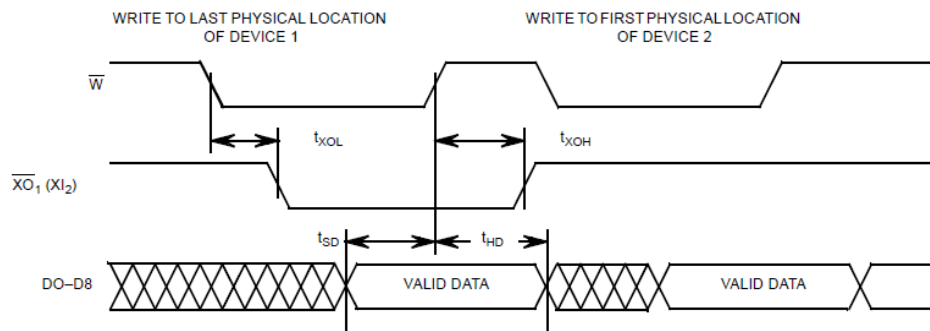
跟扩展宽度 FIFO 的情况相似，可以使用一个逻辑或门来生成复合空和满标志。令牌传输可确保写和读过程保持一致。通过这个读/写令牌，可以确定一个读/写操作需要访问的器件。在写操作的令牌传输序列中，会连续写到第一个 FIFO 内，直到它被填满为止。通过一个外部写指针，可以确定写到的位置，并且每次写入后该指针将递增。当写指针达到头 FIFO 内最后的物理位置时，便不能再次向器件进行写操作。此时，第一个 FIFO 会通过XO到XI的接口，将写令牌发送到链条中下一个 FIFO。现在，第二个器件正在占用写令牌，它会接收全部即将写入的数据，直到该器件被填满，并将写令牌传输给链条中的下一个器件为止。

如果有足够的写令牌来填满 FIFO 链条，则下一个器件便不能将写令牌会传给前一个器件。因为已填满的 FIFO 不会再接收写令牌。不能再对 FIFO 链条进行写操作，直到发生一个读操作为止，它将释放一个内部位置。通过各个内部写和读计数器，可以确定器件的状态以及它是否可以通过写操作接收数据。图 7 显示的是写操作的时序。

同写过程相似，链条中的第一个 FIFO 将占用读令牌。对 FIFO 链条进行读取时，正在占用读令牌的器件将提供从由器件的读指针所指定的地址上的数据。这个读指针随后将递增。在 FIFO 变空前，该递增不会停止，并且读令牌将被发送到链条中下一个器件。通过XO到XI接口，可以发送读令牌。图 8 显示的是读操作的时序。

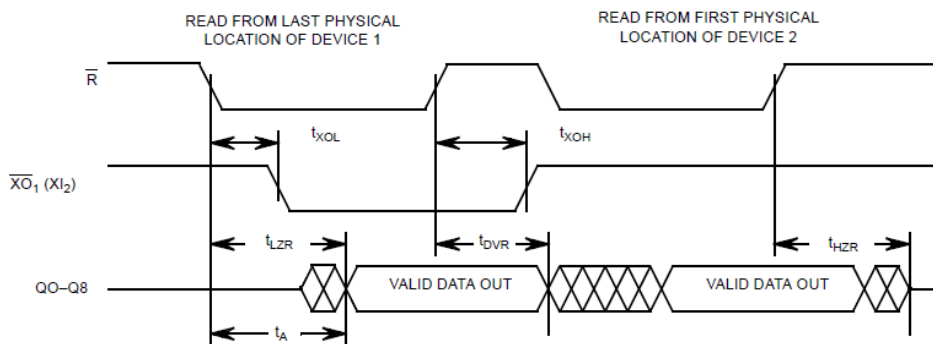
同宽度扩展的情况相似，深度扩展设计必须生成复合状态标志，以反映整个 FIFO 链条的瞬间状态。

图 7. 写扩展时序



将器件 1 的输出扩展引脚 ( $\overline{XO_1}$ ) 连接到器件 2 的输入扩展引脚 ( $XI_2$ )。

图 8. 读扩展时序



将器件 1 的输出扩展引脚 ( $\overline{XO_1}$ ) 连接到器件 2 的输入扩展引脚 ( $XI_2$ )。

## 重新传输功能

该重新传输功能对于各个远程通信应用很有帮助，可以重新传输各数据包，或用于盘驱动，以对各扇区进行重写。在 FIFO 内单独的数据模块必须多次被输出的各个应用中（例如，一个字或模型发生器），它非常有用。

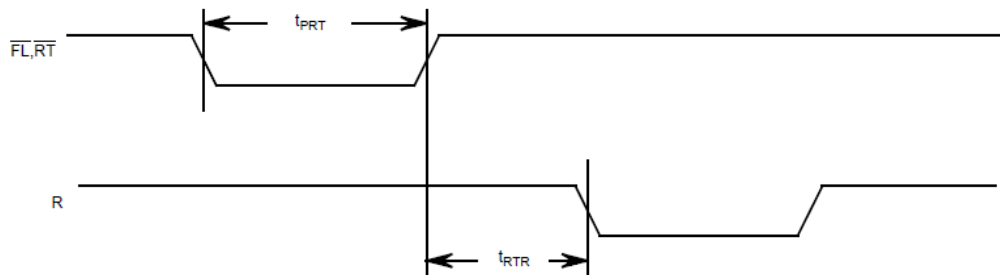
数据可以无限次地被重新传输，对于赛普拉斯的 FIFO，可随时使用该重新传输功能，无论 FIFO 包含多少数据。这便是赛普拉斯 FIFO 与其他竞争 FIFO 对比的优点，因为其他 FIFO 不允许 FIFO 为满或者要求低于所需的字数进行重新传输数据。

在重新传输过程中，读指针被复位到它的初始位置，并且为 R 引脚提供脉冲，直到这个读指针上升到与由写指针寻址一样的内存位置为止。该重新传输引脚（RT）在单独操作和宽度扩展操作模式中可用。深度扩展模式不支持重新传输性能，并且这个引脚在设计中便要求 FIFO 最先被加载。

通过为重新传输输入（它将内部读计数器复位到零）提供一个低电平有效脉冲，可以启动该重新传输性能。在此期间，R 引脚将保持无效状态；否则，各个冲突请求可能会中断该读计数器。当重新传输和写周期重叠或同时发生时，这个重新传输过程将不会影响写计数器的状态或写操作，并且没有违反任何设计或适用规则。如果重新传输时序的各项限制（如图 9 所示）都得到满足，那么便不会锁定该器件，并且数据也不会被丢失或中断。

同时进行写和重新传输操作时，保持跟踪 FIFO 内现存的数据和正在读取的数据可能变得更加复杂。例如，正在向 FIFO 进行写操作，而重新传输功能在 FIFO 为半满时被激活的情况。该 FIFO 从其初始位置开始进行重新传输/读取数据，并且这些读取操作被连续执行，直到 FIFO 为空为止。读指针赶上写指针前，该 FIFO 可能会被填充 3/4，并且新数据（在激活重新传输功能后将被写入到 FIFO 内）也被读取。因此，在这种情况下保持数据跟踪变得非常困难。

图 9. 重新传输时序



$t_{PRT}$  是重新传输的最小脉冲宽度

$t_{RTR}$  是重新传输恢复时间它是一个不可违反的时序窗口。

## 应用

FIFO 通过提供暂时数据或控制缓冲器，允许两个系统按照不同的数据速度实现通信。

各典型的 FIFO 应用包括：

- 各处理器间的通信：
- 各通信系统，包括各种本地区域网络。

- 各种基于数据-信号-处理的系统，用于缓冲实时数据
- 电气数据处理、CPU 和外设设备，包括各种高性能的磁盘控制器。

## 设计注意事项及解决方法

下面部分讨论了赛普拉斯异步 FIFO 的部分常见设计注意事项以及它们相应的解决方法。

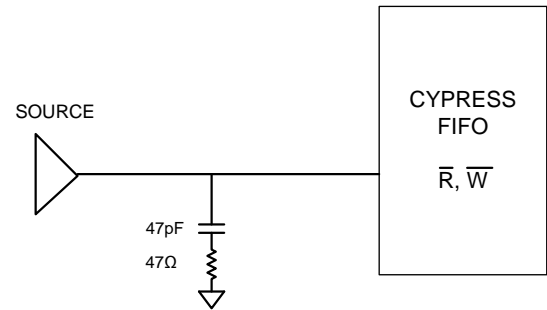
## 中断或重复数据

FIFO 内所发生的数据中断和重复的最常见原因是：FIFO 的  $\overline{W}$  引脚上发生了伪激活信号（瞬时脉冲）。写入各个瞬时脉冲时，会导致这些数据输入上现有的逻辑数据被写入到 FIFO 内。这样会将错误数据写入到该器件内。如果各个数据输入中存在可用数据，那么写瞬时脉冲会复制该数据。

由于阻抗不匹配导致的电压反射经常会引起写瞬时脉冲，可以通过使用阻抗匹配的终端网络来排除这种现象。假设各读和写信号间的上升/下降时间为 2 纳秒的情况下，当各传输线长度超过 4 英寸（从源地址到目标地址）时，印刷电路板上（PCBs）的  $\overline{W}$  和  $\overline{R}$  走线上就推荐使用终端网络。对于上升/下降时间小于 2 纳秒的  $\overline{R}$  和  $\overline{W}$  信号，并且走线长度 1 英寸或以上时，就需要终端网络。

终端网络用来匹配负载阻抗和通过 PCB 走线的特性阻抗（其通常为  $50\ \Omega$ ，或更低（对于微波传输带或 G-10 玻璃钢板材料上的带状线设备））。想要最小化电压反射，建议使用一个较小的过阻尼终端。赛普拉斯推荐使用一个 47 pF（最大值）的电容器串联一个 47 欧姆的电阻器，用于将读/写引脚连接到接地层（如图 10 所示）。该终端网络作为高频脉冲的一个高通滤波器，并不会消耗直流电源。驱动多个 FIFO 器件的各读或写走线只需要一个终端网络。终端网络应该连接到尽可能接近输入，也就是尽量远离源端。对于多个终端网络的信息，请参见“[SRAM 系统设计指南](#)”的白皮书以确定走线的最大长度。

图 10. 推荐的终端网络

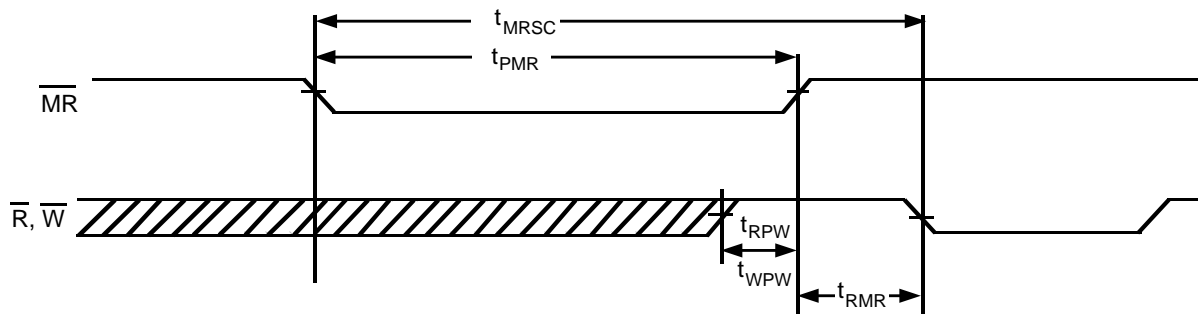


FIFO 数据损坏也可能是由于违反主设备-复位时序限制导致的。如图 11 所示，为了符合  $t_{RMR}$ （主设备复位恢复时间）的规格，不能在  $\overline{MR}$ （主设备复位）的上升沿上激活各个读和写信号。该限制非常必要，因为该 FIFO 将实现一个内部初始化过程，并且在复位结束后需要一个建立时间。

## FIFO 锁定

$\overline{MR}$  引脚上的短噪声脉冲可以使 FIFO 被“局部复位”，因此，该 FIFO 可能不响应。建议将合适的终端电路连接到该传输线上以防止发生这种现象。

图 11. 主机复位时序



## 数据丢失或消失

发生一个意外读操作时， $\overline{R}$  引脚上的瞬时脉冲会引起数据消失。这样会递增内部读计数器，从而引起数据丢失。赛普拉斯应  $\overline{R}$  在线提供了合适的终端方案来消除这些意外的瞬时脉冲。



## 被重复或乱序数据、假满或空白

未对准的内部读或写指针会引起多种现象，包括重复或乱序数据以及假满和/或空白状态。指针未对准的两个最常见原因是主机复位违反和边缘条件违反。

各个边缘条件定义为 FIFO 已满或空白。当各 FIFO 并行连接以构成一个更宽的字，某些条件可能会忽略个别的 FIFO 或者只对一个读或写请求作出响应。导致各个 FIFO 做出不同决定的系统级症状便是字未对准。当一个读操作紧跟着一个写操作（对于 FIFO 为空白）以及当一个写操作紧跟着一个读操作时（对于 FIFO 已满）会发生该现象。

### 在空白边缘上执行的操作

假设一个 FIFO 已被复位并当前处于空白状态。其空标志会被激活（低电平），并且内部逻辑会禁止读操作。通常，各个读和写信号是异步的。完成一个写操作后，FIFO 的内部状态将从空白进入（空白 + 1）状态。在此期间，会识别或者不识别一个读操作。某个写操作前进行的读操作将被识别，但在写操作后的读操作却不被识别。遇到这两个条件时，各个 FIFO 器件将决定是否识别读操作。在这个未确定状态的时间内，不能确定该读操作是否被忽略。对于一个 FIFO，这个未确定状态是可以接受的。但是，如果两个或更多 FIFO 被并行连接来构成一个更宽的字时，当某些 FIFO 可能会忽略该读操作时，其他 FIFO 可能不被忽略。

### 空白边缘上的等待状态

图 13 显示的是用于防止空白边缘上可能发生的读问题的时序。所有器件在从 FIFO 中读数据时都需要等待  $t_{RAE}$  时长，即：从写操作完成后到初始化  $R$  信号的高电平-低电平转换前。 $W$  信号的上升沿表示写操作已经完成。

### 已满边缘上的操作

当单个 FIFO 变成已满状态时，将发生与此相似的状况。已满标志被激活（低电平），并且内部逻辑将禁止进行写操作。某个读操作后的写操作会使 FIFO 先从已满状态进入已满-1 的状态，然后返回到已满状态。在 FIFO 从已满状态进入已满-1 状态期间，一个写操作可能被识别，也可能不被识别。这样可以利用状态不确定的孔径，因为该 FIFO 需要一个限定时间来改变状态，而且在这个很短的时间内收到的写指令可能被忽略。

满足该时序的一个方法是使用复合空白标志（ $\overline{EF}$ ）对读操作进行门控，这样激活空白标志时，读操作会被排除。但需要注意的是， $R$  信号可能在第一次写空白 FIFO 之前或在此过程中为低电平，并且该数据仍会正确地传输到各个输出端。

### 已满边缘上的等待状态

图 13 显示的是用于防止在已满边缘上可能发生的写问题的时序。向 FIFO 中写数据的所有器件都需要等待  $t_{WAF}$  时长，即：从读操作完成到引起  $W$  信号的高电平-低电平转换。 $R$  信号的上升沿表示读操作已经完成。

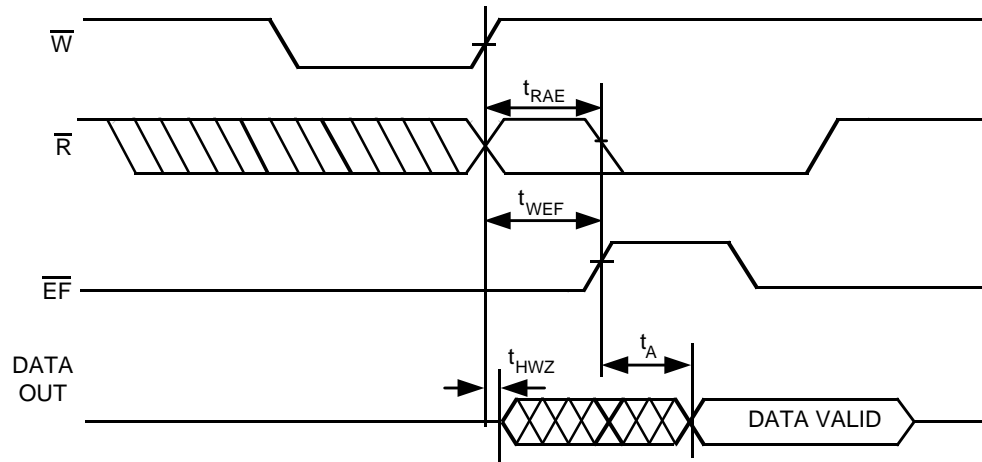
可以通过使用复合的已满标志（ $\overline{FF}$ ）对写操作进行门控来满足该时序。这样在已满标志被激活时，写操作会被排除。但是， $W$  信号可能在第一次读取已满 FIFO 前或这整个期间为低电平，仍会正确写入其数据。

### 空白状态下的读操作以及已满状态下的写操作

当赛普拉斯的 FIFO 处于空白状态时，其数据输出将被置为高阻抗状态。因此，尝试从一个空白 FIFO 进行读取将得到不可预测的数据。内部逻辑会禁止该读操作，并且读指针也不被递增。

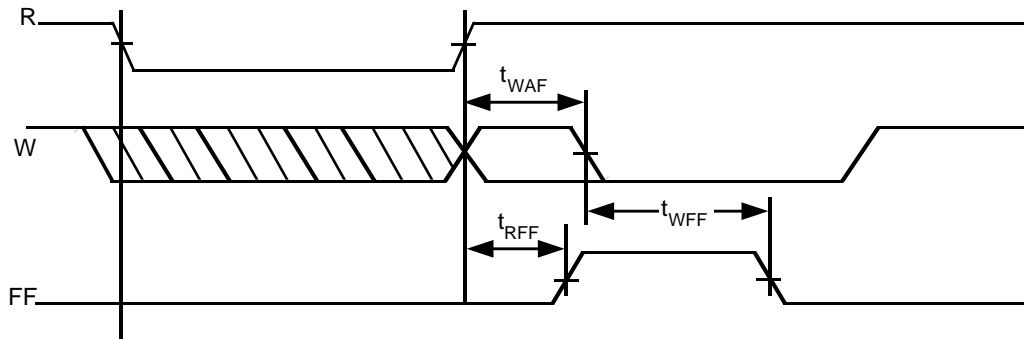
内部逻辑还会禁止所有向已满 FIFO 进行的写入尝试，并且写指针也不会递增。

图 12. 因违反时序而导致的读取失败



$t_{RAE}$  是一个无效的读窗口建议您不要在该窗口中启动任何读操作。

图 13. 因违反时序而导致的写入失败



$t_{WAF}$  是一个无效的写窗口建议您不要在该窗口中启动任何写操作。

## 有效的脉冲宽度违反

如果没有正确地使用各个标志，那么会在空白或已满边缘上发生该现象。必须使用空白标志来防止读取空白 FIFO，并使用已满标志来防止向已满 FIFO 进行写入操作。否则，尽管各实际信号已符合该数据手册的要求，仍将违反读或写选通的有效脉冲宽度。

假设在 FIFO 为空白并且正在接收读脉冲的情况中。由于 FIFO 为空白，所以该操作将被忽略。在下一个操作中，一个单字将被写入到 FIFO 内，并使其进入（空白+1）的状态。与此同时，如果继续激活读信号，并且写信号比读信号的上升沿稍早，那么将不符合有效最小低电平读脉冲宽度的要求。

同样，对已满的 FIFO 进行写操作并异步执行一个读操作可能会违反这个最小写脉冲宽度的要求。必须使用各个空白和已满标志，以避免违反这些有效的脉冲宽度要求。

## 总结

赛普拉斯的各种异步 FIFO 均为双路端口器件，它们会通过各个时钟域使同步数据的任务变得更为简便。一个简单端口结合了 FIFO 的各项性能（如状态标志、重新传输性能和宽度、深度扩展支持等），会使这些器件完全适合处理器间通信的系统。

---

## 关于作者

姓名: Adithi Perepu.  
职务: 应用工程师

## 文档修订记录

文档标题：了解赛普拉斯异步 FIFO – AN1044

文档编号：001-95806

版本	ECN	变更者	提交日期	变更说明
**	4691566	YLIU	04/17/2015	本文档版本号为 Rev**，译自英文版 001-25919 Rev*G。

## 全球销售和设计支持

赛普拉斯公司拥有一个由办事处、解决方案中心、厂商代表和经销商组成的全球性网络。如果想要查找离您最近的办事处，请访问[赛普拉斯所在地](#)。

### 产品

汽车级产品	<a href="http://cypress.com/go/automotive">cypress.com/go/automotive</a>
时钟与缓冲器	<a href="http://cypress.com/go/clocks">cypress.com/go/clocks</a>
接口	<a href="http://cypress.com/go/interface">cypress.com/go/interface</a>
照明和电源控制	<a href="http://cypress.com/go/powerpsoc">cypress.com/go/powerpsoc</a> <a href="http://cypress.com/go/plc">cypress.com/go/plc</a>
存储器	<a href="http://cypress.com/go/memory">cypress.com/go/memory</a>
PSoC	<a href="http://cypress.com/go/psoc">cypress.com/go/psoc</a>
触摸感应	<a href="http://cypress.com/go/touch">cypress.com/go/touch</a>
USB 控制器	<a href="http://cypress.com/go/usb">cypress.com/go/usb</a>
无线/射频	<a href="http://cypress.com/go/wireless">cypress.com/go/wireless</a>

### PSoC®解决方案

[psoc.cypress.com/solutions](http://psoc.cypress.com/solutions)  
PSoC 1 | PSoC 3 | PSoC 4 | PSoC 5LP

### 赛普拉斯开发者社区

[社区](#) | [论坛](#) | [博客](#) | [视频](#) | [培训](#)

### 技术支持

[cypress.com/go/support](http://cypress.com/go/support)

此处引用的所有其他商标或注册商标归其各自所有者所有。



赛普拉斯半导体  
198 Champion Court  
San Jose, CA 95134-1709

电话 : 408-943-2600  
传真 : 408-943-4730  
网站地址 : [www.cypress.com](http://www.cypress.com)

©赛普拉斯半导体公司，2007-2015。此处所包含的信息可能会随时更改，恕不另行通知。除赛普拉斯产品内嵌的电路外，赛普拉斯半导体公司不对任何其他电路的使用承担任何责任。也不根据专利或其他权利以明示或暗示的方式授予任何许可。除非与赛普拉斯签订明确的书面协议，否则赛普拉斯不保证产品能够用于或适用于医疗、生命支持、救生、关键控制或安全应用领域。此外，对于可能发生运转异常和故障并对用户造成严重伤害的生命支持系统，赛普拉斯不授权将其产品用作此类系统的关键组件。若将赛普拉斯产品用于生命支持系统中，则表示制造商将承担因此类使用而招致的所有风险，并确保赛普拉斯免于因此而受到任何指控。

该源代码（软件和/或固件）均归赛普拉斯半导体公司（赛普拉斯）所有，并受全球专利法规（美国和美国以外的专利法规）、美国版权法以及国际条约规定的保护和约束。赛普拉斯据此向获许可者授予适用于个人的、非独占性、不可转让的许可，用以复制、使用、修改、创建赛普拉斯源代码的派生作品、编译赛普拉斯源代码和派生作品，并且其目的只能是创建自定义软件和/或固件，以支持获许可者仅将其获得的产品依照适用协议规定的方式与赛普拉斯集成电路配合使用。除上述指定的用途外，未经赛普拉斯明确的书面许可，不得对此类源代码进行任何复制、修改、转换、编译或演示。

免责声明：赛普拉斯不针对此材料提供任何类型的明示或暗示保证，包括（但不限于）针对特定用途的适销性和适用性的暗示保证。赛普拉斯保留在不做出通知的情况下对此处所述材料进行更改的权利。赛普拉斯不对此处所述之任何产品或电路的应用或使用承担任何责任。对于可能发生运转异常和故障，并对用户造成严重伤害的生命支持系统，赛普拉斯不授权将其产品用作此类系统的关键组件。若将赛普拉斯产品用于生命支持系统中，则表示制造商将承担因此类使用而招致的所有风险，并确保赛普拉斯免于因此而受到任何指控。

产品使用可能受限于的赛普拉斯软件许可协议。