

AN1043

同期デュアル ポート RAM を理解する

関連プロジェクト: なし
関連製品ファミリ: デュアル ポート SRAM
ソフトウェア バージョン: 該当無し
関連アプリケーション ノート: 該当無し

AN1043 は同期デュアル ポート SRAM の基本的な特長、動作、および拡張コンフィギュレーションを説明します。同期デュアル ポート SRAM の簡単なアプリケーション ノートも含まれています。

はじめに

本アプリケーション ノートはサイプレスの 同期デュアル ポート メモリの基本的な特長を説明します。デバイス動作についての概要も説明します。

同期デュアル ポート デバイスは次世代の高速アプリケーションにおける高速デバイスと簡単なインタフェースの必要性に対応するために設計されています。非同期デュアル ポート SRAM (DPRAM) に比べて大きな利点があります。

同期 DPRAM は外部クロッキングを使用して読み書き動作のタイミングを定めます。外部クロッキングはタイミング仕様を可能にすることにより DPRAM アクセスとサイクル回数を削減できます。また、より高いシステム動作周波数と帯域幅も可能にします。一方、非同期 DPRAM はアドレスの変化と制御ピンの変化に非同期に応答します。この動作は入力ピンのタイミングを制約し、達成可能なシステム性能を制限します。また、DPRAM の最大内部動作速度も制限します。

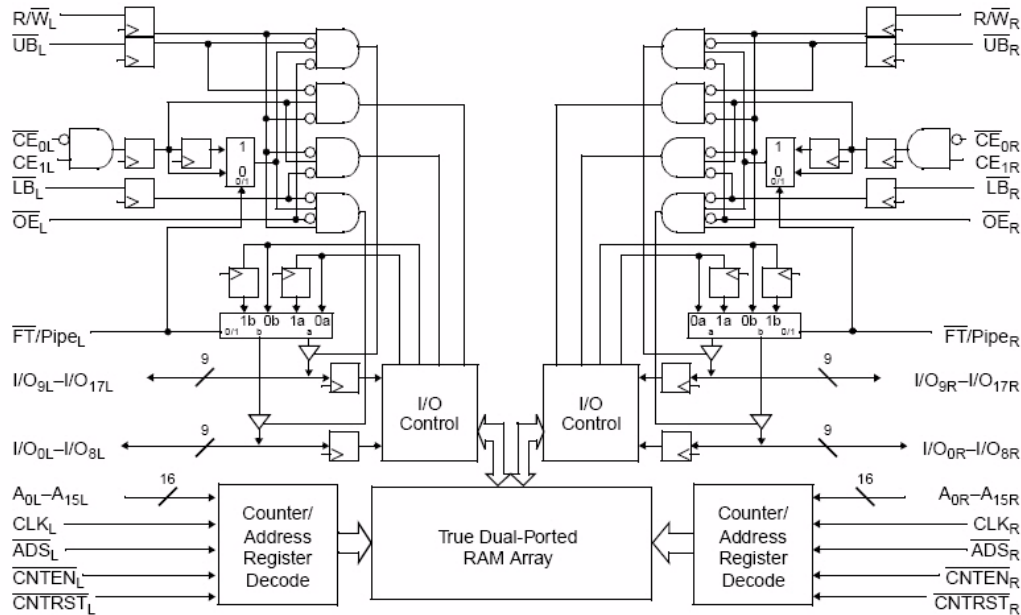
サイプレスの同期 DPRAM はパイプライン、フロースルー、とバーストという 3 つの動作モードをサポートします。非同期 DPRAM と同様に、同期のデバイスはメモリ内のすべての位置への同時アクセス機能も提供します。ポートのいずれも全てのメモリ位置へ／から書き込むまたは読み出すことができます。

アーキテクチャ

同期 DPRAM の基本的なアーキテクチャは次のページの図 1 に描きます。64K x 18 コンフィギュレーションでの一般的な 1M 同期 DPRAM (CY7C09389V) は 18 データライン (I/O) と 16 アドレス行あります。各ポートはお互いと独立に使用できる専用の制御、アドレスおよびデータ ラインの一式を持っています。各ポートでの動作は入力クロック信号 (1 つのポートは CLK_L で、もう 1 つのは CLK_R) の LOW から HIGH への変化で発生します。外部入力信号の一式 (FI/Pipe) がそれぞれのポートに動作モードを選択します。各ポートは残りのポートで選択したモードとは独立した動作モードで機能するように構成することができます。

複数イネーブル信号を生成する外部ロジックの必要性を無くすことで、深さ拡大を簡単にするためにデュアル チップ イネーブルが提供されています。

図 1. 同期 DPRAM の論理ブロック図



バースト カウンターはデバイス内でアドレスオートインクリメントを提供することでバースト モード動作を可能にします。この動作は外部入力の一式 (CNTEN、CNTRST、ADS) により制御されます。対応するホスト コントローラーにカウント終了をシグナリングするための割り込み生成機能も用意されます。クロックの LOW から HIGH への変化の間、ADS 入力は LOW になります。カウント イネーブル (CNTEN) が 1 つのポートにアサートされた場合、アドレス カウンターはそのポートのクロック信号の LOW から HIGH への変化度にインクリメントします。カウント リセット (CNTRST) がアサートされた場合、カウンターはクロックの LOW から HIGH への変化度にゼロにリセットされません。

バス一致機能を持つ DPRAM は異なるバス サイズを持つデバイス動作間のインターフェースを簡素化します。詳細については同期デュアル ポート SRAM のチュートリアルを参照してください。

動作モード:

FT/ Pipe ピンはポートの動作モードを決定します。LOW はフロッスルー モードを選択し、HIGH はパイプライン モードを選択します。

パイプライン モードでは、出力データはデータ ラインに読み出す前にレジスタに格納される一方、フロッスルー モードでは、出力はメモリ配列からデータ行に直接に読み出されます。アドレスは動作のモードの両方にレジスタされます。

同期デュアル ポートはバースト モード動作もサポートします。バースト モードでは、アドレスの連続したシーケンスの最初のアドレスのみがバースト カウンターにロードされます。フロッスルーとパイプラインのサイプレス DPRAM は両方ともバーストをサポートします。

読み出し動作

読み出し動作は読み出し動作を初期化する幾つかのクロックエッジの周囲の制御とアドレス信号のアサートおよび保守を必要とします。(LOW → HIGH)

アクセスされるメモリ位置のアドレスはアドレス入力ピン (A) に適用されなければなりません。読み出しを実行するためには以下の制御信号をセットアップする必要があります。

CE0 ← LOW

CE1 ← HIGH

R/W ← HIGH

これらの信号はクロック変化前に $t_{SA}/t_{SC}/t_{SW}$ (セットアップ時間) 存在し、有効になり、クロック変化後に $t_{HA}/t_{HC}/t_{HW}$ (ホールド時間) 有効の状態を維持する必要があります。クロック (CLK) の立ち上がりエッジに、アドレスはレジスタされ、読み出しサイクルは開始します。出力イネーブル (OE) は同期信号であり、OE が LOW の場合データが出力ラインに出力されます。OE が HIGH の場合、出力はトリステートになり、データは出力されません。

DPRAM がフロッスルー モードで構成される場合、読み出しサイクルは前述したように必要な信号をセットアップし、アドレスをレジスタした後に開始します。図 2 データは示すようにクロックの立ち上がりエッジの後に t_{CD1} (フロッスルー モード時に有効になるクロック-データ) 有効です。 t_{CD1} が 1 つのクロックサイクルより短いため、データは CLK の次の立ち上がりエッジの前に出力に表示されます。

パイプライン モードでは出力データはレジスタされます。図 2 に示すように、読み出し動作からのデータは出力レジスタにクロックされ、クロックの 2 番目の立ち上がりエッジの後に出力ラインに転送されます。出力データは 2 番目のクロック変化の後に t_{CD2} (パイプライン モード時に有効になるクロック-データ) 有効です。出力でレジスタを使用すると、最初のデータが出力ラインに表示される前に遅延を引き起こします。 t_{CD1} (フロッスルー) は t_{CD2} (パイプライン) より大きいため、1 つの完全なパケットの情報を読み出すのにかかる時間はパイプライン モード

の方で少ないです。要約すると、パイプライン モードでの読み出し動作は最初のアクセスに 1 サイクルのレイテンシが必要とします。

アドレスの連続したシーケンスの一番最初のアドレスのみが同期バースト DPRAM によりロードされる必要があります。2 番目のアクセスからはクロックを使用してチップ内部でアドレスカウンタを前進させて実現します。パイプライン バースト DPRAM では RAM の出力段階でレジスタを使用して、バーストシーケンス内の次のデータをホールドし、クロック-出力時間が非常に高速になります (t_{CD2})。それに伴う遅延時間はホールドレジスタのアクセス時間です。図 3 にアドレスカウンタを使用したバースト読み出し動作を示します。 \overline{ADS} が LOW の場合外部アドレスが常に CLK の立ち上がりエッジにカウンタにロードされます。 \overline{ADS} が HIGH 且つ \overline{CNTEN} が LOW の場合、内部アドレスカウンタがインクリメントされます。

図 2. フロッスルーとパイプラインの読み出し動作

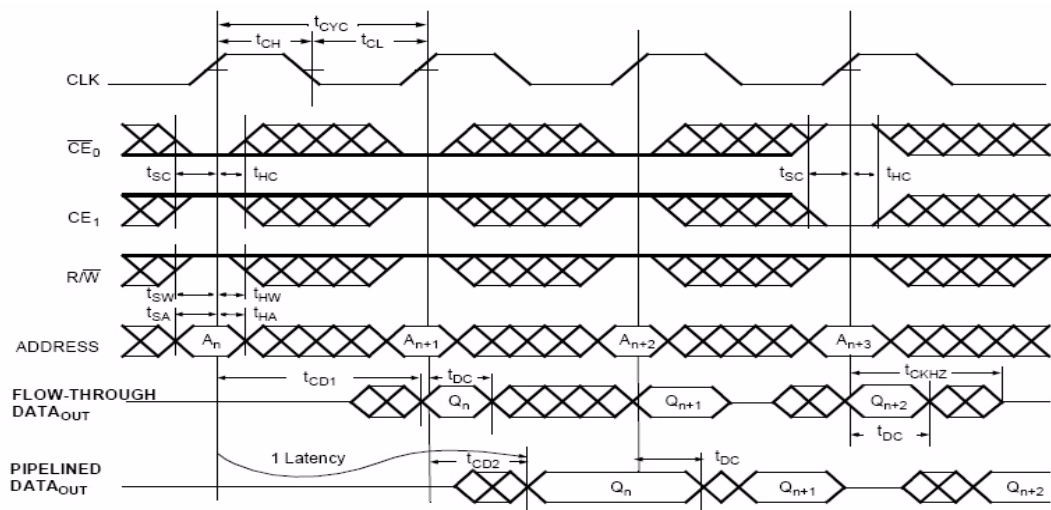
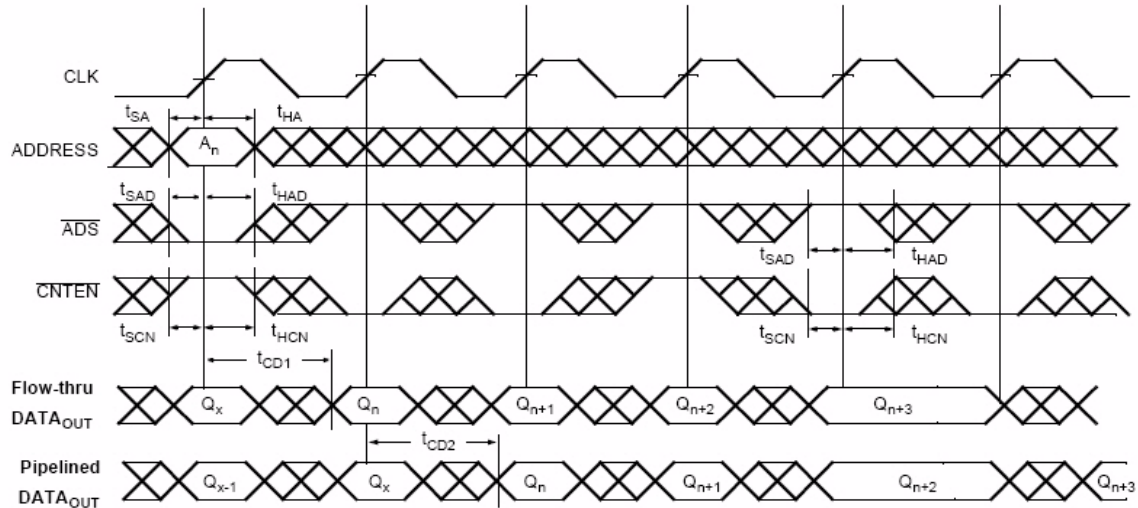


図 3. フロースルー バースト読み出し動作対パイプライン バースト読み出し動作



書き込み動作

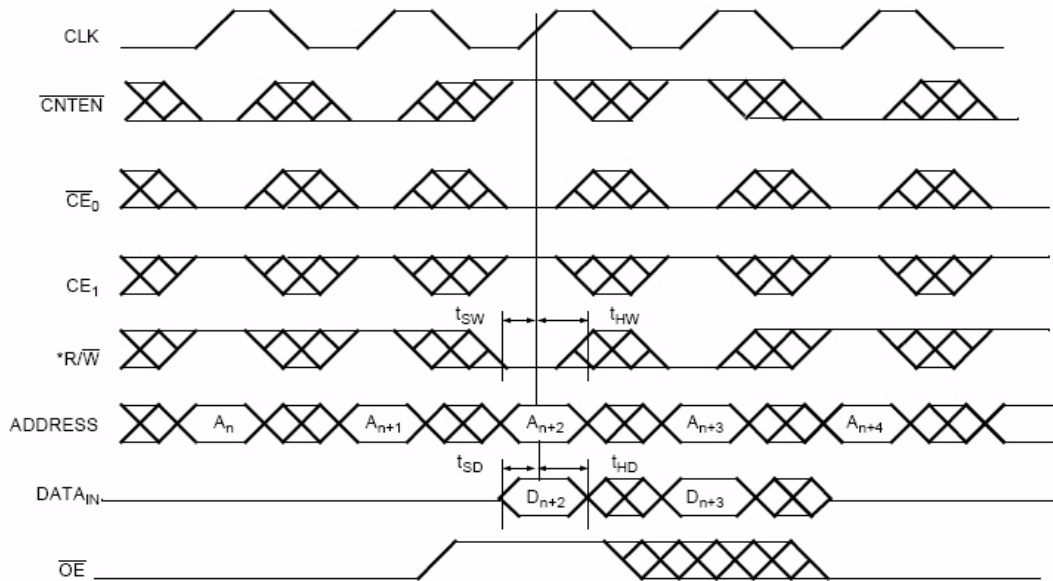
パイプライン モードでは出力ラインでのレジスタが読み出し動作のみに影響を与えるため、同期 DPRAM の書き込み動作はフロースルーとパイプラインでは同様です。書き込み動作信号波形は図 4 に示します。書き込み動作のレイテンシはゼロです。これはアドレスの後、チップ イネーブルと書き込みイネーブルがセットされ、全ての信号が DPRAM にラッチされており、書き込み動作が他のシステム動作とは独立し続いためです。

両方のポートで同時に同じメモリ位置に書き込む場合、データ整合性は保証されません。そのメモリ位置は新しいデータ、古いデータ、または過渡値を含むことがあります。データ破損を避けるために、左のポートクロックと右のポートクロック間のセットアップ時間「 t_{CCS} 」(t_{CCS} の値についてはデータシートを参照) 保持する必要があります。2 つのクロック間の時間が t_{CCS} を上回った場合、アービトレーションを実装するために外部ロジックが必要です。1 つのポートからメモリ位置に書き込み、残りのポートからそのメモリ位置を読み出す場合も同様

です。読み出しデータが最新のデータで、その位置に書き込まれた最終なデータであることを確実にするために t_{CWDD} (書き込みポートクロック HIGH から読み出しデータまでの遅延) が必要です。

アドレス カウンター (バースト モード) は、新しいアドレスが選択される時にレイテンシやアイドルのサイクルがなく、バックツープ書き込みまたは読み出し動作を行うのに使用できます。新しいアドレスは最初のアドレスのロード方法と同様な方法でロードされます。図 4 に \overline{ADS} が LOW で \overline{CNTEN} が HIGH の時の外部アドレス「 A_{n+2} 」と「 A_{n+3} 」のロード手順を示します。各外部をロードするために、内部アドレスが \overline{ADS} (HIGH) をデアサートし、 \overline{CNTEN} (LOW) をアサートすることでインクリメントします。アドレス カウンター アドバンス増加による読み書き動作の切り替えの波形については同期 DPRAM を参照してください。

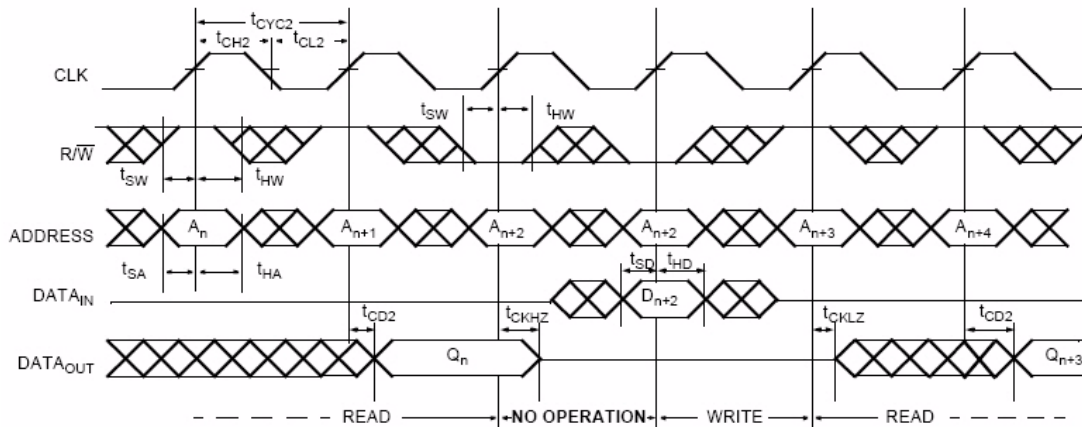
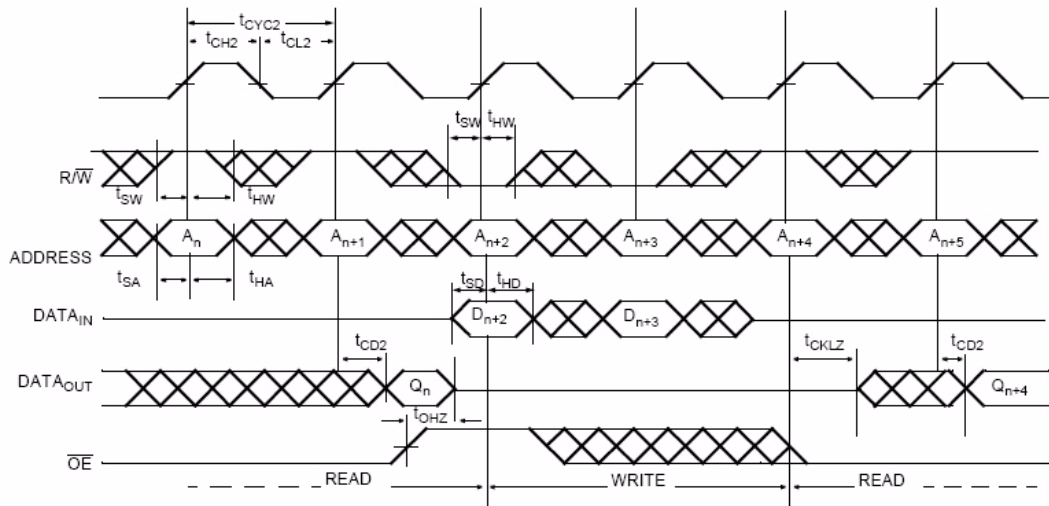
図 4. 同期 DPRAM での書き込み動作 (全てのモード)



* \overline{ADS} の場合波形が同様です。

同期 DPRAMs に関連したレイテンシは 2 種あります。1 つは図 2 に示すパイプライン読み出し動作 (1 サイクル待機時間) です。もう 1 つは $\overline{R/\overline{W}}$ イネーブルが I/O バス ターンアラウンドに使用される時に発生します。図 5 に示すように、デッド サイクルが読み出しの直後に行われる最初の書き込みの時に発生します。このデッド サイクルは「NO OPERATION」のラベルが付けられ、フロースルーとパイプライン動作モードのどちらで

も発生します。「NO OPERATION」の時、選択したアドレスのメモリのデータは破損される可能性があり、データ整合性を保障するために再度書き込まれる必要があります。このシナリオを防ぐために、バス ターンアラウンド I/O ドライバーを非同期に無効にするために \overline{OE} を使用する必要があります。これは図 6 に制御 \overline{OE} で示し、デッド サイクルが存在しなくなりました。

図 5. パイプラインモードでの $\overline{OE} = V_{IL}$ の読み出し-書き込み-読み出し

図 6. パイプラインモードでの \overline{OE} が制御された読み出し-書き込み-読み出し


幅および深さの拡大

サイプレスの同期デュアルポートは、外部ロジックを必要とせずに、幅と深さの拡張を簡素化するために $\overline{CE0}$ とCE1という2つのチップイネーブルを提供します。図7に128Kx18構成を達成するために64Kx18同期DPRAMで深さを拡大する方

法を示します。2つの同じデバイスは64Kx36インターフェースを作るために幅拡大することもできます。図8に同期DPRAMの幅拡大を示します。

図 7. 同期デュアルポート RAM の深さ拡大

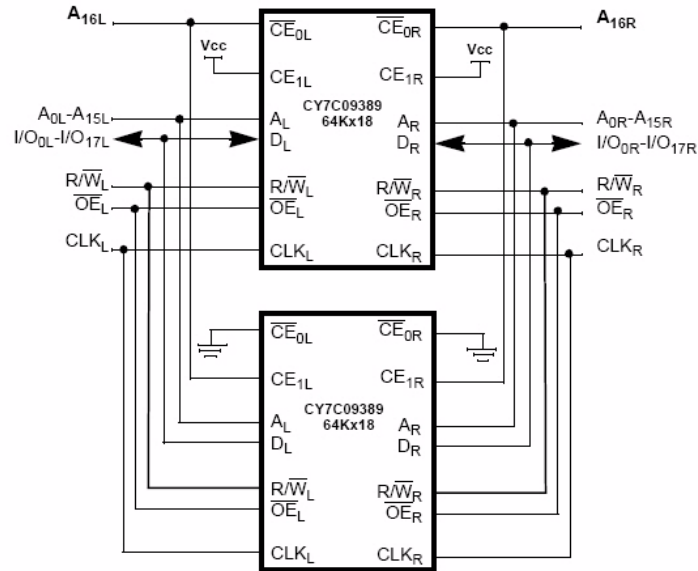
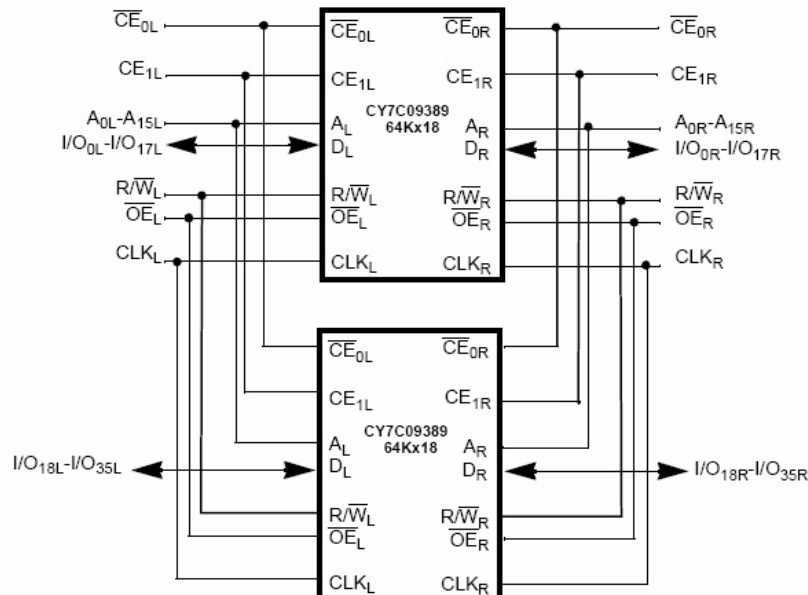


図 8. 同期デュアルポート RAM の幅拡大



アプリケーション

デュアルポートはマルチプロセッサデザインを含む通信システムのさまざまな用途に使用されています。DPRAM は、データを 1 つのデバイスから別のへ移動する必要がある全てのシステムで使用することができます。これらのシステムはプロセッ

サが異なる速度で動作するデータ通信／ネットワーク機器とマルチプロセッサシステムを含みます。同期 DPRAM は、パイプライン同期モードで動作する時、サイクル時間が短く、クロックの立ち上がりエッジからデータまでの時間 (t_{cd}) が短いため、高帯域幅アプリケーションに適切です。バーストモード動作は

メモリアクセスのオーバーヘッドを低減するため、システムの全体の性能を改善します。

ビデオ エンコードと医用画像処理アプリケーションは多量の Raw データに対応し、計算集約的なアルゴリズムを採用します。そのようなアプリケーションは通常 DSP と FPGA を含むコプロセッシングアーキテクチャを使用します。これらのシステムは DSP の機能を利用して非常に複雑なアルゴリズムに対応して、FPGA の機能を利用して高いデータ収集率をサポートします。

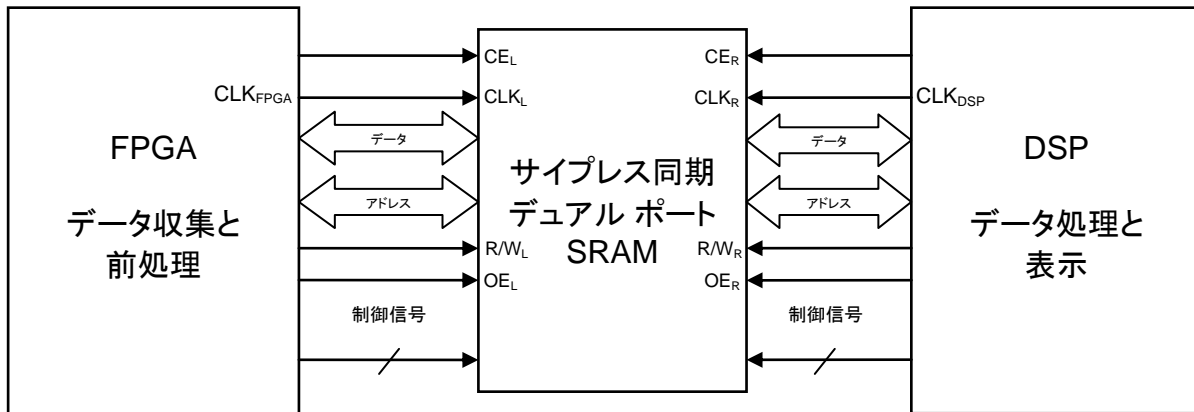
FPGA と DSP インターフェースで対応するデータの量は 2 つのデバイス間の計算ブロックの分配に依存します。FPGA 内のブロック RAM は DSP に送信するデータを格納するためのバッファとして利用されます。FPGA と DSP 間のデータ転送は同期デュアルポート SRAM を使用して簡略化することができます。DPRAM の各ポートは標準 SRAM インターフェースとして機能します (FPGA と DSP の両方からは簡素なインターフェースに見えます)。

以下は同期デュアルポート SRAM がこれらのシステムの間で使用される最適なインタフェースとなる要因です。

- 最大 200MHz の高い動作速度
- 最大 36Mb の密度
- 両方のポートで独立に動作することができるためインターフェースされるシステム間のメモリ アクセスの同期化が必要なくなる
- 2 つの異なる時間ドメインと該当するプロトコルを処理することが可能
- 各ポートで異なる電圧レベルで動作するデバイスとインターフェースすることが可能
- メモリ位置へのランダム アクセス
- ポート間でのメッセージ送信能力
- データ一貫性/整合性を保持するためのメカニズム

図 9 は同期 DPRAM を使用したコプロセッサ システムの一般的なブロック図です。

図 9. コプロセッサ アーキテクチャでの同期 DPRAM のブロック図



要約

サイプレス同期 DPRAM は、比類のない速度、密度と柔軟性を提供し、マルチプロセッサ システムの最大の性能を引き出すのに役立ちます。サイプレス同期 DPRAMs は、2 つのバスマスターとの間で共有し、高速かつ信頼性の高いデータを必要な任意のシステムで理想的な選択であります。これらのデ

バイスは複数の動作電圧 (5V、3.3V、および 1.8V) とバス幅のオプション (x8、x16、と x32、パリティ用途には x9、x18 と x36) で動作できます。サイプレスのデュアルポート (最大 36 メガビットの密度) の完全な一覧については、当社のウェブサイト <http://www.cypress.com> にアクセスしてください。

改訂履歴

文書名: 同期デュアル ポート RAM を理解する – AN1043

文書番号: 001-95838

版	ECN	変更者	発行日	変更内容
**	4722766	YYA	05/13/2015	これは英語版 001-17358 Rev. *D を翻訳した日本語版 001-95838 Rev. ** です。

ワールドワイドな販売と設計サポート

サイプレスは、事業所、ソリューション センター、メーカー代理店および販売代理店の世界的なネットワークを保持しています。お客様の最寄りのオフィスについては、[サイプレスのロケーション ページ](#)をご覧ください。

製品

車載用	cypress.com/go/automotive
クロック & バッファ	cypress.com/go/clocks
インターフェース	cypress.com/go/interface
照明 & 電源管理	cypress.com/go/powerpsoc cypress.com/go/plc
メモリ	cypress.com/go/memory
PSoC	cypress.com/go/psoc
タッチ センシング	cypress.com/go/touch
USB コントローラー	cypress.com/go/usb
ワイヤレス/RF	cypress.com/go/wireless

PSoC[®]ソリューション

psoc.cypress.com/solutions
PSoC 1 | PSoC 3 | PSoC 4 | PSoC 5LP

サイプレス開発者コミュニティ

[コミュニティ](#) | [フォーラム](#) | [ブログ](#) | [ビデオ](#) | [トレーニング](#)

テクニカル サポート

cypress.com/go/support

PSoC はサイプレス セミコンダクタ社の登録商標です。Programmable System-on-Chip および PSoC Designer はサイプレス セミコンダクタ社の登録商標です。本書で言及するその他すべての商標または登録商標は、各社の所有物です。



Cypress Semiconductor Phone : 408-943-2600
198 Champion Court Fax : 408-943-4730
San Jose, CA 95134-1709 Website : www.cypress.com

© Cypress Semiconductor Corporation, 2007-2015. 本文書に記載される情報は、予告なく変更される場合があります。Cypress Semiconductor Corporation (サイプレス セミコンダクタ社) は、サイプレス製品に組み込まれた回路以外のいかなる回路を使用することに対して一切の責任を負いません。サイプレス セミコンダクタ社は、特許またはその他の権利に基づくライセンスを譲渡すること、または含意することはありません。サイプレス製品は、サイプレスとの書面による合意に基づくものでない限り、医療、生命維持、救命、重要な管理、または安全の用途のために使用することを保証するものではなく、また使用することを意図したものでもありません。さらにサイプレスは、誤動作や故障によって使用者に重大な傷害をもたらすことが合理的に予想される生命維持システムの重要なコンポーネントとしてサイプレス製品を使用することを許可していません。生命維持システムの用途にサイプレス製品を供することは、製造者がそのような使用におけるあらゆるリスクを負うことを意味し、その結果サイプレスはあらゆる責任を免除されることを意味します。

このソースコード (ソフトウェアおよび/またはファームウェア) はサイプレス セミコンダクタ社 (以下「サイプレス」) が所有し、全世界の特許権保護 (米国およびその他の国)、米国の著作権法ならびに国際協定の条項により保護され、かつそれらに従います。サイプレスが本書面によりライセンシーに付与するライセンスは、個人的、非独占的かつ譲渡不能のライセンスであり、適用される契約で指定されたサイプレスの集積回路と併用されるライセンシーの製品のみをサポートするカスタム ソフトウェアおよび/またはカスタム ファームウェアを作成する目的に限って、サイプレスのソースコードの派生著作物をコピー、使用、変更して作成するためのライセンス、ならびにサイプレスのソース コードおよび派生著作物をコンパイルするためのライセンスです。上記で指定された場合を除き、サイプレスの書面による明示的な許可なくして本ソース コードを複製、変更、変換、コンパイル、または表示することはすべて禁止します。

免責事項: サイプレスは、明示的または黙示的を問わず、本資料に関するいかなる種類の保証も行いません。これには、商品性または特定目的への適合性の黙示的な保証が含まれますが、これに限定されません。サイプレスは、本文書に記載される資料に対して今後予告なく変更を加える権利を留保します。サイプレスは、本文書に記載されるいかなる製品または回路を適用または使用したことによって生ずるいかなる責任も負いません。サイプレスは、誤動作や故障によって使用者に重大な傷害をもたらすことが合理的に予想される生命維持システムの重要なコンポーネントとしてサイプレス製品を使用することを許可していません。生命維持システムの用途にサイプレス製品を供することは、製造者がそのような使用におけるあらゆるリスクを負うことを意味し、その結果サイプレスはあらゆる責任を免除されることを意味します。

ソフトウェアの使用は、適用されるサイプレス ソフトウェア ライセンス契約によって制限され、かつ制約される場合があります。