

AN1043

了解同步双端口 RAM

相关项目：无
相关器件系列：双端口 SRAM
软件版本：NA
相关应用笔记：NA

AN1043 讨论了同步双端口 SRAM 的基本特性、操作和扩展配置。本应用笔记还包含了有关同步双端口 SRAM 应用的简要说明。

简介

本应用笔记对赛普拉斯同步双端口存储器的基本特性进行了讨论。此外，还包含了器件操作的简要说明。

同步双端口器件完全是根据下一代高速应用中速度更快和接口更简单的要求进行设计的。与异步双端口 SRAM (DPRAM) 相比，它们的优势非常明显。

同步 DPRAM 使用外部时钟为读和写操作安排时间。外部时钟所使用的时序规范减少了 DPRAM 访问和周期次数。此外，它还提供了更高的系统工作频率和带宽。另一方面，异步 DPRAM 会对地址和控制引脚的更改进行异步响应。该操作会限制输入引脚时序以及可实现的系统性能。同时，它还限制了 DPRAM 的内部工作最大速度。

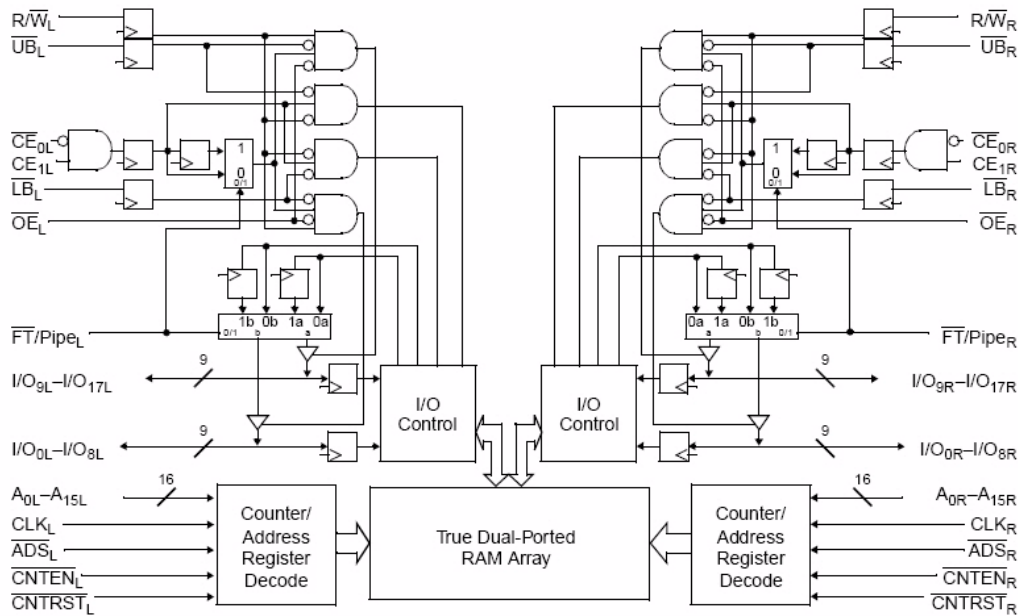
赛普拉斯同步 DPRAM 支持三种操作模式分别为：Pipelined（流水线）、Flow-through（直通）和 Burst（突发）模式。类似于异步 DPRAM，同步器件也可以对存储器中的任意地址进行同步访问。每个端口都可以从任何存储器位置内读取或写入数据。

架构

下一页的图 1 显示的是同步 DPRAM 的基本架构。结构为 64 K x 18 的典型 1M 同步 DPRAM (CY7C09389V) 具有 18 条数据线 (I/O) 和 16 条地址线。每个端口都有一组可独立使用的专用控制线、地址线和数据线。当输入时钟信号在 LOW（低电平）和 HIGH（高电平）间发生转变（一个端口的信号为 CLK_L ，另一个端口的信号为 CLK_R ）时，每个端口将执行操作。通过一组外部输入信号 ($\overline{FT}/Pipe$)，可以选择每个端口的操作模式。可以独立配置每个端口的操作模式。

由于具有双芯片使能信号，所以不需要使用外部逻辑来生成多个芯片使能信号，从而可以简化深度扩展。

图 1. 同步 DPRAM 的逻辑框图



一个突发计数器通过在器件内提供自动递增地址的方式实现突发操作模式。该操作由一组外部输入控制（ $\overline{\text{CNTEN}}$ 、 $\overline{\text{CNTRST}}$ 和 $\overline{\text{ADS}}$ ）。可以使用中断生成性能来向相应主机控制器发出计数结束的信号。在时钟从 **LOW**（低电平）到 **HIGH**（高电平）切换的过程中， $\overline{\text{ADS}}$ 输入为 **LOW**。如果激活端口的计数被使能（ $\overline{\text{CNTEN}}$ ），当该端口时钟信号从 **LOW**（低电平）到 **HIGH**（高电平）切换时，地址计数器将递增。如果激活计数复位（ $\overline{\text{CNTRST}}$ ），时钟发生从 **LOW**（低电平）到 **HIGH**（高电平）的转变时，计数器将复位为零。

带有总线匹配性能的 **DPRAM** 可简化各种使用不同总线宽度的器件间的接口。有关详细信息，请参考[同步双端口 SRAM 教程](#)。

操作模式

$\overline{\text{FT/Pipe}}$ 引脚决定了一个端口的操作模式。**LOW**（低电平）时选择直通模式，并在 **HIGH**（高电平）时选择流水线模式。

在流水线模式下，从数据线上读取输出数据前，输出数据被存储在寄存器内；在直通模式下，会立即在数据线上读取存储器阵列的输出数据。在这两种模式下，地址都被寄存。

同步双端口也支持突发模式操作。在突发模式下，仅有连续序列地址中的第一个地址被加载到突发计数器内。赛普拉斯 **DPRAM** 的直通和流水线模式都支持突发模式。

读操作

读取操作要求激活和保持启动读操作的时钟边沿周围的几个控制和地址信号。（低电平 → 高电平）

必须将被访问的存储器地址传输给地址输入引脚 (A) 执行读操作时必须设置以下控制信号：

$\overline{\text{CE0}} \leftarrow \text{LOW}$

$\text{CE1} \leftarrow \text{HIGH}$

$\overline{\text{R/W}} \leftarrow \text{HIGH}$

时钟切换前，这些信号必须在 $t_{\text{sa}}/t_{\text{sc}}/t_{\text{sw}}$ （建立时间）内存在并且有效，另外时钟切换后要在 $t_{\text{ha}}/t_{\text{hc}}/t_{\text{hw}}$ （保持时间）内保持为有效状态。在时钟（**CLK**）上升沿上，地址被寄存，并且开始读周期。输出使能（ $\overline{\text{OE}}$ ）是一个异步信号；如果 $\overline{\text{OE}}$ 为 **LOW**（低电平），则数据在输出线上显示。当 $\overline{\text{OE}}$ 为 **HIGH**（高电平）时，输出属于三态，并且数据不会在输出线上显示。

当 **DPRAM** 被配置为直通模式时，设置所需信号并寄存地址后，开始读周期，如上面所述。时钟上升沿后数据有效的时间为 t_{cd1} （在直通模式下，从时钟信号到数据有效的时间），如图 2 所示。 t_{cd1} 时间短于一个时钟周期，因此数据会在 **CLK** 的下一个上升沿前在输出上得到。

在流水线模式下，输出数据被寄存。读操作的数据被保存在输出寄存器内，并且在第二个时钟上升沿后被传输给输出线，如图 2 所示。发生第二次时钟切换后，输出数据在 t_{cd2} 时

间内（在流水线模式下，从时钟到数据有效的的时间）有效。第一个数据出现在输出线前，在输出上使用寄存器会导致延迟。 t_{CD1} （直通模式）大于 t_{CD2} （流水线模式），因此在流水线模式下，读取完整信息包的总时间量会更短。总的来说，流水线模式读操作的第一次访问会引起一周期的延迟。

同步突发 DPRAM 只加载连续序列地址中的第一个地址，并且通过递增芯片中的地址计数器来完成后续访问。流水线

突发 DPRAM 在 RAM 的输出阶段使用寄存器来保存突发序列中下一次突发的数据，从而提供一个更快的时钟给输出时间（ t_{CD2} ）。延迟时间是保持寄存器的访问时间。图 3 显示的是使用地址计数器的突发读操作。当 \overline{ADS} 为 LOW（低电平）时，外部地址在 CLK 上升沿上不断被加载到计数器内。当 \overline{ADS} 为 HIGH（高电平）和 \overline{CNTEN} 为 LOW（低电平）时，会递增内部地址计数器。

图 2. 直通和流水线模式下的读操作

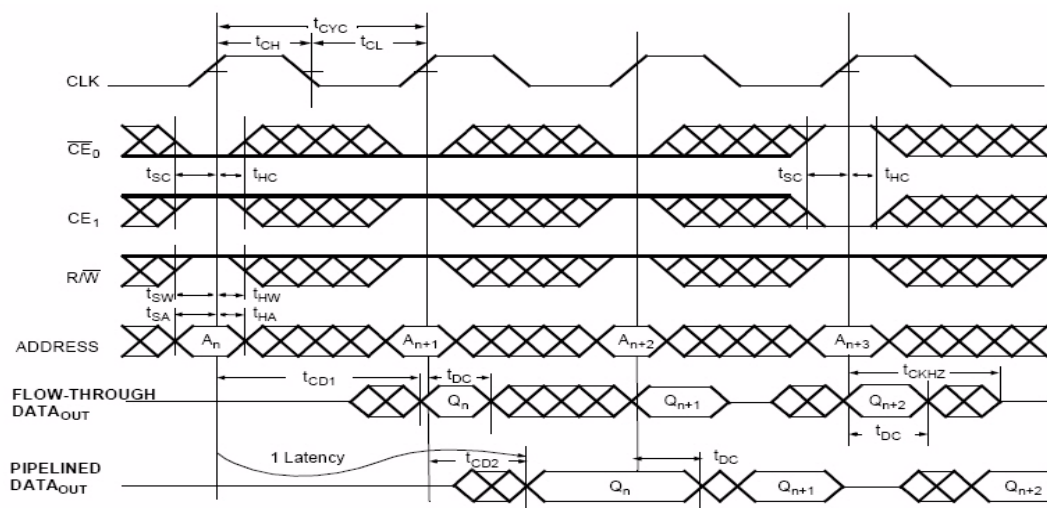
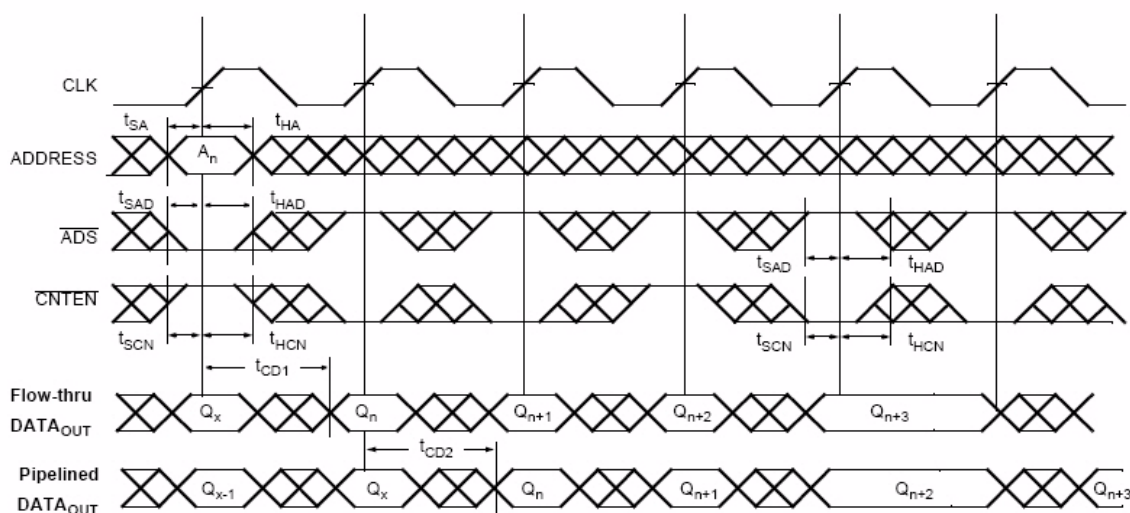


图 3. 直通突发与流水线突发的读操作



写操作

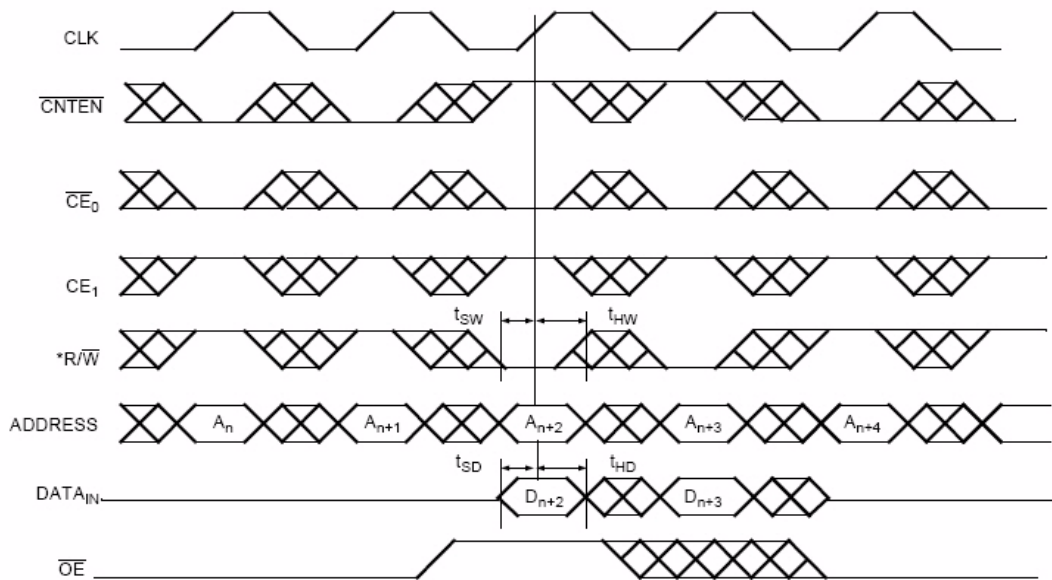
由于输出线上的寄存器在流水线模式下仅影响读操作，因此同步 DPRAM 直通模式和流水线模式下的写操作是一样的。图 4 显示的是写操作信号波形。写操作的延迟为零。这是因为在设置地址、芯片使能和写操作使能以及所有信号被锁存到 DPRAM 内后，写操作和其他系统操作都相互独立。

如果两个端口同时对同一个地址进行写操作，则不能保证数据的完整性。存储器位置可能包含新数据、旧数据或者一些切换值。左端口和右端口之间时钟必须保持时钟到时钟建立时间 t_{ccs} （有关 t_{ccs} 值，请参见数据手册），以避免破坏数据。如果两个时钟之间的时间小于 t_{ccs} ，则需要使用外部逻辑进行仲裁。当从一个端口的位进行写操作并从另一

个端口读取该位置时，结果也是这样。需要 t_{cwdd} 长的时间（写端口时钟为高电平到读取数据的延迟时间）才能确保读到最新数据，并且数据的最后部分已被写入到该地址。

当选择新地址时，不需要任何延迟或空闲周期也可以使用突发模式的地址计数器来执行连续读或写操作。加载新地址的方式与加载第一个地址的方式相同。图 4 显示的是当 \overline{ADS} 为 LOW 和 \overline{CNTEN} 为 HIGH 时，加载外部地址 A_{n+2} 和 A_{n+3} 的流程。对于每个外部地址，通过取消激活 \overline{ADS} （HIGH）和激活 \overline{CNTEN} （LOW）来递增内部地址。请参见同步 DPRAM 的数据手册，了解通过地址计数器递增实现的读和写操作的切换波形。

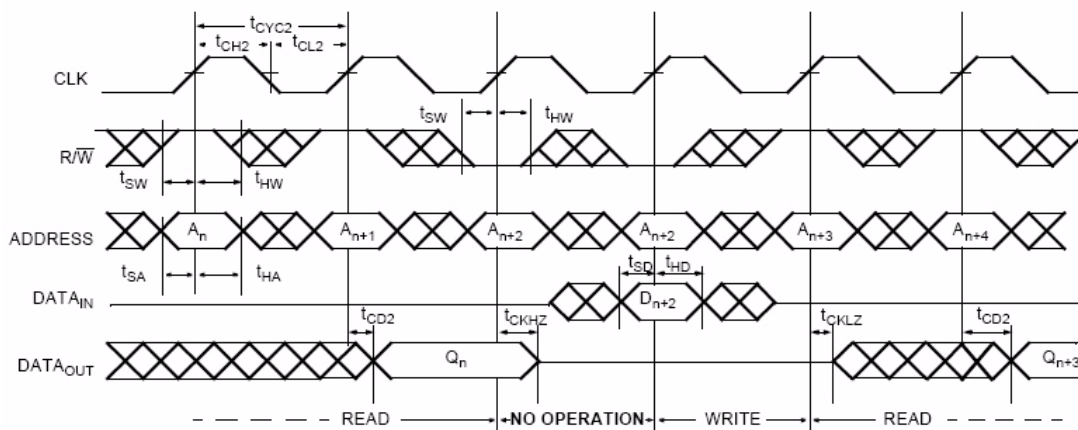
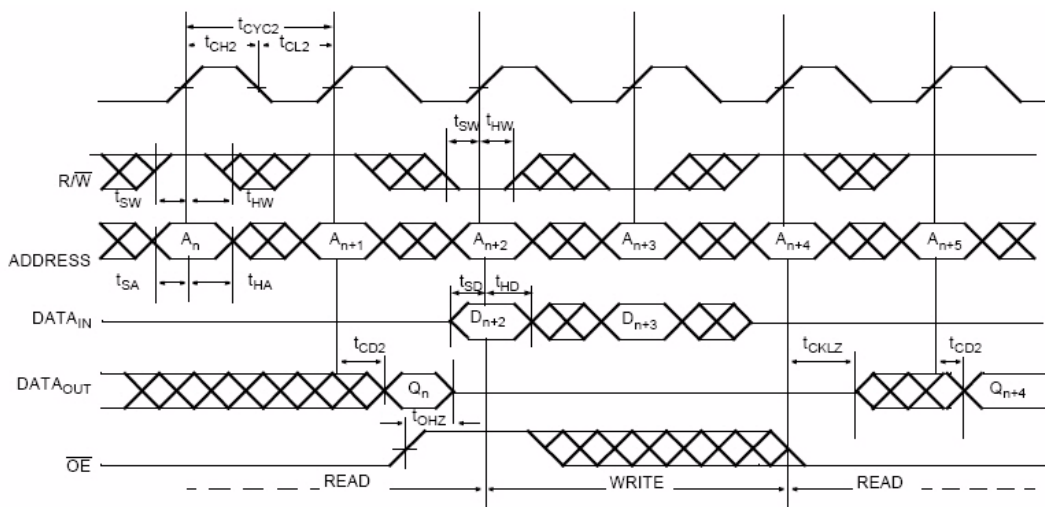
图 4. 同步 DPRAM 的写操作（所有模式）



* \overline{ADS} 的波形一样

有关同步 DPRAM 的延迟类型有两种：第一种延迟是进行流水线读操作时的延迟（一个周期延迟），如图 2 所示。第二种延迟是使用 $\overline{R/W}$ 使能来执行 I/O 总线转换时发生的延迟。读操作后执行第一个写操作时，马上会发生死周期，如图 5 所示。该死周期的标签为 NO OPERATION（无操作），并在流水线和直通两种模式下都会发生。在 NO

OPERATION 过程中，存储器所选地址上保存的数据可能被破坏，因此需要重新写入以保持数据的完整性。要想防止发生这种情况，需要使用 \overline{OE} ，异步禁用用于总线反转的 I/O 驱动器。图 6 显示的是通过控制 \overline{OE} ，不再存在死周期。

图 5. 流水线模式下 $\overline{OE} = V_{IL}$ 时的读-写-读操作

图 6. 流水线模式下 \overline{OE} 被控制时的读-写-读操作


宽度和深度扩展

赛普拉斯同步双端口提供了两个芯片使能引脚， $\overline{CE0}$ 和 $CE1$ 以简化宽度和深度扩展而不需要外部逻辑。图 7 显示的是

使用两个 $64\text{ K} \times 18$ 同步 DPRAM 来实现深度扩展以获取 $128\text{ K} \times 18$ 组织方式。也可以对两个器件进行宽度扩展以创建 $64\text{ K} \times 36$ 接口。图 8 显示的是同步 DPRAM 的宽度扩展。

图 7. 同步双端口 RAM 的深度扩展

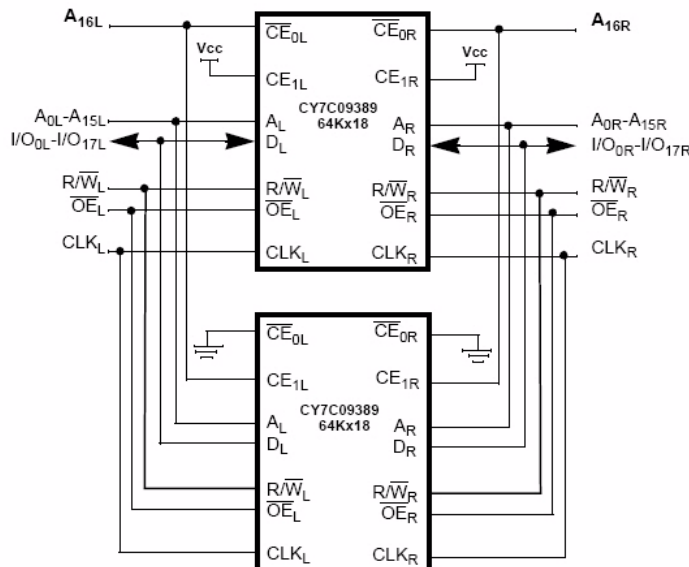
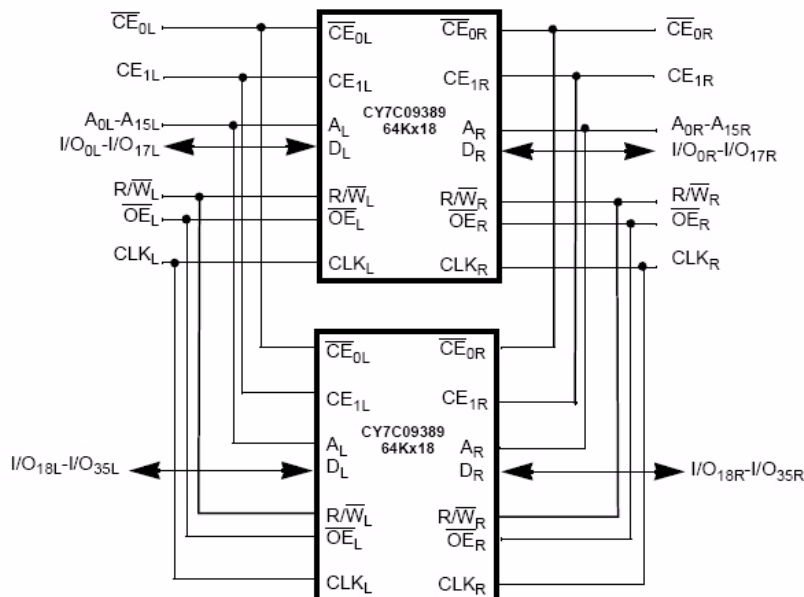


图 8. 同步双端口 RAM 的宽度扩展



应用

双端口被用于多种涉及到多处理器设计的通信系统。DPRAM 可用于所有需要将数据从一个设备转移到另一个的系统。这些系统包括数据通信/网络设备和多处理器系统，其中各种处理器以不同的速度操作。在流水线同步模式下操

作的同步 DPRAM 适用于高带宽应用，因为他们提供短周期时间和快速的从时钟到数据有效的时间 (t_{CD})。突发模式操作提高了系统的整体性，因为它减少了存储器访问的开销。

视频编码和医疗成像应用需要处理大量的原始数据，并使用计算密集型算法。这种应用一般会使用带有 DSP 和 FPGA

的协处理器架构。这些系统的优势为 DSP 能够处理很复杂的算法以及 FPGA 能够支持高数据采集率。

FPGA 和 DSP 接口可以处理的数据量取决于两个器件之间的模块计算分配。将 FPGA 中的模块 RAM 作为缓冲器使用，用以存储发送到 DSP 的数据。通过使用同步双端口 SRAM 可以轻松在 FPGA 和 DSP 之间进行数据传输。DPRAM 的每个端口作为一个标准 SRAM 接口使用（FPGA 和 DSP 都是一个简单的接口）。

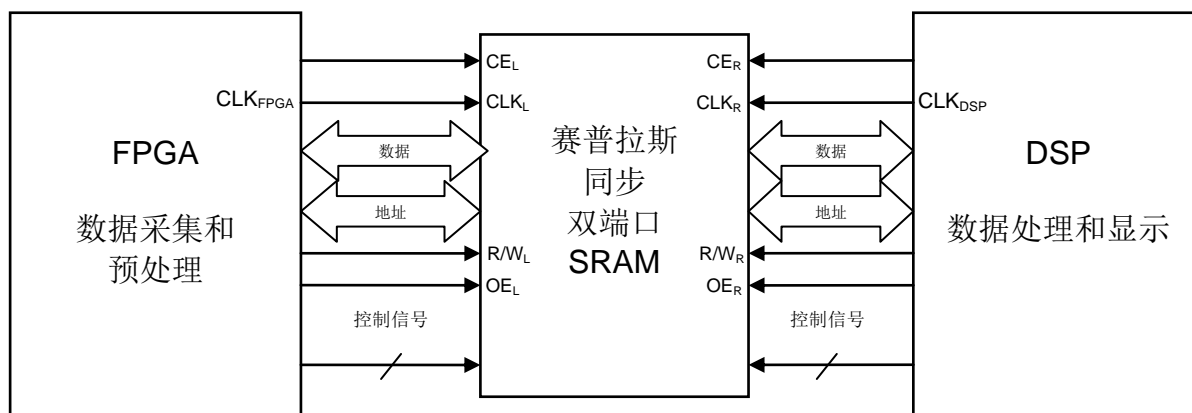
同步双端口 SRAM 是这种系统的理想选择，其优势包括：

- 较高的操作速度，可达到 200 MHz
- 容量高达 36 Mb

- 可单独对两个端口进行操作，因此在相连的系统之间不需要进行同步存储器访问
- 能够处理两个不同时域和相应协议
- 可以连接每个端口上工作电压不同的器件
- 随机访问存储器位置
- 具有端口到端口的消息传递功能
- 具有维护数据一致性/连贯性的机制

图 9 显示的是一个使用同步 DPRAM 的协处理器系统的普通框图。

图 9. 协处理器架构中同步 DPRAM 的框图



总结

赛普拉斯同步 DPRAM 提供了很有优势的速度、容量和灵活性，并帮助您从多处理器系统中得到最高的性能。对于任何需要高速和在两个总线主设备之间共享可靠数据的系统，赛普拉斯 DPRAM 是最佳选择。这些器件支持多种工作电

压（5 V、3.3 V 和 1.8 V）和总线宽度选项（x8、x16 和 x32 以及 x9、x18 和 x36（如果是奇偶校验使用））。欲了解赛普拉斯双端口的完整列表（容量多达 36 Mbit），请参见我们的网站 <http://www.cypress.com>。

文档修订记录

文档标题：了解同步双端口 RAM — AN1043

文档编号：001-95804

版本	ECN	变更者	提交日期	变更说明
**	4674532	YLIU	03/02/2015	本文档版本号为 Rev**，译自英文版 001-17358 Rev*D。

全球销售和设计支持

赛普拉斯公司拥有一个由办事处、解决方案中心、厂商代表和经销商组成的全球性网络。如果想要查找离您最近的办事处，请访问[赛普拉斯所在地](#)。

产品

汽车级产品	cypress.com/go/automotive
时钟与缓冲器	cypress.com/go/clocks
接口	cypress.com/go/interface
照明和电源控制	cypress.com/go/powerpsoc cypress.com/go/plc
存储器	cypress.com/go/memory
PSoC	cypress.com/go/psoc
触摸感应	cypress.com/go/touch
USB 控制器	cypress.com/go/usb
无线/射频	cypress.com/go/wireless

PSoC®解决方案

psoc.cypress.com/solutions
[PSoC 1](#) | [PSoC 3](#) | [PSoC 4](#) | [PSoC 5LP](#)

赛普拉斯开发者社区

[社区](#) | [论坛](#) | [博客](#) | [视频](#) | [培训](#)

技术支持

cypress.com/go/support

PSoC 是赛普拉斯半导体公司的注册商标。“Programmable System-on-Chip”（可编程片上系统）和“PSoC Designer”是赛普拉斯半导体公司的商标。此处引用的所有其他商标或注册商标都归其各自所有者所有。



赛普拉斯半导体
198 Champion Court
San Jose, CA 95134-1709
电话 : 408-943-2600
传真 : 408-943-4730
网站地址 : www.cypress.com

©赛普拉斯半导体公司，2007-2015。此处所包含的信息可能会随时更改，恕不另行通知。除赛普拉斯产品内嵌的电路外，赛普拉斯半导体公司不对任何其他电路的使用承担任何责任。也不会以明示或暗示的方式授予任何专利许可或其他权利。除非与赛普拉斯签订明确的书面协议，否则赛普拉斯不保证产品能够用于或适用于医疗、生命支持、救生、关键控制或安全应用领域。此外，对于可能发生运转异常和故障并对用户造成严重伤害的生命支持系统，赛普拉斯不授权将其产品用作此类系统的关键组件。若将赛普拉斯产品用于生命支持系统中，则表示制造商将承担因此类使用而招致的所有风险，并确保赛普拉斯免于因此而受到任何指控。

该源代码（软件和/或固件）均归赛普拉斯半导体公司（赛普拉斯）所有，并受全球专利法规（美国和美国以外的专利法规）、美国版权法以及国际条约规定的保护和约束。赛普拉斯据此向获许可者授予适用于个人的、非独占性、不可转让的许可，用以复制、使用、修改、创建赛普拉斯源代码的派生作品、编译赛普拉斯源代码和派生作品，并且其目的只能是创建自定义软件和/或固件，以支持获许可者仅将其获得的产品依照适用协议规定的方式与赛普拉斯集成电路配合使用。除上述指定的用途外，未经赛普拉斯明确的书面许可，不得对此类源代码进行任何复制、修改、转换、编译或演示。

免责声明：赛普拉斯不针对此材料提供任何类型的明示或暗示保证，包括（但不限于）针对特定用途的适销性和适用性的暗示保证。赛普拉斯保留在不做出通知的情况下对此处所述材料进行更改的权利。赛普拉斯不对此处所述之任何产品或电路的应用或使用承担任何责任。对于合理预计可能发生运转异常和故障，并对用户造成严重伤害的生命支持系统，赛普拉斯不授权将其产品用作此类系统的关键组件。若将赛普拉斯产品用于生命支持系统中，则表示制造商将承担因此类使用而招致的所有风险，并确保赛普拉斯免于因此而受到任何指控。

产品使用可能适用于赛普拉斯软件许可协议的限制。