



本ドキュメントはCypress (サイプレス) 製品に関する情報が記載されております。本ドキュメントには、仕様の開発元企業として「スパンション」, 「Spansion」, 「富士通」または「Fujitsu」の名が記載されておりますが、これらの製品は Cypress が新規および既存のお客様に引き続き提供してまいります。

商品仕様の継続性について

Cypress 製品として提供することに伴う商品仕様としての変更はなく、ドキュメントとしての変更もありません。また本ページのお知らせは、変更情報として追記いたしません。本ドキュメントに変更情報が記載されている場合、それは本お知らせを除いた前版からの変更点です。なお、今後改訂は必要に応じて行われますが、その際の変更内容は改訂後のドキュメントに記載いたします。

オーダ型格および品名について

Cypress は既存のオーダ型格および品名を引き続きサポートいたします。これらの製品をご注文の際は、このドキュメントに記載されているオーダ型格および品名をご使用ください。

詳しいお問い合わせ先

Cypress 製品およびそのソリューションの詳細につきましては、お近くの営業所へお問い合わせください。

サイプレスについて

サイプレス (銘柄コード: CY) は、車載や産業機器、ネットワーキング プラットフォームから高機能民生機器およびモバイル機器まで、今日の最先端組み込みシステム向けに高性能で高品質のソリューションを提供します。NOR フラッシュ メモリや F-RAMTM、SRAM、TraveoTM マイクロコントローラー、業界唯一の PSoC[®] プログラマブル システムオンチップ ソリューション、アナログおよび PMIC Power Management IC、CapSense[®] 静電容量タッチセンシング コントローラー、Wireless BLE Bluetooth[®] Low-Energy、USB コネクティビティ ソリューションなど、幅広い差別化製品ポートフォリオを、一貫した革新性と業界最高クラスの技術サポート、比類のないシステム バリューとともにグローバルに提供します。

FR80

32 ビット・マイクロコントローラ

MB91635A Series

ハードウェアマニュアル

FR80

32 ビット・マイクロコントローラ

MB91635A Series

ハードウェアマニュアル

富士通マイクロエレクトロニクスのマイコンを効率的に開発するための情報を下記 URL にてご紹介いたします。
ご採用を検討中、またはご採用いただいたお客様に有益な情報を公開しています。

開発における最新の注意事項に関しては、「デザインレビューシート」を参照してください。
「デザインレビューシート」はシステム開発において、問題を未然に防ぐことを目的として、最低限必要と思われる
チェック項目をリストにしたものです。

<http://edevicet.fujitsu.com/micom/jp-support/>

富士通マイクロエレクトロニクス株式会社

はじめに

富士通半導体製品につきまして、平素より格別のご愛顧を賜り厚くお礼申し上げます。
MB91635A シリーズをご利用になる前に、本書および『データシート』をご一読ください。

■ 本書の目的と対象読者

本書は、実際に MB91635A シリーズを使用して製品を開発される技術者を対象に、MB91635A シリーズの機能や動作、使い方について解説しています。

■ 商標

FR は、FUJITSU RISC controller の略で、富士通マイクロエレクトロニクス株式会社の製品です。

そのほか、本書で登場するシステム名、製品名はそれぞれの会社もしくは組織の商標です。

■ サンプルプログラムおよび開発環境

FR80ファミリの周辺機能を動作させるためのサンプルプログラムを無償で提供しております。また、MB91635A シリーズで使用する開発環境も掲載しています。当社マイコンの動作仕様や使用方法の確認などにお役立てください。

- マイコンサポート情報

<http://edevicе.fujitsu.com/micom/jp-support/>

* サンプルプログラムは、予告なしに変更することがあります。また、サンプルプログラムは標準的な動作や使い方を示したものですので、お客様のシステム上でご使用の際は十分評価された上でご使用ください。

また、サンプルプログラムの使用に起因し生じた損害については、当社は一切その責任を負いません。

- 本資料の記載内容は、予告なしに変更することがありますので、ご用命の際は営業部門にご確認ください。
- 本資料に記載された動作概要や応用回路例は、半導体デバイスの標準的な動作や使い方を示したもので、実際に使用する機器での動作を保証するものではありません。したがって、これらを使用するにあたってはお客様の責任において機器の設計を行ってください。これらの使用に起因する損害などについては、当社はその責任を負いません。
- 本資料に記載された動作概要・回路図を含む技術情報は、当社もしくは第三者の特許権、著作権等の知的財産権やその他の権利の使用権または実施権の許諾を意味するものではありません。また、これらの使用について、第三者の知的財産権やその他の権利の実施ができることの保証を行うものではありません。したがって、これらの使用に起因する第三者の知的財産権やその他の権利の侵害について、当社はその責任を負いません。
- 本資料に記載された製品は、通常の産業用、一般事務用、パーソナル用、家庭用などの一般的用途に使用されることを意図して設計・製造されています。極めて高度な安全性が要求され、仮に当該安全性が確保されない場合、社会的に重大な影響を与えかつ直接生命・身体に対する重大な危険性を伴う用途（原子力施設における核反応制御、航空機自動飛行制御、航空交通管制、大量輸送システムにおける運行制御、生命維持のための医療機器、兵器システムにおけるミサイル発射制御をいう）、ならびに極めて高い信頼性が要求される用途（海底中継器、宇宙衛星をいう）に使用されるよう設計・製造されたものではありません。したがって、これらの用途にご使用をお考えのお客様は、必ず事前に営業部門までご相談ください。ご相談なく使用されたことにより発生した損害などについては、責任を負いかねますのでご了承ください。
- 半導体デバイスはある確率で故障が発生します。当社半導体デバイスが故障しても、結果的に人身事故、火災事故、社会的な損害を生じさせないよう、お客様は、装置の冗長設計、延焼対策設計、過電流防止対策設計、誤動作防止設計などの安全設計をお願いします。
- 本資料に記載された製品を輸出または提供する場合は、外国為替及び外国貿易法および米国輸出管理関連法規等の規制をご確認の上、必要な手続きをおとりください。
- 本書に記載されている社名および製品名などの固有名詞は、各社の商標または登録商標です。

マニュアル構成

本シリーズで使用するマニュアルを一覧で示します。状況に応じて必要なマニュアルを参照してください。

本書に記載したマニュアルの内容は予告なく変更することがあります。最新版をお問い合わせください。

■ ハードウェアマニュアル

- FR80 ファミリ MB91635A シリーズハードウェアマニュアル (CM71-10153)
(本書)

■ データシート

- マイクロコントローラ 32 ビットオリジナル FR80 ファミリ MB91635A シリーズ DATA SHEET (DS07-16909)

■ プログラミングマニュアル

- FR80 ファミリプログラミングマニュアル (CM71-00104)
FR80 ファミリ CPU のプログラミングモデルと命令について説明しています。

■ ハードウェアツール系マニュアル

- DSU-FR エミュレータ MB2198-01 ハードウェアマニュアル (CM71-00413)
エミュレータの取扱いと仕様、接続方法や操作方法について説明しています。

■ ソフトウェアツール系マニュアル

- SOFTUNE[®] Workbench 操作マニュアル V6 対応 (CM71-00328)
統合開発環境 SOFTUNE の操作方法や開発手順について説明しています。
- SOFTUNE[®] Workbench 機能説明書 V6 対応 (CM71-00329)
SOFTUNE Workbench の基本機能および依存機能について説明しています。
- SOFTUNE[®] Workbench コマンドリファレンスマニュアル V6 対応 (CM71-00330)
SOFTUNE Workbench のコマンドおよび組込み変数 / 関数について説明しています。
- FR ファミリ 32 ビットマイクロコントローラ 機器組み込み用 C プログラミングマニュアル 活用編 (CM71-00324)
FR ファミリ用 C コンパイラ fcc911 を使用して組み込みシステムを作成するためのノウハウ集です。FR ファミリのアーキテクチャを利用した効率の良い C プログラムの作成方法および注意事項を説明します。
- FR ファミリ SOFTUNE C/C++ コンパイラマニュアル V6 対応 (CM81-00206)
SOFTUNE C/C++ コンパイラを使用して C 言語および C++ 言語でアプリケーションプログラムを作成 / 開発する際に参照してください。

- **FR ファミリ SOFTUNE® アセンブラマニュアル V6 対応 (CM71-00203)**
Windows 98, Windows Me, Windows 2000, Windows XP で動作する富士通SOFTUNE® アセンブラの機能および使用方法を説明しています。
- **SOFTUNE® リンケージキットマニュアル V6 対応 (CM71-00327)**
Windows 98, Windows Me, Windows 2000, Windows XP で動作する富士通SOFTUNE® リンケージキットの機能および使用方法を説明しています。
応用プログラムを開発する際に参照してください。
- **FR ファミリ 絶対アセンブルリスト作成ツールマニュアル (CM71-00305)**
絶対アセンブルリストについて説明しています。
- **FR-V/FR ファミリ Softune C/C++ Analyzer マニュアル V5 対応 (CM81-00309)**
C/C++ Analyzer の機能および使用方法について説明しています。
- **FR-V/FR ファミリ Softune C/C++ Checker マニュアル V5 対応 (CM81-00310)**
C/C++ Checker の機能および使用方法について説明しています。

■ REALOS 系マニュアル

● REALOS μ ITRON3.0 系マニュアル

- **FR/F²MC® ファミリ μ ITRON 仕様準拠 SOFTUNE® REALOS®/FR/907/896 コンフィグレータマニュアル (CM71-00322)**
Softune REALOS コンフィグレータの機能と操作について説明しています。
- **FR-V/FR/F²MC® ファミリ μ ITRON 仕様準拠 SOFTUNE® REALOS®/アナライザマニュアル (CM81-00315)**
Softune REALOS アナライザが提供する機能とその機能の利用方法について説明しています。
- **FR ファミリ μ ITRON3.0 仕様準拠 SOFTUNE® REALOS®/FR ユーザーズガイド (CM71-00320)**
REALOS/FR 応用システムの構築 / 起動について説明しています。
システム全体のまとめの作業を行う際に参照してください。
- **FR ファミリ μ ITRON3.0 仕様準拠 SOFTUNE® REALOS®/FR カーネルマニュアル (CM71-00321)**
Softune REALOS/FR が提供する機能とその機能の利用方法について説明しています。
アプリケーションシステムやユーザプログラムを作成する際に参照してください。

● REALOS μ ITRON4.0 系マニュアル

- **FR ファミリ μ ITRON4.0 仕様準拠 SOFTUNE® REALOS®/FR Spec.4 プログラミングマニュアル (CM81-00316)**
Softune REALOS/FR Spec.4 の提供する機能とその利用方法について説明しています。
- **FR-V/FR ファミリ μ ITRON4.0 仕様準拠 SOFTUNE® REALOS® カーネルマニュアル (CM81-00312)**
Softune REALOS/FRV/FR Spec.4 が提供する機能とその機能の利用方法について説明しています。

MB91635A シリーズ

- **FR-V/FR ファミリ μ ITRON4.0 仕様準拠 SOFTUNE[®] REALOS[®] コンフィギュレータマニュアル (CM81-00311)**

SOFTUNE REALOS コンフィギュレータ GUI の提供する機能とその利用方法について説明しています。

- **FR-V/FR /F²MC[®] ファミリ μ ITRON 仕様準拠 SOFTUNE[®] REALOS[®] アナライザマニュアル (CM81-00315)**

SOFTUNE REALOS アナライザの提供する機能と利用方法について説明しています。

本書の使い方

■ 機能の探し方

本書では次の方法で、使いたい機能の説明を探することができます。

- 目次から探す

本書の内容を記載順に示します。

- レジスタ一覧から探す

本デバイスのレジスタが一覧で記載されています。調べたいレジスタの名称から、配置アドレスやレジスタの説明ページを探することができます。

本文中では各レジスタの配置アドレスを記載しておりません。各レジスタのアドレスを確認するときは、「付録 A I/O マップ」および「付録 B レジスタ一覧」を参照してください。

- 索引から探す

周辺機能の名称などのキーワードから機能の説明を探することができます。

■ 章について

本書では、基本的に 1 つの周辺機能を 1 つの章で説明しています。

■ 用語について

本書で使用している用語について示します。

用語	説明
ワード	32 ビット単位でのアクセスを指します。
ハーフワード	16 ビット単位でのアクセスを指します。
バイト	8 ビット単位でのアクセスを指します。

MB91635A シリーズ

目次

第 1 章	概要	1
1.1	MB91635A シリーズの概要	2
1.2	MB91635A シリーズの品種構成	7
1.3	MB91635A シリーズのブロックダイアグラム	8
1.4	外形寸法図	9
第 2 章	MB91635A シリーズの端子	11
2.1	端子配列図	12
2.2	端子機能一覧	14
2.3	入出力回路形式	41
2.4	端子の設定方法	45
第 3 章	CPU	85
3.1	メモリ空間	86
3.2	内部アーキテクチャの特徴	88
3.3	動作モード	89
3.4	パイプライン	90
3.5	命令概要	92
3.5.1	算術演算	92
3.5.2	ロードとストア	92
3.5.3	分岐	93
3.5.4	論理演算とビット操作	93
3.5.5	ダイレクトアドレッシング	93
3.5.6	ビットサーチ	93
3.5.7	その他	93
3.6	基本プログラミングモデル	94
3.7	レジスタ	95
3.7.1	汎用レジスタ (R0 ~ R15)	95
3.7.2	プログラムステータスレジスタ (PS)	96
3.7.3	プログラムカウンタ (PC)	100
3.7.4	テーブルベースレジスタ (TBR)	101
3.7.5	リターンポインタ (RP)	101
3.7.6	システムスタックポインタ (SSP)	101
3.7.7	ユーザスタックポインタ (USP)	102
3.7.8	乗除算レジスタ (Multiply & Divide register)	103
3.8	データ構造	104
3.8.1	ビットオーダリング	104
3.8.2	バイトオーダリング	104
3.8.3	ワードアライメント	105
3.9	アドレッシング	106
3.9.1	ダイレクトアドレッシング領域	106
3.9.2	20 ビットアドレッシング領域	107
3.9.3	32 ビットアドレッシング領域	107
3.9.4	ベクタテーブル初期領域	107
3.10	分岐命令	108

3.10.1	遅延スロット付き動作	108
3.10.2	遅延スロットなし動作	110
3.11	EIT (例外・割込み・トラップ)	111
3.11.1	EIT 要因	111
3.11.2	EIT からの復帰	111
3.11.3	割込みレベル	112
3.11.4	I フラグ	112
3.11.5	割込みレベルマスクレジスタ (ILM)	114
3.11.6	割込みに対するレベルマスク	114
3.11.7	割込み制御レジスタ (ICR)	115
3.11.8	システムスタックポインタ (SSP)	115
3.11.9	割込みスタック	115
3.11.10	テーブルベースレジスタ (TBR)	116
3.11.11	EIT ベクタテーブル	116
3.11.12	多重 EIT 処理	117
3.11.13	動作	118
3.11.14	INT 命令の動作	119
3.11.15	INTE 命令の動作	120
3.11.16	ステプトレーストラップの動作	120
3.11.17	未定義命令例外の動作	121
3.11.18	RETI 命令の動作	121
3.11.19	遅延スロットと EIT	121
第 4 章	クロック生成部	123
4.1	概要	124
4.2	構成	125
4.2.1	クロック生成部	125
4.2.2	ソースクロック (SRCCLK) 選択部	128
4.3	端子	129
4.4	レジスタ	130
4.4.1	クロックソース設定レジスタ (CSELR)	131
4.4.2	クロックソース監視レジスタ (CMONR)	135
4.4.3	発振安定待ち設定レジスタ (CSTBR)	137
4.4.4	PLL 設定レジスタ (PLLCR)	141
4.5	動作説明	145
4.5.1	クロックソースの動作説明	145
4.5.2	ソースクロック (SRCCLK) の切換え	148
4.5.3	PLL クロック (PLLCLK) 生成のための通倍率	151
第 5 章	クロック分周制御部	153
5.1	概要	154
5.2	内部クロック	155
5.3	構成	157
5.4	レジスタ	158
5.4.1	分周設定レジスタ 0 (DIVR0)	159
5.4.2	分周設定レジスタ 1 (DIVR1)	160
5.4.3	分周設定レジスタ 2 (DIVR2)	162
5.5	分周比	163
5.6	使用上の注意	165

MB91635A シリーズ

第 6 章	メインタイマ	167
6.1	概要	168
6.2	構成	169
6.3	レジスタ	170
6.3.1	メインタイマ制御レジスタ (MTMCR)	171
6.4	割込み	175
6.5	動作説明と設定手順例	176
6.5.1	メインタイマの動作	176
6.5.2	ストップモードへの遷移について	178
第 7 章	サブタイマ	179
7.1	概要	180
7.2	構成	181
7.3	レジスタ	182
7.3.1	サブタイマ制御レジスタ (STMCR)	183
7.4	割込み	186
7.5	動作説明と設定手順例	187
7.5.1	サブタイマの動作	187
7.5.2	ストップモードへの遷移と時計モードについて	189
第 8 章	低消費電力モード	191
8.1	概要	192
8.2	構成	193
8.3	レジスタ	195
8.3.1	スタンバイ制御レジスタ (STBCR)	196
8.3.2	スリープレート設定レジスタ (SLPRR)	199
8.4	動作説明と設定手順例	201
8.4.1	クロック制御時の動作	201
8.4.2	ドーズモード時の動作	203
8.4.3	スリープモード時の動作	204
8.4.4	メインタイマモード時の動作	206
8.4.5	時計モード時の動作	208
8.4.6	ストップモード時の動作	210
8.5	使用上の注意	213
第 9 章	リセット	215
9.1	概要	216
9.2	構成	217
9.3	端子	219
9.4	レジスタ	220
9.4.1	リセット要因レジスタ (RSTRR)	221
9.4.2	リセット制御レジスタ (RSTCR)	223
9.5	動作説明	225
9.5.1	リセットの種類	225
9.5.2	リセット要因	226
9.5.3	リセットの動作	227
9.5.4	イレギュラーリセット	231
9.6	動作状態と遷移	232

第 10 章	割込みコントローラ	237
10.1	概要	238
10.2	構成	239
10.3	レジスタ	240
10.3.1	割込みコントロールレジスタ (ICR00 ~ ICR47)	241
10.4	動作説明と設定手順例	243
10.4.1	割込みコントローラの動作説明	243
10.5	使用上の注意	245
第 11 章	割込み要求一括読出し機能	247
11.1	概要	248
11.2	構成	249
11.3	レジスタ	250
11.3.1	割込み要求一括読出し機能レジスタ 0 上位 (IRPR0H)	251
11.3.2	割込み要求一括読出し機能レジスタ 1 上位 / 下位 (IRPR1H/ IRPR1L)	252
11.3.3	割込み要求一括読出し機能レジスタ 2 上位 (IRPR2H)	254
11.3.4	割込み要求一括読出し機能レジスタ 2 下位 (IRPR2L)	255
11.3.5	割込み要求一括読出し機能レジスタ 3 上位 (IRPR3H)	256
11.3.6	割込み要求一括読出し機能レジスタ 3 下位 (IRPR3L)	257
11.3.7	割込み要求一括読出し機能レジスタ 4 上位 (IRPR4H)	258
11.3.8	割込み要求一括読出し機能レジスタ 4 下位 (IRPR4L)	259
11.3.9	割込み要求一括読出し機能レジスタ 5 上位 (IRPR5H)	260
11.3.10	割込み要求一括読出し機能レジスタ 5 下位 (IRPR5L)	261
11.3.11	割込み要求一括読出し機能レジスタ 6 上位 (IRPR6H)	262
11.3.12	割込み要求一括読出し機能レジスタ 6 下位 (IRPR6L)	263
11.3.13	割込み要求一括読出し機能レジスタ 7 上位 (IRPR7H)	264
11.3.14	割込み要求一括読出し機能レジスタ 7 下位 (IRPR7L)	265
11.4	使用上の注意	266
第 12 章	遅延割込み	267
12.1	概要	268
12.2	構成	269
12.3	レジスタ	270
12.3.1	遅延割込み制御レジスタ (DICR)	271
12.4	動作説明と設定手順例	272
12.4.1	遅延割込みの動作説明	272
12.5	使用上の注意	273
第 13 章	外部バスインタフェース	275
13.1	概要	276
13.2	構成	278
13.3	端子	280
13.4	レジスタ	282
13.4.1	CS 領域設定レジスタ (ASR0 ~ ASR3)	283
13.4.2	CS バス設定レジスタ (ACR0 ~ ACR3)	286
13.4.3	CS ウェイトレジスタ (AWR0 ~ AWR3)	289
13.4.4	外部 DMA 転送設定レジスタ (DMAR0 ~ DMAR3)	297
13.5	プロトコル	299
13.5.1	アドレス・データスプリットバスのプロトコル	299

MB91635A シリーズ

13.5.2	アドレス・データマルチプレックスバスのプロトコル	305
13.6	タイミング設定	311
13.6.1	リードアクセスオートウェイト	312
13.6.2	ライトアクセスオートウェイト	315
13.6.3	リードアクセスアイドルサイクル	318
13.6.4	ライトリカバリサイクル	321
13.6.5	リードアクセスセットアップサイクル	324
13.6.6	リードアクセスホールドサイクル	326
13.6.7	ライトアクセスセットアップサイクル	329
13.6.8	ライトアクセスホールドサイクル	331
13.6.9	チップセレクト遅延サイクル	333
13.6.10	アドレス出力延長サイクル	336
13.6.11	アドレスストローブ出力延長サイクル	338
13.7	RDY 端子によるアクセスサイクルの延長	341
13.8	アクセスサイクル数	344
13.9	アドレス情報とアドレスアラインメント	346
13.9.1	アドレス情報	346
13.9.2	アドレスアラインメント	347
13.10	データアラインメント	348
13.10.1	ビッグエンディアン	350
13.10.2	リトルエンディアン	354
13.11	外部バス DMA 転送	358
13.11.1	DREQ0 ~ DREQ3 端子による転送要求	359
13.11.2	DACK0 ~ DACK3 端子による転送要求受付	363
13.11.3	DEOP0 ~ DEOP3 端子による転送終了信号	365
13.12	CS 領域設定手順	366
第 14 章	I/O ポート	371
14.1	概要	372
14.2	構成	374
14.3	端子	379
14.4	レジスタ	380
14.4.1	ポートデータ方向レジスタ (DDR0 ~ DDRK)	382
14.4.2	ポート機能レジスタ (PFR0 ~ PFRI)	385
14.4.3	拡張ポート機能レジスタ (EPFR0 ~ EPFR34)	388
14.4.4	ポートデータレジスタ (PDR0 ~ PDRK)	403
14.4.5	プルアップ制御レジスタ (PCR0 ~ PCRK)	404
14.4.6	A/D チャネルイネーブルレジスタ (ADCHE)	405
14.5	使用上の注意	406
第 15 章	外部割込み制御部	409
15.1	概要	410
15.2	構成	411
15.3	端子	413
15.4	レジスタ	414
15.4.1	外部割込み要求レベル設定レジスタ (ELVR0 ~ ELVR3)	415
15.4.2	外部割込み要因レジスタ (EIRR0 ~ EIRR3)	418
15.4.3	割込み許可レジスタ (ENIR0 ~ ENIR3)	420
15.5	動作説明と設定手順例	421

15.5.1	外部割込み制御部の動作	421
15.5.2	スタンバイモードからの復帰	424
15.5.3	スリープモードからの復帰	426
第 16 章	ウォッチドッグタイマ	427
16.1	概要	428
16.2	構成	429
16.3	レジスタ	431
16.3.1	ウォッチドッグタイマ 0 制御レジスタ (WDTCR0)	432
16.3.2	ウォッチドッグタイマ 0 クリアレジスタ (WDTCPRO)	435
16.4	動作説明と設定手順例	436
16.4.1	ウォッチドッグタイマの動作	436
第 17 章	時計カウンタ	439
17.1	概要	440
17.2	構成	441
17.3	レジスタ	443
17.3.1	時計カウンタリロードレジスタ (WCRL)	444
17.3.2	時計カウンタ制御レジスタ (WCCR)	445
17.3.3	時計カウンタリードレジスタ (WCRD)	447
17.4	割込み	448
17.5	動作説明と設定手順例	449
17.5.1	時計カウンタの動作	449
17.6	使用上の注意	451
第 18 章	32 ビットフリーランタイマ	453
18.1	概要	454
18.2	構成	455
18.3	端子	459
18.4	レジスタ	460
18.4.1	フリーランタイマ選択レジスタ (FRTSEL)	461
18.4.2	コンペアクリアレジスタ (CPCLR0, CPCLR1)	462
18.4.3	タイマデータレジスタ (TCDT0, TCDT1)	463
18.4.4	タイマ状態制御レジスタ上位 / 下位 (TCCSH0/TCCSL0, TCCSH1/TCCSL1)	464
18.5	割込み	468
18.6	動作説明と設定手順例	469
18.6.1	内部クロック (周辺クロック) 選択時の動作	470
18.6.2	外部クロック選択時の動作	471
第 19 章	32 ビットインプットキャプチャ	473
19.1	概要	474
19.2	構成	475
19.3	端子	477
19.4	レジスタ	478
19.4.1	インプットキャプチャ状態制御レジスタ (ICS01 ~ ICS67)	479
19.4.2	インプットキャプチャデータレジスタ (IPCP0 ~ IPCP7)	482
19.5	割込み	483
19.6	動作説明と設定手順例	484
19.6.1	32 ビットインプットキャプチャの動作説明	484

MB91635A シリーズ

第 20 章	32 ビットアウトプットコンペア	487
20.1	概要	488
20.2	構成	489
20.3	端子	491
20.4	レジスタ	492
20.4.1	アウトプットコンペアレジスタ (OCCP0 ~ OCCP7)	493
20.4.2	コンペア制御レジスタ上位 (OCSH1, OCSH3, OCSH5, OCSH7)	494
20.4.3	コンペア制御レジスタ下位 (OCSL0, OCSL2, OCSL4, OCSL6)	497
20.5	割込み	500
20.6	動作説明と設定手順例	501
20.6.1	独立で使用する場合の動作	501
20.6.2	一対にして使用する場合の動作	503
第 21 章	16 ビットリロードタイマ	507
21.1	概要	508
21.2	構成	509
21.3	端子	511
21.4	レジスタ	512
21.4.1	コントロールステータスレジスタ (TMCSR0 ~ TMCSR2)	513
21.4.2	16 ビットタイマリロードレジスタ A(TMRLRA0 ~ TMRLRA2)	518
21.4.3	16 ビットタイマレジスタ (TMR0 ~ TMR2)	519
21.5	割込み	520
21.6	動作説明と設定手順例	521
21.6.1	インターバルタイマモード時の動作	522
21.6.2	イベントカウンタモード時の動作	534
21.6.3	カスケードモード時の動作	540
21.7	使用上の注意	542
第 22 章	ベースタイマ入出力選択機能	543
22.1	概要	544
22.2	構成	546
22.3	端子	547
22.4	レジスタ	549
22.4.1	入出力選択レジスタ 0123 (BTSEL0123)	550
22.4.2	入出力選択レジスタ 4567 (BTSEL4567)	552
22.4.3	入出力選択レジスタ 89AB (BTSEL89AB)	554
22.4.4	入出力選択レジスタ CDEF (BTSELCDEF)	556
22.4.5	同時ソフト起動レジスタ (BTSSSR)	558
22.5	入出力モード	563
22.5.1	入出力モード 0 (16 ビットタイマ標準モード)	563
22.5.2	入出力モード 1 (タイマフルモード)	564
22.5.3	入出力モード 2 (外部トリガ共有モード)	566
22.5.4	入出力モード 3 (他チャネルトリガ共有モード)	567
22.5.5	入出力モード 4 (タイマ起動 / 停止モード) 時の動作	569
22.5.6	入出力モード 5 (同時ソフト起動モード) 時の動作	571
22.5.7	入出力モード 6 (ソフト起動タイマ起動 / 停止モード) 時の動作	572
22.5.8	入出力モード 7 (タイマ起動モード) 時の動作	574
22.5.9	入出力モード 8 (他チャネルトリガ共有タイマ起動 / 停止モード) 時の動作	575

第 23 章	ベースタイマ	579
23.1	ベースタイマの概要	580
23.2	ベースタイマのブロックダイアグラム	582
23.3	ベースタイマのレジスタ	587
23.4	ベースタイマの動作	595
23.5	32 ビットモード動作	597
23.6	ベースタイマの使用上の注意	599
23.7	ベースタイマ割込み	601
23.8	ベースタイマの機能別説明	602
23.8.1	PWM 機能	603
23.8.2	PPG 機能	617
23.8.3	リロードタイマ機能	632
23.8.4	PWC 機能	645
第 24 章	アップダウンカウンタ	661
24.1	概要	662
24.2	構成	664
24.3	端子	666
24.4	レジスタ	667
24.4.1	リロードコンペアレジスタ (RCR0 ~ RCR3)	668
24.4.2	アップダウンカウントレジスタ (UDCR0 ~ UDCR3)	670
24.4.3	カウンタコントロールレジスタ (CCR0 ~ CCR3)	671
24.4.4	カウンタステータスレジスタ (CSR0 ~ CSR3)	676
24.5	割込み	679
24.6	動作説明と設定手順例	681
24.6.1	タイマモード時の動作	685
24.6.2	アップダウンカウントモード時の動作	687
24.6.3	位相差カウントモード (2 通倍) 時の動作	690
24.6.4	位相差カウントモード (4 通倍) 時の動作	692
第 25 章	10 ビット A/D コンバータ	695
25.1	概要	696
25.2	構成	698
25.3	端子	700
25.4	レジスタ	702
25.4.1	A/DC コントロールレジスタ (ADCR0, ADCR1)	704
25.4.2	A/DC ステータスレジスタ (ADSR0, ADSR1)	707
25.4.3	スキャン変換コントロールレジスタ (SCCR0, SCCR1)	710
25.4.4	スキャン変換 FIFO 段数設定レジスタ (SFNS0, SFNS1)	714
25.4.5	スキャン変換 FIFO データレジスタ (SCFD0, SCFD1)	716
25.4.6	スキャン変換入力選択レジスタ (SCIS30 ~ SCIS00/SCIS31 ~ SCIS01)	719
25.4.7	優先変換コントロールレジスタ (PCCR0, PCCR1)	721
25.4.8	優先変換 FIFO 段数設定レジスタ (PFNS0, PFNS1)	724
25.4.9	優先変換 FIFO データレジスタ (PCFD0, PCFD1)	725
25.4.10	優先変換入力選択レジスタ (PCIS0, PCIS1)	729
25.4.11	A/D 比較値設定レジスタ (CMPD0, CMPD1)	732
25.4.12	A/D 比較コントロールレジスタ (CMPCR0, CMPCR1)	733
25.4.13	サンプリング時間設定レジスタ (ADST00, ADST10/ADST01, ADST11)	736
25.4.14	サンプリング時間選択レジスタ (ADSS30 ~ ADSS00/ADSS31 ~ ADSS01)	739

MB91635A シリーズ

25.4.15	コンペア時間設定レジスタ (ADCT0, ADCT1)	741
25.5	割込み	743
25.6	動作説明と設定手順例	745
25.6.1	A/D スキャン変換時の動作	753
25.6.2	A/D 優先変換時の動作	756
25.6.3	FIFO の動作	759
25.6.4	DMA コントローラ (DMAC) の起動	765
第 26 章 8 ビット D/A コンバータ		767
26.1	概要	768
26.2	構成	769
26.3	端子	771
26.4	レジスタ	772
26.4.1	D/A データレジスタ (DADR0~DADR2)	773
26.4.2	D/A コントロールレジスタ (DACR0~DACR2)	774
26.5	動作説明と設定手順例	775
26.5.1	8 ビット D/A コンバータの動作	775
第 27 章 マルチファンクションシリアルインタフェース.....		777
27.1	マルチファンクションシリアルインタフェースの特長	778
27.2	UART(非同期シリアルインタフェース)	780
27.3	UART(非同期シリアルインタフェース) の概要	781
27.4	UART(非同期シリアルインタフェース) のレジスタ	782
27.4.1	シリアル制御レジスタ (SCR)	786
27.4.2	シリアルモードレジスタ (SMR)	789
27.4.3	シリアルステータスレジスタ (SSR)	792
27.4.4	拡張通信制御レジスタ (ESCR)	795
27.4.5	受信データレジスタ / 送信データレジスタ (RDR/TDR)	797
27.4.6	ボーレートジェネレータレジスタ 1, 0 (BGR1, BGR0)	801
27.4.7	FIFO 制御レジスタ 1(FCR1)	803
27.4.8	FIFO 制御レジスタ 0(FCR0)	806
27.4.9	FIFO バイトレジスタ (FBYTE1/FBYTE2)	809
27.5	UART の割込み	811
27.5.1	受信割込み発生とフラグセットのタイミング	813
27.5.2	受信 FIFO 使用時の割込み発生とフラグセットのタイミング	814
27.5.3	送信割込み発生とフラグセットのタイミング	816
27.5.4	送信 FIFO 使用時の割込み発生とフラグセットのタイミング	817
27.6	UART の動作	818
27.7	専用ボーレートジェネレータ	823
27.7.1	ボーレート設定	824
27.8	動作モード 0 (非同期 ノーマルモード) 設定手順とプログラムフロー	828
27.9	動作モード 1 (非同期マルチプロセッサモード) 設定手順とプログラムフロー	830
27.10	UART モードの注意事項	833
27.11	CSIO(クロック同期シリアルインタフェース)	834
27.12	CSIO(クロック同期シリアルインタフェース) の概要	835
27.13	CSIO(クロック同期シリアルインタフェース) のレジスタ	836
27.13.1	シリアル制御レジスタ (SCR)	841
27.13.2	シリアルモードレジスタ (SMR)	844
27.13.3	シリアルステータスレジスタ (SSR)	847

27.13.4	拡張通信制御レジスタ (ESCR)	850
27.13.5	受信データレジスタ / 送信データレジスタ (RDR/TDR)	852
27.13.6	ボーレートジェネレータレジスタ 1, 0 (BGR1, BGR0)	855
27.13.7	FIFO 制御レジスタ 1(FCR1)	857
27.13.8	FIFO 制御レジスタ 0(FCR0)	860
27.13.9	FIFO バイトレジスタ (FBYTE1/FBYTE2)	863
27.13.10	シリアルモード選択レジスタ (SSEL0123, SSEL4567)	865
27.13.11	受信データミラーレジスタ / 送信データミラーレジスタ (RDRM/TDRM)	867
27.14	CSIO(クロック同期シリアルインタフェース) の割込み	868
27.14.1	受信割込み発生とフラグセットのタイミング	869
27.14.2	受信 FIFO 使用時の割込み発生とフラグセットのタイミング	870
27.14.3	送信割込み発生とフラグセットのタイミング	872
27.14.4	送信 FIFO 使用時の割込み発生とフラグセットのタイミング	873
27.15	CSIO(クロック同期シリアルインタフェース) の動作	874
27.16	専用ボーレートジェネレータ	893
27.16.1	ボーレート設定	894
27.17	CSIO(クロック同期シリアルインタフェース) 設定手順とプログラムフロー	897
27.18	CSIO モードの注意事項	899
27.19	I ² C インタフェース	900
27.20	I ² C インタフェースの概要	901
27.21	I ² C インタフェースのレジスタ	902
27.21.1	I ² C バス制御レジスタ (IBCR)	907
27.21.2	シリアルモードレジスタ (SMR)	913
27.21.3	I ² C バスステータスレジスタ (IBSR)	915
27.21.4	シリアルステータスレジスタ (SSR)	919
27.21.5	受信データレジスタ / 送信データレジスタ (RDR/TDR)	922
27.21.6	7 ビットスレーブアドレスマスクレジスタ (ISMK)	924
27.21.7	7 ビットスレーブアドレスレジスタ (ISBA)	925
27.21.8	ボーレートジェネレータレジスタ 1, 0 (BGR1, BGR0)	926
27.21.9	FIFO 制御レジスタ 1(FCR1)	927
27.21.10	FIFO 制御レジスタ 0(FCR0)	930
27.21.11	FIFO バイトレジスタ (FBYTE1/FBYTE2)	934
27.22	I ² C インタフェースの割込み	936
27.22.1	I ² C インタフェース通信の動作	938
27.22.2	マスタモード	939
27.22.3	スレーブモード	957
27.22.4	バスエラー	961
27.23	専用ボーレートジェネレータ	962
27.23.1	I ² C のフローチャート例	964
27.24	I ² C モードの注意事項	978

第 28 章 DMA コントローラ (DMAC)981

28.1	概要	982
28.2	構成	985
28.3	端子	987
28.4	レジスタ	988
28.4.1	DMA コントロールレジスタ (DMACR)	990
28.4.2	DMA 転送元アドレスレジスタ (DSAR0 ~ DSAR7)	992
28.4.3	DMA 転送先アドレスレジスタ (DDAR0 ~ DDAR7)	993

MB91635A シリーズ

28.4.4	DMA 転送回数レジスタ (DTCR0 ~ DTCR7)	994
28.4.5	DMA チャンネルコントロールレジスタ (DCCR0 ~ DCCR7)	995
28.4.6	DMA チャンネルステータスレジスタ (DCSR0 ~ DCSR7)	1005
28.4.7	DMA 転送抑止割込みレベルレジスタ (DILVR)	1009
28.5	割込み	1011
28.6	動作説明と設定手順例	1012
28.6.1	転送設定	1012
28.6.2	転送動作	1015
28.6.3	転送の中断	1025
28.6.4	転送終了時の動作	1027
28.6.5	転送後の動作	1028
28.6.6	DMA 転送の抑止	1032
第 29 章 周辺機能による DMA 転送要求の発生 / クリア選択機能		1033
29.1	概要	1034
29.2	構成	1035
29.3	レジスタ	1037
29.3.1	IO 転送要求設定レジスタ (IORR0 ~ IORR7)	1039
29.3.2	周辺機能による DMA 転送要求のクリア選択レジスタ 0 (ICSEL0)	1044
29.3.3	周辺機能による DMA 転送要求のクリア選択レジスタ 1 (ICSEL1)	1046
29.3.4	周辺機能による DMA 転送要求のクリア選択レジスタ 2 (ICSEL2)	1048
29.3.5	周辺機能による DMA 転送要求のクリア選択レジスタ 3 (ICSEL3)	1050
29.3.6	周辺機能による DMA 転送要求のクリア選択レジスタ 4 (ICSEL4)	1052
29.3.7	周辺機能による DMA 転送要求のクリア選択レジスタ 5 (ICSEL5)	1053
29.3.8	周辺機能による DMA 転送要求のクリア選択レジスタ 6 (ICSEL6)	1055
29.3.9	周辺機能による DMA 転送要求のクリア選択レジスタ 7 (ICSEL7)	1057
29.3.10	周辺機能による DMA 転送要求のクリア選択レジスタ 8 (ICSEL8)	1059
29.3.11	周辺機能による DMA 転送要求のクリア選択レジスタ 9 (ICSEL9)	1061
29.3.12	周辺機能による DMA 転送要求のクリア選択レジスタ 10 (ICSEL10)	1063
29.3.13	周辺機能による DMA 転送要求のクリア選択レジスタ 11 (ICSEL11)	1066
29.3.14	周辺機能による DMA 転送要求のクリア選択レジスタ 12 (ICSEL12)	1069
29.3.15	周辺機能による DMA 転送要求のクリア選択レジスタ 13 (ICSEL13)	1072
29.3.16	周辺機能による DMA 転送要求のクリア選択レジスタ 14 (ICSEL14)	1074
29.4	動作説明と設定手順例	1076
29.4.1	DMA 転送時の動作	1076
第 30 章 内蔵プログラムメモリ制御		1079
30.1	内蔵プログラムメモリ制御部の概要	1080
30.2	内蔵プログラムメモリ制御部のレジスタ	1081
30.2.1	FLASH 制御レジスタ (FCTLR)	1082
第 31 章 フラッシュメモリ		1085
31.1	フラッシュメモリの概要	1086
31.2	フラッシュメモリの構成	1087
31.3	フラッシュメモリのレジスタ	1090
31.3.1	FLASH ステータスレジスタ (FSTR)	1091
31.3.2	FLASH 制御レジスタ (FCTLR)	1092
31.4	フラッシュメモリのアクセスモード	1093
31.5	自動アルゴリズム	1094

31.5.1	コマンドシーケンス	1094
31.5.2	自動アルゴリズムの実行状態	1097
31.6	フラッシュメモリの動作説明	1102
31.6.1	リセット動作	1102
31.6.2	データ書込み動作	1103
31.6.3	チップ消去動作	1106
31.6.4	セクタ消去動作	1106
31.6.5	セクタ消去一時停止動作	1109
31.6.6	セクタ消去再開動作	1110
31.7	データポーリングフラグ (DQ7) の制約事項と回避方法	1111
31.8	フラッシュメモリの使用上の注意	1114
第 32 章	ワイルドレジスタ	1115
32.1	ワイルドレジスタの概要	1116
32.2	ワイルドレジスタの構成	1117
32.3	ワイルドレジスタのレジスタ	1118
32.3.1	ワイルドレジスタアドレスレジスタ (WRAR00 ~ WRAR15)	1120
32.3.2	ワイルドレジスタデータレジスタ (WRDR00 ~ WRDR15)	1121
32.3.3	ワイルドレジスタデータイネーブルレジスタ (WREN)	1122
32.4	ワイルドレジスタの動作説明と設定手順例	1123
32.4.1	ワイルドレジスタの動作	1123
32.5	ワイルドレジスタの使用上の注意	1124
第 33 章	シリアル書込み接続	1127
33.1	富士通マイクロエレクトロニクス製シリアルプログラマ	1128
33.1.1	使用する端子	1132
第 34 章	デバイスの取扱いについて	1133
34.1	デバイス取扱い上の注意	1134
付録	1143
付録 A	I/O マップ	1144
付録 B	レジスタ一覧	1164
付録 C	割込みベクタ	1183
付録 D	CPU の状態における端子状態	1186
付録 E	命令一覧	1195
E.1	命令一覧表の見かた	1195
E.2	命令一覧表	1199
E.3	遅延スロットに配置可能な命令一覧	1208
索引	1211
端子索引	1221

MB91635A シリーズ

本版での主な変更内容

ページ		変更内容 (詳細は本文を参照してください。)
-		MB91F635A 品種を追加
8	1.3 MB91635A シリーズのブロックダイアグラム	「図 1.3-1 MB91635A シリーズのブロックダイアグラム」を訂正 (「内蔵プログラムメモリ フラッシュメモリ」に「/ マスク ROM」を追加)
139	4.4.3 発振安定待ち設定レジスタ (CSTBR)	[bit3 ~ bit0] の表を訂正 (「メインクロック (MCLK) 発振安定待ち時間」が「 $2^8 \times$ メインクロック (MCLK) の周期」のときの「MOSW0」を"1" から "0" に変更)
564	22.5.2 入出力モード 1 (タイマフルモード)	「表 22.5-4 使用する外部端子」を訂正 (「偶数チャンネル」を追加)
565		「表 22.5-6 入出力モード 1 の接続」を訂正 (TIN 信号 ECK 信号) (ch.n+1 の TOUT 信号 TIOAn+1 端子からの入力信号) (TIOBn+1 端子 TIOBn+1 端子からの入力信号) (ECK 信号 TIN 信号)
575	22.5.8 入出力モード 7 (タイマ起動モード) 時の動作	「表 22.5-24 入出力モード 7 の接続」を訂正 (TIN/TGIN/ECK/DTRG 信号 TIN/TGIN/ECK 信号)
583, 584, 585, 586	23.2 ベースタイマのブロックダイアグラム	以下の図の「16 ビットモード」「32 ビットモード」の記載位置を訂正 ・「図 23.2-3 16/32 ビットリロードタイマ (ch.1, ch.0) のブロックダイアグラム」 ・「図 23.2-4 16/32 ビット PWC タイマ (ch.1, ch.0) のブロックダイアグラム」
661 ~ 694	第 24 章 アップダウンカウンタ	章全体の用語を訂正 (コンペア機能 コンペアクリア機能) (リロードコンペア機能 リロードコンペアクリア機能)
663	24.1 概要	説明を訂正 (あらかじめ設定した値までカウントすると、カウンタの値をクリアして、カウントを続けます。 設定した値とカウンタ値が一致した次のアップカウントタイミングでカウンタをクリアします。)
674	24.4.3 カウンタコントロールレジスタ (CCR0 ~ CCR3)	[bit5] の説明を訂正
682	24.6 動作説明と設定手順例 リロード / コンペアクリア機能	「表 24.6-1 リロード機能 / コンペアクリア機能の設定方法」を訂正

MB91635A シリーズ

ページ		変更内容 (詳細は本文を参照してください。)
710	25.4.3 スキャン変換コントロールレジスタ (SCCR0, SCCR1)	<p>< 注意事項 > を訂正 (このレジスタは、単独でバイトアクセスするか、...レジスタ (...) と一緒にハーフワードでアクセスしてください。)</p> <p>このレジスタはワードでアクセスしないでください。)</p>
714	25.4.4 スキャン変換 FIFO 段数設定レジスタ (SFNS0, SFNS1)	
721	25.4.7 優先変換コントロールレジスタ (PCCR0, PCCR1)	
724	25.4.8 優先変換 FIFO 段数設定レジスタ (PFNS0, PFNS1)	
765	25.6.4 DMA コントローラ (DMAC) の起動	<p>説明を追加 「 図 25.6-6 DMA 転送動作 (スキャン変換割込み要求の場合) 」を訂正 < 注意事項 > を追加</p>
766		<p>「 図 25.6-7 DMA 再転送動作 」を訂正 < 注意事項 > を追加</p>
797	27.4.5 受信データレジスタ / 送信データレジスタ (RDR/TDR)	<p>「 図 27.4-5 受信データレジスタ (RDR) のビット構成 」の初期値を訂正 (00000000_B -----0 00000000_B)</p>
799		<p>「 図 27.4-6 送信データレジスタ (TDR) のビット構成 」の初期値を訂正 (11111111_B -----1 11111111_B)</p>
833	27.10 UART モードの注意事項	新規追加
852	27.13.5 受信データレジスタ / 送信データレジスタ (RDR/TDR)	<p>「 図 27.13-5 受信データレジスタ (RDR) のビット構成 」の初期値を訂正 (00000000_B -----0 00000000_B)</p>
853		<p>「 図 27.13-6 送信データレジスタ (TDR) のビット構成 」の初期値を訂正 (11111111_B -----1 11111111_B)</p>
899	27.18 CSIO モードの注意事項	新規追加
978, 979	27.24 I ² C モードの注意事項	新規追加
997, 998	28.4.5 DMA チャネルコントロールレジスタ (DCCR0 ~ DCCR7)	<p>[bit25] の直前の < 注意事項 > に説明を追加 [bit25] および [bit24] の説明に < 注意事項 > を追加</p>
1010	28.4.7 DMA 転送抑止割込みレベルレジスタ (DILVR)	<p>[bit4 ~ bit0] の表を訂正 (...以上の割込み要求 ...より高いレベルの割込み要求)</p>
1011	28.5 割込み	< 注意事項 > に説明を追加

MB91635A シリーズ

ページ		変更内容 (詳細は本文を参照してください。)
1017	28.6.2 転送動作 転送要求の検出	「表 28.6-2 転送要求元と転送要求の検出条件」の下部に < 注意事項 > を追加
1032	28.6.6 DMA 転送の抑止	説明を訂正 (割込みレベルが... 割込み要求をクリアし, 割込みレベルが...) 「表 28.6-9 DMA 転送を抑止する割込み要求レベル」を訂正 (...以上の割込み要求 ...より高いレベルの割込み要求)
1054	29.3.7 周辺機能による DMA 転送要求のクリア 選択レジスタ 5 (ICSEL5)	[bit2 ~ bit0] の表を訂正
1062	29.3.11 周辺機能による DMA 転送要求のクリア 選択レジスタ 9 (ICSEL9)	[bit2 ~ bit0] の表を訂正
1077	29.4.1 DMA 転送時の動作 動作	説明を訂正 (「4.」の説明を追加) (「周辺機能の割込み要求フラグが DMA コントローラ (DMAC) によってクリアされます。」を削除。)
1085 ~ 1114	第 31 章 フラッシュメモリ	256K バイトフラッシュメモリ追加 章全体の用語を訂正 (自動プログラムアルゴリズム 自動アルゴリズム) (読出し / リセットコマンド リセットコマンド) (読出し / リセット動作 リセット動作) (対象セクタ フラッシュメモリ領域) (TOGG ビット トグルビットフラグ DQ6(TOGG)) (DPOLL ビット データポーリングフラグ DQ7(DPOLL)) (TLOV ビット タイミングリミット超過フラグ DQ5(TLOV))
1086	31.1 フラッシュメモリの概要	要約を訂正 (また, ハーフワード単位で書き込むこともできます。 また, ハーフワード単位でデータを書き込むことができます。)
	概要	「 - CPU プログラミングモード 」の説明を訂正 (読出し, 書込みまたは消去 データ書込み / 消去) 「 - CPU ROM モード 」の説明を訂正 (書込みや消去, データ書込み / 消去の)
1091	31.3.1 FLASH ステータスレジスタ (FSTR)	[bit0] の説明を訂正 (フラッシュ書込み許可ビット フラッシュ動作ステータスビット) (書込み / 消去 データ書込み / 消去)
1093	31.4 フラッシュメモリのアクセスモード	「 ・ CPU ROM モード (FWE=0) 」の説明を訂正 (コマンドおよびデータ書込みや消去, データ書込み / 消去の) 「 ・ CPU プログラミングモード (FWE=1) 」の説明を訂正 (データの読出し, 書込み / 消去 フラッシュメモリの読出し, およびデータ書込み / 消去) (書込みおよび消去 データ書込み / 消去)

ページ		変更内容 (詳細は本文を参照してください。)
1094	31.5 自動アルゴリズム	<p>要約を訂正 (書込み / 消去 データ書込み / 消去) 「表 31.5-1 コマンドシーケンス」を訂正 (RA, RD を削除) (読出し / リセット リセット) (書込み データ書込み) (「連続モード」, 「連続書込み」, 「連続モードリセット」 の行を削除)</p>
1095	リセットコマンド	<p>説明を訂正 (バス書込みサイクル 書込みサイクル) (...読出し状態を保ちます。 ...読出し / リセット状態を保ちます。) (リセットコマンドを発行するとフラッシュメモリが読出し / リセット状態へ復帰します。 リセットコマンドを発行してフラッシュメモリを読出し / リセット状態へ復帰させてください。)</p>
	プログラム (データ書込み) コマンド	<p>説明を訂正 (プログラム (書込み) コマンド プログラム (データ書込み) コマンド) (表 31.5-1 に記載されている書込みコマンドを... 表 31.5-1 に記載されているデータ書込みコマンドを...) (...自動書込みが開始されます ...データ書込みが開始されます。) (自動書込みアルゴリズムコマンドシーケンス実行後は, ... データ書込みのコマンドシーケンスを書き込んだあと, ...) < 注意事項 > を訂正 (書込みコマンドシーケンス データ書込みのコマンドシーケンス)</p>

MB91635A シリーズ

ページ		変更内容 (詳細は本文を参照してください。)
1096	チップ消去コマンド	説明を訂正 (自動消去アルゴリズムが起動するとすべてのチップ消去する前に, ... チップ消去の自動アルゴリズムが起動するとチップ消去する前に, ...)
	セクタ消去コマンド	説明を訂正 (50 μ s 経過 最短で 50 μ s 経過) (..., 自動プログラムアルゴリズムが起動しセクタ消去動作が開始されます。 ..., セクタ消去動作が開始されます。) (消去コード (3030 _H) セクタ消去コード (3030 _H)) (タイムアウト期間内に次のセクタが入力されないと, セクタ消去コマンドが無効になる場合があります。 セクタ消去コードが, タイムアウト期間内に入力されず, タイムアウト期間を過ぎてから入力された場合, そのセクタ消去コードは無効になります。) (自動消去アルゴリズム セクタ消去の自動アルゴリズム)
	セクタ消去一時停止コマンド	< 注意事項 > を訂正 (書込み中 データ書込み中)
1097	31.5.2 自動アルゴリズムの実行状態	要約を訂正 (書込みや消去 データ書込み / 消去)
	ハードウェアシーケンスフラグ	「図 31.5-1 ハードウェアシーケンスフラグのビット構成」を訂正 (TOGG2 未定義)
1098	各ビットとフラッシュメモリの状態	「表 31.5-2 フラグとフラッシュメモリ状態の対応」を訂正

MB91635A シリーズ

ページ		変更内容 (詳細は本文を参照してください。)
1098	ビット説明	[bit7] の説明を訂正 (データポーリングフラグビット データポーリングフラグ DQ7) (書込み データ書込み)
1099, 1100		[bit6] の説明を訂正 (トグルフラグビット トグルビットフラグ DQ6) (書込み データ書込み) (<注意事項> を削除)
1100		[bit5] の説明を訂正 (タイミングリミット超過フラグビット タイミングリミット超過フラグ DQ5) (書込み データ書込み)
1101		[bit3] の説明を訂正 (セクタ消去タイマフラグビット セクタ消去タイマフラグ (DQ3)) (50 μ s のタイムアウト期間 最短で 50 μ s のタイムアウト期間) (セクタ消去ウェイト セクタ消去タイムアウト) [bit2] の説明を訂正 (TOGG2 未定義ビット)
1102	31.6 フラッシュメモリの動作説明 概要	説明を訂正 (1 回 ~ 6 回連続してコマンドを発行 1 回 ~ 6 回連続して書き込みを行い, コマンドシーケンスを発行) (読出し / リセット リセット) (書込み データ書込み)
	31.6.1 リセット動作	説明を訂正 (データ読出しコマンドを発行 リセットコマンドを発行)

MB91635A シリーズ

ページ		変更内容 (詳細は本文を参照してください。)
1103, 1104	31.6.2 データ書き込み動作	<p>説明を訂正 (書き込み データ書き込み) (..., フラッシュメモリは読出しモードに戻るため , 書き込みアドレスを受け付けなくなります。)</p> <p>..., フラッシュメモリは読出し / リセット状態に戻ります。) 「図 31.6-1 データ書き込み手順例」を訂正 (FLASH 制御レジスタ (FCTL) の FWE ビットでフラッシュへの書き込みを許可 (FWE=1))</p> <p>FLASH 制御レジスタ (FCTL) の FWE ビットでフラッシュへの書き込みを許可 (FWE=1) と , FSZ1,FSZ0 ビットの値を退避後に 16 ビットに設定 (FSZ1,FSZ0=01)) (FLASH 制御レジスタ (FCTL) の FWE ビットでフラッシュへの書き込みを禁止 (FWE=0))</p> <p>FLASH 制御レジスタ (FCTL) の FWE ビットでフラッシュへの書き込みを禁止 (FWE=0) と , FSZ1,FSZ0 ビットを退避していた値に戻す)</p>
	1105	<p>< 注意事項 > を訂正 (書き込みコマンド データ書き込みコマンド) (同時に値が変わる ほぼ同時に値が変わることがある) (同時にトグル動作を停止します。 ほぼ同時にトグル動作を停止する場合があります。)</p>
	データ書き込み上の注意	<p>説明を訂正 (書き込み データ書き込み) (読出し / リセットモード 読出し / リセット状態)</p>

MB91635A シリーズ

ページ		変更内容 (詳細は本文を参照してください。)
1106	31.6.3 チップ消去動作	説明を訂正 (...フラッシュメモリヘデータが書き込まれます。 ...フラッシュメモリの全セクタの消去が開始されます。) (読出し / リセットモード 読出し / リセット状態) < 注意事項 > を訂正 (自動消去アルゴリズムが起動するとすべてのチップ消去する前に, ... チップ消去の自動アルゴリズムが起動するとチップ消去する前に, ...)
	31.6.4 セクタ消去動作	手順 1 の説明を訂正 (50 μ s 経過 (タイムアウト期間) 最短で 50 μ s 経過 (タイムアウト期間)) (タイムアウト期間経過後に書き込んでも、セクタ消去コマンドが無効になる場合があります。 タイムアウト期間経過後に書き込むと、その消去コード (3030 _H) が無効になります。) 手順 2 に説明を追加
1107		「図 31.6-2 セクタ消去手順例」を訂正
1108		説明を訂正 (読出し / リセットモード 読出し / リセット状態) 説明を追加 < 注意事項 > を訂正 (同時に値が変わる ほぼ同時に値が変わることがある) (同時にトグル動作を停止します。 ほぼ同時にトグル動作を停止する場合があります。) (セクタ消去コマンド / 消去一時停止コマンド セクタ消去コード / 消去一時停止コマンド) (「コマンドが発行される 1 つ前または複数の」を削除) (自動消去アルゴリズム セクタ消去の自動アルゴリズム)
1110	31.6.5 セクタ消去一時停止動作 セクタ消去一時停止後の状態	< 注意事項 > を訂正 (「bit2 (TOGG2 ビット) : 連続で読み出すと "1" と "0" が交互に読み出されるトグル動作」を削除。)
1111 ~ 1113	31.7 データポーリングフラグ (DQ7) の制約事項と回避方法	新規追加
1122	32.3.3 ワイルドレジスタデータイネーブルレジスタ (WREN)	「図 32.3-3 ワイルドレジスタデータイネーブルレジスタ (WREN) のビット構成」の初期値を訂正 (X 0)

変更箇所は、本文中のページ左側の によって示しています。

第 1 章 概要

MB91635A シリーズの特徴と基本的な仕様について説明します。

- 1.1 MB91635A シリーズの概要
- 1.2 MB91635A シリーズの品種構成
- 1.3 MB91635A シリーズのブロックダイヤグラム
- 1.4 外形寸法図

1.1 MB91635A シリーズの概要

MB91635A シリーズは、32 ビット RISC CPU を使用し、高性能 / 高速な CPU 処理を要求される組込み制御用に各種周辺機能を内蔵したマイクロコントローラです。

本シリーズは、FR80 ファミリ CPU をベースにシングルチップ化したシリーズです。

■ FR80 ファミリ CPU

- 32 ビット RISC, ロード / ストアアーキテクチャ, パイプライン 5 段
- 汎用レジスタ 32 ビット 16 本
- 16 ビット固定長命令 (基本命令), 1 命令 / 1 サイクル
- 組込み用途に適した命令
 - メモリ - メモリ間転送, ビット処理, バレルシフト等の命令
 - 高級言語対応命令
関数入口 / 出口命令, レジスタ内容のマルチロードストア命令
 - ビットサーチ命令
1 検出, 0 検出, 変化点検出
 - 遅延スロット付分岐命令
分岐処理時のオーバヘッドの低減
 - レジスタインターロック機能
アセンブラ記述の容易化
 - 乗算器の内蔵 / 命令レベルでのサポート
符号付 32 ビット乗算 - 5 サイクル
符号付 16 ビット乗算 - 3 サイクル
 - 割込み (PC, PS の退避)
最小 6 サイクルの高速応答, 16 レベルの優先順位
 - ハーバードアーキテクチャにより, プログラムアクセスとデータアクセスを同時に実行可能
 - CPU 内の 4 ワードの命令キューにより, 命令の先取り機能
- FR ファミリ CPU との基本命令互換
 - ビットサーチ命令追加
 - リソース命令, コプロセッサ命令はありません。

■ 最大動作周波数

CPU	60MHz
周辺	40MHz*
外部バス	40MHz*

*: CPU 60MHz 時の周辺 / 外部バスの最大動作周波数は 30MHz

< 注意事項 >

MB91635A シリーズの PLL クロック仕様について

MB91635A シリーズでは、MB91635 シリーズに比べ PLL クロック仕様に変更されています。PLL マクロ発振クロック分周設定値の 1 分周は設定禁止となりますので、PLL 設定レジスタ (PLLCR) の ODS0, ODS1 ビットにて、2 分周から 4 分周に設定して使用してください。詳細は「ハードウェアマニュアル」の「4.4.4 PLL 設定レジスタ (PLLCR)」を参照ください。

■ 外部バスインタフェース

- 動作周波数 最大 40MHz
- アドレス 24 本, 8/16 ビットデータ入出力 (スプリットバス / マルチプレックスバス)
- 領域設定可能な独立した 4 領域のチップセレクト出力が可能
領域ごとにプログラマブルなオートウェイトサイクル発生

■ DMA コントローラ (DMAC)

- チャンネル数 : 8 チャンネル
- アドレス空間 : 32 ビット (4G バイト)
- 転送モード : ブロック転送 / パースト転送 / デマンド転送
- アドレス更新 : 増加 / 減少 / 固定 (増減値は 1, 2, 4 固定)
- 転送サイズ : 8 ビット, 16 ビット, 32 ビット
- ブロックサイズ : 1 ~ 16
- 転送回数 : 1 ~ 65535 回
- 転送要求 :
 - ソフトウェアによる要求
 - 内蔵周辺機能の割込み要求 (割込み要求を共用, 外部割込み要求含む)
 - 外部端子による要求
- リロード機能 : 全チャンネルリロード指定可
- 優先順位 : 固定 (ch.0 > ch.1 > ch.2 > ch.3 > ...), もしくはラウンドロビン
- 割込み要求 : 正常終了割込み要求, 異常終了割込み要求, 転送中断割込み要求を発生可能

■ マルチファンクションシリアルインタフェース

- 16 バイト FIFO 付 4 チャンネル, FIFO なし 8 チャンネル
- チャンネルごとに, 使用方法を次の中から選択可能 (ch.0 は I²C なし)
 - UART
 - CSIO
 - I²C

[UART の特長]

- 全二重ダブルバッファ
- パリティあり / なし選択可能
- 専用ボーレートジェネレータを内蔵
- 外部クロックをシリアルクロックとして使用可能
- 豊富なエラー検出機能あり (パリティエラー, フレーミングエラー, オーバランエラー)

[CSIO の特長]

- 全二重ダブルバッファ
- 専用ボーレートジェネレータを内蔵
- オーバランエラー検出機能あり

[I²C の特長]

- 標準モード (最大 100kbps) / 高速モード (最大 400kbps) に対応
- 一部のチャンネルは 5V トレラント対応

■ 割込み

- 外部割込みは合計 32 本 (一部の端子は 5V トレラント対応)
- 内部周辺機能からの割込み
- 割込みレベルをプログラマブルに設定可能 (16 レベル)
- ストップモード, スリープモードからの復帰に使用可能

■ A/D コンバータ

- 31 チャンネル, 2 ユニット
- 10 ビット分解能
- 逐次比較変換型 変換時間: 約 1.2μs (PCLK=33MHz)
- 優先 A/D 変換可能 (2 レベル)
- 変換モード (単発変換モード, スキャン変換モード)
- 起動要因 (ソフトウェア / 外部トリガ / ベースタイマ)
- 変換データ格納用 FIFO を搭載 (スキャン変換用: 16 段, 優先変換用: 4 段)

■ D/A コンバータ

- チャンネル数：3 チャンネル内蔵
- 8 ビット分解能

■ ベースタイマ

- チャンネル数：16 チャンネル内蔵
- チャンネルごとに、使用方法を次の中から選択可能
 - 16/32 ビットリロードタイマ
 - 16 ビット PWM タイマ
 - 16/32 ビット PWC タイマ
 - 16 ビット PPG タイマ
- 2 チャンネルをカスケード接続して 32 ビットタイマとして使用可能
- 複数チャンネルの同時起動機能あり
- 入出力選択機能あり

■ 16 ビットリロードタイマ

- チャンネル数：3 チャンネル (REALOS 用 1 チャンネル含む)
- インターバルタイマ機能
- カウント用クロック選択機能 (周辺クロック (PCLK) の 2 分周 ~ 64 分周)

■ コンペアタイマ

- 32 ビットインプットキャプチャ：8 チャンネル内蔵
- 32 ビットアウトプットコンペア：8 チャンネル内蔵
- 32 ビットフリーランタイマ：2 チャンネル内蔵

■ その他のインターバルタイマ

- アップダウンカウンタ：4 チャンネル内蔵
- 時計カウンタ：1 チャンネル内蔵
- ウォッチドッグタイマ：1 チャンネル内蔵

■ メインタイマ

- チャンネル数：1 チャンネル
- メインクロック (MCLK) の発振安定待ち時間をカウント
- PLL クロック (PLLCLK) の発振安定待ち時間をカウント
- メインクロック (MCLK) の発振が安定状態のときは、インターバルタイマとしても使用可能

■ サブタイマ

- チャンネル数：1 チャンネル
- サブクロック (SBCLK) の発振安定待ち時間をカウント
- サブクロック (SBCLK) の発振が安定状態のときは、インターバルタイマとしても使用可能

■ クロック生成

- メインクロック (MCLK) 発振
- サブクロック (SBCLK) 発振
- PLL クロック (PLLCLK) 発振

■ 低消費電力モード

- ストップモード
- 時計モード
- スリープモード
- ドーズモード
- クロック分周機能

■ その他の特長

- I/O ポート
- リセット端子として $\overline{\text{INIT}}$ 端子を用意
- ウォッチドッグタイマリセット、ソフトウェアリセットあり
- 遅延割込み
- 電源
 - 単一電源 (2.7V ~ 3.6V)

1.2 MB91635A シリーズの品種構成

MB91635A シリーズの品種について説明します。

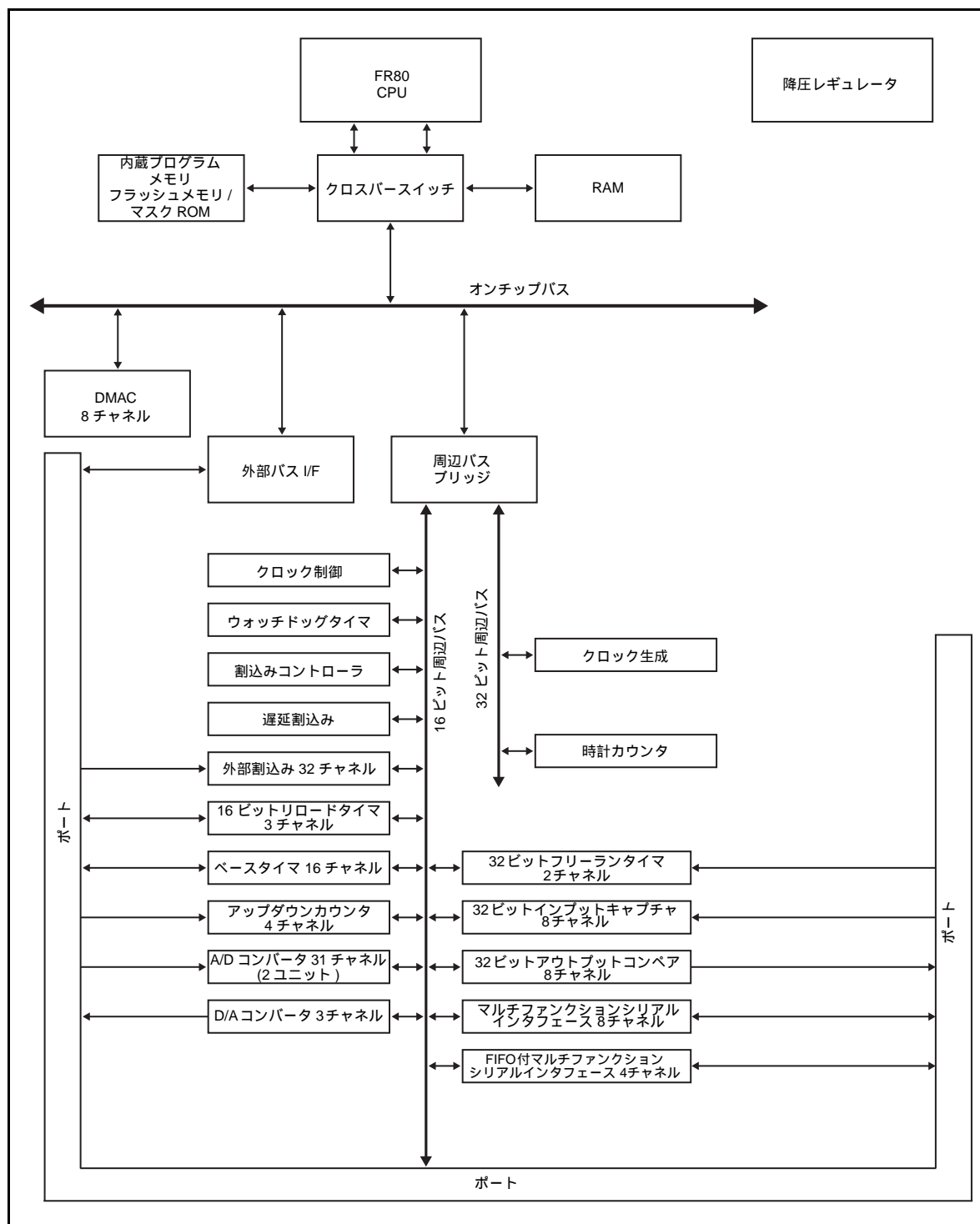
表 1.2-1 MB91635A シリーズの品種構成

項目 \ 品名	シリーズ共通 EVA	MB91635A シリーズ			
	MB91V650	MB91F639A	MB91F637A	MB91F635A	MB91637A
分類	評価品	フラッシュメモリ品	フラッシュメモリ品	フラッシュメモリ品	マスク ROM 品
内蔵プログラムメモリ容量	- (エミュレーションメモリで対応)	1M バイト (フラッシュ)	512K バイト (フラッシュ)	256K バイト (フラッシュ)	512K バイト (ROM)
内蔵 RAM 容量	128K バイト	64K バイト	48K バイト	32K バイト	48K バイト
外部バスインタフェース	あり				
DMA コントローラ (DMAC)	8 チャンネル				
ベースタイマ	16 チャンネル				
マルチファンクションシリアルインタフェース	FIFO なし : 8 チャンネル (ch.0 ~ ch.7) FIFO 付 : 4 チャンネル (ch.8 ~ ch.11)				
外部割込み	32 本 (一部の端子は 5V トレラント対応)				
10 ビット A/D コンバータ	32 チャンネル, 2 ユニット	31 チャンネル, 2 ユニット			
8 ビット D/A コンバータ	3 チャンネル				
16 ビットリロードタイマ	3 チャンネル				
32 ビット インプットキャプチャ	8 チャンネル				
32 ビット アウトプットコンペア	8 チャンネル				
32 ビット フリーランタイマ	2 チャンネル				
アップダウンカウンタ	4 チャンネル				
時計カウンタ	1 チャンネル				
I/O ポート	154 本	126 本			
メインタイマ	1 チャンネル				
サブタイマ	1 チャンネル				
ワイルドレジスタ	16 チャンネル				
デバッグ機能	DSU4	-			
パッケージ	-	種類 : LQFP-144 パッケージコード : FPT-144P-M08 端子ピッチ : 0.50mm ピッチ サイズ : 20.0mm × 20.0mm			
		種類 : PFBGA-144 パッケージコード : BGA-144P-M06 端子ピッチ : 0.80mm ピッチ サイズ : 12.00mm × 12.00mm			

1.3 MB91635A シリーズのブロックダイアグラム

MB91635A シリーズのブロックダイアグラムを図 1.3-1 に示します。

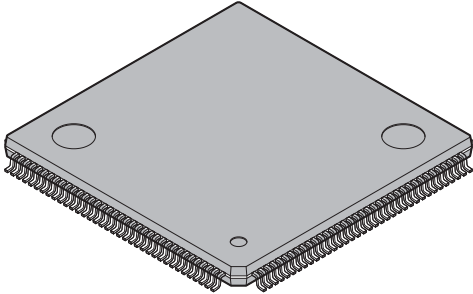
図 1.3-1 MB91635A シリーズのブロックダイアグラム

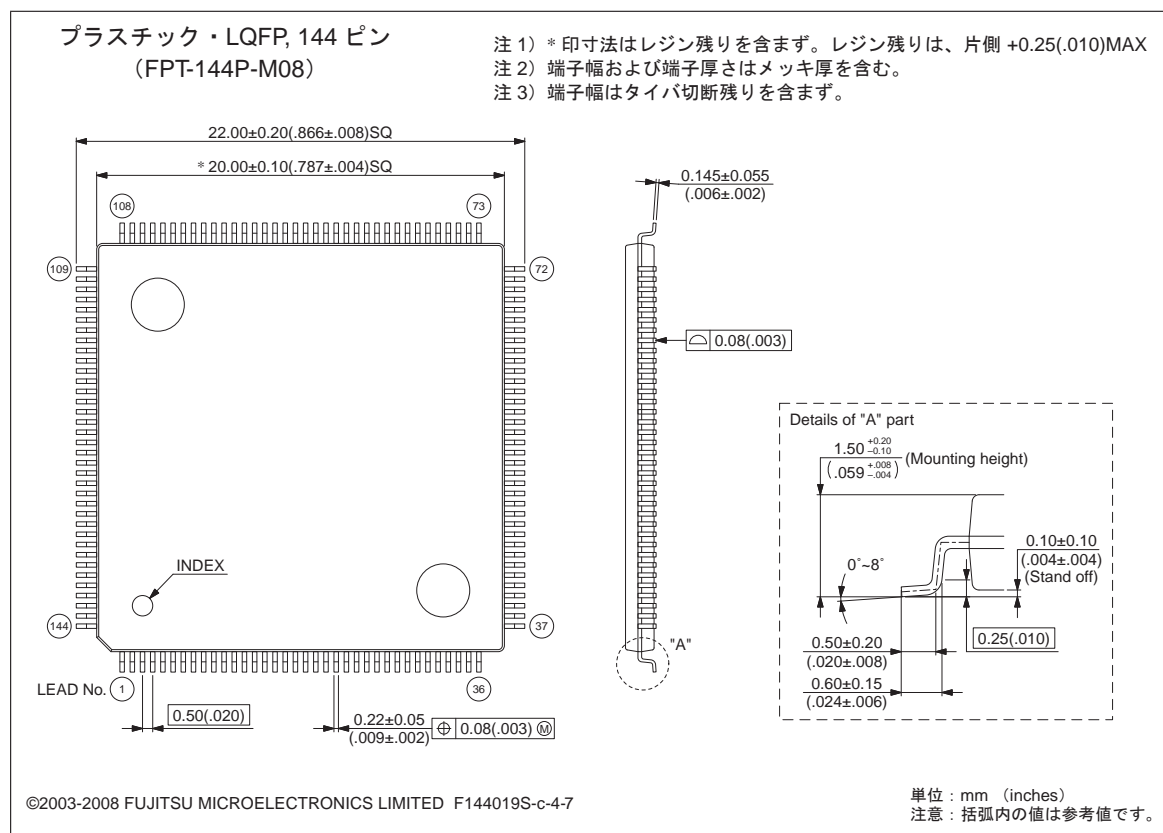


1.4 外形寸法図

MB91635A シリーズで使用する各パッケージの外形寸法図を示します。


図 1.4-1 外形寸法図 (FPT-144P-M08)

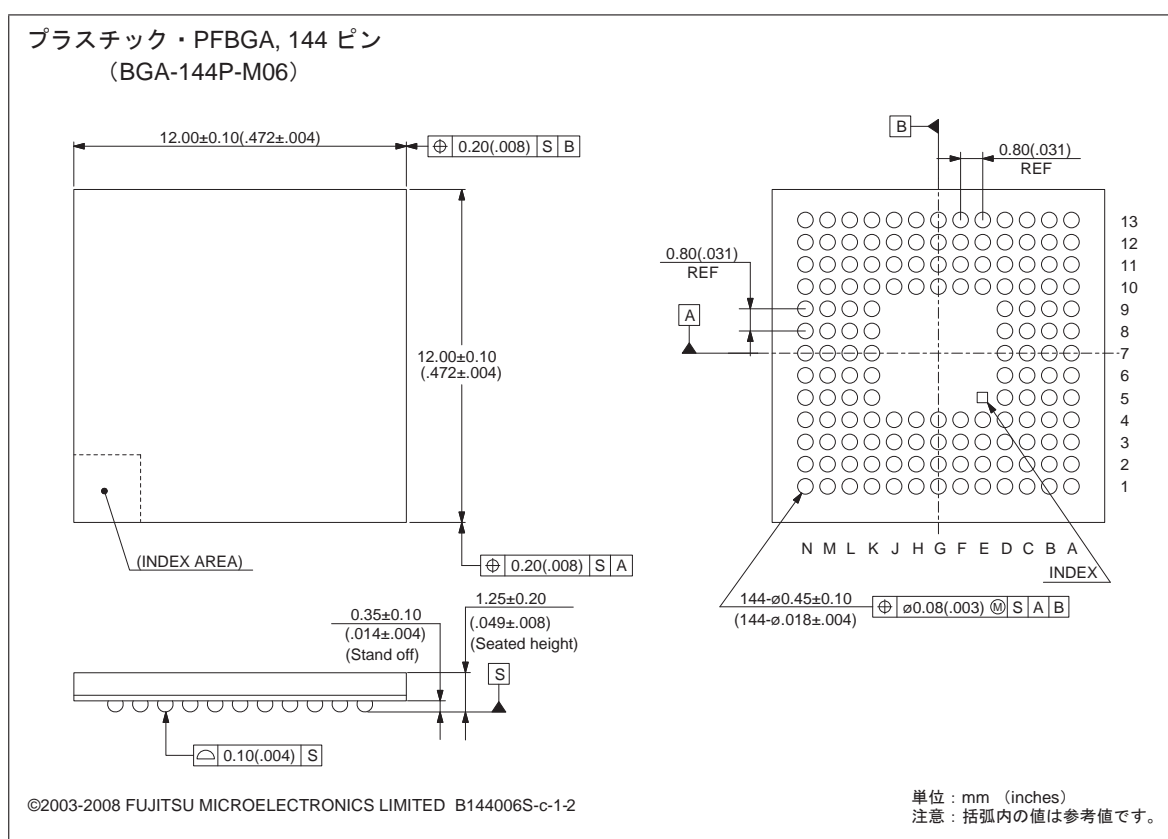
<p>プラスチック・LQFP, 144 ピン</p>  <p>(FPT-144P-M08)</p>	リードピッチ	0.50mm
	パッケージ幅× パッケージ長さ	20.0 × 20.0mm
	リード形状	ガルウィング
	封止方法	プラスチックモールド
	取付け高さ	1.70mm MAX
	質量	1.20g
	コード (参考)	P-LFQFP144-20×20-0.50



最新の外形寸法図については、下記の URL にてご確認ください。

<http://edevic.fujitsu.com/package/jp-search/>

<p>プラスチック・PFBGA, 144 ピン</p>	リードピッチ	0.80mm
	パッケージ幅× パッケージ長さ	12.00 × 12.00mm
	リード形状	半田ボール
	封止方法	プラスチックモールド
	ボールサイズ	Ø0.45mm
(BGA-144P-M06)	取付け高さ	1.45mm Max.
	質量	約 0.32g



<http://edevicе.fujitsu.com/package/jp-search/>

第 2 章 MB91635A シリーズの端子

MB91635A シリーズの端子と、兼用端子の設定について説明します。

- 2.1 端子配列図
- 2.2 端子機能一覧
- 2.3 入出力回路形式
- 2.4 端子の設定方法

2.1 端子配列図

■ LQFP-144

図 2.1-1 LQFP-144 の端子配列図

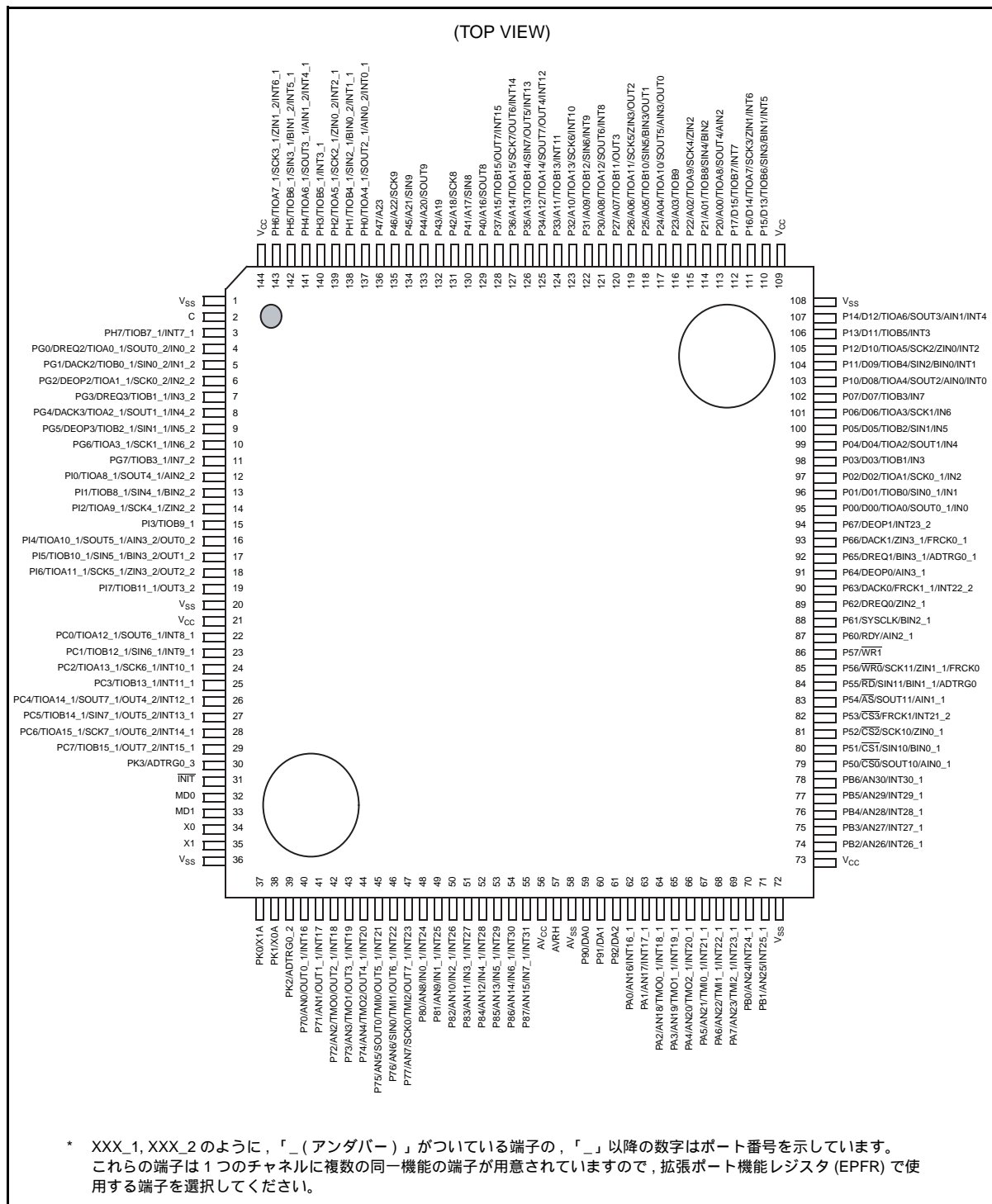
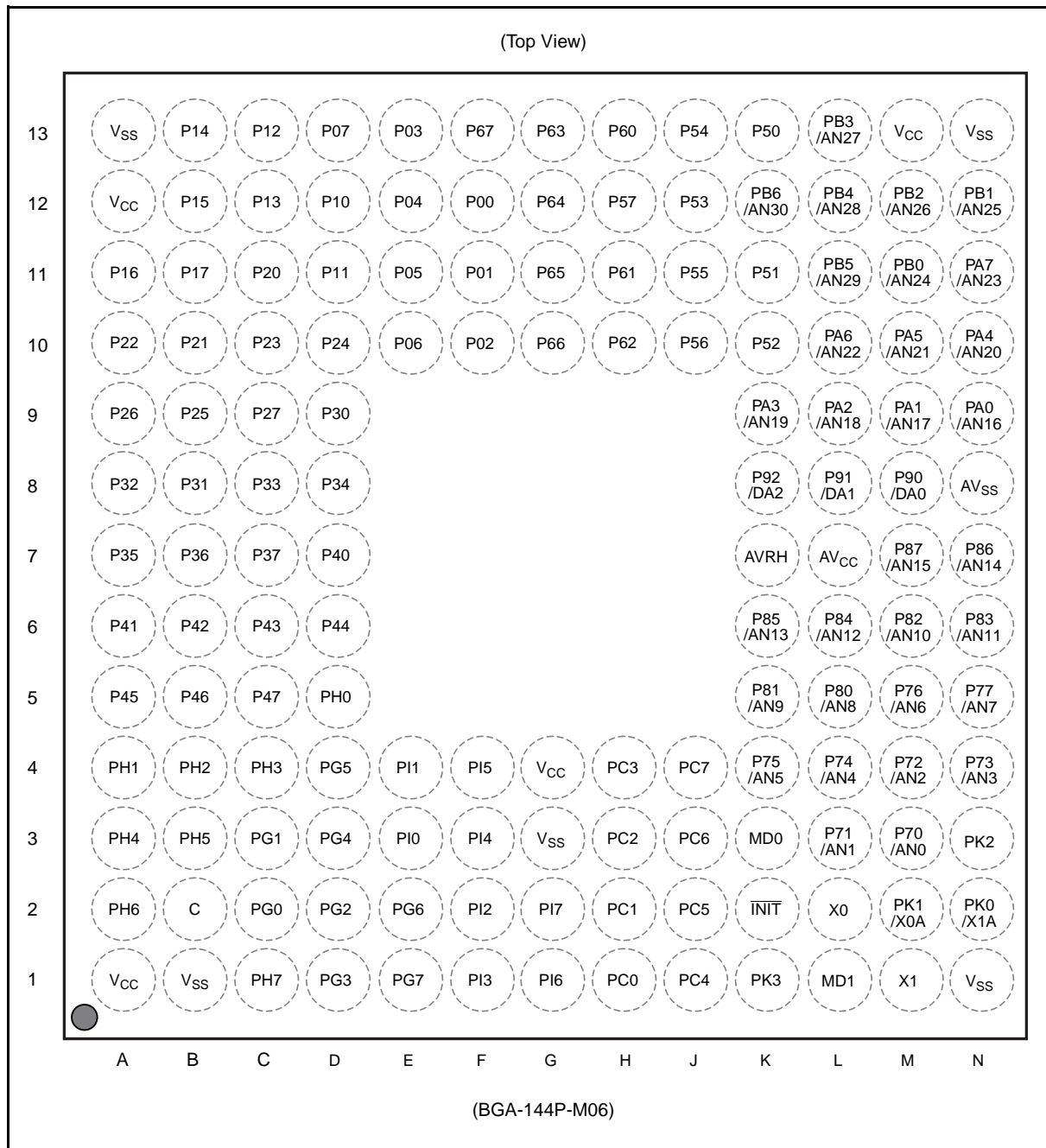


図 2.1-2 PFBGA-144 の端子配列図



< 注意事項 >

PFBGA-144 の端子配列図は、スペースの関係上、ポートなど代表的な端子名のみを記載しています。端子名については、「2.2 端子機能一覧」を参照してください。

2.2 端子機能一覧

表 2.2-1 に、MB91635A シリーズの端子の機能一覧を示します。

XXX_1, XXX_2 のように、「_ (アンダバー)」がついている端子の、「_」以降の数字はポート番号を示しています。ポート番号については、「2.4 端子の設定方法」を参照してください。

■ 端子機能一覧表

表 2.2-1 端子機能一覧 (1 / 27)

端子番号		端子名	入出力 回路 形式	機能	CMOS	CMOS
LQFP- 144	PFBGA- 144				レベル 入力	レベル ヒステ リシス 入力
1	B1	V _{SS}	-	GND 端子です。	-	-
2	B2	C	-	電源安定化容量端子です。	-	-
3	C1	PH7	D*	汎用入出力ポートです。	-	
		TIOB7_1		ベースタイマ ch.7 の TIOB 端子 (1 番ポート) です。	-	
		INT7_1		外部割込み要求7の入力端子 (1 番ポート) です。	-	
4	C2	PG0	D*	汎用入出力ポートです。	-	
		DREQ2		DMA コントローラ (DMAC) ch.2 の転送要求入力端子です。	-	
		TIOA0_1		ベースタイマ ch.0 の TIOA 端子 (1 番ポート) です。	-	-
		SOUT0_2		マルチファンクションシリアルインタフェース ch.0 の出力端子 (2 番ポート) です。 UART/CSIO (動作モード 0 ~ 2) として使用時は、SOUT0_2 として機能します。	-	-
		IN0_2		32 ビットインプットキャプチャ ch.0 の入力端子 (2 番ポート) です。	-	
5	C3	PG1	D*	汎用入出力ポートです。	-	
		DACK2		DMA コントローラ (DMAC) ch.2 の転送要求受付信号出力端子です。	-	-
		TIOB0_1		ベースタイマ ch.0 の TIOB 端子 (1 番ポート) です。	-	
		SIN0_2		マルチファンクションシリアルインタフェース ch.0 の入力端子 (2 番ポート) です。	-	
		IN1_2		32 ビットインプットキャプチャ ch.1 の入力端子 (2 番ポート) です。	-	

* : 5V トレラント端子

表 2.2-1 端子機能一覧 (2 / 27)

端子番号		端子名	入出力回路形式	機能	CMOS レベル 入力	CMOS レベル ヒステリシス 入力
LQFP- 144	PFBGA- 144					
6	D2	PG2	D*	汎用入出力ポートです。	-	
		DEOP2		DMA コントローラ (DMAC) ch.2 の最終転送信号出力端子です。	-	-
		TIOA1_1		ベースタイム ch.1 の TIOA 端子 (1 番ポート) です。	-	
		SCK0_2		マルチファンクションシリアルインタフェース ch.0 のクロック入出力端子 (2 番ポート) です。 UART/CSIO (動作モード 0 ~ 2) として使用時は, SCK0_2 として機能します。	-	
		IN2_2		32 ビットインプットキャプチャ ch.2 の入力端子 (2 番ポート) です。	-	
7	D1	PG3	D*	汎用入出力ポートです。	-	
		DREQ3		DMA コントローラ (DMAC) ch.3 の転送要求入力端子です。	-	
		TIOB1_1		ベースタイム ch.1 の TIOB 端子 (1 番ポート) です。	-	
		IN3_2		32 ビットインプットキャプチャ ch.3 の入力端子 (2 番ポート) です。	-	
8	D3	PG4	D*	汎用入出力ポートです。	-	
		DACK3		DMA コントローラ (DMAC) ch.3 の転送要求受付信号出力端子です。	-	-
		TIOA2_1		ベースタイム ch.2 の TIOA 端子 (1 番ポート) です。	-	-
		SOUT1_1 (SDA1_1)		マルチファンクションシリアルインタフェース ch.1 の出力端子 (1 番ポート) です。 UART/CSIO (動作モード 0 ~ 2) として使用時は, SOUT1_1 として, I ² C (動作モード 4) として使用時は, SDA1_1 として機能します。	-	
		IN4_2		32 ビットインプットキャプチャ ch.4 の入力端子 (2 番ポート) です。	-	
9	D4	PG5	D*	汎用入出力ポートです。	-	
		DEOP3		DMA コントローラ (DMAC) ch.3 の最終転送信号出力端子です。	-	-
		TIOB2_1		ベースタイム ch.2 の TIOB 端子 (1 番ポート) です。	-	
		SIN1_1		マルチファンクションシリアルインタフェース ch.1 の入力端子 (1 番ポート) です。	-	
		IN5_2		32 ビットインプットキャプチャ ch.5 の入力端子 (2 番ポート) です。	-	

* : 5V トレラント端子

表 2.2-1 端子機能一覧 (3 / 27)

端子番号		端子名	入出力回路形式	機能	CMOS	CMOS
LQFP-144	PFBGA-144				レベル入力	レベルヒステリシス入力
10	E2	PG6	D*	汎用入出力ポートです。	-	
		TIOA3_1		ベースタイマ ch.3 の TIOA 端子 (1 番ポート) です。	-	
		SCK1_1 (SCL1_1)		マルチファンクションシリアルインタフェース ch.1 のクロック入出力端子 (1 番ポート) です。 UART/CSIO (動作モード 0 ~ 2) として使用時は, SCK1_1 として, I ² C (動作モード 4) として使用時は, SCL1_1 として機能します。	-	
		IN6_2		32 ビットインプットキャプチャ ch.6 の入力端子 (2 番ポート) です。	-	
11	E1	PG7	D*	汎用入出力ポートです。	-	
		TIOB3_1		ベースタイマ ch.3 の TIOB 端子 (1 番ポート) です。	-	
		IN7_2		32 ビットインプットキャプチャ ch.7 の入力端子 (2 番ポート) です。	-	
12	E3	PI0	D*	汎用入出力ポートです。	-	
		TIOA8_1		ベースタイマ ch.8 の TIOA 端子 (1 番ポート) です。	-	-
		SOUT4_1 (SDA4_1)		マルチファンクションシリアルインタフェース ch.4 の出力端子 (1 番ポート) です。 UART/CSIO (動作モード 0 ~ 2) として使用時は, SOUT4_1 として, I ² C (動作モード 4) として使用時は, SDA4_1 として機能します。	-	
		AIN2_2		アップダウンカウンタの ch.2 の AIN 入力端子 (2 番ポート) です。	-	
13	E4	PI1	D*	汎用入出力ポートです。	-	
		TIOB8_1		ベースタイマ ch.8 の TIOB 端子 (1 番ポート) です。	-	
		SIN4_1		マルチファンクションシリアルインタフェース ch.4 の入力端子 (1 番ポート) です。	-	
		BIN2_2		アップダウンカウンタの ch.2 の BIN 入力端子 (2 番ポート) です。	-	

* : 5V トレラント端子

表 2.2-1 端子機能一覧 (4 / 27)

端子番号		端子名	入出力回路形式	機能	CMOS	CMOS
LQFP-144	PFBGA-144				レベル入力	レベルヒステリシス入力
14	F2	PI2	D*	汎用入出力ポートです。	-	
		TIOA9_1		ベースタイマ ch.9 の TIOA 端子 (1 番ポート) です。	-	
		SCK4_1 (SCL4_1)		マルチファンクションシリアルインタフェース ch.4 のクロック入出力端子 (1 番ポート) です。 UART/CSIO (動作モード 0 ~ 2) として使用時は, SCK4_1 として, I ² C (動作モード 4) として使用時は, SCL4_1 として機能します。	-	
		ZIN2_2		アップダウンカウンタ ch.2 の ZIN 入力端子 (2 番ポート) です。	-	
15	F1	PI3	D*	汎用入出力ポートです。	-	
		TIOB9_1		ベースタイマ ch.9 の TIOB 端子 (1 番ポート) です。	-	
16	F3	PI4	D*	汎用入出力ポートです。	-	
		TIOA10_1		ベースタイマ ch.10 の TIOA 端子 (1 番ポート) です。	-	-
		SOUT5_1 (SDA5_1)		マルチファンクションシリアルインタフェース ch.5 の出力端子 (1 番ポート) です。 UART/CSIO (動作モード 0 ~ 2) として使用時は, SOUT5_1 として, I ² C (動作モード 4) として使用時は, SDA5_1 として機能します。	-	
		AIN3_2		アップダウンカウンタの ch.3 の AIN 入力端子 (2 番ポート) です。	-	
		OUT0_2		32 ビットアウトプットコンペア ch.0 の出力端子 (2 番ポート) です。	-	-
17	F4	PI5	D*	汎用入出力ポートです。	-	
		TIOB10_1		ベースタイマ ch.10 の TIOB 端子 (1 番ポート) です。	-	
		SIN5_1		マルチファンクションシリアルインタフェース ch.5 の入力端子 (1 番ポート) です。	-	
		BIN3_2		アップダウンカウンタの ch.3 の BIN 入力端子 (2 番ポート) です。	-	
		OUT1_2		32 ビットアウトプットコンペア ch.1 の出力端子 (2 番ポート) です。	-	-

*: 5V トレラント端子

表 2.2-1 端子機能一覧 (5 / 27)

端子番号		端子名	入出力回路形式	機能	CMOS レベル 入力	CMOS レベル ヒステリシス 入力
LQFP- 144	PFBGA- 144					
18	G1	PI6	D*	汎用入出力ポートです。	-	
		TIOA11_1		ベースタイマ ch.11 の TIOA 端子 (1 番ポート) です。	-	
		SCK5_1 (SCL5_1)		マルチファンクションシリアルインタフェース ch.5 のクロック入出力端子 (1 番ポート) です。 UART/CSIO (動作モード 0 ~ 2) として使用時は, SCK5_1 として, I ² C (動作モード 4) として使用時は, SCL5_1 として機能します。	-	
		ZIN3_2		アップダウンカウンタ ch.3 の ZIN 入力端子 (2 番ポート) です。	-	
		OUT2_2		32 ビットアウトプットコンペア ch.2 の出力端子 (2 番ポート) です。	-	-
19	G2	PI7	D*	汎用入出力ポートです。	-	
		TIOB11_1		ベースタイマ ch.11 の TIOB 端子 (1 番ポート) です。	-	
		OUT3_2		32 ビットアウトプットコンペア ch.3 の出力端子 (2 番ポート) です。	-	-
20	G3	V _{SS}	-	GND 端子です。	-	-
21	G4	V _{CC}	-	電源端子です。	-	-
22	H1	PC0	C	汎用入出力ポートです。	-	
		TIOA12_1		ベースタイマ ch.12 の TIOA 端子 (1 番ポート) です。	-	-
		SOUT6_1 (SDA6_1)		マルチファンクションシリアルインタフェース ch.6 の出力端子 (1 番ポート) です。 UART/CSIO (動作モード 0 ~ 2) として使用時は, SOUT6_1 として, I ² C (動作モード 4) として使用時は, SDA6_1 として機能します。	-	
		INT8_1		外部割込み要求8の入力端子 (1 番ポート) です。	-	
23	H2	PC1	C	汎用入出力ポートです。	-	
		TIOB12_1		ベースタイマ ch.12 の TIOB 端子 (1 番ポート) です。	-	
		SIN6_1		マルチファンクションシリアルインタフェース ch.6 の入力端子 (1 番ポート) です。	-	
		INT9_1		外部割込み要求9の入力端子 (1 番ポート) です。	-	

* : 5V トレラント端子

表 2.2-1 端子機能一覧 (6 / 27)

端子番号		端子名	入出力回路形式	機能	CMOS	CMOS
LQFP-144	PFBGA-144				レベル入力	レベルヒステリシス入力
24	H3	PC2	C	汎用入出力ポートです。	-	
		TIOA13_1		ベースタイマ ch.13 の TIOA 端子 (1 番ポート) です。	-	
		SCK6_1 (SCL6_1)		マルチファンクションシリアルインタフェース ch.6 のクロック入出力端子 (1 番ポート) です。 UART/CSIO (動作モード 0 ~ 2) として使用時は, SCK6_1 として, I ² C (動作モード 4) として使用時は, SCL6_1 として機能します。	-	
		INT10_1		外部割込み要求 10 の入力端子 (1 番ポート) です。	-	
25	H4	PC3	C	汎用入出力ポートです。	-	
		TIOB13_1		ベースタイマ ch.13 の TIOB 端子 (1 番ポート) です。	-	
		INT11_1		外部割込み要求 11 の入力端子 (1 番ポート) です。	-	
26	J1	PC4	C	汎用入出力ポートです。	-	
		TIOA14_1		ベースタイマ ch.14 の TIOA 端子 (1 番ポート) です。	-	-
		SOUT7_1 (SDA7_1)		マルチファンクションシリアルインタフェース ch.7 の出力端子 (1 番ポート) です。 UART/CSIO (動作モード 0 ~ 2) として使用時は, SOUT7_1 として, I ² C (動作モード 4) として使用時は, SDA7_1 として機能します。	-	
		OUT4_2		32 ビットアウトプットコンペア ch.4 の出力端子 (2 番ポート) です。	-	-
		INT12_1		外部割込み要求 12 の入力端子 (1 番ポート) です。	-	
27	J2	PC5	C	汎用入出力ポートです。	-	
		TIOB14_1		ベースタイマ ch.14 の TIOB 端子 (1 番ポート) です。	-	
		SIN7_1		マルチファンクションシリアルインタフェース ch.7 の入力端子 (1 番ポート) です。	-	
		OUT5_2		32 ビットアウトプットコンペア ch.5 の出力端子 (2 番ポート) です。	-	-
		INT13_1		外部割込み要求 13 の入力端子 (1 番ポート) です。	-	

表 2.2-1 端子機能一覧 (7 / 27)

端子番号		端子名	入出力回路形式	機能	CMOS レベル 入力	CMOS レベル ヒステリシス 入力
LQFP-144	PFBGA-144					
28	J3	PC6	C	汎用入出力ポートです。	-	
		TIOA15_1		ベースタイマ ch.15 の TIOA 端子 (1 番ポート) です。	-	
		SCK7_1 (SCL7_1)		マルチファンクションシリアルインタフェース ch.7 のクロック入出力端子 (1 番ポート) です。 UART/CSIO (動作モード 0 ~ 2) として使用時は, SCK7_1 として, I ² C (動作モード 4) として使用時は, SCL7_1 として機能します。	-	
		OUT6_2		32 ビットアウトプットコンペア ch.6 の出力端子 (2 番ポート) です。	-	-
		INT14_1		外部割込み要求 14 の入力端子 (1 番ポート) です。	-	
29	J4	PC7	C	汎用入出力ポートです。	-	
		TIOB15_1		ベースタイマ ch.15 の TIOB 端子 (1 番ポート) です。	-	
		OUT7_2		32 ビットアウトプットコンペア ch.7 の出力端子 (2 番ポート) です。	-	-
		INT15_1		外部割込み要求 15 の入力端子 (1 番ポート) です。	-	
30	K1	PK3	C	汎用入出力ポートです。	-	
		ADTRG0_3		10 ビット A/D コンバータの外部トリガ入力端子 (3 番ポート) です。	-	
31	K2	INIT	H, P	外部リセット入力端子です。INIT=L でリセットが有効になります。 フラッシュメモリ品の入出力回路形式は P です。	-	
32	K3	MD0	H, P	モード 0 端子です。 フラッシュメモリ品の入出力回路形式は P です。 通常は, MD0=L を入力してください。フラッシュメモリのシリアル書込み時は, MD0=H を入力してください。	-	
33	L1	MD1	H, P	モード 1 端子です。常に "L" レベルを入力してください。 フラッシュメモリ品の入出力回路形式は P です。	-	
34	L2	X0	A	メインクロック (発振) 入力端子です。	-	
35	M1	X1	A	メインクロック (発振) 入出力端子です。	-	-
36	N1	V _{SS}	-	GND 端子です。	-	-
37	N2	PK0	I	汎用入出力ポートです。	-	
		X1A		サブクロック (発振) 入出力端子です。	-	-

表 2.2-1 端子機能一覧 (8 / 27)

端子番号		端子名	入出力回路形式	機能	CMOS レベル 入力	CMOS レベル ヒステリシス 入力
LQFP-144	PFBGA-144					
38	M2	PK1	I	汎用入出力ポートです。	-	
		X0A		サブクロック (発振) 入力端子です。	-	
39	N3	PK2	C	汎用入出力ポートです。	-	
		ADTRG0_2		10 ビット A/D コンバータの外部トリガ入力端子 (2 番ポート) です。	-	
40	M3	P70	E	汎用入出力ポートです。	-	
		AN0		10 ビット A/D コンバータ ch.0 のアナログ入力端子です。	-	-
		OUT0_1		32 ビットアウトプットコンペア ch.0 の出力端子 (1 番ポート) です。	-	-
		INT16		外部割込み要求 16 の入力端子です。	-	
41	L3	P71	E	汎用入出力ポートです。	-	
		AN1		10 ビット A/D コンバータ ch.1 のアナログ入力端子です。	-	-
		OUT1_1		32 ビットアウトプットコンペア ch.1 の出力端子 (1 番ポート) です。	-	-
		INT17		外部割込み要求 17 の入力端子です。	-	
42	M4	P72	E	汎用入出力ポートです。	-	
		AN2		10 ビット A/D コンバータ ch.2 のアナログ入力端子です。	-	-
		TMO0		16 ビットリロードタイマ ch.0 の出力端子です。	-	-
		OUT2_1		32 ビットアウトプットコンペア ch.2 の出力端子 (1 番ポート) です。	-	-
		INT18		外部割込み要求 18 の入力端子です。	-	
43	N4	P73	E	汎用入出力ポートです。	-	
		AN3		10 ビット A/D コンバータ ch.3 のアナログ入力端子です。	-	-
		TMO1		16 ビットリロードタイマ ch.1 の出力端子です。	-	-
		OUT3_1		32 ビットアウトプットコンペア ch.3 の出力端子 (1 番ポート) です。	-	-
		INT19		外部割込み要求 19 の入力端子です。	-	
44	L4	P74	E	汎用入出力ポートです。	-	
		AN4		10 ビット A/D コンバータ ch.4 のアナログ入力端子です。	-	-
		TMO2		16 ビットリロードタイマ ch.2 の出力端子です。	-	-
		OUT4_1		32 ビットアウトプットコンペア ch.4 の出力端子 (1 番ポート) です。	-	-
		INT20		外部割込み要求 20 の入力端子です。	-	

表 2.2-1 端子機能一覧 (9 / 27)

端子番号		端子名	入出力 回路 形式	機能	CMOS	CMOS
LQFP- 144	PFBGA- 144				レベル 入力	レベル ヒステ リシス 入力
45	K4	P75	E	汎用入出力ポートです。	-	
		AN5		10 ビット A/D コンバータ ch.5 のアナログ入力端子です。	-	-
		SOUT0		マルチファンクションシリアルインタフェース ch.0 の出力端子です。 UART/CSIO (動作モード 0 ~ 2) として使用時は, SOUT0 として機能します。	-	-
		TMI0		16 ビットリロードタイマ ch.0 の入力端子です。	-	
		OUT5_1		32 ビットアウトプットコンペア ch.5 の出力端子 (1 番ポート) です。	-	-
		INT21		外部割込み要求 21 の入力端子です。	-	
46	M5	P76	E	汎用入出力ポートです。	-	
		AN6		10 ビット A/D コンバータ ch.6 のアナログ入力端子です。	-	-
		SIN0		マルチファンクションシリアルインタフェース ch.0 の入力端子です。	-	
		TMI1		16 ビットリロードタイマ ch.1 の入力端子です。	-	
		OUT6_1		32 ビットアウトプットコンペア ch.6 の出力端子 (1 番ポート) です。	-	-
		INT22		外部割込み要求 22 の入力端子です。	-	
47	N5	P77	E	汎用入出力ポートです。	-	
		AN7		10 ビット A/D コンバータ ch.7 のアナログ入力端子です。	-	-
		SCK0		マルチファンクションシリアルインタフェース ch.0 のクロック入出力端子です。 UART/CSIO (動作モード 0 ~ 2) として使用時は, SCK0 として機能します。	-	
		TMI2		16 ビットリロードタイマ ch.2 の入力端子です。	-	
		OUT7_1		32 ビットアウトプットコンペア ch.7 の出力端子 (1 番ポート) です。	-	-
		INT23		外部割込み要求 23 の入力端子です。	-	
48	L5	P80	E	汎用入出力ポートです。	-	
		AN8		10 ビット A/D コンバータ ch.8 のアナログ入力端子です。	-	-
		IN0_1		32 ビットインプットキャプチャ ch.0 の入力端子 (1 番ポート) です。	-	
		INT24		外部割込み要求 24 の入力端子です。	-	

表 2.2-1 端子機能一覧 (10 / 27)

端子番号		端子名	入出力 回路 形式	機能	CMOS	CMOS
LQFP- 144	PFBGA- 144				レベル 入力	レベル ヒステ リシス 入力
49	K5	P81	E	汎用入出力ポートです。	-	
		AN9		10 ビット A/D コンバータ ch.9 のアナログ入力端子です。	-	-
		IN1_1		32 ビットインプットキャプチャ ch.1 の入力端子 (1 番ポート) です。	-	
		INT25		外部割込み要求 25 の入力端子です。	-	
50	M6	P82	E	汎用入出力ポートです。	-	
		AN10		10 ビット A/D コンバータ ch.10 のアナログ入力端子です。	-	-
		IN2_1		32 ビットインプットキャプチャ ch.2 の入力端子 (1 番ポート) です。	-	
		INT26		外部割込み要求 26 の入力端子です。	-	
51	N6	P83	E	汎用入出力ポートです。	-	
		AN11		10 ビット A/D コンバータ ch.11 のアナログ入力端子です。	-	-
		IN3_1		32 ビットインプットキャプチャ ch.3 の入力端子 (1 番ポート) です。	-	
		INT27		外部割込み要求 27 の入力端子です。	-	
52	L6	P84	E	汎用入出力ポートです。	-	
		AN12		10 ビット A/D コンバータ ch.12 のアナログ入力端子です。	-	-
		IN4_1		32 ビットインプットキャプチャ ch.4 の入力端子 (1 番ポート) です。	-	
		INT28		外部割込み要求 28 の入力端子です。	-	
53	K6	P85	E	汎用入出力ポートです。	-	
		AN13		10 ビット A/D コンバータ ch.13 のアナログ入力端子です。	-	-
		IN5_1		32 ビットインプットキャプチャ ch.5 の入力端子 (1 番ポート) です。	-	
		INT29		外部割込み要求 29 の入力端子です。	-	
54	N7	P86	E	汎用入出力ポートです。	-	
		AN14		10 ビット A/D コンバータ ch.14 のアナログ入力端子です。	-	-
		IN6_1		32 ビットインプットキャプチャ ch.6 の入力端子 (1 番ポート) です。	-	
		INT30		外部割込み要求 30 の入力端子です。	-	

表 2.2-1 端子機能一覧 (11 / 27)

端子番号		端子名	入出力 回路 形式	機能	CMOS レベル 入力	CMOS レベル ヒステ リシス 入力
LQFP- 144	PFBGA- 144					
55	M7	P87	E	汎用入出力ポートです。	-	
		AN15		10 ビット A/D コンバータ ch.15 のアナログ入 力端子です。	-	-
		IN7_1		32 ビットインプットキャプチャ ch.7 の入力端 子 (1 番ポート) です。	-	
		INT31		外部割込み要求 31 の入力端子です。	-	
56	L7	AV _{CC}	-	10 ビット A/D コンバータ , 8 ビット D/A コン バータのアナログ電源端子です。	-	-
57	K7	AVRH	-	10 ビット A/D コンバータのアナログ基準電圧 入力端子です。	-	-
58	N8	AV _{SS}	-	10 ビット A/D コンバータ , 8 ビット D/A コン バータの GND 端子です。	-	-
59	M8	P90	F	汎用入出力ポートです。	-	
		DA0		8 ビット D/A コンバータの ch.0 のアナログ出 力端子です。	-	-
60	L8	P91	F	汎用入出力ポートです。	-	
		DA1		8 ビット D/A コンバータの ch.1 のアナログ出 力端子です。	-	-
61	K8	P92	F	汎用入出力ポートです。	-	
		DA2		8 ビット D/A コンバータの ch.2 のアナログ出 力端子です。	-	-
62	N9	PA0	E	汎用入出力ポートです。	-	
		AN16		10 ビット A/D コンバータ ch.16 のアナログ入 力端子です。	-	-
		INT16_1		外部割込み要求 16 の入力端子 (1 番ポート) で す。	-	
63	M9	PA1	E	汎用入出力ポートです。	-	
		AN17		10 ビット A/D コンバータ ch.17 のアナログ入 力端子です。	-	-
		INT17_1		外部割込み要求 17 の入力端子 (1 番ポート) で す。	-	
64	L9	PA2	E	汎用入出力ポートです。	-	
		AN18		10 ビット A/D コンバータ ch.18 のアナログ入 力端子です。	-	-
		TMO0_1		16 ビットリロードタイマ ch.0 の出力端子 (1 番 ポート) です。	-	-
		INT18_1		外部割込み要求 18 の入力端子 (1 番ポート) で す。	-	

表 2.2-1 端子機能一覧 (12 / 27)

端子番号		端子名	入出力回路形式	機能	CMOS レベル 入力	CMOS レベル ヒステリシス 入力
LQFP-144	PFBGA-144					
65	K9	PA3	E	汎用入出力ポートです。	-	
		AN19		10 ビット A/D コンバータ ch.19 のアナログ入力端子です。	-	-
		TMO1_1		16 ビットリロードタイマ ch.1 の出力端子 (1 番ポート) です。	-	-
		INT19_1		外部割込み要求 19 の入力端子 (1 番ポート) です。	-	
66	N10	PA4	E	汎用入出力ポートです。	-	
		AN20		10 ビット A/D コンバータ ch.20 のアナログ入力端子です。	-	-
		TMO2_1		16 ビットリロードタイマ ch.2 の出力端子 (1 番ポート) です。	-	-
		INT20_1		外部割込み要求 20 の入力端子 (1 番ポート) です。	-	
67	M10	PA5	E	汎用入出力ポートです。	-	
		AN21		10 ビット A/D コンバータ ch.21 のアナログ入力端子です。	-	-
		TMI0_1		16 ビットリロードタイマ ch.0 の入力端子 (1 番ポート) です。	-	
		INT21_1		外部割込み要求 21 の入力端子 (1 番ポート) です。	-	
68	L10	PA6	E	汎用入出力ポートです。	-	
		AN22		10 ビット A/D コンバータ ch.22 のアナログ入力端子です。	-	-
		TMI1_1		16 ビットリロードタイマ ch.1 の入力端子 (1 番ポート) です。	-	
		INT22_1		外部割込み要求 22 の入力端子 (1 番ポート) です。	-	
69	N11	PA7	E	汎用入出力ポートです。	-	
		AN23		10 ビット A/D コンバータ ch.23 のアナログ入力端子です。	-	-
		TMI2_1		16 ビットリロードタイマ ch.2 の入力端子 (1 番ポート) です。	-	
		INT23_1		外部割込み要求 23 の入力端子 (1 番ポート) です。	-	
70	M11	PB0	E	汎用入出力ポートです。	-	
		AN24		10 ビット A/D コンバータ ch.24 のアナログ入力端子です。	-	-
		INT24_1		外部割込み要求 24 の入力端子 (1 番ポート) です。	-	

表 2.2-1 端子機能一覧 (13 / 27)

端子番号		端子名	入出力回路形式	機能	CMOS	CMOS
LQFP-144	PFBGA-144				レベル入力	レベルヒステリシス入力
71	N12	PB1	E	汎用入出力ポートです。	-	
		AN25		10 ビット A/D コンバータ ch.25 のアナログ入力端子です。	-	-
		INT25_1		外部割込み要求 25 の入力端子 (1 番ポート) です。	-	
72	N13	V _{SS}	-	GND 端子です。	-	-
73	M13	V _{CC}	-	電源端子です。	-	-
74	M12	PB2	E	汎用入出力ポートです。	-	
		AN26		10 ビット A/D コンバータ ch.26 のアナログ入力端子です。	-	-
		INT26_1		外部割込み要求 26 の入力端子 (1 番ポート) です。	-	
75	L13	PB3	E	汎用入出力ポートです。	-	
		AN27		10 ビット A/D コンバータ ch.27 のアナログ入力端子です。	-	-
		INT27_1		外部割込み要求 27 の入力端子 (1 番ポート) です。	-	
76	L12	PB4	E	汎用入出力ポートです。	-	
		AN28		10 ビット A/D コンバータ ch.28 のアナログ入力端子です。	-	-
		INT28_1		外部割込み要求 28 の入力端子 (1 番ポート) です。	-	
77	L11	PB5	E	汎用入出力ポートです。	-	
		AN29		10 ビット A/D コンバータ ch.29 のアナログ入力端子です。	-	-
		INT29_1		外部割込み要求 29 の入力端子 (1 番ポート) です。	-	
78	K12	PB6	E	汎用入出力ポートです。	-	
		AN30		10 ビット A/D コンバータ ch.30 のアナログ入力端子です。	-	-
		INT30_1		外部割込み要求 30 の入力端子 (1 番ポート) です。	-	
79	K13	P50	C	汎用入出力ポートです。	-	
		$\overline{CS0}$		外部バスインタフェースのチップセレクト0出力端子です。	-	-
		SOUT10 (SDA10)		マルチファンクションシリアルインタフェース ch.10 の出力端子です。 UART/CSIO (動作モード 0 ~ 2) として使用時は, SOUT10 として, I ² C (動作モード 4) として使用時は, SDA10 として機能します。	-	
		AIN0_1		アップダウンカウンタの ch.0 の AIN 入力端子 (1 番ポート) です。	-	

表 2.2-1 端子機能一覧 (14 / 27)

端子番号		端子名	入出力回路形式	機能	CMOSレベル入力	CMOSレベルヒステリシス入力
LQFP-144	PFBGA-144					
80	K11	P51	C	汎用入出力ポートです。	-	
		$\overline{\text{CS1}}$		外部バスインタフェースのチップセレクト1出力端子です。	-	-
		SIN10		マルチファンクションシリアルインタフェース ch.10 の入力端子です。	-	
		BIN0_1		アップダウンカウンタの ch.0 の BIN 入力端子 (1 番ポート) です。	-	
81	K10	P52	C	汎用入出力ポートです。	-	
		$\overline{\text{CS2}}$		外部バスインタフェースのチップセレクト2出力端子です。	-	-
		SCK10 (SCL10)		マルチファンクションシリアルインタフェース ch.10 のクロック入出力端子です。 UART/CSIO (動作モード 0 ~ 2) として使用時は, SCK10 として, I ² C (動作モード 4) として使用時は, SCL10 として機能します。	-	
		ZIN0_1		アップダウンカウンタの ch.0 の ZIN 入力端子 (1 番ポート) です。	-	
82	J12	P53	C	汎用入出力ポートです。	-	
		$\overline{\text{CS3}}$		外部バスインタフェースのチップセレクト3出力端子です。	-	-
		FRCK1		32 ビットフリーランタイム ch.1 の外部クロック入力端子です。	-	
		INT21_2		外部割込み要求 21 の入力端子 (2 番ポート) です。	-	
83	J13	P54	C	汎用入出力ポートです。	-	
		$\overline{\text{AS}}$		外部バスインタフェースのアドレスストローブ出力端子です。	-	-
		SOUT11 (SDA11)		マルチファンクションシリアルインタフェース ch.11 の出力端子です。 UART/CSIO (動作モード 0 ~ 2) として使用時は, SOUT11 として, I ² C (動作モード 4) として使用時は, SDA11 として機能します。	-	
		AIN1_1		アップダウンカウンタの ch.1 の AIN 入力端子 (1 番ポート) です。	-	
84	J11	P55	C	汎用入出力ポートです。	-	
		$\overline{\text{RD}}$		外部バスインタフェースのリードストローブ出力端子です。	-	-
		SIN11		マルチファンクションシリアルインタフェース ch.11 の入力端子です。	-	
		BIN1_1		アップダウンカウンタの ch.1 の BIN 入力端子 (1 番ポート) です。	-	
		ADTRG0		10 ビット A/D コンバータの外部トリガ入力端子です。	-	

表 2.2-1 端子機能一覧 (15 / 27)

端子番号		端子名	入出力 回路 形式	機能	CMOS レベル 入力	CMOS レベル ヒステ リシス 入力
LQFP- 144	PFBGA- 144					
85	J10	P56	C	汎用入出力ポートです。	-	
		$\overline{\text{WR0}}$		外部バスインタフェースのライトストロープ 0 出力端子です。	-	-
		SCK11 (SCL11)		マルチファンクションシリアルインタフェース ch.11 のクロック入出力端子です。 UART/CSIO (動作モード 0 ~ 2) として使用時は, SCK11 として, I ² C (動作モード 4) として使用時は, SCL11 として機能します。	-	
		ZIN1_1		アップダウンカウンタ ch.1 の ZIN 入力端子 (1 番ポート) です。	-	
		FRCK0		32 ビットフリーランタイム ch.0 の外部クロック入力端子です。	-	
86	H12	P57	C	汎用入出力ポートです。	-	
		$\overline{\text{WR1}}$		外部バスインタフェースのライトストロープ 1 出力端子です。	-	-
87	H13	P60	B	汎用入出力ポートです。	-	
		RDY		外部バスインタフェースのレディ入力端子です。		-
		AIN2_1		アップダウンカウンタの ch.2 の AIN 入力端子 (1 番ポート) です。	-	
88	H11	P61	C	汎用入出力ポートです。	-	
		SYSCLK		外部バスインタフェースのバスクロック出力端子です。	-	-
		BIN2_1		アップダウンカウンタの ch.2 の BIN 入力端子 (1 番ポート) です。	-	
89	H10	P62	C	汎用入出力ポートです。	-	
		DREQ0		DMA コントローラ (DMAC) ch.0 の転送要求入力端子です。	-	
		ZIN2_1		アップダウンカウンタ ch.2 の ZIN 入力端子 (1 番ポート) です。	-	
90	G13	P63	C	汎用入出力ポートです。	-	
		DACK0		DMA コントローラ (DMAC) ch.0 の転送要求受付信号出力端子です。	-	-
		FRCK1_1		32 ビットフリーランタイム ch.1 の外部クロック入力端子 (1 番ポート) です。	-	
		INT22_2		外部割込み要求 22 の入力端子 (2 番ポート) です。	-	
91	G12	P64	C	汎用入出力ポートです。	-	
		DEOP0		DMA コントローラ (DMAC) ch.0 の最終転送信号出力端子です。	-	-
		AIN3_1		アップダウンカウンタの ch.3 の AIN 入力端子 (1 番ポート) です。	-	

表 2.2-1 端子機能一覧 (16 / 27)

端子番号		端子名	入出力回路形式	機能	CMOS レベル 入力	CMOS レベル ヒステリシス 入力
LQFP-144	PFBGA-144					
92	G11	P65	C	汎用入出力ポートです。	-	
		DREQ1		DMA コントローラ (DMAC) ch.1 の転送要求入力端子です。	-	
		BIN3_1		アップダウンカウンタの ch.3 の BIN 入力端子 (1 番ポート) です。	-	
		ADTRG0_1		10 ビット A/D コンバータの外部トリガ入力端子 (1 番ポート) です。	-	
93	G10	P66	C	汎用入出力ポートです。	-	
		DACK1		DMA コントローラ (DMAC) ch.1 の転送要求受付信号出力端子です。	-	-
		ZIN3_1		アップダウンカウンタ ch.3 の ZIN 入力端子 (1 番ポート) です。	-	
		FRCK0_1		32 ビットフリーランタイム ch.0 の外部クロック入力端子 (1 番ポート) です。	-	
94	F13	P67	C	汎用入出力ポートです。	-	
		DEOP1		DMA コントローラ (DMAC) ch.1 の最終転送信号出力端子です。	-	-
		INT23_2		外部割込み要求 23 の入力端子 (2 番ポート) です。	-	
95	F12	P00	B	汎用入出力ポートです。	-	
		D00		外部バスインタフェースのデータバスの bit0 です。		-
		TIOA0		ベースタイマ ch.0 の TIOA 端子です。	-	-
		SOUT0_1		マルチファンクションシリアルインタフェース ch.0 の出力端子 (1 番ポート) です。 UART/CSIO (動作モード 0 ~ 2) として使用時は, SOUT0_1 として機能します。	-	-
		IN0		32 ビットインプットキャプチャ ch.0 の入力端子です。	-	
96	F11	P01	B	汎用入出力ポートです。	-	
		D01		外部バスインタフェースのデータバスの bit1 です。		-
		TIOB0		ベースタイマ ch.0 の TIOB 端子です。	-	
		SIN0_1		マルチファンクションシリアルインタフェース ch.0 の入力端子 (1 番ポート) です。	-	
		IN1		32 ビットインプットキャプチャ ch.1 の入力端子です。	-	

表 2.2-1 端子機能一覧 (17 / 27)

端子番号		端子名	入出力回路形式	機能	CMOS レベル 入力	CMOS レベル ヒステリシス 入力
LQFP- 144	PFBGA- 144					
97	F10	P02	B	汎用入出力ポートです。	-	
		D02		外部バスインタフェースのデータバスのbit2です。		-
		TIOA1		ベースタイマ ch.1 の TIOA 端子です。	-	
		SCK0_1		マルチファンクションシリアルインタフェース ch.0 のクロック入出力端子 (1 番ポート) です。 UART/CSIO (動作モード 0 ~ 2) として使用時は, SCK0_1 として機能します。	-	
		IN2		32 ビットインプットキャプチャ ch.2 の入力端子です。	-	
98	E13	P03	B	汎用入出力ポートです。	-	
		D03		外部バスインタフェースのデータバスのbit3です。		-
		TIOB1		ベースタイマ ch.1 の TIOB 端子です。	-	
		IN3		32 ビットインプットキャプチャ ch.3 の入力端子です。	-	
99	E12	P04	B	汎用入出力ポートです。	-	
		D04		外部バスインタフェースのデータバスのbit4です。		-
		TIOA2		ベースタイマ ch.2 の TIOA 端子です。	-	-
		SOUT1 (SDA1)		マルチファンクションシリアルインタフェース ch.1 の出力端子です。 UART/CSIO (動作モード 0 ~ 2) として使用時は, SOUT1 として, I ² C (動作モード 4) として使用時は, SDA1 として機能します。	-	
		IN4		32 ビットインプットキャプチャ ch.4 の入力端子です。	-	
100	E11	P05	B	汎用入出力ポートです。	-	
		D05		外部バスインタフェースのデータバスのbit5です。		-
		TIOB2		ベースタイマ ch.2 の TIOB 端子です。	-	
		SIN1		マルチファンクションシリアルインタフェース ch.1 の入力端子です。	-	
		IN5		32 ビットインプットキャプチャ ch.5 の入力端子です。	-	

表 2.2-1 端子機能一覧 (18 / 27)

端子番号		端子名	入出力回路形式	機能	CMOS	CMOS
LQFP-144	PFBGA-144				レベル入力	レベルヒステリシス入力
101	E10	P06	B	汎用入出力ポートです。	-	
		D06		外部バスインタフェースのデータバスのbit6です。		-
		TIOA3		ベースタイマ ch.3 の TIOA 端子です。	-	
		SCK1 (SCL1)		マルチファンクションシリアルインタフェース ch.1 のクロック入出力端子です。 UART/CSIO (動作モード 0 ~ 2) として使用時は, SCK1 として, I ² C (動作モード 4) として使用時は, SCL1 して機能します。	-	
		IN6		32 ビットインプットキャプチャ ch.6 の入力端子です。	-	
102	D13	P07	B	汎用入出力ポートです。	-	
		D07		外部バスインタフェースのデータバスのbit7です。		-
		TIOB3		ベースタイマ ch.3 の TIOB 端子です。	-	
		IN7		32 ビットインプットキャプチャ ch.7 の入力端子です。	-	
103	D12	P10	B	汎用入出力ポートです。	-	
		D08		外部バスインタフェースのデータバスのbit8です。		-
		TIOA4		ベースタイマ ch.4 の TIOA 端子です。	-	-
		SOUT2 (SDA2)		マルチファンクションシリアルインタフェース ch.2 の出力端子です。 UART/CSIO (動作モード 0 ~ 2) として使用時は, SOUT2 として, I ² C (動作モード 4) として使用時は, SDA2 として機能します。	-	
		AIN0		アップダウンカウンタの ch.0 の AIN 入力端子です。	-	
		INT0		外部割込み要求 0 の入力端子です。	-	
104	D11	P11	B	汎用入出力ポートです。	-	
		D09		外部バスインタフェースのデータバスのbit9です。		-
		TIOB4		ベースタイマ ch.4 の TIOB 端子です。	-	
		SIN2		マルチファンクションシリアルインタフェース ch.2 の入力端子です。	-	
		BIN0		アップダウンカウンタの ch.0 の BIN 入力端子です。	-	
		INT1		外部割込み要求 1 の入力端子です。	-	

表 2.2-1 端子機能一覧 (19 / 27)

端子番号		端子名	入出力回路形式	機能	CMOS レベル 入力	CMOS レベル ヒステリシス 入力
LQFP-144	PFBGA-144					
105	C13	P12	B	汎用入出力ポートです。	-	
		D10		外部バスインタフェースのデータバスの bit10 です。		-
		TIOA5		ベースタイマ ch.5 の TIOA 端子です。	-	
		SCK2 (SCL2)		マルチファンクションシリアルインタフェース ch.2 のクロック入出力端子です。 UART/CSIO (動作モード 0 ~ 2) として使用時は, SCK2 として, I ² C (動作モード 4) として使用時は, SCL2 として機能します。	-	
		ZIN0		アップダウンカウンタ ch.0 の ZIN 入力端子です。	-	
		INT2		外部割込み要求 2 の入力端子です。	-	
106	C12	P13	B	汎用入出力ポートです。	-	
		D11		外部バスインタフェースのデータバスの bit11 です。		-
		TIOB5		ベースタイマ ch.5 の TIOB 端子です。	-	
		INT3		外部割込み要求 3 の入力端子です。	-	
107	B13	P14	B	汎用入出力ポートです。	-	
		D12		外部バスインタフェースのデータバスの bit12 です。		-
		TIOA6		ベースタイマ ch.6 の TIOA 端子です。	-	-
		SOUT3 (SDA3)		マルチファンクションシリアルインタフェース ch.3 の出力端子です。 UART/CSIO (動作モード 0 ~ 2) として使用時は, SOUT3 として, I ² C (動作モード 4) として使用時は, SDA3 として機能します。	-	
		AIN1		アップダウンカウンタの ch.1 の AIN 入力端子です。	-	
		INT4		外部割込み要求 4 の入力端子です。	-	
108	A13	V _{SS}	-	GND 端子です。	-	-
109	A12	V _{CC}	-	電源端子です。	-	-
110	B12	P15	B	汎用入出力ポートです。	-	
		D13		外部バスインタフェースのデータバスの bit13 です。		-
		TIOB6		ベースタイマ ch.6 の TIOB 端子です。	-	
		SIN3		マルチファンクションシリアルインタフェース ch.3 の入力端子です。	-	
		BIN1		アップダウンカウンタの ch.1 の BIN 入力端子です。	-	
		INT5		外部割込み要求 5 の入力端子です。	-	

表 2.2-1 端子機能一覧 (20 / 27)

端子番号		端子名	入出力回路形式	機能	CMOS	CMOS
LQFP-144	PFBGA-144				レベル入力	レベルヒステリシス入力
111	A11	P16	B	汎用入出力ポートです。	-	
		D14		外部バスインタフェースのデータバスの bit14 です。		-
		TIOA7		ベースタイマ ch.7 の TIOA 端子です。	-	
		SCK3 (SCL3)		マルチファンクションシリアルインタフェース ch.3 のクロック入出力端子です。 UART/CSIO (動作モード 0 ~ 2) として使用時は, SCK3 として, I ² C (動作モード 4) として使用時は, SCL3 として機能します。	-	
		ZIN1		アップダウンカウンタ ch.1 の ZIN 入力端子です。	-	
		INT6		外部割込み要求 6 の入力端子です。	-	
112	B11	P17	B	汎用入出力ポートです。	-	
		D15		外部バスインタフェースのデータバスの bit15 です。		-
		TIOB7		ベースタイマ ch.7 の TIOB 端子です。	-	
		INT7		外部割込み要求 7 の入力端子です。	-	
113	C11	P20	D*	汎用入出力ポートです。	-	
		A00		外部バスインタフェースのアドレスバスの bit0 です。	-	-
		TIOA8		ベースタイマ ch.8 の TIOA 端子です。	-	-
		SOUT4 (SDA4)		マルチファンクションシリアルインタフェース ch.4 の出力端子です。 UART/CSIO (動作モード 0 ~ 2) として使用時は, SOUT4 として, I ² C (動作モード 4) として使用時は, SDA4 として機能します。	-	
		AIN2		アップダウンカウンタの ch.2 の AIN 入力端子です。	-	
114	B10	P21	D*	汎用入出力ポートです。	-	
		A01		外部バスインタフェースのアドレスバスの bit1 です。	-	-
		TIOB8		ベースタイマ ch.8 の TIOB 端子です。	-	
		SIN4		マルチファンクションシリアルインタフェース ch.4 の入力端子です。	-	
		BIN2		アップダウンカウンタの ch.2 の BIN 入力端子です。	-	

*: 5V トレラント端子

表 2.2-1 端子機能一覧 (21 / 27)

端子番号		端子名	入出力回路形式	機能	CMOS レベル 入力	CMOS レベル ヒステリシス 入力
LQFP-144	PFBGA-144					
115	A10	P22	D*	汎用入出力ポートです。	-	
		A02		外部バスインタフェースのアドレスバスのbit2です。	-	-
		TIOA9		ベースタイマ ch.9 の TIOA 端子です。	-	
		SCK4 (SCL4)		マルチファンクションシリアルインタフェース ch.4 のクロック入出力端子です。 UART/CSIO (動作モード 0 ~ 2) として使用時は, SCK4 として, I ² C (動作モード 4) として使用時は, SCL4 として機能します。	-	
		ZIN2		アップダウンカウンタ ch.2 の ZIN 入力端子です。	-	
116	C10	P23	D*	汎用入出力ポートです。	-	
		A03		外部バスインタフェースのアドレスバスのbit3です。	-	-
		TIOB9		ベースタイマ ch.9 の TIOB 端子です。	-	
117	D10	P24	D*	汎用入出力ポートです。	-	
		A04		外部バスインタフェースのアドレスバスのbit4です。	-	-
		TIOA10		ベースタイマ ch.10 の TIOA 端子です。	-	-
		SOUT5 (SDA5)		マルチファンクションシリアルインタフェース ch.5 の出力端子です。 UART/CSIO (動作モード 0 ~ 2) として使用時は, SOUT5 として, I ² C (動作モード 4) として使用時は, SDA5 として機能します。	-	
		AIN3		アップダウンカウンタの ch.3 の AIN 入力端子です。	-	
		OUT0		32 ビットアウトプットコンペア ch.0 の出力端子です。	-	-
118	B9	P25	D*	汎用入出力ポートです。	-	
		A05		外部バスインタフェースのアドレスバスのbit5です。	-	-
		TIOB10		ベースタイマ ch.10 の TIOB 端子です。	-	
		SIN5		マルチファンクションシリアルインタフェース ch.5 の入力端子です。	-	
		BIN3		アップダウンカウンタの ch.3 の BIN 入力端子です。	-	
		OUT1		32 ビットアウトプットコンペア ch.1 の出力端子です。	-	-

* : 5V トレラント端子

表 2.2-1 端子機能一覧 (22 / 27)

端子番号		端子名	入出力 回路 形式	機能	CMOS レベル 入力	CMOS レベル ヒステ リシス 入力
LQFP- 144	PFBGA- 144					
119	A9	P26	D*	汎用入出力ポートです。	-	
		A06		外部バスインタフェースのアドレスバスの bit6 です。	-	-
		TIOA11		ベースタイマ ch.11 の TIOA 端子です。	-	
		SCK5 (SCL5)		マルチファンクションシリアルインタフェ ース ch.5 のクロック入出力端子です。 UART/CSIO (動作モード 0 ~ 2) として使用時 は, SCK5 として, I ² C (動作モード 4) として使 用時は, SCL5 として機能します。	-	
		ZIN3		アップダウンカウンタ ch.3 の ZIN 入力端子で す。	-	
		OUT2		32 ビットアウトプットコンペア ch.2 の出力端 子です。	-	-
120	C9	P27	D*	汎用入出力ポートです。	-	
		A07		外部バスインタフェースのアドレスバスの bit7 です。	-	-
		TIOB11		ベースタイマ ch.11 の TIOB 端子です。	-	
		OUT3		32 ビットアウトプットコンペア ch.3 の出力端 子です。	-	-
121	D9	P30	D*	汎用入出力ポートです。	-	
		A08		外部バスインタフェースのアドレスバスの bit8 です。	-	-
		TIOA12		ベースタイマ ch.12 の TIOA 端子です。	-	-
		SOUT6 (SDA6)		マルチファンクションシリアルインタフェ ース ch.6 の出力端子です。 UART/CSIO (動作モード 0 ~ 2) として使用時 は, SOUT6 として, I ² C (動作モード 4) として 使用時は, SDA6 として機能します。	-	
		INT8		外部割込み要求 8 の入力端子です。	-	
122	B8	P31	D*	汎用入出力ポートです。	-	
		A09		外部バスインタフェースのアドレスバスの bit9 です。	-	-
		TIOB12		ベースタイマ ch.12 の TIOB 端子です。	-	
		SIN6		マルチファンクションシリアルインタフェ ース ch.6 の入力端子です。	-	
		INT9		外部割込み要求 9 の入力端子です。	-	

*: 5V トレラント端子

表 2.2-1 端子機能一覧 (23 / 27)

端子番号		端子名	入出力回路形式	機能	CMOS	CMOS
LQFP-144	PFBGA-144				レベル入力	レベルヒステリシス入力
123	A8	P32	D*	汎用入出力ポートです。	-	
		A10		外部バスインタフェースのアドレスバスの bit10 です。	-	-
		TIOA13		ベースタイマ ch.13 の TIOA 端子です。	-	
		SCK6 (SCL6)		マルチファンクションシリアルインタフェース ch.6 のクロック入出力端子です。 UART/CSIO (動作モード 0 ~ 2) として使用時は, SCK6 として, I ² C (動作モード 4) として使用時は, SCL6 として機能します。	-	
		INT10		外部割込み要求 10 の入力端子です。	-	
124	C8	P33	D*	汎用入出力ポートです。	-	
		A11		外部バスインタフェースのアドレスバスの bit11 です。	-	-
		TIOB13		ベースタイマ ch.13 の TIOB 端子です。	-	
		INT11		外部割込み要求 11 の入力端子です。	-	
125	D8	P34	D*	汎用入出力ポートです。	-	
		A12		外部バスインタフェースのアドレスバスの bit12 です。	-	-
		TIOA14		ベースタイマ ch.14 の TIOA 端子です。	-	-
		SOUT7 (SDA7)		マルチファンクションシリアルインタフェース ch.7 の出力端子です。 UART/CSIO (動作モード 0 ~ 2) として使用時は, SOUT7 として, I ² C (動作モード 4) として使用時は, SDA7 として機能します。	-	
		OUT4		32 ビットアウトプットコンペア ch.4 の出力端子です。	-	-
		INT12		外部割込み要求 12 の入力端子です。	-	
126	A7	P35	D*	汎用入出力ポートです。	-	
		A13		外部バスインタフェースのアドレスバスの bit13 です。	-	-
		TIOB14		ベースタイマ ch.14 の TIOB 端子です。	-	
		SIN7		マルチファンクションシリアルインタフェース ch.7 の入力端子です。	-	
		OUT5		32 ビットアウトプットコンペア ch.5 の出力端子です。	-	-
		INT13		外部割込み要求 13 の入力端子です。	-	

* : 5V トレラント端子

表 2.2-1 端子機能一覧 (24 / 27)

端子番号		端子名	入出力回路形式	機能	CMOSレベル入力	CMOSレベルヒステリシス入力
LQFP-144	PFBGA-144					
127	B7	P36	D*	汎用入出力ポートです。	-	
		A14		外部バスインタフェースのアドレスバスの bit14 です。	-	-
		TIOA15		ベースタイマ ch.15 の TIOA 端子です。	-	
		SCK7 (SCL7)		マルチファンクションシリアルインタフェース ch.7 のクロック入出力端子です。 UART/CSIO (動作モード 0 ~ 2) として使用時は, SCK7 として, I ² C (動作モード 4) として使用時は, SCL7 として機能します。	-	
		OUT6		32 ビットアウトプットコンペア ch.6 の出力端子です。	-	-
		INT14		外部割込み要求 14 の入力端子です。	-	
128	C7	P37	D*	汎用入出力ポートです。	-	
		A15		外部バスインタフェースのアドレスバスの bit15 です。	-	-
		TIOB15		ベースタイマ ch.15 の TIOB 端子です。	-	
		OUT7		32 ビットアウトプットコンペア ch.7 の出力端子です。	-	-
		INT15		外部割込み要求 15 の入力端子です。	-	
129	D7	P40	D*	汎用入出力ポートです。	-	
		A16		外部バスインタフェースのアドレスバスの bit16 です。	-	-
		SOUT8 (SDA8)		マルチファンクションシリアルインタフェース ch.8 の出力端子です。 UART/CSIO (動作モード 0 ~ 2) として使用時は, SOUT8 として, I ² C (動作モード 4) として使用時は, SDA8 として機能します。	-	
130	A6	P41	D*	汎用入出力ポートです。	-	
		A17		外部バスインタフェースのアドレスバスの bit17 です。	-	-
		SIN8		マルチファンクションシリアルインタフェース ch.8 の入力端子です。	-	
131	B6	P42	D*	汎用入出力ポートです。	-	
		A18		外部バスインタフェースのアドレスバスの bit18 です。	-	-
		SCK8 (SCL8)		マルチファンクションシリアルインタフェース ch.8 のクロック入出力端子です。 UART/CSIO (動作モード 0 ~ 2) として使用時は, SCK8 として, I ² C (動作モード 4) として使用時は, SCL8 として機能します。	-	

*: 5V トレラント端子

表 2.2-1 端子機能一覧 (25 / 27)

端子番号		端子名	入出力回路形式	機能	CMOS レベル 入力	CMOS レベル ヒステリシス 入力
LQFP- 144	PFBGA- 144					
132	C6	P43	D*	汎用入出力ポートです。	-	
		A19		外部バスインタフェースのアドレスバスの bit19 です。	-	-
133	D6	P44	D*	汎用入出力ポートです。	-	
		A20		外部バスインタフェースのアドレスバスの bit20 です。	-	-
		SOUT9 (SDA9)		マルチファンクションシリアルインタフェース ch.9 の出力端子です。 UART/CSIO (動作モード 0 ~ 2) として使用時は, SOUT9 として, I ² C (動作モード 4) として使用時は, SDA9 として機能します。	-	
134	A5	P45	D*	汎用入出力ポートです。	-	
		A21		外部バスインタフェースのアドレスバスの bit21 です。	-	-
		SIN9		マルチファンクションシリアルインタフェース ch.9 の入力端子です。	-	
135	B5	P46	D*	汎用入出力ポートです。	-	
		A22		外部バスインタフェースのアドレスバスの bit22 です。	-	-
		SCK9 (SCL9)		マルチファンクションシリアルインタフェース ch.9 のクロック入出力端子です。 UART/CSIO (動作モード 0 ~ 2) として使用時は, SCK9 として, I ² C (動作モード 4) として使用時は, SCL9 として機能します。	-	
136	C5	P47	D*	汎用入出力ポートです。	-	
		A23		外部バスインタフェースのアドレスバスの bit23 です。	-	-
137	D5	PH0	D*	汎用入出力ポートです。	-	
		TIOA4_1		ベースタイマ ch.4 の TIOA 端子 (1 番ポート) です。	-	-
		SOUT2_1 (SDA2_1)		マルチファンクションシリアルインタフェース ch.2 の出力端子 (1 番ポート) です。 UART/CSIO (動作モード 0 ~ 2) として使用時は, SOUT2_1 として, I ² C (動作モード 4) として使用時は, SDA2_1 として機能します。	-	
		AIN0_2		アップダウンカウンタの ch.0 の AIN 入力端子 (2 番ポート) です。	-	
		INT0_1		外部割込み要求0の入力端子 (1 番ポート) です。	-	

* : 5V トレラント端子

表 2.2-1 端子機能一覧 (26 / 27)

端子番号		端子名	入出力回路形式	機能	CMOSレベル入力	CMOSレベルヒステリシス入力
LQFP-144	PFBGA-144					
138	A4	PH1	D*	汎用入出力ポートです。	-	
		TIOB4_1		ベースタイマ ch.4 の TIOB 端子 (1 番ポート) です。	-	
		SIN2_1		マルチファンクションシリアルインタフェース ch.2 の入力端子 (1 番ポート) です。	-	
		BIN0_2		アップダウンカウンタの ch.0 の BIN 入力端子 (2 番ポート) です。	-	
		INT1_1		外部割込み要求1の入力端子 (1 番ポート) です。	-	
139	B4	PH2	D*	汎用入出力ポートです。	-	
		TIOA5_1		ベースタイマ ch.5 の TIOA 端子 (1 番ポート) です。	-	
		SCK2_1 (SCL2_1)		マルチファンクションシリアルインタフェース ch.2 のクロック入出力端子 (1 番ポート) です。 UART/CSIO (動作モード 0 ~ 2) として使用時は, SCK2_1 として, I ² C (動作モード 4) として使用時は, SCL2_1 として機能します。	-	
		ZIN0_2		アップダウンカウンタ ch.0 の ZIN 入力端子 (2 番ポート) です。	-	
		INT2_1		外部割込み要求2の入力端子 (1 番ポート) です。	-	
140	C4	PH3	D*	汎用入出力ポートです。	-	
		TIOB5_1		ベースタイマ ch.5 の TIOB 端子 (1 番ポート) です。	-	
		INT3_1		外部割込み要求3の入力端子 (1 番ポート) です。	-	
141	A3	PH4	D*	汎用入出力ポートです。	-	
		TIOA6_1		ベースタイマ ch.6 の TIOA 端子 (1 番ポート) です。	-	
		SOUT3_1 (SDA3_1)		マルチファンクションシリアルインタフェース ch.3 の出力端子 (1 番ポート) です。 UART/CSIO (動作モード 0 ~ 2) として使用時は, SOUT3_1 として, I ² C (動作モード 4) として使用時は, SDA3_1 として機能します。	-	
		AIN1_2		アップダウンカウンタの ch.1 の AIN 入力端子 (2 番ポート) です。	-	
		INT4_1		外部割込み要求4の入力端子 (1 番ポート) です。	-	

* : 5V トレラント端子

表 2.2-1 端子機能一覧 (27 / 27)

端子番号		端子名	入出力 回路 形式	機能	CMOS レベル 入力	CMOS レベル ヒステ リシス 入力
LQFP- 144	PFBGA- 144					
142	B3	PH5	D*	汎用入出力ポートです。	-	
		TIOB6_1		ベースタイマ ch.6 の TIOB 端子 (1 番ポート) です。	-	
		SIN3_1		マルチファンクションシリアルインタフェース ch.3 の入力端子 (1 番ポート) です。	-	
		BIN1_2		アップダウンカウンタの ch.1 の BIN 入力端子 (2 番ポート) です。	-	
		INT5_1		外部割込み要求5の入力端子 (1 番ポート) です。	-	
143	A2	PH6	D*	汎用入出力ポートです。	-	
		TIOA7_1		ベースタイマ ch.7 の TIOA 端子 (1 番ポート) です。	-	
		SCK3_1 (SCL3_1)		マルチファンクションシリアルインタフェース ch.3 のクロック入出力端子 (1 番ポート) です。 UART/CSIO (動作モード 0 ~ 2) として使用時は, SCK3_1 として, I ² C (動作モード 4) として使用時は, SCL3_1 として機能します。	-	
		ZIN1_2		アップダウンカウンタ ch.1 の ZIN 入力端子 (2 番ポート) です。	-	
		INT6_1		外部割込み要求6の入力端子 (1 番ポート) です。	-	
144	A1	V _{CC}	-	電源端子です。	-	-

* : 5V トレラント端子

2.3 入出力回路形式

表 2.3-1 に、MB91635A シリーズの入出力回路の形式を示します。

■ 入出力回路形式

表 2.3-1 入出力回路形式 (1 / 4)

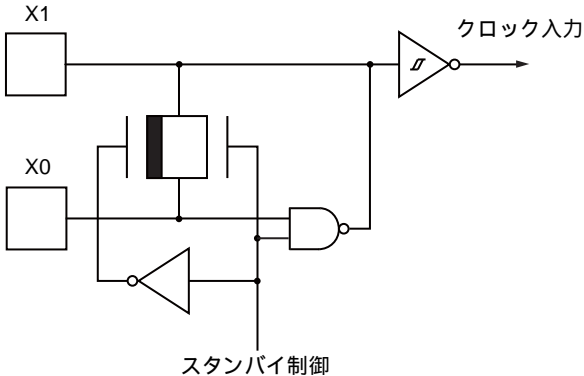
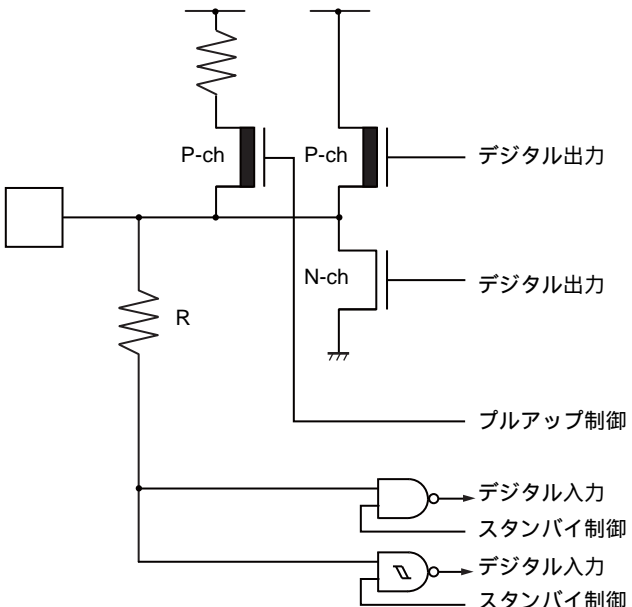
分類	回路	備考
A	 <p>クロック入力</p> <p>スタンバイ制御</p>	<ul style="list-style-type: none"> ・発振帰還抵抗: 約 $1M\Omega$ ・スタンバイ制御あり
B	 <p>デジタル出力</p> <p>デジタル出力</p> <p>プルアップ制御</p> <p>デジタル入力</p> <p>スタンバイ制御</p> <p>デジタル入力</p> <p>スタンバイ制御</p>	<ul style="list-style-type: none"> ・CMOS レベル出力 ・CMOS レベル入力 ・CMOS レベルヒステリシス入力 ・プルアップ制御あり ・スタンバイ制御あり <p>* 外部バスインタフェース時の入力データ, RDY 端子を選択時は CMOS レベル入力。上記以外の入力は、すべて CMOS レベルヒステリシス入力となります。</p> <p>*I²C 端子として使用時、デジタル出力 P-ch トランジスタは常にオフです。</p>

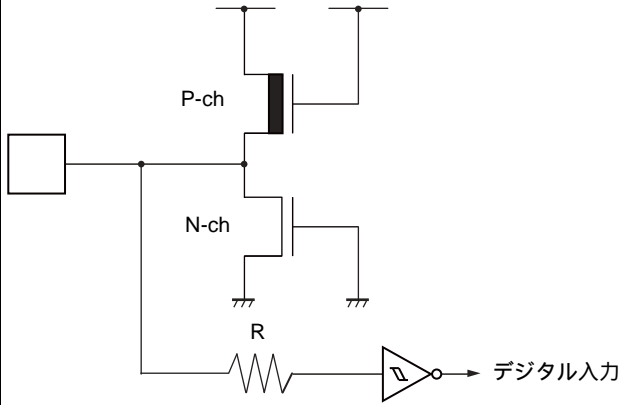
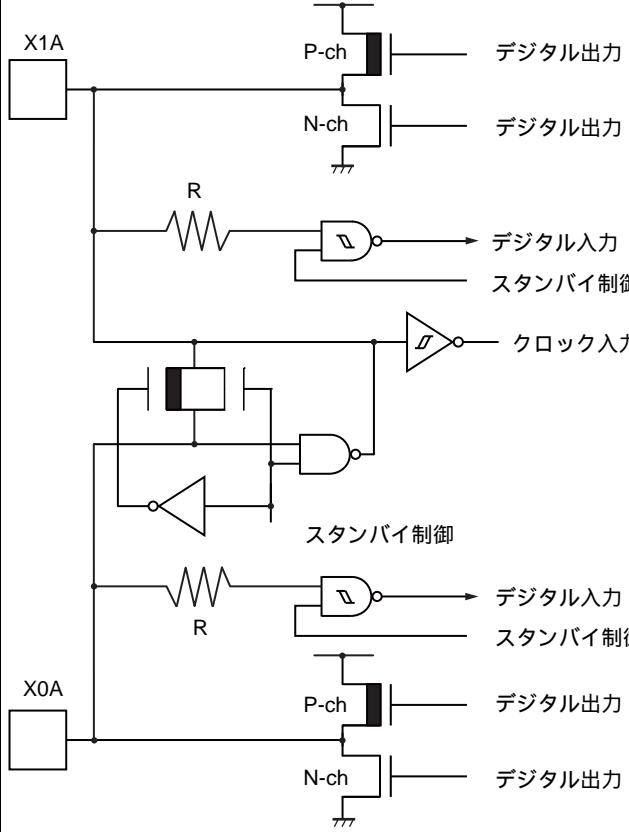
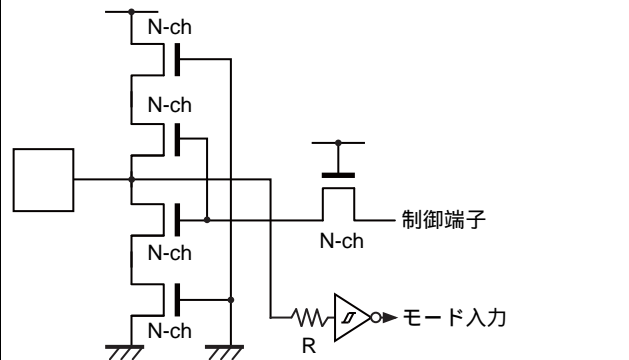
表 2.3-1 入出力回路形式 (2 / 4)

分類	回路	備考
C	<p>デジタル出力</p> <p>デジタル出力</p> <p>プルアップ制御</p> <p>デジタル入力</p> <p>スタンバイ制御</p>	<ul style="list-style-type: none"> ・ CMOS レベル出力 ・ CMOS レベルヒステリシス入力 ・ プルアップ制御あり ・ スタンバイ制御あり <p>*I²C 端子として使用時, デジタル出力 P-ch トランジスタは常にオフです。</p>
D	<p>デジタル出力</p> <p>デジタル出力</p> <p>デジタル入力</p> <p>スタンバイ制御</p>	<ul style="list-style-type: none"> ・ CMOS レベル出力 ・ CMOS レベルヒステリシス入力 ・ 5V トレラント入力 ・ スタンバイ制御あり <p>*I²C 端子として使用時, デジタル出力 P-ch トランジスタは常にオフです。</p>

表 2.3-1 入出力回路形式 (3 / 4)

分類	回路	備考
E	<p>デジタル出力</p> <p>デジタル出力</p> <p>プルアップ制御</p> <p>デジタル入力</p> <p>スタンバイ制御</p> <p>アナログ入力</p> <p>入力制御</p>	<ul style="list-style-type: none"> ・ CMOS レベル出力 ・ CMOS レベルヒステリシス入力 ・ 入力制御あり ・ アナログ入力 ・ プルアップ制御あり ・ スタンバイ制御あり
F	<p>デジタル出力</p> <p>デジタル出力</p> <p>プルアップ制御</p> <p>デジタル入力</p> <p>スタンバイ制御</p> <p>アナログ出力</p> <p>出力制御</p>	<ul style="list-style-type: none"> ・ CMOS レベル出力 ・ CMOS レベルヒステリシス入力 ・ 入力制御あり ・ アナログ出力 ・ プルアップ制御あり ・ スタンバイ制御あり

表 2.3-1 入出力回路形式 (4 / 4)

分類	回路	備考
H		<ul style="list-style-type: none"> ・ CMOS レベルヒステリシス入力
I		<ul style="list-style-type: none"> ・ 発振帰還抵抗: 約 10MΩ ・ CMOS レベル出力 ・ CMOS レベルヒステリシス入力 ・ スタンバイ制御あり
P		<ul style="list-style-type: none"> ・ フラッシュメモリ品のみ ・ CMOS レベルヒステリシス入力 ・ フラッシュメモリテスト用の高電圧制御あり

2.4 端子の設定方法

兼用端子のレジスタの設定方法を説明します。

兼用端子には、複数の機能が割り当てられています。その中からひとつの機能に割り当てられるためのレジスタの設定値を周辺機能ごとに示します。

表中のレジスタ名は略称です。

- ・ EPFR：拡張ポート機能レジスタ
- ・ PFR：ポート機能レジスタ
- ・ DDR：ポートデータ方向レジスタ

これらのレジスタについては、「第 14 章 I/O ポート」を参照してください。

これ以外のレジスタ略称については、各表の下に注記してあります。それぞれの章を参照してください。

■ ポート

端子名	レジスタ名	ビット名	書込み値
P00 ~ P07	PFR0	PFR00 ~ PFR07	0
P10 ~ P17	PFR1	PFR10 ~ PFR17	0
P20 ~ P27	PFR2	PFR20 ~ PFR27	0
P30 ~ P37	PFR3	PFR30 ~ PFR37	0
P40 ~ P47	PFR4	PFR40 ~ PFR47	0
P50 ~ P57	PFR5	PFR50 ~ PFR57	0
P60 ~ P67	PFR6*	PFR60 ~ PFR67	0
P70 ~ P77	PFR7	PFR70 ~ PFR77	0
P80 ~ P87	PFR8	PFR80 ~ PFR87	0
PA0 ~ PA7	PFRA*	PFRA0 ~ PFRA7	0
PC0 ~ PC7	PFRC*	PFRC0 ~ PFRC7	0
PG0 ~ PG7	PFRG*	PFRG0 ~ PFRG7	0
PH0 ~ PH7	PFRH*	PFRH0 ~ PFRH7	0
PI0 ~ PI7	PFRI*	PFRI0 ~ PFRI7	0

*： P60, P62, P65, PA5, PC1, PC3, PG3, PG7, PH1, PH3, PH5, PI1, PI3 は PFR レジスタの設定は不要です。

< 注意事項 >

ポートデータ方向レジスタ (DDR) の設定については、「第 14 章 I/O ポート」を参照してください。

■ クロック

端子名	レジスタ名	ビット名	書込み値
X0A, X1A	DDRK	DDRK1, DDRK0	00
	EPFR19	XAE	1
	CSELR	SCEN	1

CSELR：クロックソース設定レジスタ

■ 外部割込み制御部

チャンネルごとに使用する端子を INTx 端子または INTx_1 端子から 1 本ずつ選択できます。

INT 端子を使用する場合は、次の設定が必要です。

1. DDR レジスタおよび PFR レジスタでポート入力を設定 (DDR=0, PFR=0)
2. EPFR レジスタで使用する端子 (ポート番号) を選択
3. 外部割込み制御部の動作を許可 (詳細は、「第 15 章 外部割込み制御部」を参照してください。)

基本的な設定については、下表を参照してください。

チャンネル	ポート番号	端子名	レジスタ名	ビット名	書込み値
0 ~ 7	0 番ポート	INT0 ~ INT7	DDR1	DDR10 ~ DDR17	0
			PFR1	PFR10 ~ PFR17	0
			EPFR28	INT0E ~ INT7E	0
	1 番ポート	INT0_1 ~ INT7_1	DDRH	DDRH0 ~ DDRH7	0
			PFRH	*	0
			EPFR28	INT0E ~ INT7E	1
8 ~ 15	0 番ポート	INT8 ~ INT15	DDR3	DDR30 ~ DDR37	0
			PFR3	PFR30 ~ PFR37	0
			EPFR29	INT8E ~ INT15E	0
	1 番ポート	INT8_1 ~ INT15_1	DDRC	DDRC0 ~ DDRC7	0
			PFRC	PFRC0 ~ PFRC7	0
			EPFR29	INT8E ~ INT15E	1
16 ~ 19	0 番ポート	INT16 ~ INT19	DDR7	DDR70 ~ DDR73	0
			PFR7	PFR70 ~ PFR73	0
			EPFR30	INT16E ~ INT19E	0
			ADCHE	ADE0 ~ ADE3	0
	1 番ポート	INT16_1 ~ INT19_1	DDRA	DDRA0 ~ DDRA3	0
			PFRA	PFRA0 ~ PFRA3	0
			EPFR30	INT16E ~ INT19E	1
			ADCHE	ADE16 ~ ADE19	0

*: INT0_1:PFRH0, INT1_1:PFR なし, INT2_1:PFRH2, INT3_1:PFR なし, INT4_1:PFRH4, INT5_1:PFR なし, INT6_1:PFRH6, INT7_1:PFRH7

チャンネル	ポート番号	端子名	レジスタ名	ビット名	書込み値
20	0 番ポート	INT20	DDR7	DDR74	0
			PFR7	PFR74	0
			EPFR31	INT20E	0
			ADCHE	ADE4	0
	1 番ポート	INT20_1	DDRA	DDRA4	0
			PFRA	PFRA4	0
			EPFR31	INT20E	1
			ADCHE	ADE20	0
21	0 番ポート	INT21	DDR7	DDR75	0
			PFR7	PFR75	0
			EPFR31	INT21E1, INT21E0	00
			ADCHE	ADE5	0
	1 番ポート	INT21_1	DDRA	DDRA5	0
			EPFR31	INT21E1, INT21E0	01
			ADCHE	ADE21	0
	2 番ポート	INT21_2	DDR5	DDR53	0
			PFR5	PFR53	0
			EPFR31	INT21E1, INT21E0	10
22	0 番ポート	INT22	DDR7	DDR76	0
			PFR7	PFR76	0
			EPFR31	INT22E1, INT22E0	00
			ADCHE	ADE6	0
	1 番ポート	INT22_1	DDRA	DDRA6	0
			PFRA	PFRA6	0
			EPFR31	INT22E1, INT22E0	01
			ADCHE	ADE22	0
	2 番ポート	INT22_2	DDR6	DDR63	0
			PFR6	PFR63	0
			EPFR31	INT22E1, INT22E0	10
23	0 番ポート	INT23	DDR7	DDR77	0
			PFR7	PFR77	0
			EPFR31	INT23E1, INT23E0	00
			ADCHE	ADE7	0
	1 番ポート	INT23_1	DDRA	DDRA7	0
			PFRA	PFRA7	0
			EPFR31	INT23E1, INT23E0	01
			ADCHE	ADE23	0
	2 番ポート	INT23_2	DDR6	DDR67	0
			PFR6	PFR67	0
			EPFR31	INT23E1, INT23E0	10

チャンネル	ポート番号	端子名	レジスタ名	ビット名	書込み値
24 ~ 30	0 番ポート	INT24 ~ INT30	DDR8	DDR80 ~ DDR86	0
			PFR8	PFR80 ~ PFR86	0
			EPFR32	INT24E ~ INT30E	0
			ADCHE	ADE8 ~ ADE14	0
	1 番ポート	INT24_1 ~ INT30_1	DDRB	DDRB0 ~ DDRB6	0
			EPFR32	INT24E ~ INT30E	1
			ADCHE	ADE24 ~ ADE30	0
31	0 番ポート	INT31	DDR8	DDR87	0
			PFR8	PFR87	0
			EPFR32	INT31E	0
			ADCHE	ADE15	0

■ 32 ビットフリーランタイム

32 ビットフリーランタイムは、チャンネルごとに FRCK 端子が 2 本用意されています。

チャンネルごとに使用する端子を 1 本ずつ選択できます。

FRCK 端子を使用する場合は、次の設定が必要です。

1. DDR レジスタおよび PFR レジスタでポート入力を設定 (DDR=0, PFR=0)
2. EPFR レジスタで使用する端子 (ポート番号) を選択
3. 32 ビットフリーランタイムの動作を許可 (詳細は、「第 18 章 32 ビット フリーランタイム」を参照してください。)

基本的な設定については、下表を参照してください。

チャンネル	ポート番号	端子名	レジスタ名	ビット名	書込み値
0	0 番ポート	FRCK0	DDR5	DDR56	0
			PFR5	PFR56	0
			EPFR34	FRCK0E1, FRCK0E0	00
	1 番ポート	FRCK0_1	DDR6	DDR66	0
			PFR6	PFR66	0
			EPFR34	FRCK0E1, FRCK0E0	01
1	0 番ポート	FRCK1	DDR5	DDR53	0
			PFR5	PFR53	0
			EPFR34	FRCK1E1, FRCK1E0	00
	1 番ポート	FRCK1_1	DDR6	DDR63	0
			PFR6	PFR63	0
			EPFR34	FRCK1E1, FRCK1E0	01

■ 32 ビットインプットキャプチャ

32 ビットインプットキャプチャは、チャンネルごとに IN 端子が 3 本用意されています。
チャンネルごとに使用する端子を 1 本ずつ選択できます。

IN 端子を使用する場合は、次の設定が必要です。

1. DDR レジスタおよび PFR レジスタでポート入力を設定 (DDR=0, PFR=0)
2. EPFR レジスタで使用する端子 (ポート番号) を選択
3. 32 ビットインプットキャプチャの動作を許可 (詳細は、「第 19 章 32 ビットインプットキャプチャ」を参照してください。)

基本的な設定については、下表を参照してください。

チャンネル	ポート番号	端子名	レジスタ名	ビット名	書込み値
0	0 番ポート	IN0	DDR0	DDR00	0
			PFR0	PFR00	0
			EPFR4	IN0E1, IN0E0	00
	1 番ポート	IN0_1	DDR8	DDR80	0
			PFR8	PFR80	0
			EPFR4	IN0E1, IN0E0	01
			ADCHE	ADE8	0
	2 番ポート	IN0_2	DDRG	DDRG0	0
			PFRG	PFRG0	0
			EPFR4	IN0E1, IN0E0	10
1	0 番ポート	IN1	DDR0	DDR01	0
			PFR0	PFR01	0
			EPFR4	IN1E1, IN1E0	00
	1 番ポート	IN1_1	DDR8	DDR81	0
			PFR8	PFR81	0
			EPFR4	IN1E1, IN1E0	01
			ADCHE	ADE9	0
	2 番ポート	IN1_2	DDRG	DDRG1	0
			PFRG	PFRG1	0
			EPFR4	IN1E1, IN1E0	10
2	0 番ポート	IN2	DDR0	DDR02	0
			PFR0	PFR02	0
			EPFR4	IN2E1, IN2E0	00
	1 番ポート	IN2_1	DDR8	DDR82	0
			PFR8	PFR82	0
			EPFR4	IN2E1, IN2E0	01
			ADCHE	ADE10	0
	2 番ポート	IN2_2	DDRG	DDRG2	0
			PFRG	PFRG2	0
			EPFR4	IN2E1, IN2E0	10

チャンネル	ポート番号	端子名	レジスタ名	ビット名	書込み値
3	0 番ポート	IN3	DDR0	DDR03	0
			PFR0	PFR03	0
			EPFR4	IN3E1, IN3E0	00
	1 番ポート	IN3_1	DDR8	DDR83	0
			PFR8	PFR83	0
			EPFR4	IN3E1, IN3E0	01
			ADCHE	ADE11	0
	2 番ポート	IN3_2	DDRG	DDRG3	0
			EPFR4	IN3E1, IN3E0	10
4	0 番ポート	IN4	DDR0	DDR04	0
			PFR0	PFR04	0
			EPFR5	IN4E1, IN4E0	00
	1 番ポート	IN4_1	DDR8	DDR84	0
			PFR8	PFR84	0
			EPFR5	IN4E1, IN4E0	01
			ADCHE	ADE12	0
	2 番ポート	IN4_2	DDRG	DDRG4	0
			PFRG	PFRG4	0
			EPFR5	IN4E1, IN4E0	10
5	0 番ポート	IN5	DDR0	DDR05	0
			PFR0	PFR05	0
			EPFR5	IN5E1, IN5E0	00
	1 番ポート	IN5_1	DDR8	DDR85	0
			PFR8	PFR85	0
			EPFR5	IN5E1, IN5E0	01
			ADCHE	ADE13	0
	2 番ポート	IN5_2	DDRG	DDRG5	0
			PFRG	PFRG5	0
			EPFR5	IN5E1, IN5E0	10
6	0 番ポート	IN6	DDR0	DDR06	0
			PFR0	PFR06	0
			EPFR5	IN6E1, IN6E0	00
	1 番ポート	IN6_1	DDR8	DDR86	0
			PFR8	PFR86	0
			EPFR5	IN6E1, IN6E0	01
			ADCHE	ADE14	0
	2 番ポート	IN6_2	DDRG	DDRG6	0
			PFRG	PFRG6	0
			EPFR5	IN6E1, IN6E0	10

チャンネル	ポート番号	端子名	レジスタ名	ビット名	書込み値
7	0 番ポート	IN7	DDR0	DDR07	0
			PFR0	PFR07	0
			EPFR5	IN7E1, IN7E0	00
	1 番ポート	IN7_1	DDR8	DDR87	0
			PFR8	PFR87	0
			EPFR5	IN7E1, IN7E0	01
			ADCHE	ADE15	0
	2 番ポート	IN7_2	DDRG	DDRG7	0
			EPFR5	IN7E1, IN7E0	10

■ 32 ビットアウトプットコンペア

32 ビットアウトプットコンペアは、チャンネルごとに OUT 端子が 3 本用意されています。
チャンネルごとに使用する端子を 1 本ずつ選択できます。

OUT 端子を使用する場合は、次の設定が必要です。

1. DDR レジスタおよび PFR レジスタでポート入力を設定 (DDR=0, PFR=0)
2. EPFR レジスタでこの端子と兼用している周辺機能の出力を禁止
(兼用端子については、端子配列図を参照してください。)
3. EPFR レジスタで使用する端子 (ポート番号) を選択
4. PFR レジスタで周辺機能を設定 (PFR=1)

基本的な設定については、下表を参照してください。

チャンネル	ポート番号	端子名	レジスタ名	ビット名	書込み値
0	0 番ポート	OUT0	PFR2	PFR24	1
			EPFR0	OUT0E2 ~ OUT0E0	001
			EPFR25	TIOA10E1, TIOA10E0	01 以外 *
			EPFR11	SOUT5E1, SOUT5E0	01 以外 *
	1 番ポート	OUT0_1	PFR7	PFR70	1
			EPFR0	OUT0E2 ~ OUT0E0	010
			ADCHE	ADE0	0
	2 番ポート	OUT0_2	PFR1	PFR14	1
			EPFR0	OUT0E2 ~ OUT0E0	100
			EPFR25	TIOA10E1, TIOA10E0	10 以外 *
			EPFR11	SOUT5E1, SOUT5E0	10 以外 *
1	0 番ポート	OUT1	PFR2	PFR25	1
			EPFR0	OUT1E2 ~ OUT1E0	001
	1 番ポート	OUT1_1	PFR7	PFR71	1
			EPFR0	OUT1E2 ~ OUT1E0	010
			ADCHE	ADE1	0
	2 番ポート	OUT1_2	PFR1	PFR15	1
			EPFR0	OUT1E2 ~ OUT1E0	100

チャンネル	ポート番号	端子名	レジスタ名	ビット名	書込み値
2	0 番ポート	OUT2	PFR2	PFR26	1
			EPFR1	OUT2E2 ~ OUT2E0	001
			EPFR25	TIOA11E1, TIOA11E0	01 以外 *
			EPFR11	SCK5E1, SCK5E0	01 以外 *
	1 番ポート	OUT2_1	PFR7	PFR72	1
			EPFR1	OUT2E2 ~ OUT2E0	010
			EPFR33	TMO0E1, TMO0E0	01 以外 *
			ADCHE	ADE2	0
	2 番ポート	OUT2_2	PFR1	PFR16	1
			EPFR1	OUT2E2 ~ OUT2E0	100
			EPFR25	TIOA11E1, TIOA11E0	10 以外 *
			EPFR11	SCK5E1, SCK5E0	10 以外 *
3	0 番ポート	OUT3	PFR2	PFR27	1
			EPFR1	OUT3E2 ~ OUT3E0	001
	1 番ポート	OUT3_1	PFR7	PFR73	1
			EPFR1	OUT3E2 ~ OUT3E0	010
			EPFR33	TMO1E1, TMO1E0	01 以外 *
			ADCHE	ADE3	0
	2 番ポート	OUT3_2	PFR1	PFR17	1
			EPFR1	OUT3E2 ~ OUT3E0	100
4	0 番ポート	OUT4	PFR3	PFR34	1
			EPFR2	OUT4E2 ~ OUT4E0	001
			EPFR27	TIOA14E1, TIOA14E0	01 以外 *
			EPFR13	SOUT7E1, SOUT7E0	01 以外 *
	1 番ポート	OUT4_1	PFR7	PFR74	1
			EPFR2	OUT4E2 ~ OUT4E0	010
			EPFR34	TMO2E1, TMO2E0	01 以外 *
			ADCHE	ADE4	0
	2 番ポート	OUT4_2	PFRC	PFRC4	1
			EPFR2	OUT4E2 ~ OUT4E0	100
			EPFR27	TIOA14E1, TIOA14E0	10 以外 *
			EPFR13	SOUT7E1, SOUT7E0	10 以外 *
5	0 番ポート	OUT5	PFR3	PFR35	1
			EPFR2	OUT5E2 ~ OUT5E0	001
	1 番ポート	OUT5_1	PFR7	PFR75	1
			EPFR2	OUT5E2 ~ OUT5E0	010
			EPFR6	SOUT0E2 ~ SOUT0E0	001 以外 *
			ADCHE	ADE5	0
	2 番ポート	OUT5_2	PFRC	PFRC5	1
			EPFR2	OUT5E2 ~ OUT5E0	100

チャンネル	ポート番号	端子名	レジスタ名	ビット名	書込み値
6	0 番ポート	OUT6	PFR3	PFR36	1
			EPFR3	OUT6E2 ~ OUT6E0	001
			EPFR27	TIOA15E1, TIOA15E0	01 以外 *
			EPFR13	SCK7E1, SCK7E0	01 以外 *
	1 番ポート	OUT6_1	PFR7	PFR76	1
			EPFR3	OUT6E2 ~ OUT6E0	010
			ADCHE	ADE6	0
	2 番ポート	OUT6_2	PFRC	PFRC6	1
			EPFR3	OUT6E2 ~ OUT6E0	100
			EPFR27	TIOA15E1, TIOA15E0	10 以外 *
			EPFR13	SCK7E1, SCK7E0	10 以外 *
7	0 番ポート	OUT7	PFR3	PFR37	1
			EPFR3	OUT7E2 ~ OUT7E0	001
	1 番ポート	OUT7_1	PFR7	PFR77	1
			EPFR3	OUT7E2 ~ OUT7E0	010
			EPFR6	SCK0E2 ~ SCK0E0	001 以外 *
			ADCHE	ADE7	0
	2 番ポート	OUT7_2	PFRC	PFRC7	1
			EPFR3	OUT7E2 ~ OUT7E0	100

*: 設定禁止値を書込みしないでください。詳細は「第14章 I/O ポート」を参照してください。

■ 16 ビットリロードタイマ

16 ビットリロードタイマは、チャンネルごとに TMI/TMO 端子が 2 本ずつ用意されています。

チャンネルごとに使用する TMI/TMO 端子を 1 本ずつ選択できます。ただし、同じチャンネルで使用する端子は、同じポート番号に割り当てられている端子を選択してください。

TMI 端子を使用する場合は、次の設定が必要です。

1. DDR レジスタおよび PFR レジスタでポート入力を設定 (DDR=0, PFR=0)
2. EPFR レジスタで使用する端子 (ポート番号) を選択
3. 16 ビットリロードタイマの動作を許可 (詳細は、「第21章 16 ビットリロードタイマ」を参照してください。)

TMO 端子を使用する場合は、次の設定が必要です。

1. DDR レジスタおよび PFR レジスタでポート入力を設定 (DDR=0, PFR=0)
2. EPFR レジスタでこの端子と兼用している周辺機能の出力を禁止
(兼用端子については、端子配列図を参照してください。)
3. EPFR レジスタで使用する端子 (ポート番号) を選択
4. PFR レジスタで周辺機能を設定 (PFR=1)

基本的な設定については、下表を参照してください。

チャンネル	ポート番号	端子名	レジスタ名	ビット名	書込み値
0	0 番ポート	TMI0	DDR7	DDR75	0
			PFR7	PFR75	0
			EPFR33	TMI0E	0
			ADCHE	ADE5	0
		TMO0	PFR7	PFR72	1
			EPFR33	TMO0E1, TMO0E0	01
			ADCHE	ADE2	0
	1 番ポート	TMI0_1	DDRA	DDRA5	0
			EPFR33	TMI0E	1
			ADCHE	ADE21	0
		TMO0_1	PFRA	PFRA2	1
			EPFR33	TMO0E1, TMO0E0	10
			ADCHE	ADE18	0
1	0 番ポート	TMI1	DDR7	DDR76	0
			PFR7	PFR76	0
			EPFR33	TMI1E	0
			ADCHE	ADE6	0
		TMO1	PFR7	PFR73	1
			EPFR33	TMO1E1, TMO1E0	01
			ADCHE	ADE3	0
	1 番ポート	TMI1_1	DDRA	DDRA6	0
			PFRA	PFRA6	0
			EPFR33	TMI1E	1
			ADCHE	ADE22	0
		TMO1_1	PFRA	PFRA3	1
			EPFR33	TMO1E1, TMO1E0	10
			ADCHE	ADE19	0
2	0 番ポート	TMI2	DDR7	DDR77	0
			PFR7	PFR77	0
			EPFR34	TMI2E	0
			ADCHE	ADE7	0
		TMO2	PFR7	PFR74	1
			EPFR34	TMO2E1, TMO2E0	01
			ADCHE	ADE4	0
	1 番ポート	TMI2_1	DDRA	DDRA7	0
			PFRA	PFRA7	0
			EPFR34	TMI2E	1
			ADCHE	ADE23	0
		TMO2_1	PFRA	PFRA4	1
			EPFR34	TMO2E1, TMO2E0	10
			ADCHE	ADE20	0

■ ベースタイマ

ベースタイマは、チャンネルごとに TIOA/TIOB 端子が 2 本ずつ用意されています。

チャンネルごとに使用する TIOA/TIOB 端子を 1 本ずつ選択できます。ただし、同じチャンネルで使用する端子は、同じポート番号に割り当てられている端子を選択してください。

TIOA/TIOB 端子を入力に使用する場合は、次の設定が必要です。

1. DDR レジスタおよび PFR レジスタでポート入力を設定 (DDR=0, PFR=0)
2. EPFR レジスタで使用する端子 (ポート番号) を選択
3. ベースタイマの動作を許可 (詳細は、「第23章 ベースタイマ」を参照してください。)

TIOA 端子を出力で使用する場合は、次の設定が必要です。

1. DDR レジスタおよび PFR レジスタでポート入力を設定 (DDR=0, PFR=0)
2. EPFR レジスタでこの端子と兼用している周辺機能の出力を禁止
(兼用端子については、端子配列図を参照してください。)
3. EPFR レジスタで使用する端子 (ポート番号) を選択
4. PFR レジスタで周辺機能を設定 (PFR=1)

基本的な設定については、下表を参照してください。

チャンネル	ポート番号	端子名	レジスタ名	ビット名	書込み値
0	0 番ポート	TIOA0	PFR0	PFR00	1
			EPFR20	TIOA0E1, TIOA0E0	01
			EPFR6	SOUT0E2 ~ SOUT0E0	010 以外*
		TIOB0	PFR0	PFR01	0
			DDR0	DDR01	0
			EPFR20	TIOB0E	0
	1 番ポート	TIOA0_1	PFRG	PFRG0	1
			EPFR20	TIOA0E1, TIOA0E0	10
			EPFR6	SOUT0E2 ~ SOUT0E0	100 以外*
		TIOB0_1	PFRG	PFRG1	0
			DDRG	DDRG1	0
			EPFR20	TIOB0E	1

チャンネル	ポート番号	端子名	レジスタ名	ビット名	書込み値
1	0 番ポート	TIOA1	PFR0	PFR02	入力時：0 出力時：1
			DDR0	DDR02	0 (入力時のみ)
			EPFR20	TIOA1E1, TIOA1E0	01
			EPFR6	SCK0E2 ~ SCK0E0	010 以外 *
		TIOB1	PFR0	PFR03	0
			DDR0	DDR03	0
			EPFR20	TIOB1E	0
	1 番ポート	TIOA1_1	PFRG	PFRG2	入力時：0 出力時：1
			DDRG	DDRG2	0 (入力時のみ)
			EPFR20	TIOA1E1, TIOA1E0	10
			EPFR6	SCK0E2 ~ SCK0E0	100 以外 *
		TIOB1_1	DDRG	DDRG3	0
			EPFR20	TIOB1E	1
2	0 番ポート	TIOA2	PFR0	PFR04	1
			EPFR21	TIOA2E1, TIOA2E0	01
			EPFR7	SOUT1E1, SOUT1E0	01 以外 *
		TIOB2	PFR0	PFR05	0
			DDR0	DDR05	0
			EPFR21	TIOB2E	0
	1 番ポート	TIOA2_1	PFRG	PFRG4	1
			EPFR21	TIOA2E1, TIOA2E0	10
			EPFR7	SOUT1E1, SOUT1E0	10 以外 *
		TIOB2_1	PFRG	PFRG5	0
			DDRG	DDRG5	0
			EPFR21	TIOB2E	1
3	0 番ポート	TIOA3	PFR0	PFR06	入力時：0 出力時：1
			DDR0	DDR06	0 (入力時のみ)
			EPFR21	TIOA3E1, TIOA3E0	01
			EPFR7	SCK1E1, SCK1E0	01 以外 *
		TIOB3	PFR0	PFR07	0
			DDR0	DDR07	0
			EPFR21	TIOB3E	0
	1 番ポート	TIOA3_1	PFRG	PFRG6	入力時：0 出力時：1
			DDRG	DDRG6	0 (入力時のみ)
			EPFR21	TIOA3E1, TIOA3E0	10
			EPFR7	SCK1E1, SCK1E0	10 以外 *
		TIOB3_1	DDRG	DDRG7	0
			EPFR21	TIOB3E	1

チャンネル	ポート番号	端子名	レジスタ名	ビット名	書込み値
4	0 番ポート	TIOA4	PFR1	PFR10	1
			EPFR22	TIOA4E1, TIOA4E0	01
			EPFR8	SOUT2E1, SOUT2E0	01 以外 *
		TIOB4	PFR1	PFR11	0
			DDR1	DDR11	0
			EPFR22	TIOB4E	0
	1 番ポート	TIOA4_1	PFRH	PFRH0	1
			EPFR22	TIOA4E1, TIOA4E0	10
			EPFR8	SOUT2E1, SOUT2E0	10 以外 *
		TIOB4_1	DDRH	DDRH1	0
			EPFR22	TIOB4E	1
5	0 番ポート	TIOA5	PFR1	PFR12	入力時 : 0 出力時 : 1
			DDR1	DDR12	0 (入力時のみ)
			EPFR22	TIOA5E1, TIOA5E0	01
			EPFR8	SCK2E1, SCK2E0	01 以外 *
		TIOB5	PFR1	PFR13	0
			DDR1	DDR13	0
	1 番ポート	TIOA5_1	EPFR22	TIOB5E	0
			PFRH	PFRH2	入力時 : 0 出力時 : 1
			DDRH	DDRH2	0 (入力時のみ)
			EPFR22	TIOA5E1, TIOA5E0	10
		TIOB5_1	EPFR8	SCK2E1, SCK2E0	10 以外 *
			DDRH	DDRH3	0
6	0 番ポート	TIOA6	EPFR22	TIOB5E	1
			PFR1	PFR14	1
			EPFR23	TIOA6E1, TIOA6E0	01
		TIOB6	EPFR9	SOUT3E1, SOUT3E0	01 以外 *
			PFR1	PFR15	0
			DDR1	DDR15	0
	1 番ポート	TIOA6_1	EPFR23	TIOB6E	0
			PFRH	PFRH4	1
			EPFR22	TIOA6E1, TIOA6E0	10
		TIOB6_1	EPFR9	SOUT3E1, SOUT3E0	10 以外 *
			DDRH	DDRH5	0
			EPFR23	TIOB6E	1

チャンネル	ポート番号	端子名	レジスタ名	ビット名	書込み値
7	0 番ポート	TIOA7	PFR1	PFR16	入力時：0 出力時：1
			DDR1	DDR16	0 (入力時のみ)
			EPFR23	TIOA7E1, TIOA7E0	01
			EPFR9	SCK3E1, SCK3E0	01 以外 *
		TIOB7	PFR1	PFR17	0
			DDR1	DDR17	0
			EPFR23	TIOB7E	0
	1 番ポート	TIOA7_1	PFRH	PFRH6	入力時：0 出力時：1
			DDRH	DDRH6	0 (入力時のみ)
			EPFR23	TIOA7E1, TIOA7E0	10
			EPFR9	SCK3E1, SCK3E0	10 以外 *
		TIOB7_1	PFRH	PFRH7	0
			DDRH	DDRH7	0
			EPFR23	TIOB7E	1
8	0 番ポート	TIOA8	PFR2	PFR20	1
			EPFR24	TIOA8E1, TIOA8E0	01
			EPFR10	SOUT4E1, SOUT4E0	01 以外 *
		TIOB8	PFR2	PFR21	0
			DDR2	DDR21	0
			EPFR24	TIOB8E	0
	1 番ポート	TIOA8_1	PFRI	PFRI0	1
			EPFR24	TIOA8E1, TIOA8E0	10
			EPFR10	SOUT4E1, SOUT4E0	10 以外 *
		TIOB8_1	DDRI	DDRI1	0
			EPFR24	TIOB8E	1
9	0 番ポート	TIOA9	PFR2	PFR22	入力時：0 出力時：1
			DDR2	DDR22	0 (入力時のみ)
			EPFR24	TIOA9E1, TIOA9E0	01
			EPFR10	SCK4E1, SCK4E0	01 以外 *
		TIOB9	PFR2	PFR23	0
			DDR2	DDR23	0
			EPFR24	TIOB9E	0
	1 番ポート	TIOA9_1	PFRI	PFRI2	入力時：0 出力時：1
			DDRI	DDRI2	0 (入力時のみ)
			EPFR24	TIOA9E1, TIOA9E0	10
			EPFR10	SCK4E1, SCK4E0	10 以外 *
		TIOB9_1	DDRI	DDRI3	0
			EPFR24	TIOB9E	1

チャンネル	ポート番号	端子名	レジスタ名	ビット名	書込み値
10	0 番ポート	TIOA10	PFR2	PFR24	1
			EPFR25	TIOA10E1, TIOA10E0	01
			EPFR11	SOUT5E1, SOUT5E0	01 以外 *
		TIOB10	PFR2	PFR25	0
			DDR2	DDR25	0
			EPFR25	TIOB10E	0
	1 番ポート	TIOA10_1	PFRI	PFRI4	1
			EPFR25	TIOA10E1, TIOA10E0	10
			EPFR11	SOUT5E1, SOUT5E0	10 以外 *
		TIOB10_1	PFRI	PFRI5	0
			DDRI	DDRI5	0
			EPFR25	TIOB10E	1
11	0 番ポート	TIOA11	PFR2	PFR26	入力時 : 0 出力時 : 1
			DDR2	DDR26	0 (入力時のみ)
			EPFR25	TIOA11E1, TIOA11E0	01
			EPFR11	SCK5E1, SCK5E0	01 以外 *
		TIOB11	PFR2	PFR27	0
			DDR2	DDR27	0
	1 番ポート	TIOA11_1	EPFR25	TIOB11E	0
			PFRI	PFRI6	入力時 : 0 出力時 : 1
			DDRI	DDRI6	0 (入力時のみ)
			EPFR25	TIOA11E1, TIOA11E0	10
		TIOB11_1	EPFR11	SCK5E1, SCK5E0	10 以外 *
			PFRI	PFRI7	0
12	0 番ポート	TIOA12	DDRI	DDRI7	0
			EPFR25	TIOB11E	1
		TIOB12	PFR3	PFR30	1
			EPFR26	TIOA12E1, TIOA12E0	01
			EPFR12	SOUT6E1, SOUT6E0	01 以外 *
	1 番ポート	TIOA12_1	PFR3	PFR31	0
			DDR3	DDR31	0
			EPFR26	TIOB12E	0
		TIOB12_1	PFRC	PFRC0	1
			EPFR26	TIOA12E1, TIOA12E0	10
		TIOB12_1	EPFR12	SOUT6E1, SOUT6E0	10 以外 *
			DDRC	DDRC1	0
			EPFR26	TIOB12E	1

チャンネル	ポート番号	端子名	レジスタ名	ビット名	書込み値
13	0 番ポート	TIOA13	PFR3	PFR32	入力時：0 出力時：1
			DDR3	DDR32	0 (入力時のみ)
			EPFR26	TIOA13E1, TIOA13E0	01
			EPFR12	SCK6E1, SCK6E0	01 以外 *
		TIOB13	PFR3	PFR33	0
			DDR3	DDR33	0
			EPFR26	TIOB13E	0
	1 番ポート	TIOA13_1	PFRC	PFRC2	入力時：0 出力時：1
			DDRC	DDRC2	0 (入力時のみ)
			EPFR26	TIOA13E1, TIOA13E0	10
			EPFR12	SCK6E1, SCK6E0	10 以外 *
		TIOB13_1	DDRC	DDRC3	0
			EPFR26	TIOB13E	1
14	0 番ポート	TIOA14	PFR3	PFR34	1
			EPFR27	TIOA14E1, TIOA14E0	01
			EPFR13	SOUT7E1, SOUT7E0	01 以外 *
		TIOB14	PFR3	PFR35	0
			DDR3	DDR35	0
			EPFR27	TIOB14E	0
	1 番ポート	TIOA14_1	PFRC	PFRC4	1
			EPFR27	TIOA14E1, TIOA14E0	10
			EPFR13	SOUT7E1, SOUT7E0	10 以外 *
		TIOB14_1	PFRC	PFRC5	0
			DDRC	DDRC5	0
			EPFR27	TIOB14E	1

チャンネル	ポート番号	端子名	レジスタ名	ビット名	書込み値
15	0 番ポート	TIOA15	PFR3	PFR36	入力時：0 出力時：1
			DDR3	DDR36	0 (入力時のみ)
			EPFR27	TIOA15E1, TIOA15E0	01
			EPFR13	SCK7E1, SCK7E0	01 以外 *
		TIOB15	PFR3	PFR37	0
			DDR3	DDR37	0
			EPFR27	TIOB15E	0
	1 番ポート	TIOA15_1	PFRC	PFRC6	入力時：0 出力時：1
			DDRC	DDRC6	0 (入力時のみ)
			EPFR27	TIOA15E1, TIOA15E0	10
			EPFR13	SCK7E1, SCK7E0	10 以外 *
		TIOB15_1	PFRC	PFRC7	0
			DDRC	DDRC7	0
			EPFR27	TIOB15E	1

*： 設定禁止値を書込みしないでください。詳細は「第 14 章 I/O ポート」を参照してください。

■ アップダウンカウンタ

アップダウンカウンタは、チャンネルごとに AIN/BIN/ZIN 端子が 3 本ずつ用意されています。

チャンネルごとに使用する AIN/BIN/ZIN 端子を 1 本ずつ選択できます。ただし、同じチャンネルで使用する端子は、同じポート番号に割り当てられている端子を選択してください。

AIN/BIN/ZIN 端子を使用する場合は、次の設定が必要です。

1. DDR レジスタおよび PFR レジスタでポート入力を設定 (DDR=0, PFR=0)
2. EPFR レジスタで使用する端子 (ポート番号) を選択
3. アップダウンカウンタの動作を許可 (詳細は、「第 24 章 アップダウンカウンタ」を参照してください。)

基本的な設定については、下表を参照してください。

チャンネル	ポート番号	端子名	レジスタ名	ビット名	書込み値
0	0 番ポート	AIN0	DDR1	DDR10	0
			PFR1	PFR10	0
			EPFR18	UDIN0E1, UDIN0E0	00
		BIN0	DDR1	DDR11	0
			PFR1	PFR11	0
			EPFR18	UDIN0E1, UDIN0E0	00
		ZIN0	DDR1	DDR12	0
			PFR1	PFR12	0
			EPFR18	UDIN0E1, UDIN0E0	00
	1 番ポート	AIN0_1	DDR5	DDR50	0
			PFR5	PFR50	0
			EPFR18	UDIN0E1, UDIN0E0	01
		BIN0_1	DDR5	DDR51	0
			PFR5	PFR51	0
			EPFR18	UDIN0E1, UDIN0E0	01
		ZIN0_1	DDR5	DDR52	0
			PFR5	PFR52	0
			EPFR18	UDIN0E1, UDIN0E0	01
	2 番ポート	AIN0_2	DDRH	DDRH0	0
			PFRH	PFRH0	0
			EPFR18	UDIN0E1, UDIN0E0	10
		BIN0_2	DDRH	DDRH1	0
			EPFR18	UDIN0E1, UDIN0E0	10
		ZIN0_2	DDRH	DDRH2	0
			PFRH	PFRH2	0
			EPFR18	UDIN0E1, UDIN0E0	10

チャンネル	ポート番号	端子名	レジスタ名	ビット名	書込み値
1	0 番ポート	AIN1	DDR1	DDR14	0
			PFR1	PFR14	0
			EPFR18	UDIN1E1, UDIN1E0	00
		BIN1	DDR1	DDR15	0
			PFR1	PFR15	0
			EPFR18	UDIN1E1, UDIN1E0	00
		ZIN1	DDR1	DDR16	0
			PFR1	PFR16	0
			EPFR18	UDIN1E1, UDIN1E0	00
	1 番ポート	AIN1_1	DDR5	DDR54	0
			PFR5	PFR54	0
			EPFR18	UDIN1E1, UDIN1E0	01
		BIN1_1	DDR5	DDR55	0
			PFR5	PFR55	0
			EPFR18	UDIN1E1, UDIN1E0	01
		ZIN1_1	DDR5	DDR56	0
			PFR5	PFR56	0
			EPFR18	UDIN1E1, UDIN1E0	01
	2 番ポート	AIN1_2	DDRH	DDRH4	0
			PFRH	PFRH4	0
			EPFR18	UDIN1E1, UDIN1E0	10
		BIN1_2	DDRH	DDRH5	0
			EPFR18	UDIN1E1, UDIN1E0	10
		ZIN1_2	DDRH	DDRH6	0
			PFRH	PFRH6	0
			EPFR18	UDIN1E1, UDIN1E0	10

チャンネル	ポート番号	端子名	レジスタ名	ビット名	書込み値
2	0 番ポート	AIN2	DDR2	DDR20	0
			PFR2	PFR20	0
			EPFR18	UDIN2E1, UDIN2E0	00
		BIN2	DDR2	DDR21	0
			PFR2	PFR21	0
			EPFR18	UDIN2E1, UDIN2E0	00
		ZIN2	DDR2	DDR22	0
			PFR2	PFR22	0
			EPFR18	UDIN2E1, UDIN2E0	00
	1 番ポート	AIN2_1	DDR6	DDR60	0
			EPFR18	UDIN2E1, UDIN2E0	01
		BIN2_1	DDR6	DDR61	0
			PFR6	PFR61	0
			EPFR18	UDIN2E1, UDIN2E0	01
		ZIN2_1	DDR6	DDR62	0
			EPFR18	UDIN2E1, UDIN2E0	01
	2 番ポート	AIN2_2	DDRI	DDRI0	0
			PFR1	PFR10	0
			EPFR18	UDIN2E1, UDIN2E0	10
		BIN2_2	DDRI	DDRI1	0
			EPFR18	UDIN2E1, UDIN2E0	10
		ZIN2_2	DDRI	DDRI2	0
			PFR1	PFR12	0
			EPFR18	UDIN2E1, UDIN2E0	10

チャンネル	ポート番号	端子名	レジスタ名	ビット名	書込み値
3	0 番ポート	AIN3	DDR2	DDR24	0
			PFR2	PFR24	0
			EPFR18	UDIN3E1, UDIN3E0	00
		BIN3	DDR2	DDR25	0
			PFR2	PFR25	0
			EPFR18	UDIN3E1, UDIN3E0	00
		ZIN3	DDR2	DDR26	0
			PFR2	PFR26	0
			EPFR18	UDIN3E1, UDIN3E0	00
	1 番ポート	AIN3_1	DDR6	DDR64	0
			PFR6	PFR64	0
			EPFR18	UDIN3E1, UDIN3E0	01
		BIN3_1	DDR6	DDR65	0
			EPFR18	UDIN3E1, UDIN3E0	01
		ZIN3_1	DDR6	DDR66	0
			PFR6	PFR66	0
			EPFR18	UDIN3E1, UDIN3E0	01
	2 番ポート	AIN3_2	DDRI	DDRI4	0
			PFR1	PFR14	0
			EPFR18	UDIN3E1, UDIN3E0	10
		BIN3_2	DDRI	DDRI5	0
			PFR1	PFR15	0
			EPFR18	UDIN3E1, UDIN3E0	10
		ZIN3_2	DDRI	DDRI6	0
			PFR1	PFR16	0
			EPFR18	UDIN3E1, UDIN3E0	10

■ 10 ビット A/D コンバータ

- AN 端子

端子名	レジスタ名	ビット名	書込み値
AN0 ~ AN7	ADCHE	ADE0 ~ ADE7	1
AN8 ~ AN15	ADCHE	ADE8 ~ ADE15	1
AN16 ~ AN23	ADCHE	ADE16 ~ ADE23	1
AN24 ~ AN30	ADCHE	ADE24 ~ ADE30	1

ADCHE : A/D チャネルイネーブルレジスタ

- ADTRG0 端子

10 ビット A/D コンバータの ADTRG0 端子は、4 本用意されています。

ユニットごとに使用する端子を 1 本ずつ選択できます。

ADTRG0 端子を使用する場合は、次の設定が必要です。

1. DDR レジスタおよび PFR レジスタでポート入力を設定 (DDR=0, PFR=0)
2. EPFR レジスタで使用する端子 (ポート番号) を選択
3. 10 ビット A/D コンバータの動作を許可 (詳細は、「第 25 章 10 ビット A/D コンバータ」を参照してください。)

基本的な設定については、下表を参照してください。

ユニット	ポート番号	端子名	レジスタ名	ビット名	書込み値
0	0 番ポート	ADTRG0	DDR5	DDR55	0
			PFR5	PFR55	0
			EPFR19	ADTRG0E2 ~ ADTRG0E0	000
	1 番ポート	ADTRG0_1	DDR6	DDR65	0
			EPFR19	ADTRG0E2 ~ ADTRG0E0	001
	2 番ポート	ADTRG0_2	DDRK	DDRK2	0
			EPFR19	ADTRG0E2 ~ ADTRG0E0	010
	3 番ポート	ADTRG0_3	DDRK	DDRK3	0
			EPFR19	ADTRG0E2 ~ ADTRG0E0	011
1	0 番ポート	ADTRG0	DDR5	DDR55	0
			PFR5	PFR55	0
			EPFR19	ADTRG1E2 ~ ADTRG1E0	000
	1 番ポート	ADTRG0_1	DDR6	DDR65	0
			EPFR19	ADTRG1E2 ~ ADTRG1E0	001
	2 番ポート	ADTRG0_2	DDRK	DDRK2	0
			EPFR19	ADTRG1E2 ~ ADTRG1E0	010
	3 番ポート	ADTRG0_3	DDRK	DDRK3	0
			EPFR19	ADTRG1E2 ~ ADTRG1E0	011

■ 8 ビット D/A コンバータ

端子名	レジスタ名	ビット名	書込み値
DA0 ~ DA2	DACR0 ~ DACR2	DAE	1

DACR : D/A コントロールレジスタ

■ マルチファンクションシリアルインタフェース

マルチファンクションシリアルインタフェースは、1 チャンネルに対し、複数の SCK 端子、SIN 端子、SOUT 端子が用意されています。

チャンネルごとに使用する SCK/SIN/SOUT 端子を 1 本ずつ選択できます。ただし、同じチャンネルで使用する端子は、同じポート番号に割り当てられている端子を選択してください。

SIN/SCK 端子を入力に使用する場合は、次の設定が必要です。

1. DDR レジスタおよび PFR レジスタでポート入力を設定 (DDR=0, PFR=0)
2. EPFR レジスタで使用する端子 (ポート番号) を選択
3. マルチファンクションシリアルインタフェースの動作を許可 (詳細は、「第 27 章 マルチファンクションシリアルインタフェース」を参照してください。)

SOUT/SCK 端子を出力で使用する場合は、次の設定が必要です。

1. DDR レジスタおよび PFR レジスタでポート入力を設定 (DDR=0, PFR=0)
2. EPFR レジスタでこの端子と兼用している周辺機能の出力を禁止
(兼用端子については、端子配列図を参照してください。)
3. EPFR レジスタで使用する端子 (ポート番号) を選択
4. PFR レジスタで周辺機能を設定 (PFR=1)

基本的な設定については、下表を参照してください。

チャンネル	ポート番号	端子名	レジスタ名	ビット名	書込み値
0	0 番ポート	SCK0	PFR7	PFR77	SCK 入力時 : 0 SCK 出力時 : 1
			DDR7	DDR77	0 (SCK 入力時のみ)
			EPFR6	SCK0E2 ~ SCK0E0	001
			SMR0	SCKE	入力許可 : 0 出力許可 : 1
			ADCHE	ADE7	0
		SIN0	DDR7	DDR76	0
			PFR7	PFR76	0
			EPFR6	SIN0E1, SIN0E0	00
			ADCHE	ADE6	0
		SOUT0	PFR7	PFR75	1
			EPFR6	SOUT0E2 ~ SOUT0E0	001
			SMR0	SOE	1
			ADCHE	ADE5	0
	1 番ポート	SCK0_1	PFR0	PFR02	SCK 入力時 : 0 SCK 出力時 : 1
			DDR0	DDR02	0 (SCK 入力時のみ)
			EPFR6	SCK0E2 ~ SCK0E0	010
			SMR0	SCKE	入力許可 : 0 出力許可 : 1
		SIN0_1	DDR0	DDR01	0
			PFR0	PFR01	0
			EPFR6	SIN0E1, SIN0E0	01
		SOUT0_1	PFR0	PFR00	1
			EPFR6	SOUT0E2 ~ SOUT0E0	010
			SMR0	SOE	1
	2 番ポート	SCK0_2	PFRG	PFRG2	SCK 入力時 : 0 SCK 出力時 : 1
			DDRG	DDRG2	0 (SCK 入力時のみ)
			EPFR6	SCK0E2 ~ SCK0E0	100
			SMR0	SCKE	入力許可 : 0 出力許可 : 1
		SIN0_2	DDRG	DDRG1	0
			PFRG	PFRG1	0
			EPFR6	SIN0E1, SIN0E0	10
		SOUT0_2	PFRG	PFRG0	1
			EPFR6	SOUT0E2 ~ SOUT0E0	100
			SMR0	SOE	1

MB91635A シリーズ

チャンネル	ポート番号	端子名	レジスタ名	ビット名	書込み値
1	0 番ポート	SCK1 (SCL1)	PFR0	PFR06	SCK 入力時：0 SCK 出力時または SCL 時：1
			DDR0	DDR06	0 (SCK 入力時のみ)
			EPFR7	SCK1E1, SCK1E0	01
			SMR1	SCKE	入力許可：0 出力許可：1 (SCK 時のみ)
		SIN1	DDR0	DDR05	0
			PFR0	PFR05	0
			EPFR7	SIN1E	0
		SOUT1 (SDA1)	PFR0	PFR04	1
			EPFR7	SOUT1E1, SOUT1E0	01
			SMR1	SOE	1
	1 番ポート	SCK1_1 (SCL1_1)	PFRG	PFRG6	SCK 入力時：0 SCK 出力時または SCL 時：1
			DDRG	DDRG6	0 (SCK 入力時のみ)
			EPFR7	SCK1E1, SCK1E0	10
			SMR1	SCKE	入力許可：0 出力許可：1 (SCK 時のみ)
		SIN1_1	DDRG	DDRG5	0
			PFRG	PFRG5	0
			EPFR7	SIN1E	1
		SOUT1_1 (SDA1_1)	PFRG	PFRG4	1
			EPFR7	SOUT1E1, SOUT1E0	10
			SMR1	SOE	1

チャンネル	ポート番号	端子名	レジスタ名	ビット名	書込み値
2	0 番ポート	SCK2 (SCL2)	PFR1	PFR12	SCK 入力時 : 0 SCK 出力時または SCL 時 : 1
			DDR1	DDR12	0 (SCK 入力時のみ)
			EPFR8	SCK2E1, SCK2E0	01
			SMR2	SCKE	入力許可 : 0 出力許可 : 1 (SCK 時のみ)
		SIN2	DDR1	DDR11	0
			PFR1	PFR11	0
			EPFR8	SIN2E	0
		SOUT2 (SDA2)	PFR1	PFR10	1
			EPFR8	SOUT2E1, SOUT2E0	01
			SMR2	SOE	1
	1 番ポート	SCK2_1 (SCL2_1)	PFRH	PFRH2	SCK 入力時 : 0 SCK 出力時または SCL 時 : 1
			DDRH	DDRH2	0 (SCK 入力時のみ)
			EPFR8	SCK2E1, SCK2E0	10
			SMR2	SCKE	入力許可 : 0 出力許可 : 1 (SCK 時のみ)
		SIN2_1	DDRH	DDRH1	0
			EPFR8	SIN2E	1
		SOUT2_1 (SDA2_1)	PFRH	PFRH0	1
			EPFR8	SOUT2E1, SOUT2E0	10
			SMR2	SOE	1

チャンネル	ポート番号	端子名	レジスタ名	ビット名	書込み値
3	0 番ポート	SCK3 (SCL3)	PFR1	PFR16	SCK 入力時 : 0 SCK 出力時または SCL 時 : 1
			DDR1	DDR16	0 (SCK 入力時のみ)
			EPFR9	SCK3E1, SCK3E0	01
			SMR3	SCKE	入力許可 : 0 出力許可 : 1 (SCK 時のみ)
		SIN3	DDR1	DDR15	0
			PFR1	PFR15	0
			EPFR9	SIN3E	0
		SOUT3 (SDA3)	PFR1	PFR14	1
			EPFR9	SOUT3E1, SOUT3E0	01
			SMR3	SOE	1
	1 番ポート	SCK3_1 (SCL3_1)	PFRH	PFRH6	SCK 入力時 : 0 SCK 出力時または SCL 時 : 1
			DDRH	DDRH6	0 (SCK 入力時のみ)
			EPFR9	SCK3E1, SCK3E0	10
			SMR3	SCKE	入力許可 : 0 出力許可 : 1 (SCK 時のみ)
		SIN3_1	DDRH	DDRH5	0
			EPFR9	SIN3E	1
		SOUT3_1 (SDA3_1)	PFRH	PFRH4	1
			EPFR9	SOUT3E1, SOUT3E0	10
			SMR3	SOE	1

チャンネル	ポート番号	端子名	レジスタ名	ビット名	書込み値
4	0 番ポート	SCK4 (SCL4)	PFR2	PFR22	SCK 入力時 : 0 SCK 出力時または SCL 時 : 1
			DDR2	DDR22	0 (SCK 入力時のみ)
			EPFR10	SCK4E1, SCK4E0	01
			SMR4	SCKE	入力許可 : 0 出力許可 : 1 (SCK 時のみ)
		SIN4	DDR2	DDR21	0
			PFR2	PFR21	0
			EPFR10	SIN4E	0
		SOUT4 (SDA4)	PFR2	PFR20	1
			EPFR10	SOUT4E1, SOUT4E0	01
			SMR4	SOE	1
	1 番ポート	SCK4_1 (SCL4_1)	PFRI	PFRI2	SCK 入力時 : 0 SCK 出力時または SCL 時 : 1
			DDRI	DDRI2	0 (SCK 入力時のみ)
			EPFR10	SCK4E1, SCK4E0	10
			SMR4	SCKE	入力許可 : 0 出力許可 : 1 (SCK 時のみ)
		SIN4_1	DDRI	DDRI1	0
			EPFR10	SIN4E	1
		SOUT4_1 (SDA4_1)	PFRI	PFRI0	1
			EPFR10	SOUT4E1, SOUT4E0	10
			SMR4	SOE	1

MB91635A シリーズ

チャンネル	ポート番号	端子名	レジスタ名	ビット名	書込み値
5	0 番ポート	SCK5 (SCL5)	PFR2	PFR26	SCK 入力時 : 0 SCK 出力時または SCL 時 : 1
			DDR2	DDR26	0 (SCK 入力時のみ)
			EPFR11	SCK5E1, SCK5E0	01
			SMR5	SCKE	入力許可 : 0 出力許可 : 1 (SCK 時のみ)
		SIN5	DDR2	DDR25	0
			PFR2	PFR25	0
			EPFR11	SIN5E	0
		SOUT5 (SDA5)	PFR2	PFR24	1
			EPFR11	SOUT5E1, SOUT5E0	01
			SMR5	SOE	1
	1 番ポート	SCK5_1 (SCL5_1)	PFRI	PFRI6	SCK 入力時 : 0 SCK 出力時または SCL 時 : 1
			DDRI	DDRI6	0 (SCK 入力時のみ)
			EPFR11	SCK5E1, SCK5E0	10
			SMR5	SCKE	入力許可 : 0 出力許可 : 1 (SCK 時のみ)
		SIN5_1	DDRI	DDRI5	0
			PFRI	PFRI5	0
			EPFR11	SIN5E	1
		SOUT5_1 (SDA5_1)	PFRI	PFRI4	1
			EPFR11	SOUT5E1, SOUT5E0	10
			SMR5	SOE	1

チャンネル	ポート番号	端子名	レジスタ名	ビット名	書込み値
6	0 番ポート	SCK6 (SCL6)	PFR3	PFR32	SCK 入力時 : 0 SCK 出力時または SCL 時 : 1
			DDR3	DDR32	0 (SCK 入力時のみ)
			EPFR12	SCK6E1, SCK6E0	01
			SMR6	SCKE	入力許可 : 0 出力許可 : 1 (SCK 時のみ)
		SIN6	DDR3	DDR31	0
			PFR3	PFR31	0
			EPFR12	SIN6E	0
		SOUT6 (SDA6)	PFR3	PFR30	1
			EPFR12	SOUT6E1, SOUT6E0	01
			SMR6	SOE	1
	1 番ポート	SCK6_1 (SCL6_1)	PFRC	PFRC2	SCK 入力時 : 0 SCK 出力時または SCL 時 : 1
			DDRC	DDRC2	0 (SCK 入力時のみ)
			EPFR12	SCK6E1, SCK6E0	10
			SMR6	SCKE	入力許可 : 0 出力許可 : 1 (SCK 時のみ)
		SIN6_1	DDRC	DDRC1	0
			EPFR12	SIN6E	1
		SOUT6_1 (SDA6_1)	PFRC	PFRC0	1
			EPFR12	SOUT6E1, SOUT6E0	10
			SMR6	SOE	1

MB91635A シリーズ

チャンネル	ポート番号	端子名	レジスタ名	ビット名	書込み値
7	0 番ポート	SCK7 (SCL7)	PFR3	PFR36	SCK 入力時 : 0 SCK 出力時または SCL 時 : 1
			DDR3	DDR36	0 (SCK 入力時のみ)
			EPFR13	SCK7E1, SCK7E0	01
			SMR7	SCKE	入力許可 : 0 出力許可 : 1 (SCK 時のみ)
		SIN7	DDR3	DDR35	0
			PFR3	PFR35	0
			EPFR13	SIN7E	0
		SOUT7 (SDA7)	PFR3	PFR34	1
			EPFR13	SOUT7E1, SOUT7E0	01
			SMR7	SOE	1
	1 番ポート	SCK7_1 (SCL7_1)	PFRC	PFRC6	SCK 入力時 : 0 SCK 出力時または SCL 時 : 1
			DDRC	DDRC6	0 (SCK 入力時のみ)
			EPFR13	SCK7E1, SCK7E0	10
			SMR7	SCKE	入力許可 : 0 出力許可 : 1 (SCK 時のみ)
		SIN7_1	DDRC	DDRC5	0
			PFRC	PFRC5	0
			EPFR13	SIN7E	1
		SOUT7_1 (SDA7_1)	PFRC	PFRC4	1
			EPFR13	SOUT7E1, SOUT7E0	10
			SMR7	SOE	1

チャンネル	ポート番号	端子名	レジスタ名	ビット名	書込み値
8	0 番ポート	SCK8 (SCL8)	PFR4	PFR42	SCK 入力時 : 0 SCK 出力時または SCL 時 : 1
			DDR4	DDR42	0 (SCK 入力時のみ)
			EPFR14	SCK8E1, SCK8E0	01
			SMR8	SCKE	入力許可 : 0 出力許可 : 1 (SCK 時のみ)
		SIN8	DDR4	DDR41	0
			PFR4	PFR41	0
			EPFR14	SIN8E	0
		SOUT8 (SDA8)	PFR4	PFR40	1
			EPFR14	SOUT8E1, SOUT8E0	01
			SMR8	SOE	1
9	0 番ポート	SCK9 (SCL9)	PFR4	PFR46	SCK 入力時 : 0 SCK 出力時または SCL 時 : 1
			DDR4	DDR46	0 (SCK 入力時のみ)
			EPFR15	SCK9E1, SCK9E0	01
			SMR9	SCKE	入力許可 : 0 出力許可 : 1 (SCK 時のみ)
		SIN9	DDR4	DDR45	0
			PFR4	PFR45	0
			EPFR15	SIN9E	0
		SOUT9 (SDA9)	PFR4	PFR44	1
			EPFR15	SOUT9E1, SOUT9E0	01
			SMR9	SOE	1

チャンネル	ポート番号	端子名	レジスタ名	ビット名	書込み値
10	0 番ポート	SCK10 (SCL10)	PFR5	PFR52	SCK 入力時：0 SCK 出力時または SCL 時：1
			DDR5	DDR52	0 (SCK 入力時のみ)
			EPFR16	SCK10E1, SCK10E0	01
			SMR10	SCKE	入力許可：0 出力許可：1 (SCK 時のみ)
		SIN10	DDR5	DDR51	0
			PFR5	PFR51	0
			EPFR16	SIN10E	0
		SOUT10 (SDA10)	PFR5	PFR50	1
			EPFR16	SOUT10E1, SOUT10E0	01
			SMR10	SOE	1
11	0 番ポート	SCK11 (SCL11)	PFR5	PFR56	SCK 入力時：0 SCK 出力時または SCL 時：1
			DDR5	DDR56	0 (SCK 入力時のみ)
			EPFR17	SCK11E1, SCK11E0	01
			SMR11	SCKE	入力許可：0 出力許可：1 (SCK 時のみ)
		SIN11	DDR5	DDR55	0
			PFR5	PFR55	0
			EPFR17	SIN11E	0
		SOUT11 (SDA11)	PFR5	PFR54	1
			EPFR17	SOUT11E1, SOUT11E0	01
			SMR11	SOE	1

SMR：シリアルモードレジスタ

< 注意事項 >

動作モードによって、有効となる端子が変わります。詳細は「第 27 章 マルチファンクションシリアル インタフェース」を参照してください。

■ DMA コントローラ (DMAC)

DREQ 端子を入力に使用する場合は、次の設定が必要です。

1. DDR レジスタおよび PFR レジスタでポート入力を設定 (DDR=0, PFR=0)
2. EPFR レジスタで使用する端子 (ポート番号) を選択
3. DREQ 端子の動作を許可 (詳細は、「第 28 章 DMA コントローラ (DMAC)」を参照してください。)

DACK/DEOP 端子を出力で使用する場合は、次の設定が必要です。

1. DDR レジスタおよび PFR レジスタでポート入力を設定 (DDR=0, PFR=0)
2. EPFR レジスタでこの端子と兼用している周辺機能の出力を禁止
(兼用端子については、端子配列図を参照してください。)
3. PFR レジスタで周辺機能を設定 (PFR=1)

基本的な設定については、下表を参照してください。

チャネル	端子名	レジスタ名	ビット名	書込み値
0	DACK0	PFR6	PFR63	1
	DEOP0	PFR6	PFR64	1
	DREQ0	DDR6	DDR62	0
1	DACK1	PFR6	PFR66	1
	DEOP1	PFR6	PFR67	1
	DREQ1	DDR6	DDR65	0
2	DACK2	PFRG	PFRG1	1
	DEOP2	PFRG	PFRG2	1
		EPFR20	TIOA1E1, TIOA1E0	10 以外 *
		EPFR6	SCK0E2 ~ SCK0E0	100 以外 *
	DREQ2	DDRG	DDRG0	0
		PFRG	PFRG0	0
3	DACK3	PFRG	PFRG4	1
		EPFR21	TIOA2E1, TIOA2E0	10 以外 *
		EPFR7	SOUT1E1, SOUT1E0	10 以外 *
	DEOP3	PFRG	PFRG5	1
	DREQ3	DDRG	DDRG3	0

* : 設定禁止値を書込みしないでください。詳細は「第 14 章 I/O ポート」を参照してください。

■ 外部バスインタフェース

外部バスインタフェース端子を割り当てる場合は、その端子を兼用しているほかの端子設定をすべて無効にします。

- A 端子

1. DDR レジスタおよび PFR レジスタでポート入力を設定 (DDR=0, PFR=0)
2. EPFR レジスタでこの端子と兼用している周辺機能の出力を禁止
(兼用端子については、端子配列図を参照してください。)
3. 外部バスインタフェースの設定 (詳細は、「第 13 章 外部バス インタフェース」を参照してください。)
4. PFR レジスタで周辺機能を設定 (PFR=1)

端子名	レジスタ名	ビット名	書込み値
A00	PFR2	PFR20	1
	EPFR10	SOUT4E1, SOUT4E0	01 以外 *
	EPFR24	TIOA8E1, TIOA8E0	01 以外 *
A01	PFR2	PFR21	1
A02	PFR2	PFR22	1
	EPFR10	SCK4E1, SCK4E0	01 以外 *
	EPFR24	TIOA9E1, TIOA9E0	01 以外 *
A03	PFR2	PFR23	1
A04	PFR2	PFR24	1
	EPFR0	OUT0E2 ~ OUT0E0	001 以外 *
	EPFR11	SOUT5E1, SOUT5E0	01 以外 *
	EPFR25	TIOA10E1, TIOA10E0	01 以外 *
A05	PFR2	PFR25	1
	EPFR0	OUT1E2 ~ OUT1E0	001 以外 *
A06	PFR2	PFR26	1
	EPFR1	OUT2E2 ~ OUT2E0	001 以外 *
	EPFR11	SCK5E1, SCK5E0	01 以外 *
	EPFR25	TIOA11E1, TIOA11E0	01 以外 *
A07	PFR2	PFR27	1
	EPFR1	OUT3E2 ~ OUT3E0	001 以外 *
A08	PFR3	PFR30	1
	EPFR12	SOUT6E1, SOUT6E0	01 以外 *
	EPFR26	TIOA12E1, TIOA12E0	01 以外 *
A09	PFR3	PFR31	1
A10	PFR3	PFR32	1
	EPFR12	SCK6E1, SCK6E0	01 以外 *
	EPFR26	TIOA13E1, TIOA13E0	01 以外 *
A11	PFR3	PFR33	1

端子名	レジスタ名	ビット名	書込み値
A12	PFR3	PFR34	1
	EPFR2	OUT4E2 ~ OUT4E0	001 以外 *
	EPFR13	SOUT7E1, SOUT7E0	01 以外 *
	EPFR27	TIOA14E1, TIOA14E0	01 以外 *
A13	PFR3	PFR35	1
	EPFR2	OUT5E2 ~ OUT5E0	001 以外 *
A14	PFR3	PFR36	1
	EPFR3	OUT6E2 ~ OUT6E0	001 以外 *
	EPFR13	SCK7E1, SCK7E0	01 以外 *
	EPFR27	TIOA15E1, TIOA15E0	01 以外 *
A15	PFR3	PFR37	1
	EPFR3	OUT7E2 ~ OUT7E0	001 以外 *
A16	PFR4	PFR40	1
	EPFR14	SOUT8E1, SOUT8E0	01 以外 *
A17	PFR4	PFR41	1
A18	PFR4	PFR42	1
	EPFR14	SCK8E1, SCK8E0	01 以外 *
A19	PFR4	PFR43	1
A20	PFR4	PFR44	1
	EPFR15	SOUT9E1, SOUT9E0	01 以外 *
A21	PFR4	PFR45	1
A22	PFR4	PFR46	1
	EPFR15	SCK9E1, SCK9E0	01 以外 *
A23	PFR4	PFR47	1

* : 設定禁止値を書込みしないでください。詳細は「第 14 章 I/O ポート」を参照してください。

• \overline{AS} 端子

1. DDR レジスタおよび PFR レジスタでポート入力を設定 (DDR=0, PFR=0)
2. EPFR レジスタでこの端子と兼用している周辺機能の出力を禁止
(兼用端子については、端子配列図を参照してください。)
3. 外部バスインタフェースの設定 (詳細は、「第 13 章 外部バス インタフェース」を参照してください。)
4. PFR レジスタで周辺機能を設定 (PFR=1)

端子名	レジスタ名	ビット名	書込み値
\overline{AS}	PFR5	PFR54	1
	EPFR17	SOUT11E1, SOUT11E0	01 以外 *

* : 設定禁止値を書込みしないでください。詳細は「第 14 章 I/O ポート」を参照してください。

• $\overline{\text{CS}}$ 端子

1. DDR レジスタおよび PFR レジスタでポート入力を設定 (DDR=0, PFR=0)
2. EPFR レジスタでこの端子と兼用している周辺機能の出力を禁止
(兼用端子については、端子配列図を参照してください。)
3. 外部バスインタフェースの設定 (詳細は、「第13章 外部バス インタフェース」を参照してください。)
4. PFR レジスタで周辺機能を設定 (PFR=1)

端子名	レジスタ名	ビット名	書込み値
$\overline{\text{CS0}}$	PFR5	PFR50	1
	EPFR16	SOUT10E1, SOUT10E0	01 以外 *
$\overline{\text{CS1}}$	PFR5	PFR51	1
$\overline{\text{CS2}}$	PFR5	PFR52	1
	EPFR16	SCK10E1, SCK10E0	01 以外 *
$\overline{\text{CS3}}$	PFR5	PFR53	1

* : 設定禁止値を書込みしないでください。詳細は「第14章 I/O ポート」を参照してください。

• D 端子

1. DDR レジスタおよび PFR レジスタでポート入力を設定 (DDR=0, PFR=0)
2. EPFR レジスタでこの端子と兼用している周辺機能の出力を禁止
(兼用端子については、端子配列図を参照してください。)
3. 外部バスインタフェースの設定 (詳細は、「第13章 外部バス インタフェース」を参照してください。)
4. PFR レジスタで周辺機能を設定 (PFR=1)

端子名	レジスタ名	ビット名	書込み値
D00	PFR0	PFR00	1
	EPFR6	SOUT0E2 ~ SOUT0E0	010 以外 *
	EPFR20	TIOA0E1, TIOA0E0	01 以外 *
D01	PFR0	PFR01	1
D02	PFR0	PFR02	1
	EPFR6	SCK0E2 ~ SCK0E0	010 以外 *
	EPFR20	TIOA1E1, TIOA1E0	01 以外 *
D03	PFR0	PFR03	1
D04	PFR0	PFR04	1
	EPFR7	SOUT1E1, SOUT1E0	01 以外 *
	EPFR21	TIOA2E1, TIOA2E0	01 以外 *
D05	PFR0	PFR05	1
D06	PFR0	PFR06	1
	EPFR7	SCK1E1, SCK1E0	01 以外 *
	EPFR21	TIOA3E1, TIOA3E0	01 以外 *
D07	PFR0	PFR07	1

端子名	レジスタ名	ビット名	書込み値
D08	PFR1	PFR10	1
	EPFR8	SOUT2E1, SOUT2E0	01 以外 *
	EPFR22	TIOA4E1, TIOA4E0	01 以外 *
D09	PFR1	PFR11	1
D10	PFR1	PFR12	1
	EPFR8	SCK2E1, SCK2E0	01 以外 *
	EPFR22	TIOA5E1, TIOA5E0	01 以外 *
D11	PFR1	PFR13	1
D12	PFR1	PFR14	1
	EPFR9	SOUT3E1, SOUT3E0	01 以外 *
	EPFR23	TIOA6E1, TIOA6E0	01 以外 *
D13	PFR1	PFR15	1
D14	PFR1	PFR16	1
	EPFR9	SCK3E1, SCK3E0	01 以外 *
	EPFR23	TIOA7E1, TIOA7E0	01 以外 *
D15	PFR1	PFR17	1

*: 設定禁止値を書込みしないでください。詳細は「第14章 I/Oポート」を参照してください。

• RD 端子

1. DDR レジスタおよび PFR レジスタでポート入力を設定 (DDR=0, PFR=0)
2. 外部バスインタフェースの設定 (詳細は、「第13章 外部バス インタフェース」を参照してください。)
3. PFR レジスタで周辺機能を設定 (PFR=1)

端子名	レジスタ名	ビット名	書込み値
$\overline{\text{RD}}$	PFR5	PFR55	1

• RDY 端子

1. DDR レジスタでポート入力を設定 (DDR=0)
2. 外部バスインタフェースの設定 (詳細は、「第13章 外部バス インタフェース」を参照してください。)

端子名	レジスタ名	ビット名	書込み値
RDY	DDR6	DDR60	0

• SYSCLK 端子

1. DDR レジスタおよび PFR レジスタでポート入力を設定 (DDR=0, PFR=0)
2. 外部バスインタフェースの設定 (詳細は、「第13章 外部バス インタフェース」を参照してください。)
3. PFR レジスタで周辺機能を設定 (PFR=1)

端子名	レジスタ名	ビット名	書込み値
SYSCLK	PFR6	PFR61	1

• $\overline{\text{WR0}}$, $\overline{\text{WR1}}$ 端子

1. DDR レジスタおよび PFR レジスタでポート入力を設定 (DDR=0, PFR=0)
2. EPFR レジスタでこの端子と兼用している周辺機能の出力を禁止
(兼用端子については、端子配列図を参照してください。)
3. 外部バスインタフェースの設定 (詳細は、「第13章 外部バス インタフェース」を参照してください。)
4. PFR レジスタで周辺機能を設定 (PFR=1)

端子名	レジスタ名	ビット名	書込み値
$\overline{\text{WR0}}$	PFR5	PFR56	1
	EPFR17	SCK11E1, SCK11E0	01 以外 *
$\overline{\text{WR1}}$	PFR5	PFR57	1

*: 設定禁止値を書込みしないでください。詳細は「第14章 I/O ポート」を参照してください。

第 3 章 CPU

FR80 ファミリ CPU の機能を知るために、アーキテクチャ、仕様、命令などの基本的な事柄について説明します。

- 3.1 メモリ空間
- 3.2 内部アーキテクチャの特徴
- 3.3 動作モード
- 3.4 パイプライン
- 3.5 命令概要
- 3.6 基本プログラミングモデル
- 3.7 レジスタ
- 3.8 データ構造
- 3.9 アドレッシング
- 3.10 分岐命令
- 3.11 EIT (例外・割込み・トラップ)

3.1 メモリ空間

FR80 ファミリ CPU の論理アドレスは 4G バイト (2^{32} 番地) あり, CPU はリニアにアクセスを行います。

■ ダイレクトアドレッシング領域

アドレス空間の $0000\ 0000_H \sim 0000\ 03FF_H$ をダイレクトアドレッシング領域とよびます。

この領域は, 命令中で直接オペランドを指定できます。

アクセスするデータのサイズによって, ダイレクトアドレッシング領域は次のようになります。

- バイトデータアクセス: $0000\ 0000_H \sim 0000\ 00FF_H$
- ハーフワードデータアクセス: $0000\ 0000_H \sim 0000\ 01FF_H$
- ワードデータアクセス: $0000\ 0000_H \sim 0000\ 03FF_H$

■ メモリマップ

MB91635A シリーズのメモリマップを図 3.1-1 に示します。

図 3.1-1 メモリマップ

MB91F635A FLASH 256K バイト RAM 32K バイト	MB91F637A FLASH 512K バイト RAM 48K バイト	MB91F639A FLASH 1M バイト RAM 64K バイト	MB91637A ROM 512K バイト RAM 48K バイト
0000 0000 _H I/O 領域 (ダイレクト アドレッシング)	0000 0000 _H I/O 領域 (ダイレクト アドレッシング)	0000 0000 _H I/O 領域 (ダイレクト アドレッシング)	0000 0000 _H I/O 領域 (ダイレクト アドレッシング)
0000 0400 _H I/O 領域	0000 0400 _H I/O 領域	0000 0400 _H I/O 領域	0000 0400 _H I/O 領域
0001 0000 _H 予約	0001 0000 _H 予約	0001 0000 _H 予約	0001 0000 _H 予約
0003 8000 _H 内蔵RAM 領域32K バイト	0003 4000 _H 内蔵RAM 領域 48K バイト	0003 0000 _H 内蔵RAM 領域 64K バイト	0003 4000 _H 内蔵RAM 領域 48K バイト
0004 0000 _H 予約	0004 0000 _H 予約	0004 0000 _H FLASH 領域 1M バイト	0004 0000 _H 予約
000C 0000 _H FLASH 領域256K バイト	0008 0000 _H FLASH 領域 512K バイト	000F 0000 _H 小セクタ領域	0008 0000 _H ROM 領域 512K バイト
000F 0000 _H 小セクタ領域	000F 0000 _H 小セクタ領域	0010 0000 _H 予約	0010 0000 _H 予約
0024 0000 _H 外部バス領域	0024 0000 _H 外部バス領域	0024 0000 _H 外部バス領域	0024 0000 _H 外部バス領域
FFFF FFFF _H	FFFF FFFF _H	FFFF FFFF _H	FFFF FFFF _H

< 注意事項 >

- フラッシュメモリの小セクタ領域については、「第 31 章 フラッシュメモリ」を参照してください。
小セクタ領域は、フラッシュメモリ品のみ関係します。
- 予約領域にはアクセスしないでください。

3.2 内部アーキテクチャの特徴

FR80 ファミリ CPU は、RISC アーキテクチャを採用すると同時に、組込み用途に向けた高機能命令を導入した高性能コアです。

- RISC アーキテクチャの採用
基本命令 1 命令 1 サイクル
- 32 ビットアーキテクチャ
汎用レジスタ 32 ビット× 16 本
- 4G バイトのリニアなメモリ空間
- 乗算器の内蔵
 - 32 ビット× 32 ビット乗算 5 サイクル
 - 16 ビット× 16 ビット乗算 3 サイクル
- 割込み処理機能の強化
 - 高速応答速度 (6 サイクル)
 - 多重割込みのサポート
 - レベルマスク機能 (16 レベル)
- I/O 操作用命令の強化
 - メモリ - メモリ転送命令
 - ビット処理命令
- 高いコード効率
 - 基本命令語長 16 ビット
- FR60 ファミリと基本命令互換
- FR60 ファミリに対し次の命令を追加
 - ビットサーチ命令 (SRCH0, SRCH1, SRCHC)
- FR60 ファミリから次の命令を削除
 - コプロ命令 (COPOP, COPLD, COPST, COPSV)
 - リソース命令 (LDRES, STRES)
- ノンブロッキングロード
最大で 4 つのロード命令を先行して発行可能

3.3 動作モード

本シリーズの動作モードについて説明します。

本シリーズは以下の動作モードを持ち、デバイス起動時に動作モードを選択できます。

- ユーザシングルチップモード
- シリアル書込みモード

本シリーズの動作モードを表 3.3-1 に示します。

表 3.3-1 動作モード

MD 端子		制御端子	動作モード
MD1	MD0	P75	
0	0	X	ユーザシングルチップモード
	1	1	シリアル書込みモード

3.4 パイプライン

FR80 ファミリ CPU は 32 ビット RISC の FR アーキテクチャをコンパクトにインプリメントしたものです。

通常命令実行パイプラインに加えてメモリロード用パイプラインを追加することにより、ロード命令実行中のパイプラインハザードの低減を行います。

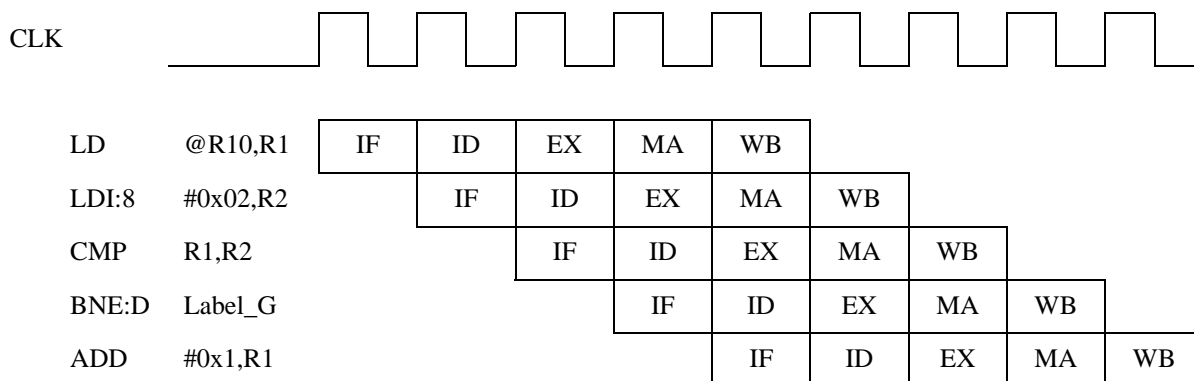
1 サイクルあたり 1 命令の実行を行うため、5 段階の命令パイプライン方式を採用しています。パイプラインは次のステージから構成されています。

- 命令フェッチステージ (IF) : 出力したアドレスの命令を取得します。
- 命令デコードステージ (ID) : フェッチした命令をデコードします。レジスタの読出しも行います。
- 実行ステージ (EX) : デコードした命令を実行します。
- メモリアクセスステージ (MA) : 対象となるメモリにアクセスします。
- レジスタ書き込みステージ (WB) : 演算結果 (またはロードされたメモリデータ) をレジスタに書き込みます。

メモリロード用のパイプラインを追加しているため、メモリアクセスを行わない命令の MA, WB ステージと LD 命令の MA, WB ステージは重なることができます。

命令の実行は、原則として 1 サイクルあたり 1 命令の速度で行われます。ただし、メモリウェイトを伴ったロード・ストア命令、遅延スロットを持たない分岐命令、複数サイクル命令では命令の実行に複数のサイクルが必要となります。また、命令の供給が遅い場合も命令の実行速度が低下します。

(例 1)



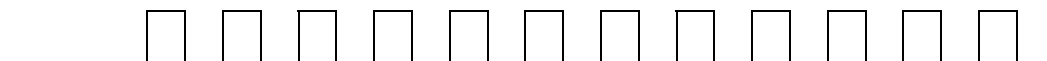
例 1 : の CMP 命令で の LD 命令を書き込む R1 を使用しているがデータが 1 サイクルで返ってきているため、順番通りに命令を実行します。

ロード系動作では、ロードしたデータの読込みが終了するまで MA ステージが延長されます。

ただし、ロードで使用するレジスタを、以降の命令で使用しない場合はそのまま命令を実行します。

(例 2)

CLK



LD	@R10,R1	IF	ID	EX	MA	MA	MA	WB											
LDI:8	#0x02,R2		IF	ID	EX	MA	WB												
CMP	R1,R2			IF	ID	ID	ID	EX	MA	WB									
BNE:D	Label_G						IF	ID	EX	MA	WB								
ADD	#0x1,R1							IF	ID	EX	MA	WB							

例 2： の CMP 命令で の LD 命令を書込む R1 を使用しているがデータが 1 サイクルで返ってこない場合、 の LDI:8 命令まで実行し、CMP はレジスタコンフリクトにより ID ステージで待たされます。

3.5 命令概要

FR80 ファミリ CPU は、一般的な RISC の命令体系に加え、組み込み用途に最適化された論理演算とビット操作命令およびダイレクトアドレッシング命令をサポートしています。各命令は 16 ビット長（一部命令は 32, 48 ビット長）ですので、優れたメモリ使用効率を持ちます。

命令セットは次の機能グループに分けることができます。

- 算術演算
- ロードとストア
- 分岐
- 論理演算とビット操作
- ダイレクトアドレッシング
- ビットサーチ
- その他

3.5.1 算術演算

標準の算術演算命令（加算、減算、比較）およびシフト命令（論理シフト、算術演算シフト）があります。加算と減算については、多ワード長演算（32 ビット以上のデータの演算）で使用するキャリ付演算や、アドレス計算に便利なフラグ値を変化させない演算も可能です。

さらに、32 ビット × 32 ビット、16 ビット × 16 ビットの乗算命令と、32 ビット ÷ 32 ビットのステップ除算命令を持ちます。

また、レジスタに即値をセットする即値転送命令や、レジスタ間転送命令も備えています。

算術演算命令はすべて CPU 内の汎用レジスタおよび乗除算レジスタを用いて演算を行います。

3.5.2 ロードとストア

ロードとストアは外部メモリに対して読出しと書込みを行う命令です。また、チップ内の周辺機能の読出しと書込みにも使用されます。

ロードとストアはバイト、ハーフワード、ワードの 3 種類のアクセス長を持ちます。また一般的なレジスタ間接のメモリアドレッシングに加え、一部の命令についてはディスプレースメント付レジスタ間接やレジスタインクリメント・デクリメント付レジスタ間接のメモリアドレッシングも可能です。

3.5.3 分岐

分岐, コール, 割込みおよび復帰の命令です。分岐命令は, 遅延スロットを持つものと持たないものがあり, 用途に応じて最適化を行うことができます。分岐命令の詳細については, 「3.10 分岐命令」を参照してください。

3.5.4 論理演算とビット操作

論理演算命令は汎用レジスタ間, または汎用レジスタとメモリ (および I/O) 間で AND, OR, EOR の論理演算を行うことが可能です。またビット操作命令はメモリ (および I/O) の内容を直接操作することができます。メモリアドレッシングは一般的なレジスタ間接です。

3.5.5 ダイレクトアドレッシング

ダイレクトアドレッシング命令は I/O と汎用レジスタ間, または I/O とメモリ間のアクセスに使用する命令です。I/O のアドレスをレジスタ間接ではなく命令中で直接指定することにより, 高速, 高効率なアクセスを行うことができます。一部の命令についてはレジスタインクリメント・デクリメント付レジスタ間接のメモリアドレッシングも可能です。

3.5.6 ビットサーチ

ビットサーチ命令は 32 ビットのデータを MSB から探索を行い, 最初に見つかった "1" または "0" のビット位置をレジスタに示すことができます。また, MSB の値と比較を行い, 最初に見つかった MSB と異なる値のビット位置をレジスタに示すことができます。

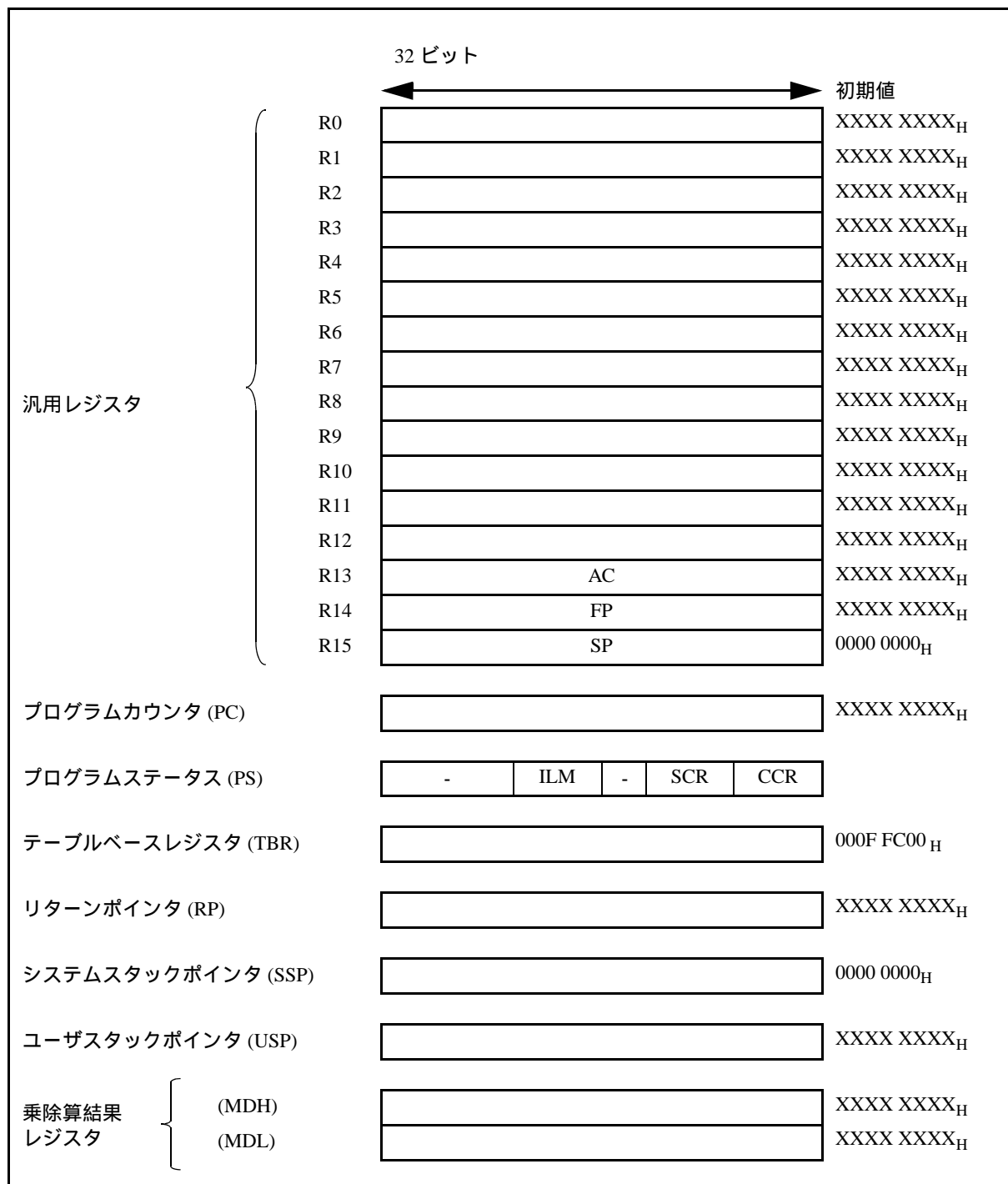
3.5.7 その他

PS レジスタ内のフラグ設定, スタック操作, 符号 / ゼロ拡張などを行う命令があります。また高級言語対応の関数入口 / 出口, レジスタマルチロード / ストア命令も備えています。

3.6 基本プログラミングモデル

基本プログラミングモデルを図 3.6-1 に示します。

図 3.6-1 基本プログラミングモデル



3.7 レジスタ

汎用レジスタおよび、特定の目的のために使用する専用レジスタで構成されています。

3.7.1 汎用レジスタ (R0 ~ R15)

R0 ~ R15 は汎用レジスタです。各種演算におけるアキュムレータ，およびメモリアクセスのポインタとして使用されます。

汎用レジスタ (R0 ~ R15) のビット構成を図 3.7-1 に示します。

図 3.7-1 汎用レジスタ (R0 ~ R15) のビット構成

32 ビット		初期値
R0		XXXX XXXX _H
R1		XXXX XXXX _H
R2		XXXX XXXX _H
R3		XXXX XXXX _H
R4		XXXX XXXX _H
R5		XXXX XXXX _H
R6		XXXX XXXX _H
R7		XXXX XXXX _H
R8		XXXX XXXX _H
R9		XXXX XXXX _H
R10		XXXX XXXX _H
R11		XXXX XXXX _H
R12		XXXX XXXX _H
R13	AC	XXXX XXXX _H
R14	FP	XXXX XXXX _H
R15	SP	0000 0000 _H

16本のレジスタのうち、以下に示すレジスタは特殊な用途を想定しており、そのために一部の命令が強化されています。リセット時の初期値については、図 3.7-1 を参照してください。

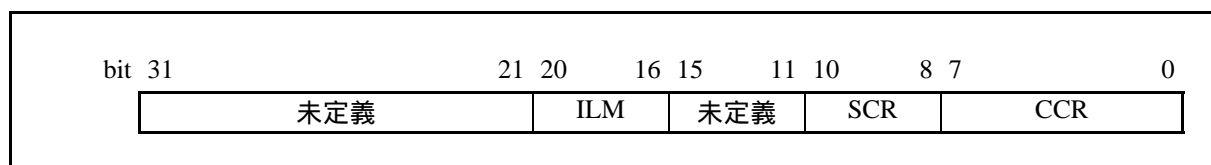
- R13：AC (仮想アキュムレータ)
- R14：FP (フレームポインタ)
- R15：SP (スタックポインタ)

3.7.2 プログラムステータスレジスタ (PS)

プログラムステータスを保持するレジスタで、割込みレベルマスクレジスタ (ILM)、システムコンディションコードレジスタ (SCR) および、コンディションコードレジスタ (CCR) の3つのパートに分かれています。

プログラムステータスレジスタ (PS) のビット構成を図 3.7-2 に示します。

図 3.7-2 プログラムステータスレジスタ (PS) のビット構成



[bit31 ~ bit21, bit15 ~ bit11] 未定義ビット

書込み時	無視されます。
読出し時	常に "0" が読み出されます。

[bit20 ~ bit16] 割込みレベルマスクレジスタ (ILM)

「 割込みレベルマスクレジスタ (ILM)」を参照してください。

[bit10 ~ bit8] システムコンディションコードレジスタ (SCR)

「 システムコンディションレジスタ (SCR)」を参照してください。

[bit7 ~ bit0] コンディションコードレジスタ (CCR)

「 コンディションコードレジスタ (CCR)」を参照してください。

■ コンディションコードレジスタ (CCR)

コンディションコードレジスタ (CCR) のビット構成を図 3.7-3 に示します。

図 3.7-3 コンディションコードレジスタ (CCR) のビット構成

bit	7	6	5	4	3	2	1	0
	未定義	未定義	S	I	N	Z	V	C
属性	-	-	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	X	X	X	X

R/W : リード / ライト可能
 - : 未定義
 X : 不定

[bit7, bit6] : 未定義ビット

書込み時	無視されます。
読出し時	常に "0" が読み出されます。

[bit5] : S (スタックフラグ)

汎用レジスタ 15 (R15) として使用されるスタックポインタを指定します。

S	説明
0	システムスタックポインタ (SSP) が汎用レジスタ 15 (R15) として使用されます。 EIT 発生時, 自動的に "0" にクリアされます。 (ただし, スタックに退避される値は, クリアされる前の値です。)
1	ユーザスタックポインタ (USP) が汎用レジスタ 15 (R15) として使用されます。

このビットはリセットにより "0" にクリアされます。

RETI 命令実行時は "0" を書き込んでください。

[bit4] : I (割り込み許可フラグ)

ユーザ割り込み要求の許可 / 禁止を制御します。

I	説明
0	ユーザ割り込み要求を禁止します。 INT 命令実行時, 自動的に "0" にクリアされます。 (ただし, スタックに退避される値は, クリアされる前の値です。)
1	ユーザ割り込みを許可します。 ユーザ割り込み要求のマスク処理は, 割り込みレベルマスクレジスタ (ILM) の保持する値により制御されます。

このビットはリセットにより "0" にクリアされます。

[bit3] : N (ネガティブフラグ)

演算結果を2の補数で表現された整数とみなしたときの符号を示します。

N	説明
0	演算結果が正の値であったことを示します。
1	演算結果が負の値であったことを示します。

リセットによる初期状態は不定です。

[bit2] : Z (ゼロフラグ)

演算結果が "0" であったかどうかを示します。

Z	説明
0	演算結果が "0" 以外の値であったことを示します。
1	演算結果が "0" であったことを示します。

リセットによる初期状態は不定です。

[bit1] : V (オーバーフローフラグ)

演算に用いたオペランドを2の補数で表現される整数であるとみなし、演算の結果、オーバーフローが生じたかどうかを示します。

V	説明
0	演算の結果、オーバーフローは発生していません。
1	演算の結果、オーバーフローが発生しました。

リセットによる初期状態は不定です。

[bit0] : C (キャリフラグ)

演算により、最上位ビットからのキャリ、またはボローが発生したかどうかを示します。

C	説明
0	キャリ、またはボローは発生していません。
1	キャリ、またはボローが発生しました。

リセットによる初期状態は不定です。

■ システムコンディションレジスタ (SCR)

システムコンディションレジスタ (SCR) のビット構成を図 3.7-4 に示します。

図 3.7-4 システムコンディションレジスタ (SCR) のビット構成

	bit	10	9	8
		D1	D0	T
属性		R/W	R/W	R/W
初期値		X	X	0

R/W : リード / ライト可能
X : 不定

[bit 10, bit9] : D1, D0 (ステップ除算用フラグ)

ステップ除算実行時の中間データを保持します。

除算処理の実行途中は、このビットを変更しないでください。

ステップ除算実行途中にほかの処理を行う場合は、プログラムステータスレジスタ (PS) の値を退避・復帰することで、ステップ除算の再開が保証されます。

リセットによる初期状態は不定です。

< 注意事項 >

- DIV0S 命令の実行により被除数と除数を参照して設定されます。
- DIV0U 命令の実行により、強制的にクリアされます。

[bit8] : T (ステップトレーストラップフラグ)

ステップトレーストラップを有効にするかどうかを指定するフラグです。

T	説明
0	ステップトレーストラップは無効です。
1	ステップトレーストラップが有効です。 ユーザ割込み要求がすべて、禁止されます。

このビットはリセットにより "0" にクリアされます。

ステップトレーストラップの機能はエミュレータが使用します。エミュレータ使用時、ユーザプログラム中で使用することはできません。

■ 割込みレベルマスクレジスタ (ILM)

割込みレベルマスク値を保持するレジスタです。このレジスタの保持する値がレベルマスクに使用されます。

割込みレベルマスクレジスタ (ILM) のビット構成を図 3.7-5 に示します。

図 3.7-5 割込みレベルマスクレジスタ (ILM) のビット構成

bit	20	19	18	17	16
	ILM4	ILM3	ILM2	ILM1	ILM0
属性	R/W	R/W	R/W	R/W	R/W
初期値	0	1	1	1	1
R/W : リード / ライト可能					

CPUに入力される割込み要求の中で、対応する割込みレベルが、このレジスタで示されるレベルよりも強い場合にのみ割込み要求が受け付けられます。

レベル値は、"0" (00000_B) が最強で、"31" (11111_B) が最弱です。

プログラムから設定可能な値には制限があります。

- 元の値が 16 ~ 31 の場合: 新たな値として設定できるのは 16 ~ 31 です。0 ~ 15 を設定した命令を実行すると、(指定した値 + 16) という値が転送されます。
- 元の値が 0 ~ 15 の場合: 0 ~ 31 の任意の値が設定可能です。

このビットはリセットにより 15 (01111_B) に初期化されます。

3.7.3 プログラムカウンタ (PC)

プログラムカウンタ (PC) で、実行している命令のアドレスを示すレジスタです。

プログラムカウンタ (PC) のビット構成を図 3.7-6 に示します。

図 3.7-6 プログラムカウンタ (PC) のビット構成

bit	31	0	初期値
			XXXX XXXX _H

命令の実行を伴う PC の更新時に、bit0 は "0" に設定されます。

分岐先アドレスとして奇数番地を指定して、bit0 を "1" にすることは禁止です。

命令は 2 の倍数のアドレスに置く必要があります。

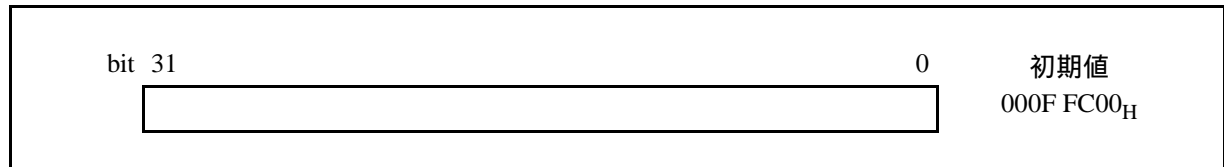
リセットによる初期値は不定で、リセットベクタフェッチによりプログラム開始アドレスが設定されます。

3.7.4 テーブルベースレジスタ (TBR)

EIT 処理の際に使用されるベクタテーブルの先頭アドレスを保持するレジスタです。

テーブルベースレジスタ (TBR) のビット構成を図 3.7-7 に示します。

図 3.7-7 テーブルベースレジスタ (TBR) のビット構成



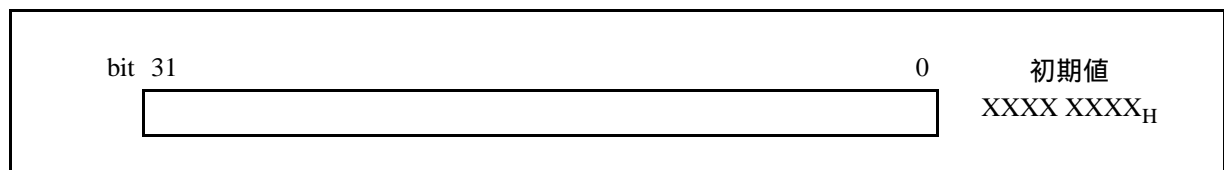
リセットによる初期値は, "000F FC00_H" です。

3.7.5 リターンポインタ (RP)

このポインタで, サブルーチンから復帰するアドレスを保持します。

リターンポインタ (RP) のビット構成を図 3.7-8 に示します。

図 3.7-8 リターンポインタ (RP) のビット構成



CALL 命令実行時, プログラムカウンタ (PC) の値が, このレジスタに転送されます。

RET 命令実行時, このレジスタの内容がプログラムカウンタ (PC) に転送されます。

3.7.6 システムスタックポインタ (SSP)

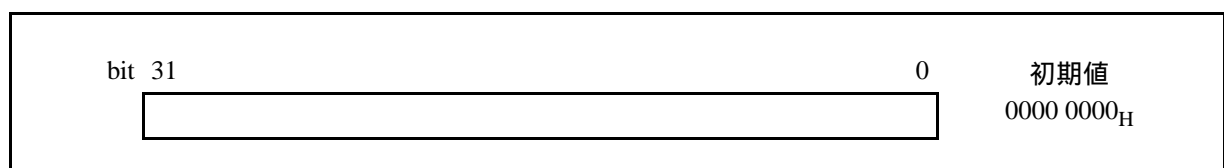
コンディションコードレジスタ (CCR) の S フラグが "0" のとき, R15 として機能します。

システムスタックポインタ (SSP) を明示的に指定することも可能です。

また, EIT 発生時に, プログラムステータスレジスタ (PS) とプログラムカウンタ (PC) を退避するスタックを指定するスタックポインタとしても使用されます。

システムスタックポインタ (SSP) のビット構成を図 3.7-9 に示します。

図 3.7-9 システムスタックポインタ (SSP) のビット構成



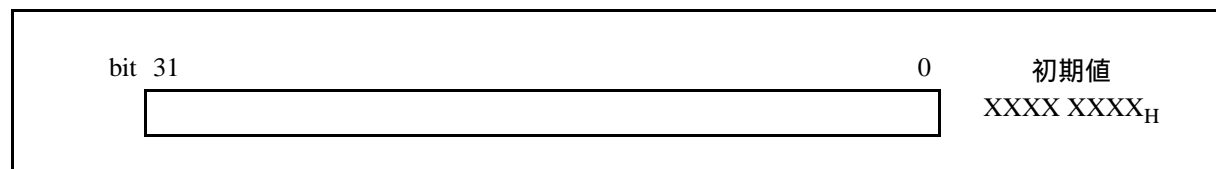
リセットによる初期値は, "0000 0000_H" です。

3.7.7 ユーザスタックポインタ (USP)

コンディションコードレジスタ (CCR) の S フラグが "1" のとき、R15 として機能します。
ユーザスタックポインタ (USP) を明示的に指定することも可能です。

ユーザスタックポインタ (USP) のビット構成を図 3.7-10 に示します。

図 3.7-10 ユーザスタックポインタ (USP) のビット構成

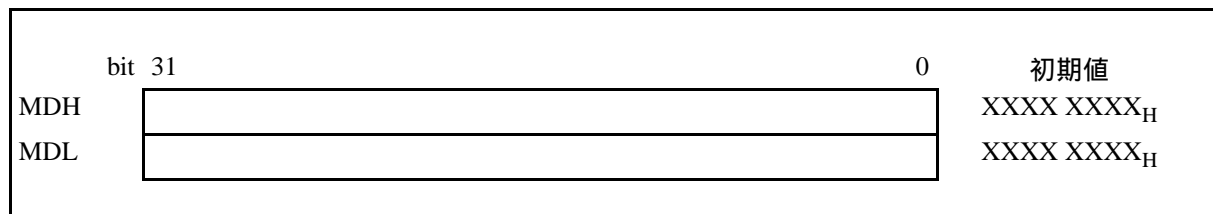


リセットによる初期値は不定です。
RETI 命令で使用することはできません。

3.7.8 乗除算レジスタ (Multiply & Divide register)

乗除算用のレジスタで、それぞれ 32 ビット長です。

図 3.7-11 乗除算レジスタ (Multiply & Divide register) のビット構成



リセットによる初期値は不定です。

● 乗算実行時

32 ビット × 32 ビットの乗算のとき、64 ビット長の演算結果は、次の配置で乗除算結果格納レジスタに格納されます。

- MDH：上位 32 ビット
- MDL：下位 32 ビット

16 ビット × 16 ビットの乗算のときは、次のように結果が格納されます。

- MDH：不定
- MDL：結果 32 ビット

● 除算実行時

計算開始時、被除数を MDL に格納します。

DIV0S, DIV0U, DIV1, DIV2, DIV3, DIV4S 命令の実行により除算を実行すると、結果が MDH と MDL に格納されます。

- MDH：剰余
- MDL：商

3.8 データ構造

FR80 ファミリ CPU のデータ配置には、次の 2 つがあります。

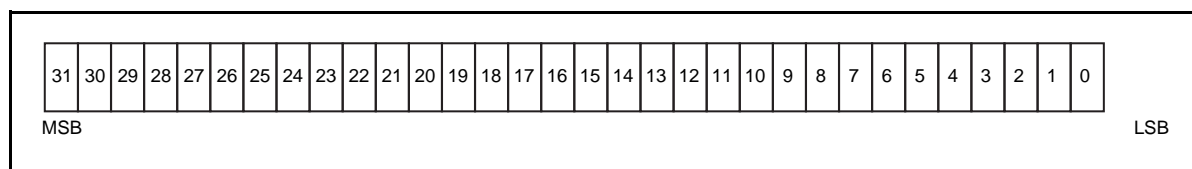
- ビットオーダーリング
- バイトオーダーリング

3.8.1 ビットオーダーリング

FR80ファミリCPUでは、ビットオーダーリングとして、リトルエンディアンを採用しています。

ビットオーダーリングを図 3.8-1 に示します。

図 3.8-1 ビットオーダーリング

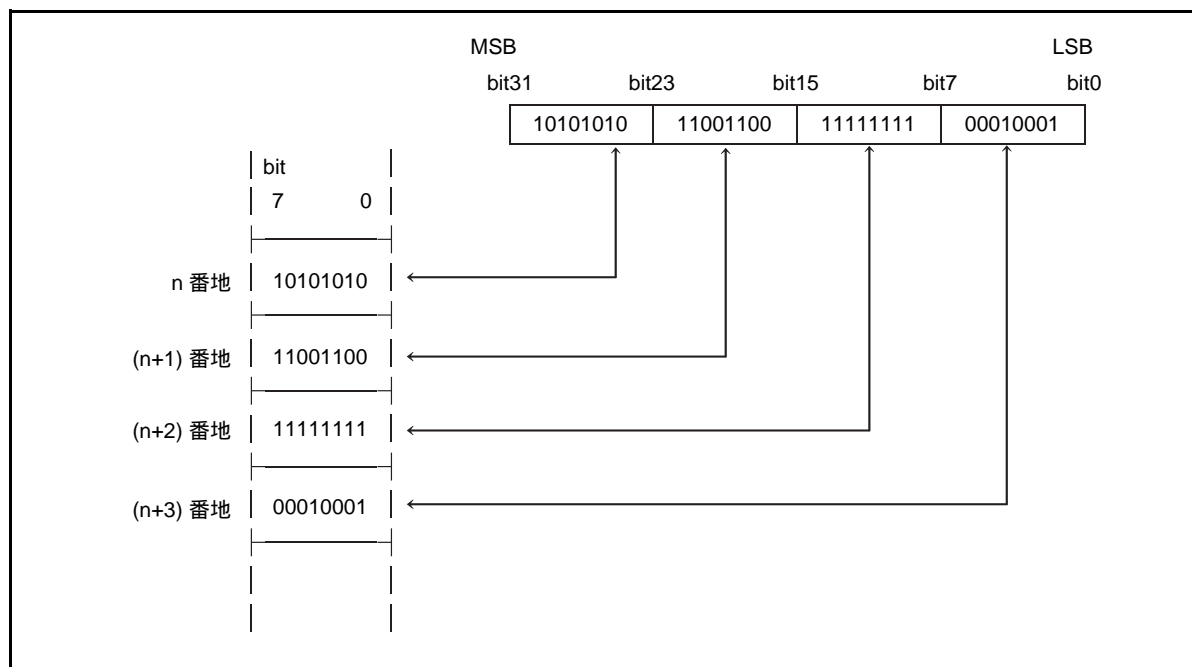


3.8.2 バイトオーダーリング

FR80ファミリCPUでは、バイトオーダーリングとして、ビッグエンディアンを採用しています。

バイトオーダーリングを図 3.8-2 に示します。

図 3.8-2 バイトオーダーリング



3.8.3 ワードアライメント

■ プログラムアクセス

FR80 ファミリ CPU のプログラムは、2 の倍数のアドレスに配置する必要があります。プログラムカウンタ (PC) の bit0 は、命令の実行に伴うプログラムカウンタ (PC) の更新時に、“0” に設定されます。分岐先アドレスとして奇数番地を指定して、bit0 を “1” にすることは禁止です。

命令は 2 の倍数のアドレスに置かなくてはなりません。

奇数アドレス例外はありません。

■ データアクセス

FR80 ファミリでは、データアクセスを行う際、アクセスサイズにより以下のとおりのアドレスとしてください。(ハードでアラインメントが行われません。)

ワードアクセス：アドレスは、4 の倍数 (最下位 2 ビットは “00”)

ハーフワードアクセス：アドレスは、2 の倍数 (最下位 ビットは “0”)

バイトアクセス：

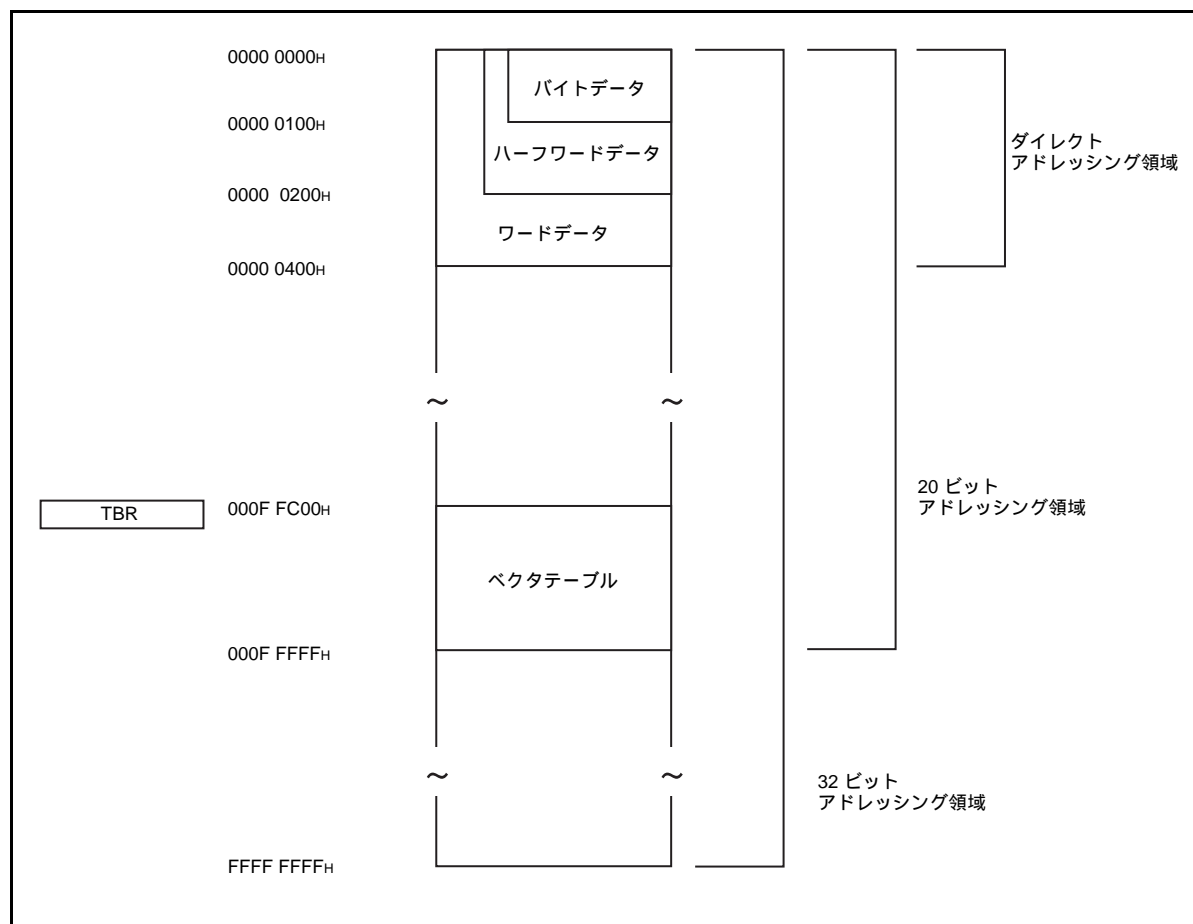
ワードおよびハーフワードデータアクセス時に、実効アドレスの計算結果に対して上記のアドレスとしてください。

3.9 アドレッシング

メモリ空間は 32 ビットリニアです。

メモリ空間を図 3.9-1 に示します。

図 3.9-1 メモリ空間



3.9.1 ダイレクトアドレッシング領域

メモリ空間の下記の領域は、I/O 用の領域です。この領域は、ダイレクトアドレッシングにより、命令中で直接オペランドアドレスを指定することができます。

ダイレクトアドレス指定可能なアドレス領域の大きさは、データ長ごとに異なります。

- バイトデータ (8 ビット) 0 ~ 0x0FF
- ハーフワードデータ (16 ビット) 0 ~ 0x1FF
- ワードデータ (32 ビット) 0 ~ 0x3FF

3.9.2 20 ビットアドレッシング領域

20 ビットアドレッシング領域 0 ~ 0xFFFFF

20 ビットアドレッシング領域内に、プログラム領域やデータ領域をすべて配置すると、コンパイル時にコンパクトで高速なプログラムが実現できます。

20 ビット通常分岐マクロ命令の展開例を以下に示します。

BRA20	label20,Ri	
LDI:20	#label20,Ri	コードサイズ ; 4 バイト
JMP	@Ri	; 2 バイト
		計 6 バイト

詳細は、「FR ファミリ SOFTUNE C/C++ コンパイラマニュアル V6 対応」を参照してください。

3.9.3 32 ビットアドレッシング領域

32 ビットアドレッシング領域 0 ~ 0xFFFFFFFF

20 ビットアドレッシング領域を超える範囲に、プログラム領域やデータ領域を配置すると、20 ビットアドレッシング領域内で作成したプログラムよりもコードサイズが大きくなります。

32 ビット通常分岐マクロ命令の展開例を以下に示します。

BRA32	label32,Ri	
LDI:32	#label32,Ri	コードサイズ ; 6 バイト
JMP	@Ri	; 2 バイト
		計 8 バイト

詳細は、「FR ファミリ SOFTUNE C/C++ コンパイラマニュアル V6 対応」を参照してください。

3.9.4 ベクタテーブル初期領域

000F FC00_H ~ 000F FFFF_H の領域は EIT ベクタテーブル初期領域です。

EIT 処理時に使用されるベクタテーブルは、テーブルベースレジスタ (TBR) を書換えることにより任意のアドレスに配置可能ですが、リセットによる初期化によってこのアドレスに配置されます。

3.10 分岐命令

FR80 ファミリ CPU では、分岐命令に遅延スロット付きの動作と遅延スロットなしの動作を指定できます。

3.10.1 遅延スロット付き動作

■ 命令

次に示す命令が、遅延スロット付きの分岐動作を行います。

JMP:D	@Ri	/	CALL:D	label12	/	CALL:D	@Ri	/	RET:D	
BRA:D	label9	/	BNO:D	label9	/	BEQ:D	label9	/	BNE:D	label9
BC:D	label9	/	BNC:D	label9	/	BN:D	label9	/	BP:D	label9
BV:D	label9	/	BNV:D	label9	/	BLT:D	label9	/	BGE:D	label9
BLE:D	label9	/	BGT:D	label9	/	BLS:D	label9	/	BHI:D	label9

■ 動作説明

分岐命令の直後（「遅延スロット」とよびます）に置かれた命令を実行した後に、分岐し、その後、分岐先の命令を実行します。分岐動作の前に遅延スロットの命令を実行するため、見掛け上の実行速度が1サイクルとなります。その代わり、遅延スロットに有効な命令を入れることができないときは、NOP 命令を置かなくてはなりません。

[例]

```

;      命令の並び
      ADD      R1, R2;
      BRA:D    LABEL    ; 分岐命令
      MOV      R2, R3    ; 遅延スロット      .....分岐の前に実行される
      ...
LABEL:  ST      R3, @R4    ; 分岐先

```

条件分岐命令の場合、分岐条件が成立する場合も、しない場合も遅延スロットに置かれた命令は実行されます。

遅延分岐命令では、一部の命令の実行順序が反転するように見えますが、それはプログラムカウンタ (PC) の更新動作だけです。その他の動作（レジスタの更新・参照など）はあくまで記述された順番で実行されます。

以下に、具体的な説明をします。

1. JMP:D @Ri / CALL:D @Ri命令で参照する Ri は、遅延スロットの中の命令が Riを更新しても影響を受けません。

[例]

```
LDI:32    #Label, R0
JMP:D     @R0           ; Label に分岐
LDI:8     #0, R0        ; 分岐先アドレスには影響を与えない。
...
```

2. RET:D命令が参照するリターンポインタ (RP) は、遅延スロットの中の命令がリターンポインタ (RP) を更新しても影響を受けません。

[例]

```
RET:D           ; これより前に設定された RP の示すアドレスへ分岐
MOV            R8, RP      ; リターン動作には影響を与えない。
...
```

3. Bcc:D rel 命令が参照するフラグも、遅延スロットの命令の影響を受けません。

[例]

```
ADD         #1, R0      ; フラグ変化
BC:D        Overflow    ; 上記の命令の実行結果により分岐
ANDCCR      #0          ; このフラグ更新は上記分岐命令では参照しない。
...
```

4. CALL:D命令の遅延スロットの中の命令で RP を参照すると、CALL:D命令により更新された内容が読み出されます。

[例]

```
CALL:D      Label      ; RP を更新して分岐
MOV         RP, R0      ; 上記 CALL:D の実行結果の RP を転送
...
```

■ 遅延スロットに置くことができる命令

遅延スロット内で実行できるのは、次の条件を満たす命令のみです。

- 1 サイクル命令
- 分岐命令ではないこと
- 順番が変化した場合でも動作に影響を与えない命令

■ ステップトレーストラップ

遅延スロットを持つ分岐命令の実行と遅延スロットの間では、ステップトレーストラップは発生しません。

■ 割込み

遅延スロットを持つ分岐命令の実行と遅延スロットの間では、割込みを受理しません。

■ 未定義命令例外

BNO: D 命令以外の遅延スロットに未定義命令があった場合、未定義命令例外は発生しません。このとき、未定義命令は NOP 命令として動作します。

< 注意事項 >

BNO: D 命令の遅延スロットに未定義命令を配置しないでください。

3.10.2 遅延スロットなし動作

■ 命令

以下に示す命令が、遅延スロットなしの分岐動作を行います。

JMP	@Ri	/	CALL	label12	/	CALL	@Ri	/	RET
BRA	label9	/	BNO	label9	/	BEQ	label9	/	BNE label9
BC	label9	/	BNC	label9	/	BN	label9	/	BP label9
BV	label9	/	BNV	label9	/	BLT	label9	/	BGE label9
BLE	label9	/	BGT	label9	/	BLS	label9	/	BHI label9

■ 動作説明

命令の並び順に実行します。分岐命令直後の命令が分岐前に実行されることはありません。

[例]

```

;          命令の並び
          ADD      R1, R2          ;
          BRA      LABEL          ; 分岐命令 (遅延スロットなし)
          MOV      R2, R3          ; 実行されない
          ...
LABEL     ST       R3, @R4         ; 分岐先

```

遅延スロットなしの分岐命令の実行サイクル数は、分岐するとき 2 サイクル、分岐しないとき 1 サイクルとなります。

遅延スロットに適切な命令を入れることができないために NOP を明記した遅延スロット付き分岐命令に比べ、命令コード効率を上げることができます。

遅延スロットに有効な命令を設置できるときは遅延スロット付きの動作を選択し、そうでないときは遅延スロットなしの動作を選択することで、実行速度とコード効率を両立させることが可能となります。

3.11 EIT (例外・割込み・トラップ)

EIT とは、現プログラム実行時にイベントの発生により、そのプログラムの実行を中断しほかのプログラムを実行することを指し、例外 (Exception)、割込み (Interrupt)、トラップ (Trap) の総称です。

例外とは実行中のコンテキストに関連して発生する事象です。例外を起こした命令から再実行します。

割込みとは実行中のコンテキストに無関係に発生する事象です。イベント要因は、ハードウェアです。

トラップとは実行中のコンテキストに関連して発生する事象です。システムコールのようにプログラムで指示するものがあります。トラップを起こした命令の次の命令から再実行します。

■ 特徴

- 多重 EIT をサポート
- 割込みにレベルマスク機能 (15 レベルをユーザが使用可能)
- トラップ命令 (INT/INTE)
- エミュレータ起動用 EIT (ハードウェア / ソフトウェア)

3.11.1 EIT 要因

EIT 要因として、次のものがあります。

- リセット
- ユーザ割込み (周辺機能、外部割込み)
- 遅延割込み
- 未定義命令例外
- トラップ命令 (INT)
- トラップ命令 (INTE)
- ステップトレーストラップ

3.11.2 EIT からの復帰

RETI 命令により、各 EIT より復帰します。

3.11.3 割込みレベル

割込みレベルは 0 ~ 31 で、5 ビットで管理されます。

各レベルの割り当てを表 3.11-1 に示します。

表 3.11-1 割込みレベル割り当て表

レベル		割込みの種類	備考
2 進数	10 進数		
00000	0	(システム予約)	割込みレベルマスキレジスタ (ILM) の元の値が 16 ~ 31 のときは、この範囲の値をプログラムから割込みレベルマスキレジスタ (ILM) に設定することはできません。
...	
...	
00011	3	(システム予約)	
00100	4	INTE 命令 ステップトレース ラップ	
00101	5	(システム予約)	
...	
...	
01100	14	(システム予約)	
01101	15	(システム予約)	
10000	16	割込み要求	割込みレベルマスキレジスタ (ILM) 設定時は、ユーザ割込み禁止
10001	17	割込み要求	
...	
...	
11110	30	割込み要求	割込み制御レジスタ (ICR) 設定時、割込み禁止
11111	31	-	

操作が可能なのは、16 ~ 31 のレベルです。

未定義命令例外、INT 命令は、割込みレベルの影響を受けません。また、割込みレベルマスキレジスタ (ILM) を変化させることもありません。

3.11.4 I フラグ

割込みの許可 / 禁止を指定するフラグです。プログラムステータスレジスタ (PS) のコンディションコードレジスタ (CCR) の bit4 として設けられています。

I	説明
0	INT 命令実行時、自動的に "0" にクリアされます。 (ただし、スタックに退避される値は、クリアされる前の値です。)
1	ユーザ割込み要求のマスキ処理は、割込みレベルマスキレジスタ (ILM) の保持する値により制御されます。

< 注意事項 >

Iフラグの値を変更したとき、割込み要求の受付はIフラグを書き換えた命令の次の次の命令から反映されます。

よって、割込みを正しく動作させるためにIフラグを変更する命令の後にはNOPを置いてください。

- 割込み許可 (I フラグ =1) にするとき

命令実行		I フラグ	割込み	ここから割込み許可
ORCCR #set_iflag		0	禁止	
NOP		1	禁止	
命令 A		1	許可	

- 割込み禁止 (I フラグ =0) にするとき

命令実行		I フラグ	割込み	ここから割込み禁止
ANDCCR #clear_iflag		1	許可	
NOP		0	許可	
命令 A		0	禁止	

3.11.5 割込みレベルマスクレジスタ (ILM)

割込みレベルマスク値を保持します。プログラムステータスレジスタ (PS) の bit20 ~ bit16 として設けられています。

FR80 ファミリ CPU に入力される割込み要求の中で、対応する割込みレベルが、この割込みレベルマスクレジスタ (ILM) で示されるレベルよりも強い場合にのみ割込み要求が受け付けられます。

レベル値は、"0" (00000) が最強で、"31" (11111) が最弱です。

プログラムから設定可能な値には制限があります。元の値が 16 ~ 31 のとき、新たな値として設定できるのは 16 ~ 31 です。0 ~ 15 の値を設定する命令を実行すると、(指定した値 + 16) が転送されます。

元の値が 0 ~ 15 のときは、0 ~ 31 の任意の値が設定可能です。設定するには STILM 命令を使用します。

< 注意事項 >

割込みレベルマスクレジスタ (ILM) の値を変更したとき、割込み要求の受け付けは割込みレベルマスクレジスタ (ILM) を書き換えた命令の次の次の命令から反映されます。

よって、割込みを正しく動作させるために割込みレベルマスクレジスタ (ILM) を変更する命令の後には NOP を置いてください。

命令実行	ILM	割込み受け付け
SETILM #set_ILM_B	A	A
NOP	B	A
命令 C	B	B
命令 D	B	B

ここから ILM=B が反映

3.11.6 割込みに対するレベルマスク

割込み要求が発生したときは、割込み要因の持つ割込みレベルが割込みレベルマスクレジスタ (ILM) の保持するレベルマスク値と比較されます。そして、次の条件が成立したときはマスクされ、要求は受理されません。

要因の持つ割込みレベル レベルマスク値

3.11.7 割込み制御レジスタ (ICR)

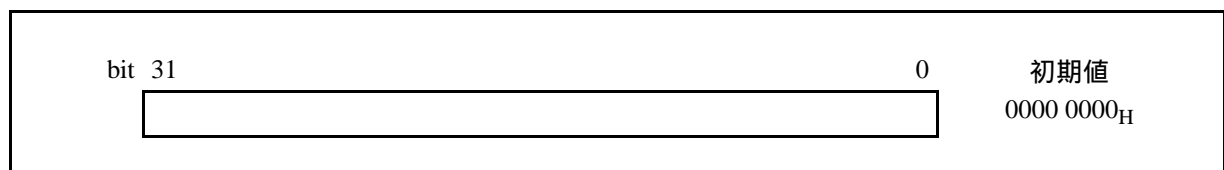
「第10章 割込みコントローラ」を参照してください。

3.11.8 システムスタックポインタ (SSP)

EIT の受理および復帰動作時のデータ退避・復帰用スタックを示すポインタとして使用されます。

システムスタックポインタ (SSP) のビット構成を図 3.11-1 に示します。

図 3.11-1 システムスタックポインタ (SSP) のビット構成



EIT 処理時に "8" 減算され、RETI 命令の実行による EIT からの復帰動作時に "8" 加算されます。

リセットによる初期値は 0000 0000_H です。

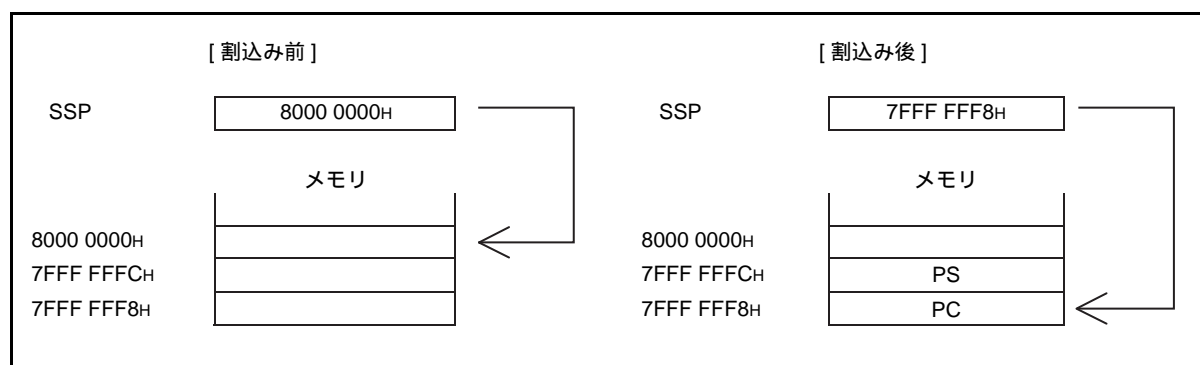
コンディションコードレジスタ (CCR) 中の S フラグが "0" のとき、汎用レジスタ R15 としても機能します。

3.11.9 割込みスタック

システムスタックポインタ (SSP) により示される領域で、プログラムカウンタ (PC) およびプログラムステータスレジスタ (PS) の値が退避・復帰されます。割込み後はシステムスタックポインタ (SSP) の示すアドレスにプログラムカウンタ (PC)、(SSP + 4) のアドレスにプログラムステータスレジスタ (PS) が格納されています。

割込みスタックを図 3.11-2 に示します。

図 3.11-2 割込みスタック

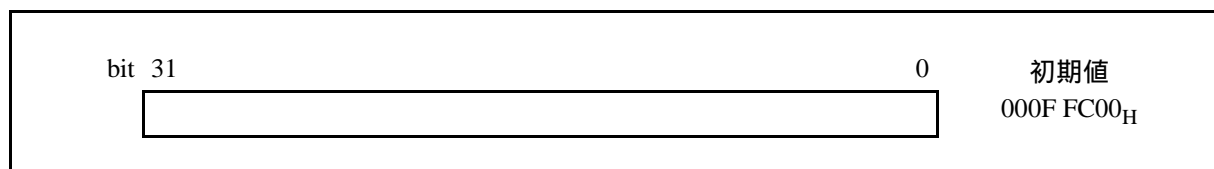


3.11.10 テーブルベースレジスタ (TBR)

EIT 用ベクタテーブルの先頭アドレスを示すレジスタです。

テーブルベースレジスタ (TBR) のビット構成を図 3.11-3 に示します。

図 3.11-3 テーブルベースレジスタ (TBR) のビット構成



テーブルベースレジスタ (TBR) と EIT 要因ごとに決められたオフセット値を加算したアドレスが、ベクタアドレスとなります。

リセットによる初期値は 000F FC00_H です。

3.11.11 EIT ベクタテーブル

テーブルベースレジスタ (TBR) の示すアドレスから 1K バイトの領域が、EIT 用ベクタ領域となっています。

1 ベクタあたりの大きさは 4 バイトで、割込みベクタ番号とベクタアドレスの関係は下記のように表されます。

$$\begin{aligned} \text{vctadr} &= \text{TBR} + \text{vctofs} \\ &= \text{TBR} + (0\text{x}3\text{FC} - 4 \times \text{vct}) \end{aligned}$$

vctadr : ベクタアドレス vctofs : ベクタオフセット vct : 割込みベクタ番号
TBR : テーブルベースレジスタ (TBR))

加算結果の下位 2 ビット は常に "00" として扱われます。

000F FC00_H ~ 000F FFFF_H の領域がリセットによるベクタテーブルの初期領域です。

ベクタの一部には特殊な機能が割り当てられています。

3.11.12 多重 EIT 処理

複数の EIT 要因が同時に発生した場合、CPU は 1 つの EIT 要因を選択して受理し、EIT シーケンスを実行した後、再び EIT 要因の検出を行う、という動作を繰り返します。EIT 要因検出の際に、受理可能な EIT 要因がなくなったとき、最後に受理した EIT 要因のハンドラの命令を実行します。

そのため、複数の EIT 要因が同時に発生した場合の各要因のハンドラの実行順序は、

1. EIT 要因受理の優先順位
 2. 受理した場合にほかの要因をどのようにマスクするか
- という 2 つの要素により決まります。

EIT 要因受理の優先度とは、プログラムステータスレジスタ (PS) とプログラムカウンタ (PC) を退避してプログラムカウンタ (PC) を更新し (必要に応じて) ほかの要因のマスク処理を行うという、EIT シーケンスを実行する要因を選ぶときの順番です。必ずしも、先に受理された要因のハンドラが先に実行されるわけではありません。

EIT 要因受理の優先度を表 3.11-2 に示します。

表 3.11-2 EIT 要因の受理の優先度と他の要因へのマスク

受理の優先順位	要因	ほかの要因によるマスク	ILM
1	リセット	ほかの要因は破棄されます。	15
2	未定義命令以外	これより優先度の低い要因すべて	-
3	INT 命令	I フラグ =0	-
4	INTE 命令	これより優先度の低い要因すべて	4
5	ユーザ割込み	ILM= 受理した要因のレベル	ICR
6	ステップトレーストラップ	これより優先度の低い要因すべて	4

EIT 要因を受理した後のほかの要因に対するマスクの処理を加味すると、同時に発生した EIT 要因の各ハンドラの実行順序は、次のようになります。

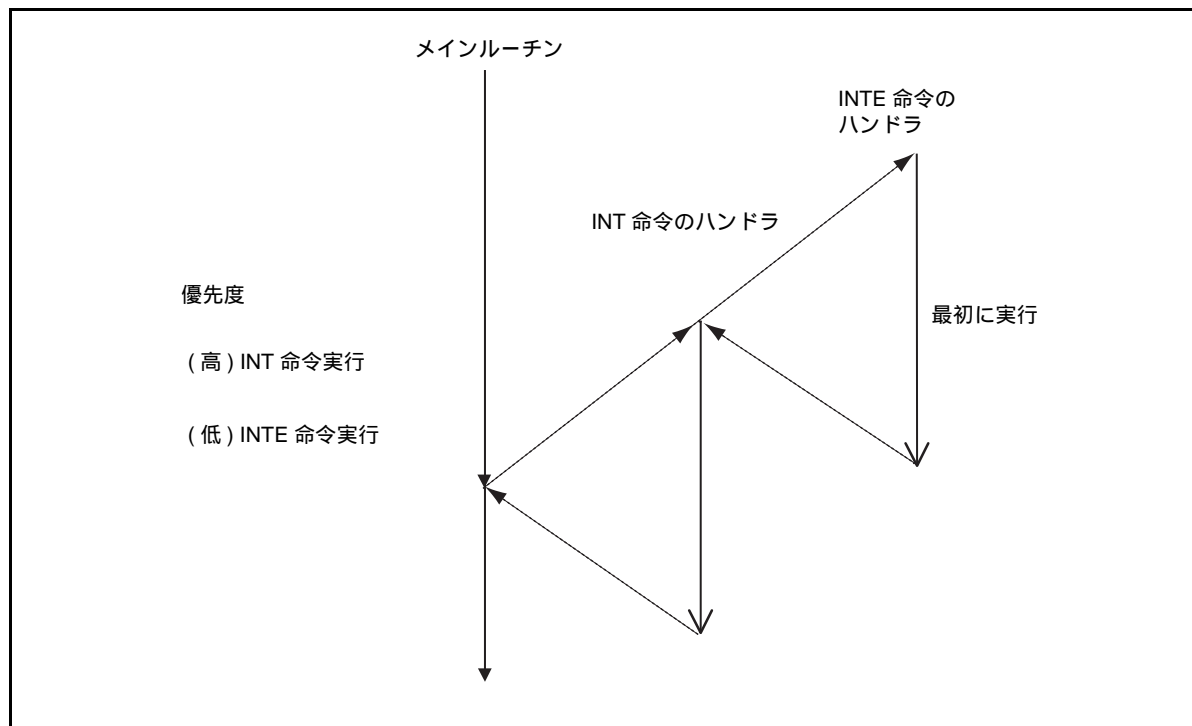
実行順序を表 3.11-3 に示します。

表 3.11-3 EIT ハンドラの実行順序

受理の優先順位	要因
1	リセット
2	未定義命令以外
3	INTE 命令
4	ステップトレーストラップ
5	INT 命令
6	ユーザ割込み

多重 EIT 処理について、図 3.11-4 に示します。

図 3.11-4 多重 EIT 処理



3.11.13 動作

次の説明で、転送元の「PC」とは各 EIT 要因を検出した命令のアドレスを示すものとします。

また、「次の命令のアドレス」とは、EIT を検出した命令が

- LDI:32 のとき：PC + 6
- LDI:20 のとき：PC + 4
- その他の命令のとき：PC + 2

を意味します。

■ ユーザ割込みの動作

ユーザ割込み要求が発生すると、次の順序で要求受理の可否が判定されます。

ユーザ割込みとは、各種周辺機能から要求が発生する割込みで、割込み要求ごとに割込みレベルが設定されています。

● 割込み要求受理の可否判定

1. 同時に発生した要求の割込みレベルを比較し、最も強いレベル（最も小さい数値）を保持するものが選択されます。
対応する割込み制御レジスタ (ICR) の保持する値が比較に使用されます。
2. 同じレベルを持つ割込み要求が複数発生しているときは、最も若い割込み番号を持つ割込み要求が選択されます。
3. 割込みレベル レベルマスク値のとき、割込み要求はマスクされ受理されません。

割込みレベル < レベルマスク値のとき、4 へ。

4. 選択された割込み要求がマスク可能割込みであるとき、I フラグが "0" ならば割込み要求はマスクされ、受理されません。I フラグが "1" ならば割込み要求受理へ。

上記の条件が成立したとき、命令処理の切れ目で割込み要求は受理されます。

I フラグや割込みレベルマスクレジスタ (ILM) を変更する命令を実行した場合、2 命令後から新しい受け付け条件での EIT 制御を行います。

EIT 要求検出時にユーザ割込み要求が受理されると、受理された割込み要求に対応した割込み番号を使用して、CPU は次のように動作します。

下記の「動作」における () はレジスタの指すアドレスを表します。

● 動作

1	(TBR + 受理した割込み要求のベクタオフセット)	TMP
2	SSP - 4	SSP
3	PS	(SSP)
4	SSP - 4	SSP
5	次の命令のアドレス	(SSP)
6	受理した要求の割込みレベル	ILM
7	"0"	S フラグ
8	TMP	PC

割込みシーケンス終了後ハンドラの先頭の命令を実行する前に、新たな EIT の検出を行います。この時点で受理可能な EIT が発生していると、CPU は EIT 処理シーケンスに遷移します。

3.11.14 INT 命令の動作

INT #u8 命令はソフトウェアでトラップを発生する命令です。
オペランドで指定された割込み番号のトラップを発生します。

● 動作

1	(TBR + 0x3FC - 4 × u8)	TMP
2	SSP - 4	SSP
3	PS	(SSP)
4	SSP - 4	SSP
5	PC + 2	(SSP)
6	"0"	I フラグ
7	"0"	S フラグ
8	TMP	PC

3.11.15 INTE 命令の動作

INTE 命令は、デバッグ用にソフトウェアでトラップを発生する命令です。

● 動作

1	(TBR + 0x3D8)	TMP
2	SSP - 4	SSP
3	PS	(SSP)
4	SSP - 4	SSP
5	PC + 2	(SSP)
6	"00100 _B "	ILM
7	"0"	S フラグ
8	TMP	PC

3.11.16 ステップトレーストラップの動作

ステップトレーストラップはデバッグ用のトラップでプログラムステータスレジスタ (PS) の T フラグをセットすることにより、1 命令実行ごとに発生します。ステップトレーストラップは、遅延分岐命令実行時の分岐命令実行直後には発生しません。遅延スロット内の命令を実行した後に発生します。

● ステップトレーストラップ検出の条件

1. プログラムステータスレジスタ (PS) の T フラグ =1
2. 実行している命令が遅延分岐命令ではないとき。
3. CPU がユーザモードのとき。

以上の条件が成立すると、命令動作の切れ目でブレークします。

● 動作

1	(TBR + 0x3C4)	TMP
2	SSP - 4	SSP
3	PS	(SSP)
4	SSP - 4	SSP
5	次の命令のアドレス	(SSP)
6	"00100 _B "	ILM
7	"0"	S フラグ
8	TMP	PC

T フラグ =1 のときは、ユーザ割込みは禁止状態となります。

3.11.17 未定義命令例外の動作

命令のデコード時に未定義命令であることを検出すると、未定義命令例外が発生します。

● 未定義命令例外の検出条件

1. 命令のデコード時に、未定義命令であることを検出。
2. 命令が遅延スロット外に置かれている。(= 遅延分岐命令の直後ではない。)
以上の条件が成立すると、未定義命令例外が発生しブレークします。

● 動作

1	(TBR + 0x3C4)	TMP
2	SSP - 4	SSP
3	PS	(SSP)
4	SSP - 4	SSP
5	PC	(SSP)
6	"0"	S フラグ
7	TMP	PC

プログラムカウンタ (PC) として退避されるのは、未定義命令例外を検出した命令自身のアドレスです。

3.11.18 RETI 命令の動作

RETI 命令は、EIT 処理ルーチンから復帰する命令です。

● 動作

1	(R15)	PC
2	R15 + 4	R15
3	(R15)	PS
4	R15 + 4	R15

RETI 命令は、S フラグが "0" の状態で実行する必要があります。

3.11.19 遅延スロットと EIT

分岐命令の遅延スロットには、EIT に関して次の制約があります。

● 割込み、トラップ

遅延スロットを持つ分岐命令の実行と遅延スロットの間では、割込み・トラップは発生しません。

● 例外

遅延スロットに未定義命令があった場合、未定義命令例外は発生しません。このとき、未定義命令は NOP 命令として動作します。

第4章 クロック生成部

本デバイスのすべての内部クロックの元となる，ソースクロック (SRCCLK) を生成するクロック生成部について説明します。

- 4.1 概要
- 4.2 構成
- 4.3 端子
- 4.4 レジスタ
- 4.5 動作説明

4.1 概要

ソースクロック (SRCCLK) とは、本デバイスを動作させるために使用する内部クロックの生成元になるクロックです。

ソースクロック (SRCCLK) となるクロックの生成と発振制御、またどのクロックをソースクロック (SRCCLK) として選択するか、その方法を説明します。

■ 概要

本デバイスは各種内部クロックを利用して動作します。各種内部クロックは、ソースクロック (SRCCLK) を分周して生成します。

ソースクロック (SRCCLK) は、次の3つのクロックから選択できます。

- メインクロック (MCLK)
- PLL クロック (PLLCLK)
- サブクロック (SBCLK)

クロック生成部では次の制御を行います。

- メインクロック (MCLK) の生成
 - メインクロック (MCLK) の発振を制御します。
 - メインクロック (MCLK) の発振安定待ち時間を設定します。
 - メインタイマの制御やメインタイマ割込み要求の発生を制御します。
- サブクロック (SBCLK) の生成
 - サブクロック (SBCLK) の発振を制御します。
 - サブクロック (SBCLK) の発振安定待ち時間を設定します。
 - サブタイマの制御やサブタイマ割込み要求の発生を制御します。
- PLL クロック (PLLCLK) の生成
 - PLL クロック (PLLCLK) の発振を制御します。
 - PLL クロック (PLLCLK) の発振安定待ち時間を設定します。
 - PLL 通倍率 (PLL クロック (PLLCLK) を生成するためのメインクロック (MCLK) の通倍率) を設定します。
メインクロック (MCLK) の通倍のみです。サブクロック (SBCLK) の通倍はできません。
- ソースクロック (SRCCLK) の選択
3つのクロックの中から、ソースクロック (SRCCLK) として使用するクロックを選択します。

4.2 構成

クロック生成部は、クロック生成部とソースクロック (SRCCLK) 選択部で構成されています。

4.2.1 クロック生成部

3つのクロック生成部があります。クロック生成部で作成したクロックは、ソースクロック (SRCCLK) として選択できます。

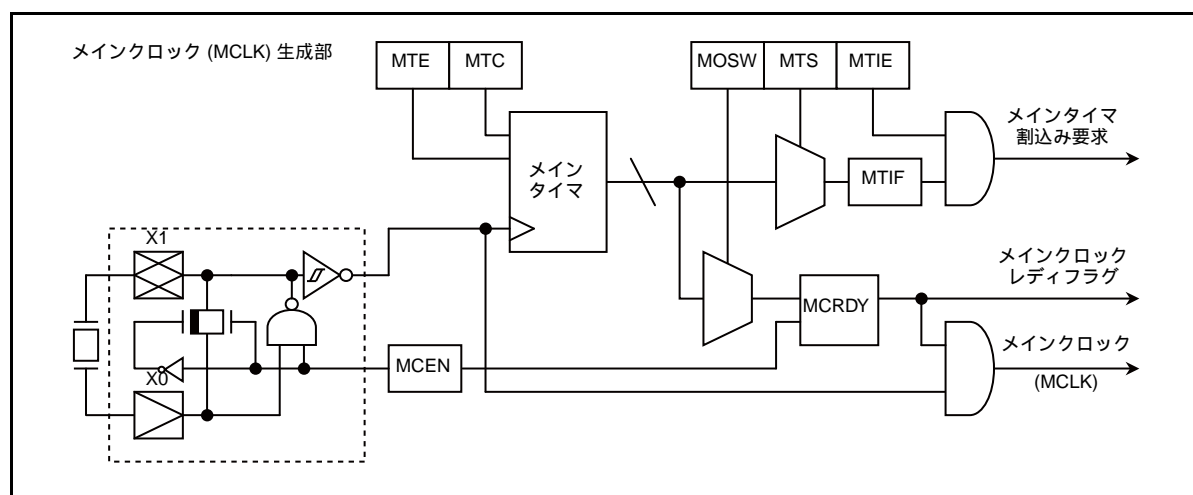
■ メインクロック (MCLK) 生成部

X0 端子, X1 端子 (メイン発振子) からの入力を使用してメインクロック (MCLK) を生成します。

メインクロック (MCLK) は, PLL クロック (PLLCLK) の生成にも使用します。

メインクロック (MCLK) 生成部のブロックダイアグラムを図 4.2-1 に示します。

図 4.2-1 メインクロック (MCLK) 生成部のブロックダイアグラム



- メインタイマ

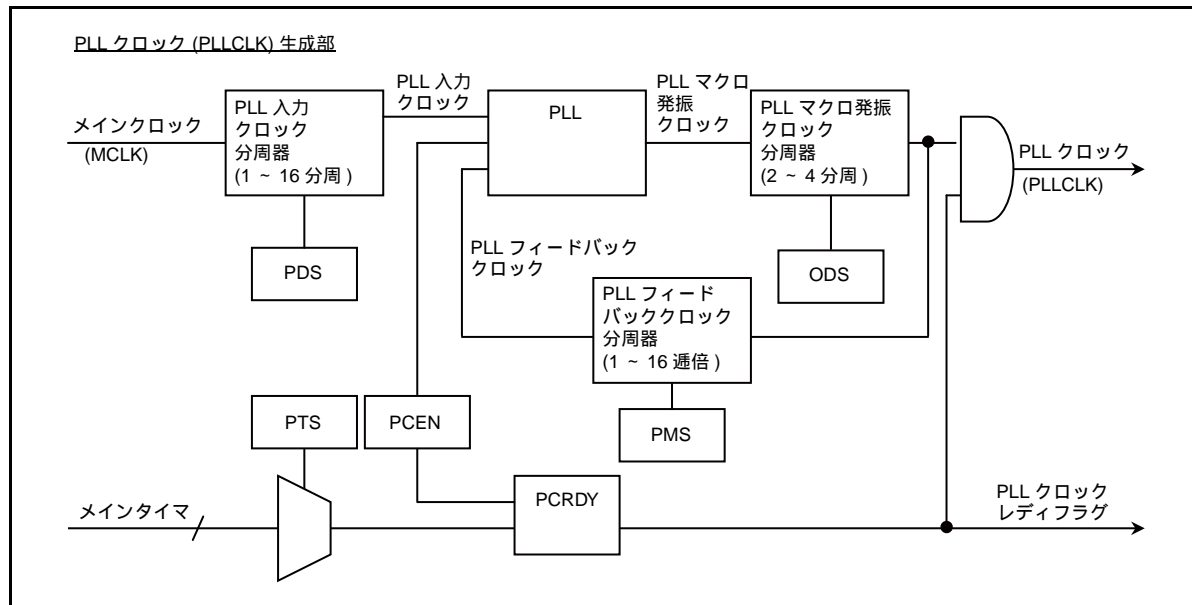
メインクロック (MCLK) で動作するタイマです。詳細は「第 6 章 メインタイマ」を参照してください。

■ PLL クロック (PLLCLK) 生成部

メインクロック (MCLK) を逡倍して PLL クロック (PLLCLK) を生成します。

PLL クロック (PLLCLK) 生成部のブロックダイアグラムを図 4.2-2 に示します。

図 4.2-2 PLL クロック (PLLCLK) 生成部のブロックダイアグラム



- PLL
クロック逡倍回路です。
- PLL 入力クロック分周器
メインクロック (MCLK) を分周して PLL 入力クロックを生成します。
- PLL フィードバッククロック分周器
PLL マクロ発振クロックを分周して生成した PLL クロック (PLLCLK) をさらに分周して、PLL フィードバッククロックを生成します。
- PLL マクロ発振クロック分周器
PLL マクロ発振クロックを分周して、PLL クロック (PLLCLK) を生成します。

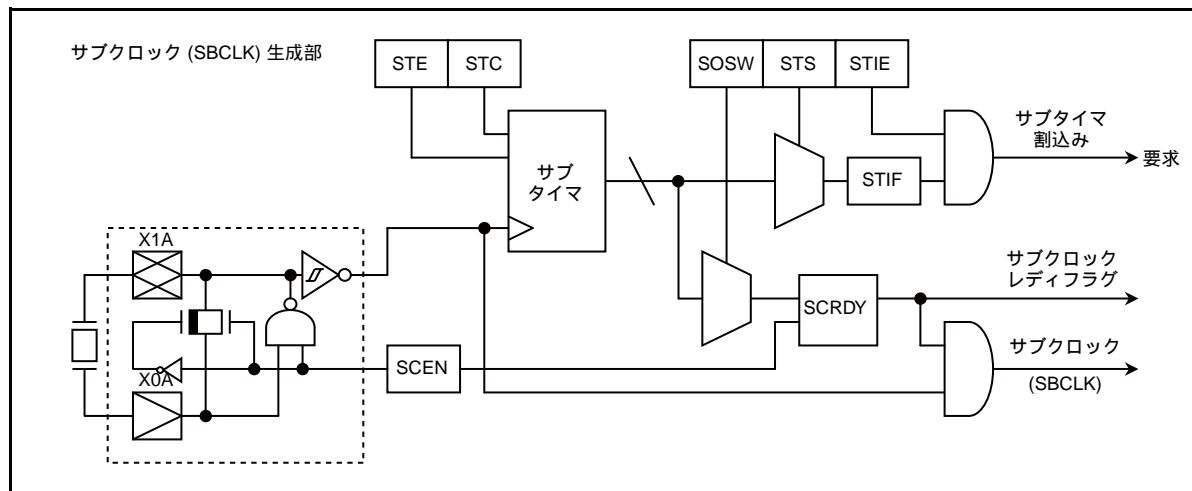
■ サブクロック (SBCLK) 生成部

X0A 端子, X1A 端子 (サブ発振子) からの入力を使用してサブクロック (SBCLK) を生成します。

発振出力がそのままサブクロック (SBCLK) となります。

サブクロック (SBCLK) 生成部のブロックダイアグラムを図 4.2-3 に示します。

図 4.2-3 サブクロック (SBCLK) 生成部のブロックダイアグラム



• サブタイマ

サブクロック (SBCLK) で動作するタイマです。詳細は「第7章 サブタイマ」を参照してください。

4.2.2 ソースクロック (SRCCLK) 選択部

ソースクロック (SRCCLK) の選択について説明します。ソースクロック (SRCCLK) は、次の3つのクロックソースの中から選択します。

- メインクロック (MCLK) の2分周
- PLL クロック (PLLCLK)
- サブクロック (SBCLK)

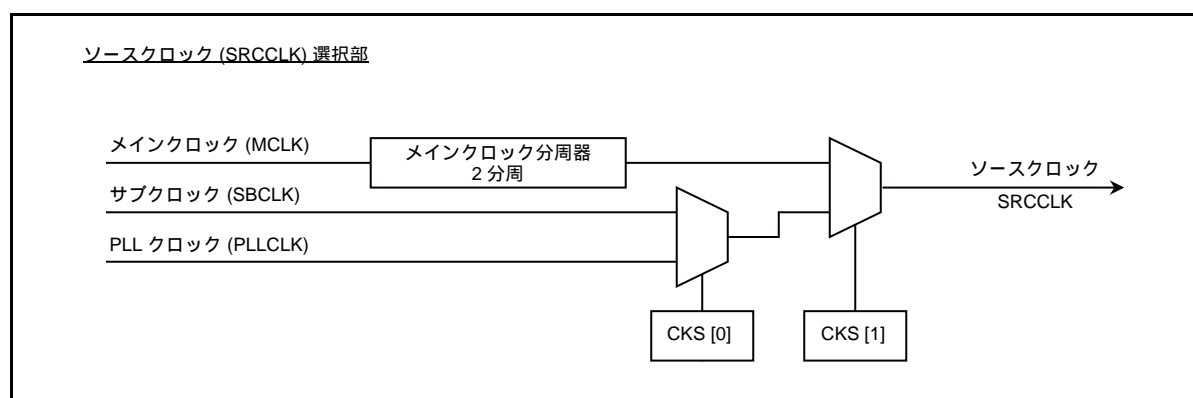
イニシャライズリセット (INIT) が発生した場合、ソースクロック (SRCCLK) の設定は初期化されて、ソースクロック (SRCCLK) はメインクロック (MCLK) の2分周になります。

プログラムの動作開始後は、クロックソース設定レジスタ (CSELR) の設定によって、任意のソースクロック (SRCCLK) に変更してください。

■ ソースクロック (SRCCLK) 選択部のブロックダイアグラム

ソースクロック (SRCCLK) 選択部のブロックダイアグラムを図 4.2-4 に示します。

図 4.2-4 ソースクロック (SRCCLK) 選択部のブロックダイアグラム



- メインクロック分周器 (2 分周)
メインクロック (MCLK) は、2 分周されてからソースクロック (SRCCLK) になります。
- CKS1, CKS0 ビット
クロックソース設定レジスタ (CSELR) のソースクロック (SRCCLK) 選択ビットです。

4.3 端子

クロック生成部で使用する端子について説明します。

■ 概要

- X0, X1 端子
メインクロック (MCLK) の生成に使用する端子です。
- X0A, X1A 端子
サブクロック (SBCLK) の生成に使用する端子です。
外部に発振子を接続します。
この端子は兼用端子です。サブクロック (SBCLK) の X0A, X1A 端子として使用する
には、「2.4 端子の設定方法」を参照してください。

4.4 レジスタ

クロック生成部で使用するレジスタの構成と機能について説明します。

■ クロック生成部のレジスタ一覧

クロック生成部のレジスタ一覧を表 4.4-1 に示します。

表 4.4-1 クロック生成部のレジスタ一覧

レジスタ略称	レジスタ名	参照先
CSELR	クロックソース設定レジスタ	4.4.1
CMONR	クロックソース監視レジスタ	4.4.2
CSTBR	発振安定待ち設定レジスタ	4.4.3
PLLCR	PLL 設定レジスタ	4.4.4

4.4.1 クロックソース設定レジスタ (CSELR)

クロックソースの制御とソースクロック (SRCCLK) を選択するレジスタです。

クロックソース設定レジスタ (CSELR) のビット構成を図 4.4-1 に示します。

図 4.4-1 クロックソース設定レジスタ (CSELR) のビット構成

bit	7	6	5	4	3	2	1	0
	SCEN	PCEN	MCEN	予約	予約	予約	CKS1	CKS0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値 (INIT 時)	0	0	1	0	0	0	0	0
初期値 (RST 時)	*	*	*	0	0	0	*	*
R/W : リード / ライト可能								
* : 初期化されないビット								

< 注意事項 >

- このレジスタを読み出しても、実際に設定されている値は読み出されません。このレジスタに設定した値が実際に反映されたかどうかは、クロックソース監視レジスタ (CMONR) を読み出して確認してください。
- このレジスタを書き換える場合は、このレジスタに設定した値とクロックソース監視レジスタ (CMONR) の値が同じであることを確認してから、書き換えてください。
- クロックの切り替え中に (CKS1, CKS0 CKM1, CKM0) のときに、このレジスタに書込みを行っても、書込みは無視されます。

[bit7] : SCEN (サブクロック発振許可ビット)

サブクロック (SBCLK) の発振を制御します。

書込み値	説明	備考
0	サブクロック (SBCLK) の発振を停止します。	X0A, X1A 端子はポート (PK0, PK1) として使用できます
1	サブクロック (SBCLK) が発振します。	X0A, X1A 端子はサブクロック (SBCLK) の生成に使用されます。

< 注意事項 >

- CKS1, CKS0 ビットでソースクロック (SRCCLK) にサブクロック (SBCLK) を選択 (CKS1, CKS0=11) している場合は、このビットを書き換えられません。
- このビットに "0" を書き込むと、サブタイマがクリアされます。
- ストップモード時は、このビットの値にかかわらずサブクロック (SBCLK) の発振が停止します。

[bit6] : PCEN (PLL クロック発振許可ビット)

PLL クロック (PLLCLK) の発振を制御します。

書込み値	説明
0	PLL クロック (PLLCLK) の発振を停止します。
1	PLL クロック (PLLCLK) が発振します。

< 注意事項 >

- ストップモードにする前に、このビットに "0" を書き込んで、PLL クロック (PLLCLK) の発振を停止してください。
- 次のいずれかの場合は、このビットは書き換えられません。
 - CKS1, CKS0 ビットでソースクロック (SRCCLK) に PLL クロック (PLLCLK) を選択している (CKS1, CKS0=10)
 - メインクロック (MCLK) の発振が停止中 / 発振安定待ち中 (クロックソース監視レジスタ (CMONR) の MCRDY ビット =0)
- MCEN ビットでメインクロック (MCLK) の発振を停止 (MCEN=0) すると、このビットも "0" になります。
- メインタイマのクリア中 (メインタイマ制御レジスタ (MTMCR) の MTC ビット=1) は、このビットを "0" から "1" に書き換えしないでください。
- このビットを "0" から "1" に書き換えて、PLL クロック (PLLCLK) の発振を許可すると、メインタイマがクリアされます。
このとき、メインタイマ制御レジスタ (MTMCR) の MTC ビットからは "1" が読み出されます。

[bit5] : MCEN (メインクロック発振許可ビット)

メインクロック (MCLK) の発振を制御します。

書込み値	説明
0	メインクロック (MCLK) の発振を停止します。
1	メインクロック (MCLK) が発振します。

< 注意事項 >

- CKS1, CKS0 ビットでソースクロック (SRCCLK) を次のいずれかにしている場合は , このビットを書き換えられません。
 - メインクロック (MCLK) を選択 (CKS1, CKS0=00 または 01)
 - PLL クロック (PLLCLK) を選択 (CKS1, CKS0=10)
- このビットに "0" を書き込むと, メインタイマがクリアされます。
- ストップモード時は, このビットの値にかかわらずメインクロック (MCLK) の発振が停止します。

[bit4 ~ bit2] : 予約ビット

書込み時	必ず "0" を書き込んでください。
読出し時	"0" が読み出されます。

[bit1, bit0] : CKS1, CKS0 (ソースクロック選択ビット)

ソースクロック (SRCCLK) を選択します。

CKS1	CKS0	説明
0	0	メインクロック (MCLK) の 2 分周
0	1	
1	0	PLL クロック (PLLCLK)
1	1	サブクロック (SBCLK)

発振が停止中/発振安定待ち中のクロックは, ソースクロック (SRCCLK) に選択できません。

また, PLLクロック (PLLCLK) からサブクロック (SBCLK), サブクロック (SBCLK) から PLL クロック (PLLCLK) へ直接切り換えることはできません。

このビットの書換え条件を表 4.4-2 に示します。

表 4.4-2 CKS1, CKS0 ビットの書換え条件

変更前の値		書換え可能な値 [CKS1:CKS0]	書換え条件となるビット クロックソース監視レジスタ (CMONR)	書換え不可能な値 [CKS1:CKS0]
CKS1	CKS0			
0	0	00, 01	MCRDY=1	11
		10	PCRDY=1	
0	1	00, 01	MCRDY=1	10
		11	SCRDY=1	
1	0	00	MCRDY=1	01, 11
		10	PCRDY=1	
1	1	01	MCRDY=1	00, 10
		11	SCRDY=1	

表 4.4-2 の書換え不可能の値は書き込まないでください。ソースクロック (SRCCLK) の切換え手順は、「4.5.2 ソースクロック (SRCCLK) の切換え」を参照してください。

MB91635A シリーズ

4.4.2 クロックソース監視レジスタ (CMONR)

クロックソースや、ソースクロック (SRCCLK) の状態を表示するレジスタです。

このレジスタを読み出すと、クロックソース設定レジスタ (CSELR) に設定した値が、実際に反映されているかどうかを確認できます。

クロックソース監視レジスタ (CMONR) のビット構成を図 4.4-2 に示します。

図 4.4-2 クロックソース監視レジスタ (CMONR) のビット構成

bit	7	6	5	4	3	2	1	0
	SCRDY	PCRDY	MCRDY	予約	予約	予約	CKM1	CKM0
属性	R	R	R	R	R	R	R	R
初期値 (INIT 時)	0	0	1	0	0	0	0	0
初期値 (RST 時)	*	*	*	0	0	0	*	*
R：リードオンリ								
*：初期化されないビット								

< 注意事項 >

- クロックソース設定レジスタ (CSELR) の設定値を変更した場合は、必ずこのレジスタを読み出して、値がクロックソース設定レジスタ (CSELR) の設定値と同じかどうか確認してください。
- クロックソース設定レジスタ (CSELR) に設定した値とこのレジスタの値が一致するまで、クロックソース設定レジスタ (CSELR) は変更しないでください。

[bit7] : SCRDY (サブクロックレディビット)

サブクロック (SBCLK) の状態を表示します。

読出し値	説明
0	発振が停止しているか、発振安定待ち状態です。
1	安定発振中です。 ソースクロック (SRCCLK) として使用できます。

< 注意事項 >

- このビットが "0" のときは、サブクロック (SBCLK) をソースクロック (SRCCLK) として選択できません。
- クロックソース設定レジスタ (CSELR) の SCEN ビットを "1" から "0" に書き換えた後に、このビットを読み出すと "1" が読み出される場合があります。

[bit6] : PCRDY (PLL クロックレディビット)

PLL クロック (PLLCLK) の状態を表示します。

読出し値	説明
0	発振が停止しているか、発振安定待ち状態です。
1	安定発振中です。 ソースクロック (SRCCLK) として使用できます。

< 注意事項 >

- このビットが "0" のときは、PLL クロック (PLLCLK) をソースクロック (SRCCLK) として選択できません。
- クロックソース設定レジスタ (CSELR) の PCEN ビットを "1" から "0" に書き換えた後に、このビットを読み出すと "1" が読み出される場合があります。

[bit5] : MCRDY (メインクロックレディビット)

メインクロック (MCLK) の状態を表示します。

読出し値	説明
0	発振が停止しているか、発振安定待ち状態です。
1	安定発振中です。 ソースクロック (SRCCLK) として使用できます。

< 注意事項 >

- このビットが "0" のときは、メインクロック (MCLK) または PLL クロック (PLLCLK) をソースクロック (SRCCLK) として選択できません。
- クロックソース設定レジスタ (CSELR) の MCEN ビットを "1" から "0" に書き換えた後に、このビットを読み出すと "1" が読み出される場合があります。

[bit4 ~ bit2] : 予約ビット

読出し時	"0" が読み出されます。
------	---------------

[bit1, bit0] : CKM1, CKM0 (ソースクロック表示ビット)

ソースクロック (SRCCLK) に選択中のクロックを表示します。

CKM1	CKM0	説明
0	0	メインクロック (MCLK) の 2 分周を選択しています。
0	1	
1	0	PLL クロック (PLLCLK) を選択しています。
1	1	サブクロック (SBCLK) を選択しています。

4.4.3 発振安定待ち設定レジスタ (CSTBR)

クロックソースの発振安定待ち時間を設定するレジスタです。

このレジスタで設定した発振安定待ち時間は、次の場合に、そのクロックのレディビットが "1" になるまでに使用します。

- ストップモードまたは時計モードからの復帰時
- メイン発振停止かつイニシャライズリセット (INIT) 発生時
- 停止していたクロックの発振を許可

レディビットとは次のビットを指します。

- サブクロック：SCRDY ビット
- PLL クロック：PCRDY ビット
- メインクロック：MCRDY ビット

発振安定待ち設定レジスタ (CSTBR) のビット構成を図 4.4-3 に示します。

図 4.4-3 発振安定待ち設定レジスタ (CSTBR) のビット構成

bit	7	6	5	4	3	2	1	0
	予約	SOSW2	SOSW1	SOSW0	MOSW3	MOSW2	MOSW1	MOSW0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
INIT 端子 =L 時	0	0	0	0	0	0	0	0
初期値 (INIT 時)	0	0	0	0	*	*	*	*
初期値 (RST 時)	0	*	*	*	*	*	*	*
R/W：リード / ライト可能								
*：初期化されないビット								

< 注意事項 >

メイン発振停止時，イニシャライズリセット (INIT) が発生した場合，動作再開後のメイン発振安定待ち時間は，このレジスタの初期値の時間になります。

[bit7]：予約ビット

書込み時	必ず "0" を書き込んでください。
読出し時	"0" が読み出されます。

[bit6 ~ bit4] : SOSW2 ~ SOSW0 (サブクロック発振安定待ち選択ビット)

サブクロック (SBCLK) の発振安定待ち時間を選択します。

SOSW2	SOSW1	SOSW0	サブクロック (SBCLK) 発振安定待ち時間	32.768kHz 時
0	0	0	$2^8 \times$ サブクロック (SBCLK) の周期	約 7.8ms
0	0	1	$2^9 \times$ サブクロック (SBCLK) の周期	約 15.6ms
0	1	0	$2^{10} \times$ サブクロック (SBCLK) の周期	約 31.3ms
0	1	1	$2^{11} \times$ サブクロック (SBCLK) の周期	62.5ms
1	0	0	$2^{12} \times$ サブクロック (SBCLK) の周期	125.0ms
1	0	1	$2^{13} \times$ サブクロック (SBCLK) の周期	250.0ms
1	1	0	$2^{14} \times$ サブクロック (SBCLK) の周期	500.0ms
1	1	1	$2^{15} \times$ サブクロック (SBCLK) の周期	1s

< 注意事項 >

- 表中の時間は、計算値です。実際の時間は、発振の状態により、若干の誤差を含みますので目安としてください。
- 次の条件を満たしたとき (サブクロック (SBCLK) の発振安定待ち時間中) は、このビットへの書込みは無効になります。
 - クロックソース監視レジスタ (CMONR) の SCRDY ビット =0
 - クロックソース設定レジスタ (CSELR) の SCEN ビット =1

[bit3 ~ bit0] : MOSW3 ~ MOSW0 (メインクロック発振安定待ち選択ビット)

メインクロック (MCLK) の発振安定待ち時間を選択します。

MOSW3	MOSW2	MOSW1	MOSW0	メインクロック (MCLK) 発振安定待ち時間	4MHz 時	8MHz 時	48MHz 時
0	0	0	0	2^1 × メインクロック (MCLK) の周期	500ns	250ns	約 42ns
0	0	0	1	2^5 × メインクロック (MCLK) の周期	8μs	4μs	約 667ns
0	0	1	0	2^6 × メインクロック (MCLK) の周期	16μs	8μs	約 1μs
0	0	1	1	2^7 × メインクロック (MCLK) の周期	32μs	16μs	約 3μs
0	1	0	0	2^8 × メインクロック (MCLK) の周期	64μs	32μs	約 5μs
0	1	0	1	2^9 × メインクロック (MCLK) の周期	128μs	64μs	約 11μs
0	1	1	0	2^{10} × メインクロック (MCLK) の周期	256μs	128μs	約 21μs
0	1	1	1	2^{11} × メインクロック (MCLK) の周期	512μs	256μs	約 43μs
1	0	0	0	2^{12} × メインクロック (MCLK) の周期	約 1ms	512μs	約 85μs
1	0	0	1	2^{13} × メインクロック (MCLK) の周期	約 2ms	約 1ms	約 171μs
1	0	1	0	2^{14} × メインクロック (MCLK) の周期	約 4ms	約 2ms	約 341μs
1	0	1	1	2^{15} × メインクロック (MCLK) の周期	約 8ms	約 4ms	約 683μs
1	1	0	0	2^{17} × メインクロック (MCLK) の周期	約 33ms	約 16ms	約 3ms
1	1	0	1	2^{19} × メインクロック (MCLK) の周期	約 131ms	約 66ms	約 11ms
1	1	1	0	2^{21} × メインクロック (MCLK) の周期	約 524ms	約 262ms	約 44ms
1	1	1	1	2^{23} × メインクロック (MCLK) の周期	約 2s	約 1s	約 175ms

< 注意事項 >

- 表中の時間は、計算値です。実際の時間は、発振の状態により、若干の誤差を含みますので目安としてください。
 - レギュレータ搭載品では、発振安定待ち時間を 25 μ s 以上に設定してください。
 - 次の条件を満たしたとき（メインクロック (MCLK) の発振安定待ち時間中）は、このビットへの書込みは無効になります。
 - クロックソース監視レジスタ (CMONR) の MCRDY ビット =0
 - クロックソース設定レジスタ (CSELR) の MCEN ビット =1
-

4.4.4 PLL 設定レジスタ (PLLCR)

メインクロック (MCLK) から PLL クロック (PLLCLK) を生成するための通倍率を設定するレジスタです。

PLLクロック (PLLCLK) の生成に関係するクロック周波数と通倍率の計算方法は「4.5.3 PLL クロック (PLLCLK) 生成のための通倍率」を参照してください。

PLL 設定レジスタ (PLLCR) のビット構成を図 4.4-4 に示します。

図 4.4-4 PLL 設定レジスタ (PLLCR) のビット構成

bit	15	14	13	12	11	10	9	8
	予約	予約	ODS1	ODS0	PMS3	PMS2	PMS1	PMS0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値 (INIT 時)	0	0	0	0	0	0	0	0
初期値 (RST 時)	0	0	*	*	*	*	*	*

bit	7	6	5	4	3	2	1	0
	PTS3	PTS2	PTS1	PTS0	PDS3	PDS2	PDS1	PDS0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値 (INIT 時)	1	1	1	1	0	0	0	0
初期値 (RST 時)	*	*	*	*	*	*	*	*

R/W : リード / ライト可能
* : 初期化されないビット

< 注意事項 >

PLL クロック (PLLCLK) の発振を許可している場合は (クロックソース設定レジスタ (CSELR) の PCEN=1), このレジスタへの書込みは無効です。

[bit15, bit14] : 予約ビット

書込み時	必ず "0" を書き込んでください。
読出し時	"0" が読み出されます。

[bit13, bit12] : ODS1, ODS0 (PLL マクロ発振クロック分周比選択ビット)

PLL マクロ発振クロックから PLL クロック (PLLCLK) への分周比を選択します。

ODS1	ODS0	説明
0	0	設定禁止 (下記の注意事項を参照ください。)
0	1	PLL クロック (PLLCLK) = PLL マクロ発振クロック / 2
1	0	PLL クロック (PLLCLK) = PLL マクロ発振クロック / 3
1	1	PLL クロック (PLLCLK) = PLL マクロ発振クロック / 4

[bit11 ~ bit8] : PMS3 ~ PMS0 (PLL クロック通倍率選択ビット)

PLL 入力クロックから PLL クロック (PLLCLK) への通倍率を選択します。

PMS3	PMS2	PMS1	PMS0	PLL クロック (PLLCLK) 通倍率
0	0	0	0	PLL クロック (PLLCLK) = PLL 入力クロック × 1
0	0	0	1	PLL クロック (PLLCLK) = PLL 入力クロック × 2
0	0	1	0	PLL クロック (PLLCLK) = PLL 入力クロック × 3
0	0	1	1	PLL クロック (PLLCLK) = PLL 入力クロック × 4
0	1	0	0	PLL クロック (PLLCLK) = PLL 入力クロック × 5
0	1	0	1	PLL クロック (PLLCLK) = PLL 入力クロック × 6
0	1	1	0	PLL クロック (PLLCLK) = PLL 入力クロック × 7
0	1	1	1	PLL クロック (PLLCLK) = PLL 入力クロック × 8
1	0	0	0	PLL クロック (PLLCLK) = PLL 入力クロック × 9
1	0	0	1	PLL クロック (PLLCLK) = PLL 入力クロック × 10
1	0	1	0	PLL クロック (PLLCLK) = PLL 入力クロック × 11
1	0	1	1	PLL クロック (PLLCLK) = PLL 入力クロック × 12
1	1	0	0	PLL クロック (PLLCLK) = PLL 入力クロック × 13
1	1	0	1	PLL クロック (PLLCLK) = PLL 入力クロック × 14
1	1	1	0	PLL クロック (PLLCLK) = PLL 入力クロック × 15
1	1	1	1	PLL クロック (PLLCLK) = PLL 入力クロック × 16

< 注意事項 >

MB91635 シリーズからの PLL クロック仕様変更について

製品型格	PLL マクロ発振 クロック周波数	温度範囲	PLL マクロ発振 クロック分周器	PLL 通倍率
MB91F637/MB91F639	16MHz ~ 60MHz	-20 ~ +85	1 分周 ~ 4 分周	15 通倍
	50MHz ~ 60MHz	-40 ~ +85		
MB91F635A/MB91F637A/ MB91F639A/MB91637A	80MHz ~ 120MHz	-40 ~ +85	2 分周 ~ 4 分周	30 通倍

PLL マクロ発振クロック周波数, 温度範囲, PLL マクロ発振クロック分周値, PLL 通倍率の仕様が MB91635A シリーズでは変更されています。PLL マクロ発振クロック分周設定値の 1 分周は設定禁止となりますので, PLL 設定レジスタ (PLLCCR) の ODS0, ODS1 ビットにて, 2 分周から 4 分周に設定して使用してください。

例) PLL クロックを 60MHz で使用する場合

製品型格	PLL 入力 クロック周波数	PDS	ODS	PMS	PLL マクロ 発振クロック 周波数
MB91F637/MB91F639	4MHz	0000	00	1110	60MHz
MB91F635A/MB91F637A/ MB91F639A/MB91637A	4MHz	0000	01	1110	120MHz

[bit7 ~ bit4] : PTS3 ~ PTS0 (PLL クロック発振安定待ち時間選択ビット)

PLL クロック (PLLCLK) の発振安定待ち時間を選択します。

PTS3	PTS2	PTS1	PTS0	PLL クロック (PLLCLK) 発振安定待ち時間	4MHz 時	8MHz 時	48MHz 時
1	0	0	0	2^9 × メインクロック (MCLK) 周期	128.0μs	64.0μs	約 10.7μs
1	0	0	1	2^{10} × メインクロック (MCLK) 周期	256.0μs	128.0μs	約 21.3μs
1	0	1	0	2^{11} × メインクロック (MCLK) 周期	512.0μs	256.0μs	約 42.7μs
1	0	1	1	2^{12} × メインクロック (MCLK) 周期	約 1ms	512.0μs	約 85.3μs
1	1	0	0	2^{13} × メインクロック (MCLK) 周期	約 2ms	約 1ms	約 170.7μs
1	1	0	1	2^{14} × メインクロック (MCLK) 周期	約 4ms	約 2ms	約 341.3μs
1	1	1	0	2^{15} × メインクロック (MCLK) 周期	約 8ms	約 4ms	約 682.7μs
1	1	1	1	2^{16} × メインクロック (MCLK) 周期	約 16.4ms	約 8ms	約 1.4ms

< 注意事項 >

- 表中の時間は、計算値です。実際の時間は、発振の状態により、若干の誤差を含みますので目安としてください。
- PTS3 ビットには常に "1" を書き込んでください。

[bit3 ~ bit0] : PDS3 ~ PDS0 (PLL 入力クロック分周選択ビット)

PLL 入力クロックを生成するための、メインクロック (MCLK) の分周比を選択します。

PDS3	PDS2	PDS1	PDS0	PLL 入力クロック分周選択
0	0	0	0	PLL 入力クロック = メインクロック (MCLK) / 1
0	0	0	1	PLL 入力クロック = メインクロック (MCLK) / 2
0	0	1	0	PLL 入力クロック = メインクロック (MCLK) / 3
0	0	1	1	PLL 入力クロック = メインクロック (MCLK) / 4
0	1	0	0	PLL 入力クロック = メインクロック (MCLK) / 5
0	1	0	1	PLL 入力クロック = メインクロック (MCLK) / 6
0	1	1	0	PLL 入力クロック = メインクロック (MCLK) / 7
0	1	1	1	PLL 入力クロック = メインクロック (MCLK) / 8
1	0	0	0	PLL 入力クロック = メインクロック (MCLK) / 9
1	0	0	1	PLL 入力クロック = メインクロック (MCLK) / 10
1	0	1	0	PLL 入力クロック = メインクロック (MCLK) / 11
1	0	1	1	PLL 入力クロック = メインクロック (MCLK) / 12
1	1	0	0	PLL 入力クロック = メインクロック (MCLK) / 13
1	1	0	1	PLL 入力クロック = メインクロック (MCLK) / 14
1	1	1	0	PLL 入力クロック = メインクロック (MCLK) / 15
1	1	1	1	PLL 入力クロック = メインクロック (MCLK) / 16

4.5 動作説明

クロック生成部の動作について説明します。

各クロックソースの動作説明とソースクロックの切替えについて説明します。

4.5.1 クロックソースの動作説明

各クロックソースについて発振制御を中心に説明します。

■ メインクロック (MCLK)

X0 端子, X1 端子 (メイン発振子) からの入力を使用して生成するクロックです。PLL クロックの生成にも使用します。

メインクロックを使用して, メインタイマが動作します。(「第 6 章 メインタイマ」参照。)

● 発振停止の条件

次のいずれかの場合にメインクロック (MCLK) の発振が停止します。

- ストップモード中
- ソースクロック (SRCCLK) としてサブクロック (SBCLK) を選択中で, メインクロック (MCLK) の発振が停止 (次の条件が揃った場合)
 - クロックソース設定レジスタ (CSELR) の CKS1, CKS0 ビット =11
 - クロックソース設定レジスタ (CSELR) の MCEN ビット =0

上記の発振停止条件がすべて取り下げられた後, 発振安定待ち設定レジスタ (CSTBR) の MOSW3 ~ MOSW0 ビットに設定された発振安定待ち時間を経過すると, メインクロック (MCLK) の供給を開始します。

● 発振安定待ち時間の選択

メインクロック (MCLK) は発振が許可されると, 発振が安定するのを待ってから, クロックの供給を開始します。

メインクロック (MCLK) の発振安定待ち時間は, 発振安定待ち設定レジスタ (CSTBR) の MOSW3 ~ MOSW0 ビットで設定します。

MOSW3 ~ MOSW0 ビットは, $\overline{\text{INIT}}$ 端子に "L" レベルが入力されると, 初期化され, 発振安定待ち時間が初期値に戻ります。その場合の初期値は, $2^1 \times$ メインクロック (MCLK) 周期です。

それ以外のリセットが発生しても, MOSW3 ~ MOSW0 ビットは初期化されません。

< 注意事項 >

レギュレータ搭載品では、発振安定待ち時間を 25 μ s 以上に設定してください。

● 発振安定待ち時間の終了

発振安定待ち時間が終了すると、メインクロック (MCLK) が供給されます。

メインクロック (MCLK) が発振安定待ち時間中かどうかは、メインクロック (MCLK) の動作が許可されているときに、以下の値で確認できます。

発振安定待ち状態の表示	発振安定状態の表示
クロックソース監視レジスタ (CMONR) の MCRDY=0	クロックソース監視レジスタ (CMONR) の MCRDY=1

■ PLL クロック (PLLCLK)

メインクロック (MCLK) を逡倍して生成する高速のクロックです。

● 発振停止の条件

次のいずれかの場合に PLL クロック (PLLCLK) の発振が停止します。

- ・ メインクロック (MCLK) の発振が停止中、または発振安定待ち時間中 (クロックソース設定レジスタ (CSELR) の PCEN ビット =0)
- ・ ソースクロック (SRCCLK) に PLL クロック (PLLCLK) 以外を選択中に次の条件が揃った場合
 - クロックソース設定レジスタ (CSELR) の CKS1, CKS0 ビット =10 以外
 - クロックソース設定レジスタ (CSELR) の PCEN ビット =0

上記の発振停止条件がすべて取り下げられた後、PLL 設定レジスタ (PLLRCR) の PTS3 ~ PTS0 ビットに設定された発振安定待ち時間を経過すると、PLL クロック (PLLCLK) の供給を開始します。

$\overline{\text{INIT}}$ 端子に "L" が入力された場合、またはイニシャライズリセット (INIT) から復帰した場合は、クロックソース設定レジスタ (CSELR) の PCEN ビットが "0" に初期化され、PLL クロック (PLLCLK) の発振は停止します。(初期化後、発振するにはクロックソース設定レジスタ (CSELR) の PCEN ビットを "1" にしてください。)

● 発振安定待ち時間の選択

PLL クロック (PLLCLK) は発振が許可されると、発振が安定するのを待ってから、クロックの供給を開始します。

PLL クロック (PLLCLK) の発振安定待ち時間は、PLL 設定レジスタ (PLLRCR) の PTS3 ~ PTS0 ビットで設定します。

PTS3 ~ PTS0 ビットは、 $\overline{\text{INIT}}$ 端子に "L" が入力された場合、またはイニシャライズリセット (INIT) から復帰すると初期化され、発振安定待ち時間が初期値に戻ります。その場合の初期値は、 $2^{16} \times$ メインクロック (MCLK) 周期です。

発振安定待ち時間を変更するには、PTS3 ~ PTS0 ビットを設定後、クロックソース設定レジスタ (CSELR) の PCEN ビットに "1" を書き込んでください。

● 発振安定待ち時間の終了

発振安定待ち時間が終了すると、PLL クロック (PLLCLK) が供給されます。

PLL クロック (PLLCLK) が発振安定待ち時間中かどうかは、PLL クロック (PLLCLK) の動作が許可されているときに、以下の値で確認できます。

発振安定待ち状態の表示	発振安定状態の表示
クロックソース監視レジスタ (CMONR) の PCRDY=0	クロックソース監視レジスタ (CMONR) の PCRDY=1

■ サブクロック (SBCLK)

X0A 端子, X1A 端子 (サブ発振子) からの入力を使用して生成するクロックです。発振出力がそのままサブクロック (SBCLK) になります。

サブクロックを使用して、サブタイマが動作します。(「第7章 サブタイマ」参照。)

● 発振停止の条件

次のいずれかの場合にサブクロック (SBCLK) の発振が停止します。

- $\overline{\text{INIT}}$ 端子に "L" が入力された
- ストップモード中
- ソースクロック (SRCCLK) としてサブクロック (SBCLK) 以外を選択中で、サブクロック (SBCLK) の発振が停止 (次の条件が揃った場合)
 - クロックソース設定レジスタ (CSELR) の CKS1, CKS0 ビット =11 以外
 - クロックソース設定レジスタ (CSELR) の SCEN ビット =0
- 端子設定がポート使用になっている (サブクロック (SBCLK) 生成部とポートの端子が兼用のため)。

上記の発振停止条件がすべて取り下げられた後、発振安定待ち設定レジスタ (CSTBR) の SOSW2 ~ SOSW0 ビットに設定された発振安定待ち時間を経過すると、サブクロック (SBCLK) の供給を開始します。

$\overline{\text{INIT}}$ 端子に "L" が入力された場合、またはイニシャライズリセット (INIT) から復帰した場合は、クロックソース設定レジスタ (CSELR) の SCEN ビットが "0" に初期化され、サブクロック (SBCLK) の発振は停止します。(初期化後、発振するにはクロックソース設定レジスタ (CSELR) の SCEN ビットを "1" にしてください。)

● 発振安定待ち時間の選択

サブクロック (SBCLK) は発振が許可されると発振が安定するのを待ってから、クロックの供給を開始します。

サブクロック (SBCLK) の発振安定待ち時間は、発振安定待ち設定レジスタ (CSTBR) の SOSW2 ~ SOSW0 ビットで設定します。

SOSW2 ~ SOSW0 ビットは、 $\overline{\text{INIT}}$ 端子に "L" が入力された場合、またはイニシャライズリセット (INIT) から復帰すると初期化され、発振安定待ち時間が初期値に戻ります。その場合の初期値は、 $2^8 \times$ サブクロック (SBCLK) 周期です。

発振安定待ち時間を変更するには、SOSW2 ~ SOSW0 ビットを設定してください。

● 発振安定待ち時間の終了

発振安定待ち時間が終了すると、サブクロック (SBCLK) が供給されます。

サブクロック (SBCLK) が発振安定待ち時間中かどうかは、サブクロックの動作が許可されているときに、以下の値で確認できます。

発振安定待ち状態の表示	発振安定状態の表示
クロックソース監視レジスタ (CMONR) の SCR DY=0	クロックソース監視レジスタ (CMONR) の SCR DY=1

4.5.2 ソースクロック (SRCCLK) の切換え

ソースクロック (SRCCLK) の切換えについて説明します。

■ 概要

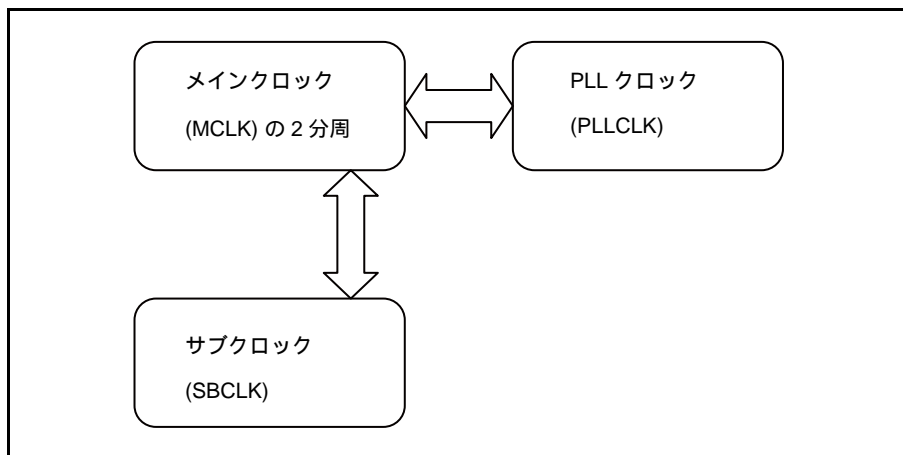
$\overline{\text{INIT}}$ 端子に "L" が入力された場合、またはイニシャライズリセット (INIT) が発生すると、ソースクロック (SRCCLK) の設定は初期化されて、ソースクロック (SRCCLK) はメインクロック (MCLK) の 2 分周になります。

プログラムの動作開始後は、クロックソース設定レジスタ (CSELR) の CKS1, CKS0 ビットでソースクロック (SRCCLK) をクロックソースの中から選択できます。

ソースクロック (SRCCLK) を変更するとき、PLL クロック (PLLCLK) からサブクロック (SBCLK) または、サブクロック (SBCLK) から PLL クロック (PLLCLK) に直接切り換えることはできません。一度、メインクロック (MCLK) の 2 分周に設定してから切り換えてください。

ソースクロック (SRCCLK) の切換え方法を図 4.5-1 に示します。

図 4.5-1 ソースクロック (SRCCLK) 切換え方法



< 注意事項 >

ソースクロック (SRCCLK) を切り換えても、各クロックの発振許可設定 (クロックソース設定レジスタ (CSELR) の SCEN ビット, PCEN ビット, MCEN ビットの値) は保持されています。必要に応じて発振を停止してください。

■ 手順

● メインクロック (MCLK) の 2 分周から PLL クロック (PLLCLK) への切換え

ソースクロック (SRCCLK) をメインクロック (MCLK) の 2 分周から PLL クロック (PLLCLK) に切り換える場合は、次のように設定してください。

1. クロックソース監視レジスタ (CMONR) の CKM1, CKM0 ビットで、メインクロック (MCLK) の 2 分周が選択されていることを確認 (CKM1, CKM0=00 または 01)
2. PLL 設定レジスタ (PLLCR) で、PLL 通倍率と PLL クロック (PLLCLK) 発振安定待ち時間を設定
3. クロックソース設定レジスタ (CSELR) の PCEN ビットで、PLL クロック (PLLCLK) の発振を開始 (PCEN=1)
4. クロックソース監視レジスタ (CMONR) の PCRDY ビットで、PLL クロック (PLLCLK) の発振が安定したのを確認 (PCRDY=1)
5. クロックソース設定レジスタ (CSELR) の CKS1, CKS0 ビットで、ソースクロック (SRCCLK) を PLL クロック (PLLCLK) に切換え (CKS1, CKS0=10)
6. クロックソース監視レジスタ (CMONR) の CKM1, CKM0 ビットで、ソースクロック (SRCCLK) が PLL クロック (PLLCLK) に切り換えられたことを確認 (CKM1, CKM0=10)

< 注意事項 >

PLL クロック (PLLCLK) の発振が有効になっている場合は、手順2.から4.は省略できます。

● PLL クロック (PLLCLK) からメインクロック (MCLK) の2分周への切換え

ソースクロック (SRCCLK) を PLL クロック (PLLCLK) からメインクロック (MCLK) の2分周に切り換える場合は、次のように設定してください。

1. クロックソース監視レジスタ (CMONR) の CKM1, CKM0 ビットで、PLL クロック (PLLCLK) が選択されていることを確認 (CKM1, CKM0=10)
2. クロックソース設定レジスタ (CSELR) の CKS1, CKS0 ビットで、ソースクロック (SRCCLK) をメインクロック (MCLK) の2分周に切換え (CKS1, CKS0=00)
3. クロックソース監視レジスタ (CMONR) の CKM1, CKM0 ビットで、ソースクロック (SRCCLK) がメインクロック (MCLK) の2分周に切り換えられたことを確認 (CKM1, CKM0=00)

● メインクロック (MCLK) の2分周からサブクロック (SBCLK) への切換え

ソースクロック (SRCCLK) をメインクロック (MCLK) の2分周からサブクロック (SBCLK) に切り換える場合は、次のように設定してください。

1. クロックソース監視レジスタ (CMONR) の CKM1, CKM0 ビットで、メインクロック (MCLK) の2分周が選択されていることを確認 (CKM1, CKM0=01)
2. 発振安定待ち設定レジスタ (CSTBR) の SOSW2 ~ SOSW0 ビットで、サブクロック (SBCLK) 発振安定待ち時間を設定
3. クロックソース設定レジスタ (CSELR) の SCEN ビットで、サブクロック (SBCLK) の発振を開始 (SCEN=1)
4. クロックソース監視レジスタ (CMONR) の SCR DY ビットで、サブクロック (SBCLK) の発振が安定したのを確認 (SCR DY=1)
5. クロックソース設定レジスタ (CSELR) の CKS1, CKS0 ビットで、ソースクロック (SRCCLK) をサブクロック (SBCLK) に切換え (CKS1, CKS0=11)
6. クロックソース監視レジスタ (CMONR) の CKM1, CKM0 ビットで、ソースクロック (SRCCLK) がサブクロック (SBCLK) に切り換えられたことを確認する。(CKM1, CKM0=11)

< 注意事項 >

サブクロック (SBCLK) の発振が有効になっている場合は、手順2. から4. は省略できます。

● サブクロック (SBCLK) からメインクロック (MCLK) の2分周への切換え

ソースクロック (SRCCLK) をサブクロック (SBCLK) からメインクロック (MCLK) の2分周に切り換える場合は、次のように設定してください。

1. クロックソース監視レジスタ (CMONR) の CKM1, CKM0 ビットで、サブクロック (SBCLK) が選択されていることを確認 (CKM1, CKM0=11)
2. 発振安定待ち設定レジスタ (CSTBR) の MOSW2 ~ MOSW0 ビットで、メインクロック (MCLK) 発振安定待ち時間を設定
3. クロックソース設定レジスタ (CSELR) の MCEN ビットで、メインクロック (MCLK) の発振を開始 (MCEN=1)
4. クロックソース監視レジスタ (CMONR) の MCRDY ビットで、メインクロック (MCLK) の発振安定 (MCRDY=1) を確認する。
5. クロックソース設定レジスタ (CSELR) の CKS1, CKS0 ビットで、ソースクロック (SRCCLK) をメインクロック (MCLK) に切り換え (CKS1, CKS0=01)
6. クロックソース監視レジスタ (CMONR) の CKM1, CKM0 ビットで、ソースクロック (SRCCLK) がメインクロック (MCLK) に切り換えられたことを確認 (CKM1, CKM0=01)

< 注意事項 >

メインクロック (MCLK) の発振が有効になっている場合は、手順 2. から 4. は省略できます。

4.5.3 PLL クロック (PLLCLK) 生成のための逡倍率

PLL クロック (PLLCLK) の生成に関係するクロック周波数と逡倍率の計算方法について説明します。

PLL 入力クロック周波数

= (メイン発振周波数) / (PLL 設定レジスタ (PLLCR) の PDS ビットで設定した分周比)

PLL 逡倍率

= (PLL 設定レジスタ (PLLCR) の ODS ビットで設定した分周比) × (PLL 設定レジスタ (PLLCR) の PMS ビットで設定した逡倍率)

PLL マクロ発振クロック周波数

= (PLL 入力クロック周波数) × PLL 逡倍率

PLL クロック (PLLCLK) 周波数

= (PLL 入力クロック周波数) × (PLL 設定レジスタ (PLLCR) の PMS ビットで設定した逡倍率)

PLL クロック (PLLCLK) の設定例を表 4.5-1 に示します。

表 4.5-1 PLL クロック (PLLCLK) の設定例

メイン 発振 周波数	PLL 設定レジスタ (PLLCR)			PLL 入力 クロック 周波数	PLL 逡倍率 ODS × PMS	PLL マクロ発振 クロック 周波数	PLL クロック 周波数
	PDS3 ~ PDS0	ODS1, ODS0	PMS3 ~ PMS0				
4MHz	0000	10	0111	4MHz	24 逡倍	96MHz	32MHz
4MHz	0000	01	1110	4MHz	30 逡倍	120MHz	60MHz
4.167MHz	0000	10	0111	4.167MHz	24 逡倍	100MHz	33MHz
4MHz	0000	01	1001	4MHz	20 逡倍	80MHz	40MHz
8MHz	0000	01	0100	8MHz	10 逡倍	80MHz	40MHz
8MHz	0001	01	1110	4MHz	30 逡倍	120MHz	60MHz

< 注意事項 >

PLL 入力クロック，PLL 逡倍率，PLL マクロ発振クロック，ソースクロックは，次の使用条件を満たすように設定してください。

PLL 入力クロック周波数	4MHz ~ 24MHz
PLL 逡倍率	4 逡倍 ~ 30 逡倍
PLL マクロ発振クロック周波数	80MHz ~ 120MHz
ソースクロック (PLL クロック選択時)	20MHz ~ 60MHz

第 5 章 クロック分周 制御部

内部クロックを生成するクロック分周制御部について説明します。

- 5.1 概要
- 5.2 内部クロック
- 5.3 構成
- 5.4 レジスタ
- 5.5 分周比
- 5.6 使用上の注意

5.1 概要

クロック生成部から入力したソースクロック (SRCCLK) を分周して内部クロックを生成します。

クロック分周制御部は、ソースクロック (SRCCLK) を分周して、内部クロックを生成し、CPU やバス、周辺機能に供給します。

生成する内部クロックを表 5.1-1 に示します。これらのクロックを総称して内部クロックと言います。

表 5.1-1 生成する内部クロック

クロック名	生成元クロック
ベースクロック (BCLK)	ソースクロック (SRCCLK) の 1 ~ 8 分周
CPU クロック (CCLK)	ベースクロック (BCLK) の 1 分周 (非分周)
オンチップバスクロック (HCLK)	ベースクロック (BCLK) の 1 分周 (非分周)
外部バスクロック (TCLK)	ベースクロック (BCLK) の 1 ~ 8 分周
周辺クロック (PCLK)	ベースクロック (BCLK) の 1 ~ 16 分周

ソースクロック (SRCCLK) については、「第4章 クロック生成部」を参照してください。

5.2 内部クロック

各内部クロックについて説明します。

■ ベースクロック (BCLK)

すべての内部クロックの生成元になるクロックです。

分周設定レジスタ0 (DIVR0) のDIVB2 ~ DIVB0ビットでソースクロック (SRCCLK) を1 ~ 8分周して生成します。

デバイス全体の動作周波数を一括して低下させることができます。

次の各低消費電力モード時に停止します。

- 時計モード / メインタイマモード
- ストップモード

■ CPU クロック (CCLK)

本デバイスのCPU部に供給するクロックで、ベースクロック (BCLK) から生成します。

ベースクロック (BCLK) を分周せずに生成するので、動作周波数は常にベースクロック (BCLK) と同じです。

次の各低消費電力モード時に停止します。

- ドーズモード (停止期間中)
- スリープモード
- 時計モード / メインタイマモード
- ストップモード

クロック名	代表的な供給先
CPU クロック (CCLK)	CPU (命令実行部)

■ オンチップバスクロック (HCLK)

オンチップバスとそれに接続される各回路に供給されるクロックで、ベースクロック (BCLK) から生成します。

ベースクロック (BCLK) を分周せずに生成するので、動作周波数は常にベースクロック (BCLK) と同じです。

次の各低消費電力モード時に停止します。

- バススリープモード
- 時計モード / メインタイマモード
- ストップモード

クロック名	代表的な供給先
オンチップバスクロック (HCLK)	DMA コントローラ (DMAC)

■ 外部バスクロック (TCLK)

外部バスインタフェースに供給されるクロックです。

分周設定レジスタ1 (DIVR1) の DIVT2 ~ DIVT0 ビットでベースクロック (BCLK) を 1 ~ 8 分周して生成します。

分周設定レジスタ1 (DIVR1) の TSTP ビットを設定することで、バススリープモード中でオンチップバスアクセスを行っていないときは停止させることができます。

次の低消費電力モード時は、設定にかかわらず停止します。

- 時計モード / メインタイマモード
- ストップモード

クロック名	代表的供給先
外部バスクロック (TCLK)	外部バスインタフェース

< 注意事項 >

- 外部バスクロック (TCLK) と同じ周波数が、SYSCLK端子からバスクロック (SYSCLK) として出力されます。
- 外部バスクロック (TCLK) の分周比を奇数分周に設定 (分周設定レジスタ 1 (DIVR1) の DIVT2 ~ DIVT0 ビット) すると、SYSCLK 端子から出力されるバスクロック (SYSCLK) のデューティ比は 50% になりません。"H" レベルの出力期間が出力周期の 50% 以下となります。
- DIVT = 000 のとき、必ず DIVB = 000 に設定してください。
- 外部バス領域にアクセス中に外部バスクロック (TCLK) の分周比を変更しないでください。分周比の変更については、「5.6 使用上の注意」を参照してください。

■ 周辺クロック (PCLK)

周辺バスとそれに接続する各周辺機能に供給されるクロックです。

分周設定レジスタ2 (DIVR2) の DIVP3 ~ DIVP0 ビットでベースクロック (BCLK) を 1 ~ 16 分周して生成します。

次の低消費電力モード時は、設定にかかわらず停止します。

- 時計モード / メインタイマモード
- ストップモード

クロック名	代表的な供給先
周辺クロック (PCLK)	周辺バス クロック制御部 リセット制御部 ウォッチドッグタイマ 割込みコントローラ 外部割込み 遅延割込み 16 ビットリロードタイマ 各周辺機能

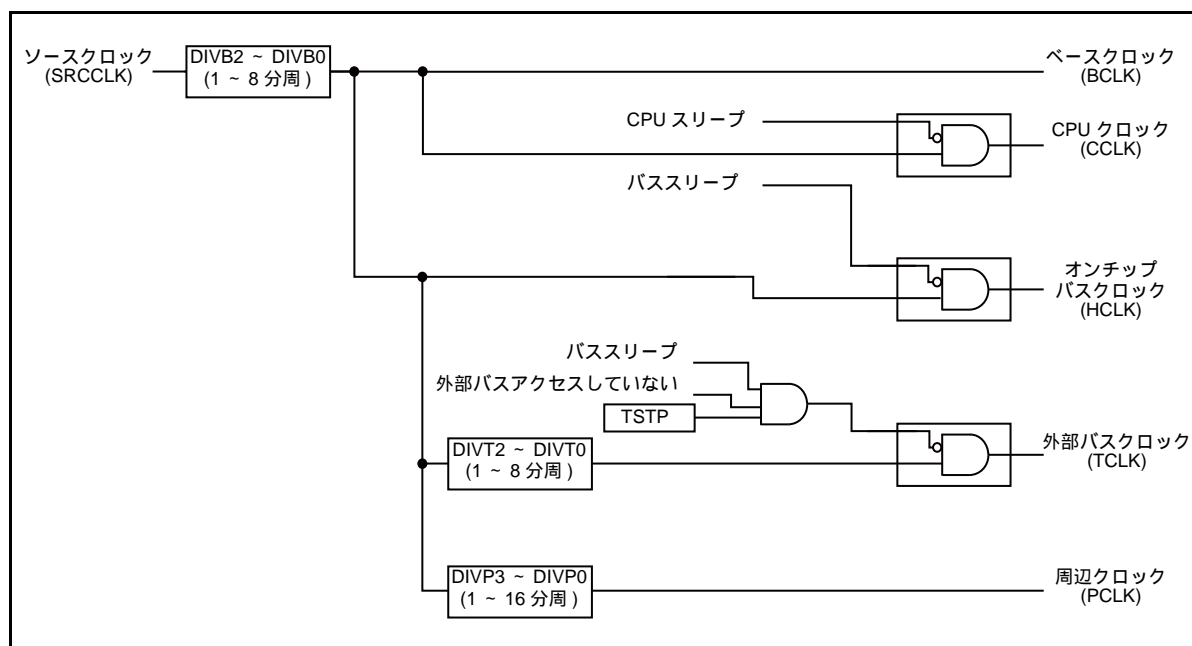
5.3 構成

クロック生成部から入力されたソースクロックを、レジスタに設定した値で分周し、各回路へ出力します。

■ クロック分周制御部のブロックダイアグラム

クロック分周制御部のブロックダイアグラムを図 5.3-1 に示します。

図 5.3-1 クロック分周制御部のブロックダイアグラム



5.4 レジスタ

クロック分周制御部で使用するレジスタの構成と機能について説明します。

■ クロック分周制御部のレジスタ一覧

クロック分周制御部のレジスタ一覧を表 5.4-1 に示します。

表 5.4-1 クロック分周制御のレジスタ一覧

レジスタ略称	レジスタ名	参照先
DIVR0	分周設定レジスタ 0	5.4.1
DIVR1	分周設定レジスタ 1	5.4.2
DIVR2	分周設定レジスタ 2	5.4.3

5.4.1 分周設定レジスタ 0 (DIVR0)

ベースクロック (BCLK) を生成するときのソースクロック (SRCCLK) の分周比を設定するレジスタです。

分周設定レジスタ 0 (DIVR0) のビット構成を図 5.4-1 に示します。

図 5.4-1 分周設定レジスタ 0 (DIVR0) のビット構成

bit	7	6	5	4	3	2	1	0
	DIVB2	DIVB1	DIVB0	予約	予約	予約	予約	予約
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	1	1

R/W : リード / ライト可能

[bit7 ~ bit5] : DIVB2 ~ DIVB0 (ベースクロック分周設定ビット)

ソースクロック (SRCCLK) からベースクロック (BCLK) を生成するときの分周比を設定します。

CPU クロック (CCLK) とオンチップバスクロック (HCLK) はベースクロック (BCLK) を分周しないで生成するので、ベースクロック (BCLK) と同じ周波数になります。

DIVB2	DIVB1	DIVB0	説明
0	0	0	1 分周 (非分周)
0	0	1	2 分周
0	1	0	3 分周
0	1	1	4 分周
1	0	0	5 分周
1	0	1	6 分周
1	1	0	7 分周
1	1	1	8 分周

[bit4 ~ bit2] : 予約ビット

書込み時	必ず "0" を書き込んでください。
読込み時	"0" が読み出されます。

[bit1, bit0] : 予約ビット

書込み時	必ず "1" を書き込んでください。
読込み時	"1" が読み出されます。

5.4.2 分周設定レジスタ 1 (DIVR1)

外部バスクロック (TCLK) を生成するときのベースクロック (BCLK) の分周比を設定するレジスタです。また、外部バスクロック (TCLK) の停止制御も行います。

分周設定レジスタ 1 (DIVR1) のビット構成を図 5.4-2 に示します。

図 5.4-2 分周設定レジスタ 1 (DIVR1) のビット構成

bit	7	6	5	4	3	2	1	0
	TSTP	DIVT2	DIVT1	DIVT0	予約	予約	予約	予約
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	1	0	0	0	0

R/W : リード / ライト可能

[bit7] : TSTP (外部バスクロック停止許可ビット)

スリープモード時、オンチップバスを停止する場合に、外部バスクロック (TCLK) も停止するかどうかを設定します。

停止を許可した場合は、バスアクセス時以外は、外部バスクロック (TCLK) は供給されません。

書込み値	説明
0	外部バスクロック (TCLK) を停止しない。
1	外部バスクロック (TCLK) を停止する。

[bit6 ~ bit4] : DIVT2 ~ DIVT0 (外部バスクロック分周設定ビット)

ベースクロック (BCLK) から外部バスクロック (TCLK) を生成するときの分周比を設定します。

DIVT2	DIVT1	DIVT0	説明
0	0	0	1 分周 (非分周)
0	0	1	2 分周
0	1	0	3 分周
0	1	1	4 分周
1	0	0	5 分周
1	0	1	6 分周
1	1	0	7 分周
1	1	1	8 分周

< 注意事項 >

外部バス領域にアクセス中に外部バスクロック (TCLK) の分周比を変更しないでください。分周比の変更については、「5.6 使用上の注意」を参照してください。

[bit3 ~ bit0] : 予約ビット

書込み時	必ず "0" を書き込んでください。
読み込み時	"0" が読み出されます。

5.4.3 分周設定レジスタ 2 (DIVR2)

周辺クロック (PCLK) を生成するときのベースクロック (BCLK) の分周比を設定するレジスタです。

分周設定レジスタ 2 (DIVR2) のビット構成を図 5.4-3 に示します。

図 5.4-3 分周設定レジスタ 2 (DIVR2) のビット構成

bit	7	6	5	4	3	2	1	0
	DIVP3	DIVP2	DIVP1	DIVP0	予約	予約	予約	予約
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	1	1	0	0	0	0

R/W : リード / ライト可能

[bit7 ~ bit4] : DIVP3 ~ DIVP0 (周辺クロック分周設定ビット)

ベースクロック (BCLK) から周辺クロック (PCLK) を生成するときの分周比を設定します。

DIVP3	DIVP2	DIVP1	DIVP0	説明
0	0	0	0	1 分周 (非分周)
0	0	0	1	2 分周
0	0	1	0	3 分周
0	0	1	1	4 分周
0	1	0	0	5 分周
0	1	0	1	6 分周
0	1	1	0	7 分周
0	1	1	1	8 分周
1	0	0	0	9 分周
1	0	0	1	10 分周
1	0	1	0	11 分周
1	0	1	1	12 分周
1	1	0	0	13 分周
1	1	0	1	14 分周
1	1	1	0	15 分周
1	1	1	1	16 分周

[bit3 ~ bit0] : 予約ビット

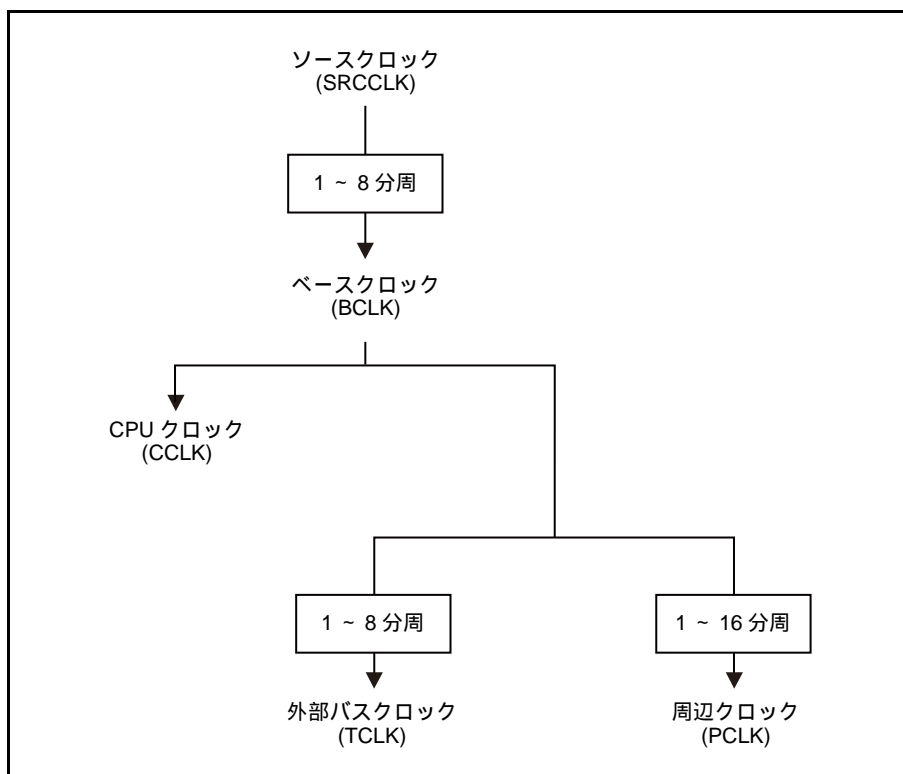
書込み時	必ず "0" を書き込んでください。
読み込み時	"0" が読み出されます。

5.5 分周比

クロック分周制御部は、各内部クロックに対して分周比を設定できます。

各内部クロックに対するソースクロックからの分周比を図 5.5-1 に示します。

図 5.5-1 各内部クロックに対するソースクロックからの分周比



■ 初期化後の分周比

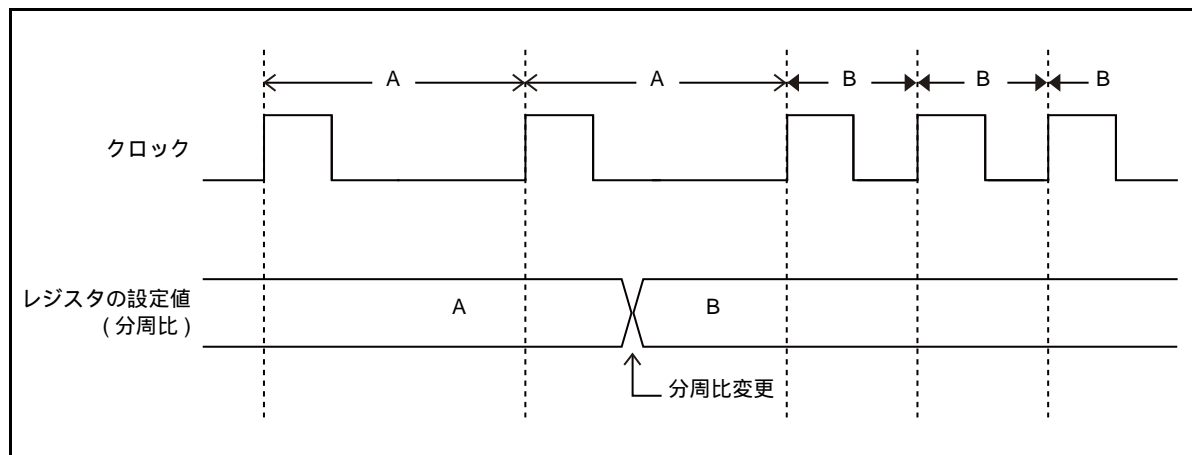
リセット発生後の内部クロックの分周を表 5.5-1 に示します。

表 5.5-1 リセット発生後の分周比

クロック名	初期化後の分周比
ベースクロック (BCLK)	ソースクロック (SRCCLK) の 1 分周
CPU クロック (CCLK)	ベースクロック (BCLK) の 1 分周
オンチップバスクロック (HCLK)	ベースクロック (BCLK) の 1 分周
外部バスクロック (TCLK)	ベースクロック (BCLK) の 2 分周
周辺クロック (PCLK)	ベースクロック (BCLK) の 4 分周

■ 分周比の変更

分周比の設定に変更があった場合は、設定値を変更した次のクロックの立上りエッジから変更した分周比が有効となります。



5.6 使用上の注意

クロック分周比を設定する際は次の点に注意してください。

- 外部バス領域にアクセス中に外部バスクロック (TCLK) 分周比を変更しないでください。
分周比を変更する際は、分周設定レジスタ 1(DIVR1) の DIVT2 ~ DIVT0 ビットに以下のような処理を行ってください。

例

```
LDI      #value_of_divr1,  R0      ;DIVR1(DIVT2 ~ DIVT0 ビット) 設定
LDI      #_DIVR1,          R12     ;
STB      R0,               @R12    ;ライト
LDUB     @R12,              R0      ;ダミー処理
MOV      R0,                R0      ;ダミー処理
NOP                               ;ダミー処理
NOP                               ;ダミー処理
BRA      _escape_divr1         ;ダミー処理
NOP                               ;ダミー処理
_escape_divr1
```

以降実行プログラムを記述

第 6 章 メインタイマ

メインタイマの機能と動作について説明します。

- 6.1 概要
- 6.2 構成
- 6.3 レジスタ
- 6.4 割込み
- 6.5 動作説明と設定手順例

6.1 概要

メインタイマは、メインクロック (MCLK) で動作するタイマです。
メインクロック (MCLK) とPLLクロック (PLLCLK) の発振安定待ち時間の生成に使用します。

メインタイマは、メインクロック (MCLK) の発振安定待ち時間や PLL クロック (PLLCLK) の発振安定待ち時間をカウントするタイマです。

メインクロック (MCLK) の発振が安定状態のときは、一定間隔で割込み要求を発生するインターバルタイマとしても使用できます。

このタイマは、次の場合にクリアされます。

- メインタイマ制御レジスタ (MTMCR) の MTC ビットに "1" を書き込んだとき
MTC ビットに "1" を書き込んでから、メインタイマがクリアされるまでは、メインタイマ制御レジスタ (MTMCR) の MTC ビットからは "1" が読み出されます。
- メインクロック (MCLK) の発振が停止しているとき
(クロックソース設定レジスタ (CSELR) の MCEN ビット =0 のとき)
- ストップモード時
- メインタイマ制御レジスタ (MTMCR) の MTE ビットでメインタイマを停止したとき (MTE=0)

メインタイマの動作が禁止されると、メインクロック (MCLK) と PLL クロック (PLLCLK) の発振安定待ち時間以外は、このタイマは停止します。

6.2 構成

メインタイマの構成を示します。

■ メインタイマのブロックダイアグラム

メインタイマのブロックダイアグラムは、「第 4 章 クロック生成部」の「メインクロック (MCLK) 生成部」を参照してください。

■ クロック

メインタイマで使用するクロックを表 6.2-1 に示します。

表 6.2-1 メインタイマで使用するクロック

クロック名	内容
動作クロック	メインクロック (MCLK)

6.3 レジスタ

メインタイマで使用するレジスタの構成と機能について説明します。

■ メインタイマのレジスタ一覧

メインタイマのレジスタ一覧を表 6.3-1 に示します。

表 6.3-1 メインタイマのレジスタ一覧

レジスタ略称	レジスタ名	参照先
MTMCR	メインタイマ制御レジスタ	6.3.1

6.3.1 メインタイマ制御レジスタ (MTMCR)

メインタイマを制御するレジスタです。

メインタイマ制御レジスタ (MTMCR) のビット構成を図 6.3-1 に示します。

図 6.3-1 メインタイマ制御レジスタ (MTMCR) のビット構成

bit	7	6	5	4	3	2	1	0
	MTIF	MTIE	MTC	MTE	MTS3	MTS2	MTS1	MTS0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	1	1	1	1

R/W : リード / ライト可能

< 注意事項 >

- このレジスタは、メインクロック (MCLK) が安定発振中のとき (クロックソース監視レジスタ (CMONR) の MCRDY ビット =1) のみ、書き換えられます。
ただし、MTIE ビットは、MCRDY ビットが "0" の場合も書き換えることができます。
- ソフトウェアリセットは、MTE ビットと MTC ビットの両方が "0" のときに、行ってください。ソフトウェアリセットについては、「第9章 リセット」を参照してください。

[bit7] : MTIF (メインタイマ割込みフラグビット)

メインタイマがオーバーフローしたことを示すフラグです。

メインタイマは次の場合にオーバーフローします。

- MTS3 ~ MTS0 ビットで設定した周期をカウントアップし終わったとき
- クロックソース設定レジスタ (CSELR) の MCEN ビットを "0" から "1" に書き換えた後、メインクロック (MCLK) の発振安定待ち時間が経過したとき
- ストップモードから復帰後、メインクロック (MCLK) の発振安定待ち時間が経過したとき

MTIE ビットに "1" が設定されているときに、このビットが "1" になると、メインタイマ割込み要求が発生します。

MTIF	読出し時	書込み時
0	オーバーフローは発生していません。	このビットを "0" にクリアします。
1	オーバーフローが発生しました。	無視されます。

メインタイマ割込み要求による DMA 転送が発生した場合も、このビットは "0" にクリアされます。

< 注意事項 >

- MTE ビットでメインタイマの動作を禁止 (MTE=0) すると、メインタイマがクリアされます。
- MTIE ビットが "0" に設定されていると、メインタイマ割込み要求による DMA 転送が発生した場合でも、このビットはクリアされません。
- $\overline{\text{INIT}}$ 端子から "L" レベルの信号を入力して本デバイスをリセット後、再度 $\overline{\text{INIT}}$ 端子から "H" レベルの信号を入力した場合は、メインクロック (MCLK) の発振安定待ち時間が経過しても、このビットは "1" に変わりません。
- このビットを "0" にクリアするタイミングと、オーバーフロー発生のタイミングが重なった場合は、オーバーフローの発生が優先され、このビットは "1" のままになります。
- リードモディファイライト系命令では "1" が読み出されます。

[bit6] : MTIE (メインタイマ割込み許可ビット)

メインタイマがオーバーフローしたとき (MTIF=1) にメインタイマ割込み要求を発生させるかどうかを設定します。

このビットに "1" が設定されている場合に、MTIF ビットが "1" になると、メインタイマ割込み要求が発生します。

書込み値	説明
0	メインタイマ割込み要求の発生を禁止します。
1	メインタイマ割込み要求の発生を許可します。

[bit5] : MTC (メインタイマクリアビット)

メインタイマをクリアします。

また、このビットを読み出すとメインタイマの動作状態を確認できます。

MTC	書込み時	読出し時
0	無視されます。	通常動作中です。
1	メインタイマをクリアします。	メインタイマのクリア中です。

< 注意事項 >

- リードモディファイライト系命令では "0" が読み出されます。
- PLL クロック (PLLCLK) の発振安定待ち中は、メインタイマをクリアしないでください。
- メインクロック (MCLK) の発振が安定している場合にのみ、このレジスタを書き換えることができます。そのため、次の条件が揃ったときは、このビットに "1" を書き込んでも、メインタイマをクリアできません。
 - メインクロック (MCLK) の発振中 (クロックソース設定レジスタ (CSELR) の MCEN ビット =1)
 - メインクロック (MCLK) の発振停止中/発振安定待ち中 (クロックソース監視レジスタ (CMONR) の MCRDY ビット =0)
- MTE ビットを "0" から "1" に書き換えるのと同時に、このビットに "1" を書き込むと、メインタイマをクリアしてから、メインタイマの動作が開始されます。
- このビットが "1" のときに、再度このビットに "1" を書き込まないでください。
- MTC ビットが "0" になるまでは、MTIF ビットが "1" になることがあります。

[bit4] : MTE (メインタイマ動作許可ビット)

メインタイマの動作を許可 / 禁止 (停止) します。

書込み値	説明
0	メインタイマの動作を禁止 (停止) します。
1	メインタイマの動作を許可します。

< 注意事項 >

- メインタイマの動作を禁止 (停止) すると、メインクロック (MCLK) と PLL クロック (PLLCLK) の発振安定待ち時間中以外は、メインタイマは停止します。
- メインタイマの動作を禁止 (停止) すると、メインタイマがクリアされます。メインタイマのクリア中は、MTC ビットから "1" が読み出されます。MTC ビットが "0" になるまでは、MTIF ビットが "1" になることがあります。
- PLL クロック (PLLCLK) の発振安定待ち中は、このビットを "1" から "0" に書き換えしないでください。
- MTC ビットが "1" のときは、このビットに "1" を書き込まないでください。

[bit3 ~ bit0] : MTS3 ~ MTS0 (メインタイマ周期選択ビット)

メインタイマのオーバーフロー周期を選択します。

このビットで設定した周期をカウントアップし終わると、メインタイマがオーバーフローします。

MTS3	MTS2	MTS1	MTS0	オーバーフロー周期	4MHz 時	8MHz 時	48MHz 時
1	0	0	0	$2^9 \times$ メインクロックの周期	128.0 μ s	64.0 μ s	約 10.7 μ s
1	0	0	1	$2^{10} \times$ メインクロックの周期	256.0 μ s	128.0 μ s	約 21.3 μ s
1	0	1	0	$2^{11} \times$ メインクロックの周期	512.0 μ s	256.0 μ s	約 42.7 μ s
1	0	1	1	$2^{12} \times$ メインクロックの周期	約 1ms	512.0 μ s	約 85.3 μ s
1	1	0	0	$2^{13} \times$ メインクロックの周期	約 2ms	約 1ms	約 170.7 μ s
1	1	0	1	$2^{14} \times$ メインクロックの周期	約 4ms	約 2ms	約 341.3 μ s
1	1	1	0	$2^{15} \times$ メインクロックの周期	約 8ms	約 4ms	約 682.7 μ s
1	1	1	1	$2^{16} \times$ メインクロックの周期	約 16.4ms	約 8ms	約 1.4ms

MTS3 ビットには必ず "1" を書き込んでください。

< 注意事項 >

- このビットは、MTE ビットでメインタイマを停止して (MTE=0) から変更してください。
- MTIE ビットが "1" に設定されていると、メインタイマがオーバーフローしたときに、メインタイマ割込み要求が発生します。
メインタイマのオーバーフロー周期が 5T (T : 周辺クロック (PCLK) の周期) 以上になるように設定してください。

6.4 割込み

メインタイマがオーバフローすると、メインタイマ割込み要求が発生します。

メインタイマで利用できる割込みについて表 6.4-1 に示します。

表 6.4-1 メインタイマの割込み

割込み要求	割込み要求フラグ	割込み要求許可	割込み要求のクリア
メインタイマ 割込み要求	MTMCR の MTIF=1	MTMCR の MTIE=1	MTMCR の MTIF ビットに "0" を書き込む

MTMCR : メインタイマ制御レジスタ (MTMCR)

< 注意事項 >

- 割込み要求フラグが"1"のときに割込み要求の発生を許可すると割込みを許可した時点で、割込み要求が発生します。
割込み要求の発生を許可する場合は、次のいずれかの処理を行ってください。
 - 割込み要求の発生を許可する前に割込み要求をクリアする。
 - 割込み許可と同時に割込み要求をクリアする。
- 各割込み要求の割込みベクタ番号については、「付録 C 割込みベクタ」を参照してください。
- 割込みベクタ番号に対応する割込みレベルは、割込みコントロールレジスタ (ICR00 ~ ICR47) で設定します。割込みレベルの設定については、「第 10 章 割込みコントローラ」を参照してください。

6.5 動作説明と設定手順例

メインタイマの動作について説明します。また、動作状態を設定するための手順例も示します。

6.5.1 メインタイマの動作

■ 概要

メインタイマは、メインクロック (MCLK) の発振安定待ち時間や PLL クロック (PLLCLK) の発振安定待ち時間をカウントするタイマです。

メインクロック (MCLK) の発振が安定状態のときは、一定間隔で割込み要求を発生するインターバルタイマとしても使用できます。

メインタイマ制御レジスタ (MTMCR) の MTE ビットでメインタイマの動作を禁止すると (MTE=0)、メインクロック (MCLK) と PLL クロック (PLLCLK) の発振安定待ち時間以外は、このタイマは停止します。

■ 動作

メインタイマは次のように動作します。

1. メインタイマ制御レジスタ (MTMCR) の MTE ビットでメインタイマの動作を許可する (MTE=1)
2. メインタイマがメインクロック (MCLK) に同期して、カウントアップを開始する
メインタイマ制御レジスタ (MTMCR) の MTE ビットが "1" の間、カウントアップを継続します。
3. メインタイマ制御レジスタ (MTMCR) の MTS3 ~ MTS0 ビットで設定した値までカウントアップする

メインタイマ制御レジスタ (MTMCR) の MTIF ビットが "1" に変わります。

このとき、メインタイマ制御レジスタ (MTMCR) の MTIE ビットが "1" だと、メインタイマ割込み要求が発生します。

メインタイマ割込み要求をクリアするには、MTIF ビットに "0" を書き込んでください。MTIF ビットが "0" にクリアされます。

メインタイマの動作中に、メインタイマ制御レジスタ (MTMCR) の MTE ビットでメインタイマの動作を禁止 (MTE=0) すると、メインタイマはカウントを停止し、値がクリアされます。詳しくは、「タイマクリア」を参照してください。

■ タイマクリア

メインタイマは次の場合にクリアされます。

- メインタイマ制御レジスタ (MTMCR) の MTC ビットに "1" を書き込んだとき
MTC ビットに "1" を書き込んでから、メインタイマがクリアされるまでは、メインタイマ制御レジスタ (MTMCR) の MTC ビットからは "1" が読み出されます。

- メインクロック (MCLK) の発振が停止しているとき
(クロックソース設定レジスタ (CSELR) の MCEN ビット =0 のとき)
- ストップモード時
- メインタイマ制御レジスタ (MTMCR) の MTE ビットでメインタイマを停止したとき (MTE=0)

< 注意事項 >

メインタイマ制御レジスタ (MTMCR) は、メインクロック (MCLK) の発振が安定している場合にのみ書き換えられます。そのため、次の条件が揃ったときに、メインタイマ制御レジスタ (MTMCR) の MTC ビットに "1" を書き込んでも、メインタイマはクリアできません。

- メインクロック (MCLK) の発振中 (クロックソース設定レジスタ (CSELR) の MCEN ビット =1)
- メインクロック (MCLK) の発振停止中/発振安定待ち中 (クロックソース監視レジスタ (CMONR) の MCRDY ビット =0)

■ 割込みの設定手順

メインタイマ制御レジスタ (MTMCR) の設定手順例は次の通りです。

1. MTIE ビットでメインタイマ割込みを禁止 (MTIE=0)
2. MTIF ビットでメインタイマ割込みフラグをクリア (MTIF=0)
3. MTE ビットでメインタイマの動作を禁止 (MTE=0)
4. MTC ビットを読み出して、メインタイマのクリアが完了していることを確認 (MTC=0)

5. MTS3 ~ MTS0 ビットでタイマ周期を設定

6. MTIE ビットでメインタイマ割込みを許可 (MTIE=1)

7. MTE ビットで、メインタイマの動作を許可 (MTE=1)

MTS3 ~ MTS0 ビットで設定した周期が経過すると、メインタイマ割込み要求が発生し、割込み処理ルーチンへ移行します。

8. MTIF ビットで、メインタイマ割込みフラグをクリア (MTIF=0)

9. MTIF ビットを 1 回読み出して、メインタイマ割込みフラグのクリアを完了させる。

RETI 命令で割込み処理ルーチンから、通常のプログラム処理動作へ復帰します。

< 注意事項 >

MTIF ビットに "0" を書き込んでもメインタイマ割込みフラグはすぐにクリアされません。MTIF ビットを 1 回読み出すことでフラグクリア完了後、RETI 命令で復帰させることができます。

6.5.2 ストップモードへの遷移について

ストップモードへ遷移する前には、メインタイマ割込み要求の発生を禁止する必要があります。

ストップモードへの遷移は次の手順で行ってください。

1. クロックソース設定レジスタ (CSELR) の PCEN ビットで、PLL クロック (PLLCLK) の発振を停止 (PCEN=0)
2. メインタイマ制御レジスタ (MTMCR) の MTIE ビットで、メインタイマ割込み要求の発生を禁止 (MTIE=0)
3. メインタイマ制御レジスタ (MTMCR) の MTE ビットで、メインタイマの動作を禁止 (MTE=0)
4. メインタイマ制御レジスタ (MTMCR) の MTC ビットを読み出して、メインタイマがクリア中でないことを確認 (MTC=0)
5. メインタイマ制御レジスタ (MTMCR) の MTIF ビットで、メインタイマ割込みフラグをクリア (MTIF=0)
6. 発振安定待ち設定レジスタ (CSTBR) の MOSW3 ~ MOSW0 ビットでメインクロック (MCLK) の発振安定待ち時間を設定
7. ストップモードへ遷移

< 注意事項 >

ストップモードへ遷移する前に、必ず PLL クロック (PLLCLK) の発振を停止してください。

第7章 サブタイマ

サブタイマの機能と動作について説明します。

- 7.1 概要
- 7.2 構成
- 7.3 レジスタ
- 7.4 割込み
- 7.5 動作説明と設定手順例

7.1 概要

サブタイマは、サブクロック (SBCLK) で動作するタイマです。
サブクロック (SBCLK) の発振安定待ち時間の生成に使用します。

サブタイマは、サブクロック (SBCLK) の発振安定待ち時間をカウントします。

サブクロック (SBCLK) の発振が安定状態のときは、一定間隔で割り込み要求を発生するインターバルタイマとしても使用できます。

このタイマは、次の場合にクリアされます。

- サブタイマ制御レジスタ (STMCR) の STC ビットに "1" を書き込んだとき
STC ビットに "1" を書き込んでから、サブタイマがクリアされるまでは、サブタイマ制御レジスタ (STMCR) の STC ビットからは "1" が読み出されます。
- サブクロック (SBCLK) の発振が停止しているとき
(クロックソース設定レジスタ (CSELR) の SCEN ビット =0 のとき)
- ストップモード時
- サブタイマ制御レジスタ (STMCR) の STE ビットでサブタイマを停止したとき
(STE=0)

サブタイマの動作が禁止されると、サブクロック (SBCLK) の発振安定待ち時間以外は、このタイマは停止します。

7.2 構成

サブタイマの構成を示します。

■ サブタイマのブロックダイアグラム

サブタイマのブロックダイアグラムは、「第4章 クロック生成部」の「サブクロック (SBCLK) 生成部」を参照してください。

■ クロック

サブタイマで使用するクロックを表 7.2-1 に示します。

表 7.2-1 サブタイマで使用するクロック

クロック名	内容
動作クロック	サブクロック (SBCLK)

7.3 レジスタ

サブタイマで使用するレジスタの構成と機能について説明します。

■ サブタイマのレジスタ一覧

サブタイマのレジスタ一覧を表 7.3-1 に示します。

表 7.3-1 サブタイマのレジスタ一覧

レジスタ略称	レジスタ名	参照先
STMCR	サブタイマ制御レジスタ	7.3.1

7.3.1 サブタイマ制御レジスタ (STMCR)

サブタイマを制御するレジスタです。

サブタイマ制御レジスタ (STMCR) のビット構成を図 7.3-1 に示します。

図 7.3-1 サブタイマ制御レジスタ (STMCR) のビット構成

bit	7	6	5	4	3	2	1	0
	STIF	STIE	STC	STE	予約	STS2	STS1	STS0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	1	1	1

R/W : リード / ライト可能

< 注意事項 >

- このレジスタは、サブクロック (SBCLK) が安定発振中のとき (クロックソース監視レジスタ (CMONR) の SCRDY ビット = 1) のみ、書き換えられます。
ただし、STIE ビットは、SCRDY ビットが "0" の場合も書き換えることができます。
- ソフトウェアリセットは、STE ビットと STC ビットの両方が "0" のときに行ってください。ソフトウェアリセットについては、「第9章 リセット」を参照してください。

[bit7] : STIF (サブタイマ割込みフラグビット)

サブタイマがオーバフローしたことを示すフラグです。

サブタイマは次の場合にオーバフローします。

- STS2 ~ STS0 ビットで設定した周期をカウントアップし終わったとき
- クロックソース設定レジスタ (CSELR) の SCEN ビットを "0" から "1" に書き換えた後、サブクロック (SBCLK) の発振安定待ち時間が経過したとき
- ストップモードから復帰後、サブクロック (SBCLK) の発振安定待ち時間が経過したとき

STIE ビットに "1" が設定されているときに、このビットが "1" になると、サブタイマ割込み要求が発生します。

STIF	読出し時	書込み時
0	オーバフローは発生していません。	このビットを "0" にクリアします。
1	オーバフローが発生しました。	無視されます。

サブタイマ割込み要求による DMA 転送が発生した場合も、このビットは "0" にクリアされます。

< 注意事項 >

- STE ビットでサブタイマの動作を禁止 (STE=0) すると、サブタイマがクリアされます。
- STIE ビットが"0"に設定されていると、サブタイマ割込み要求によるDMA転送が発生した場合でも、このビットはクリアされません。
- このビットを"0"にクリアするタイミングと、オーバフロー発生のタイミングが重なった場合は、オーバフローの発生が優先され、このビットは"1"のままになります。
- リードモディファイライト系命令では"1"が読み出されます。

[bit6] : STIE (サブタイマ割込み許可ビット)

サブタイマがオーバフローしたとき (STIF=1) にサブタイマ割込み要求を発生させるかどうかを設定します。

このビットに"1"が設定されている場合に、STIF ビットが"1"になると、サブタイマ割込み要求が発生します。

書込み値	説明
0	サブタイマ割込み要求の発生を禁止します。
1	サブタイマ割込み要求の発生を許可します。

[bit5] : STC (サブタイマクリアビット)

サブタイマをクリアします。

また、このビットを読み出すとサブタイマの動作状態を確認できます。

STC	書込み時	読出し時
0	無視されます。	通常動作中です。
1	サブタイマをクリアします。	サブタイマのクリア中です。

< 注意事項 >

- リードモディファイライト系命令では"0"が読み出されます。
- サブクロック (SBCLK) の発振が安定している場合にのみ、このレジスタを書き換えることができます。そのため、次の条件が揃ったときは、このビットに"1"を書き込んでも、サブタイマをクリアできません。
 - サブクロック (SBCLK) の発振中 (クロックソース設定レジスタ (CSELR) の SCEN ビット =1)
 - サブクロック (SBCLK) の発振停止中 / 発振安定待ち中 (クロックソース監視レジスタ (CMONR) の SCRDY ビット =0)
- STE ビットを"0"から"1"に書き換えるのと同時に、このビットに"1"を書き込むと、サブタイマをクリアしてから、サブタイマの動作が開始されます。
- このビットが"1"のときに、再度このビットに"1"を書き込まないでください。
- STC ビットが"0"になるまでは、STIF ビットが"1"になることがあります。

[bit4] : STE (サブタイマ動作許可ビット)

サブタイマの動作を制御します。

書込み値	説明
0	サブタイマの動作を禁止 (停止) します。
1	サブタイマの動作を許可します。

< 注意事項 >

- サブタイマの動作を禁止 (停止) すると、サブクロック (SBCLK) の発振安定待ち時間中以外は、サブタイマは停止します。
- サブタイマの動作を禁止 (停止) するとサブタイマがクリアされます。サブタイマのクリア中は、STC ビットから "1" が読み出されます。STC ビットが "0" になるまでは、STIF ビットが "1" になることがあります。
- STC ビットが "1" のときは、このビットに "1" を書き込まないでください。

[bit3] : 予約ビット

書込み時	必ず "0" を書き込んでください。
読出し時	"0" が読み出されます。

[bit2 ~ bit0] : STS2 ~ STS0 (サブタイマ周期選択ビット)

サブタイマのオーバフロー周期を選択します。

このビットで設定した周期をカウントアップし終わると、サブタイマがオーバフローします。

STS2	STS1	STS0	オーバフロー周期	32768Hz 時
0	0	0	$2^8 \times$ サブクロック周期	約 7.8ms
0	0	1	$2^9 \times$ サブクロック周期	約 15.6ms
0	1	0	$2^{10} \times$ サブクロック周期	約 31.3ms
0	1	1	$2^{11} \times$ サブクロック周期	62.5ms
1	0	0	$2^{12} \times$ サブクロック周期	125.0ms
1	0	1	$2^{13} \times$ サブクロック周期	250.0ms
1	1	0	$2^{14} \times$ サブクロック周期	500.0ms
1	1	1	$2^{15} \times$ サブクロック周期	1s

< 注意事項 >

- このビットは、STE ビットでサブタイマを停止して (STE=0) から変更してください。
- STIE ビットが "1" に設定されていると、サブタイマがオーバフローしたときに、サブタイマ割込み要求が発生します。
サブタイマのオーバフロー周期が 5T (T : 周辺クロック (PCLK) の周期) 以上になるように設定してください。

7.4 割込み

サブタイマがオーバーフローすると、サブタイマ割込み要求が発生します。

サブタイマで利用できる割込みについて表 7.4-1 に示します。

表 7.4-1 サブタイマの割込み

割込み要求	割込み要求フラグ	割込み要求許可	割込み要求のクリア
サブタイマ 割込み要求	STMCR の STIF=1	STMCR の STIE=1	STMCR の STIF ビットに "0" を書き込む

STMCR : サブタイマ制御レジスタ (STMCR)

< 注意事項 >

- 割込み要求フラグが"1"のときに割込み要求の発生を許可すると割込みを許可した時点で、割込み要求が発生します。
割込み要求の発生を許可する場合は、次のいずれかの処理を行ってください。
 - 割込み要求の発生を許可する前に割込み要求をクリアする。
 - 割込み許可と同時に割込み要求をクリアする。
- 各割込み要求の割込みベクタ番号については、「付録 C 割込みベクタ」を参照してください。
- 割込みベクタ番号に対応する割込みレベルは、割込みコントロールレジスタ (ICR00 ~ ICR47) で設定します。割込みレベルの設定については、「第 10 章 割込みコントローラ」を参照してください。

7.5 動作説明と設定手順例

サブタイマの動作について説明します。また、動作状態を設定するための手順例も示します。

7.5.1 サブタイマの動作

■ 概要

サブタイマは、サブクロック (SBCLK) の発振安定待ち時間をカウントします。

サブクロック (SBCLK) の発振が安定状態のときは、一定間隔で割込み要求を発生するインターバルタイマとしても使用できます。

サブタイマ制御レジスタ (STMCR) の STE ビットでサブタイマの動作を禁止すると (STE=0)、サブクロック (SBCLK) の発振安定待ち時間以外は、このタイマは停止します。

■ 動作

サブタイマは次のように動作します。

1. サブタイマ制御レジスタ (STMCR) の STE ビットでサブタイマの動作を許可する (STE=1)
2. サブタイマがサブクロック (SBCLK) に同期して、カウントアップを開始する
サブタイマ制御レジスタ (STMCR) STE ビットが "1" の間、カウントアップを継続します。
3. サブタイマ制御レジスタ (STMCR) の STS2 ~ STS0 ビットで設定した値までカウントアップする

サブタイマ制御レジスタ (STMCR) の STIF ビットが "1" に変わります。

このとき、サブタイマ制御レジスタ (STMCR) の STIE ビットが "1" だと、サブタイマ割込み要求が発生します。

サブタイマ割込み要求をクリアするには、STIF ビットに "0" を書き込んでください。
STIF ビットが "0" にクリアされます。

サブタイマの動作中に、サブタイマ制御レジスタ (STMCR) の STE ビットでサブタイマの動作を禁止 (STE=0) すると、サブタイマはカウントを停止し、値がクリアされます。
詳しくは、「タイマクリア」を参照してください。

■ タイマクリア

サブタイマは次の場合にクリアされます。

- サブタイマ制御レジスタ (STMCR) の STC ビットに "1" を書き込んだとき
STC ビットに "1" を書き込んでから、サブタイマがクリアされるまでは、サブタイマ制御レジスタ (STMCR) の STC ビットからは "1" が読み出されます。
- サブクロック (SBCLK) の発振が停止しているとき
(クロックソース設定レジスタ (CSELR) の SCEN ビット = 0 のとき)

- ストップモード時
- サブタイマ制御レジスタ (STMCR) の STE ビットでサブタイマを停止したとき (STE=0)
サブクロック (SBCLK) の発振安定待ち時間以外は、このタイマは停止します。

< 注意事項 >

サブタイマ制御レジスタ (STMCR) は、サブクロック (SBCLK) の発振が安定している場合にのみ書き換えられます。そのため、次の条件が揃ったときに、サブタイマ制御レジスタ (STMCR) の STC ビットに "1" を書き込んでも、サブタイマはクリアできません。

- サブクロック (SBCLK) の発振中 (クロックソース設定レジスタ (CSELR) の SCEN ビット =1)
- サブクロック (SBCLK) の発振停止中 / 発振安定待ち中 (クロックソース監視レジスタ (CMONR) の SCR DY ビット =0)

■ 割込みの設定手順

サブタイマ制御レジスタ (STMCR) の設定手順例は次の通りです。

1. STIE ビットでサブタイマ割込みを禁止 (STIE=0)
2. STIF ビットでサブタイマ割込みフラグをクリア (STIF=0)
3. STE ビットでサブタイマの動作を禁止 (STE=0)
4. STC ビットを読み出して、サブタイマが通常動作中であることを確認 (STC=0)
5. STS2 ~ STS0 ビットでタイマ周期を設定
6. STIE ビットで、サブタイマ割込みを許可 (STIE=1)
7. STE ビットで、サブタイマの動作を許可 (STE=1)

STS2 ~ STS0 ビットで設定した周期が経過すると、サブタイマ割込み要求が発生し、割込み処理ルーチンへ移行します。

8. STIF ビットで、サブタイマ割込みフラグをクリア (STIF=0)
9. STIF ビットを 1 回読み出して、サブタイマ割込みフラグのクリアを完了させる。
RETI 命令で割込み処理ルーチンから、通常のプログラム処理動作へ復帰します。

< 注意事項 >

STIF ビットに "0" を書き込んでもサブタイマ割込みフラグはすぐにクリアされません。STIF ビットを 1 回読み出すことでフラグクリア完了後、RETI 命令で復帰させることができます。

7.5.2 ストップモードへの遷移と時計モードについて

ストップモードへ遷移する前には、サブタイマによる割込み動作を禁止する必要があります。

ストップモードへの遷移は次の手順で行ってください。

1. クロックソース設定レジスタ (CSELR) の PCEN ビットで、PLL クロック (PLLCLK) の発振を停止 (PCEN=0)
2. サブタイマ制御レジスタ (STMCR) の STIE ビットで、サブタイマ割込みを禁止 (STIE=0)
3. サブタイマ制御レジスタ (STMCR) の STE ビットで、サブタイマの動作を禁止 (STE=0)
4. サブタイマ制御レジスタ (STMCR) の STC ビットを読み出して、サブタイマがクリア中でないことを確認 (STC=0)
5. サブタイマ制御レジスタ (STMCR) の STIF ビットで、サブタイマ割込みフラグをクリア (STIF=0)
6. 発振安定待ち設定レジスタ (CSTBR) の SOSW2 ~ SOSW0 ビットで、サブクロック (SBCLK) の発振安定待ち時間を設定
7. ストップモードへ遷移

< 注意事項 >

ストップモードへ遷移する前に、必ず PLL 発振を停止してください。

第 8 章 低消費電力モード

低消費電力モードの機能と動作について説明します。

- 8.1 概要
- 8.2 構成
- 8.3 レジスタ
- 8.4 動作説明と設定手順例
- 8.5 使用上の注意

8.1 概要

本製品は、消費電力を低減するために低消費電力モードを利用することができます。

■ 概要

本製品では次のように消費電力を制御することができます。

- クロック制御
 - クロック分周
各動作クロックの分周比を変更することで、動作周波数を落とすことができます。
 - クロック停止
特定のクロックを指定して停止させることができます。
- ドーズモード
設定した動作率で CPU を繰り返し間欠動作させるモードです。
- スリープモード
周辺機能のみを動作させるモードです。次の 2 種類の中から選択できます。
 - CPU スリープモード
CPU の動作を停止させるモードです。
 - バススリープモード
CPU とオンチップバスの動作を停止させるモードです。
- スタンバイモード
次の 3 種類の中から選択できます。
 - メインタイマモード
メインクロック発振以外の動作をすべて停止できるモードです。
サブクロック発振は任意に設定できます。
 - 時計モード
サブクロック発振以外の動作をすべて停止できるモードです。
 - ストップモード
すべてのクロック発振と動作を停止させるモードです。

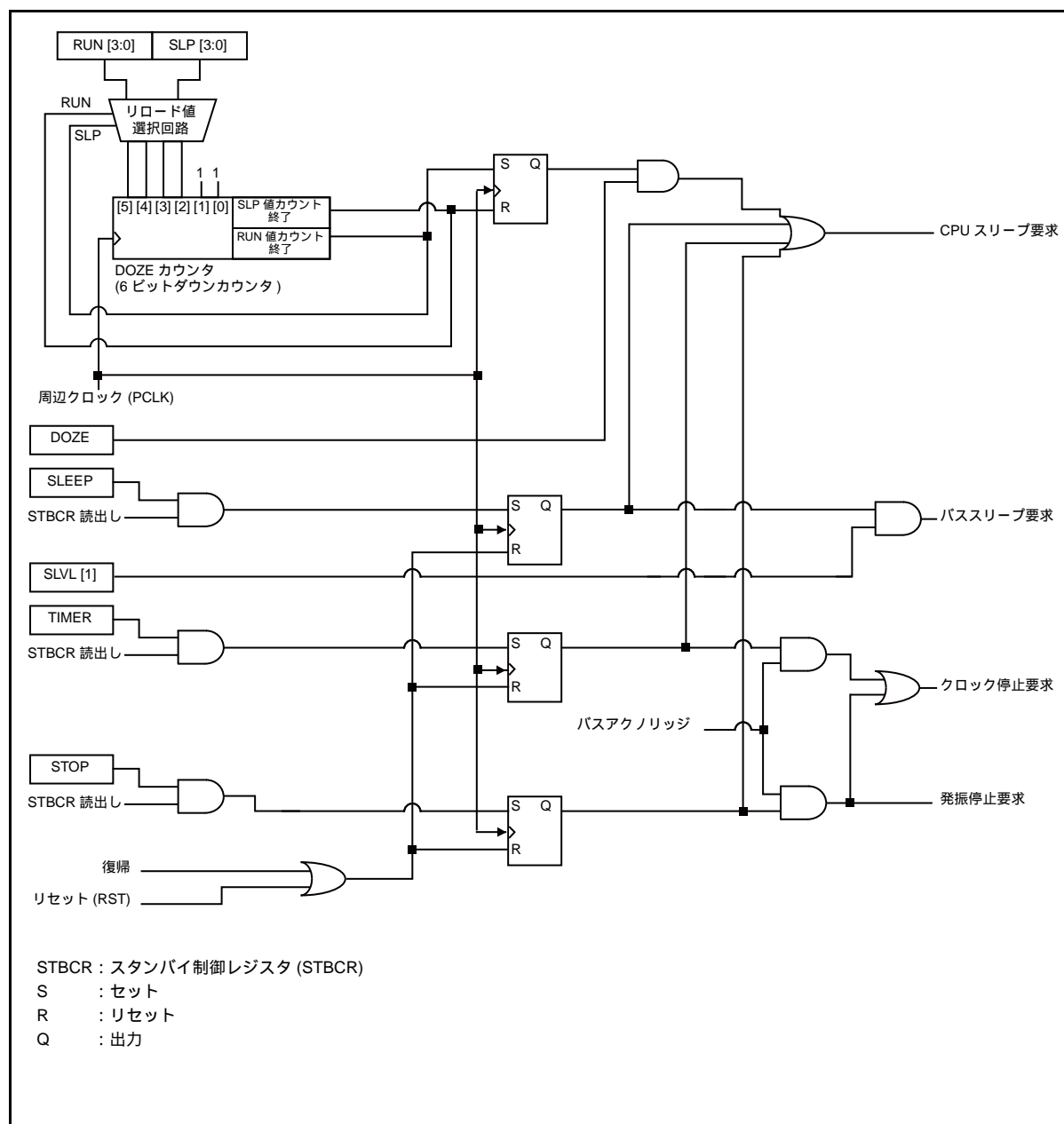
8.2 構成

消費電力制御部の構成を示します。

■消費電力制御部のブロックダイヤグラム

消費電力制御部のブロックダイアグラムを図 8.2-1 に示します。

図 8.2-1 消費電力制御部のブロックダイアグラム



- スタンバイ制御レジスタ (STBCR)
低消費電力モードを制御するレジスタです。

- スリープレート設定レジスタ (SLPRR)
ドーズモード時の、動作状態 (RUN 状態) の比率およびスリープ状態の比率 (スリープレート) を設定するレジスタです。
- リロード値選択回路
スリープレート設定レジスタ (SLPRR) に設定された動作状態 (RUN 状態) の比率とスリープ状態の比率 (スリープレート) のどちらをリロードするか選択する回路です。

■ クロック

消費電力制御部で使用するクロックを表 8.2-1 に示します。

表 8.2-1 消費電力制御部で使用するクロック

クロック名	内容	備考
動作クロック	周辺クロック (PCLK)	-

8.3 レジスタ

消費電力を制御するために必要なレジスタの構成と機能について説明します。

■ 消費電力を制御するレジスタ一覧

消費電力を制御するレジスタの一覧を表 8.3-1 に示します。

表 8.3-1 消費電力を制御するレジスタ一覧

レジスタ略称	レジスタ名	参照先
STBCR	スタンバイ制御レジスタ	8.3.1
SLPRR	スリープレート設定レジスタ	8.3.2

8.3.1 スタンバイ制御レジスタ (STBCR)

低消費電力モードを制御するレジスタです。

スタンバイ制御レジスタ (STBCR) のビット構成を図 8.3-1 に示します。

図 8.3-1 スタンバイ制御レジスタ (STBCR) のビット構成

bit	7	6	5	4	3	2	1	0
	STOP	TIMER	SLEEP	DOZE	予約	予約	SLVL1	SLVL0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	1	1

R/W : リード / ライト可能

[bit7] : STOP (ストップモード許可ビット)

ストップモードへの移行を許可するビットです。

書込み値	説明
0	ストップモードへ移行しません。
1	ストップモードへ移行します。

このビットで、ストップモードへの移行を許可後、このレジスタを読み出すとストップモードへ移行します。

ストップモードからの復帰要因が発生すると、このビットは "0" にクリアされます。ストップモードからの復帰要因については、「8.4.6 ストップモード時の動作」の「ストップモードからの復帰」を参照してください。

[bit6] : TIMER (メインタイマモード / 時計モード許可ビット)

メインタイマモード / 時計モードへの移行を許可するビットです。

書込み値	説明
0	メインタイマモード / 時計モードへ移行しません。
1	メインタイマモード / 時計モードへ移行します。

このビットで、メインタイマモード / 時計モードへの移行を許可後、このレジスタを読み出すとメインタイマモード / 時計モードに移行します。

ただし、STOPビットでストップモードへの移行を許可 (STOP=1) した場合は、このビットに "1" を書き込んでメインタイマモード / 時計モードへの移行を許可しても、このビットの設定は無視されます。

メインタイマモード / 時計モードからの復帰要因が発生すると、このビットは "0" にクリアされます。メインタイマモードからの復帰要因については、「8.4.4 メインタイマモード時の動作」の「メインタイマモードからの復帰」を参照してください。時計モードからの復帰要因については、「8.4.5 時計モード時の動作」の「時計モードからの復帰」を参照してください。

[bit5] : SLEEP (スリープモード許可ビット)

スリープモードへの移行を許可するビットです。

書込み値	説明
0	スリープモードへ移行しません。
1	スリープモードへ移行します。

このビットで、スリープモードへの移行を許可後、このレジスタを読み出すとスリープモードへ移行します。

ただし、STOP ビット/TIMER ビットでストップモード/メインタイマモード/時計モードへの移行を許可 (STOP/TIMER=1) した場合は、このビットに "1" を書き込んでスリープモードへの移行を許可しても、このビットの設定は無視されます。

スリープモードからの復帰要因が発生すると、このビットは "0" にクリアされます。スリープモードからの復帰要因については、「8.4.3 スリープモード時の動作」の「スリープモードからの復帰」を参照してください。

[bit4] : DOZE (ドーズモード許可ビット)

ドーズモードへの移行を許可するビットです。

書込み値	説明
0	ドーズモード (CPU 間欠スリープ) へ移行しません。
1	CPU がドーズモード (CPU 間欠スリープ) へ移行します。

SLVL1 ビットが "0" に設定されている場合は、ドーズモードからの復帰要因が発生すると、このビットは "0" にクリアされます。ドーズモードからの復帰要因については、「8.4.2 ドーズモード時の動作」の「ドーズモードからの復帰」を参照してください。

[bit3, bit2] : 予約ビット

書込み時	必ず "0" を書き込んでください。
読出し時	"0" が読み出されます。

[bit1, bit0] : SLVL1, SLVL0 (スタンバイレベル設定ビット)

このビットは移行する低消費電力モードで書き込む値の意味が異なります。

低消費電力モード	SLVL1	SLVL0	説明
ストップモード / メインタイマモード / 時計モード	0	0	ストップモード/メインタイマモード/時計モード時に各端子からの出力を Hi-Z にしません。
	0	1	
	1	0	ストップモード/メインタイマモード/時計モード時に各端子からの出力を Hi-Z にします。
	1	1	
スリープモード	0	0	スリープモード移行時, CPU スリープモード (CPU の動作のみ停止) に移行します。
	0	1	
	1	0	スリープモード移行時, バススリープモード (CPU, オンチップバスの動作を停止) に移行します。*
	1	1	
ドーズモード	0	0	割込み要求発生時, DOZE ビットを "0" にクリアします。
	0	1	
	1	0	割込み要求発生時, DOZE ビットを "0" にクリアしません。
	1	1	

* DMA 転送中は, オンチップバスは動作します。

< 注意事項 >

- ストップモード/メインタイマモード/時計モード設定時に出力を Hi-Z にできる端子は, 「付録 D CPU の状態における端子状態」を参照してください。
- SLVL0 ビットの設定値は動作に影響ありません。

MB91635A シリーズ

8.3.2 スリープレート設定レジスタ (SLPRR)

ドーズモード時の、動作状態 (RUN 状態) の比率およびスリープ状態の比率 (スリープレート) を設定するレジスタです。

スリープレート設定レジスタ (SLPRR) のビット構成を図 8.3-2 に示します。

図 8.3-2 スリープレート設定レジスタ (SLPRR) のビット構成

bit	7	6	5	4	3	2	1	0
	RUN3	RUN2	RUN1	RUN0	SLP3	SLP2	SLP1	SLP0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

R/W : リード / ライト可能

< 注意事項 >

ドーズモード中に、このレジスタを書き換えた場合は、次の停止 / 動作起動タイミングで書き換えた設定が反映されます。

[bit7 ~ bit4] : RUN3 ~ RUN0 (動作周期ビット)

ドーズモード時に CPU が動作する期間を設定します。

このビットに設定した値から CPU の動作期間が次のように算出されます。

$$(\text{このビットの値} + 1) \times 4 \times t_{\text{CYCP}}$$

t_{CYCP} : 周辺クロック (PCLK) の周期

動作期間についての詳細は、「8.4.2 ドーズモード時の動作」を参照してください。

[bit3 ~ bit0] : SLP3 ~ SLP0 (スリープ状態周期ビット)

ドーズモード時のスリープ状態の期間を設定します。

このビットに設定した値からスリープ状態の期間が次のように算出されます。

$$(\text{このビットの値} + 1) \times 4 \times t_{\text{CYCP}}$$

t_{CYCP} : 周辺クロック (PCLK) の周期

スリープ状態の期間についての詳細は、「8.4.2 ドーズモード時の動作」を参照してください。

< 注意事項 >

- CPU がスリープ要求を受け付けるときに、遅延が生じる場合があります。その場合は、上記の計算式で得られた期間よりもスリープ期間が短くなります。
 - スリープ状態の期間が短い場合、CPU の動作状況によっては、スリープ状態にならない場合があります。
-

8.4 動作説明と設定手順例

低消費電力モードの動作や使用方法と設定手順例について説明します。

■ 概要

動作クロックの分周比を変更したり、動作クロックを停止させて消費電力を低減したりすることができます。

また、次の低消費電力モードを使用することができます。

- ドーズモード

設定した動作率で CPU を繰り返し間欠動作させるモードです。

設定した期間で CPU の動作と停止を交互に繰り返すことで、CPU の平均消費電力を低減できます。

- スリープモード

CPU やオンチップバスを停止させ、周辺機能のみを動作させるモードです。

次の 2 種類の中から選択できます。

- CPU スリープモード

CPU の動作を停止させるモードです。

- バススリープモード

CPU とオンチップバスの動作を停止させるモードです。

- スタンバイモード

デバイス全体を停止させ、待機状態にするモードです。

次の 3 種類の中から選択できます。

- メインタイマモード

- 時計モード

- ストップモード

8.4.1 クロック制御時の動作

本製品に内蔵されている各動作クロックを調整することで消費電力と CPU の処理能力の最適化を行うことができます。

■ 概要

クロックを制御して消費電力を低減するには、次の 2 つの方法があります。

- クロック分周

各動作クロックの分周比を変更することで、動作周波数を落とすことができます。

- クロック停止

特定のクロックを指定して停止させることができます。

■ クロック分周

各動作クロックの分周比を変更することで消費電力を低減できます。動作クロックの分周比は個別に設定することができます。

各動作クロックと設定可能な分周比を表 8.4-1 に示します。

表 8.4-1 動作クロックと設定可能な分周比

動作クロック	分周比
ベースクロック (BCLK)	ソースクロック (SRCCLK) の 1 ~ 8 分周
外部バスクロック (TCLK)	ベースクロック (BCLK) の 1 ~ 8 分周
周辺クロック (PCLK)	ベースクロック (BCLK) の 1 ~ 16 分周

< 注意事項 >

分周方法や条件は動作クロックによって異なります。動作クロックの分周については、「第 5 章 クロック分周制御部」を参照してください。

■ クロックの停止

使用しない動作クロックを停止することで、消費電力を低減することができます。

停止できる動作クロックと供給 / 停止タイミングの対応を表 8.4-2 に示します。

表 8.4-2 停止できる動作クロックと供給 / 停止タイミングとの対応

動作クロック	供給 / 停止タイミング
外部バスクロック (TCLK)	バススリープ中

外部バスクロック (TCLK) の停止を許可すると、外部バスを使用したアクセスが行われない間などは、自動的に外部バスクロック (TCLK) の供給を停止します。

アクセスが行われると、自動的に供給を再開し、アクセス終了後に再度、供給を停止します。外部バスクロック (TCLK) の停止条件については、「第 5 章 クロック分周制御部」を参照してください。

8.4.2 ドーズモード時の動作

CPU の平均消費電力を低減させるために、CPU を間欠動作させるモードです。

■ 概要

ドーズモードを利用すると、設定した期間で CPU を動作させたり、停止させたりできるので、CPU の平均消費電力を低減できます。処理負荷に応じて、スリープレートを変更し、消費電力を低減させながら処理能力を維持してください。

■ 周期の設定

スリープレート設定レジスタ (SLPRR) の RUN3 ~ RUN0 ビットに、CPU の動作期間を、SLP3 ~ SLP0 ビットにスリープ状態の期間を設定すると、設定した値から次の計算式で周期が算出されます。

$$(\text{RUN}+1) \times 4 \times t_{\text{CYCP}} + (\text{SLP}+1) \times 4 \times t_{\text{CYCP}}$$

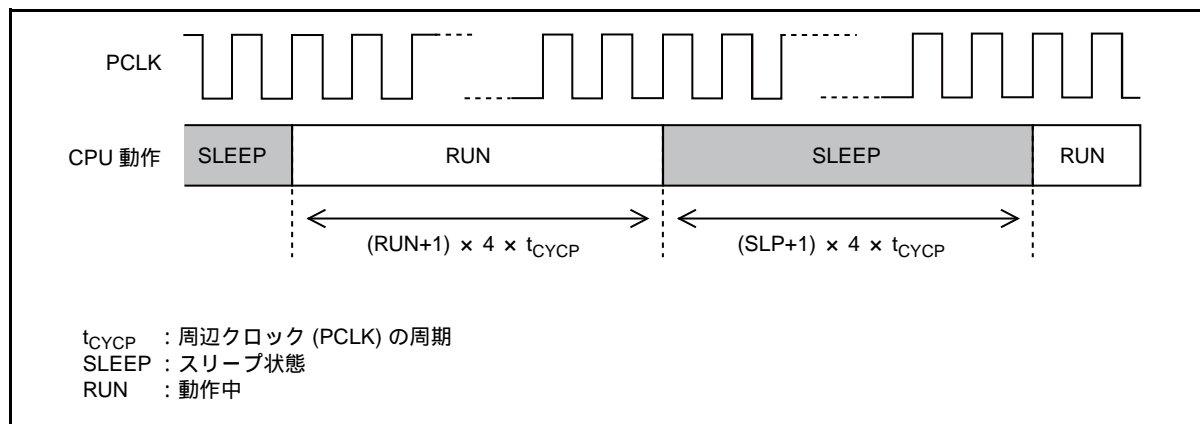
RUN : RUN3 ~ RUN0 ビットの値

SLP : SLP3 ~ SLP0 ビットの値

t_{CYCP} : 周辺クロック (PCLK) の周期

それぞれの期間について図 8.4-1 に示します。

図 8.4-1 動作期間とスリープ状態の期間



< 注意事項 >

- 上記の計算式は、CPU がスリープ要求を受け付けるときの遅延時間を含みません。そのため、誤差が生じる場合があります。
- スリープ状態の期間が短い場合、CPU の動作状況によっては、スリープ状態にならない場合があります。

■ 移行

周期を設定後、スタンバイ制御レジスタ (STBCR) の DOZE ビットに "1" を書き込むと、ドーズモードへ移行し、スリープレート設定レジスタ (SLPRR) の設定にしたがって CPU が動作と停止を繰り返す間欠動作を開始します。

ドーズモードから復帰する場合は、スタンバイ制御レジスタ (STBCR) の DOZE ビットに "0" を書き込んでください。

< 注意事項 >

ドーズモード中にスリープレート設定レジスタ (SLPRR) を書き換えた場合は、次の停止 / 動作移行タイミングで書き換えた設定が反映されます。

■ ドーズモードからの復帰

次のいずれかの場合に CPU がドーズモードから復帰します。

- 本デバイスがリセットされた
- スタンバイ制御レジスタ (STBCR) の DOZE ビットに "0" が書き込まれた
- スタンバイ制御レジスタ (STBCR) の SLVL1 ビットが "0" のときに、割込み要求が発生した

上記以外の場合は、設定が維持されるためスリープモード、メインタイムモード、時計モード、ストップモードからの復帰後も、ドーズモードを利用できます。

8.4.3 スリープモード時の動作

イベント待ち状態での消費電力を低減させるために利用するモードです。

スリープモードになると、復帰要因が発生するまでスリープモードを継続し、復帰要因が発生すると 2 ~ 3 クロックの周期でプログラム動作へ復帰できます。

■ 概要

スリープモードを利用すると、CPU とオンチップバスを停止させ周辺機能のみが動作するため、イベント待ち状態での消費電力を大幅に低減することができます。

スリープモードには次の 2 つのモードが用意されています。

- CPU スリープモード

CPU のみを停止させるモードです。

DMA コントローラ (DMAC) やオンチップバスへのクロックは供給されているので、動作を継続できます。

バススリープモードより電力を消費しますが、DMA 転送要求に早く対応できます。

- バススリープモード

CPU とオンチップバスの動作を停止させるモードです。

DMA コントローラ (DMAC) やオンチップバスへのクロック供給も停止します。クロックの停止については、「第 5 章 クロック分周制御部」を参照してください。

ただし、DMA 転送要求が受け付けられると、一時的に DMA コントローラ (DMAC) やオンチップバスへのクロック供給が再開し、DMA 転送を行うことができます。

DMA 転送が終了すると、クロックの供給が再度停止します。

分周設定レジスタ 1 (DIVR1) の TSTP ビットで、バススリープモード時に外部バスクロック (TCLK) の供給を停止するかどうかを設定できます。

分周設定レジスタ 1 (DIVR1) については、「5.4.2 分周設定レジスタ 1 (DIVR1)」を参照してください。

CPU スリープモード時より、DMA 転送要求に対する反応が遅れますが、消費電力を低減できます。

■ 設定

スリープモードへ移行する前に必要な設定を表 8.4-3 に示します。

表 8.4-3 設定レジスタ

レジスタ	ビット	説明
分周設定レジスタ 1 (DIVR1)	TSTP	外部バスクロック (TCLK) を供給するかどうかを設定 0= 供給する 1= 停止する
スタンバイ制御レジスタ (STBCR)	SLVL1	CPU スリープモードへ移行するかバススリープモードへ移行するかを設定 0=CPU スリープモード 1= バススリープモード

< 注意事項 >

分周設定レジスタ 1 (DIVR1) の TSTP ビットで外部バスクロック (TCLK) の供給を停止 (TSTP=1) した場合は、外部 DMA 転送要求による DMA 転送の起動はできません。

■ 移行

次の手順を実施するとスリープモードへ移行します。

1. スタンバイ制御レジスタ (STBCR) の STOP ビットに "0", TIMER ビットに "0", SLEEP ビットに "1" を書き込む
2. スタンバイ制御レジスタ (STBCR) を読み出す

< 注意事項 >

スリープモードに移行する前に CPU が次の命令を実行しないよう、例) のように手順 2 の次の命令で読み出した値を使用するダミー処理を行ってください。

例)

LDI	#value_of_sleep, R0	; SLEEP ビット =1, SLVL1, SLVL0 ビット設定
LDI	#_STBCR, R12	;
STB	R0, @R12	; 書込み
LDUB	@R12, R0	; 読出し (スリープモードへ移行)
MOV	R0, R0	; ダミー処理
NOP		; ダミー処理
NOP		; ダミー処理

■ スリープモードからの復帰

次のいずれかの場合に CPU がスリープモードから復帰します。

- 本デバイスがリセットされた
- 割込み要求が発生した (割込みレベルが "31" 以外の割込み要求)
割込みレベルについては、「第 10 章 割込みコントローラ」を参照してください。

< 注意事項 >

- 割込み要求でスリープモードから復帰したときに、CPU が割込み要求を受け付けなかった場合は、スリープモードになった次の命令からプログラムが実行されます。CPU が割込み要求を受け付けた場合は、割込み処理ルーチンへ分岐します。
- バススリープモードでは、DMA 転送要求が発生すると、オンチップバスクロック (HCLK) を一時的に復帰させ、DMA 転送を行います。また、DMA 転送が終了するとオンチップバスクロック (HCLK) を再度停止します。

8.4.4 メインタイマモード時の動作

メインタイマモードは、スタンバイモードの 1 つとして分類されます。スタンバイモードは、デバイス全体を停止させて、待機状態にするモードです。そのため、外部イベントの発生待ち状態での消費電力を大幅に低減できます。ただし、許可されたクロックの発振は動作するため、ストップモードほどは消費電力は低減できません。

メインタイマモード時は、CPU のソースクロック (SRCCLK) としてメインクロック (MCLK) の発振を選択してください。

メインタイマモードになると、復帰要因が発生するまでメインタイマモードを継続し、復帰要因が発生すると 2 ~ 3 クロックの周期でプログラム動作へ復帰できます。

■ 概要

メインタイマモードでは、CPU のソースクロック (SRCCLK) としてメインクロック (MCLK) の発振が許可されているため、メインタイマのカウント動作が実行されます。サブクロック (SBCLK) の発振は任意に設定可能です。

■ 設定

メインタイマモードへ移行する前に必要な設定を表 8.4-4 に示します。

表 8.4-4 設定レジスタ

レジスタ	ビット	説明
クロックソース 設定レジスタ (CSELR)	CKS1, CKS0	CPU のソースクロック (SRCCLK) にメインクロック (MCLK) を選択 (CKS1, CKS0=00 または 01)
	PCEN	PLL クロック (PLLCLK) の発振を停止 (PCEN=0)
	SCEN	サブクロック (SBCLK) の発振を設定 0= 発振を停止 1= 発振する
スタンバイ制御 レジスタ (STBCR)	SLVL1	メインタイマモード時の端子から出力信号を設定 0= メインタイマモードになる前の状態を保持 1=Hi-Z

< 注意事項 >

メインタイマモードに移行する時点で、ドーズモードを設定しているときに、スタンバイ制御レジスタ (STBCR) の SLVL1 ビットが "0" に設定されていると、メインタイマモードからの復帰時に DOZE ビット "0" にクリアされ、ドーズモードが終了します。

■ 移行

次の手順を実施するとメインタイマモードへ移行します。

1. スタンバイ制御レジスタ (STBCR) の STOP ビットに "0", TIMER ビットに "1", SLEEP ビットに "0" を書き込む
2. スタンバイ制御レジスタ (STBCR) を読み出す

< 注意事項 >

メインタイマモードに移行する前に CPU が次の命令を実行しないよう、例) のように手順 2 の次の命令で読み出した値を使用するダミー処理を行ってください。

例)

```
LDI    #value_of_timer, R0    ; TIMER ビット =1, SLVL1, SLVL0 ビット設定
LDI    #_STBCR, R12           ;
STB     R0, @R12              ; 書き込み
LDUB    @R12, R0              ; 読出し (メインタイマモードへ移行)
MOV     R0, R0                ; ダミー処理
NOP     ; ダミー処理
NOP     ; ダミー処理
```

■ メインタイマモードからの復帰

次のいずれかの場合に CPU がメインタイマモードから復帰します。

- 本デバイスがリセットされた
- 以下の割込み要求が発生した（割込みレベルが "31" 以外の割込み要求）
 - メインタイマ割込み
 - サブタイマ割込み
 - 時計カウンタ割込み
 - 外部割込み

割込みレベルについては、「第 10 章 割込みコントローラ」を参照してください。

< 注意事項 >

割込み要求でメインタイマモードから復帰したときに、CPU が割込み要求を受け付けなかった場合は、メインタイマモードになった次の命令からプログラムが実行されます。CPU が割込み要求を受け付けた場合は、割込み処理ルーチンへ分岐します。

8.4.5 時計モード時の動作

時計モードは、スタンバイモードの 1 つとして分類されます。スタンバイモードは、デバイス全体を停止させて、待機状態にするモードです。そのため、外部イベントの発生待ち状態での消費電力を大幅に低減できます。ただし、許可されたクロックの発振は動作するため、ストップモードほどは消費電力は低減できません。

時計モード時は、CPU のソースクロック (SRCCLK) としてサブクロック (SBCLK) の発振を選択してください。

時計モードになると、復帰要因が発生するまで時計モードを継続し、復帰要因が発生すると 2 ～ 3 クロックの周期でプログラム動作へ復帰できます。

■ 概要

時計モードでは、CPU のソースクロック (SRCCLK) としてサブクロック (SBCLK) の発振が許可されているため、サブタイマと時計カウンタのカウント動作が実行されます。

■ 設定

時計モードへ移行する前に必要な設定を表 8.4-5 に示します。

表 8.4-5 設定レジスタ

レジスタ	ビット	説明
クロックソース 設定レジスタ (CSELR)	CKS1, CKS0	CPU のソースクロック (SRCCLK) にサブクロック (SBCLK) を選択 (CKS1, CKS0=11)
	PCEN	PLL クロック (PLLCLK) の発振を停止 (PCEN=0)
	MCEN	メインクロック (MCLK) の発振を停止 (MCEN=0)
スタンバイ制御 レジスタ (STBCR)	SLVL1	時計モード時の端子から出力信号を設定 0= 時計モードになる前の状態を保持 1=Hi-Z

< 注意事項 >

時計モードに移行する時点で、ドーズモードを設定しているときに、スタンバイ制御レジスタ (STBCR) の SLVL1 ビットが "0" に設定されていると、時計モードからの復帰時に DOZE ビット "0" にクリアされ、ドーズモードが終了します。

■ 移行

次の手順を実施すると時計モードへ移行します。

1. スタンバイ制御レジスタ (STBCR) の STOP ビットに "0", TIMER ビットに "1", SLEEP ビットに "0" を書き込む
2. スタンバイ制御レジスタ (STBCR) を読み出す

< 注意事項 >

時計モードに移行する前に CPU が次の命令を実行しないよう、例) のように手順 2 の次の命令で読み出した値を使用するダミー処理を行ってください。

例)

```
LDI      #value_of_timer, R0      ; TIMER ビット =1, SLVL1, SLVL0 ビット設定
LDI      #_STBCR, R12             ;
STB      R0, @R12                  ; 書込み
LDUB     @R12, R0                  ; 読出し (時計モードへ移行)
MOV      R0, R0                    ; ダミー処理
NOP                                             ; ダミー処理
NOP                                             ; ダミー処理
```

■ 時計モードからの復帰

次のいずれかの場合に CPU が時計モードから復帰します。

- 本デバイスがリセットされた
- 以下の割込み要求が発生した (割込みレベルが "31" 以外の割込み要求)
 - サブタイマの割込み要求
 - 時計カウンタの割込み要求
 - 外部割込みの要求

割込みレベルについては、「第 10 章 割込みコントローラ」を参照してください。

< 注意事項 >

割込み要求で時計モードから復帰したときに、CPU が割込み要求を受け付けなかった場合は、時計モードになった次の命令からプログラムが実行されます。CPU が割込み要求を受け付けた場合は、割込み処理ルーチンへ分岐します。

8.4.6 ストップモード時の動作

ストップモードは、スタンバイモードの 1 つとして分類されます。スタンバイモードは、デバイス全体を停止させて、待機状態にするモードです。そのため、外部イベントの発生待ち状態での消費電力を大幅に低減できます。

ストップモードは、すべてのクロックの発振を停止し、消費電力を最小にするモードです。

■ 概要

ストップモードを利用すると、すべてのクロックの発振が停止するため消費電力を最小にできます。

ただし、復帰要求が発生してからプログラム動作へ復帰するまでには発振安定待ち時間を必要とします。

■ 設定

ストップモードになる前とストップモードからの復帰後の CPU のソースクロック (SRCCLK) によって、設定が異なります。

● ストップモード前後の CPU のソースクロック (SRCCLK) がサブクロック (SBCLK) の場合

ストップモードへ移行する前に必要な設定を表 8.4-6 に示します。

表 8.4-6 設定レジスタ

レジスタ	ビット	説明
クロックソース設定レジスタ (CSELR)	CKS1, CKS0	CPU のソースクロック (SRCCLK) にサブクロック (SBCLK) を選択 (CKS1, CKS0=11)
	PCEN	PLL クロック (PLLCLK) の発振を停止 (PCEN=0)
スタンバイ制御レジスタ (STBCR)	SLVL1	ストップモード時の端子から出力信号を設定 0= ストップモードになる前の状態を保持 1=Hi-Z

< 注意事項 >

ストップモードに移行する時点で、ドーズモードを設定しているときに、スタンバイ制御レジスタ (STBCR) の SLVL1 ビットが "0" に設定されていると、ストップモードからの復帰時に DOZE ビット "0" にクリアされ、ドーズモードが終了します。

● ストップモード前後の CPU のソースクロック (SRCCLK) がメインクロック (MCLK) の場合

ストップモードへ移行する前に必要な設定を表 8.4-7 に示します。

表 8.4-7 設定レジスタ

レジスタ	ビット	説明
クロックソース設定レジスタ (CSELR)	CKS1, CKS0	CPU のソースクロック (SRCCLK) にメインクロック (MCLK) を選択 (CKS1, CKS0=00/01)
	PCEN	PLL クロック (PLLCLK) の発振を停止 (PCEN=0)
スタンバイ制御レジスタ (STBCR)	SLVL1	ストップモード時の端子から出力信号を設定 0= ストップモードになる前の状態を保持 1=Hi-Z

< 注意事項 >

ストップモードに移行する時点で、ドーズモードを設定しているときに、スタンバイ制御レジスタ (STBCR) の SLVL1 ビットが "0" に設定されていると、ストップモードからの復帰時に DOZE ビット "0" にクリアされ、ドーズモードが終了します。

■ 移行

次の手順を実施するとストップモードへ移行します。

1. スタンバイ制御レジスタ (STBCR) の STOP ビットに "1", TIMER ビットに "0", SLEEP ビットに "0" を書き込む
2. スタンバイ制御レジスタ (STBCR) を読み出す

< 注意事項 >

ストップモードに移行する前に CPU が次の命令を実行しないよう、例) のように手順 2 の次の命令で読み出した値を使用するダミー処理を行ってください。

例)

```
LDI    #value_of_stop, R0    ; STOP ビット =1, SLVL1, SLVL0 ビット設定
LDI    #_STBCR, R12          ;
STB     R0, @R12              ; 書込み
LDUB    @R12, R0              ; 読出し (ストップモードへ移行)
MOV     R0, R0                ; ダミー処理
NOP                                           ; ダミー処理
NOP                                           ; ダミー処理
```

■ ストップモードからの復帰

次のいずれかの場合に CPU がストップモードから復帰します。

- 本デバイスがリセットされた
- 以下の割り込み要求が発生した（割り込みレベルが "31" 以外の割り込み要求）
外部割り込み

割り込みレベルについては、「第 10 章 割り込みコントローラ」を参照してください。

< 注意事項 >

割り込み要求でストップモードから復帰したときに、CPU が割り込み要求を受け付けなかった場合は、ストップモードになった次の命令からプログラムが実行されます。CPU が割り込み要求を受け付けた場合は、割り込み処理ルーチンへ分岐します。

8.5 使用上の注意

低消費電力モードを使用する際は、次の点に注意してください。

- 次の低消費電力モードに切り換えるときに、割込み要求が発生していると低消費電力モードへ移行できません。
 - ドーズモード
 - スリープモード
 - メインタイマモード
 - 時計モード
 - ストップモード
- 例として、次の場合はスリープモードにはなりません。割込み要求をクリアしてからスリープモードへ移行してください。
 - スリープモード中、CPUが受け付けない割込み要求によりスリープモードから復帰した後で、割込み要求をクリアせずに再びスリープモードへの移行動作を行った。

第 9 章 リセット

リセットの機能と動作について説明します。

- 9.1 概要
- 9.2 構成
- 9.3 端子
- 9.4 レジスタ
- 9.5 動作説明
- 9.6 動作状態と遷移

9.1 概要

内部回路を初期化するためのリセットについて説明します。

■ 概要

本デバイスには、次の3種類のリセット要因があります。

- INIT 端子入力
- ウォッチドッグリセット 0
- ソフトウェアリセット

リセット要因が発生すると、すべてのプログラムと内部回路の動作を停止して、状態を初期化します。

この状態をリセット状態とよびます。

リセット要因が解除されると、プログラムおよびハードウェア動作が開始されます。

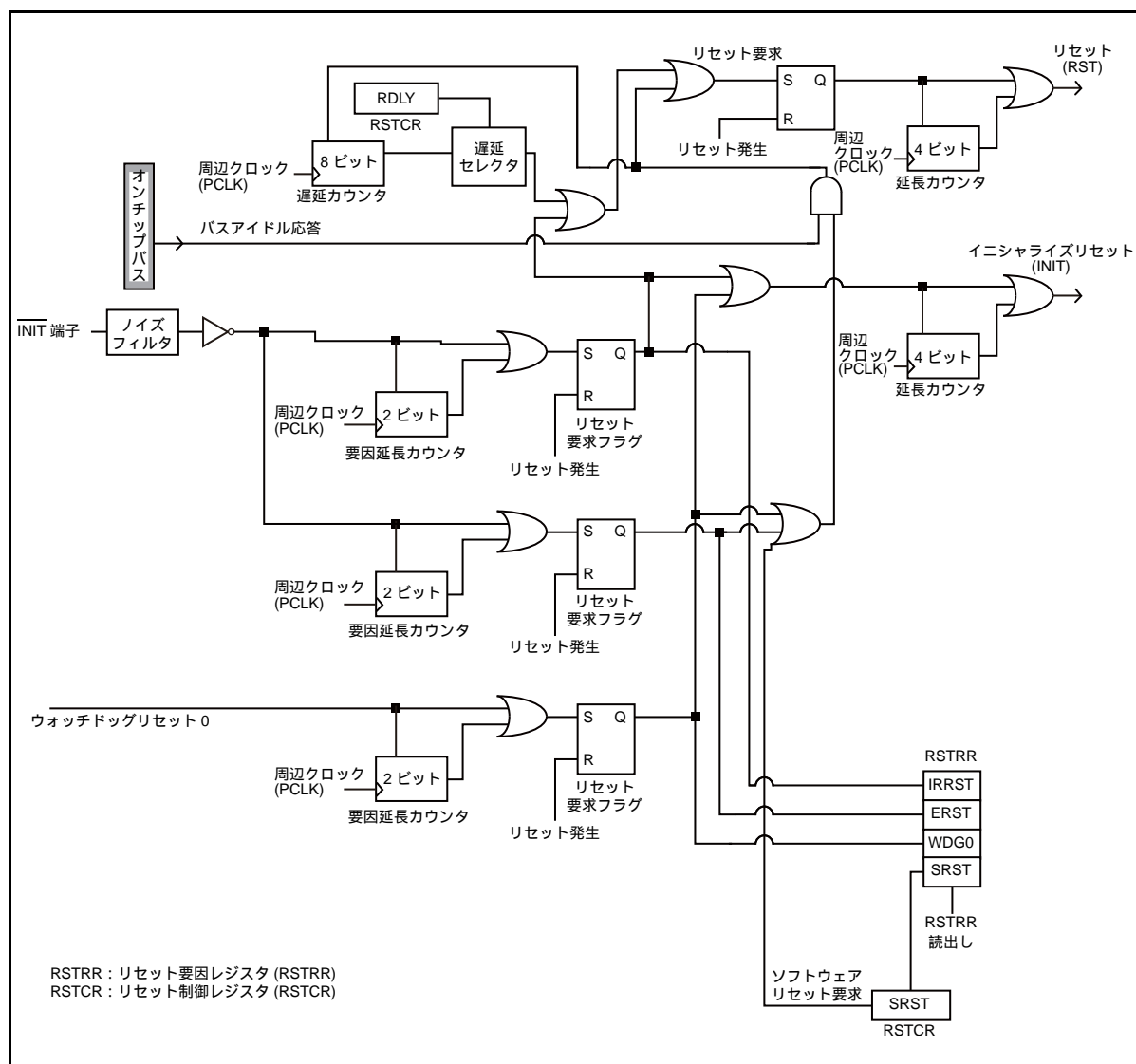
9.2 構成

リセットの構成を示します。

■ リセットのブロックダイアグラム

リセットのブロックダイアグラムを図 9.2-1 に示します。

図 9.2-1 リセットのブロックダイアグラム



- リセット要因レジスタ (RSTRR)
リセット要因を表示するレジスタです。
- リセット制御レジスタ (RSTCR)
リセット発行を制御するレジスタです。

- 遅延カウンタ
リセット要求が発生してから、バスがアイドル状態になるまでの期間をカウントします。
一定時間内にバスアイドル状態にならない場合は、強制的にイニシャライズリセット (INIT) が発行されます。
- 要因延長カウンタ
リセット要因を延長する時間をカウントするカウンタです。各リセット要因は、リセットが発行されるまで保持されます。

■ クロック

リセットで使用するクロックを表 9.2-1 に示します。

表 9.2-1 リセットで使用するクロック

クロック名	内容
動作クロック	周辺クロック (PCLK)

9.3 端子

リセットで使用する端子について説明します。

■ 概要

リセットには次の端子があります。

- $\overline{\text{INIT}}$ 端子

リセット要求を入力する、外部入力端子です。

9.4 レジスタ

リセットで使用するレジスタの構成と機能について説明します。

■ リセットのレジスタ一覧

リセットのレジスタ一覧を表 9.4-1 に示します。

表 9.4-1 リセットのレジスタ一覧

レジスタ略称	レジスタ名	参照先
RSTRR	リセット要因レジスタ	9.4.1
RSTCR	リセット制御レジスタ	9.4.2

9.4.1 リセット要因レジスタ (RSTRR)

リセット要因を記憶するレジスタです。

電源投入後，このレジスタを読み出すまでの間に発生したリセット要因をすべて記憶します。

リセット要因レジスタ (RSTRR) のビット構成を図 9.4-1 に示します。

図 9.4-1 リセット要因レジスタ (RSTRR) のビット構成

bit	7	6	5	4	3	2	1	0
	IRRST	ERST	未定義	WDG0	未定義	未定義	未定義	SRST
属性	R	R	R	R	R	R	R	R
初期値：	* リセット要因により異なる							
R：リードオンリ								
*：初期値は次のとおりです。								
リセット要因				初期値				
INIT 端子入力				11XXXXXX				
ウォッチドッグリセット 0				XXX1XXXX				
ウォッチドッグリセット 0 のタイムアウト				1XX1XXXX				
ソフトウェアリセット				XXXXXXX1				
ソフトウェアリセット時のタイムアウト				1XXXXXX1				
このレジスタの読出し				00000000				
X: 初期化されません。								

< 注意事項 >

このレジスタを読み出すと，すべてのビットがクリアされます。

[bit7]：IRRST (イレギュラーリセットビット)

バスアクセスの完了を待たずにリセットが発行されることを，イレギュラーリセットとよびます。イレギュラーリセットが発生すると，リセット時にメモリ内容が破壊されている可能性があります。

INIT 端子入力によるリセットか，リセットタイムアウトが発生すると，このビットが "1" に変わります。

読出し値	説明
0	イレギュラーリセットは検出されていません。 メモリ内容が破壊されていないことを保証します。
1	イレギュラーリセットが検出されました。 直前のリセットで，メモリ内容が破壊された可能性があります。

イレギュラーリセットについては、「9.5.3 リセットの動作」の「イレギュラーリセット」を参照してください。

[bit6] : ERST (リセット端子入力ビット)

$\overline{\text{INIT}}$ 端子入力のリセットが発生したかどうかを示します。

読出し値	説明
0	$\overline{\text{INIT}}$ 端子入力のリセットは発生していません。
1	$\overline{\text{INIT}}$ 端子入力のリセットが発生しました。

[bit5] : 未定義ビット

読出し時	値は不定です。
------	---------

[bit4] : WDG0 (ウォッチドッグリセット 0 ビット)

ウォッチドッグリセット 0 が発生したかどうかを示します。

ウォッチドッグタイマ 0 でリセットタイムアウトが発生した場合は、IRRST ビットも "1" に変わります。

読出し値	説明
0	ウォッチドッグリセット 0 は発生していません。
1	ウォッチドッグリセット 0 が発生しました。

[bit3 ~ bit1] : 未定義ビット

読出し時	値は不定です。
------	---------

[bit0] : SRST (ソフトウェアリセットビット)

ソフトウェアリセット (RSTCR : SRST) が発生したかどうかを示します。

ソフトウェアリセット (RSTCR : SRST) でリセットタイムアウトが発生していた場合は、IRRST ビットも "1" に変わります。

読出し値	説明
0	ソフトウェアリセット (RSTCR : SRST) は発生していません。
1	ソフトウェアリセット (RSTCR : SRST) が発生しました。

9.4.2 リセット制御レジスタ (RSTCR)

リセットの発行を制御するレジスタです。

リセット制御レジスタ (RSTCR) のビット構成を図 9.4-2 に示します。

図 9.4-2 リセット制御レジスタ (RSTCR) のビット構成

bit	7	6	5	4	3	2	1	0
	RDLY2	RDLY1	RDLY0	予約	予約	予約	予約	SRST
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

R/W : リード / ライト可能

[bit7 ~ bit5] : RDLY2 ~ RDLY0 (リセット発行遅延ビット)

リセット要求が受け付けられてから、すべてのバスがアイドルになるまで、リセット発行を遅延させる時間を設定します (遅延サイクル)。

RDLY2	RDLY1	RDLY0	説明
0	0	0	周辺クロック (PCLK) × 2 サイクル
0	0	1	周辺クロック (PCLK) × 4 サイクル
0	1	0	周辺クロック (PCLK) × 8 サイクル
0	1	1	周辺クロック (PCLK) × 16 サイクル
1	0	0	周辺クロック (PCLK) × 32 サイクル
1	0	1	周辺クロック (PCLK) × 64 サイクル
1	1	0	周辺クロック (PCLK) × 128 サイクル
1	1	1	周辺クロック (PCLK) × 256 サイクル

< 注意事項 >

- 各ビットの値は、リセットにより初期化されます。リセット後の書込みは 1 回のみ可能です。
- 遅延サイクルの設定が短い場合は、リセットタイムアウトによるイレギュラーリセットが発生する可能性が高くなります。一方、遅延サイクルの設定が長い場合は、リセット要因が発生してからリセットが発行されるまでに長時間かかることがあります。
- イレギュラーリセットについては、「9.5.3 リセットの動作」の「イレギュラーリセット」を参照してください。

[bit4 ~ bit1] : 予約ビット

書込み時	必ず "0" を書き込んでください。
読出し時	"0" が読み出されます。

[bit0] : SRST (ソフトウェアリセットビット)

このビットに "1" を書き込んだ後、リセット制御レジスタ (RSTCR) を読み出すと、ソフトウェアリセット要求が発生します。

書込み値	説明
0	リセット要求が発生しません。
1	本レジスタの読出しによってリセット要求が発生します。

< 注意事項 >

- このビットに "1" を書き込んだ後は、リセットが発生するまで、リセット制御レジスタ (RSTCR) への書込みは無視されます。
 - SRST=1 でソフトウェアリセット要求が発生させるまえに、ソースクロックをメインクロック (MCLK) の 2 分周に切り換えてください。
-

9.5 動作説明

リセットの動作について説明します。

9.5.1 リセットの種類

本デバイスには、3種類のリセットがあり、それぞれ発生要因や初期化する内容が異なります。

- 電源投入リセット (SINIT)

分周回路の不定状態を初期化するために使用します。

また、同時にイニシャライズリセット (INIT) とリセット (RST) を発行します。

リセット要因	・ $\overline{\text{INIT}}$ 端子へ "L" レベルを入力
初期化対象	・ メインクロック (MCLK) の発振安定待ち時間
同時に発生するリセット	・ イニシャライズリセット (INIT) ・ リセット (RST)

- イニシャライズリセット (INIT)

クロック制御の設定をリセットするために、次のレジスタを初期化します

- ・ クロックソース設定レジスタ (CSELR) ・ クロックソース監視レジスタ (CMONR)
- ・ PLL設定レジスタ (PLLCR) ・ 発振安定待ち設定レジスタ (CSTBR)

また、同時に、リセット (RST) を発行します。

リセット要因	・ $\overline{\text{INIT}}$ 端子入力 ・ リセットタイムアウト ・ ウォッチドッグリセット 0
初期化対象	・ ソースクロック = メインクロック (MCLK) の 2 分周 ・ クロック発振 = メイン発振, サブ /PLL 停止 ・ PLL マクロ発振クロックの分周比 ・ PLL クロック (PLLCLK) の通倍率 ・ PLL クロックの発振安定待ち時間 ・ PLL 入力クロックの分周比 ・ サブクロックの発振安定待ち時間
同時に発生するリセット	・ リセット (RST)

- リセット (RST)

プログラム動作を初期化するリセットです。

リセット要因	・ $\overline{\text{INIT}}$ 端子入力 ・ リセットタイムアウト ・ ウォッチドッグリセット 0 ・ ソフトウェアリセット
初期化対象	電源投入リセット (SINIT) およびイニシャライズリセット (INIT) で初期化されるレジスタ以外のすべてのレジスタ設定およびハードウェア
同時に発生するリセット	なし

9.5.2 リセット要因

3種類のリセット要因があります。リセット要因によって、発行されるリセットのレベルが異なります。

また、バスアクセスの完了を確認せずに、イニシャライズリセット (INIT) を発行するイレギュラーリセットが発生するかどうかもリセット要因によって異なります。

- $\overline{\text{INIT}}$ 端子入力

$\overline{\text{INIT}}$ 端子に "L" レベルが入力されている間、イニシャライズリセット (INIT) 要求が発生します。

発生要因	$\overline{\text{INIT}}$ 端子へ "L" レベルを入力
解除要因	$\overline{\text{INIT}}$ 端子へ "H" レベルを入力
リセットレベル	電源投入リセット (SINIT), イニシャライズリセット (INIT), リセット (RST) すべてを発行
対応フラグ	リセット要因レジスタ (RSTRR) の ERST ビット =1
動作	バスアクセスの完了を待たずに電源投入リセット (SINIT), イニシャライズリセット (INIT), リセット (RST) を発行 (イレギュラーリセット)

- ウォッチドッグリセット 0

ウォッチドッグタイマで設定した周期が経過すると、ウォッチドッグリセット 0 要求が発生します。ウォッチドッグリセット 0 要求が発生すると、イニシャライズリセット (INIT) が発行されます。

発生要因	ウォッチドッグタイマで設定した周期が経過
解除要因	イニシャライズリセット (INIT) の発行後、自動的に解除
リセットレベル	イニシャライズリセット (INIT) とリセット (RST) を発行
対応フラグ	リセット要因レジスタ (RSTRR) の WDG0 ビット =1
動作	<ul style="list-style-type: none"> ・ バスアクセスの完了を確認してからイニシャライズリセット (INIT) とリセット (RST) を発行 ・ バスアクセスが完了せずリセットタイムアウトが発生した場合は、強制的にイニシャライズリセット (INIT) とリセット (RST) を発行 (イレギュラーリセット)

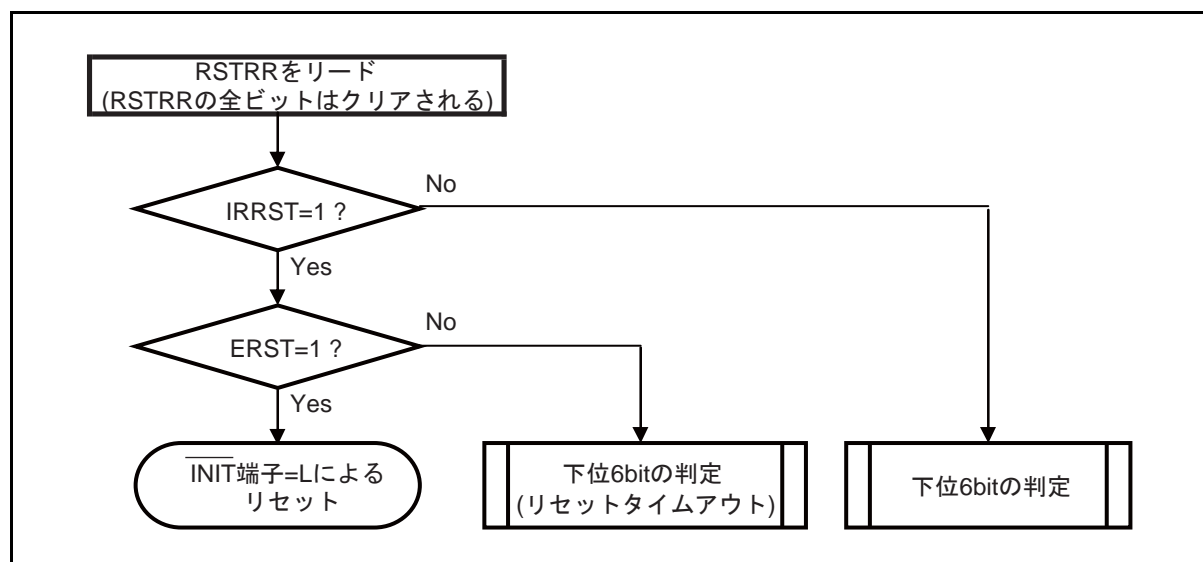
- ソフトウェアリセット (RSTCR : SRST)

リセット制御レジスタ (RSTCR) の SRST ビットに "1" を書き込んだ後に、リセット制御レジスタ (RSTCR) を読み出すと、リセット (RST) 要求が発生します。

発生要因	リセット制御レジスタ (RSTCR) の SRST ビットに "1" を書き込んだ後に、リセット制御レジスタ (RSTCR) を読み出す * SRST ビットに "1" を書き込む前にソースクロック (SRCCLK) をメインクロック (MCLK) の 2 分周に切り換えてください。
解除要因	リセット (RST) の発行後、自動的に解除
リセットレベル	リセット (RST) のみを発行
対応フラグ	リセット要因レジスタ (RSTRR) の SRST ビット =1
動作	・ バスアクセスの完了を確認してからリセット (RST) を発行 ・ バスアクセスが完了せずリセットタイムアウトが発生した場合は、強制的にイニシャライズリセット (INIT) とリセット (RST) を発行 (イレギュラーリセット)

■ リセット要因判定フロー

図 9.5-1 リセット要因判定フロー



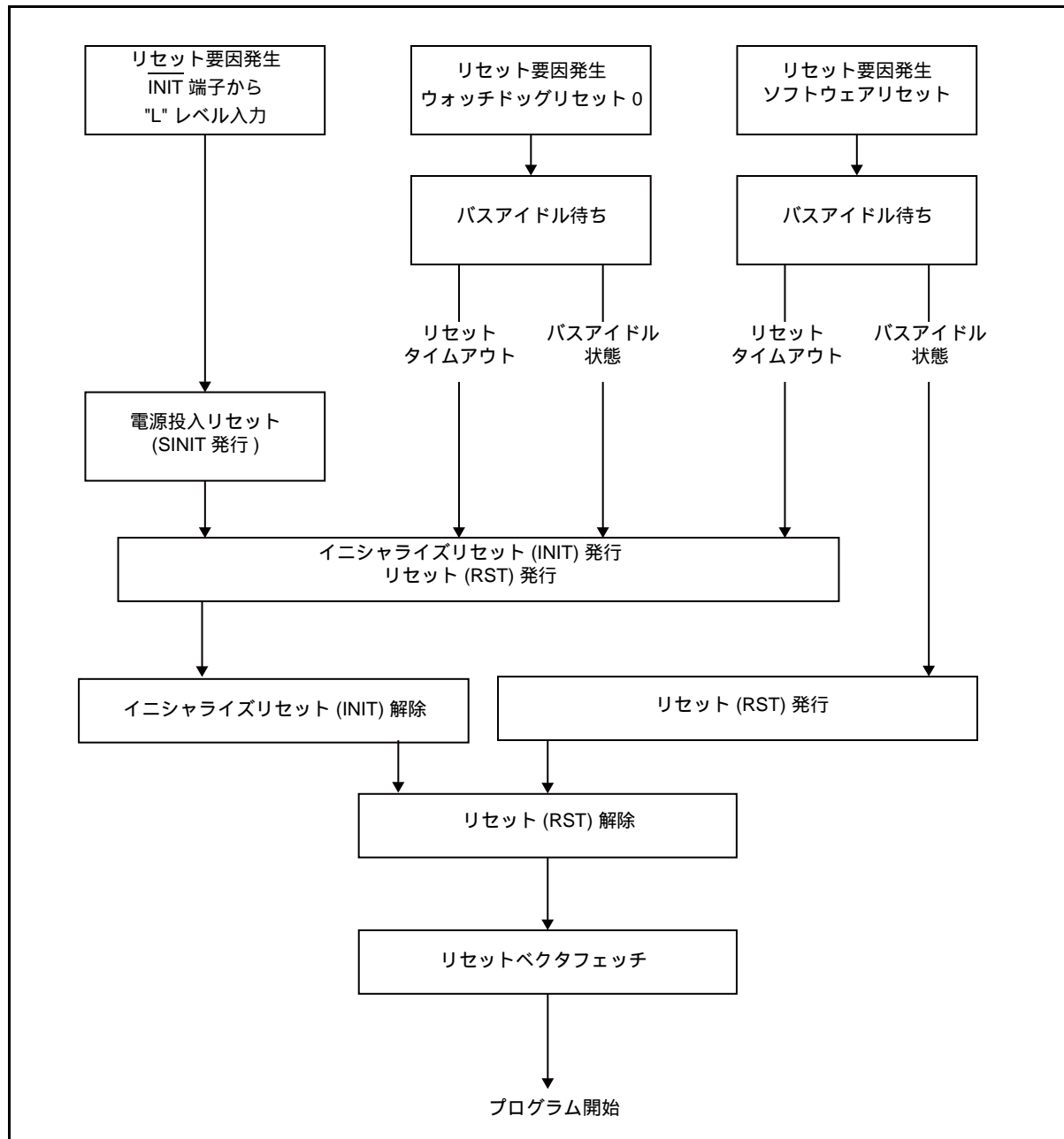
9.5.3 リセットの動作

■ リセット動作の流れ

リセットが発生し、リセット状態に入ってから、CPUが動作を開始するまでの一連の動作をリセットシーケンスとよびます。

リセットシーケンスを図 9.5-2 に示します。

図 9.5-2 リセットシーケンス



1. リセット要因の取り込みと延長

発生したリセット要因が非同期で取り込まれ、リセットが発行されるまで保持されます。

2 ビットの要因延長カウンタを持ち、最小でも 4T (T: 周辺クロック (PCLK) の周期) リセット要因を保持します。

2. リセット要求の発生

生成したリセット要求を内部バス制御部へ通知し、次の処理を行います。

- CPU のプログラム動作の停止 (スリープモードと同一処理。)
- すべてのバスへアイドル要求が通知されたことの確認

同時に遅延カウンタがカウントを開始します。

3. リセット要求の受理とリセット発行

リセット要求に対するすべての処理が完了すると、リセット要求が受理されます。バスから完了の応答がある前に、遅延カウンタがオーバフローしリセットタイムアウトが発生すると、イレギュラーリセットが発行されます。

4. リセットの発行

- $\overline{\text{INIT}}$ 端子へ "L" レベルを入力

電源投入リセット (SINIT), イニシャライズリセット (INIT), リセット (RST) が発行されます。

- ウォッチドッグリセット 0

イニシャライズリセット (INIT), リセット (RST) が発行されます。

- リセットタイムアウト

イニシャライズリセット (INIT), リセット (RST) が発行されます。

- ソフトウェアリセット (RSTCR : SRST)

リセット (RST) が発行されます。

5. リセット要因の解除

リセット要因が解除されると、4T (T: 周辺クロック (PCLK)) の間、リセット要求が延長されます。その後、16T (T: 周辺クロック (PCLK)) リセット周期を維持します。このため、リセットの最小発行周期は 20T になります。

6. リセットの解除

リセットサイクルが終了すると、リセットが解除されハードウェアが動作を開始します。

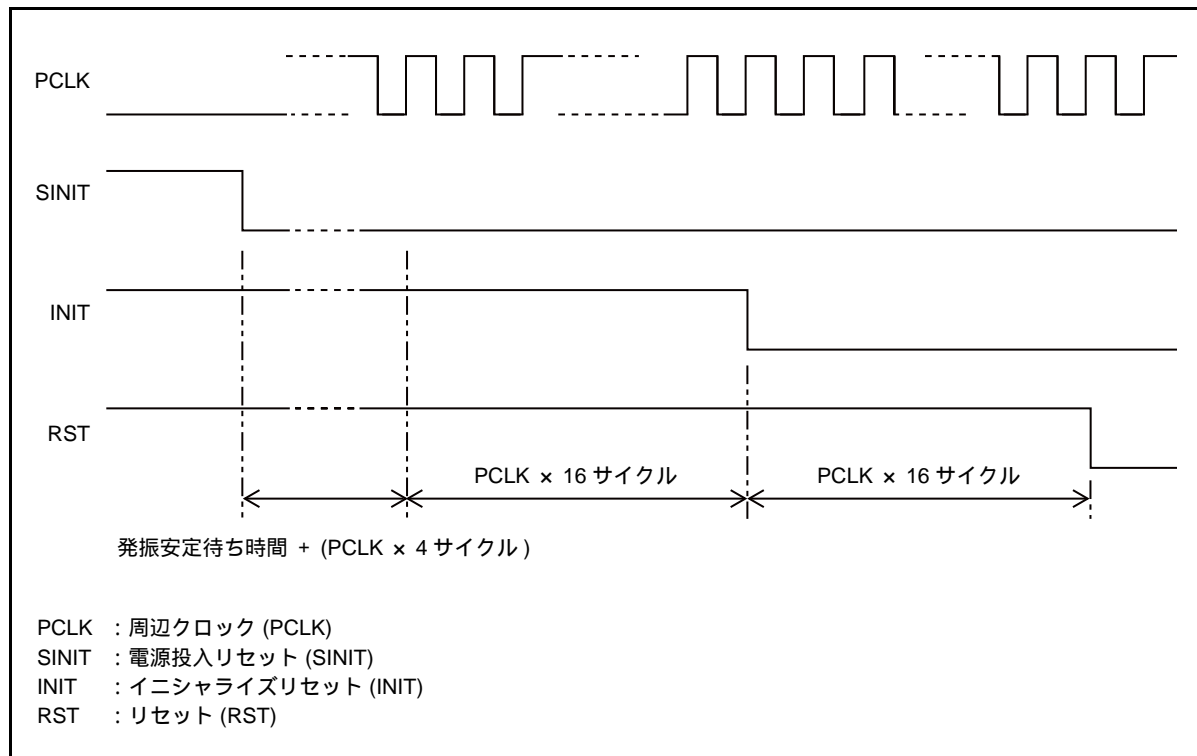
7. リセットベクタの取込み (フェッチ)

CPU がリセットベクタ (000F FFFC_H) の取込み (フェッチ) を開始します。CPU は取得したリセットベクタをプログラムカウンタ (PC) に取り込んで、プログラム動作を開始します。

■ 電源投入リセット (SINIT)

電源リセット (SINIT) が発行されると同時にイニシャライズリセット (INIT), リセット (RST) も発行されます。電源投入リセット (SINIT) のリセット要因が解除された後の各リセット発行シーケンスを図 9.5-3 に示します。

図 9.5-3 電源投入リセット (SINIT) のリセット要因解除後の各リセット発行シーケンス

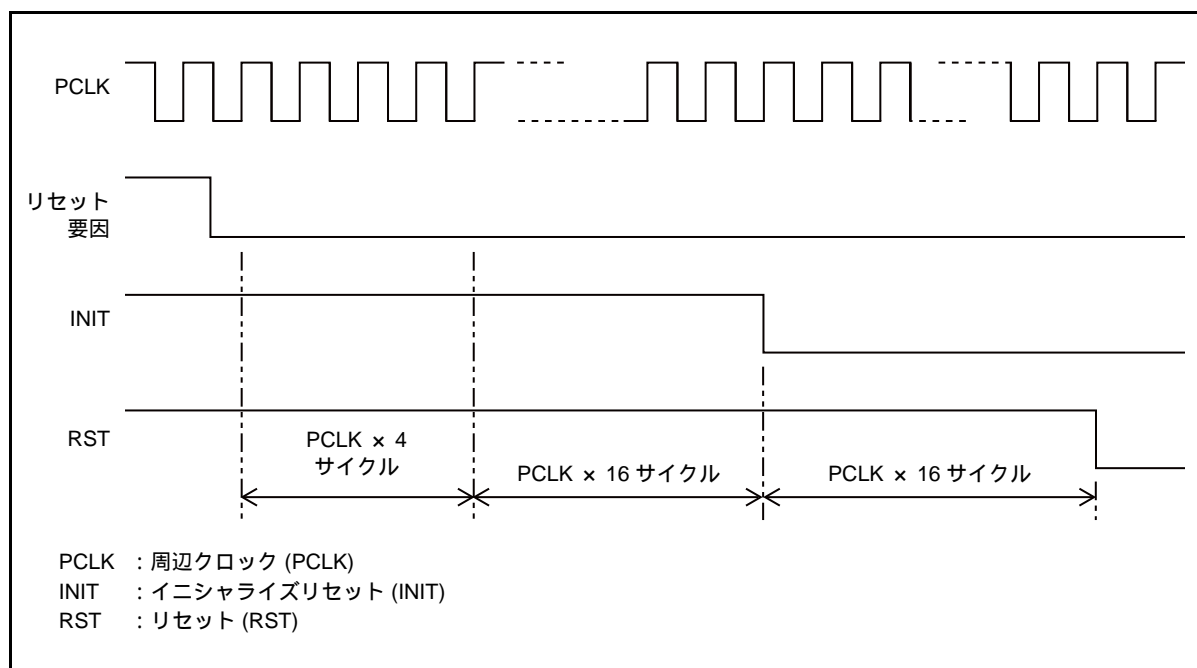


■ イニシャライズリセット (INIT)

イニシャライズリセット (INIT) が発行されると同時にリセット (RST) も発行されます。

イニシャライズリセット (INIT) のリセット要因が解除された後の各リセット発行シーケンスを図 9.5-4 に示します。

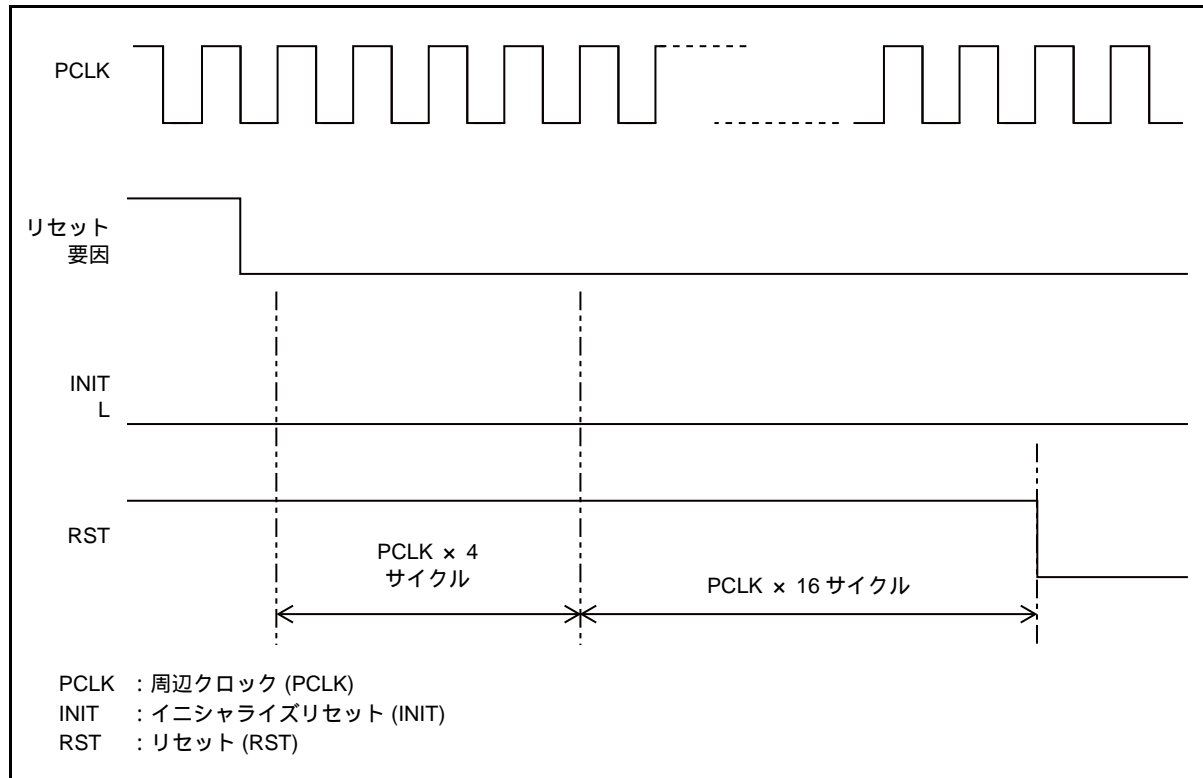
図 9.5-4 イニシャライズリセット (INIT) のリセット要因解除後の各リセット発行シーケンス



■ リセット (RST)

リセット (RST) のリセット要因が解除された後の各リセット発行シーケンスを図 9.5-5 に示します。

図 9.5-5 リセット (RST) のリセット要因解除後の各リセット発行シーケンス



9.5.4 イレギュラーリセット

次の場合にイレギュラーリセットが発生します。

- $\overline{\text{INIT}}$ 端子入力 (INIT) 時
- リセットタイムアウト発生時

(ウォッチドッグリセット 0/ ソフトウェアリセット (RSTCR:SRST) 時, バスから応答がある前に, 遅延カウンタがオーバーフローした)

イレギュラーリセットが発生すると, 次の処理が行われます。

- イニシャライズリセット (INIT) を発行
- リセット要因レジスタ (RSTR) の IRRST ビットが "1" に変わる

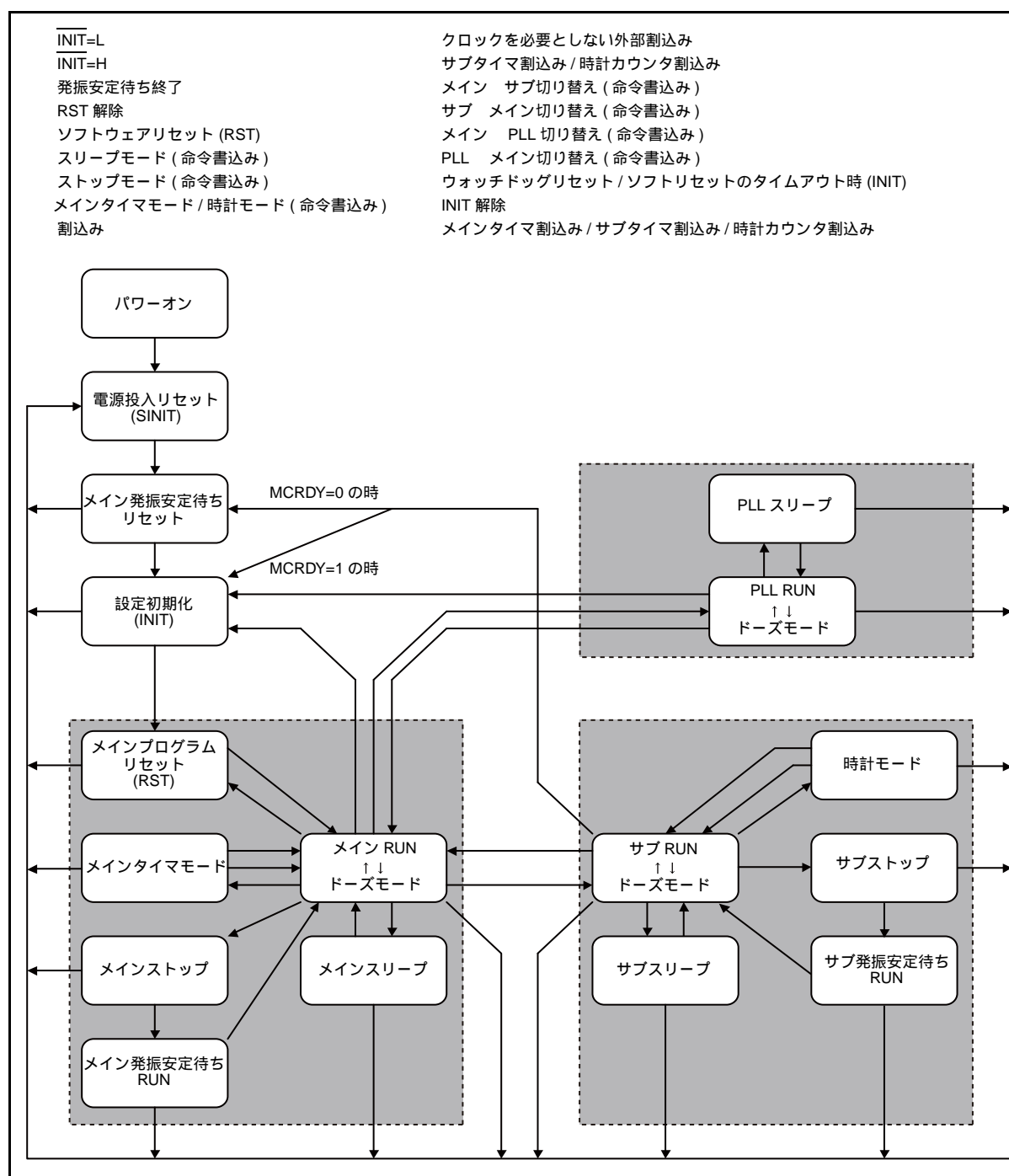
< 注意事項 >

イレギュラーリセット発生時は, リセットが入力される時点でバスアクセスが行われていた可能性があり, メモリ内容が破壊されていることがあります。

各種状態と、その制御について説明します。

動作状態の遷移を図 9.6-1 に示します。

図 9.6-1 動作状態の遷移



● RUN 状態 (通常動作)

プログラム実行状態です。

すべての内部クロックが供給され、すべての回路が動作可能な状態です。

ストップ状態とメインタイマモード状態と時計モード状態の外部端子の Hi-Z 制御は解除されます。

● スリープ状態

プログラム停止状態です。プログラム動作によって遷移します。

CPU のプログラム実行のみを停止します。周辺回路は動作が可能です。

各種内蔵メモリおよび外部バスは、DMA コントローラ (DMAC) が要求するまで停止します。

内部バスは、バススリープモードの時、DMA コントローラ (DMAC) が要求するまで停止状態です。

- 有効な割り込み要求が発生すると、RUN 状態 (通常動作) へ遷移します。
- $\overline{\text{INIT}}$ 端子に "L" レベルが入力されると、電源投入リセット (SINIT) 状態へ遷移します。

● 時計モード状態

デバイス停止状態です。プログラム動作によって遷移します。

発振回路 (サブクロック (SBCLK)) 以外の内部回路が停止します。

外部端子を一律 Hi-Z にすることができます。(一部端子を除く)

- 外部割り込み要求が発生すると、RUN 状態 (通常動作) へ遷移します。
- サブタイマ割り込み、時計カウンタ割り込み要求が発生すると、RUN 状態 (通常動作) へ遷移します。
- $\overline{\text{INIT}}$ 端子に "L" レベルが入力されると、電源投入リセット (SINIT) 状態へ遷移します。

< 注意事項 >

時計モードに移行する前に、メインクロック (MCLK) と PLL クロック (PLLCLK) の発振を停止してください。

● メインタイマモード状態

デバイス停止状態です。プログラムによって遷移します。発振回路 (メインクロック (MCLK)、サブクロック (SBCLK)) 以外の内部回路が停止します。外部端子を一律 Hi-Z にすることができます (一部端子を除く)。

- 外部割り込み要求が発生すると、RUN 状態 (通常動作) へ遷移します。
- メインタイマ割り込み、サブタイマ割り込み、時計カウンタ割り込み要求が発生すると、RUN 状態 (通常動作) へ遷移します。
- $\overline{\text{INIT}}$ 端子に "L" レベルが入力されると、電源投入リセット (SINIT) 状態へ遷移します。

< 注意事項 >

メインタイマモードに移行する前に PLL クロック (PLLCLK) の発振を停止してください。

● ストップ状態

デバイス停止状態です。プログラム動作によって移行します。

すべての内部回路が停止します。

外部端子を一律 Hi-Z にすることができます。(一部端子を除く)

- 外部割込み要求が発生すると、発振安定待ち RUN 状態へ遷移します。
- $\overline{\text{INIT}}$ 端子に "L" レベルが入力されると、電源投入リセット (SINIT) 状態へ遷移します。

< 注意事項 >

ストップ状態に移行する前に、PLL クロック (PLLCLK) の発振を停止してください。

● 発振安定待ち RUN 状態

デバイス停止状態です。ストップ状態からの復帰後に移行します。

すべての内部回路が停止します。(発振安定待ちのためのタイマ動作を除く)

内部クロックはすべて停止しますが、動作を許可されていた発振回路は動作しています。

- 発振安定待ち時間が経過すると、RUN 状態 (通常動作) へ移行します。
- $\overline{\text{INIT}}$ 端子に "L" レベルが入力されると、電源投入リセット (SINIT) 状態へ移行します。

● 発振安定待ちリセット (RST) 状態

デバイス停止状態です。電源投入リセット (SINIT) からの復帰後に移行します。

すべての内部回路が停止します。(発振安定待ちのためのタイマ動作を除く)

内部クロックはすべて停止しますが、メイン発振回路は動作しています。

- 発振安定待ち時間が経過すると、イニシャライズリセット (INIT) 状態へ移行します。
- $\overline{\text{INIT}}$ 端子に "L" レベルが入力されると、電源投入リセット (SINIT) 状態へ移行します。

● プログラムリセット (RST) 状態

プログラム初期化状態です。リセット (RST) 要求を受け付けたとき、またはイニシャライズリセット (INIT) 状態の終了後に移行します。

CPU のプログラム実行は停止し、プログラムカウンタは初期化されます。周辺回路は初期化されます。(一部を除く)

すべての内部クロックと動作が許可されていた発振回路と PLL クロック (PLLCLK) は動作しています。

- 内部回路に対してリセット (RST) 要求し、リセット (RST) 要求が消失すると、RUN 状態 (通常動作) へ移行します。
- $\overline{\text{INIT}}$ 端子に "L" が入力されると、電源投入リセット (SINIT) 状態へ移行します。

● イニシャライズリセット (INIT) 状態

全設定初期化状態です。イニシャライズリセット (INIT) 要求の受け付けによって移行します。

CPU のプログラム実行は停止し、プログラムカウンタは初期化されます。周辺回路はすべて初期化されます。メインクロック (MCLK) 発振回路は動作します (サブクロック (SBCLK) 発振回路と PLL クロック (PLLCLK) 発振回路は動作を停止します)。 $\overline{\text{INIT}}$ 端子への "L" レベル入力期間は、すべての内部クロックは停止しますが、それ以外では動作します。

内部回路に対し、イニシャライズリセット (INIT) とリセット (RST) を出力します。

- イニシャライズリセット (INIT) 要求が消失すると、この状態は解除されて、プログラムリセット (RST) 状態へ移行します。
- $\overline{\text{INIT}}$ 端子に "L" が入力されると、電源投入リセット (SINIT) 状態へ移行します。

■ 各状態遷移要求の優先順位

どの状態においても、各状態遷移要求は以下の優先順位に従います。ただし、一部要求は特定の状態でしか発生しませんので、その状態でしか有効になりません。

最強 ↓ 最弱	電源投入リセット (SINIT) 要求	
	イニシャライズリセット (INIT) 要求	
	発振安定待ち時間の終了	発振安定待ちリセット状態、発振安定待ち RUN 状態のみ発生
	リセット (RST) 要求	
	有効な割込み要求	RUN, スリープ, ストップ, 時計モード状態のみ発生
	ストップモード要求 (レジスタ書込み)	RUN 状態のみ発生
	時計モード要求 (レジスタ書込み)	RUN 状態のみ発生
	スリープモード要求 (レジスタ書込み)	RUN 状態のみ発生

第 10 章 割込みコントローラ

割込みコントローラの機能と動作について説明します。

- 10.1 概要
- 10.2 構成
- 10.3 レジスタ
- 10.4 動作説明と設定手順例
- 10.5 使用上の注意

10.1 概要

割込みコントローラは、割込み要求の優先度を判定して、要求を CPU へ送ります。

■ 概要

割込みコントローラには次の機能があります。

- 周辺機能からの割込み要求を受け付けます。
- 割込みレベル、および割込みベクタによって、CPU へ送る優先順位を判定します。
- 最も優先度の高い割込み要求を CPU へ送ります。
- 最も優先度の高い割込み要求の割込みベクタ番号を CPU へ送ります。
- 割込みレベルが "1111" 以外の割込み要求で、スリープモードおよびストップモードからの復帰要求を生成します。

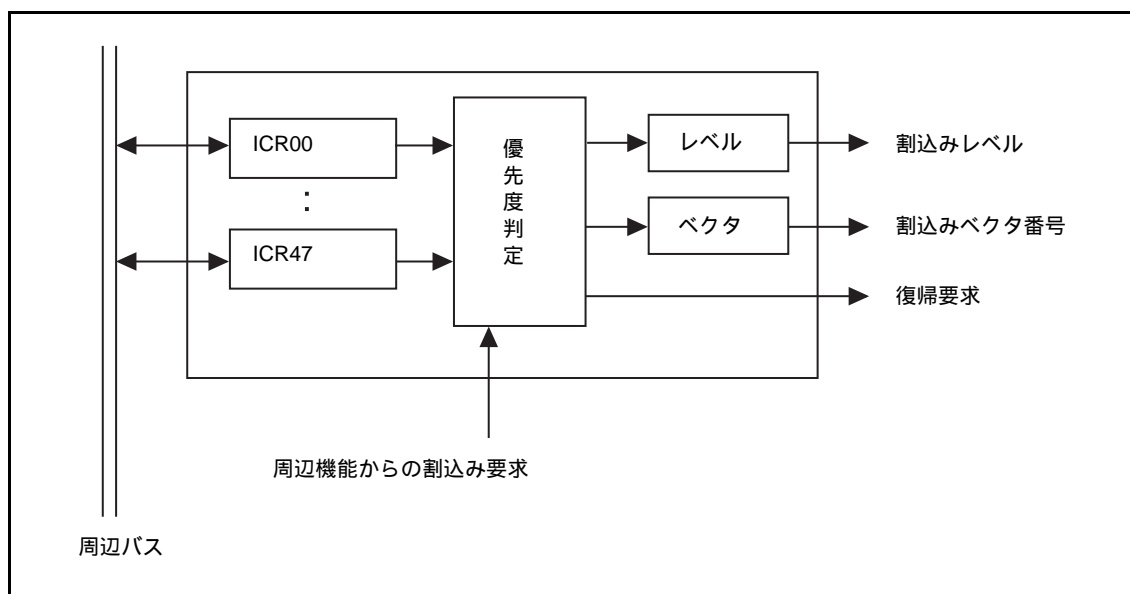
10.2 構成

割込みコントローラの構成を示します。

■ 割込みコントローラのブロックダイアグラム

割込みコントローラのブロックダイアグラムを図 10.2-1 に示します。

図 10.2-1 割込みコントローラのブロックダイアグラム



- 割込み優先度判定回路
入ってきた割込み要求の優先度を判定します。また、スリープモード/ストップモードのときは復帰要求を生成します。
- 割込みレベル発生回路
割込み要求の割込みレベルを CPU に送ります。
- 割込みベクタ発生回路
割込み要求の割込みベクタを CPU に送ります。
- 割込みコントロールレジスタ (ICR00 ~ ICR47)
割込み要求の割込みレベルを設定するレジスタです。

■ クロック

クロック名	内容
動作クロック	周辺クロック (PCLK)

10.3 レジスタ

割込みコントローラで使用するレジスタの構成と機能について説明します。

■ 割込みコントローラのレジスタ一覧

割込みコントローラのレジスタ一覧を表 10.3-1 に示します。

表 10.3-1 割込みコントローラのレジスタ一覧

レジスタ略称	レジスタ名	参照先
ICR00 ~ ICR47	割込みコントロールレジスタ 00 ~ 47	10.3.1

10.3.1 割込みコントロールレジスタ (ICR00 ~ ICR47)

割込みレベルを設定するレジスタです。各割込みの入力に対して 1 つずつ設けられています。

割込みコントロールレジスタ (ICR00 ~ ICR47) のビット構成を図 10.3-1 に示します。

図 10.3-1 割込みコントロールレジスタ (ICR00 ~ ICR47) のビット構成

bit	7	6	5	4	3	2	1	0
	未定義	未定義	未定義	IL4	IL3	IL2	IL1	IL0
属性	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W
初期値	1	1	1	1	1	1	1	1

R/W : リード / ライト可能
R : リードオンリ

[bit7 ~ bit5] : 未定義ビット

書込み時	無視されます。
読出し時	"1" が読み出されます。

[bit4 ~ bit0] : IL4 ~ IL0 (割込みレベルコントロールビット)

割込み要求の割込みレベルを指定します。

リセットされると IL4 ~ IL0=11111 ("11111_B" は「レベル 31 割込み禁止」) に初期化されます。

IL4	IL3	IL2	IL1	IL0	割込みレベル	
1	0	0	0	0	16	設定可能な最強レベル
1	0	0	0	1	17	
1	0	0	1	0	18	
1	0	0	1	1	19	
1	0	1	0	0	20	
1	0	1	0	1	21	
1	0	1	1	0	22	
1	0	1	1	1	23	
1	1	0	0	0	24	
1	1	0	0	1	25	
1	1	0	1	0	26	
1	1	0	1	1	27	
1	1	1	0	0	28	
1	1	1	0	1	29	
1	1	1	1	0	30	設定可能な最弱レベル
1	1	1	1	1	31	割込み禁止

< 注意事項 >

- このレジスタに設定した割込みレベルが、CPU の割込みレベルマスクレジスタ (ILM) のマスクレベル値より弱い場合は、CPU 側で割込み要求がマスクされます。
- 周辺機能によって、割込みレベルを設定する割込み制御レジスタ (ICR00 ~ ICR47) が異なります。周辺機能と割込みコントロールレジスタ (ICR00 ~ ICR47) の対応については、「付録 C 割込みベクタ」を参照してください。
- IL4 ビットは "1" 固定で、IL3 ~ IL0 のみ設定が可能です。

10.4 動作説明と設定手順例

割込みコントローラの動作について説明します。

10.4.1 割込みコントローラの動作説明

割込みコントローラの 3 つの動作について説明します。

- 割込みコントロールレジスタ (ICR00 ~ ICR47) を使った割込みレベルの指定
- 割込み要求の優先度判定
- スリープモード / ストップモードからの復帰要求の生成

■ 割込みレベルの指定

割込みコントロールレジスタ (ICR00 ~ ICR47) を使った割込みレベルの設定手順を示します。

1. 割込み要求を発生させたい周辺機能に対応する割込みベクタ番号の割込みコントロールレジスタ (ICR00 ~ ICR47) に割込みレベルを設定する。
割込みベクタ番号と割込み要求の対応については、「付録 C 割込みベクタ」を参照してください。
2. 割込み要求を発生させたい周辺機能側で、割込み要求の発生を許可する。
3. 設定した周辺機能を起動する。

■ 割込み要求の優先度判定

割込みコントローラは、同時に発生している割込み要求の中から、最も優先度の高い割込み要求の割込みレベルと割込みベクタ番号を CPU へ送ります。

割込み要求の優先順位判定基準を、判定の順に示します。

1. 割込みレベルが "30" 以下の割込み要求か。(レベル 31 は「割込み禁止」です。)
2. 割込みレベルの数値が最も小さい割込み要求か。
3. 割込みレベルが同じ場合は、その中で割込みベクタ番号が最も小さい割込み要求か。

上記の判定基準にあてはまる割込み要求がなかった場合は、CPU に割込み要求がないことを示す割込みレベル "31" (11111_B) を出力します。

■ スリープモードからの復帰要求の生成

割込みレベルが "31" 以外の割込み要求が発生すると、クロック制御部に対して、スリープモードからの復帰要求を発生します。

■ ストップモードからの復帰要求の生成

外部割込みから、割込みレベルが "31" 以外の割込み要求が発生すると、クロック制御部に対して、ストップモードからの復帰要求が発生します。

ストップから復帰後、割込み優先判定回路は、クロックの供給が開始してから動作を再開するので、割込み優先判定回路の結果が出るまでは、CPU は命令を実行しています。

< 注意事項 >

ストップモードからの復帰要因として使用しない割込みには、対応する割込みコントロールレジスタ (ICR00 ~ ICR47) で割込みレベルを "31" (割込み禁止) に設定してください。

10.5 使用上の注意

割込みコントローラを使用する際は、次の点に注意してください。

■ プログラムに関する注意

- スリープモード/ストップモードからの復帰要求を発生したくない割込み要求には、対応する割込みコントロールレジスタ (ICR00 ~ ICR47) で割込みレベルを "31" (割込み禁止) に設定してください。

■ 動作に関する注意

- 割込みコントロールレジスタ (ICR00 ~ ICR47) に設定した割込みレベルが、CPU の割込みレベルマスクレジスタ (ILM) のレベルマスク値より弱い場合は、CPU 側で割込み要求がマスクされます。

第 11 章 割込み要求一括 読出し機能

割込み要求一括読出し機能について説明します。

- 11.1 概要
- 11.2 構成
- 11.3 レジスタ
- 11.4 使用上の注意

11.1 概要

割込み要求一括読出し機能は、1つの割込みベクタ番号に割り当てられた複数の割込み要求を一括で読み出す機能です。

FR80 ファミリ CPU のビットサーチ命令を使用することで、どの割込み要求が発生しているのかを素早く確認できます。

この機能を使用すると、1つの割込みベクタ番号を兼用している割込み要求が発生しているかどうかを一度で確認できます。

ただし、この機能で割込み要求フラグをクリアすることはできません。割込み要求フラグは、各周辺機能のレジスタでクリアしてください。

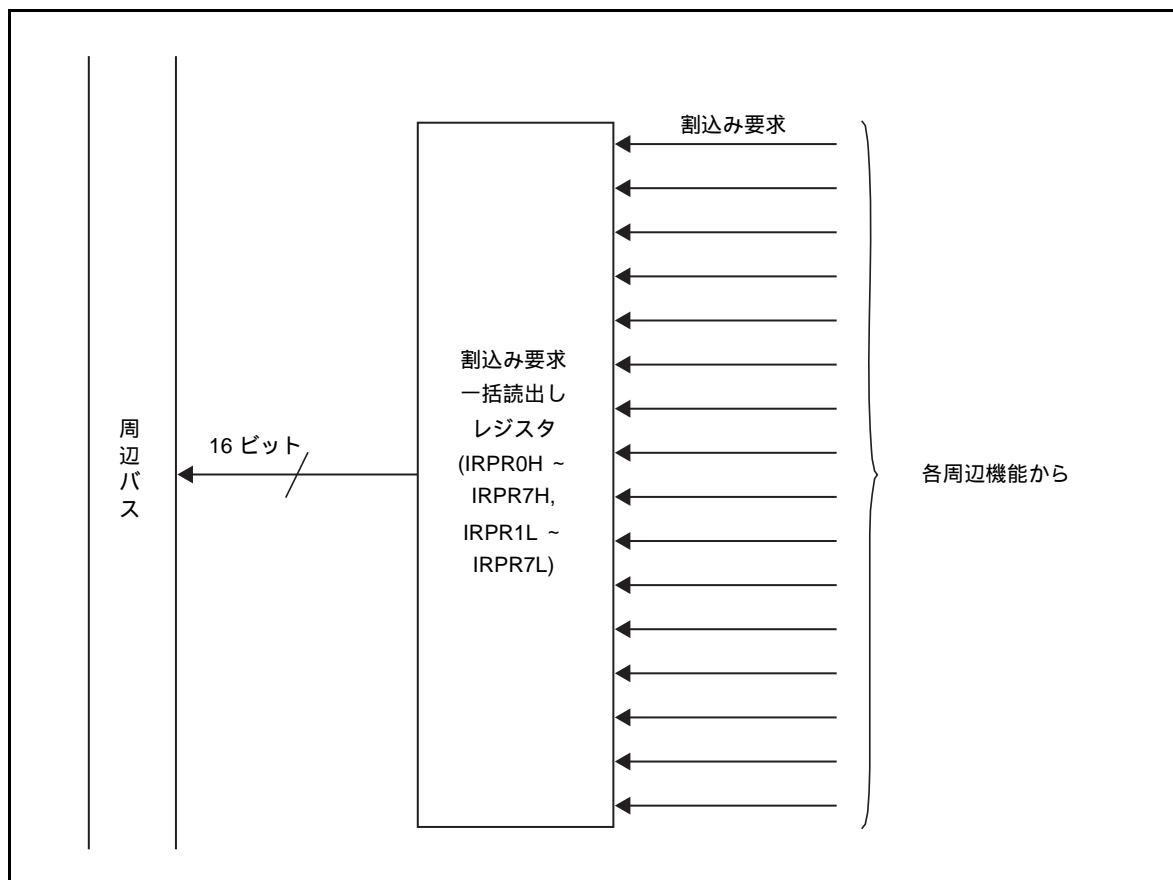
11.2 構成

割り込み要求一括読出し機能の構成を示します。

■ 割り込み要求一括読出し機能のブロックダイアグラム

割り込み要求一括読出し機能のブロックダイアグラムを図 11.2-1 に示します。

図 11.2-1 割り込み要求一括読出し機能のブロックダイアグラム



■ クロック

クロック名	内容
動作クロック	周辺クロック (PCLK)

11.3 レジスタ

割込み要求一括読出し機能で使用するレジスタの構成と機能について説明します。

■ 割込み要求一括読出し機能のレジスタ一覧

割込み要求一括読出し機能のレジスタ一覧を表 11.3-1 に示します。

表 11.3-1 割込み要求一括読出し機能のレジスタ一覧

レジスタ略称	レジスタ名	参照先
IRPR0H	割込み要求一括読出しレジスタ 0 上位	11.3.1
IRPR1H/ IRPR1L	割込み要求一括読出しレジスタ 1 上位 / 下位	11.3.2
IRPR2H/ IRPR2L	割込み要求一括読出しレジスタ 2 上位 / 下位	11.3.3, 11.3.4
IRPR3H/ IRPR3L	割込み要求一括読出しレジスタ 3 上位 / 下位	11.3.5, 11.3.6
IRPR4H/ IRPR4L	割込み要求一括読出しレジスタ 4 上位 / 下位	11.3.7, 11.3.8
IRPR5H/ IRPR5L	割込み要求一括読出しレジスタ 5 上位 / 下位	11.3.9, 11.3.10
IRPR6H/ IRPR6L	割込み要求一括読出しレジスタ 6 上位 / 下位	11.3.11, 11.3.12
IRPR7H/ IRPR7L	割込み要求一括読出しレジスタ 7 上位 / 下位	11.3.13, 11.3.14

11.3.1 割込み要求一括読出し機能レジスタ 0 上位 (IRPR0H)

割込みベクタ番号 20 (10 進) は, 16 ビットリロードタイマ ch.0 ~ ch.2 の割込み要求が割り当てられています。このレジスタを読み出すと, どのチャンネルで割込み要求が発生しているのか確認できます。

割込み要求一括読出し機能レジスタ 0 上位 (IRPR0H) のビット構成を図 11.3-1 に示します。

図 11.3-1 割込み要求一括読出し機能レジスタ 0 上位 (IRPR0H) のビット構成

割込み要求一括読出し機能レジスタ 0 上位 (IRPR0H)								
bit	15	14	13	12	11	10	9	8
	RTIR0	RTIR1	RTIR2	未定義	未定義	未定義	未定義	未定義
属性	R	R	R	R	R	R	R	R
初期値	0	0	0	0	0	0	0	0
R : リードオンリ								

割込み要求が発生したチャンネルに対応するビットが "1" に変わります。

ビット番号	ビット	値	説明
bit15	RTIR0	0	リロードタイマ ch.0 で割込み要求なし
		1	リロードタイマ ch.0 で割込み要求あり
bit14	RTIR1	0	リロードタイマ ch.1 で割込み要求なし
		1	リロードタイマ ch.1 で割込み要求あり
bit13	RTIR2	0	リロードタイマ ch.2 で割込み要求なし
		1	リロードタイマ ch.2 で割込み要求あり
bit12 ~ bit8	未定義	"0"	読み出されます。

11.3.2 割込み要求一括読出し機能レジスタ 1 上位 / 下位 (IRPR1H/ IRPR1L)

割込みベクタ番号 39 (10進) は, マルチファンクションシリアルインタフェース ch.8 ~ ch.11 に兼用されています。このレジスタを読み出すと, 割込み要求が発生したチャンネルや割込み要求の種類を確認できます。

割込み要求一括読出し機能レジスタ 1 上位 / 下位 (IRPR1H/ IRPR1L) のビット構成を図 11.3-2 に示します。

図 11.3-2 割込み要求一括読出し機能レジスタ 1 上位 / 下位 (IRPR1H/ IRPR1L) のビット構成

割込み要求一括読出し機能レジスタ 1 上位 (IRPR1H)								
bit	15	14	13	12	11	10	9	8
	RXIR8	TXIR8	ISIR8	未定義	RXIR9	TXIR9	ISIR9	未定義
属性	R	R	R	R	R	R	R	R
初期値	0	0	0	0	0	0	0	0
割込み要求一括読出し機能レジスタ 1 下位 (IRPR1L)								
bit	7	6	5	4	3	2	1	0
	RXIR10	TXIR10	ISIR10	未定義	RXIR11	TXIR11	ISIR11	未定義
属性	R	R	R	R	R	R	R	R
初期値	0	0	0	0	0	0	0	0
R : リードオンリ								

割込み要求が発生すると、発生した割込み要求に対応するビットが "1" に変わります。

ビット番号	ビット	値	説明
bit15	RXIR8	0	ch.8 で UART/CSIO/I ² C の受信割込み要求なし
		1	ch.8 で UART/CSIO/I ² C の受信割込み要求あり
bit14	TXIR8	0	ch.8 で UART/CSIO/I ² C の送信 / 送信バスアイドル / 送信 FIFO 割込み要求なし
		1	ch.8 で UART/CSIO/I ² C の送信 / 送信バスアイドル / 送信 FIFO 割込み要求あり
bit13	ISIR8	0	ch.8 で I ² C のステータス割込み要求なし
		1	ch.8 で I ² C のステータス割込み要求あり
bit12	未定義	"0" が読み出されます。	
bit11	RXIR9	0	ch.9 で UART/CSIO/I ² C の受信割込み要求なし
		1	ch.9 で UART/CSIO/I ² C の受信割込み要求あり
bit10	TXIR9	0	ch.9 で UART/CSIO/I ² C の送信 / 送信バスアイドル / 送信 FIFO 割込み要求なし
		1	ch.9 で UART/CSIO/I ² C の送信 / 送信バスアイドル / 送信 FIFO 割込み要求あり
bit9	ISIR9	0	ch.9 で I ² C のステータス割込み要求なし
		1	ch.9 で I ² C のステータス割込み要求あり
bit8	未定義	"0" が読み出されます。	
bit7	RXIR10	0	ch.10 で UART/CSIO/I ² C の受信割込み要求なし
		1	ch.10 で UART/CSIO/I ² C の受信割込み要求あり
bit6	TXIR10	0	ch.10 で UART/CSIO/I ² C の送信 / 送信バスアイドル / 送信 FIFO 割込み要求なし
		1	ch.10 で UART/CSIO/I ² C の送信 / 送信バスアイドル / 送信 FIFO 割込み要求あり
bit5	ISIR10	0	ch.10 で I ² C のステータス割込み要求なし
		1	ch.10 で I ² C のステータス割込み要求あり
bit4	未定義	"0" が読み出されます。	
bit3	RXIR11	0	ch.11 で UART/CSIO/I ² C の受信割込み要求なし
		1	ch.11 で UART/CSIO/I ² C の受信割込み要求あり
bit2	TXIR11	0	ch.11 で UART/CSIO/I ² C の送信 / 送信バスアイドル / 送信 FIFO 割込み要求なし
		1	ch.11 で UART/CSIO/I ² C の送信 / 送信バスアイドル / 送信 FIFO 割込み要求あり
bit1	ISIR11	0	ch.11 で I ² C のステータス割込み要求なし
		1	ch.11 で I ² C のステータス割込み要求あり
bit0	未定義	"0" が読み出されます。	

11.3.3 割込み要求一括読出し機能レジスタ 2 上位 (IRPR2H)

割込みベクタ番号 40 (10 進) は, 16 ビットアップダウンカウンタ ch.0 ~ ch.3 に兼用されています。このレジスタを読み出すと, 割込み要求が発生したチャネルを確認できます。

割込み要求一括読出し機能レジスタ 2 上位 (IRPR2H) のビット構成を図 11.3-3 に示します。

図 11.3-3 割込み要求一括読出し機能レジスタ 2 上位 (IRPR2H) のビット構成

bit	15	14	13	12	11	10	9	8
	UDIR0	UDIR1	UDIR2	UDIR3	未定義	未定義	未定義	未定義
属性	R	R	R	R	R	R	R	R
初期値	0	0	0	0	0	0	0	0
R : リードオンリ								

割込み要求が発生すると, 発生した割込み要求に対応するビットが "1" に変わります。

ビット番号	ビット	値	説明
bit15	UDIR0	0	16ビットアップダウンカウンタ ch.0で割込み要求なし
		1	16ビットアップダウンカウンタ ch.0で割込み要求あり
bit14	UDIR1	0	16ビットアップダウンカウンタ ch.1で割込み要求なし
		1	16ビットアップダウンカウンタ ch.1で割込み要求あり
bit13	UDIR2	0	16ビットアップダウンカウンタ ch.2で割込み要求なし
		1	16ビットアップダウンカウンタ ch.2で割込み要求あり
bit12	UDIR3	0	16ビットアップダウンカウンタ ch.3で割込み要求なし
		1	16ビットアップダウンカウンタ ch.3で割込み要求あり
bit11 ~ bit8	未定義	"0" が読み出されます。	

11.3.4 割込み要求一括読出し機能レジスタ 2 下位 (IRPR2L)

割込みベクタ番号 41 (10 進) は、次の周辺機能に兼用されています。

- メインタイマ
- サブタイマ
- 時計カウンタ

このレジスタを読み出すと、割込み要求が発生した周辺機能を確認できます。

割込み要求一括読出し機能レジスタ 2 下位 (IRPR2L) のビット構成を図 11.3-4 に示します。

図 11.3-4 割込み要求一括読出し機能レジスタ 2 下位 (IRPR2L) のビット構成

bit	7	6	5	4	3	2	1	0
	MCIR	SCIR	TCIR	未定義	未定義	未定義	未定義	未定義
属性	R	R	R	R	R	R	R	R
初期値	0	0	0	0	0	0	0	0
R : リードオンリ								

割込み要求が発生すると、発生した割込み要求に対応するビットが "1" に変わります。

ビット番号	ビット	値	説明
bit7	MCIR	0	メインタイマ割込み要求なし
		1	メインタイマ割込み要求あり
bit6	SCIR	0	サブタイマ割込み要求なし
		1	サブタイマ割込み要求あり
bit5	TCIR	0	時計カウンタ割込み要求なし
		1	時計カウンタ割込み要求あり
bit4 ~ bit0	未定義	"0" が読み出されます。	

11.3.5 割込み要求一括読出し機能レジスタ 3 上位 (IRPR3H)

割込みベクタ番号 44 (10 進) は, 32 ビットインプットキャプチャ ch.0 ~ ch.3 に兼用されています。このレジスタを読み出すと, 割込み要求が発生したチャネルを確認できます。

割込み要求一括読出し機能レジスタ 3 上位 (IRPR3H) のビット構成を図 11.3-5 に示します。

図 11.3-5 割込み要求一括読出し機能レジスタ 3 上位 (IRPR3H) のビット構成

bit	15	14	13	12	11	10	9	8
	ICIR0	ICIR1	ICIR2	ICIR3	未定義	未定義	未定義	未定義
属性	R	R	R	R	R	R	R	R
初期値	0	0	0	0	0	0	0	0
R : リードオンリ								

割込み要求が発生すると, 発生した割込み要求に対応するビットが "1" に変わります。

ビット番号	ビット	値	説明
bit15	ICIR0	0	32 ビットインプットキャプチャ ch.0 で割込み要求なし
		1	32 ビットインプットキャプチャ ch.0 で割込み要求あり
bit14	ICIR1	0	32 ビットインプットキャプチャ ch.1 で割込み要求なし
		1	32 ビットインプットキャプチャ ch.1 で割込み要求あり
bit13	ICIR2	0	32 ビットインプットキャプチャ ch.2 で割込み要求なし
		1	32 ビットインプットキャプチャ ch.2 で割込み要求あり
bit12	ICIR3	0	32 ビットインプットキャプチャ ch.3 で割込み要求なし
		1	32 ビットインプットキャプチャ ch.3 で割込み要求あり
bit11 ~ bit8	未定義	"0"	読み出されません。

11.3.6 割込み要求一括読出し機能レジスタ 3 下位 (IRPR3L)

割込みベクタ番号 37 (10 進) は、次の周辺機能に兼用されています。

- UART/CSIO/I²C ch.7 の受信割込み要求
- 32 ビットインプットキャプチャ ch.4 ~ ch.7

このレジスタを読み出すと、割込み要求が発生した周辺機能を確認できます。

割込み要求一括読出し機能レジスタ 3 下位 (IRPR3L) のビット構成を図 11.3-6 に示します。

図 11.3-6 割込み要求一括読出し機能レジスタ 3 下位 (IRPR3L) のビット構成

bit	7	6	5	4	3	2	1	0
	ICIR4	ICIR5	ICIR6	ICIR7	RXIR7	未定義	未定義	未定義
属性	R	R	R	R	R	R	R	R
初期値	0	0	0	0	0	0	0	0
R：リードオンリ								

割込み要求が発生すると、発生した割込み要求に対応するビットが "1" に変わります。

ビット番号	ビット	値	説明
bit7	ICIR4	0	32 ビットインプットキャプチャ ch.4 で割込み要求なし
		1	32 ビットインプットキャプチャ ch.4 で割込み要求あり
bit6	ICIR5	0	32 ビットインプットキャプチャ ch.5 で割込み要求なし
		1	32 ビットインプットキャプチャ ch.5 で割込み要求あり
bit5	ICIR6	0	32 ビットインプットキャプチャ ch.6 で割込み要求なし
		1	32 ビットインプットキャプチャ ch.6 で割込み要求あり
bit4	ICIR7	0	32 ビットインプットキャプチャ ch.7 で割込み要求なし
		1	32 ビットインプットキャプチャ ch.7 で割込み要求あり
bit3	RXIR7	0	UART/CSIO/I ² C ch.7 で受信割込み要求なし
		1	UART/CSIO/I ² C ch.7 で受信割込み要求あり
bit2 ~ bit0	未定義	"0" が読み出されます。	

11.3.7 割込み要求一括読出し機能レジスタ 4 上位 (IRPR4H)

割込みベクタ番号 45 (10 進) は, 32 ビットアウトプットコンペア ch.0 ~ ch.3 に兼用されています。このレジスタを読み出すと, 割込み要求が発生したチャネルを確認できます。

割込み要求一括読出し機能レジスタ 4 上位 (IRPR4H) のビット構成を図 11.3-7 に示します。

図 11.3-7 割込み要求一括読出し機能レジスタ 4 上位 (IRPR4H) のビット構成

bit	15	14	13	12	11	10	9	8
	OCIR0	OCIR1	OCIR2	OCIR3	未定義	未定義	未定義	未定義
属性	R	R	R	R	R	R	R	R
初期値	0	0	0	0	0	0	0	0
R : リードオンリ								

割込み要求が発生すると, 発生した割込み要求に対応するビットが "1" に変わります。

ビット番号	ビット	値	説明
bit15	OCIR0	0	32 ビットアウトプットコンペア ch.0 で割込み要求なし
		1	32 ビットアウトプットコンペア ch.0 で割込み要求あり
bit14	OCIR1	0	32 ビットアウトプットコンペア ch.1 で割込み要求なし
		1	32 ビットアウトプットコンペア ch.1 で割込み要求あり
bit13	OCIR2	0	32 ビットアウトプットコンペア ch.2 で割込み要求なし
		1	32 ビットアウトプットコンペア ch.2 で割込み要求あり
bit12	OCIR3	0	32 ビットアウトプットコンペア ch.3 で割込み要求なし
		1	32 ビットアウトプットコンペア ch.3 で割込み要求あり
bit11 ~ bit8	未定義	"0" が読み出されます。	

11.3.8 割込み要求一括読出し機能レジスタ 4 下位 (IRPR4L)

割込みベクタ番号 38 (10 進) は、次の周辺機能に兼用されています。

- UART/CSIO/I²C ch.7 の送信 / 送信バスアイドル
- I²C ch.7 のステータス割込み要求
- 32 ビットアウトプットコンペア ch.4 ~ ch.7

このレジスタを読み出すと、割込み要求が発生したチャンネルや割込み要求の種類を確認できます。

割込み要求一括読出し機能レジスタ 4 下位 (IRPR4L) のビット構成を図 11.3-8 に示します。

図 11.3-8 割込み要求一括読出し機能レジスタ 4 下位 (IRPR4L) のビット構成

bit	7	6	5	4	3	2	1	0
	OCIR4	OCIR5	OCIR6	OCIR7	TXIR7	ISIR7	未定義	未定義
属性	R	R	R	R	R	R	R	R
初期値	0	0	0	0	0	0	0	0

R : リードオンリ

割込み要求が発生すると、発生した割込み要求に対応するビットが "1" に変わります。

ビット番号	ビット	値	説明
bit7	OCIR4	0	32 ビットアウトプットコンペア ch.4 で割込み要求なし
		1	32 ビットアウトプットコンペア ch.4 で割込み要求あり
bit6	OCIR5	0	32 ビットアウトプットコンペア ch.5 で割込み要求なし
		1	32 ビットアウトプットコンペア ch.5 で割込み要求あり
bit5	OCIR6	0	32 ビットアウトプットコンペア ch.6 で割込み要求なし
		1	32 ビットアウトプットコンペア ch.6 で割込み要求あり
bit4	OCIR7	0	32 ビットアウトプットコンペア ch.7 で割込み要求なし
		1	32 ビットアウトプットコンペア ch.7 で割込み要求あり
bit3	TXIR7	0	UART/CSIO/I ² C ch.7 で送信 / 送信バスアイドルなし
		1	UART/CSIO/I ² C ch.7 で送信 / 送信バスアイドルあり
bit2	ISIR7	0	I ² C ch.7 でステータス割込み要求なし
		1	I ² C ch.7 でステータス割込み要求あり
bit1, bit0	未定義	"0"	読み出されず。

11.3.9 割込み要求一括読出し機能レジスタ 5 上位 (IRPR5H)

割込みベクタ番号 50 (10 進) は、ベースタイマ ch.4 と ch.5 に兼用されています。このレジスタを読み出すと、割込み要求が発生したチャンネルや割込み要求の種類を確認できます。

割込み要求一括読出し機能レジスタ 5 上位 (IRPR5H) のビット構成を図 11.3-9 に示します。

図 11.3-9 割込み要求一括読出し機能レジスタ 5 上位 (IRPR5H) のビット構成

bit	15	14	13	12	11	10	9	8
	BT0IR4	BT1IR4	BT0IR5	BT1IR5	未定義	未定義	未定義	未定義
属性	R	R	R	R	R	R	R	R
初期値	0	0	0	0	0	0	0	0
R : リードオンリ								

割込み要求が発生すると、発生した割込み要求に対応するビットが "1" に変わります。

ビット番号	ビット	値	説明
bit15	BT0IR4	0	ベースタイマ ch.4 で割込み要求 0 なし
		1	ベースタイマ ch.4 で割込み要求 0 あり
bit14	BT1IR4	0	ベースタイマ ch.4 で割込み要求 1 なし
		1	ベースタイマ ch.4 で割込み要求 1 あり
bit13	BT0IR5	0	ベースタイマ ch.5 で割込み要求 0 なし
		1	ベースタイマ ch.5 で割込み要求 0 あり
bit12	BT1IR5	0	ベースタイマ ch.5 で割込み要求 1 なし
		1	ベースタイマ ch.5 で割込み要求 1 あり
bit11 ~ bit8	未定義	"0" が読み出されます。	

割込み要求 0 および割込み要求 1 は、ベースタイマの使用方法によって異なります。

ベースタイマの使用方法	割込み要求 0	割込み要求 1
16/32 ビットリロードタイマ	アンダフロー割込み要求	トリガ割込み要求
16 ビット PWM タイマ	アンダフロー割込み要求 デューティー致割込み要求	トリガ割込み要求
16/32 ビット PWC タイマ	オーバフロー割込み要求	測定終了割込み要求
16 ビット PPG タイマ	アンダフロー割込み要求	トリガ割込み要求

11.3.10 割込み要求一括読出し機能レジスタ 5 下位 (IRPR5L)

割込みベクタ番号 51 (10 進) は、ベースタイマ ch.6 と ch.7 に兼用されています。このレジスタを読み出すと、割込み要求が発生したチャンネルや割込み要求の種類を確認できます。

割込み要求一括読出し機能レジスタ 5 下位 (IRPR5L) のビット構成を図 11.3-10 に示します。

図 11.3-10 割込み要求一括読出し機能レジスタ 5 下位 (IRPR5L) のビット構成

bit	7	6	5	4	3	2	1	0
	BT0IR6	BT1IR6	BT0IR7	BT1IR7	未定義	未定義	未定義	未定義
属性	R	R	R	R	R	R	R	R
初期値	0	0	0	0	0	0	0	0
R：リードオンリ								

割込み要求が発生すると、発生した割込み要求に対応するビットが "1" に変わります。

ビット番号	ビット	値	説明
bit7	BT0IR6	0	ベースタイマ ch.6 で割込み要求 0 なし
		1	ベースタイマ ch.6 で割込み要求 0 あり
bit6	BT1IR6	0	ベースタイマ ch.6 で割込み要求 1 なし
		1	ベースタイマ ch.6 で割込み要求 1 あり
bit5	BT0IR7	0	ベースタイマ ch.7 で割込み要求 0 なし
		1	ベースタイマ ch.7 で割込み要求 0 あり
bit4	BT1IR7	0	ベースタイマ ch.7 で割込み要求 1 なし
		1	ベースタイマ ch.7 で割込み要求 1 あり
bit3 ~ bit0	未定義	"0" が読み出されます。	

割込み要求 0 および割込み要求 1 は、ベースタイマの使用方法によって異なります。

ベースタイマの使用方法	割込み要求 0	割込み要求 1
16/32 ビットリロードタイマ	アンダフロー割込み要求	トリガ割込み要求
16 ビット PWM タイマ	アンダフロー割込み要求 デューティー致割込み要求	トリガ割込み要求
16/32 ビット PWC タイマ	オーバフロー割込み要求	測定終了割込み要求
16 ビット PPG タイマ	アンダフロー割込み要求	トリガ割込み要求

11.3.11 割込み要求一括読出し機能レジスタ 6 上位 (IRPR6H)

割込みベクタ番号 52 (10 進) は、ベースタイマ ch.8 と ch.9 に兼用されています。このレジスタを読み出すと、割込み要求が発生したチャンネルや割込み要求の種類を確認できます。

割込み要求一括読出し機能レジスタ 6 上位 (IRPR6H) のビット構成を図 11.3-11 に示します。

図 11.3-11 割込み要求一括読出し機能レジスタ 6 上位 (IRPR6H) のビット構成

bit	15	14	13	12	11	10	9	8
	BT0IR8	BT1IR8	BT0IR9	BT1IR9	未定義	未定義	未定義	未定義
属性	R	R	R	R	R	R	R	R
初期値	0	0	0	0	0	0	0	0
R：リードオンリ								

割込み要求が発生すると、発生した割込み要求に対応するビットが "1" に変わります。

ビット番号	ビット	値	説明
bit15	BT0IR8	0	ベースタイマ ch.8 で割込み要求 0 なし
		1	ベースタイマ ch.8 で割込み要求 0 あり
bit14	BT1IR8	0	ベースタイマ ch.8 で割込み要求 1 なし
		1	ベースタイマ ch.8 で割込み要求 1 あり
bit13	BT0IR9	0	ベースタイマ ch.9 で割込み要求 0 なし
		1	ベースタイマ ch.9 で割込み要求 0 あり
bit12	BT1IR9	0	ベースタイマ ch.9 で割込み要求 1 なし
		1	ベースタイマ ch.9 で割込み要求 1 あり
bit11 ~ bit8	未定義	"0" が読み出されます。	

割込み要求 0 および割込み要求 1 は、ベースタイマの使用方法によって異なります。

ベースタイマの使用方法	割込み要求 0	割込み要求 1
16/32 ビットリロードタイマ	アンダフロー割込み要求	トリガ割込み要求
16 ビット PWM タイマ	アンダフロー割込み要求 デューティー致割込み要求	トリガ割込み要求
16/32 ビット PWC タイマ	オーバフロー割込み要求	測定終了割込み要求
16 ビット PPG タイマ	アンダフロー割込み要求	トリガ割込み要求

11.3.12 割込み要求一括読出し機能レジスタ 6 下位 (IRPR6L)

割込みベクタ番号 53 (10 進) は、ベースタイマ ch.10 と ch.11 に兼用されています。このレジスタを読み出すと、割込み要求が発生したチャンネルや割込み要求の種類を確認できます。

割込み要求一括読出し機能レジスタ 6 下位 (IRPR6L) のビット構成を図 11.3-12 に示します。

図 11.3-12 割込み要求一括読出し機能レジスタ 6 下位 (IRPR6L) のビット構成

bit	7	6	5	4	3	2	1	0
	BT0IR10	BT1IR10	BT0IR11	BT1IR11	未定義	未定義	未定義	未定義
属性	R	R	R	R	R	R	R	R
初期値	0	0	0	0	0	0	0	0
R : リードオンリ								

割込み要求が発生すると、発生した割込み要求に対応するビットが "1" に変わります。

ビット番号	ビット	値	説明
bit7	BT0IR10	0	ベースタイマ ch.10 で割込み要求 0 なし
		1	ベースタイマ ch.10 で割込み要求 0 あり
bit6	BT1IR10	0	ベースタイマ ch.10 で割込み要求 1 なし
		1	ベースタイマ ch.10 で割込み要求 1 あり
bit5	BT0IR11	0	ベースタイマ ch.11 で割込み要求 0 なし
		1	ベースタイマ ch.11 で割込み要求 0 あり
bit4	BT1IR11	0	ベースタイマ ch.11 で割込み要求 1 なし
		1	ベースタイマ ch.11 で割込み要求 1 あり
bit3 ~ bit0	未定義	"0" が読み出されます。	

割込み要求 0 および割込み要求 1 は、ベースタイマの使用方法によって異なります。

ベースタイマの使用方法	割込み要求 0	割込み要求 1
16/32 ビットリロードタイマ	アンダフロー割込み要求	トリガ割込み要求
16 ビット PWM タイマ	アンダフロー割込み要求 デューティー致割込み要求	トリガ割込み要求
16/32 ビット PWC タイマ	オーバフロー割込み要求	測定終了割込み要求
16 ビット PPG タイマ	アンダフロー割込み要求	トリガ割込み要求

11.3.13 割込み要求一括読出し機能レジスタ 7 上位 (IRPR7H)

割込みベクタ番号 56 (10 進) は、ベースタイマ ch.14 と ch.15 に兼用されています。このレジスタを読み出すと、割込み要求が発生したチャネルや割込み要求の種類を確認できます。

割込み要求一括読出し機能レジスタ 7 上位 (IRPR7H) のビット構成を図 11.3-13 に示します。

図 11.3-13 割込み要求一括読出し機能レジスタ 7 上位 (IRPR7H) のビット構成

bit	15	14	13	12	11	10	9	8
	BT0IR14	BT1IR14	BT0IR15	BT1IR15	未定義	未定義	未定義	未定義
属性	R	R	R	R	R	R	R	R
初期値	0	0	0	0	0	0	0	0
R : リードオンリ								

割込み要求が発生すると、発生した割込み要求に対応するビットが "1" に変わります。

ビット番号	ビット	値	説明
bit15	BT0IR14	0	ベースタイマ ch.14 で割込み要求 0 なし
		1	ベースタイマ ch.14 で割込み要求 0 あり
bit14	BT1IR14	0	ベースタイマ ch.14 で割込み要求 1 なし
		1	ベースタイマ ch.14 で割込み要求 1 あり
bit13	BT0IR15	0	ベースタイマ ch.15 で割込み要求 0 なし
		1	ベースタイマ ch.15 で割込み要求 0 あり
bit12	BT1IR15	0	ベースタイマ ch.15 で割込み要求 1 なし
		1	ベースタイマ ch.15 で割込み要求 1 あり
bit11 ~ bit8	未定義	"0" が読み出されます。	

割込み要求 0 および割込み要求 1 は、ベースタイマの使用方法によって異なります。

ベースタイマの使用方法	割込み要求 0	割込み要求 1
16/32 ビットリロードタイマ	アンダフロー割込み要求	トリガ割込み要求
16 ビット PWM タイマ	アンダフロー割込み要求 デューティー致割込み要求	トリガ割込み要求
16/32 ビット PWC タイマ	オーバフロー割込み要求	測定終了割込み要求
16 ビット PPG タイマ	アンダフロー割込み要求	トリガ割込み要求

11.3.14 割込み要求一括読出し機能レジスタ 7 下位 (IRPR7L)

割込みベクタ番号 61 (10 進) は, DMA コントローラ (DMAC) ch.4 ~ ch.7 に兼用されています。このレジスタを読み出すと, 割込み要求が発生しているチャネルを確認できます。

割込み要求一括読出し機能レジスタ 7 下位 (IRPR7L) のビット構成を図 11.3-14 に示します。

図 11.3-14 割込み要求一括読出し機能レジスタ 7 下位 (IRPR7L) のビット構成

bit	7	6	5	4	3	2	1	0
	DMAC4	DMAC5	DMAC6	DMAC7	未定義	未定義	未定義	未定義
属性	R	R	R	R	R	R	R	R
初期値	0	0	0	0	0	0	0	0
R : リードオンリ								

次のいずれかの割込み要求が DMA コントローラ (DMAC) の ch.4 ~ ch.7 で発生すると, 発生した割込み要求に対応するビットが "1" に変わります。

- 正常終了割込み要求
- 異常終了割込み要求
- 転送中断割込み要求

ビット番号	ビット	値	説明
bit7	DMAC4	0	DMAC ch.4 で割込み要求なし
		1	DMAC ch.4 で割込み要求あり
bit6	DMAC5	0	DMAC ch.5 で割込み要求なし
		1	DMAC ch.5 で割込み要求あり
bit5	DMAC6	0	DMAC ch.6 で割込み要求なし
		1	DMAC ch.6 で割込み要求あり
bit4	DMAC7	0	DMAC ch.7 で割込み要求なし
		1	DMAC ch.7 で割込み要求あり
bit3 ~ bit0	未定義	"0" が読み出されます。	

11.4 使用上の注意

割込み要求一括読出し機能を使用する際は、次の点に注意してください。

■ 動作に関する注意

割込み要求一括読出しレジスタ (IRPR0 ~ IRPR7) は、書込みは無効です。割込み要求を取り下げたい場合は、各機能のレジスタにある割込み要求フラグビットをクリアしてください。

第 12 章 遅延割込み

遅延割込みの機能と動作について説明します。

- 12.1 概要
- 12.2 構成
- 12.3 レジスタ
- 12.4 動作説明と設定手順例
- 12.5 使用上の注意

12.1 概要

遅延割込みは、リアルタイム OS で使用するタスク切換え用の割込みを発生するものです。

■ 概要

遅延割込みは、REALOS などのリアルタイム OS でのタスク切換え用の割込み要求を発生するものです。遅延割込みを使用すると、ソフトウェアで CPU に対して割込み要求を発生したり、取り消したりすることができます。

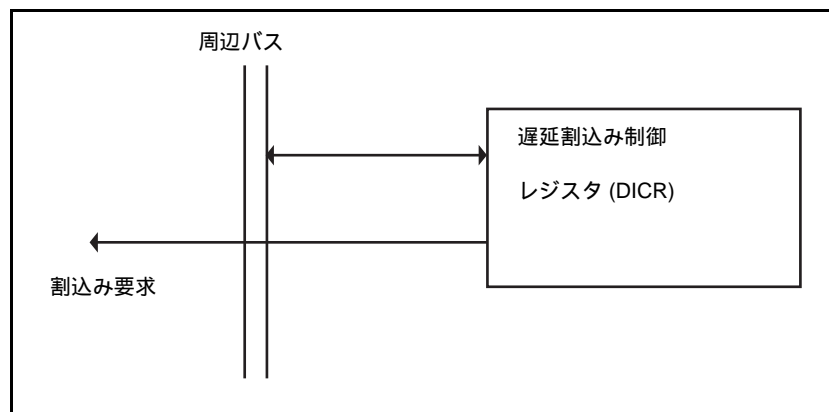
12.2 構成

遅延割込みの構成を示します。

■ 遅延割込みのブロックダイアグラム

遅延割込みのブロックダイアグラムを図 12.2-1 に示します。

図 12.2-1 遅延割込みのブロックダイアグラム



- 遅延割込み制御レジスタ (DICR)
遅延割込みを制御するレジスタです。

■ クロック

クロック名	内容
動作クロック	周辺クロック (PCLK)

12.3 レジスタ

遅延割込みで使用するレジスタの構成と機能について説明します。

■ 遅延割込みのレジスタ一覧

遅延割込みのレジスタ一覧を表 12.3-1 に示します。

表 12.3-1 遅延割込みのレジスタ一覧

レジスタ略称	レジスタ名	参照先
DICR	遅延割込み制御レジスタ	12.3.1

12.3.1 遅延割込み制御レジスタ (DICR)

遅延割込みを制御するレジスタです。

遅延割込み制御レジスタ (DICR) のビット構成を図 12.3-1 に示します。

図 12.3-1 遅延割込み制御レジスタ (DICR) のビット構成

bit	7	6	5	4	3	2	1	0
	未定義	未定義	未定義	未定義	未定義	未定義	未定義	DLYI
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	1	1	1	1	1	1	1	0

R/W : リード / ライト可能

[bit7 ~ bit1] : 未定義ビット

書込み時	無視されます。
読出し時	"1" が読み出されます。

[bit0] : DLYI (遅延割込み制御ビット)

遅延割込み要求の発生と解除を設定します。

書込み値	説明
0	遅延割込み要因の解除または要求なし
1	遅延割込み要求の発生

< 注意事項 >

このビットは、ほかの割込み要求フラグと同じです。割込み処理ルーチンの中でこのビットをクリアして、合わせてタスクを切り換えてください。

12.4 動作説明と設定手順例

遅延割込みの動作と設定手順について説明します。

12.4.1 遅延割込みの動作説明

遅延割込みを使用すると、CPU に対してソフトウェアで、タスク切り換え用の割込み要求を発生したり、取り消したりできます。

遅延割込みが発生する条件を表 12.4-1 に示します。

表 12.4-1 割込み要求発生条件

割込み要求	遅延割込み要求
割込み要求の発生	遅延割込み制御レジスタ (DICR) の DLYI ビットに "1" を書き込む
割込み要求許可	なし (常に許可)
割込み要求のクリア	遅延割込み制御レジスタ (DICR) の DLYI ビットに "0" を書き込む

< 注意事項 >

- 遅延割込みは、DMA 転送要求に使用できません。
- 割込みベクタ番号については、「付録 C 割込みベクタ」を参照してください。
- 割込みベクタ番号に対応する割込みレベルは、割込みコントロールレジスタ (ICR47) で設定します。割込みレベルの設定については、「第 10 章 割込みコントローラ」を参照してください。

12.5 使用上の注意

遅延割込みを使用する際は、次の点に注意してください。

■ プログラムに関する注意

- 遅延割込み制御ビットは、ほかの割込み要求フラグと同じです。割込みルーチンの中でこのビットをクリアして、合わせてタスクを切り換えてください。
- 遅延割込みは、DMA 転送要求に使用できません。

第 13 章 外部バス インタフェース

外部バスインタフェースの機能と動作について説明します。

- 13.1 概要
- 13.2 構成
- 13.3 端子
- 13.4 レジスタ
- 13.5 プロトコル
- 13.6 タイミング設定
- 13.7 RDY 端子によるアクセスサイクルの延長
- 13.8 アクセスサイクル数
- 13.9 アドレス情報とアドレスアラインメント
- 13.10 データアラインメント
- 13.11 外部バス DMA 転送
- 13.12 CS 領域設定手順

13.1 概要

外部バスインタフェースは、本デバイスと外部装置（メモリ・IO デバイスなど）とを接続してデータの入出力を行うバスインタフェースです。

■ 概要

外部バスインタフェースの特長を示します。

- 最大24ビット長 (32Mバイト空間:アドレスシフト時最大) のアドレス情報を出力できます。
- バスタイプを次の中から選択できます。
 - アドレス・データスプリットバス
アクセス先のアドレス情報をアドレスバスにのみ出力します。
非同期メモリと接続できます。
 - アドレス・データマルチプレックスバス
アクセス先のアドレス情報をアドレスバスとデータバスの両方に出力します。
- 4つのチップセレクト領域 (CS 領域) に個別に次の設定ができます。
 - CS 領域のサイズ: 64K バイト ~ 32M バイトの範囲で設定できます。
 - CS 領域の位置: 外部バス領域内の任意の位置に設定できます。
- 各 CS 領域に対応したチップセレクトを出力できます。
- 各 CS 領域に次の機能を設定できます。
 - 動作の有効 / 無効
 - データバス幅 (8 ビット / 16 ビット)
 - 書込み許可 / 禁止 (禁止: 読出し専用領域として使用)
 - バイトオーダリング (ビッグエンディアン / リトルエンディアン)
*CS0 領域はビッグエンディアンのみ
 - アドレスタイプ (通常出力 / アドレスシフト出力)
 - バスタイプ (アドレス・データスプリットバス / アドレス・データマルチプレックスバス)
- 各 CS 領域に次の期間 (サイクル数) を設定できます。
 - リード / ライトアクセス共通
 - チップセレクト遅延サイクル
アドレスを出力してからチップセレクトを有効にするまでの期間
 - アドレスストロブ出力サイクル
アドレスストロブの有効期間
 - アクセスサイクル
レディ入力端子によるリード / ライトアクセスサイクルの延長

- アドレス出力サイクル

データ出力端子からアドレス情報を出力する期間 (マルチプレックスバスの場合のみ)

リードアクセス時

- リードアクセスオートウェイト

リードストローブの有効期間

- リードアクセスセットアップサイクル

チップセレクトを出力してからリードストローブを有効にするまでの期間

- リードアクセスホールドサイクル

リードストローブを無効にしてからチップセレクトを無効にするまでの期間

- リードアクセスアイドルサイクル

リードアクセス後のアイドル期間

ライトアクセス時

- ライトアクセスオートウェイト

ライトストローブの有効期間

- ライトアクセスセットアップサイクル

チップセレクトを有効にしてからライトストローブを有効にするまでの期間

- ライトアクセスホールドサイクル

ライトストローブを無効にしてからチップセレクトを無効にするまでの期間

- ライトリカバリサイクル

ライトアクセス後のアイドル期間

- 外部バス端子による DMA 転送サポート

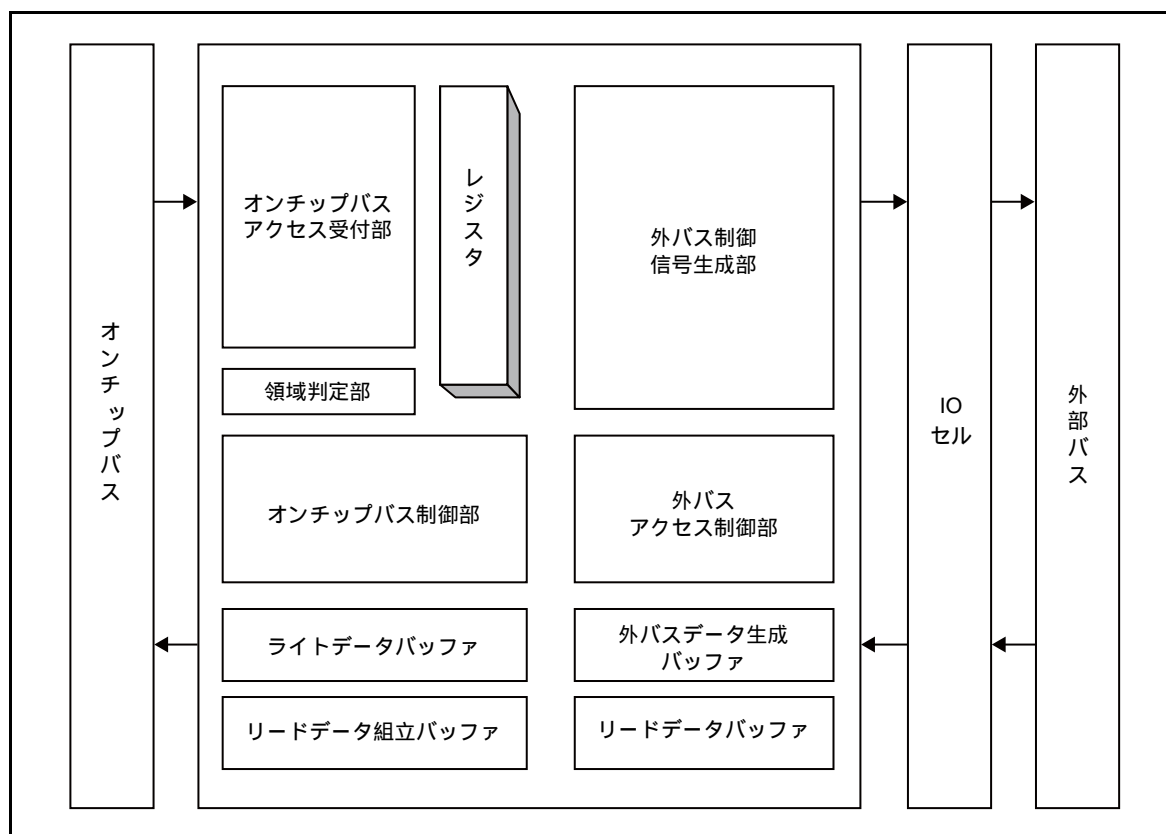
13.2 構成

外部バスインタフェースの構成を示します。

■ 外部バスインタフェースのブロックダイアグラム

外部バスインタフェースのブロックダイアグラムを図 13.2-1 に示します。

図 13.2-1 外部バスインタフェースのブロックダイアグラム



- オンチップバスアクセス受付部
オンチップバスから外部バスインタフェースへのアクセス要求を受け付けます。
- 領域判定部
アクセス先の CS 領域を判定します。
- オンチップバス制御部
オンチップバスを制御します。
- ライトデータバッファ
ライトアクセス時に、外部装置へ出力するデータを格納するバッファです。
- リードデータ組み立てバッファ
リードアクセス時、外部装置が書き込んだデータが分割されて外部バスインタフェースに入力されたときに、分割されたデータを組み立てるバッファです。

- 外バス制御信号生成部
アドレスストローブ, チップセレクト, リードストローブ/ライトストローブなどを生成します。
- 外バスアクセス制御部
アドレスストローブ, チップセレクト, リードストローブ/ライトストローブなどの出力期間や出力タイミングを制御します。
- 外バスデータ生成バッファ
ライトアクセス時, 外部装置へ出力するデータをバス幅に合わせて分割するバッファです。
- リードデータバッファ
リードアクセス時に, 外部装置から書き込まれたデータがこのバッファに取り込まれます。

■ クロック

外部バスインタフェースで使用するクロックを表 13.2-1 に示します。

表 13.2-1 外部バスインタフェースで使用するクロック

クロック名	内容	備考
動作クロック	外部バスクロック (TCLK)	内部動作クロック

バスクロックとして, SYSCLK 端子に外部バスクロック (TCLK) と同じ周波数のクロックを出力することができます。

< 注意事項 >

外部バス領域にアクセス中に外部バスクロック (TCLK) の分周比を変更しないでください。分周比の変更については, 「第 5 章 クロック分周制御部」の「5.6 使用上の注意」を参照してください。

13.3 端子

外部バスインタフェースで使用する端子について説明します。

■ 概要

- A23 ~ A00 端子
外部バスインタフェースのアドレス出力端子です。アドレスバスとして使用され、アクセス先のアドレス情報を出力します。
この端子は兼用端子です。外部バスインタフェースの A23 ~ A00 端子として使用するには、「2.4 端子の設定方法」を参照してください。
- D15 ~ D00 端子
外部バスインタフェースのデータ入出力端子です。データバスとして使用されます。
この端子は兼用端子です。外部バスインタフェースの D15 ~ D00 端子として使用するには、「2.4 端子の設定方法」を参照してください。
- $\overline{\text{CS0}}$ ~ $\overline{\text{CS3}}$ 端子
外部バスインタフェースのチップセレクト出力端子です。
この端子から "L" レベルの信号が出力されている間に、外部装置が外部バスインタフェースからの要求を処理します。
この端子は兼用端子です。外部バスインタフェースの $\overline{\text{CS0}}$ ~ $\overline{\text{CS3}}$ 端子として使用するには、「2.4 端子の設定方法」を参照してください。
- $\overline{\text{AS}}$ 端子
外部バスインタフェースのアドレスストロブ出力端子です。
この端子から "L" レベルの信号を出力することで、バスアクセスの開始を示すアドレスストロブとして機能します。
この端子は兼用端子です。外部バスインタフェースの $\overline{\text{AS}}$ 端子として使用するには、「2.4 端子の設定方法」を参照してください。
- $\overline{\text{RD}}$ 端子
外部バスインタフェースのリードストロブ出力端子です。
この端子から "L" レベルの信号が出力されている間で、外部装置が D15 ~ D00 端子からデータを送信します。
この端子は兼用端子です。外部バスインタフェースの $\overline{\text{RD}}$ 端子として使用するには、「2.4 端子の設定方法」を参照してください。
- $\overline{\text{WR0}}$, $\overline{\text{WR1}}$ 端子
外部バスインタフェースのライトストロブ出力端子です。バイト単位の書込みを示します。
この端子から "L" レベルの信号が出力されている間に、外部装置へ書込み処理が行えます。

この端子は兼用端子です。外部バスインタフェースの $\overline{\text{WR0}}$, $\overline{\text{WR1}}$ 端子として使用するには、「2.4 端子の設定方法」を参照してください。

- RDY 端子

外部バスインタフェースのレディ入力端子です。この端子から "L" レベルの信号を入力することで、アクセスサイクルを延長できます。

この端子は兼用端子です。外部バスインタフェースの RDY 端子として使用するには、「2.4 端子の設定方法」を参照してください。

- SYSCLK 端子

外部バスインタフェースのバスクロック出力端子です。

この端子は兼用端子です。外部バスインタフェースの SYSCLK 端子として使用するには、「2.4 端子の設定方法」を参照してください。

DMA コントローラ (DMAC) の次の端子も外部バスインタフェースで使用されます。

- DREQ0 ~ DREQ3 端子

DMA 転送要求の入力端子です。

- DACK0 ~ DACK3 端子

DMA 転送要求受付信号の出力端子です。

- DEOP0 ~ DEOP3 端子

DMA 転送終了信号の出力端子です。

13.4 レジスタ

外部バスインタフェースで使用するレジスタの構成と機能について説明します。

■ 外部バスインタフェースのレジスタ一覧

外部バスインタフェースのレジスタ一覧を表 13.4-1 に示します。

表 13.4-1 外部バスインタフェースのレジスタ一覧

CS 領域	レジスタ略称	レジスタ名	参照先
0	ASR0	CS0 領域設定レジスタ	13.4.1
	ACR0	CS0 バス設定レジスタ	13.4.2
	AWR0	CS0 ウェイトレジスタ	13.4.3
	DMAR0	外部 DMA 転送設定レジスタ 0	13.4.4
1	ASR1	CS1 領域設定レジスタ	13.4.1
	ACR1	CS1 バス設定レジスタ	13.4.2
	AWR1	CS1 ウェイトレジスタ	13.4.3
	DMAR1	外部 DMA 転送設定レジスタ 1	13.4.4
2	ASR2	CS2 領域設定レジスタ	13.4.1
	ACR2	CS2 バス設定レジスタ	13.4.2
	AWR2	CS2 ウェイトレジスタ	13.4.3
	DMAR2	外部 DMA 転送設定レジスタ 2	13.4.4
3	ASR3	CS3 領域設定レジスタ	13.4.1
	ACR3	CS3 バス設定レジスタ	13.4.2
	AWR3	CS3 ウェイトレジスタ	13.4.3
	DMAR3	外部 DMA 転送設定レジスタ 3	13.4.4

CS 領域 (CS0 ~ CS3) の領域の設定を行うレジスタです。CS 領域 1 つに対し、このレジスタが 1 つ用意されています。

図 13.4-1 CS 領域設定レジスタ (ASR0 ~ ASR3) のビット構成

< 注意事項 >

- CS 領域が重ならないように設定してください。
- このレジスタを設定する場合は、「13.12 CS 領域設定手順」を参照して設定してください。
- CS0 領域設定レジスタ (ASR0) と CS1 領域設定レジスタ ~ CS 3 領域設定レジスタ (ASR1 ~ ASR3) で初期値が異なります。
- このレジスタに書き込みを行う場合は、必ずワードで書き込んでください。

[bit31 ~ bit16] : SADR31 ~ SADR16 (スタートアドレス指定ビット)

CS 領域の開始アドレスを指定します。

このビットには、32 ビットアドレスの上位 16 ビットを指定してください。

このビットに指定したアドレスから、ASZ3 ~ ASZ0 ビットで指定したサイズを確保して、CS 領域とします。

< 注意事項 >

CS 領域のバウンダリは ASZ3 ~ ASZ0 ビットで設定したサイズによって決まります。そのため、ASZ3 ~ ASZ0 ビットで設定したサイズによって、実際のアドレスと比較されるビットが異なります。実際に比較されるビットについては、ASZ3 ~ ASZ0 ビットを参照してください。

[bit15 ~ bit8] : 予約ビット

書込み時	必ず "0" を書き込んでください。
読出し時	"0" が読み出されます。

[bit7 ~ bit4] : ASZ3 ~ ASZ0 (領域サイズビット)

CS 領域のサイズを設定します。

ここで設定したサイズによって、SADR31 ビット ~ SADR16 ビットのうち、実際にアドレスと比較されるビットが決まります。

ASZ3	ASZ2	ASZ1	ASZ0	CS 領域のサイズ	アドレスと比較されるビット
0	0	0	0	64K バイト	SADR31 ~ SADR16 ビット
0	0	0	1	128K バイト	SADR31 ~ SADR17 ビット
0	0	1	0	256K バイト	SADR31 ~ SADR18 ビット
0	0	1	1	512K バイト	SADR31 ~ SADR19 ビット
0	1	0	0	1M バイト	SADR31 ~ SADR20 ビット
0	1	0	1	2M バイト	SADR31 ~ SADR21 ビット
0	1	1	0	4M バイト	SADR31 ~ SADR22 ビット
0	1	1	1	8M バイト	SADR31 ~ SADR23 ビット
1	0	0	0	16M バイト	SADR31 ~ SADR24 ビット

< 注意事項 >

表に示した以外の設定はしないでください。

[bit3] : 予約ビット

書込み時	必ず "0" を書き込んでください。
読出し時	"0" が読み出されます。

[bit2] : WREN (書込み許可ビット)

外部装置から CS 領域への書込みを許可 / 禁止します。

書込み値	説明
0	書込みを禁止します。
1	書込みを許可します。

< 注意事項 >

書込みを禁止した場合は、内部バスから CS 領域に対して書込みが発生しても、その書込みは無視され、外部アクセスは行われません。

[bit1] : LEDN (リトルエンディアン設定ビット)

CS領域のバイトオーダリングをビッグエンディアンまたはリトルエンディアンから選択します。

CS0 領域はビッグエンディアンにのみ対応しているため、CS0 領域設定レジスタ (ASR0) では、このビットを未定義ビットとして扱います。

- CS0 領域設定レジスタ (ASR0) の場合

書込み時	無視されます。
読出し時	"0" が読み出されます。

- CS1 領域設定レジスタ ~ CS3 領域設定レジスタ (ASR1 ~ ASR3) の場合

書込み値	説明
0	ビッグエンディアン
1	リトルエンディアン

[bit0] : CSEN (CS 領域許可ビット)

CS 領域の有効 / 無効を設定します。

このビットで CS 領域を有効に設定すると、このレジスタと次のレジスタでの設定にしたがって CS 領域が動作を開始します。

- CS 領域設定レジスタ (ASR0 ~ ASR3)
- CS バス設定レジスタ (ACR0 ~ ACR3)
- CS ウェイトレジスタ (AWR0 ~ AWR3)

書込み値	説明
0	CS 領域を無効にします。
1	CS 領域を有効にします。

13.4.2 CS バス設定レジスタ (ACR0 ~ ACR3)

CS 領域 (CS0 ~ CS3) のバス設定を行うレジスタです。CS 領域 1 つに対し、このレジスタが 1 つ用意されています。

CS バス設定レジスタ (ACR0 ~ ACR3) のビット構成を図 13.4-2 に示します。

図 13.4-2 CS バス設定レジスタ (ACR0 ~ ACR3) のビット構成

	bit 31								8
	予約								
属性	R/W								
初期値 (ACR0)	0								
初期値 (ACR1 ~ ACR3)	0								
	bit	7	6	5	4	3	2	1	0
		DBW1	DBW0	予約	予約	ADTY	BSTY	予約	予約
属性		R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値 (ACR0)		0	0	0	0	0	0	0	0
初期値 (ACR1 ~ ACR3)		X	X	0	0	X	X	0	X
R/W : リード / ライト可能									
X : 不定									

< 注意事項 >

- このレジスタを設定する場合は、「13.12 CS 領域設定手順」を参照して設定してください。
- CS0 バス設定レジスタ (ACR0) と CS1 バス設定レジスタ ~ CS3 バス設定レジスタ (ACR1 ~ ACR3) で初期値が異なります。
- このレジスタに書込みを行う場合は、必ずワードで書き込んでください。

[bit31 ~ bit8] : 予約ビット

書込み時	必ず "0" を書き込んでください。
読出し時	"0" が読み出されます。

[bit7, bit6] : DBW1, DBW0 (データバス幅ビット)

データバス幅を設定します。

DBW1	DBW0	データバス幅
0	0	8 ビット
0	1	16 ビット
1	0	設定禁止
1	1	設定禁止

このビットで設定したデータバス幅によって、使用するデータバスやライトストロープ出力端子が異なります。

データバス幅と使用する端子を表 13.4-2 に示します。

表 13.4-2 データバス幅と使用する端子

データバス幅	データバス	ライトストロープ出力端子
8 ビット	D15 ~ D08	$\overline{WR0}$
16 ビット	D15 ~ D00	$\overline{WR0}, \overline{WR1}$

[bit5, bit4] : 予約ビット

書込み時	必ず "0" を書き込んでください。
読出し時	"0" が読み出されます。

[bit3] : ADTY (アドレスタイプビット)

アクセス先のアドレス情報を出力する方法を、次の中から設定します。

- 通常出力：アクセス先のアドレス情報をそのまま出力します。
- アドレスシフト出力：アクセス先のアドレス情報をビットシフトして、出力します。

アドレス情報については、「13.9 アドレス情報とアドレスアラインメント」を参照してください。

書込み値	説明
0	通常出力
1	アドレスシフト出力

[bit2] : BSTY (バスタイプビット)

アドレス出力がアドレスシフト出力モードの時 (ADTY=1), バスタイプを設定します。24 ビットのアドレス情報をアドレスバス (A23 ~ A00 端子) からのみ出力するか, アドレスバス (A23 ~ A00 端子) とデータバス (D15 ~ D00 端子) の両方に出力するかを設定します。

- アドレス・データスプリットバス: 24 ビットのアドレス情報をアドレスバス (A23 ~ A00 端子) からのみ出力します。
- アドレス・データマルチプレックスバス: アクセス先のアドレス情報をアドレスバス (A23 ~ A00 端子) とデータバス (D15 ~ D00 端子) の両方に出力します。

書込み値	説明
0	アドレス・データスプリットバス
1	アドレス・データマルチプレックスバス

アドレス・データマルチプレックスバス設定時に, アドレス出力サイクルでアドレス情報を出力する端子を表 13.4-3 に示します。

表 13.4-3 出力されるアドレス情報と使用する端子

BSTY	データバス幅	出力されるアドレス情報	アドレス情報を出力する端子
1	8 ビット	アドレス情報の bit7 ~ bit0	D15 ~ D08 端子
	16 ビット	アドレス情報の bit15 ~ bit0	D15 ~ D00 端子

[bit1] : 予約ビット

書込み時	必ず "0" を書き込んでください。
読出し時	"0" が読み出されます。

[bit0] : 予約ビット

(ACR0)

書込み時	必ず "0" を書き込んでください。
読出し時	"0" が読み出されます。

(ACR1 ~ ACR3)

書込み時	必ず "0" を書き込んでください。
読出し時	初期値は不定です。 "0" 書込み後は "0" が読み出されます。

MB91635A シリーズ

13.4.3 CS ウェイトレジスタ (AWR0 ~ AWR3)

CS 領域のウェイトや信号の出力期間を設定するレジスタです。CS 領域 1 つに対し，このレジスタが 1 つ用意されています。

CS ウェイトレジスタ (AWR0 ~ AWR3) のビット構成を図 13.4-3 に示します。

図 13.4-3 CS ウェイトレジスタ (AWR0 ~ AWR3) のビット構成

	bit	31	30	29	28	27	26	25	24
		予約	予約	予約	予約	RWT3	RWT2	RWT1	RWT0
属性		R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値 (AWR0)		0	0	0	0	1	1	1	1
初期値 (ACR1 ~ ACR3)		0	0	0	0	X	X	X	X
	bit	23	22	21	20	19	18	17	16
		WWT3	WWT2	WWT1	WWT0	RIDL1	RIDL0	WRCV1	WRCV0
属性		R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値 (AWR0)		0	0	0	0	0	0	0	0
初期値 (ACR1 ~ ACR3)		X	X	X	X	X	X	X	X
	bit	15	14	13	12	11	10	9	8
		CSRD1	CSRD0	RDCS1	RDCS0	CSWR1	CSWR0	WRCS1	WRCS0
属性		R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値 (AWR0)		1	1	1	1	0	0	0	0
初期値 (ACR1 ~ ACR3)		X	X	X	X	X	X	X	X
	bit	7	6	5	4	3	2	1	0
		ADCY1	ADCY0	ACS1	ACS0	ASCY	予約	RDYE	予約
属性		R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値 (AWR0)		0	0	0	0	0	0	0	0
初期値 (ACR1 ~ ACR3)		X	X	X	X	X	0	X	0
R/W : リード / ライト可能									
X : 不定									

< 注意事項 >

- このレジスタを設定する場合は，「13.12 CS 領域設定手順」を参照して設定してください。
- CS0 ウェイトレジスタ (AWR0) と CS1 ウェイトレジスタ ~ CS3 ウェイトレジスタ (AWR1 ~ AWR3) で初期値が異なります。
- このレジスタに書込みを行う場合は，必ずワードで書き込んでください。

[bit31 ~ bit28] : 予約ビット

書込み時	必ず "0" を書き込んでください。
読出し時	"0" が読み出されます。

[bit27 ~ bit24] : RWT3 ~ RWT0 (リードアクセスオートウェイトビット)

リードストロープの出力期間を設定します (リードアクセスオートウェイト)。

リードストロープは最小で 1T (T: バスクロックの周期) 出力されます。

RWT3	RWT2	RWT1	RWT0	説明
0	0	0	0	0T
0	0	0	1	1T
0	0	1	0	2T
0	0	1	1	3T
0	1	0	0	4T
0	1	0	1	5T
0	1	1	0	6T
0	1	1	1	7T
1	0	0	0	8T
1	0	0	1	9T
1	0	1	0	10T
1	0	1	1	11T
1	1	0	0	12T
1	1	0	1	13T
1	1	1	0	14T
1	1	1	1	15T

T: バスクロックの周期

[bit23 ~ bit20] : WWT3 ~ WWT0 (ライトアクセスオートウェイトビット)

ライトストロープの出力期間を設定します (ライトアクセスオートウェイト)。

ライトストロープは最小で 1T (T: バスクロックの周期) 出力されます。

WWT3	WWT2	WWT1	WWT0	説明
0	0	0	0	0T
0	0	0	1	1T
0	0	1	0	2T
0	0	1	1	3T
0	1	0	0	4T
0	1	0	1	5T
0	1	1	0	6T
0	1	1	1	7T
1	0	0	0	8T
1	0	0	1	9T
1	0	1	0	10T
1	0	1	1	11T
1	1	0	0	12T
1	1	0	1	13T
1	1	1	0	14T
1	1	1	1	15T

T: バスクロックの周期

[bit19, bit18] : RIDL1, RIDL0 (リードアクセスアイドルサイクルビット)

リードアクセス後に挿入するアイドルサイクル(リードアクセスアイドルサイクル)を設定します。

リードアクセスの次のアクセスが次のいずれかの場合 , このビットで設定した周期のアイドルサイクルがリードアクセス後に挿入されます。

- ライトアクセス
- 別の CS 領域へのアクセス
- アドレス・データマルチプレックスバスタイプに設定したCS領域に対するアクセス

RIDL1	RIDL0	説明
0	0	0T
0	1	1T
1	0	2T
1	1	3T

T: バスクロックの周期

< 注意事項 >

- リードアクセスアイドルサイクル中は , すべてのチップセレクトが無効 ($\overline{\text{CS0}} \sim \overline{\text{CS3}}$ 端子から "H" レベルを出力) になり , D15 ~ D00 端子は Hi-Z になるため , リードアクセスアイドルサイクルが終了するまで , 次のアクセスは開始されません。
- CS バス設定レジスタ (ACR0 ~ ACR3) の BSTY ビットでバスタイプをアドレス・データブリットバスに設定した (ADTY=0 もしくは ADTY=1&BSTY=0), 同一の CS 領域に連続してリードアクセスを行う場合は , リードアクセスアイドルサイクルは挿入されません。

[bit17, bit16] : WRCV1, WRCV0 (ライトリカバリサイクルビット)

ライトアクセス後に挿入するアイドルサイクル(ライトリカバリサイクル)を設定します。

外部装置が本デバイスのデータを読み出した後，このビットで設定した周期のアイドルサイクルが挿入されます。

WRCV1	WRCV0	説明
0	0	0T
0	1	1T
1	0	2T
1	1	3T

T: バスクロックの周期

< 注意事項 >

ライトリカバリサイクル中は，すべてのチップセレクトが無効 ($\overline{\text{CS0}} \sim \overline{\text{CS3}}$ 端子から "H" レベルを出力) になり，ライトストローブも無効 (WR0, WR1 端子から "H" レベルを出力) なるため，次のアクセスは開始されません。

[bit15, bit14] : CSRD1, CSRD0 (リードアクセスセットアップサイクルビット)

チップセレクトが有効になってから，リードストローブを有効にする周期を設定します (リードアクセスセットアップサイクル)。

CSRD1	CSRD0	説明
0	0	0T (同時)
0	1	1T 後
1	0	2T 後
1	1	3T 後

T: バスクロックの周期

< 注意事項 >

CS バス設定レジスタ (ACR0 ~ ACR3) の BSTY ビットで，バスタイプをアドレス・データマルチプレックスバスに設定 (ADTY=1&BSTY=1) した場合は，プロトコルが正しく成立するように，次の条件を満たす設定にしてください。

• **ACS+CSRD 1**

ACS : ACS1, ACS0 ビット

CSRD : CSRD1, CSRD0 ビット

[bit13, bit12] : RDCS1, RDCS0 (リードアクセスホールドサイクルビット)

リードストロークが無効になってからチップセレクトを無効にする周期を設定します (リードアクセスホールドサイクル)。

RDCS1	RDCS0	説明
0	0	0T (同時)
0	1	1T 後
1	0	2T 後
1	1	3T 後

T: バスクロックの周期

[bit11, bit10] : CSWR1, CSWR0 (ライトアクセスセットアップサイクルビット)

チップセレクトが有効になってからライトストロークを有効にする周期を設定します (ライトアクセスセットアップサイクル)。

CSWR1	CSWR0	説明
0	0	0T (同時)
0	1	1T 後
1	0	2T 後
1	1	3T 後

T: バスクロックの周期

< 注意事項 >

CS バス設定レジスタ (ACR0 ~ ACR3) の BSTY ビットで、バスタイプをアドレス・データマルチプレックスバスに設定 (ADTY=1&BSTY=1) した場合は、プロトコルが正しく成立するように、次の条件を満たす設定にしてください。

- **ACS+CSWR 1**

ACS : ACS1, ACS0 ビット

CSWR : CSWR1, CSWR0 ビット

[bit9, bit8] : WRCS1, WRCS0 (ライトアクセスホールドサイクルビット)

ライトストロークが無効になってからチップセレクトを無効にする周期を設定します (ライトアクセスホールドサイクル)。

WRCS1	WRCS0	説明
0	0	0T (同時)
0	1	1T 後
1	0	2T 後
1	1	3T 後

T: バスクロックの周期

[bit7, bit6] : ADCY1, ADCY0 (アドレス出力延長サイクル数ビット)

バスタイプをアドレス・データマルチプレックスバスタイプ (ADTY=1&BSTY=1) に設定した場合に、D15 ~ D00 端子からアドレスを出力する期間を設定します (アドレス出力延長サイクル数)。

D15 ~ D00 端子からアドレス情報を出力する期間 (アドレス出力サイクル) は、最小で 1T (T: バスクロックの周期) です。

ADCY1	ADCY0	説明
0	0	0T
0	1	1T
1	0	2T
1	1	3T

T: バスクロックの周期

< 注意事項 >

- CS バス設定レジスタ (ACR0 ~ ACR3) の BSTY ビットで、バスタイプをアドレス・データスプリットバスに設定 (ADTY=0 もしくはADTY=1&BSTY=0) した場合は、このビットの設定は無視されます。
- このビットを "00" 以外に設定する場合は、プロトコルが正しく成立するように、次の条件をすべて満たす設定にしてください。

- **ADCY+1 ACS+CSR**

ADCY : ADCY1, ADCY0 ビット ACS : ACS1, ACS0 ビット

CSR : CSR1, CSR0 ビット

- **ADCY+1 ACS+CSW**

ADCY : ADCY1, ADCY0 ビット ACS : ACS1, ACS0 ビット

CSW : CSW1, CSW0 ビット

- このビットで設定した周期より ASCY1, ASCY0 ビットで設定した周期の方が大きい場合は、ASCY1, ASCY0 ビットの設定が優先されます。

[bit5, bit4] : ACS1, ACS0 (チップセレクト遅延サイクル数ビット)

アドレスストローブを出力してからチップセレクトを有効 ($\overline{CS0} \sim \overline{CS3}$ 端子から "L" レベルを出力) にする周期を設定します (チップセレクト遅延サイクル数)。

ACS1	ACS0	説明
0	0	0T
0	1	1T
1	0	2T
1	1	3T

T: バスクロックの周期

< 注意事項 >

CS バス設定レジスタ (ACR0 ~ ACR3) の BSTY ビットで、バスタイプをアドレス・データマルチプレックスバスに設定 (ADTY=1&BSTY=1) した場合は、プロトコルが正しく成立するように、次の条件をすべて満たす設定にしてください。

- **ACS+CSRD 1**
ACS : ACS1, ACS0 ビット CSRD : CSRD1, CSRD0 ビット
- **ACS+CSWR 1**
ACS : ACS1, ACS0 ビット CSWR : CSWR1, CSWR0 ビット

[bit3] : ASCY (アドレスストローブ出力延長サイクル数ビット)

アドレスストローブの出力期間を設定します (アドレスストローブ出力延長サイクル数)。

アドレスストローブは最小で 1T (T: バスクロックの周期) 出力されます。

書込み値	説明
0	0T
1	1T

T: バスクロックの周期

< 注意事項 >

このビットを "1" に設定する場合は、プロトコルが正しく成立するように、次の条件をすべて満たす設定にしてください。

- CS バス設定レジスタ (ACR0 ~ ACR3) の BSTY ビットで、バスタイプをアドレス・データスプリットバスに設定 (ADTY=0 もしくは ADTY=1&BSTY=0) した場合
 - **ACS+CSRD+RWT+RDCS 1**
ACS : ACS1, ACS0 ビット CSRD : CSRD1, CSRD0 ビット
RWT:RWT3 ~ RWT0 ビット RDCS : RDCS1, RDCS0 ビット
 - **ACS+CSWR+WWT+WRCS 1**
ACS : ACS1, ACS0 ビット CSWR : CSWR1, CSWR0 ビット
WWT:WWT3 ~ WWT0 ビット WRCS : WRCS1, WRCS0 ビット
- CS バス設定レジスタ (ACR0 ~ ACR3) の BSTY ビットで、バスタイプをアドレス・データマルチプレックスバスに設定 (ADTY=1&BSTY=1) した場合
 - **ACS+CSRD 2**
ACS : ACS1, ACS0 ビット CSRD : CSRD1, CSRD0 ビット
 - **ACS+CSWR 2**
ACS : ACS1, ACS0 ビット CSWR : CSWR1, CSWR0 ビット

[bit2] : 予約ビット

書込み時	必ず "0" を書き込んでください。
読出し時	"0" が読み出されます。

[bit1] : RDYE (RDY 許可ビット)

RDY 端子によるオートウェイト期間の延長機能を有効にするかどうかを設定します。

書込み値	説明
0	無効
1	有効

< 注意事項 >

この機能を有効にする場合は、RWT3 ~ RWT0 ビットおよび WWT3 ~ WWT0 ビットで、リードアクセス / ライトアクセスオートウェイト期間が "2" 以上になるように設定してください。

詳しくは、「13.7 RDY 端子によるアクセスサイクルの延長」を参照してください。

[bit0] : 予約ビット

書込み時	必ず "0" を書き込んでください。
読出し時	"0" が読み出されます。

13.4.4 外部 DMA 転送設定レジスタ (DMAR0 ~ DMAR3)

DMA 転送用外部端子の設定を行うレジスタです。DMA コントローラ (DMAC) 1 チャンネルに対し、このレジスタが 1 つ用意されています。

外部DMA転送設定レジスタ (DMAR0 ~ DMAR3) のビット構成を図 13.4-4 に示します。

図 13.4-4 外部 DMA 転送設定レジスタ (DMAR0 ~ DMAR3) のビット構成

bit 31		8						
		予約						
属性		R/W						
初期値		0						
bit		7	6	5	4	3	2	1 0
		予約	予約	予約	予約	REQL	ACKMD	ACKL EOPL
属性		R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値		0	0	0	0	0	0	0

R/W : リード / ライト可能

< 注意事項 >

このレジスタは DMA コントローラ (DMAC) の動作を開始する前に設定してください。また、このレジスタが対応する DMA コントローラ (DMAC) のチャンネルが動作中は、このレジスタを書き換えないでください。

[bit31 ~ bit4] : 予約ビット

書込み時	必ず "0" を書き込んでください。
読出し時	"0" が読み出されます。

[bit3] : REQL (転送要求レベルビット)

転送要求信号の検出レベル / エッジを設定します。

転送要求信号は DREQ0 ~ DREQ3 端子から入力され、DMA コントローラ (DMAC) に通知されます。

DMA コントローラ (DMAC) の転送方法の設定によって、検出するレベル / エッジが異なります。

書込み値	デマンド転送時	ブロック転送 / バースト転送時
0	"L" レベル	立下りエッジ
1	"H" レベル	立上りエッジ

DMA 転送の転送方法については、「第 28 章 DMA コントローラ (DMAC)」を参照してください。

[bit2] : ACKMD (転送要求受付出力モードビット)

DMA コントローラ (DMAC) が、転送要求受付信号または転送終了信号を DEOP0 ~ DEOP3 端子から出力するタイミングを設定します。

書込み値	説明
0	チップセレクトと同時に出力します。
1	リードストローブ / ライトストローブと同時に出力します。

[bit1] : ACKL (転送要求受付レベルビット)

転送要求受付信号の有効レベルを設定します。

このビットで設定したレベルの信号が DACK0 ~ DACK3 端子から出力されたときに、DMA コントローラ (DMAC) で転送要求が受け付けられたことを示します。

書込み値	説明
0	"L" レベル
1	"H" レベル

[bit0] : EOPL (最終転送出力レベルビット)

転送終了信号の有効レベルを設定します。

このビットで設定したレベルの信号が DEOP0 ~ DEOP3 端子から出力されたときに、DMA コントローラ (DMAC) で DMA 転送が終了したことを示します。

書込み値	説明
0	"L" レベル
1	"H" レベル

13.5 プロトコル

外部バスインタフェースの信号のプロトコルについて説明します。

13.5.1 アドレス・データスプリットバスのプロトコル

アドレス・データスプリットバスのプロトコルについて説明します。

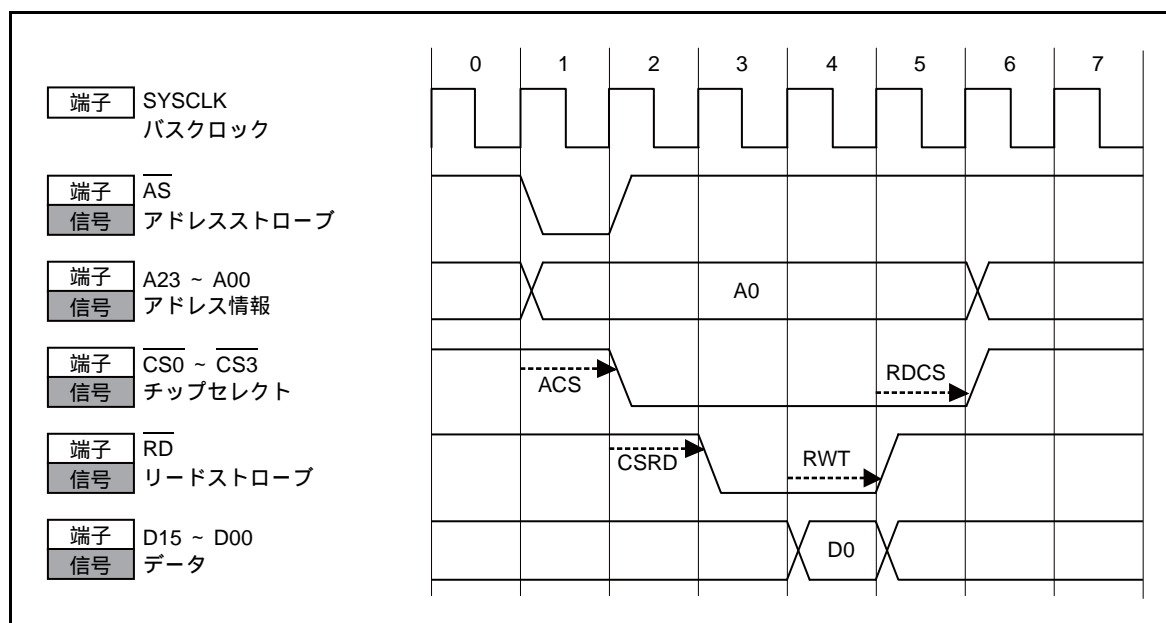
CS バス設定レジスタ (ACR0 ~ ACR3) の ADTY/BSTY ビットで、バスタイプをアドレス・データスプリットバスに設定 (ADTY=0 もしくは ADTY=1&BSTY=0) した場合のプロトコルについて説明します。

■ リードプロトコル

● リード動作例

リードアクセス時の動作例を図 13.5-1 に示します。

図 13.5-1 リードアクセス時の動作例



CS ウェイトレジスタ (AWR0 ~ AWR3) の各ビットの設定値を表 13.5-1 に示します。

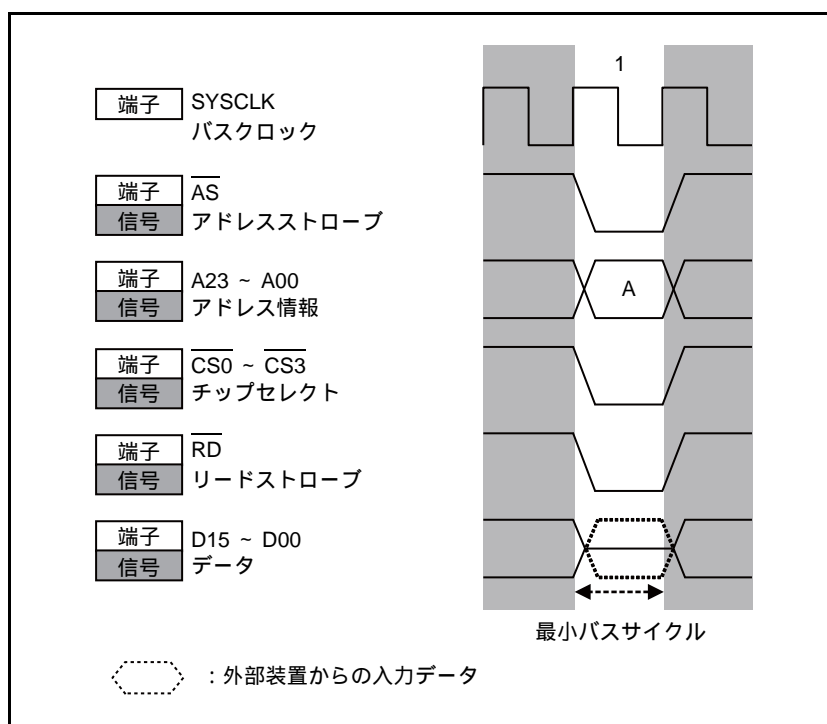
表 13.5-1 各ビットの設定値

設定項目	ビット	設定値
アドレスストローブ出力延長サイクル数	ASCY	0
チップセレクト遅延サイクル数	ACS1, ACS0	01
リードアクセスオートウェイト	RWT3 ~ RWT0	0001
リードアクセスアイドルサイクル	RIDL1, RIDL0	00
リードアクセスセットアップサイクル	CSRD1, CSRD0	01
リードアクセスホールドサイクル	RDCS1, RDCS0	01

● 最短リード動作

リードアクセス時の最短動作を図 13.5-2 に示します。

図 13.5-2 最短リードアクセス



最短リード動作の , CS ウェイトレジスタ (AWR0 ~ AWR3) の各ビットの設定値を表 13.5-2 に示します。

表 13.5-2 各ビットの設定値

設定項目	ビット	設定値
アドレスストローブ出力延長サイクル数	ASCY	0
チップセレクト遅延サイクル数	ACS1, ACS0	00
リードアクセスオートウェイト	RWT3 ~ RWT0	0000
リードアクセスアイドルサイクル	RIDL1, RIDL0	00
リードアクセスセットアップサイクル	CSRD1, CSRD0	00
リードアクセスホールドサイクル	RDCS1, RDCS0	00

● 信号説明

- SYSCLK 端子
バスクロックを出力します。
- \overline{AS} 端子
アドレスストロブ ("L" レベルで有効) を出力します。アクセスの開始を示します。
- A23 ~ A00 端子
アクセス先のアドレス情報を出力します。
- $\overline{CS0}$ ~ $\overline{CS3}$ 端子
チップセレクト ("L" レベルで有効) を出力します。アクセス先が対応した CS 領域内のアドレスであることを示します。
- $\overline{WR0}$, $\overline{WR1}$ 端子
"H" レベル (無効) を出力します。
- \overline{RD} 端子
リードストロブ ("L" レベルで有効) を出力します。リードアクセスを示します。
- D15 ~ D00 端子
外部装置からデータを入力します。

● アクセス手順

アドレス・データスプリットバスのリード動作は、次の手順で行います。

1. \overline{AS} 端子にアドレスストロブを有効にして、A23 ~ A00 端子にアドレス情報を出力します。
2. $\overline{CS0}$ ~ $\overline{CS3}$ 端子にチップセレクトを有効にします。
3. \overline{RD} 端子にリードストロブを有効にします。
4. リードストロブ有効区間内の最期のバスクロックの立上がりエッジで、D15 ~ D00 端子からリードデータが取り込まれます。
5. \overline{RD} 端子のリードストロブを無効にします。
6. $\overline{CS0}$ ~ $\overline{CS3}$ 端子のチップセレクトを無効にします。

A23 ~ A00 端子のアドレス情報は、リード動作が終了するまで出力されます。

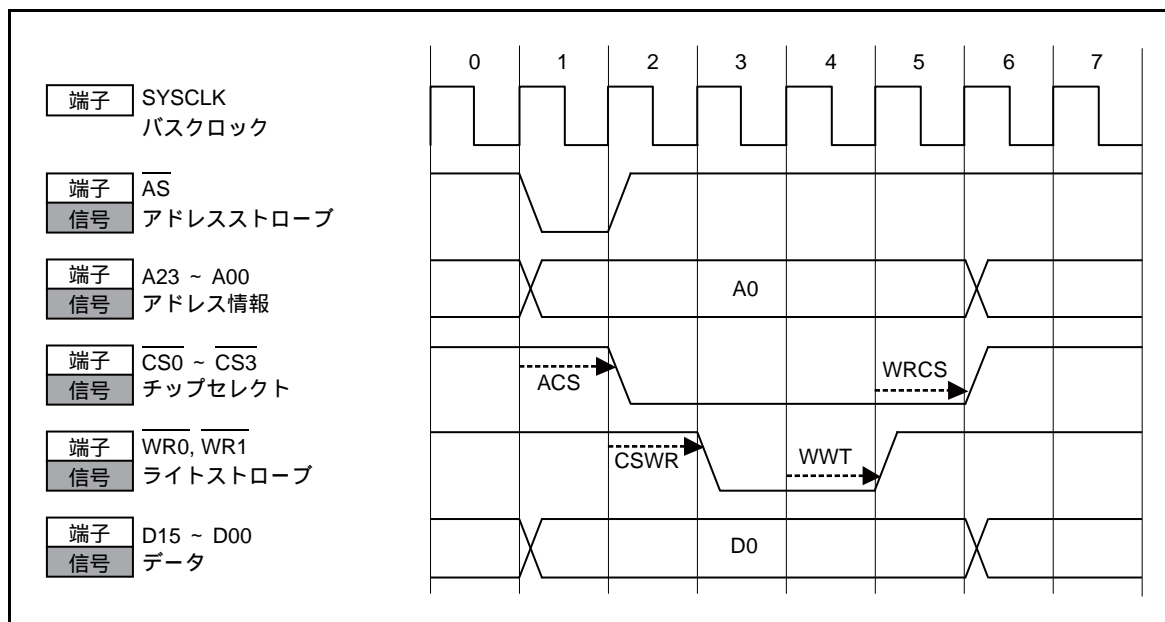
各信号の出力期間、出力タイミングは CS ウェイトレジスタ (AWR0 ~ AWR3) を設定して変更することができます。「13.6 タイミング設定」を参照してください。

■ ライトプロトコル

● ライト動作例

ライトアクセス時の動作例を図 13.5-3 に示します。

図 13.5-3 ライトアクセス時の動作例



CS ウェイトレジスタ (AWR0 ~ AWR3) の各ビットの設定値を表 13.5-3 に示します。

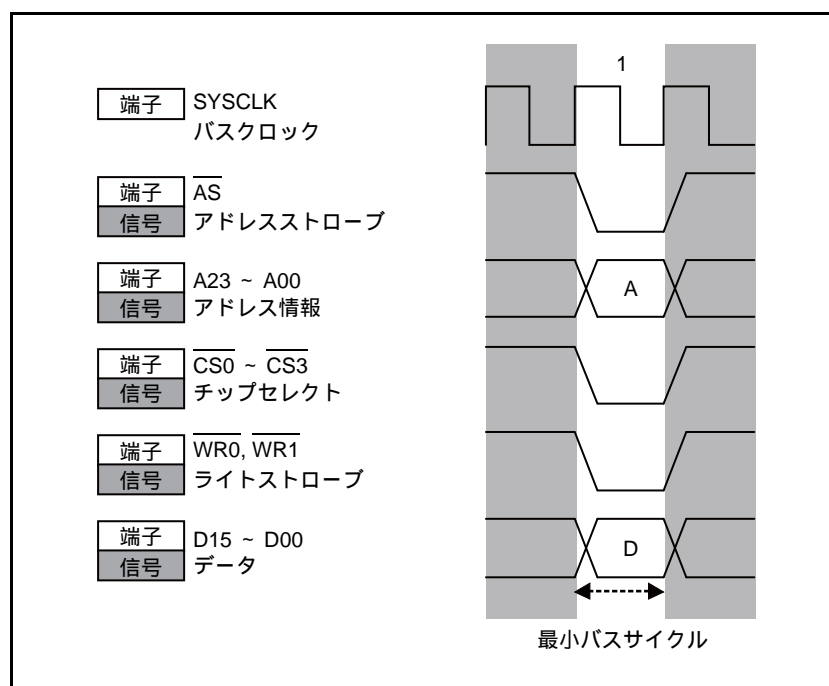
表 13.5-3 各ビットの設定値

設定項目	ビット	設定値
アドレスストローブ出力延長サイクル数	ASCY	0
チップセレクト遅延サイクル数	ACS1, ACS0	01
ライトアクセスオートウェイト	WWT3 ~ WWT0	0001
ライトリカバリサイクル	WRCV1, WRCV0	00
ライトアクセスセットアップサイクル	CSWR1, CSWR0	01
ライトアクセスホールドサイクル	WRCS1, WRCS0	01

● 最短ライト動作

ライトアクセス時の最短動作を図 13.5-4 に示します。

図 13.5-4 最短ライト動作



最短ライト動作の , CS ウェイトレジスタ (AWR0 ~ AWR3) の各ビットの設定値を表 13.5-4 に示します。

表 13.5-4 各ビットの設定値

設定項目	ビット	設定値
アドレスストローブ出力延長サイクル数	ASCY	0
チップセレクト遅延サイクル数	ACS1, ACS0	00
ライトアクセスオートウェイト	WWT3 ~ WWT0	0000
ライトリカバリサイクル	WRCV1, WRCV0	00
ライトアクセスセットアップサイクル	CSWR1, CSWR0	00
ライトアクセスホールドサイクル	WRCS1, WRCS0	00

● 信号説明

- SYSCLK 端子
バスクロックを出力します。
- \overline{AS} 端子
アドレスストローク ("L" レベルで有効) を出力します。アクセスの開始を示します。
- A23 ~ A00 端子
アクセス先のアドレス情報を出力します。
- $\overline{CS0}$ ~ $\overline{CS3}$ 端子
チップセレクト ("L" レベルで有効) を出力します。アクセス先が対応した CS 領域内のアドレスであることを示します。
- $\overline{WR0}$, $\overline{WR1}$ 端子
ライトストローク ("L" レベルで有効) を出力します。
- \overline{RD} 端子
"H" レベル (無効) を出力します。
- D15 ~ D00 端子
外部装置へデータを出力します。

● アクセス手順

アドレス・データスプリットバスのライト動作は次の手順で行います。

1. \overline{AS} 端子にアドレスストロークを有効にして、A23 ~ A00 端子にアドレス情報を、D15 ~ D00 端子に書込みデータを出力します。
2. $\overline{CS0}$ ~ $\overline{CS3}$ 端子にチップセレクトを有効にします。
3. $\overline{WR0}$, $\overline{WR1}$ 端子にライトストロークを有効にします。
4. $\overline{WR0}$, $\overline{WR1}$ 端子のライトストロークを無効にします。
5. $\overline{CS0}$ ~ $\overline{CS3}$ 端子のチップセレクトを無効にします。

A23 ~ A00 端子のアドレス情報と、D15 ~ D00 端子の書込みデータは、ライト動作が終了するまで出力されます。

各信号の出力期間、出力タイミングは CS ウェイトレジスタ (AWR0 ~ AWR3) を設定して変更することができます。「13.6 タイミング設定」を参照してください。

13.5.2 アドレス・データマルチプレックスバスの プロトコル

アドレス・データマルチプレックスバスのプロトコルについて説明します。

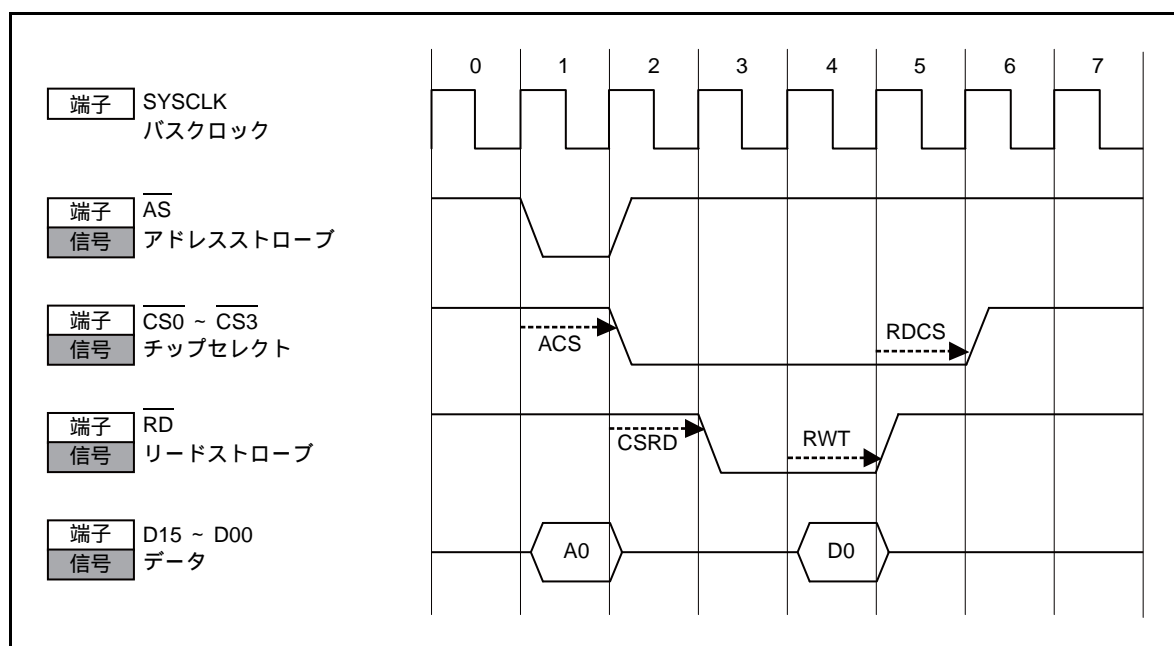
CS バス設定レジスタ (ACR0 ~ ACR3) の ADTY/BSTY ビットで、バスタイプをアドレス・データマルチプレックスバスに設定 (ADTY=1&BSTY=1) した場合のプロトコルについて説明します。

■ リードプロトコル

● リード動作例

リードアクセス時の動作例を図 13.5-5 に示します。

図 13.5-5 リードアクセス時の動作例



CS ウェイトレジスタ (AWR0 ~ AWR3) の各ビットの設定値を表 13.5-5 に示します。

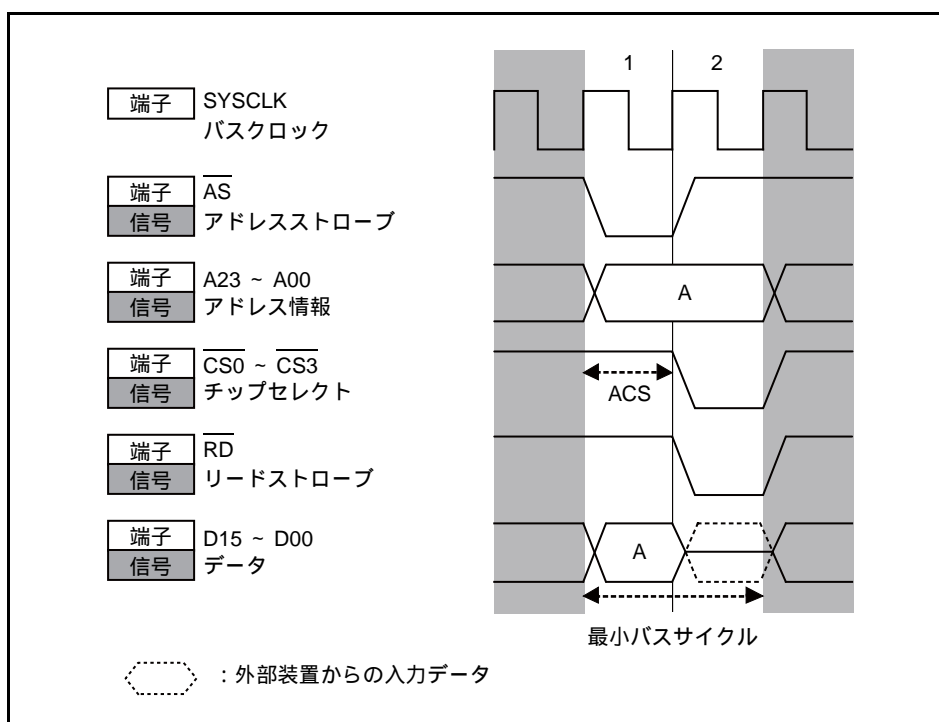
表 13.5-5 各ビットの設定値

設定項目	ビット	設定値
アドレスストローブ出力延長サイクル数	ASCY	0
チップセレクト遅延サイクル数	ACS1, ACS0	01
リードアクセスオートウェイト	RWT3 ~ RWT0	0001
リードアクセスアイドルサイクル	RIDL1, RIDL0	00
リードアクセスセットアップサイクル	CSRD1, CSRD0	01
リードアクセスホールドサイクル	RDCS1, RDCS0	01
アドレス出力延長サイクル数	ADCY1, ADCY0	00

● 最短リード動作

リードアクセス時の最短動作の一つを図 13.5-6 に示します。

図 13.5-6 最短リードアクセス (ACS1=0, ACS0=1)



最短リード動作の , CS ウェイトレジスタ (AWR0 ~ AWR3) の各ビットの設定値を表 13.5-6 に示します。

表 13.5-6 各ビットの設定値

設定項目	ビット	設定値
アドレスストローブ出力延長サイクル数	ASCY	0
チップセレクト遅延サイクル数	ACS1, ACS0	01
リードアクセスオートウェイト	RWT3 ~ RWT0	0000
リードアクセスアイドルサイクル	RIDL1, RIDL0	00
リードアクセスセットアップサイクル	CSRD1, CSRD0	00
リードアクセスホールドサイクル	RDCS1, RDCS0	00
アドレス出力延長サイクル数	ADCY1, ADCY0	00

アドレス・データマルチプレックスバスでは、最小バスサイクルとして 2T (T : バスクロックの周期) が必要です。チップセレクト遅延サイクル数かリードアクセスセットアップサイクルのどちらかを "1" 以上にする必要があります。図 13.5-6、表 13.5-6 では、チップセレクト遅延サイクル数 (ACS1, ACS0) を "01_B" に設定しています。

● 信号説明

- SYSCLK 端子
バスクロックを出力します。
- \overline{AS} 端子
アドレスストローブ ("L" レベルで有効) を出力します。アクセスの開始を示します。
- A23 ~ A00 端子
アクセス先のアドレス情報を出力します。
- $\overline{CS0}$ ~ $\overline{CS3}$ 端子
チップセレクト ("L" レベルで有効) を出力します。アクセス先が対応した CS 領域内のアドレスであることを示します。
- $\overline{WR0}$, $\overline{WR1}$ 端子
"H" レベル (無効) を出力します。
- \overline{RD} 端子
リードストローブ ("L" レベルで有効) を出力します。リードアクセスを示します。
- D15 ~ D00 端子
アドレス情報を出力した後に、外部装置からデータを入力します。

● アクセス手順

アドレス・データマルチプレックスバスのリード動作は次の手順で行います。

1. \overline{AS} 端子にアドレスストローブを有効にして、A23 ~ A00 端子と、D15 ~ D00 端子にアドレス情報を出力します。
2. $\overline{CS0}$ ~ $\overline{CS3}$ 端子にチップセレクトを有効にします。
3. \overline{RD} 端子にリードストローブを有効にします。
4. リードストローブ有効区間内の最期のバスクロックの立上がりエッジで、D15 ~ D00 端子からリードデータが取り込まれます。
5. \overline{RD} 端子のリードストローブを無効にします。
6. $\overline{CS0}$ ~ $\overline{CS3}$ 端子のチップセレクトを無効にします。

D15 ~ D00 端子と A15 ~ A00 端子のアドレス情報は同じです。D15 ~ D00 端子はアドレス情報を出力した後にハイインピーダンスになります。A23 ~ A00 端子のアドレス情報は、リード動作が終了するまで出力されます。

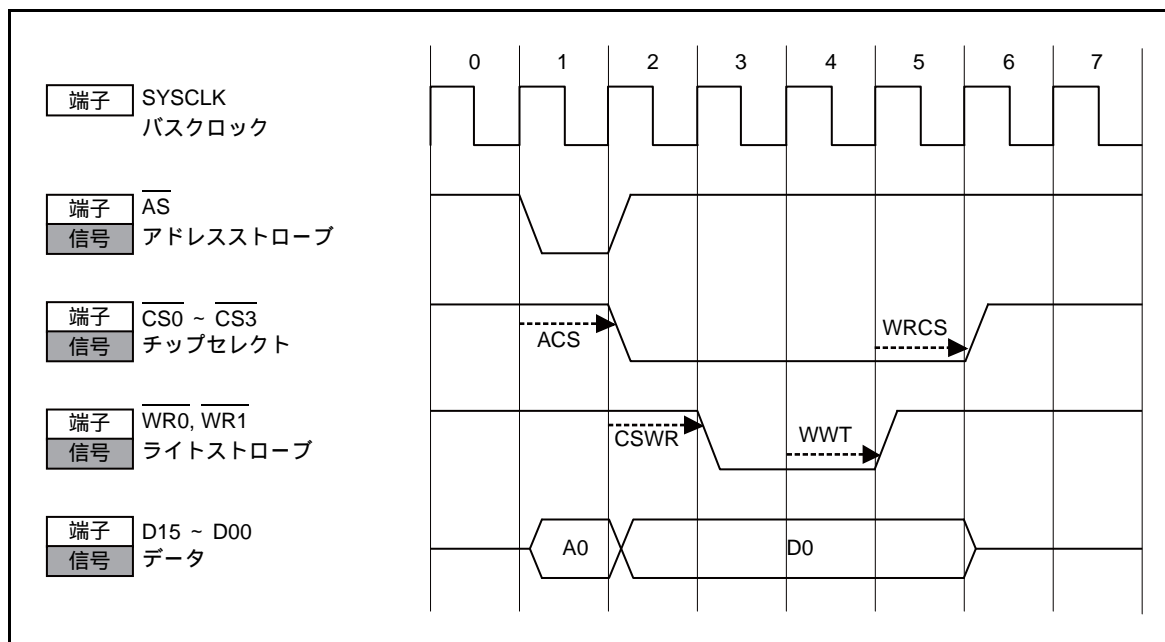
各信号の出力期間、出力タイミングを CS ウェイトレジスタ (AWR0 ~ AWR3) を設定して変更することができます。「13.6 タイミング設定」を参照してください。

■ ライトプロトコル

● ライト動作例

ライトアクセス時の動作例を図 13.5-7 に示します。

図 13.5-7 ライトアクセス時の動作例



CS ウェイトレジスタ (AWR0 ~ AWR3) の各ビットの設定値を表 13.5-7 に示します。

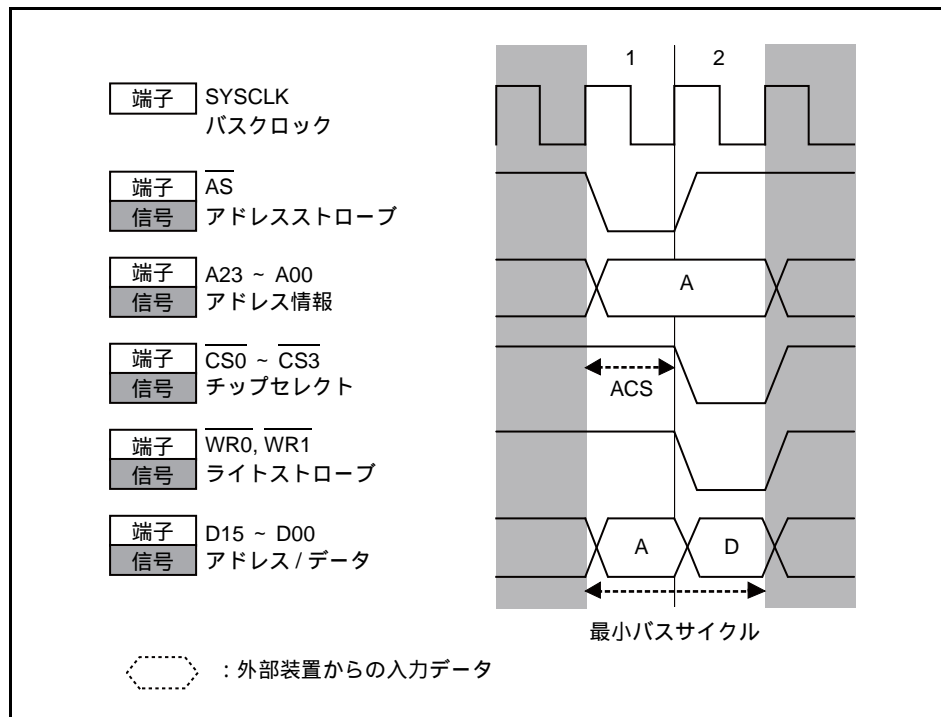
表 13.5-7 各ビットの設定値

設定項目	ビット	設定値
アドレスストローブ出力延長サイクル数	ASCY	0
チップセレクト遅延サイクル数	ACS1, ACS0	01
ライトアクセスオートウェイト	WWT3 ~ WWT0	0001
ライトリカバリサイクル	WRCV1, WRCV0	00
ライトアクセスセットアップサイクル	CSWR1, CSWR0	01
ライトアクセスホールドサイクル	WRCS1, WRCS0	01
アドレス出力延長サイクル数	ADCY1, ADCY0	00

● 最短ライト動作

ライトアクセス時の最短動作の一つを図 13.5-8 に示します。

図 13.5-8 最短ライトアクセス (ACS1=0, ACS0=1)



最短ライト動作の , CS ウェイトレジスタ (AWR0 ~ AWR3) の各ビットの設定値を表 13.5-8 に示します。

表 13.5-8 各ビットの設定値

設定項目	ビット	設定値
アドレスストローブ出力延長サイクル数	ASCY	0
チップセレクト遅延サイクル数	ACS1, ACS0	01
ライトアクセスオートウェイト	WWT3 ~ WWT0	0000
ライトリカバリサイクル	WRCV1, WRCV0	00
ライトアクセスセットアップサイクル	CSWR1, CSWR0	00
ライトアクセスホールドサイクル	WRCS1, WRCS0	00
アドレス出力延長サイクル数	ADCY1, ADCY0	00

アドレス・データマルチプレックスバスでは、最小バスサイクルとして 2T (T : バスクロックの周期) が必要です。チップセレクト遅延サイクル数かライトアクセスセットアップサイクルのどちらかを "1" 以上にする必要があります。図 13.5-8, 表 13.5-8 では、チップセレクト遅延サイクル数 (ACS1, ACS0) を "01_B" に設定しています。

● 信号説明

- SYSCLK 端子
バスクロックを出力します。
- \overline{AS} 端子
アドレスストローブ ("L" レベルで有効) を出力します。アクセスの開始を示します。
- A23 ~ A00 端子
アクセス先のアドレス情報を出力します。
- $\overline{CS0}$ ~ $\overline{CS3}$ 端子
チップセレクト ("L" レベルで有効) を出力します。アクセス先が対応した CS 領域内のアドレスであることを示します。
- $\overline{WR0}$, $\overline{WR1}$ 端子
ライトストローブ ("L" レベルで有効) を出力します。ライトアクセスを示します。
- \overline{RD} 端子
"H" レベル (無効) を出力します。
- D15 ~ D00 端子
アドレス情報を出力した後に、外部装置からデータを入力します。

● アクセス手順

アドレス・データマルチプレックスバスのライト動作は次の手順で行います。

1. \overline{AS} 端子にアドレスストローブを有効にして、A23 ~ A00 端子と D15 ~ D00 端子にアドレス情報を出力します。
2. D15 ~ D00 端子に書込みデータを出力します。
3. $\overline{CS0}$ ~ $\overline{CS3}$ 端子にチップセレクトを有効にします。
4. \overline{WR} 端子にライトストローブを有効にします。
5. \overline{WR} 端子のライトストローブを無効にします。
6. $\overline{CS0}$ ~ $\overline{CS3}$ 端子のチップセレクトを無効にします。

D15 ~ D00 端子と A15 ~ A00 端子のアドレス情報は同じです。A23 ~ A00 端子のアドレス情報は、ライト動作が終了するまで出力されます。

D15 ~ D00 端子の書込みデータは、ライト動作が終了するまで出力されます。

各信号の出力期間、出力タイミングを CS ウェイトレジスタ (AWR0 ~ AWR3) を設定して変更することができます。「13.6 タイミング設定」を参照してください。

13.6 タイミング設定

外部バスインタフェースのタイミング設定について説明します。さまざまな外部装置を接続するために、信号線の出力期間と出力タイミングを設定することができます。

CS ウェイトレジスタ (AWR0 ~ AWR3) のビットを設定することで、次のタイミングを設定することができます。

- ・ リードアクセスオートウェイト
- ・ リードアクセスアイドルサイクル
- ・ リードアクセスセットアップサイクル
- ・ ライトアクセスセットアップサイクル
- ・ チップセレクト遅延サイクル
- ・ アドレスストロブ出力延長サイクル
- ・ ライトアクセスオートウェイト
- ・ ライトリカバリサイクル
- ・ リードアクセスホールドサイクル
- ・ ライトアクセスホールドサイクル
- ・ アドレス出力延長サイクル

< 注意事項 >

本項では、タイミング設定により変化するタイミングを理解しやすくするため、各期間を最小の値に設定したものを基本プロトコルとして説明します。
初期値とは設定が異なりますのでご注意ください。

13.6.1 リードアクセスオートウェイト

リードアクセスのオートウェイトサイクル数の設定です。リードアクセスオートウェイトにより、リードストロークの有効期間が延長されます。

リードストロークの有効期間は延長なしの最短で 1T (T: バスクロックの周期) です。CS ウェイトレジスタ (AWR0 ~ AWR3) の RWT3 ~ RWT0 ビットで、延長する期間を 0T ~ 15T (T: バスクロックの周期) の範囲で設定できます。

CS ウェイトレジスタ (AWR0 ~ AWR3) の RWT3 ~ RWT0 の設定値とリードストロークの出力期間を表 13.6-1 に示します。

表 13.6-1 RWT3 ~ RWT0 の設定値とリードストロークの出力期間

RWT3	RWT2	RWT1	RWT0	延長期間	リードストローク 出力期間
0	0	0	1	0T	1T
0	0	0	1	1T	2T
0	0	1	0	2T	3T
0	0	1	1	3T	4T
0	1	0	0	4T	5T
0	1	0	1	5T	6T
0	1	1	0	6T	7T
0	1	1	1	7T	8T
1	0	0	0	8T	9T
1	0	0	1	9T	10T
1	0	1	0	10T	11T
1	0	1	1	11T	12T
1	1	0	0	12T	13T
1	1	0	1	13T	14T
1	1	1	0	14T	15T
1	1	1	1	15T	16T

T: バスクロックの周期

■ アドレス・データスプリットバス

リードアクセスのオートウェイトサイクル数を "1" に設定した例を図 13.6-1 に示します。

図 13.6-1 リードアクセスオートウェイトの設定例 (アドレス・データスプリットバス)

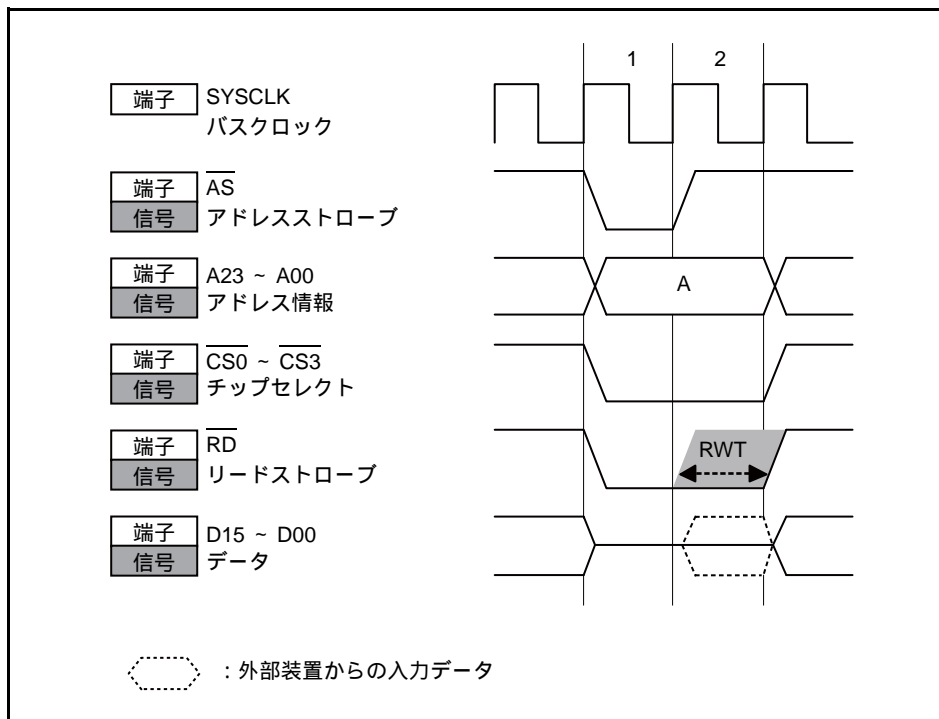


図 13.6-1 の例での CS ウェイトレジスタ (AWR0 ~ AWR3) の設定値 ("0" 以外に設定したビット) を表 13.6-2 に示します。

表 13.6-2 各ビットの設定値

設定項目	ビット	設定値
リードアクセスオートウェイト	RWT3 ~ RWT0	0001

■ アドレス・データマルチプレックスバス

リードアクセスオートウェイトサイクルを "1" に設定した例を図 13.6-2 に示します。

図 13.6-2 リードアクセスオートウェイトの設定例 (アドレス・データマルチプレックスバス)

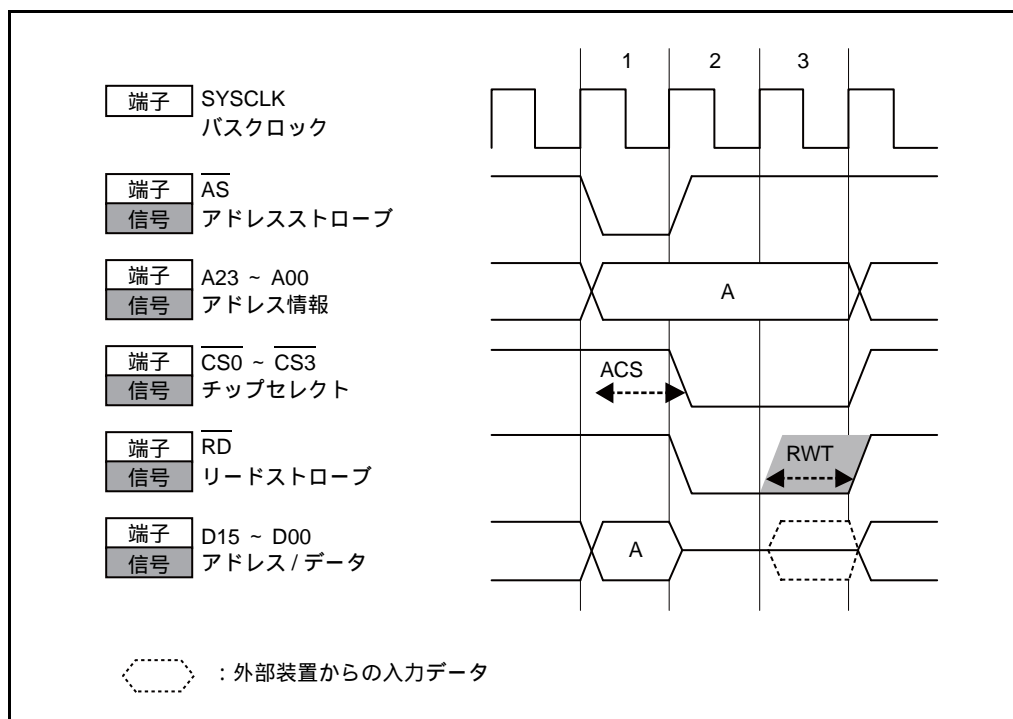


図 13.6-2 の例での CS ウェイトレジスタ (AWR0 ~ AWR3) の設定値 ("0" 以外に設定したビット) を表 13.6-3 に示します。

表 13.6-3 各ビットの設定値

設定項目	ビット	設定値
リードアクセスオートウェイト	RWT3 ~ RWT0	0001
チップセレクト遅延サイクル数	ACS1, ACS0	01

図 13.6-2, 表 13.6-3 では, アドレス・データマルチプレックスバスのプロトコルの制約条件により, チップセレクト遅延サイクル数を 1T (T: バスクロックの周期) に設定しています。

13.6.2 ライトアクセスオートウェイト

ライトアクセスのオートウェイトサイクル数の設定です。ライトアクセスオートウェイトサイクルにより、ライトストロークの有効期間が延長されます。

ライトストロークの有効期間は延長なしの最短で 1T (T: バスクロックの周期) です。CS ウェイトレジスタ (AWR0 ~ AWR3) の WWT3 ~ WWT0 ビットで、延長する期間を 0T ~ 15T (T: バスクロックの周期) に設定できます。

CS ウェイトレジスタ (AWR0 ~ AWR3) の WWT3 ~ WWT0 の設定値とライトストロークの出力期間を表 13.6-4 に示します。

表 13.6-4 WWT3 ~ WWT0 の設定値とライトストロークの出力期間

WWT3	WWT2	WWT1	WWT0	延長期間	出力期間 (合計)
0	0	0	1	0T	1T
0	0	0	1	1T	2T
0	0	1	0	2T	3T
0	0	1	1	3T	4T
0	1	0	0	4T	5T
0	1	0	1	5T	6T
0	1	1	0	6T	7T
0	1	1	1	7T	8T
1	0	0	0	8T	9T
1	0	0	1	9T	10T
1	0	1	0	10T	11T
1	0	1	1	11T	12T
1	1	0	0	12T	13T
1	1	0	1	13T	14T
1	1	1	0	14T	15T
1	1	1	1	15T	16T

T: バスクロックの周期

■ アドレス・データスプリットバス

図 13.6-3 ライトアクセスオートウェイトの設定例 (アドレス・データスプリットバス)

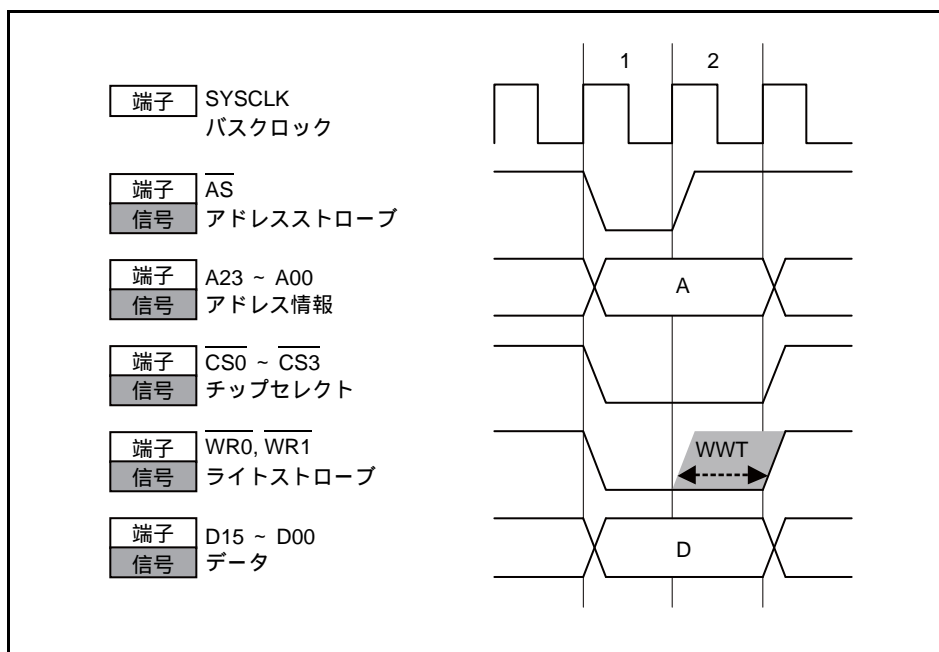


図 13.6-3 の例での CS ウェイトレジスタ (AWR0 ~ AWR3) の設定値 ("0" 以外に設定したビット) を表 13.6-5 に示します。

表 13.6-5 各ビットの設定値

設定項目	ビット	設定値
ライトアクセスオートウェイト	WWT3 ~ WWT0	0001

■ アドレス・データマルチプレックスバス

ライトアクセスオートウェイトサイクルを "1" に設定した例を図 13.6-4 に示します。

図 13.6-4 ライトアクセスオートウェイトの設定例 (アドレス・データマルチプレックスバス)

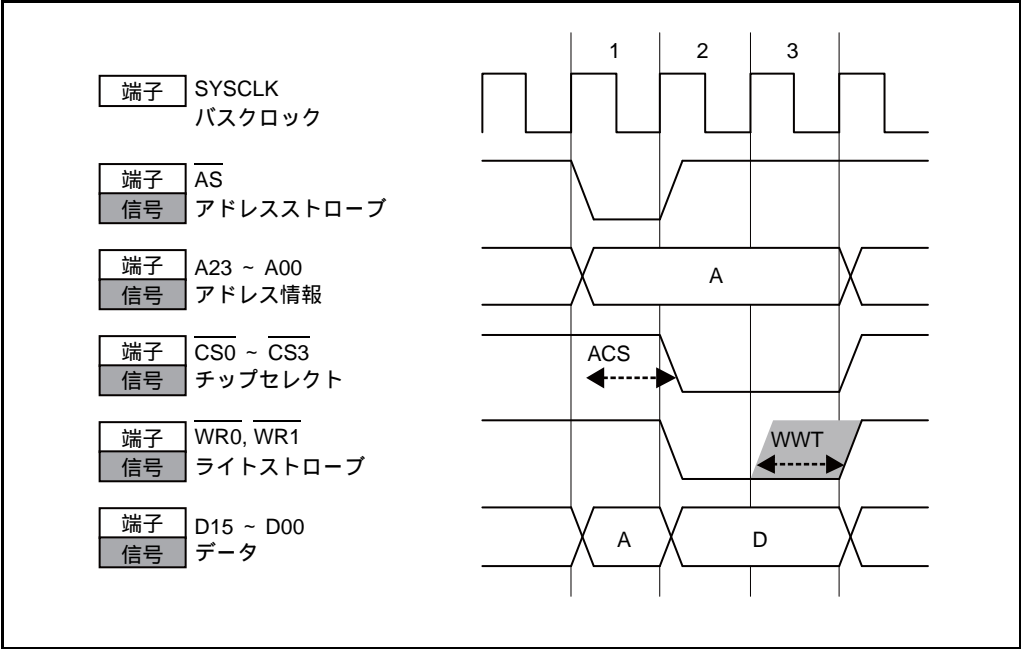


図 13.6-4 の例での CS ウェイトレジスタ (AWR0 ~ AWR3) の設定値 ("0" 以外に設定したビット) を表 13.6-6 に示します。

表 13.6-6 各ビットの設定値

設定項目	ビット	設定値
チップセレクト遅延サイクル数	ACS1, ACS0	01
ライトアクセスオートウェイト	WWT3 ~ WWT0	0001

図 13.6-4では, アドレス・データマルチプレックスバスのプロトコルの制約条件により , チップセレクト遅延サイクル数を 1T (T: バスクロックの周期) に設定しています。

13.6.3 リードアクセスアイドルサイクル

リードアクセスのアイドルサイクル数の設定です。リードアクセスアイドルサイクルを 1 以上に設定すると、リードアクセス終了後にアイドルサイクルが挿入されます。

リードアクセスアイドルサイクルでは、すべてのチップセレクトは無効になり、D15 ~ D00 端子はHi-Zになります。リードアクセスアイドルサイクルを挿入することにより、出力オフタイムが長い外部装置からのリードデータと、それに続くアクセスに関するデータがバス上で衝突することを防ぎます。

リードアクセスアイドルサイクルは、リードアクセスに連続して次のいずれかのアクセスが行われる場合に、リードアクセス終了後に挿入されます。

- ライトアクセス
- 別の CS 領域へのアクセス
- アドレス・データマルチプレックスバスタイプに設定されたCS領域に対するアクセス

CS ウェイトレジスタ (AWR0 ~ AWR3) の RIDL1, RIDL0 ビットで、リードアクセスアイドルサイクルの期間を 0T ~ 3T (T: バスクロックの周期) に設定できます。

CS ウェイトレジスタ (AWR0 ~ AWR3) の RIDL1, RIDL0 ビットの設定値とリードアクセスアイドルサイクル数を表 13.6-7 に示します。

表 13.6-7 RIDL1, RIDL0 ビットとリードアクセスアイドルサイクル数

RIDL1	RIDL0	アイドルサイクル数
0	0	0T (リードアクセスアイドルなし)
0	1	1T
1	0	2T
1	1	3T

T: バスクロックの周期

< 注意事項 >

アドレス・データスプリットバスの同一の CS 領域に、リードアクセスが連続して行われた場合は、リードアクセスアイドルサイクルは挿入されません。

■ アドレス・データスプリットバス

リードアクセスアイドルサイクルを "1" に設定した例を図 13.6-5 に示します。

図 13.6-5 リードアクセスアイドルサイクルの設定例 (アドレス・データスプリットバス)

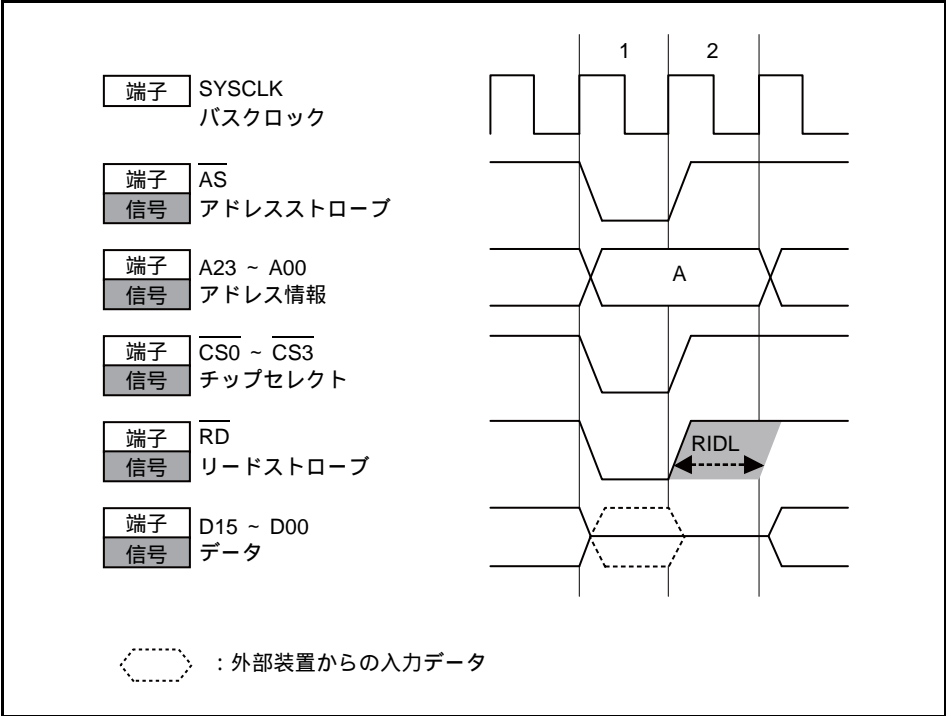


図 13.6-5 での CS ウェイトレジスタ (AWR0 ~ AWR3) の設定値 ("0" 以外に設定したビット) を表 13.6-8 に示します。

表 13.6-8 各ビットの設定値

設定項目	ビット	設定値
リードアクセスアイドルサイクル	RIDL1, RIDL0	01

■ アドレス・データマルチプレックスバス

リードアクセスのアイドルサイクル数を "1" に設定した例を図 13.6-6 に示します。

図 13.6-6 リードアクセスアイドルサイクルの設定例 (アドレス・データマルチプレックスバス)

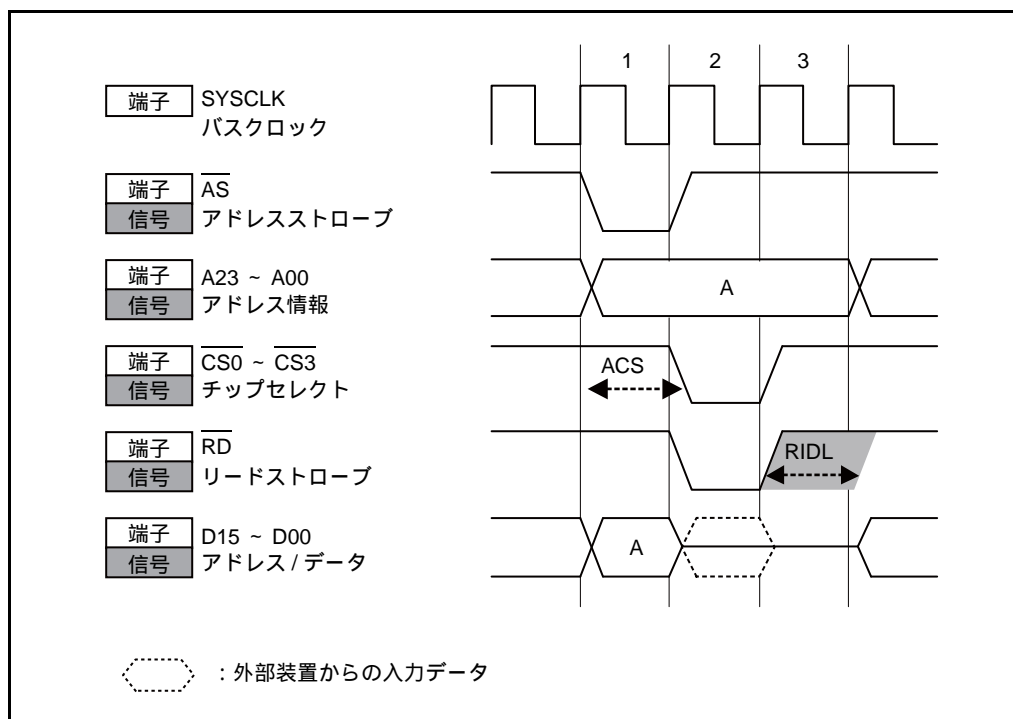


図 13.6-6 の例での CS ウェイトレジスタ (AWR0 ~ AWR3) の設定値 ("0" 以外に設定したビット) を表 13.6-9 に示します。

表 13.6-9 各ビットの設定値

設定項目	ビット	設定値
チップセレクト遅延サイクル数	ACS1, ACS0	01
リードアクセスアイドルサイクル	RIDL1, RIDL0	01

図 13.6-6では, アドレス・データマルチプレックスバスのプロトコルの制約条件により, チップセレクト遅延サイクル数を 1T (T: バスクロックの周期) に設定しています。

13.6.4 ライトリカバリサイクル

ライトアクセスのリカバリサイクル数の設定です。ライトリカバリサイクルを 1 以上に設定すると、ライトアクセス終了後にリカバリサイクルが挿入されます。

ライトリカバリサイクルでは、すべてのチップセレクトとライトストローブが無効になり、D15 ~ D00 端子は Hi-Z になります。ライトアクセス後に、次にアクセスする外部装置がアクセス間に制限がある装置の場合にライトリカバリサイクルを挿入します。

CS ウェイトレジスタ (AWR0 ~ AWR3) の WRCV1, WRCV0 ビットで、ライトリカバリサイクルの期間を 0T ~ 3T (T: バスクロックの周期) に設定できます。

CS ウェイトレジスタ (AWR0 ~ AWR3) の WRCV1, WRCV0 ビットの設定値とライトリカバリサイクル数を表 13.6-10 に示します。

表 13.6-10 WRCV1, WRCV0 ビットとライトリカバリサイクル数

WRCV1	WRCV0	ライトリカバリサイクル数
0	0	0T (ライトリカバリなし)
0	1	1T
1	0	2T
1	1	3T

T: バスクロックの周期

< 注意事項 >

ライトリカバリサイクルの期間を 0T (T: バスクロックの周期) 以外に設定した場合は、ライトアクセスの後に必ずライトリカバリサイクルが挿入されます。

■ アドレス・データスプリットバス

ライトリカバリサイクルを 1T (T: バスクロックの周期) に設定した例を図 13.6-7 に示します。

図 13.6-7 ライトリカバリサイクルの設定例 (アドレス・データスプリットバス)

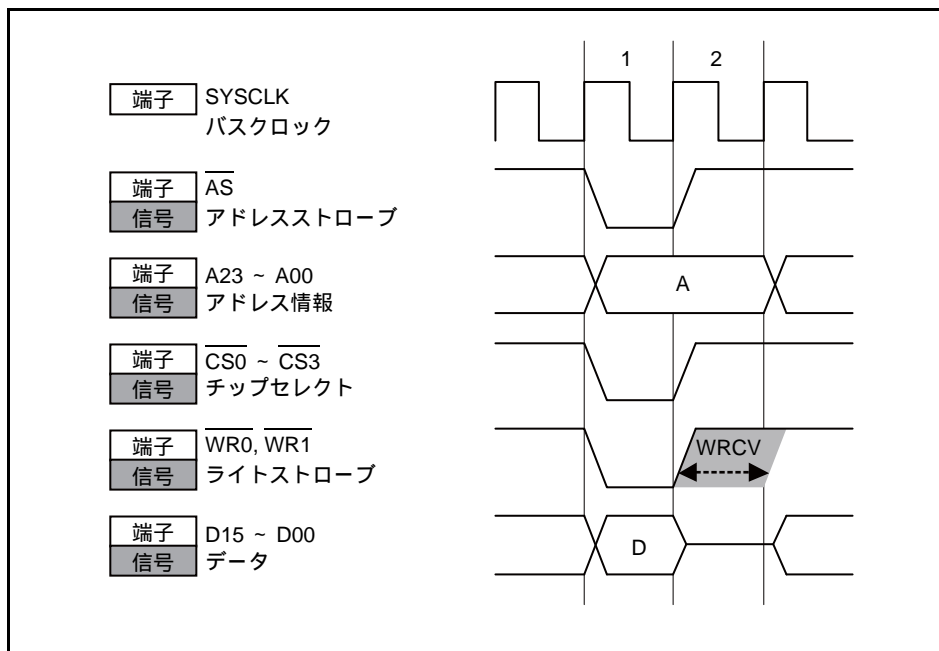


図 13.6-7 の例での CS ウェイトレジスタ (AWR0 ~ AWR3) の設定値 ("0" 以外に設定したビット) を表 13.6-11 に示します。

表 13.6-11 各ビットの設定値

設定項目	ビット	設定値
ライトリカバリサイクル	WRCV1, WRCV0	01

■ アドレス・データマルチプレックスバス

ライトリカバリサイクルを 1T (T: バスクロックの周期) に設定した例を図 13.6-8 に示します。

図 13.6-8 ライトリカバリサイクルの設定例 (アドレス・データマルチプレックスバス)

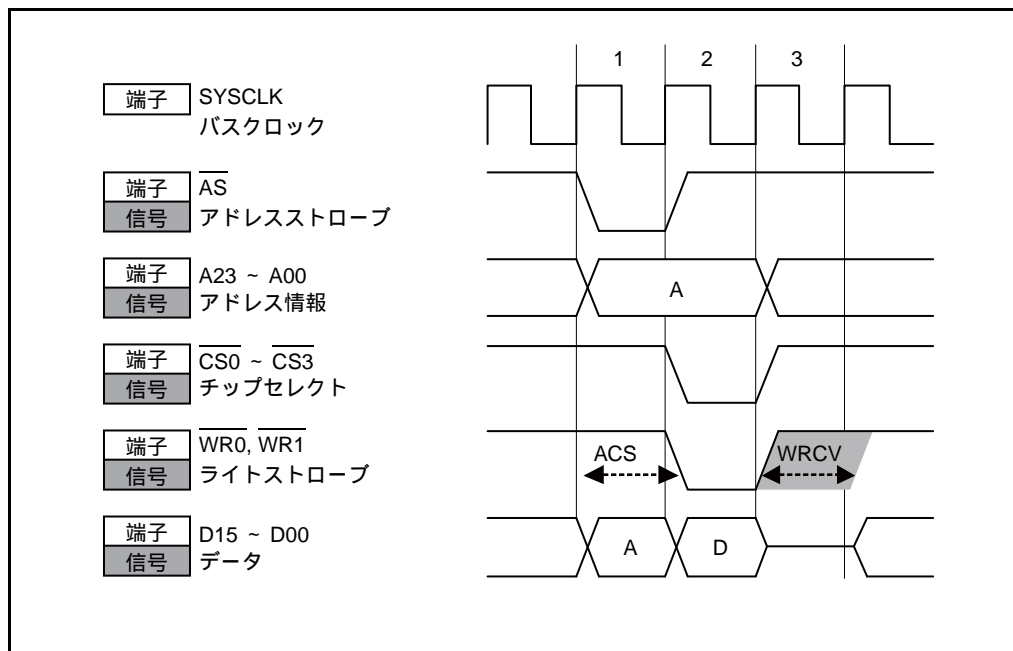


図 13.6-8 の例での CS ウェイトレジスタ (AWR0 ~ AWR3) の設定値 ("0" 以外に設定したビット) を表 13.6-12 に示します。

表 13.6-12 各ビットの設定値

設定項目	ビット	設定値
チップセレクト遅延サイクル数	ACS1, ACS0	01
ライトリカバリサイクル	WRCV1, WRCV0	01

図 13.6-8 では、アドレス・データマルチプレックスバスのプロトコルの制約条件により、チップセレクト遅延サイクル数を 1T (T: バスクロックの周期) に設定しています。

13.6.5 リードアクセスセットアップサイクル

リードアクセスのセットアップサイクル数の設定です。セットアップサイクルによりチップセレクトを有効にしてから、リードストローブを有効にするまでの期間が延長されます。

CS ウェイトレジスタ (AWR0 ~ AWR3) の CSRD1, CSRD0 ビットで、チップセレクトからリードストローブを有効にする期間を 0T ~ 3T (T: バスクロックの周期) に設定できます。

CS ウェイトレジスタ (AWR0 ~ AWR3) の CSRD1, CSRD0 ビットの設定値と遅延サイクル数を表 13.6-13 に示します。

表 13.6-13 CSRD1, CSRD0 ビットと遅延サイクル数

CSRD1	CSRD0	遅延サイクル数
0	0	0T (チップセレクトと同時に有効)
0	1	1T
1	0	2T
1	1	3T

T: バスクロックの周期

■ アドレス・データスプリットバス

リードアクセスセットアップサイクルを 1T (T: バスクロックの周期) に設定した例を図 13.6-9 に示します。

図 13.6-9 リードアクセスセットアップサイクルの設定例 (アドレス・データスプリットバス)

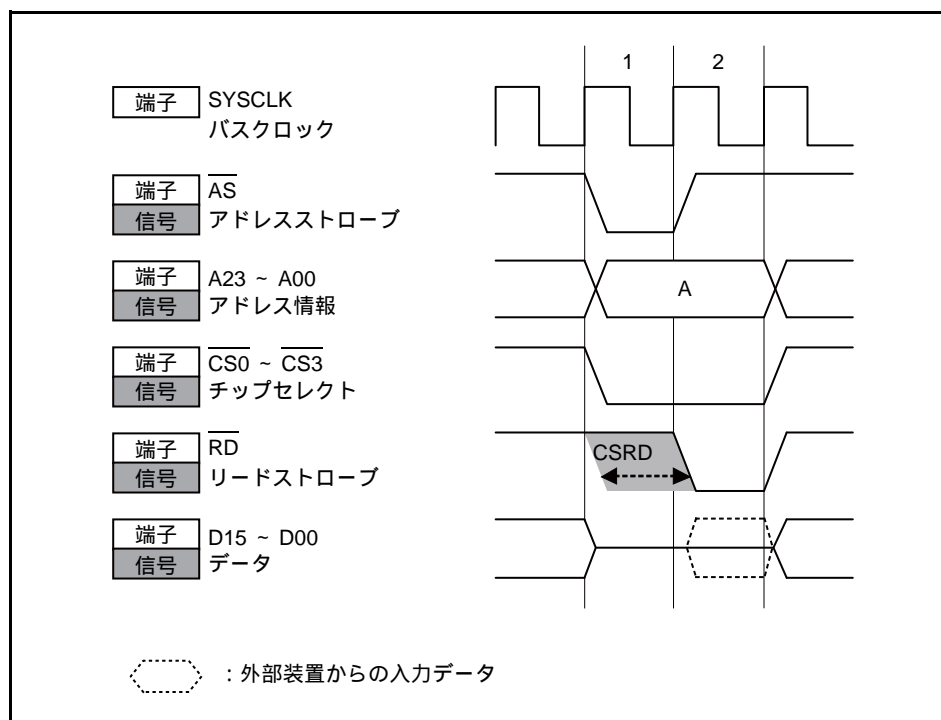


図 13.6-9 の例での CS ウェイトレジスタ (AWR0 ~ AWR3) の設定値 ("0" 以外に設定したビット) を表 13.6-14 に示します。

表 13.6-14 各ビットの設定値

設定項目	ビット	設定値
リードアクセスセットアップサイクル	CSRD1, CSRD0	01

■ アドレス・データマルチプレックスバス

リードアクセスセットアップサイクルを 1T (T: バスクロックの周期) に設定した例を図 13.6-10 に示します。

図 13.6-10 リードアクセスセットアップサイクルの設定例
(アドレス・データマルチプレックスバス)

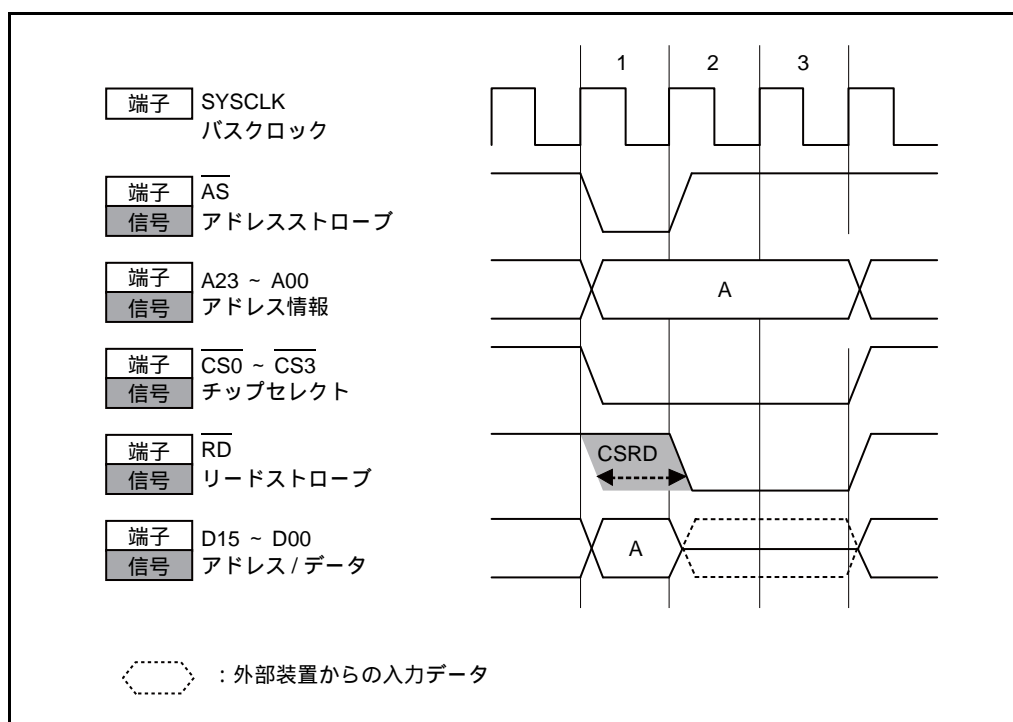


図 13.6-10 の例での CS ウェイトレジスタ (AWR0 ~ AWR3) の設定値 ("0" 以外に設定したビット) を表 13.6-15 に示します。

表 13.6-15 各ビットの設定値

設定項目	ビット	設定値
リードアクセスセットアップサイクル	CSRD1, CSRD0	01

< 注意事項 >

バスタイプがアドレス・データマルチプレックスバスの場合 (ADTY=1&BSTY=1) は、プロトコルが正しく成立するように、CS ウェイトレジスタ (AWR0 ~ AWR3) で次の条件を満たす設定にしてください。

• **ACS+CSRD 1**

ACS : ACS1, ACS0 ビット

CSRD : CSRD1, CSRD0 ビット

13.6.6 リードアクセスホールドサイクル

リードアクセスのホールドサイクル数の設定です。ホールドサイクルによりチップセレクトを無効にしてから、リードストローブを無効にするまでの期間が延長されます。

CS ウェイトレジスタ (AWR0 ~ AWR3) の RDCS1, RDCS0 ビットで、リードストローブからチップセレクトを無効にする期間を 0T ~ 3T (T: バスクロックの周期) に設定できます。

CS ウェイトレジスタ (AWR0 ~ AWR3) の RDCS1, RDCS0 ビットの設定値と遅延サイクル数を表 13.6-16 に示します。

表 13.6-16 RDCS1, RDCS0 ビットと遅延サイクル数

RDCS1	RDCS0	遅延サイクル数
0	0	0T (リードストローブと同時に無効)
0	1	1T
1	0	2T
1	1	3T

T: バスクロックの周期

■ アドレス・データスプリットバス

リードアクセスホールドサイクルを 1T (T: バスクロックの周期) に設定した例を図 13.6-11 に示します。

図 13.6-11 リードアクセスホールドサイクルの設定例 (アドレス・データスプリットバス)

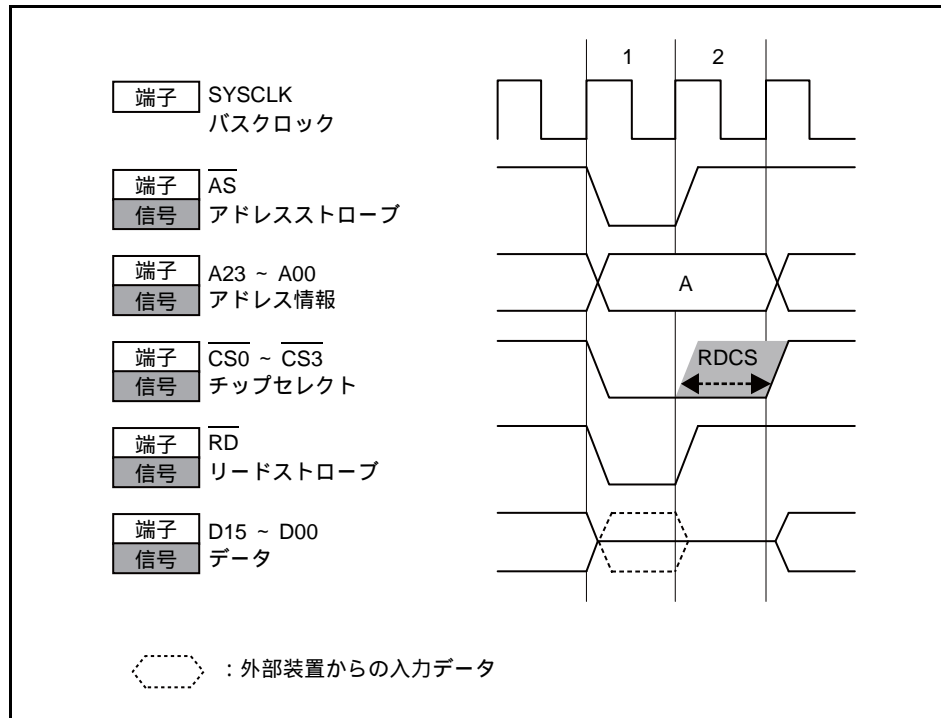


図 13.6-11 の例での CS ウェイトレジスタ (AWR0 ~ AWR3) の設定値 ("0" 以外に設定したビット) を表 13.6-17 に示します。

表 13.6-17 各ビットの設定値

設定項目	ビット	設定値
リードアクセスホールドサイクル	RDCS1, RDCS0	01

■ アドレス・データマルチプレックスバス

リードアクセスホールドサイクルを 1T (T: バスクロックの周期) に設定した例を図 13.6-12 に示します。

図 13.6-12 リードアクセスホールドサイクルの設定例 (アドレス・データマルチプレックスバス)

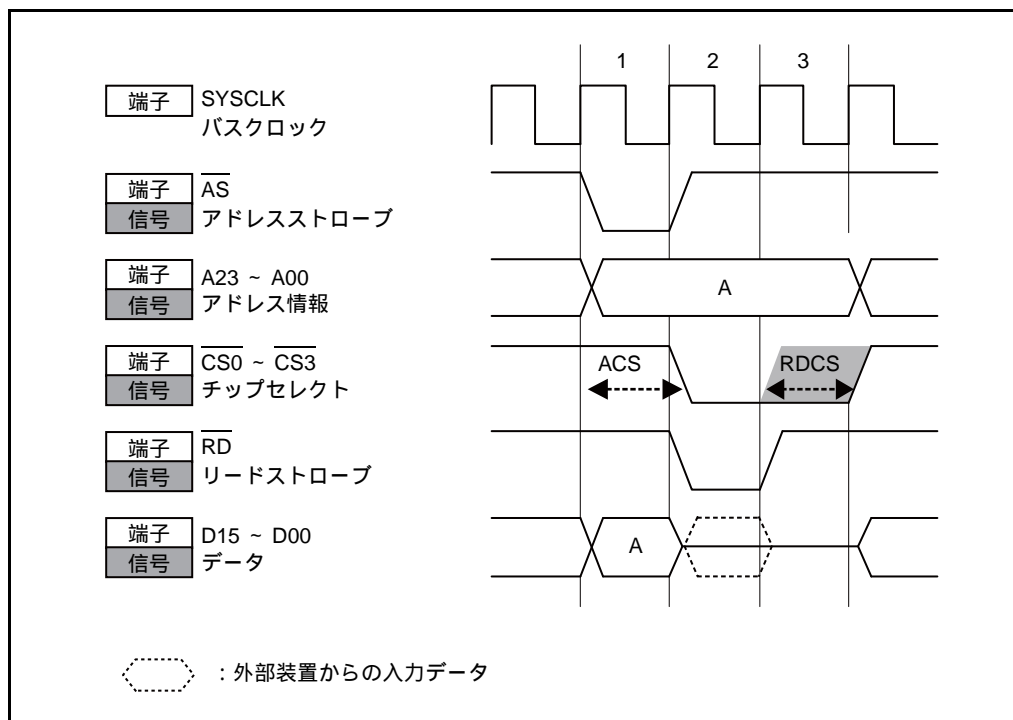


図 13.6-12 の例での CS ウェイトレジスタ (AWR0 ~ AWR3) の設定値 ("0" 以外に設定したビット) を表 13.6-18 に示します。

表 13.6-18 各ビットの設定値

設定項目	ビット	設定値
チップセレクト遅延サイクル数	ACS1, ACS0	01
リードアクセスホールドサイクル	RDCS1, RDCS0	01

図 13.6-12 では、アドレス・データマルチプレックスバスのプロトコルの制約条件により、チップセレクト遅延サイクル数を 1T (T: バスクロックの周期) に設定しています。

13.6.7 ライトアクセスセットアップサイクル

ライトアクセスのセットアップサイクル数の設定です。セットアップサイクルによりチップセレクトを有効にしてから、ライトストローブを有効にするまでの期間が延長されます。

CS ウェイトレジスタ (AWR0 ~ AWR3) の CSWR1, CSWR0 ビットで、チップセレクトからライトストローブを有効にする期間を 0T ~ 3T (T: バスクロックの周期) に設定できます。

CS ウェイトレジスタ (AWR0 ~ AWR3) の CSWR1, CSWR0 ビットの設定値と遅延サイクル数を表 13.6-19 に示します。

表 13.6-19 CSWR1, CSWR0 ビットと遅延サイクル数

CSWR1	CSWR0	遅延サイクル数
0	0	0T (チップセレクトと同時に有効)
0	1	1T
1	0	2T
1	1	3T

T: バスクロックの周期

■ アドレス・データスプリットバス

ライトアクセスセットアップサイクルを 1T (T: バスクロックの周期) に設定した例を図 13.6-13 に示します。

図 13.6-13 ライトアクセスセットアップサイクルの設定例 (アドレス・データスプリットバス)

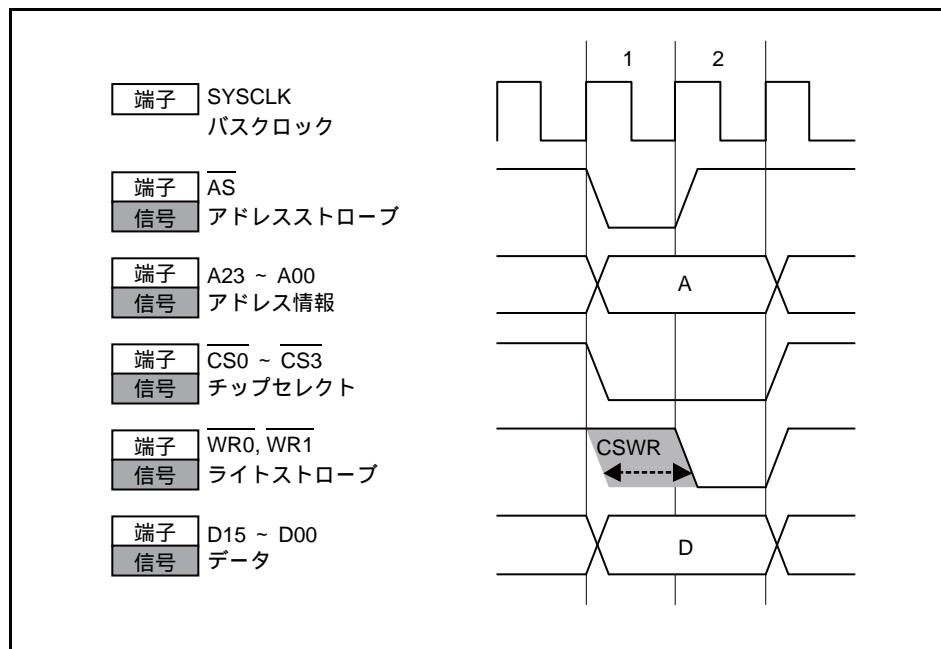


図 13.6-13 の例での CS ウェイトレジスタ (AWR0 ~ AWR3) の設定値 ("0" 以外に設定したビット) を表 13.6-20 に示します。

表 13.6-20 各ビットの設定値

設定項目	ビット	設定値
ライトアクセスセットアップサイクル	CSWR1, CSWR0	01

■ アドレス・データマルチプレックスバス

ライトアクセスセットアップサイクルを 1T (T: バスクロックの周期) に設定した例を図 13.6-14 に示します。

図 13.6-14 ライトアクセスセットアップサイクルの設定例
(アドレス・データマルチプレックスバス)

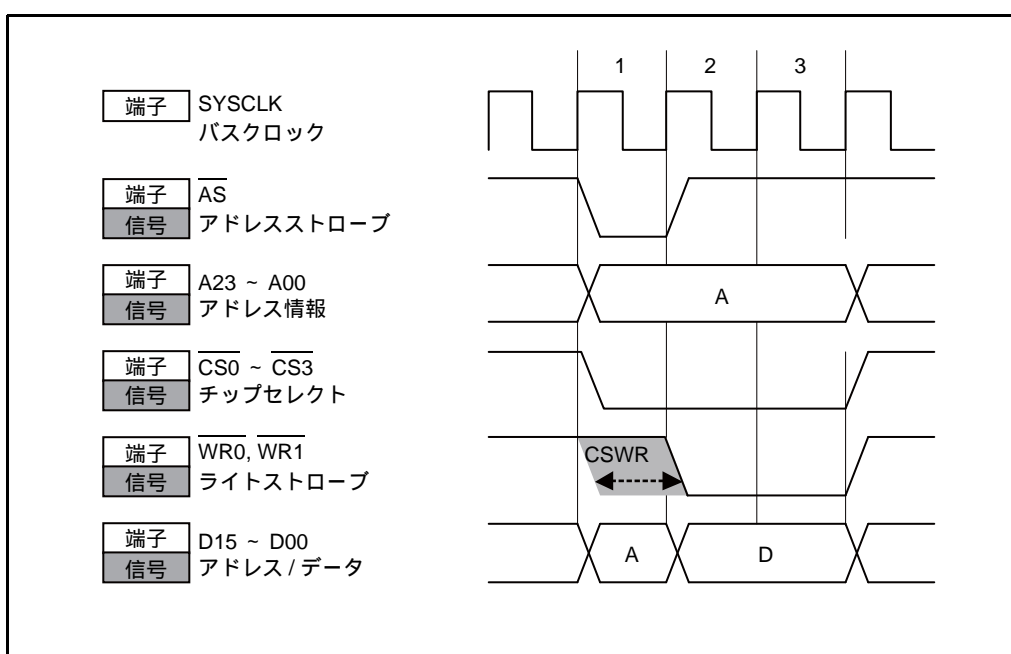


図 13.6-13 の例での CS ウェイトレジスタ (AWR0 ~ AWR3) の設定値 ("0" 以外に設定したビット) を、表 13.6-21 に示します。

表 13.6-21 各ビットの設定値

設定項目	ビット	設定値
ライトアクセスセットアップサイクル	CSWR1, CSWR0	01

< 注意事項 >

バスタイプがアドレス・データマルチプレックスバスの場合 (ADTY=1&BSTY=1) は、プロトコルが正しく成立するように、CS ウェイトレジスタ (AWR0 ~ AWR3) で次の条件を満たす設定にしてください。

- **ACS+CSWR 1**

ACS : ACS1, ACS0 ビット

CSWR : CSWR1, CSWR0 ビット

13.6.8 ライトアクセスホールドサイクル

ライトアクセスのホールドサイクル数の設定です。ホールドサイクルによりチップセレクトを無効にしてから、ライトストローブを無効にするまでの期間が延長されます。

CS ウェイトレジスタ (AWR0 ~ AWR3) の WRCS1, WRCS0 ビットで、ライトストローブからチップセレクトを無効にする期間を 0T ~ 3T (T: バスクロックの周期) に設定できます。

CS ウェイトレジスタ (AWR0 ~ AWR3) の WRCS1, WRCS0 ビットの設定値とライトアクセスホールドサイクル数を表 13.6-22 に示します。

表 13.6-22 WRCS1, WRCS0 ビットと遅延サイクル数

WRCS1	WRCS0	ライトアクセスホールドサイクル数
0	0	0T (ライトストローブと同時に無効)
0	1	1T
1	0	2T
1	1	3T

T: バスクロックの周期

■ アドレス・データスプリットバス

ライトアクセスホールドサイクルを 1T (T: バスクロックの周期) に設定した例を図 13.6-15 に示します。

図 13.6-15 ライトアクセスホールドサイクルの設定例 (アドレス・データスプリットバス)

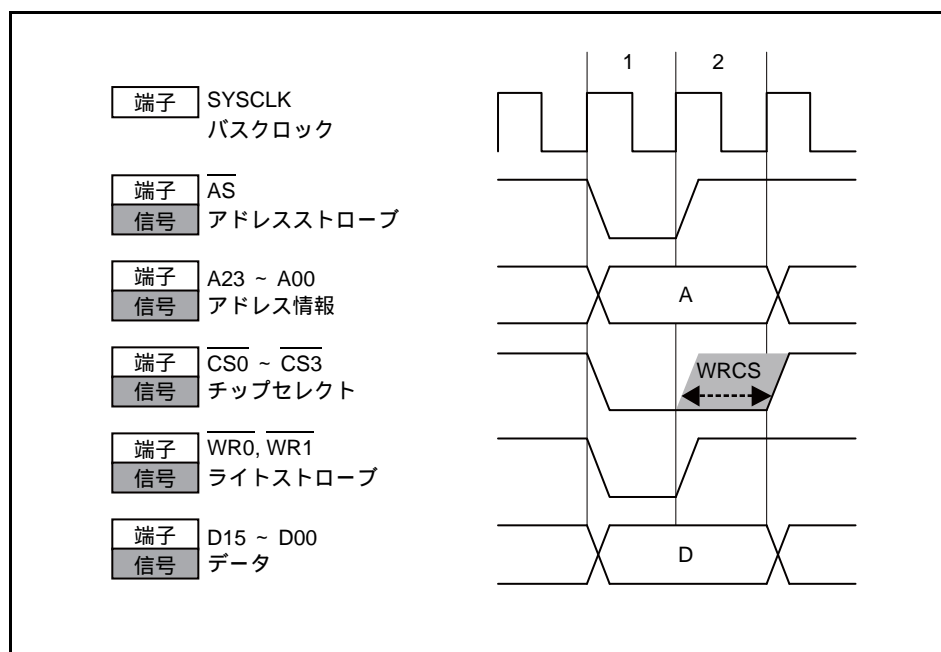


図 13.6-15 の例での CS ウェイトレジスタ (AWR0 ~ AWR3) の設定値 ("0" 以外に設定したビット) を表 13.6-23 に示します。

表 13.6-23 各ビットの設定値

設定項目	ビット	設定値
ライトアクセスホールドサイクル	WRCS1, WRCS0	01

■ アドレス・データマルチプレックスバス

ライトアクセスホールドサイクルを 1T (T: バスクロックの周期) に設定した例を図 13.6-16 に示します。

図 13.6-16 ライトアクセスホールドサイクルの設定例 (アドレス・データマルチプレックスバス)

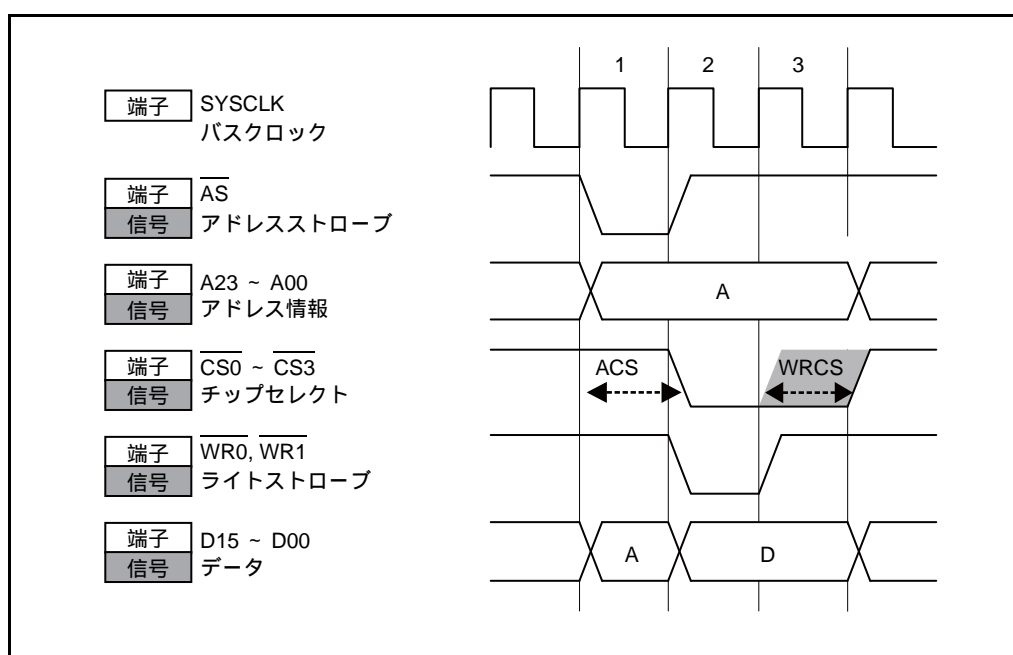


図 13.6-16 の例での CS ウェイトレジスタ (AWR0 ~ AWR3) の設定値 ("0" 以外に設定したビット) を表 13.6-24 に示します。

表 13.6-24 各ビットの設定値

設定項目	ビット	設定値
チップセレクト遅延サイクル数	ACS1, ACS0	01
ライトアクセスホールドサイクル	WRCS1, WRCS0	01

図 13.6-16 では、アドレス・データマルチプレックスバスのプロトコルの制約条件により、チップセレクト遅延サイクル数を 1T (T: バスクロックの周期) に設定しています。

13.6.9 チップセレクト遅延サイクル

チップセレクト遅延サイクル数の設定です。アドレスストローブを有効にしてから、チップセレクトを有効にするまでの期間を設定します。

チップセレクトの出力に対して、アドレスが一定のセットアップ時間を必要とする場合や、連続して同一 CS 領域にアクセスした場合にチップセレクトのエッジを必要とするときに使用します。

CS ウェイトレジスタ (AWR0 ~ AWR3) の ACS1, ACS0 ビットで、アドレスストローブからチップセレクトを有効するタイミングを 0T ~ 3T (T: バスクロックの周期) 遅延させることができます。

CS ウェイトレジスタ (AWR0 ~ AWR3) の ACS1, ACS0 ビットの設定値と遅延サイクル数を表 13.6-25 に示します。

表 13.6-25 ACS1, ACS0 ビットと遅延サイクル数

ACS1	ACS0	遅延サイクル数
0	0	0T (アドレスストローブの出力と同時に出力)
0	1	1T
1	0	2T
1	1	3T

T: バスクロックの周期

< 注意事項 >

バスタイプがアドレス・データマルチプレックスバスの場合 (ADTY=1&BSTY=1) は、プロトコルが正しく成立するように、CS ウェイトレジスタ (AWR0 ~ AWR3) で次の条件をすべて満たす設定にしてください。

- **ACS+CSRD 1**

ACS : ACS1, ACS0 ビット

CSRD : CSRD1, CSRD0 ビット

- **ACS+CSWR 1**

ACS : ACS1, ACS0 ビット

CSWR : CSWR1, CSWR0 ビット

■ アドレス・データスプリットバス

チップセレクトを 1T (T: バスクロックの周期) 遅延させた例を図 13.6-17 に示します。

図 13.6-17 チップセレクト遅延サイクルの設定例 (アドレス・データスプリットバス)

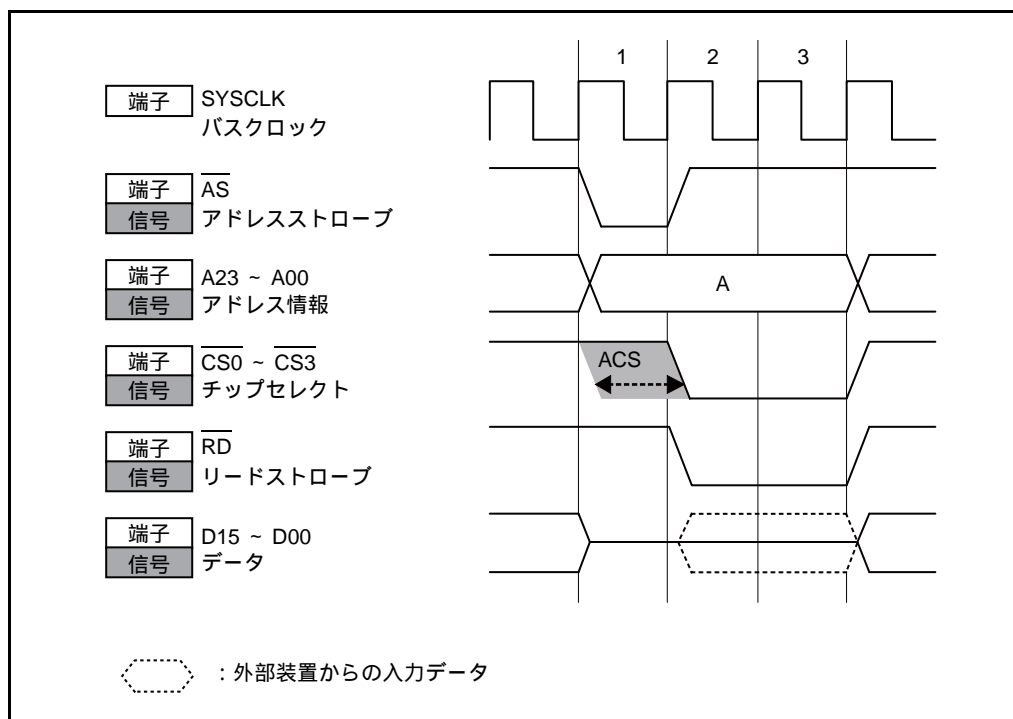


図 13.6-17 の例での CS ウェイトレジスタ (AWR0 ~ AWR3) の設定値 ("0" 以外に設定したビット) を表 13.6-26 に示します。

表 13.6-26 各ビットの設定値

設定項目	ビット	設定値
チップセレクト遅延サイクル数	ACS1, ACS0	01

■ アドレス・データマルチプレックスバス

チップセレクトを 1T (T: バスクロックの周期) 遅延させた例を図 13.6-18 に示します。

図 13.6-18 チップセレクト遅延サイクルの設定例 (アドレス・データマルチプレックスバス)

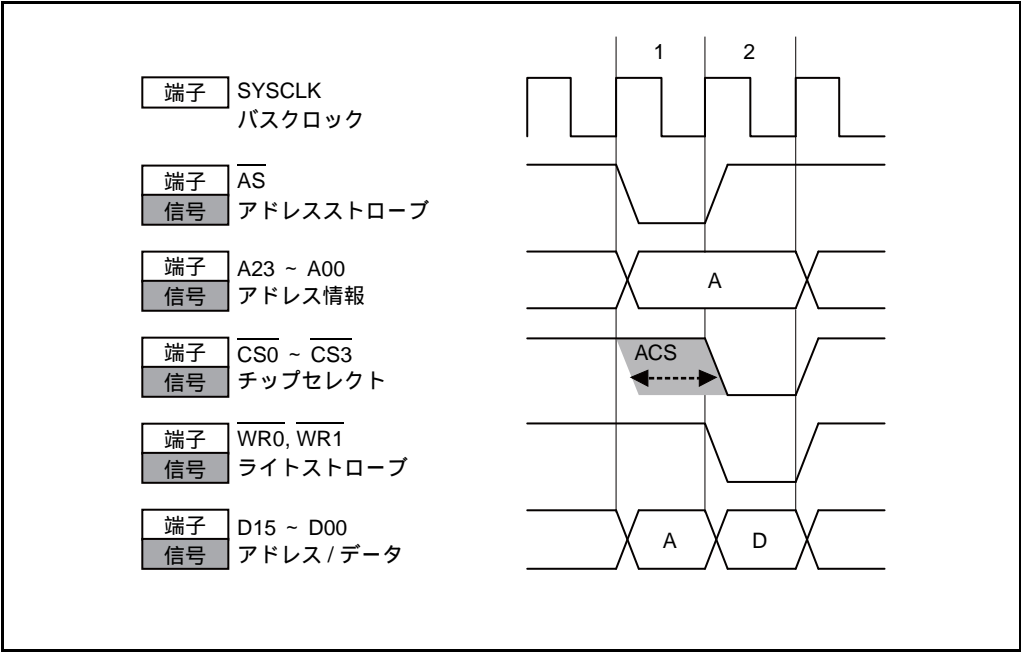


図 13.6-18 の例での CS ウェイトレジスタ (AWR0 ~ AWR3) の設定値 ("0" 以外に設定したビット) を表 13.6-27 に示します。

表 13.6-27 各ビットの設定値

設定項目	ビット	設定値
チップセレクト遅延サイクル数	ACS1, ACS0	01

13.6.10 アドレス出力延長サイクル

アドレス・データマルチプレックスバスするとき (ADTY=1&BSTY=1) のアドレス出力延長サイクルの設定です。D15 ~ D00 端子にアドレス情報を出力する期間を設定します。

D15 ~ D00 端子からアドレスを出力する期間 (アドレス出力サイクル) は、最小で 1T (T: バスクロック) の周期) です。CS ウェイトレジスタ (AWR0 ~ AWR3) の ADCY1, ADCY0 ビットで、アドレス出力延長サイクル数を 0T ~ 3T (T: バスクロックの周期) に設定できます。

CS ウェイトレジスタ (AWR0 ~ AWR3) の ADCY1, ADCY0 ビットの設定値とアドレス出力サイクルを表 13.6-28 に示します。

表 13.6-28 ADCY1, ADCY0 ビットと延長サイクル

ADCY1	ADCY0	延長期間	アドレス出力サイクル (合計)
0	0	0T (遅延なし)	1T
0	1	1T	2T
1	0	2T	3T
1	1	3T	4T

T: バスクロックの周期

< 注意事項 >

アドレス出力延長サイクルは、アドレスストローブ出力延長サイクルより同じか長くなるように設定してください。アドレス出力延長サイクルがアドレスストローブ出力延長サイクルより短くなるような設定の場合には、アドレス出力延長サイクルとしてアドレスストローブ出力延長サイクルが使用されます。

- **ADCY ASCY**
- **if (ADCY<ASCY) then ADCY =ASCY**

ADCY : ADCY1, ADCY0 ビット ASCY : ASCY1, ASCY0 ビット

CS ウェイトレジスタ (AWR0 ~ AWR3) の ADCY1, ADCY0 ビットでアドレス出力サイクルを変更しても、ほかの信号の出力期間や出力タイミングは変更されません。

そのため、アドレス出力サイクルを変更する場合は、プロトコルが正しく成立するように、次の条件をすべて満たすように、CS ウェイトレジスタ (AWR0 ~ AWR3) を設定してください。

- **ADCY+1 ACS+CSRD**
ADCY : ADCY1, ADCY0 ビット ACS : ACS1, ACS0 ビット
CSRD : CSRD1, CSRD0 ビット
- **ADCY+1 ACS+CSWR**
ADCY : ADCY1, ADCY0 ビット ACS : ACS1, ACS0 ビット
CSWR : CSWR1, CSWR0 ビット

■ アドレス・データマルチプレックスバス

アドレス出力サイクルを 1T (T: バスクロックの周期) 延長した例を図 13.6-19 に示します。

図 13.6-19 アドレス出力延長サイクルの設定例

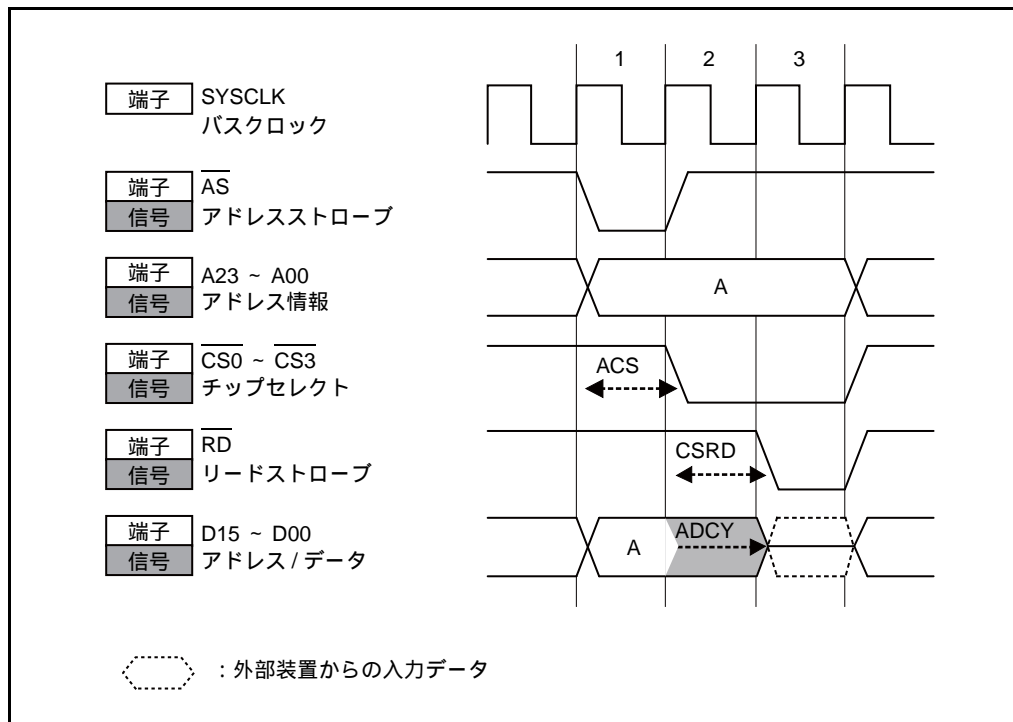


図 13.6-19 の例での CS ウェイトレジスタ (AWR0 ~ AWR3) の設定値 ("0" 以外に設定したビット) を表 13.6-29 に示します。

表 13.6-29 各ビットの設定値

設定項目	ビット	設定値
アドレス出力延長サイクル数ビット	ADCY1, ADCY0	01
チップセレクト遅延サイクル数	ACS1, ACS0	01
リードアクセスセットアップサイクル	CSRD1, CSRD0	01

表 13.6-29 では, アドレス・データマルチプレックスバスのプロトコルの制約条件の $ADCY+1 = ACS+CSRD$ により, チップセレクト遅延サイクル数を 1T (T: バスクロックの周期), リードアクセスセットアップサイクルを 1T (T: バスクロックの周期) に設定しています。

13.6.11 アドレスストローブ出力延長サイクル

アドレスストローブ出力延長サイクルの設定です。アドレスストローブを有効にする期間を設定します。

アドレスストローブの出力期間は、最小で 1T (T: バスクロックの周期) です。アドレスストローブの出力期間は、CS ウェイトレジスタ (AWR0 ~ AWR3) の ASCY ビットで 0T ~ 1T (T: バスクロックの周期) まで延長できます。

CS ウェイトレジスタ (AWR0 ~ AWR3) の ASCY ビットの設定値と、アドレスストローブの出力期間を表 13.6-30 に示します。

表 13.6-30 ASCY ビットとアドレスストローブの出力周期

ASCY	延長周期	合計出力期間
0	0T (延長しない)	1T
1	1T	2T

T: バスクロックの周期

< 注意事項 >

アドレスストローブの出力期間を延長する場合は、プロトコルが正しく成立するように、CS ウェイトレジスタ (AWR0 ~ AWR3) で次の条件を満たす設定にしてください。

- バスタイプがアドレス・データスプリットバスの場合 (ADTY=0 もしくは ADTY=1&BSTY=0)
 - **ACS+CSRD+RWT+RDCS 1**
 ACS : ACS1, ACS0 ビット CSRD : CSRD1, CSRD0 ビット
 RWT:RWT3 ~ RWT0 ビット RDCS : RDCS1, RDCS0 ビット
 - **ACS+CSWR+WWT+WRCS 1**
 ACS : ACS1, ACS0 ビット CSWR : CSWR1, CSWR0 ビット
 WWT:WWT3 ~ WWT0 ビット WRCS : WRCS1, WRCS0 ビット
- バスタイプがアドレス・データマルチプレックスバスの場合 (ADTY=1&BSTY=1)
 - **ACS+CSRD 2**
 - **ADCY+1 ACS+CSRD**
 ACS : ACS1, ACS0 ビット CSRD : CSRD1, CSRD0 ビット
 - **ACS+CSWR 2**
 - **ADCY+1 ACS+CSWR**
 ACS : ACS1, ACS0 ビット CSWR : CSWR1, CSWR0 ビット

■ アドレス・データスプリットバス

アドレスストローブ出力延長サイクルを 1T (T: バスクロックの周期) 延長した例を図 13.6-20 に示します。

図 13.6-20 アドレスストローブ出力延長サイクルの設定例 (アドレス・データスプリットバス)

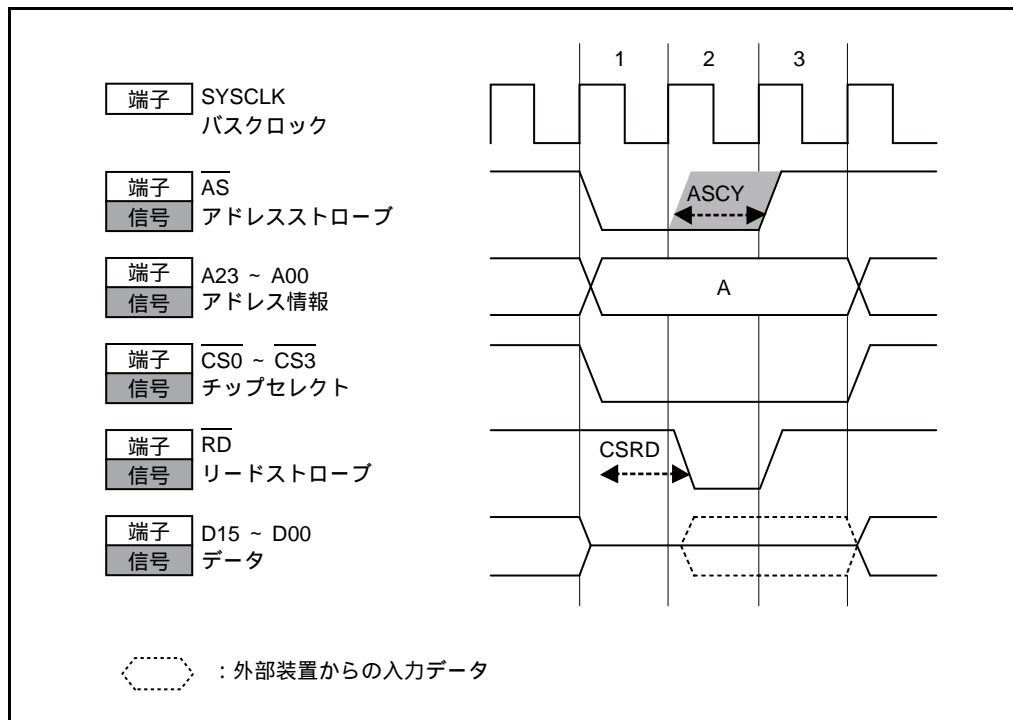


図 13.6-20 での CS ウェイトレジスタ (AWR0 ~ AWR3) の設定値 ("0" 以外に設定したビット) を表 13.6-31 に示します。

表 13.6-31 各ビットの設定値

設定項目	ビット	設定値
アドレスストローブ出力延長サイクル数	ASCY	1
リードアクセスセットアップサイクル数	CSRD1, CSRD0	01

表 13.6-31 では、プロトコルの制約条件により、リードアクセスセットアップサイクルを 1T (T: バスクロックの周期) に設定しています。

■ アドレス・データマルチプレックスバス

アドレスストローブ出力延長サイクルを 1T (T: バスクロックの周期) 延長した例を図 13.6-21 に示します。

図 13.6-21 アドレスストローブ出力延長サイクルの設定例
(アドレス・データマルチプレックスバス)

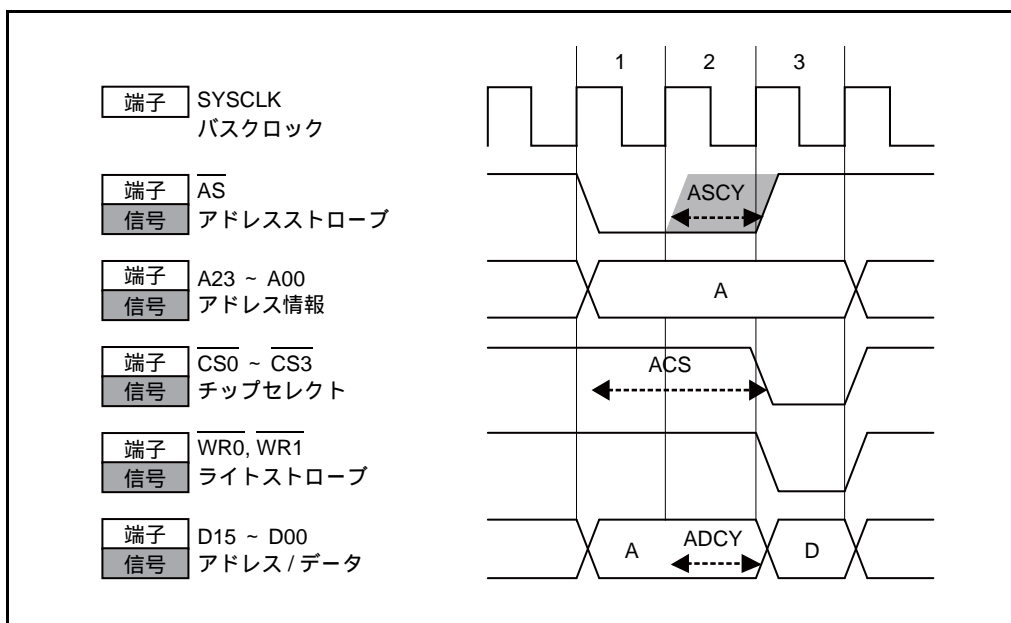


図 13.6-21 での CS ウェイトレジスタ (AWR0 ~ AWR3) の設定値 ("0" 以外に設定したビット) を表 13.6-32 に示します。

表 13.6-32 各ビットの設定値

設定項目	ビット	設定値
アドレスストローブ出力延長サイクル数	ASCY	1
チップセレクト遅延サイクル数	ACS1, ACS0	10
アドレス出力延長サイクル数	ADCY1, ADCY0	01

表 13.6-32 では、アドレス・データマルチプレックスバスのプロトコルの制約条件により、チップセレクト遅延サイクルを 2T (T: バスクロックの周期) に、アドレス出力延長サイクル数を 1T (T: バスクロックの周期) に設定しています。

13.7 RDY 端子によるアクセスサイクルの延長

外部バスインタフェースの RDY 端子によるアクセスサイクルの延長について説明します。

RDY 端子から "L" レベルの信号を入力すると、リードストローク / ライトストロークの有効期間を延長できます。

RDY 端子から "H" レベルの信号を入力すると、次のサイクルでリードストローク / ライトストロークを無効にし、リードアクセスサイクル、ライトアクセスサイクルを終了します。

RDY 端子でのアクセスサイクルの延長機能を利用する場合は、CS ウェイトレジスタ (AWR0 ~ AWR3) の RDYE ビットに "1" を書き込みます。

< 注意事項 >

この機能を有効にする場合は、CS ウェイトレジスタ (AWR0 ~ AWR3) の RWT3 ~ RWT0 ビットおよび WWT3 ~ WWT0 ビットで、リードアクセスオートウェイト / ライトアクセスオートウェイトの期間が "2" 以上になるように設定してください。

RDY 端子によるアクセスサイクルの延長例を図 13.7-1 に示します。

図 13.7-1 RDY 端子によるアクセスサイクルの延長例

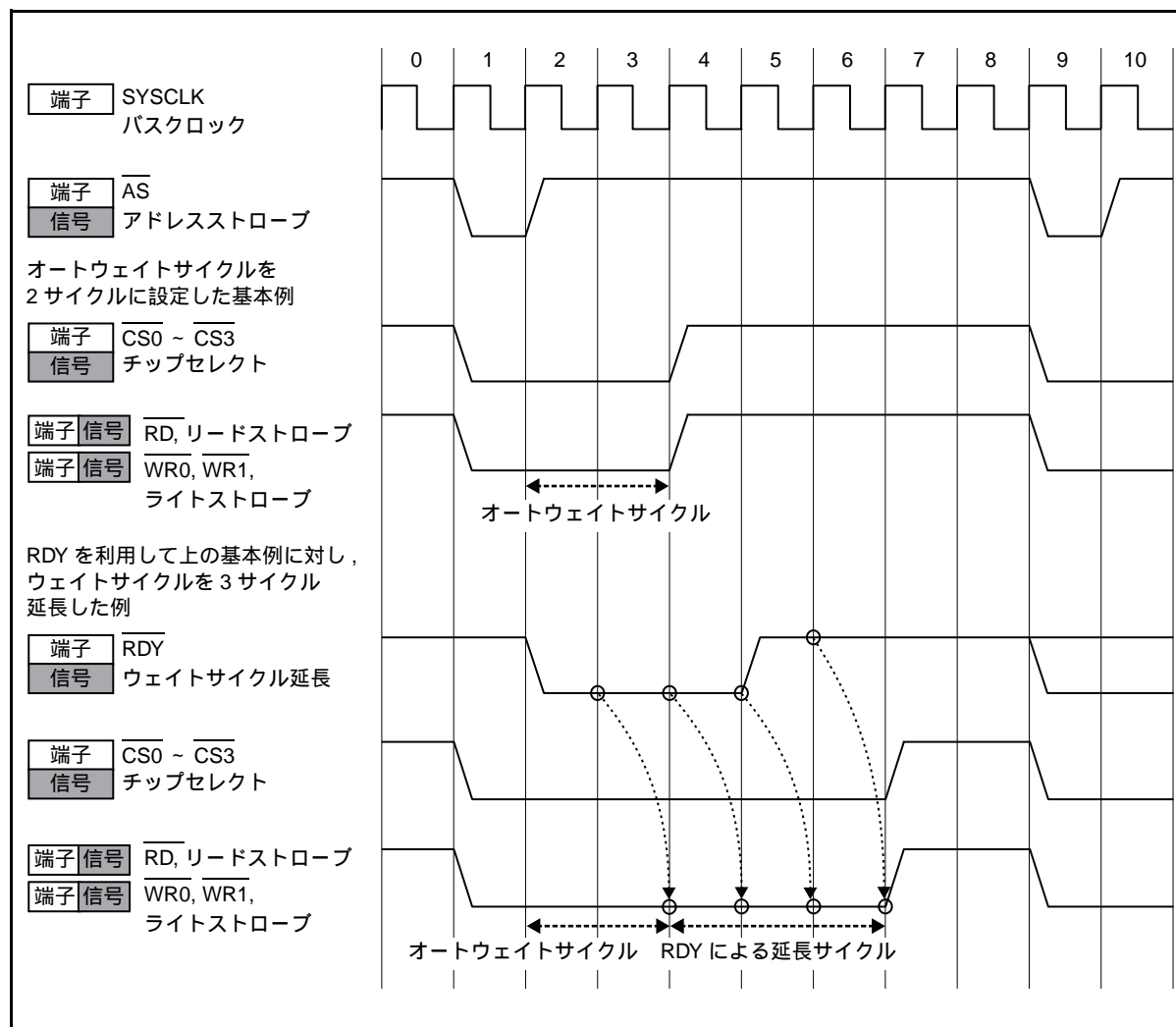


図 13.7-1 でのリードアクセスオートウェイトレジスタ (RWT0 ~ RWT3) およびライトアクセスオートウェイトレジスタ (WWT0 ~ WWT3) の設定値を表 13.7-1 に示します。

表 13.7-1 各ビットの設定値

設定項目	ビット	設定値
リードアクセスオートウェイト	RWT3 ~ RWT0	0010
ライトアクセスオートウェイト	WWT3 ~ WWT0	0010

< 注意事項 >

- オートウェイト期間を延長しないときは、RDY 端子から "H" レベルの信号を入力してください。
 - アドレスストロークの出力 ($\overline{\text{AS}}$ 端子から "L" レベルを出力) およびチップセレクトの出力 (CS0 ~ CS3 端子から "L" レベルを出力) を確認してから、RDY 端子から "L" レベルの信号の入力を開始してください。
 - RDY 端子から "L" レベルの信号の入力は、オートウェイト期間の終了までに開始してください。
 - 必要な延長サイクルが終了したら、RDY 端子から "H" レベルの信号を入力してください。
-

13.8 アクセスサイクル数

外部バスインタフェースの 1 回のバスアクセスに必要なサイクル数について説明します。

■ アドレス・データスプリットバス

リードアクセスおよびライトアクセスのサイクル数は、次の式で求められます。

- リードアクセス時

アドレス/データ出力 (1T) + ACS (0 ~ 3T) + CSRD (0 ~ 3T) + RWT (0 ~ 15T) + RDCS (0 ~ 3T) = 最小 1T ~ 最大 25T

ACS : アドレス出力延長サイクル数

CSRD : リードアクセスセットアップサイクル数

RWT : リードアクセスオートウェイト期間

RDCS : リードアクセスホールドサイクル数

T : バスクロックの周期

- ライトアクセス時

アドレス/データ出力 (1T) + ACS (0 ~ 3T) + CSWR (0 ~ 3T) + WWT (0 ~ 15T) + WRCS (0 ~ 3T) = 最小 1T ~ 最大 25T

ACS : アドレス出力延長サイクル数

CSWR : ライトアクセスセットアップサイクル数

WWT : ライトアクセスオートウェイト期間

WRCS : ライトアクセスホールドサイクル数

T : バスクロックの周期

■ アドレス・データマルチプレックスバス

リードアクセスおよびライトアクセスのサイクル数は、次の式で求められます。

- リードアクセス時

**アドレス出力 (1T) + ACS (0 ~ 3T) + CSRD (0 ~ 3T) + データ出力 (1T) + RWT (0 ~ 15T) + RDCS (0 ~ 3T)
= 最小 2T ~ 最大 26T**

ACS : アドレス出力延長サイクル数

CSRD : リードアクセスセットアップサイクル数

RWT : リードアクセスオートウェイト期間

RDCS : リードアクセスホールドサイクル数

T : バスクロックの周期

- ライトアクセス時

アドレス出力 (1T) + ACS (0 ~ 3T) + CSWR (0 ~ 3T) + データ出力 (1T) + WWT (0 ~ 15T) + WRCS (0 ~ 3T) = 最小 2T ~ 最大 26T

ACS : アドレス出力延長サイクル数

CSWR : ライトアクセスセットアップサイクル数

WWT : ライトアクセスオートウェイト期間

WRCS : ライトアクセスホールドサイクル数

T : バスクロックの周期

13.9 アドレス情報とアドレスアラインメント

外部バスインタフェースのアドレス情報とアドレスアラインメントについて説明します。

13.9.1 アドレス情報

外部バスインタフェースのバスタイプとアドレスタイプについて説明します。

アドレス情報が出力される端子は、次の設定の組み合わせによって異なります。

- バスタイプ (CS バス設定レジスタ (ACR0 ~ ACR3) の BSTY ビット)
- アドレスタイプ (CS バス設定レジスタ (ACR0 ~ ACR3) の ADTY ビット)
- データバス幅 (CS バス設定レジスタ (ACR0 ~ ACR3) の DBW1, DBW0 ビット)

CS バス設定レジスタ (ACR0 ~ ACR3) の設定値とアドレス情報を出力する端子の対応を表 13.9-1 に示します。

表 13.9-1 CS バス設定レジスタ (ACR0 ~ ACR3) の設定値とアドレス情報を出力する端子の対応

アドレス タイプ (ADTY)	バスタイプ (BSTY)	バス幅 (DBW1, DBW0)	A23 ~ A00 端子	D15 ~ D08 端子 (アドレス出 力サイクル)	D07 ~ D00 端子 (アドレス出 力サイクル)
0	0	00 (8 ビット)	bit23 ~ bit0	-	-
		01 (16 ビット)			
	1	00 (8 ビット)	bit23 ~ bit0	bit7 ~ bit0	-
		01 (16 ビット)	bit23 ~ bit0	bit15 ~ bit8	bit7 ~ bit0
1	0	00 (8 ビット)	bit23 ~ bit0	-	-
		01 (16 ビット)	bit24 ~ bit1	-	-
	1	00 (8 ビット)	bit23 ~ bit0	bit7 ~ bit0	-
		01 (16 ビット)	bit24 ~ bit1	bit16 ~ bit9	bit8 ~ bit1

ADTY: 0= 通常出力, 1= アドレスシフト出力

BSTY: 0=アドレス・データスプリットバス, 1=アドレス・データマルチプレックスバス

13.9.2 アドレスアラインメント

アドレスアラインメントについて説明します。

外部バスインタフェースは、アクセス先アドレスのミスアラインエラーを検出しません。したがって、ワードアクセス、ハーフワードアクセスの場合には、次のように強制的なアラインメントが施されます。

- ワードアクセスの場合 (32 ビットアクセス)

プログラムで指定したアドレスの最下位 2 ビットに関わらず、出力するアドレスの下位 2 ビットはすべて "00" となります。

- ハーフワードアクセスの場合 (16 ビットアクセス)

プログラムで指定したアドレスの最下位 2 ビットが "00", "01" の場合は、出力するアドレスの下位 2 ビットは "00" となり、"10", "11" の場合は、出力するアドレスの最下位 2 ビットは "10" となります。

13.10 データアラインメント

外部バスインタフェースのデータアラインメントについて説明します。

■ エンディアンについて

外部バスインタフェースでは、CS0 領域を除いた CS 領域に、バイトオーダリングを設定できます。

バイトオーダリングは CS 領域設定レジスタ (ASR0 ~ ASR3) の LEDN ビットで、ビッグエンディアン (LEDN=0) / リトルエンディアン (LEDN=1) の中から設定します。

ビッグエンディアンとリトルエンディアンではデータの格納方法が異なります。

"01234567_H" を格納する場合

- ビッグエンディアン

1 バイト目に "01", 2 バイト目に "23", 3 バイト目に "45", 4 バイト目に "67" を格納します。

ビッグエンディアン設定時のアクセスについては、「13.10.1 ビッグエンディアン」を参照してください。

- リトルエンディアン

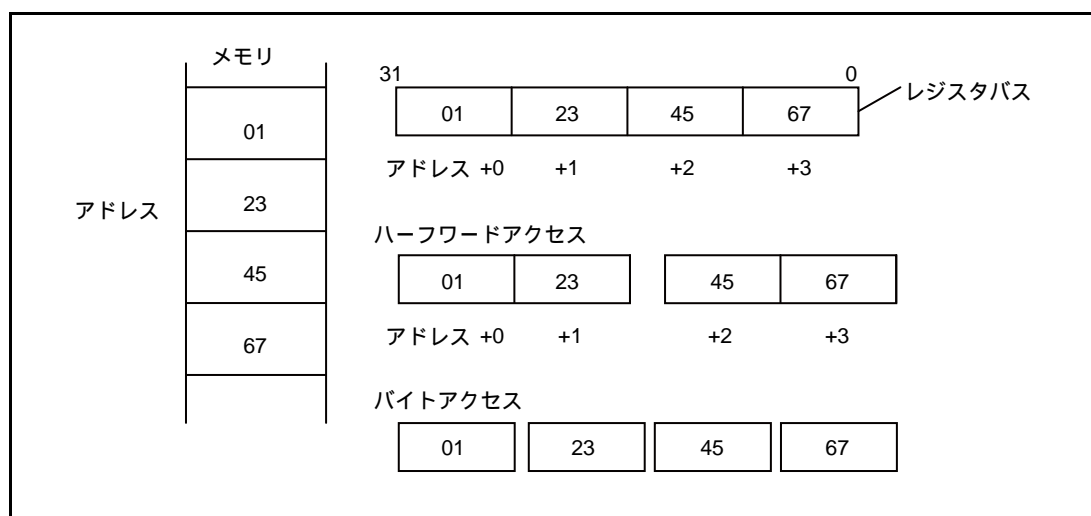
1 バイト目に "67", 2 バイト目に "45", 3 バイト目に "23", 4 バイト目に "01" を格納します。

データバスのバイト位置をバス幅に応じてスワップさせて接続します。

リトルエンディアン設定時のアクセスについては、「13.10.2 リトルエンディアン」を参照してください。

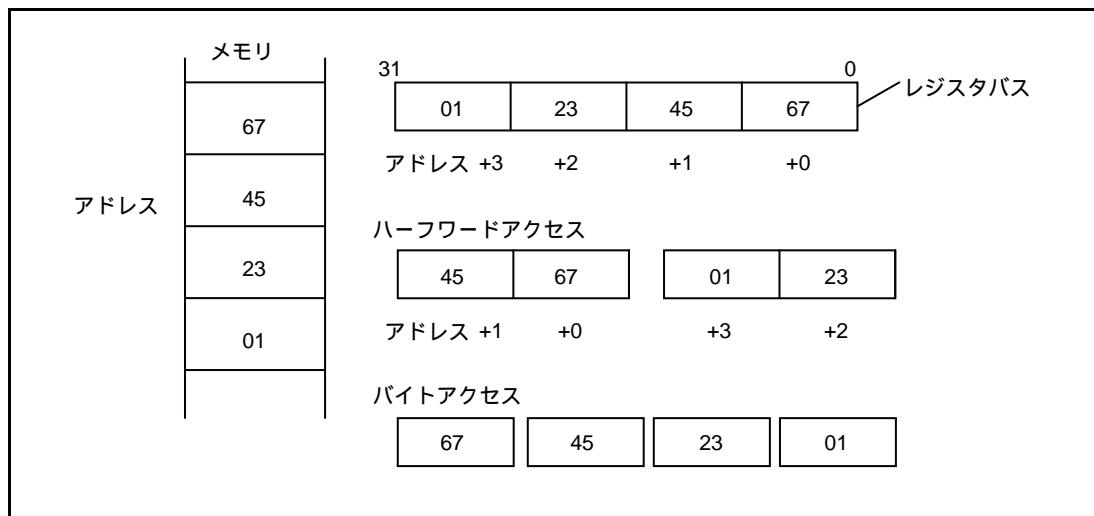
ビッグエンディアンのデータフォーマットを図 13.10-1 に、リトルエンディアンのデータフォーマットを図 13.10-2 に示します。

図 13.10-1 ビッグエンディアンのデータフォーマット



ワードデータまたはハーフワードデータをアドレス空間に配置するときに，上位側のバイトが下位アドレス側，下位側のバイトが上位アドレス側の順番に並びます。

図 13.10-2 リトルエンディアンのデータフォーマット



ワードデータまたはハーフワードデータをアドレス空間に配置するときに，上位側のバイトが上位アドレス側，下位側のバイトが下位アドレス側の順番に並びます。

< 注意事項 >

- CS0 領域はビッグエンディアンにのみ対応しています。CS0 領域をリトルエンディアンに設定することはできません。
- 外部装置と接続する場合は，ビッグエンディアン領域とリトルエンディアン領域を物理的に分けてください。

■ 分割アクセスについて

外部バスインタフェースのアクセスサイズに対するデータアラインメントは，エンディアンやデータバス幅によって異なります。

データバス幅は，CS バス設定レジスタ (ACR0 ~ ACR3) の DBW1, DBW0 ビットで，CS 領域ごとに 8 ビット /16 ビットを選択できます。

また，アクセスサイズが DBW1, DBW0 ビットで設定したバス幅よりも大きい場合には，1 つのアクセスが分割されて実行されます。アクセスサイズごとの分割アクセスの回数を表 13.10-1 に示します。

表 13.10-1 分割アクセス回数

バス幅	アクセスサイズ		
	バイト	ハーフワード	ワード
8 ビット	1 回	2 回	4 回
16 ビット	1 回	1 回	2 回

13.10.1 ビッグエンディアン

CS 領域設定レジスタ (ASR1 ~ ASR3) の LEDN ビットを "0" に設定した場合は、その領域をビッグエンディアンとして扱います。

ビッグエンディアンのアクセスと接続方法について説明します。

■ ビッグエンディアンのアクセス

● 16 ビット外部バスインタフェースのアクセス

ビッグエンディアン設定・データバス幅 16 ビット設定時の、アクセスサイズに対するデータアラインメントと対応する制御信号を表 13.10-2 に示します。

なお、アクセスサイズがワードの場合は、2 回に分割してアクセスされます。

表 13.10-2 16 ビット外部バスインタフェースのアクセス

アクセス		出力端子				
サイズ	アドレス 下位 2 ビット	A01, A00	D15 ~ D08	D07 ~ D00	$\overline{WR0}$	$\overline{WR1}$
バイト	00	"00"	データ bit7 ~ bit0			
	01	"00"		データ bit7 ~ bit0		
	10	"10"	データ bit7 ~ bit0			
	11	"11"		データ bit7 ~ bit0		
ハーフ ワード	0n	"00"	データ bit15 ~ bit8	データ bit7 ~ bit0		
	1n	"10"	データ bit15 ~ bit8	データ bit7 ~ bit0		
ワード	nn	分割アクセス 1 回目: "00"	データ bit31 ~ bit24	データ bit23 ~ bit16		
		分割アクセス 2 回目: "10"	データ bit15 ~ 8	データ bit7 ~ bit0		

< 注意事項 >

このアクセスは、CS バス設定レジスタ (ACR0 ~ ACR3) の ADTY ビットが "0" (シフトなし) の場合の例です。

● 8 ビット外部バスインタフェースのアクセス

ビッグエンディアン設定・データバス幅 8 ビット設定時の、アクセスサイズに対するデータアラインメントと対応する制御信号を表 13.10-3 に示します。

なお、アクセスサイズがハーフワードの場合は 2 回に分割して、ワードの場合は 4 回に分割してアクセスされます。

表 13.10-3 8 ビット外部バスインタフェースのアクセス

アクセス		出力端子				
サイズ	アドレス 下位 2 ビット	A01, A00	D15 ~ D08	D07 ~ D00	$\overline{\text{WR0}}$	$\overline{\text{WR1}}$
バイト	00	"00"	データ bit7 ~ bit0			
	01	"01"	データ bit7 ~ bit0			
	10	"10"	データ bit7 ~ bit0			
	11	"11"	データ bit7 ~ bit0			
ハーフ ワード	0n	分割アクセス 1 回目："00"	データ bit15 ~ bit8			
		分割アクセス 2 回目："01"	データ bit7 ~ bit0			
	1n	分割アクセス 1 回目："10"	データ bit15 ~ bit8			
		分割アクセス 2 回目："11"	データ bit7 ~ bit0			
ワード	nn	分割アクセス 1 回目："00"	データ bit31 ~ bit24			
		分割アクセス 2 回目："01"	データ bit23 ~ bit16			
		分割アクセス 3 回目："10"	データ bit15 ~ bit8			
		分割アクセス 4 回目："11"	データ bit7 ~ bit0			

■ 非同期メモリとの接続方法

ビッグエンディアン設定領域での外部バス端子と非同期メモリとの接続例を示します。

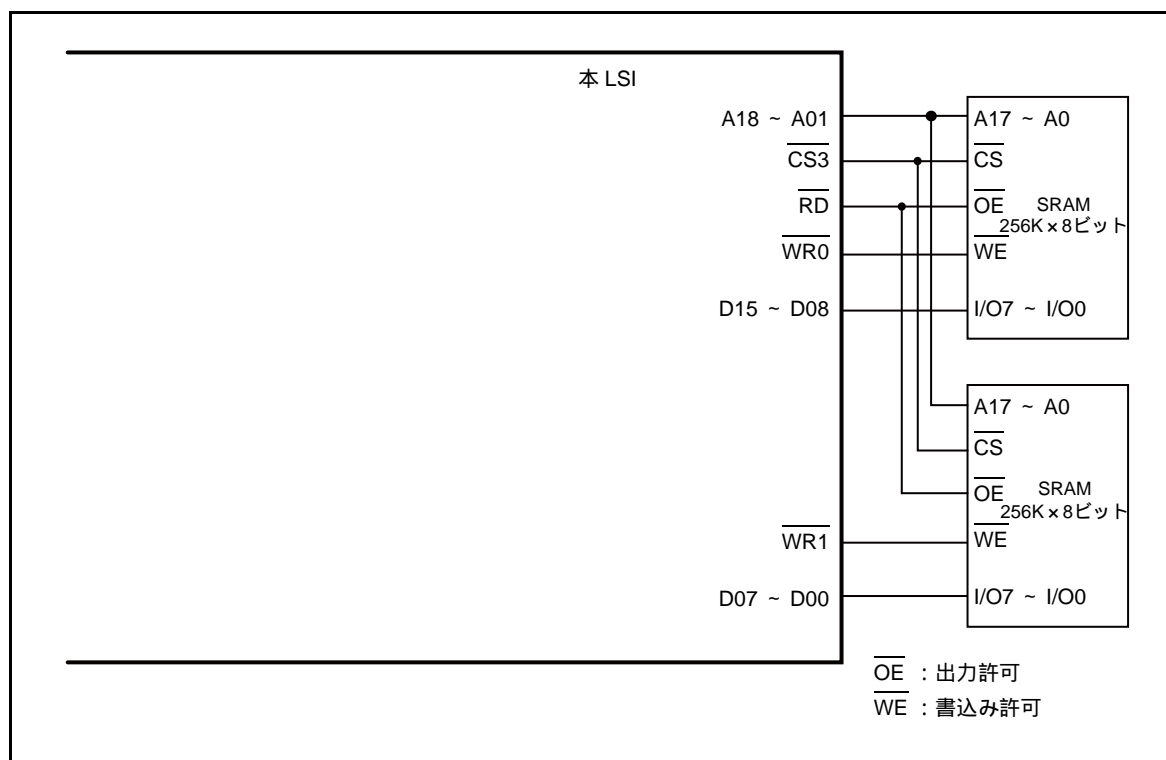
● 16 ビット外部バスインタフェースの接続例

CS3 領域は 16 ビットバス幅、ビッグエンディアン設定領域とし、CS3 領域に 256K × 8 ビットの SRAM を 2 個接続した例です。

A18 ~ A01 端子、 $\overline{\text{WR0}}$ 、 $\overline{\text{WR1}}$ 端子、D15 ~ D00 端子を使用します。

上記の条件の接続例を図 13.10-3 に示します。

図 13.10-3 16 ビットバス幅の例



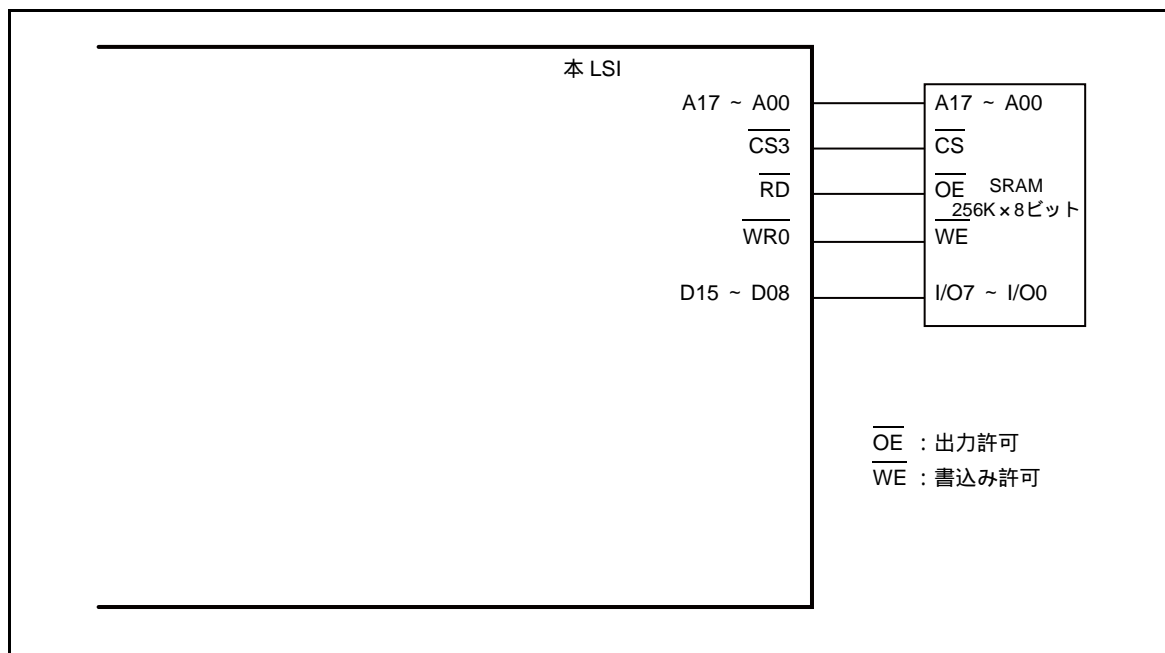
● 8 ビット外部バスインタフェースの接続例

CS3 領域は 8 ビットバス幅、ビッグエンディアン設定領域とし、CS3 領域に 256K × 8 ビットの SRAM を 1 個接続した例です。

A17 ~ A00 端子、 $\overline{\text{WR0}}$, $\overline{\text{WR1}}$ 端子、D15 ~ D00 端子を使用します。

上記の条件の接続例を図 13.10-4 に示します。

図 13.10-4 8 ビットバス幅の例



13.10.2 リトルエンディアン

CS 領域設定レジスタ (ASR1 ~ ASR3) の LEDN ビットを "1" に設定した場合は、その領域はリトルエンディアンとして扱います。

リトルエンディアンのアクセスと接続方法について説明します。

■ リトルエンディアンのアクセス

● 16 ビット外部バスインタフェースのアクセス

リトルエンディアン設定・データバス幅 16 ビット設定時の、アクセスサイズに対するデータアラインメントと対応する制御信号を表 13.10-4 に示します。

なお、アクセスサイズがワードの場合は、2 回に分割してアクセスされます。

表 13.10-4 16 ビット外部バスインタフェースのアクセス

アクセス		出力端子				
サイズ	アドレス 下位 2 ビット	A00, A01	D15 ~ D08	D07 ~ D00	$\overline{\text{WR0}}$	$\overline{\text{WR1}}$
バイト	00	"00"	データ bit7 ~ bit0			
	01	"01"		データ bit7 ~ bit0		
	10	"10"	データ bit7 ~ bit0			
	11	"11"		データ bit7 ~ bit0		
ハーフ ワード	0n	"00"	データ bit7 ~ bit0	データ bit15 ~ bit8		
	1n	"10"	データ bit7 ~ bit0	データ bit15 ~ bit8		
ワード	nn	分割アクセス 1 回目："00"	データ bit7 ~ bit0	データ bit15 ~ bit8		
		分割アクセス 2 回目："10"	データ bit23 ~ bit16	データ bit31 ~ bit24		

注) このアクセスは、CS バス設定レジスタ (ACR0 ~ ACR3) の ADTY ビットが "0" (シフトなし) の場合の例です。

● 8 ビット外部バスインタフェースのアクセス

リトルエンディアン設定・データバス幅 8 ビット設定時の、アクセスサイズに対するデータアラインメントと対応する制御信号を表 13.10-5 に示します。

なお、アクセスサイズがハーフワードの場合は 2 回に分割して、ワードの場合は 4 回に分割してアクセスされます。

表 13.10-5 8 ビット外部バスインタフェースのアクセス

アクセス		出力端子				
サイズ	アドレス 下位 2 ビット	A00, A01	D15 ~ D08	D07 ~ D00	$\overline{\text{WR0}}$	$\overline{\text{WR1}}$
バイト	00	"00"	データ bit7 ~ bit0			
	01	"01"	データ bit7 ~ bit0			
	10	"10"	データ bit7 ~ bit0			
	11	"11"	データ bit7 ~ bit0			
ハーフ ワード	0n	分割アクセス 1 回目："00"	データ bit7 ~ bit0			
		分割アクセス 2 回目："01"	データ bit15 ~ bit8			
	1n	分割アクセス 1 回目："10"	データ bit7 ~ bit0			
		分割アクセス 2 回目："11"	データ bit15 ~ bit8			
ワード	nn	分割アクセス 1 回目："00"	データ bit7 ~ bit0			
		分割アクセス 2 回目："01"	データ bit15 ~ bit8			
		分割アクセス 3 回目："10"	データ bit23 ~ bit16			
		分割アクセス 4 回目："11"	データ bit31 ~ bit24			

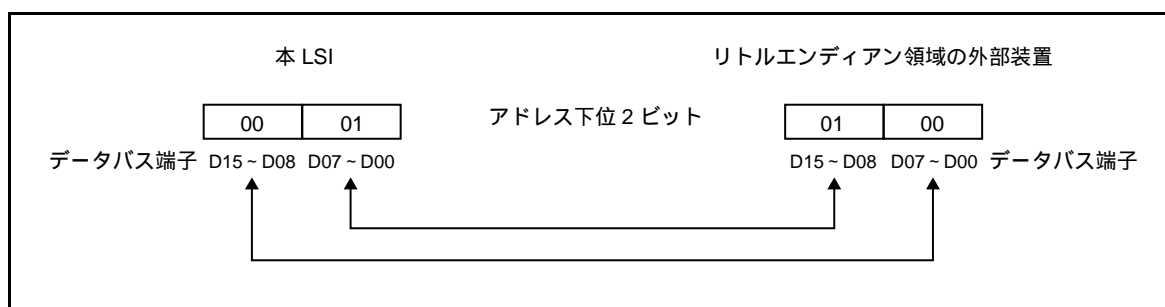
■ リトルエンディアン外部装置との接続方法

リトルエンディアンの外部装置とのデータバス，バイトイネーブル信号の接続方法を示します。

● 16 ビット外部バスインタフェースの接続例

バス幅 16 ビットのリトルエンディアンの外部装置に接続する場合には，図 13.10-5 に示すようにデータバス幅をバイト単位でスワップさせて接続する必要があります。

図 13.10-5 データバス幅をバイト単位でスワップさせて接続する例

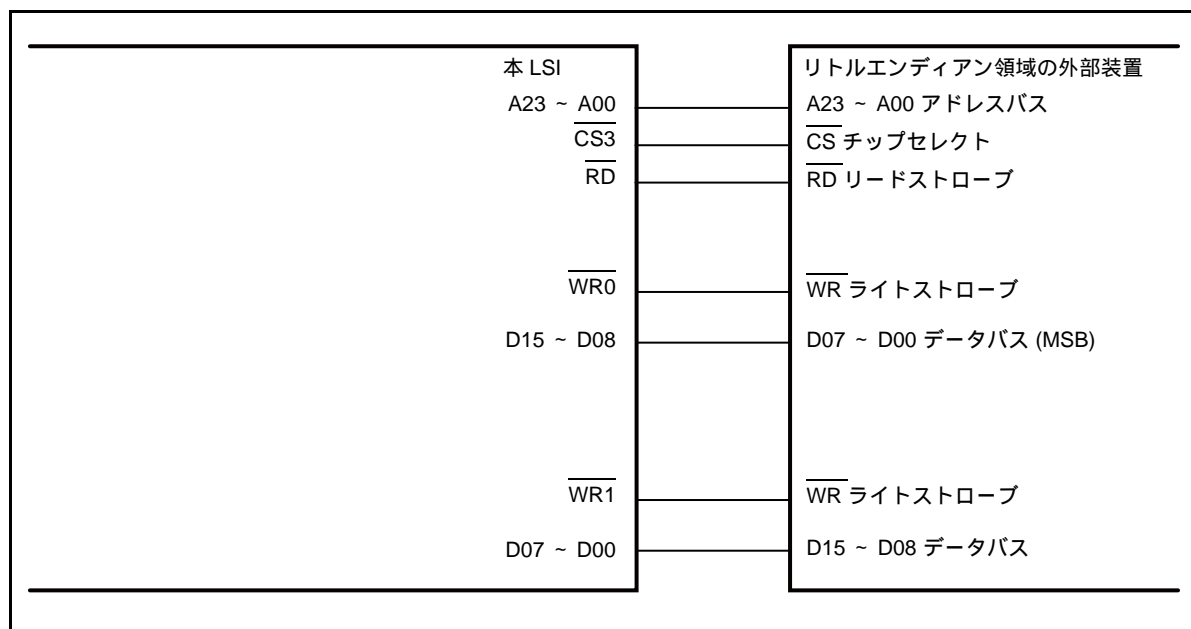


CS3 領域にリトルエンディアンの外部装置を接続した場合の例です。CS3 領域は 16 ビットバス幅，リトルエンディアン設定領域とします。

上記の条件の接続例を図 13.10-6 に示します。

$\overline{\text{WR0}}$, $\overline{\text{WR1}}$ 端子，D15 ~ D00 端子を使用します。

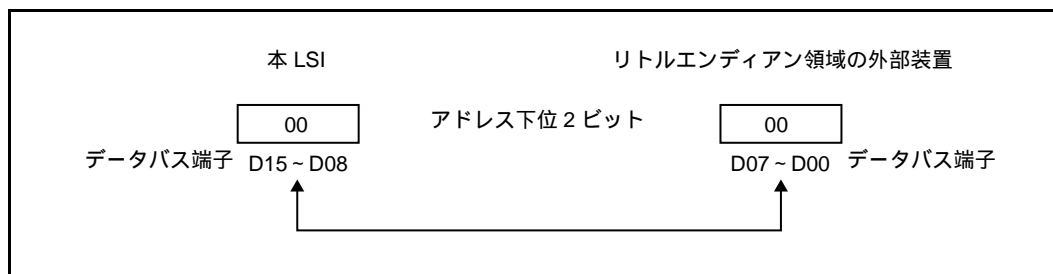
図 13.10-6 バス幅 16 ビット時のリトルエンディアンの外部装置とのデータバス接続方法



● 8 ビット外部バスインタフェースの接続例

接続例で使用するデータバスとバイトイネーブルのビット位置を図 13.10-7 に示します。

図 13.10-7 データバスとバイトイネーブルのビット位置

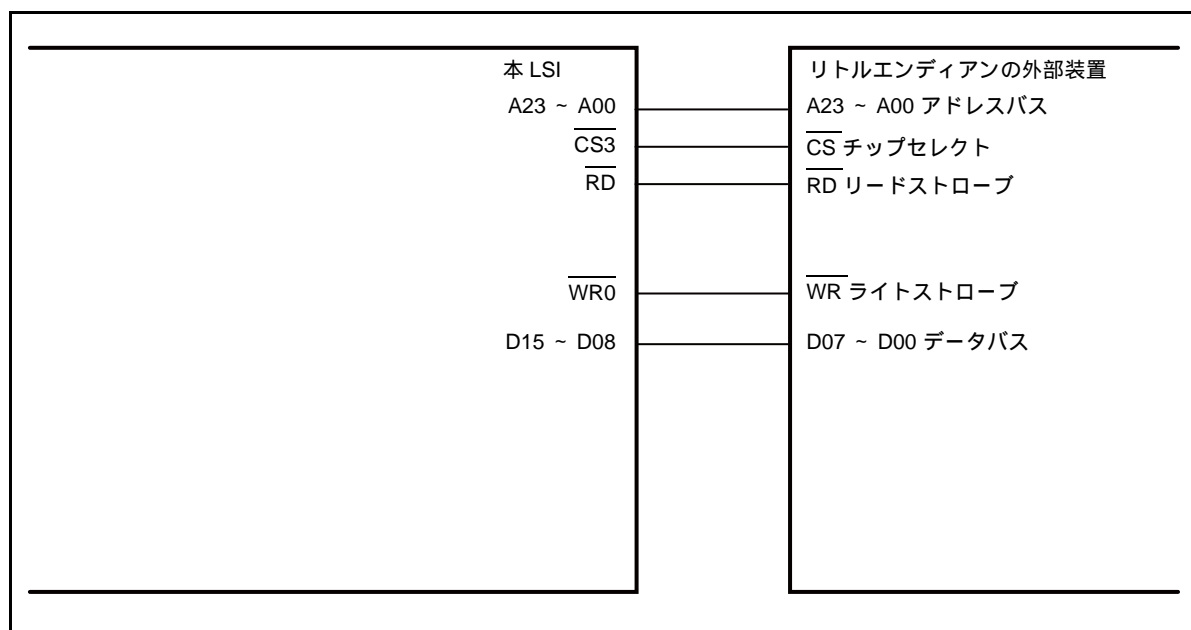


CS3 領域にリトルエンディアンの外部装置を接続した場合の例を図 13.10-8 に示します。CS3 領域は 8 ビットバス幅、リトルエンディアン設定領域とします。

上記の条件の接続例を図 13.10-8 に示します。

$\overline{WR0}$ 端子, D15 ~ D08 端子を使用します。

図 13.10-8 バス幅 8 ビット時のリトルエンディアン外部装置とのデータバス接続方法



13.11 外部バス DMA 転送

外部バスインタフェースの , 外部バス DMA 転送について説明します。

■ 概要

外部バス領域と DMA 転送を行う場合 , DREQ0 ~ DREQ3 端子に転送要求を入力することで DMA 転送を起動します。

- DMA 転送に関する次の 3 種類の端子が用意されています。
 - DREQ0 ~ DREQ3 端子
転送要求を入力する端子です。この端子で有効レベル / エッジが検出されると DMA 転送が起動します。
 - DACK0 ~ DACK3 端子
DMA コントローラ (DMAC) が転送要求を受け付けると , この端子に転送要求受付信号を出力します。
 - DEOP0 ~ DEOP3 端子
DMA 転送の終了時 , DMA コントローラ (DMAC) がこの端子に転送終了信号を出力します。
 - 転送要求信号のレベルを検出するかエッジを検出するかは, DMA 転送の転送タイプ (デマンド転送またはブロック転送 / バースト転送) で自動的に決まります。
 - 転送要求信号の検出レベル/エッジは転送タイプによって, 次のいずれかを選択できます。
 - デマンド転送時 : "H" レベル / "L" レベル
 - ブロック転送時およびバースト転送時 : 立上りエッジ / 立下りエッジ
- DREQ0~DREQ3端子から転送要求を入力してDMA転送を起動する場合は, 転送元 , 転送先のどちらか一方または両方が外部バス領域でなければなりません。
- 転送要求受付信号, および転送終了信号の有効レベルは, "L" レベルまたは "H" レベルが選択できます。
 - 転送要求受付信号, および転送終了信号は, 外部バス領域への DMA 転送アクセスに同期して出力されます。

13.11.1 DREQ0 ~ DREQ3 端子による転送要求

DMA 転送の転送要求を入力する DREQ0 ~ DREQ3 端子について説明します。

■ 概要

DMA チャンネルコントロールレジスタ (DCCR0 ~ DCCR3) の RS1, RS0 ビットで転送要求発生要因をDREQ0 ~ DREQ3端子に設定しているチャンネル (RS1, RS=1) に, 外部DMA 転送設定レジスタ (DMAR0 ~ DMAR3) の REQL ビットで設定したレベル / エッジが DREQ0 ~ DREQ3 端子から入力されると, DMA 転送の転送要求が発行されます。

転送要求発生要因の設定については「28.4.5 DMA チャンネルコントロールレジスタ (DCCR0 ~ DCCR7)」を参照してください。

● 検出レベル・エッジ

転送要求の検出レベル / エッジは, 外部 DMA 転送設定レジスタ (DMAR0 ~ DMAR3) の REQL ビットでチャンネルごとに設定できます。ただし, レベル検出を行うか, エッジ検出を行うかは, DMA コントローラ (DMAC) の DMA チャンネルコントロールレジスタ (DCCR0 ~ DCCR3) の TM1, TM0 ビットで設定する転送モードによって決まります。

DREQ0 ~ DREQ3 端子の検出レベル・エッジを表 13.11-1 に示します。

表 13.11-1 DREQ0 ~ DREQ3 端子の検出レベル・エッジ

DMA コントローラ (DMAC) の転送モード		REQL
デマンド転送時	ブロック転送 / バースト転送時	
"L" レベル	立下りエッジ	0
"H" レベル	立上りエッジ	1

- ブロック転送
転送要求が発生するとデータを 1 ブロック転送するモードです。1 ブロックのデータを転送後, 再度転送要求を検出すると, 次のデータを 1 ブロック転送します。
- バースト転送
DMA コントローラ (DMAC) は, 転送要求が発生するとすべてのデータを転送するまで, データを 1 ブロックずつ連続で転送するモードです。
- デマンド転送
DMA コントローラ (DMAC) は, 転送要求が発生すると転送を開始し, 転送要求が取り下げられるか転送が終了するまで連続でデータを転送するモードです。

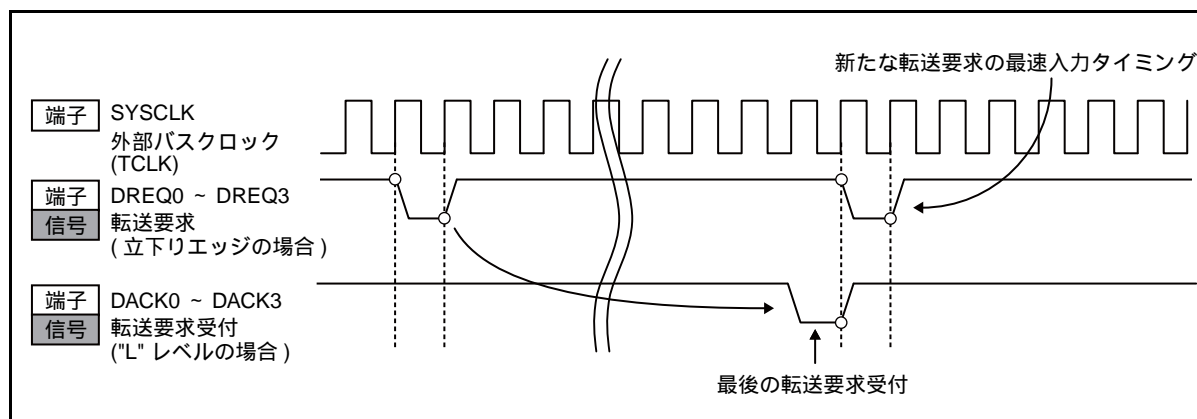
■ ブロック転送モード時の動作

外部DMA転送設定レジスタ (DMAR0 ~ DMAR3) のREQLビットで設定したエッジが, DREQ0 ~ DREQ3 端子からの入力信号で検出されると, DMA コントローラ (DMAC) に対し, 対応するチャンネルの転送要求が発行されます。

1 回の転送要求で, 1 ブロック分の転送を行います。

ブロック転送モード時の転送要求検出タイミング例を図 13.11-1 に示します。

図 13.11-1 ブロック転送モード時の転送要求検出タイミング例



DMA コントローラ (DMAC) は, 1 回の転送要求に対して, 1 ブロックサイズ分の転送要求受付信号を DACK0 ~ DACK3 端子から出力します。最終転送の場合には, 1 個の転送終了信号を同時に DEOP0 ~ DEOP3 端子から出力します。

ただし, DMA コントローラ (DMAC) からの転送データサイズが, 外部バスインタフェースのバス幅を超える場合は, DMA コントローラ (DMAC) からの 1 アクセスを必要な回数に分割して転送します。

そのため, DMA コントローラ (DMAC) が転送要求受付信号や転送終了信号を出力すると, 分割されたすべてのアクセスに転送要求受付信号 / 転送終了信号が付加されます。

- **例: 転送回数=2, ブロックサイズ=3, 転送サイズ=32ビット, 外部バス幅=8ビットの場合**
1 回の転送要求に対して, $1 \times 3 \times (32/8) = 12$ 個の転送受付信号, $1 \times (32/8) = 4$ 個の転送終了信号を出力します。

< 注意事項 >

新たに同じチャンネルに転送要求を行う場合は, 前回行った転送要求に対する最後の転送要求受付信号を確認してから, 転送要求を行ってください。

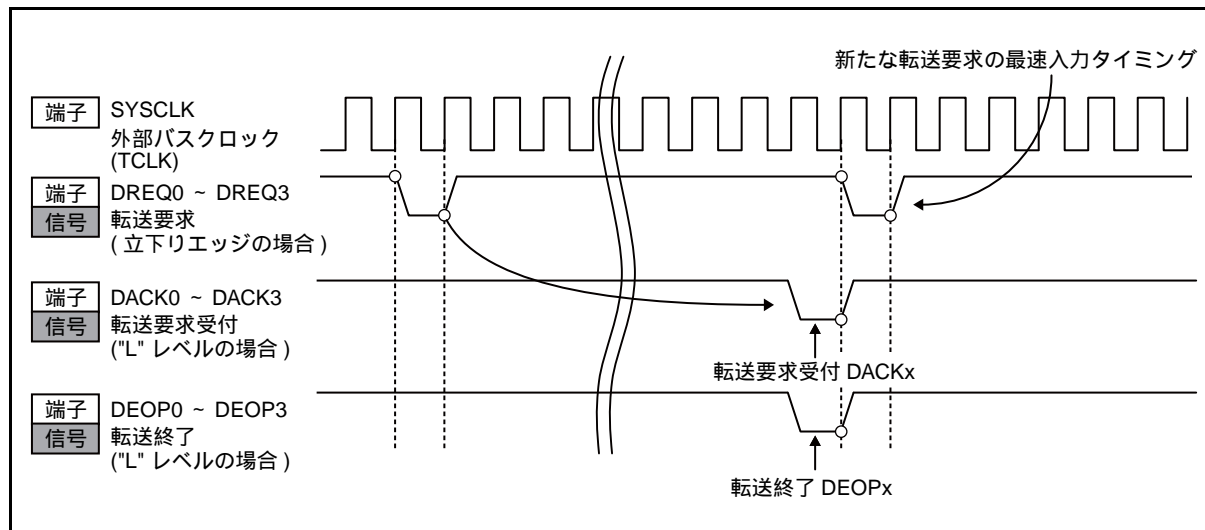
■ バースト転送モード時の動作

外部DMA転送設定レジスタ (DMAR0 ~ DMAR3) のREQLビットで設定したエッジが, DREQ0 ~ DREQ3 端子からの入力信号で検出されると, DMA コントローラ (DMAC) に対し, 対応するチャンネルの転送要求が発行されます。

1 回の転送要求で, 1 ブロック×転送回数分の転送を行います。

バースト転送モード時の転送要求検出タイミング例を図 13.11-2 に示します。

図 13.11-2 バースト転送モード時の転送要求検出タイミング例



DMA コントローラ (DMAC) は 1 回の転送要求に対して, 1 ブロックサイズ×転送回数分の転送要求受付信号を DACK0 ~ DACK3 端子から出力します。最終転送の場合には, 1 個の転送終了信号を同時に DEOP0 ~ DEOP3 端子から出力します。

ただし, DMA コントローラ (DMAC) からの転送データサイズが, 外部バスインタフェースのバス幅を超える場合は, DMA コントローラ (DMAC) からの 1 アクセスに必要な回数に分割して転送します。

そのため, DMA コントローラ (DMAC) が転送要求受付信号や転送終了信号を出力すると, 分割されたすべてのアクセスに転送要求受付信号 / 転送終了信号が付加されます。

例: 転送回数=2, ブロックサイズ=3, DMA 転送サイズ=32 ビット, 外部バス幅=8 ビットの場合

1 回の転送要求に対して, $2 \times 3 \times (32/8) = 24$ 個の転送要求受付信号, $1 \times (32/8) = 4$ 個の転送終了信号が出力されます。

< 注意事項 >

新たに同じチャンネルに転送要求を行う場合は, 前回行った転送要求に対する最後の転送要求受付信号 / 転送終了信号を確認してから, 転送要求を行ってください。

■ デマンド転送モード時の動作

外部 DMA 転送設定レジスタ (DMAR0 ~ DMAR3) の REQL ビットで設定したレベルの信号が, DREQ0 ~ DREQ3 端子に入力されると, DMA コントローラ (DMAC) に対し, 対応するチャネルの転送要求が発行されます。

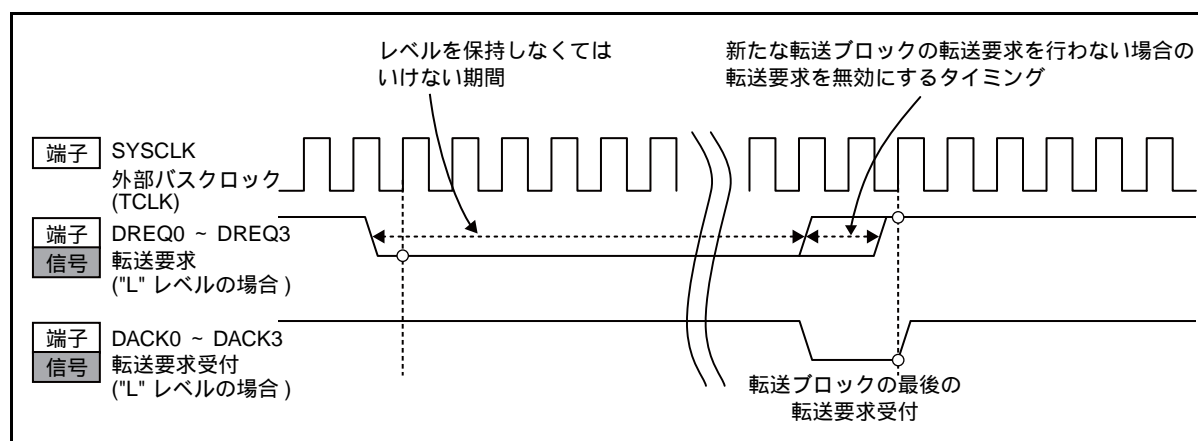
転送要求が一度発生すると, DREQ0 ~ DREQ3 端子から有効レベルの信号が入力されている間, 1 ブロック単位の転送が連続で行われます。

1 ブロック分の転送が終了後, 次の転送 (1 ブロック分の転送) を行いたくない場合は, 現在転送中のブロックに対する最後の転送要求受付信号が DACK0 ~ DACK3 端子から出力されている期間に, DREQ0 ~ DREQ3 端子の信号を無効レベルにしてください。

それ以降に転送停止信号 (DREQ0 ~ DREQ3 端子の信号を無効レベル) を入力した場合は, 次の転送要求信号と認識され, DMA 転送のオーバランが発生する場合があります。また, DREQ0 ~ DREQ3 端子の外部生成回路の実現性を考慮し, DACK0 ~ DACK3 端子からの転送受付信号の出力期間が, 2T (T: バスクロックの周期) 以上になるようにして設定してください。

デマンド転送モード時の転送要求検出タイミング例を図 13.11-3 に示します。

図 13.11-3 デマンド転送モード時の転送要求検出タイミング例



DMA コントローラ (DMAC) は, 1 回の転送要求に対して, 1 ブロックサイズ分の転送要求受付信号を DACK0 ~ DACK3 端子から出力します。最終転送の場合には, 1 個の転送終了信号を同時に DEOP0 ~ DEOP3 端子から出力します。

ただし, DMA コントローラ (DMAC) からの転送データサイズが, 外部バスインタフェースのバス幅を超える場合は, DMA コントローラ (DMAC) からの 1 アクセスを必要な回数に分割して転送します。

そのため, DMA コントローラ (DMAC) が転送要求受付信号や転送終了信号を出力すると, 分割されたすべてのアクセスに転送要求受付信号 / 転送終了信号が付加されます。

- 例: 転送回数=2, ブロックサイズ=3, 転送サイズ=32ビット, 外部バス幅=8ビットの場合
1 回の転送要求に対して, $1 \times 3 \times (32/8) = 12$ 個の転送要求受付信号, $1 \times (32/8) = 4$ 個の転送終了信号が出力されます。

13.11.2 DACK0 ~ DACK3 端子による転送要求受付

DMA 転送の転送要求受付の信号を出力する DACK0 ~ DACK3 端子について説明します。

■ 転送要求受付

DMAコントローラ (DMAC) のDMAチャネルコントロールレジスタ (DCCR0 ~ DCCR3) の ST ビット, DT ビットの設定により, DMA 転送の転送元タイプ / 転送先タイプのいずれかをメモリ以外 (ST/DT=1) に設定した場合, 外部バスインタフェースへのアクセスに同期して, DACK0 ~ DACK3 端子から転送要求受付信号が出力されます。

■ 出力レベル設定

DACK0 ~ DACK3 端子から, どのレベルの信号が入力されると, 転送要求が受け付けられたことになるのかを, 外部 DMA 転送設定レジスタ (DMAR0 ~ DMAR3) の ACKL ビットで設定します。

説明	ACKL
"L" レベル	0
"H" レベル	1

■ 出力タイミング選択

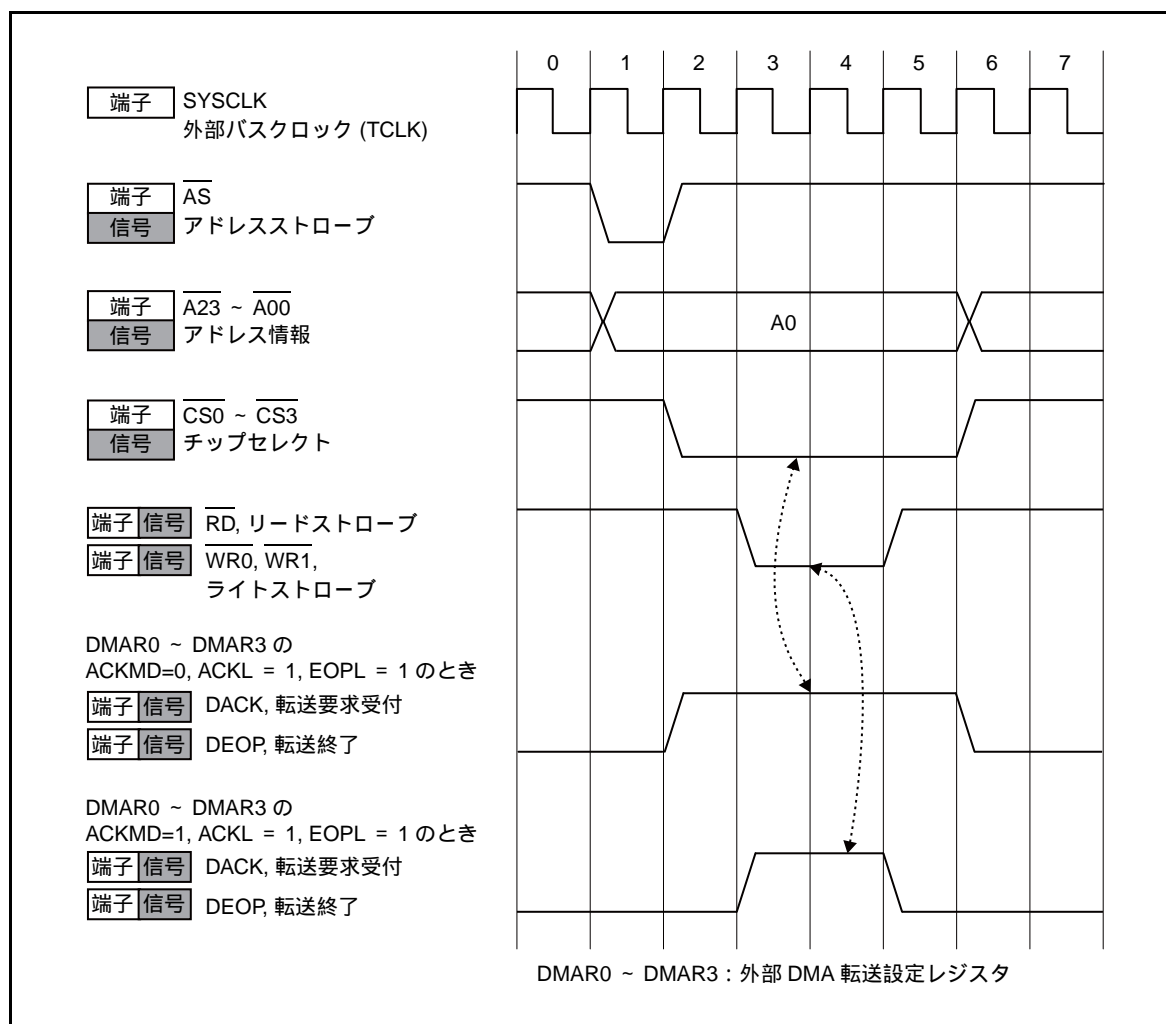
DMA コントローラ (DMAC) は, 外部バスインタフェースからの転送要求を受け付けると, 転送要求受付信号を DACK0 ~ DACK3 端子から出力します。

DMA コントローラ (DMAC) がそれらの信号を出力するタイミングを, 外部 DMA 転送設定レジスタ (DMAR0 ~ DMAR3) の ACKMD ビットで設定します。

説明	ACKMD
チップセレクト ($\overline{CS0}$ ~ $\overline{CS3}$ 端子から "L" レベルを出力) と同時に出力します。	0
リードストローブ / ライトストローブ (\overline{RD} 端子 / $\overline{WR0}$, $\overline{WR1}$ 端子から "L" レベルを出力) と同時に出力します。	1

転送要求受付, 転送終了の出力サイクル例を図 13.11-4 に示します。

図 13.11-4 転送要求受付, 転送終了の出力サイクル例



DMA コントローラ (DMAC) からの転送データサイズが, 外部バスインタフェースのバス幅を超える場合は, DMA コントローラ (DMAC) からの 1 アクセスが必要な回数に分割されて実行されます。

そのため, DMA コントローラ (DMAC) が転送要求受付を出力すると, 分割されたすべてのアクセスに転送要求受付信号が付加されます。

13.11.3 DEOP0 ~ DEOP3 端子による転送終了信号

転送終了信号を出力する DEOP0 ~ DEOP3 端子について説明します。

■ 転送終了信号

DMAコントローラ (DMAC) のDMAチャネルコントロールレジスタ (DCCR0 ~ DCCR3) の ST ビット, DT ビットの設定により, DMA 転送の転送元タイプ / 転送先タイプのいずれかをメモリ以外 (ST/DT=1) に設定し, 外部バスインタフェースへのアクセスが DMA の最終転送である場合, 外部バスインタフェースへのアクセスに同期して, DEOP0 ~ DEOP3 端子から転送終了信号が出力されます。

■ 出力レベル設定

DMA コントローラ (DMAC) が DMA 転送する最終データを転送すると, DEOP0 ~ DEOP3 端子から出力される信号のレベルを変えることで, 転送終了を示します。

DEOP0 ~ DEOP3 端子から, 外部バスインタフェースにどのレベルの信号が入力されると, DMA 転送が終了したことになるのかを, 外部 DMA 転送設定レジスタ (DMAR0 ~ DMAR3) の EOPL ビットでチャネルごとに設定できます。

説明	EOPL
"L" レベル	0
"H" レベル	1

■ 出力タイミング選択

転送終了信号は, DACK0 ~ DACK3 端子から出力される転送要求受付信号と同じタイミング, サイクルで出力されます。転送終了信号は, 最終転送アクセス時に 1 回出力されます。

DMA コントローラ (DMAC) からの転送データサイズが, 外部バスインタフェースのバス幅を超える場合は, DMA コントローラ (DMAC) からの 1 アクセスが必要な回数に分割されて実行されます。

そのため, DMA コントローラ (DMAC) が転送終了信号を出力すると, 分割されたすべてのアクセスに転送終了信号が付加されます。

13.12 CS 領域設定手順

CS 領域の設定方法について説明します。

CS 領域は、次の点に注意して設定してください。

- CS 領域の設定はリセット後の初期設定の中で行い、その後は変更しないでください。
 - ROM 内に配置する初期設定プログラムで CS 領域の変更・設定を行ってください。
-

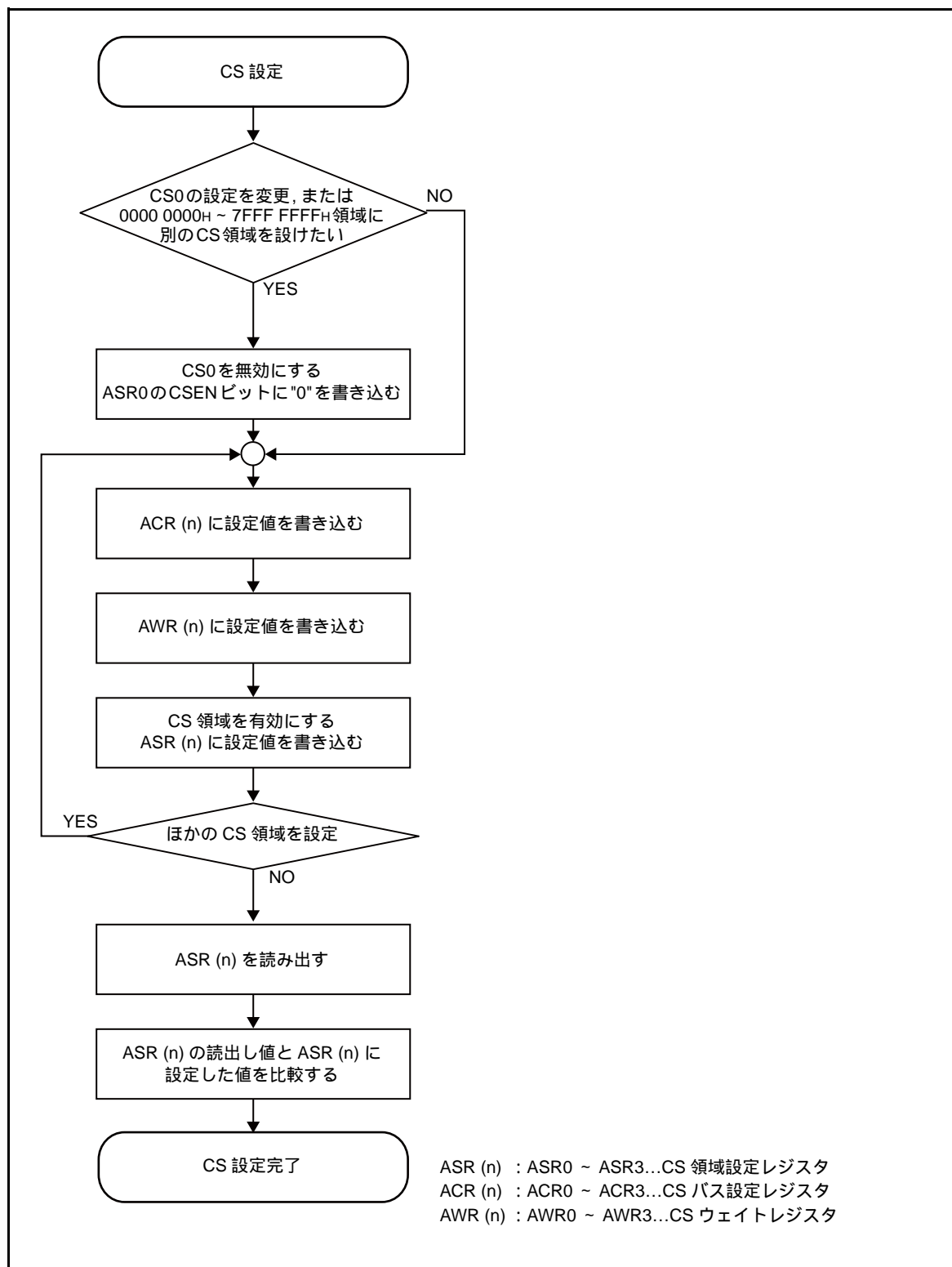
< 注意事項 >

CS 領域へのアクセス中に、関係する CS 領域の設定を変更しないでください。

■ 設定手順

CS 領域設定手順例のフローを図 13.12-1 に示します。

図 13.12-1 CS 領域設定フロー



1. CS 領域設定レジスタ (ASR0) にワードで "0000 0000_H" を書き込む (CS0 領域を変更する場合や 0000 0000_H ~ 7FFF FFFF_H に別の CS 領域を割り当てる場合のみ)。
2. CS バス設定レジスタ (ACR0 ~ ACR3) に設定値をワードで書き込む。
CS バス設定レジスタ (ACR0 ~ ACR3) で次の設定を行います。
 - データバス幅
 - アドレスタイプ
 - バスタイプ
3. CS ウェイトレジスタ (AWR0 ~ AWR3) に設定値をワードで書き込む。
4. CS 領域設定レジスタ (ASR0 ~ ASR3) に設定値をワードで書き込む。
CS 領域設定レジスタ (ASR0 ~ ASR3) で次の設定を行います。
 - CS 領域
 - 書込み許可
 - バイトオーダリング (CS0 領域以外)
 - CS 領域の有効 / 無効
5. ほかの CS 領域を設定する場合は、手順 2 ~ 4 を繰り返して CS 領域を設定する。
6. CS 領域設定レジスタ (ASR0 ~ ASR3) を読み出す。
7. 読出し値と CS 領域設定レジスタ (ASR0 ~ ASR3) に設定した値を比較する。
CS 領域への設定が、以降のアクセスに対して反映されることを確認するために、最後に設定したレジスタである CS 領域設定レジスタ (ASR0 ~ ASR3) を読み出して、設定値と読出し値が同じであることを確認してください。

< 注意事項 >

- CS0 領域を変更する場合や 0000 0000_H ~ 7FFF FFFF_H に別の CS 領域を割り当てる場合は、はじめに CS0 領域設定レジスタ (ASR0) の CSEN ビットで CS0 領域を無効 (CSEN=0) にしてください。
 - CS 領域設定レジスタ (ASR0 ~ ASR3) 設定時の注意
 - 各 CS 領域は重なり合わないよう配置してください。CS 領域が重なっている場合の動作は保証いたしません。
 - 開始アドレスはアドレスの上位ビットを SADR31 ~ SADR16 ビットに設定します。ただし領域のサイズによって、あらかじめバウンダリが決められています。CS 領域のサイズにしたがって、有効な ASZ3 ~ ASZ0 ビットを設定してください。無効な SADR31 ~ SADR16 ビットには "0" を設定してください。
-

■ CS 領域設定例

CS 領域設定レジスタ (ASR0 ~ ASR3) の ASZ3 ~ ASZ0 ビットと SADR31 ~ SADR16 ビットの設定値と、実際に割り当てられる CS 領域の例を示します。

• CS0 領域の設定

CS0 領域設定レジスタ (ASR0) : ASZ3 ~ ASZ0=0010_B

CS0 領域設定レジスタ (ASR0) : SADR31 ~ SADR16=000C_H

000C 0000_H ~ 000F FFFF_H が CS0 領域になります。

• CS1 領域の設定

CS1 領域設定レジスタ (ASR1) : ASZ3 ~ ASZ0=0000_B

CS1 領域設定レジスタ (ASR1) : SADR31 ~ SADR16=0006_H

0006 0000_H ~ 0006 FFFF_H は CS1 領域になります。

• CS2 領域の設定

0011 0000_H から 1M バイトの空間を割り当てる場合

1M バイトの空間を設けたいので、CS2 領域設定レジスタ (ASR2) の ASZ3 ~ ASZ0 ビット =0100_B を設定します。

このときの SADR31 ~ SADR20 ビットが有効になり、SADR19 ~ SADR16 ビットはアドレスとの比較対象になりません。したがって CS2 領域の開始アドレスは、0011 0000_H にはできず 0010 0000_H になります。

CS2 領域設定レジスタ (ASR2) : ASZ3 ~ ASZ0=0100_B

CS2 領域設定レジスタ (ASR2) : SADR31 ~ SADR16=0010_H

0010 0000_H ~ 001F FFFF_H が CS2 領域になります。

• CS3 領域の設定

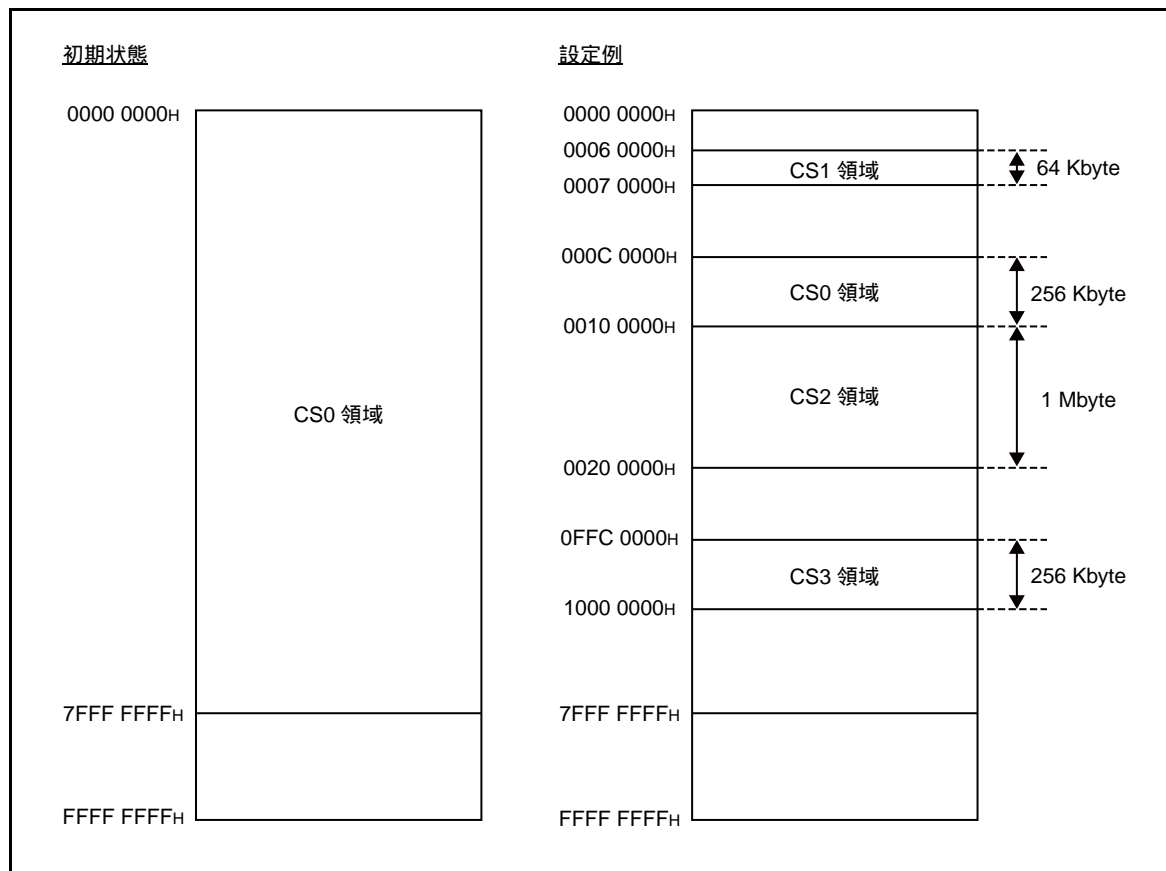
CS3 領域設定レジスタ (ASR3) : ASZ3 ~ ASZ0=0010_B

CS3 領域設定レジスタ (ASR3) : SADR31 ~ SADR16=0FFC_H

0FFC 0000_H ~ 0FFF FFFF_H が CS3 領域になります。

上記の例の場合の CS 領域を図 13.12-2 に示します。

図 13.12-2 CS 領域例



第 14 章 I/O ポート

I/O ポートの機能と動作について説明します。

14.1 概要

14.2 構成

14.3 端子

14.4 レジスタ

14.5 使用上の注意

14.1 概要

本製品の端子を外部バスインタフェースや周辺機能で利用しないときは、I/O ポートとして使用することができます。

本製品では、126 本の I/O ポートが用意されています。

■ 概要

I/O ポートには、次の特長があります。

- 端子ごとにI/Oポートを入力ポートとして利用するか、出力ポートとして利用するかを設定できます。
- 端子ごとにI/Oポートとして利用するか、周辺機能や外部バスインタフェースの端子として利用するかを設定できます。

また、各レジスタの設定により、入出力モードを次の中から選択できます。

入出力モードを表 14.1-1 に示します。

表 14.1-1 入出力モード

入出力モード	PDR へのアクセス	
ポート入力モード	読出し時 (RMW 系命令以外)	外部端子からのレベルが読み出されます。
	読出し時 (RMW 系命令)	PDR の値を読み出します。
	書込み時	書き込んだ値がPDRに格納されます。
ポート出力モード	読出し時 (RMW 系命令以外)	PDR の値を読み出します。
	読出し時 (RMW 系命令)	PDR の値を読み出します。
	書込み時	書き込んだ値がPDRに書き込まれ、外部端子へ出力されます。
周辺機能出力モード*	読出し時 (RMW 系命令以外)	周辺機能からの出力レベル/PDRの値が読み出されます。
	読出し時 (RMW 系命令)	PDR の値を読み出します。
	書込み時	書き込んだ値がPDRに格納されます。

PDR : ポートデータレジスタ (PDR0 ~ PDRK)

RMW 系命令 : リードモディファイライト系命令

* : レジスタの設定により、読み出される値が異なります。

- ブルアップを端子ごとに設定できます。
- CPUがスタンバイモード(ストップモード/時計モード/メインタイマモード)中に、端子に Hi-Z を設定すると、入力は "0" に固定されます。ただし、発生が許可されている外部割込み要求の入力は "0" に固定されず使用できます。

- 周辺機能を割り当てられる端子が複数ある場合に、どの端子に機能を割り当てるかを設定したり、端子からの周辺機能出力を有効 / 無効にしたりできます。

ただし、周辺機能の入出力が複数ある場合、それぞれの入出力は同じグループのポートに設定してください。

例) ch.1 マルチファンクションシリアルインタフェース設定例

シリアルデータ 出力	シリアルクロック 入出力	シリアルデータ 入力	有効ポート
SOUT1 端子 (0 番ポート)	SCK1 端子 (0 番ポート)	SIN1 端子 (0 番ポート)	0 番ポート
		SIN1_1 端子 (1 番ポート)	設定禁止
	SCK1_1 端子 (1 番ポート)	SIN1 端子 (0 番ポート)	
		SIN1_1 端子 (1 番ポート)	
SOUT1_1 端子 (1 番ポート)	SCK1 端子 (0 番ポート)	SIN1 端子 (0 番ポート)	
		SIN1_1 端子 (1 番ポート)	
	SCK1_1 端子 (1 番ポート)	SIN1 端子 (0 番ポート)	
		SIN1_1 端子 (1 番ポート)	1 番ポート

14.2 構成

本製品には次の 3 種類の I/O ポートが内蔵されています。

- 通常の I/O ポート
 - アナログ入力兼用 I/O ポート
 - アナログ出力兼用 I/O ポート
-

■ 概要

本製品に内蔵されている 3 種類の I/O ポートについて説明します。

- 通常の I/O ポート

周辺機能の入出力機能と兼用されている基本的な構成の I/O ポートです。次のブロックで構成されています。

- ポート機能レジスタ (PFR0 ~ PFRI)
- ポートデータ方向レジスタ (DDR0 ~ DDRK)
- 拡張ポート機能レジスタ (EPFR0 ~ EPFR34)
- ブルアップ制御レジスタ (PCR0 ~ PCRK)
- ポートデータレジスタ (PDR0 ~ PDRK)

- アナログ入力兼用 I/O ポート

10 ビット A/D コンバータのアナログ入力と兼用されている I/O ポートです。通常の I/O ポートのブロックとアナログ入力許可部で構成されています。

アナログ入力兼用ポートは P77 ~ P70, P87 ~ P80, PA7 ~ PA0, PB6 ~ PB0 になります。

- アナログ出力兼用 I/O ポート

8 ビット D/A コンバータのアナログ出力と兼用されている I/O ポートです。次のレジスタ以外の通常の I/O ポートのブロックとアナログ出力許可部で構成されています。

- ポート機能レジスタ (PFR0 ~ PFRI)
- 拡張ポート機能レジスタ (EPFR0 ~ EPFR34)

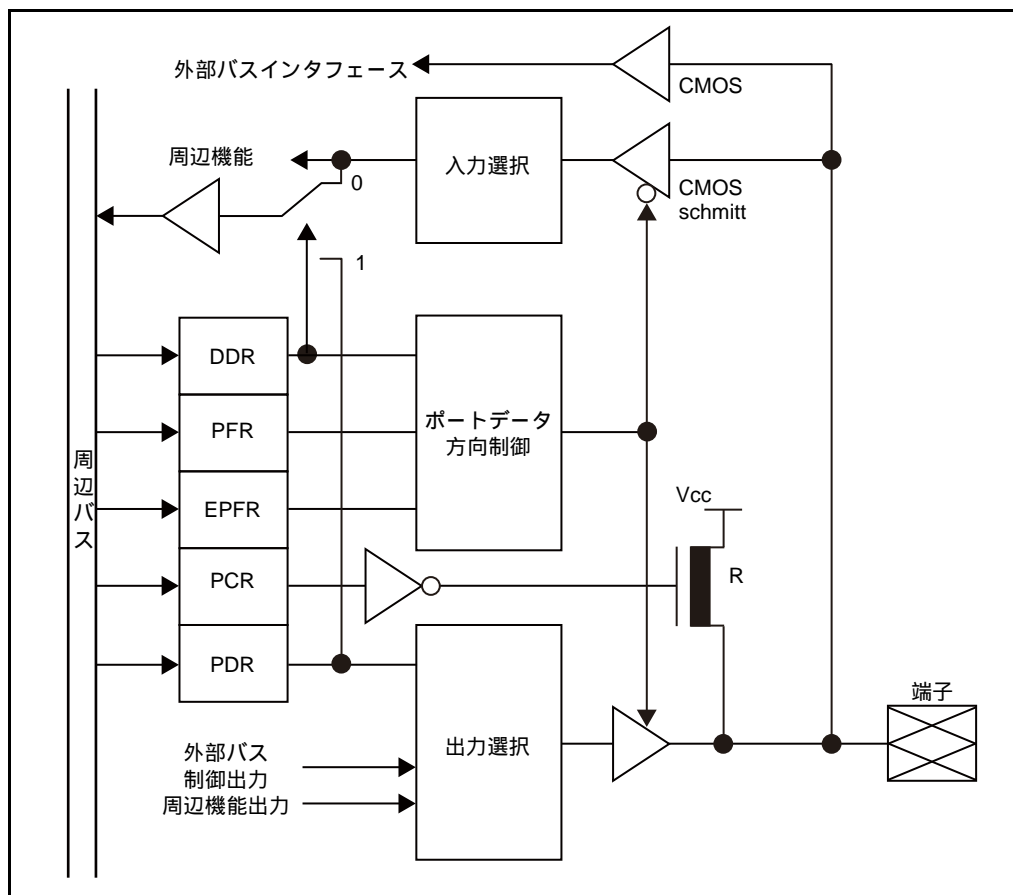
アナログ出力兼用ポートは P92 ~ P90 になります。

■ ブロックダイアグラム

● 通常の I/O ポート

通常の I/O ポートのブロックダイアグラムを図 14.2-1 に示します。

図 14.2-1 通常の I/O ポートのブロックダイアグラム



- ポートデータ方向レジスタ (DDR0 ~ DDRK)

端子を汎用ポートとして使用するときは、入出力方向を設定します。

外部バスインタフェースや周辺機能の端子として使用する場合は、ポートデータレジスタ (PDR0 ~ PDRK) から、何を読み出すかを設定します。
- ポート機能レジスタ (PFR0 ~ PFRK)

端子の利用方法を選択するレジスタです。
- 拡張ポート機能レジスタ (EPFR0 ~ EPFR34)

周辺機能を割り当てられる端子が複数ある場合に、どの端子に機能を割り当てるかを設定するレジスタです。また、端子からの周辺機能出力を有効 / 無効にします。
- プルアップ制御レジスタ (PCR0 ~ PCRK)

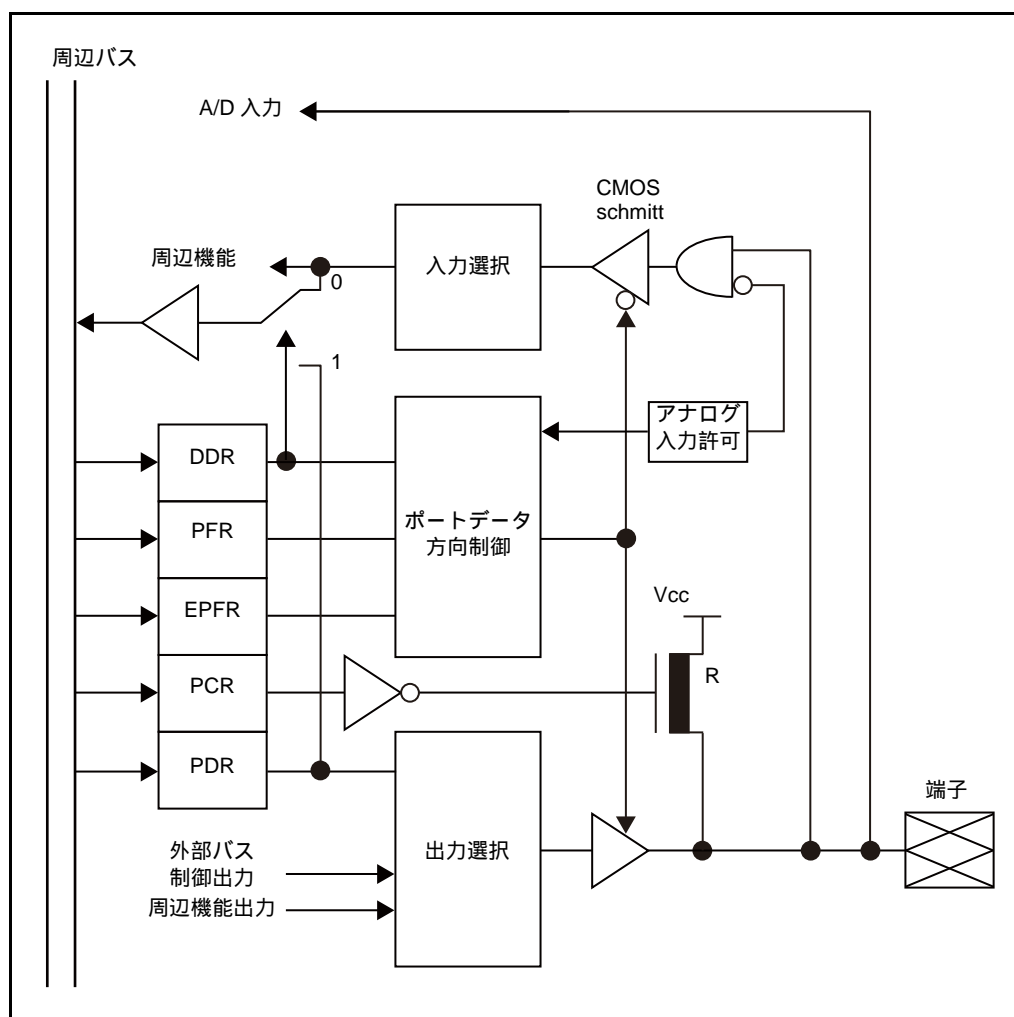
プルアップを設定するレジスタです。各ポートに用意されているので端子ごとに、プルアップ抵抗を接続できます。
- ポートデータレジスタ (PDR0 ~ PDRK)

出力データを格納するレジスタです。ポートのモードによって、読み出される値や書き込む値の意味が異なります。

● アナログ入力兼用 I/O ポート

アナログ入力兼用 I/O ポートのブロックダイアグラムを図 14.2-2 に示します。

図 14.2-2 アナログ入力兼用 I/O ポートのブロックダイアグラム



通常の I/O ポートの構成ブロックとアナログ入力許可部で構成されています。

A/D チャンネルイネーブルレジスタ (ADCHE) で入力を許可した端子からのアナログ入力を有効にします。

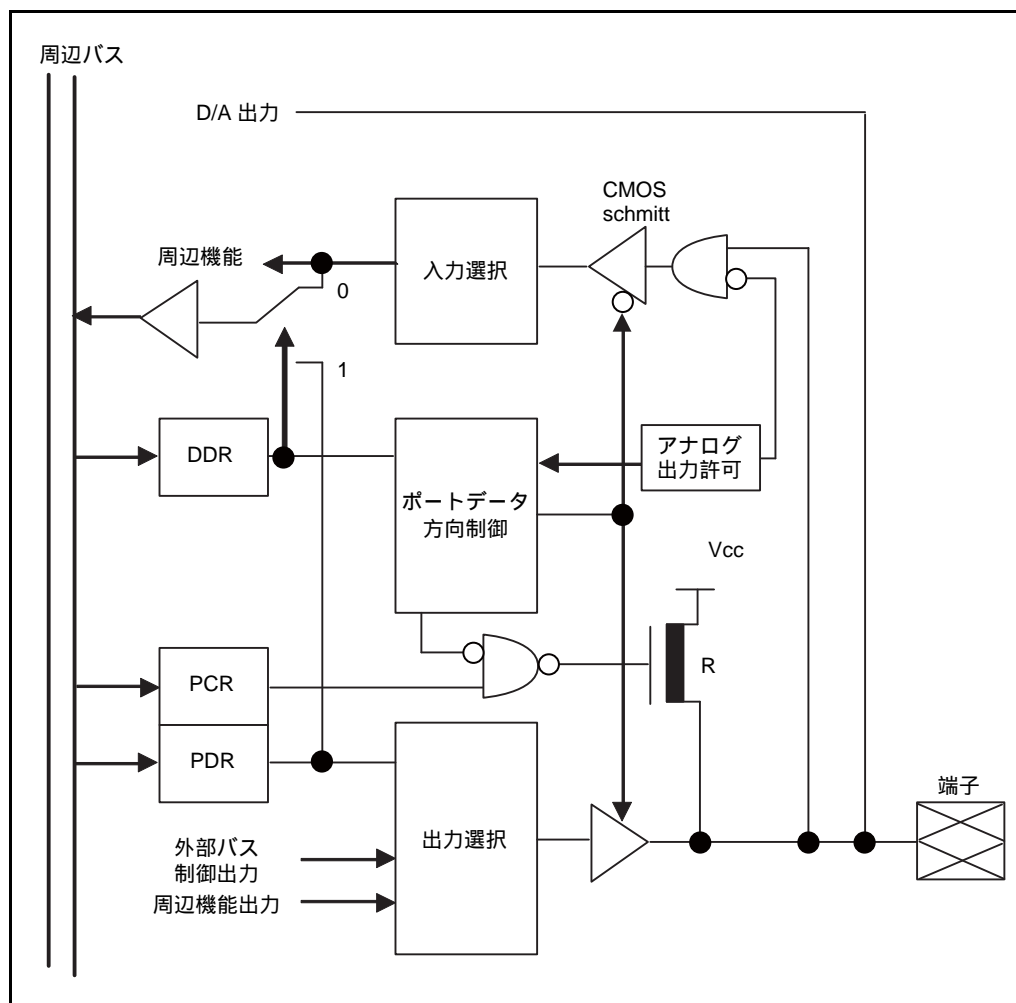
< 注意事項 >

- アナログ入力兼用ポートは P77 ~ P70, P87 ~ P80, PA7 ~ PA0, PB6 ~ PB0 です。
- MD1, MD0 端子でシリアル書込みモードを選択した場合 (MD1, MD0= 01), P75 (AN5 端子) のみデジタル入力可, アナログ入力不可となります。

● アナログ出力兼用 I/O ポート

アナログ出力兼用 I/O ポートのブロックダイアグラムを図 14.2-3 に示します。

図 14.2-3 アナログ出力兼用 I/O ポートのブロックダイアグラム



次のレジスタ以外の通常の I/O ポートのブロックとアナログ出力許可部で構成されています。

- ポート機能レジスタ (PFR0 ~ PFRI)
- 拡張ポート機能レジスタ (EPFR0 ~ EPFR34)

D/A コントロールレジスタ (DACR0 ~ DACR2) で出力を許可した端子からのアナログ出力を有効にします。D/A コントロールレジスタ (DACR0 ~ DACR2) については、「第 26 章 8 ビット D/A コンバータ」を参照してください。

< 注意事項 >

D/A アナログ出力兼用ポートは P92 ~ P90 です。

■ クロック

I/O ポートで使用するクロックを表 14.2-1 に示します。

表 14.2-1 I/O ポートで使用するクロック

クロック名	内容
動作クロック	周辺クロック (PCLK)

14.3 端子

I/O ポートで使用する端子について説明します。

■ 概要

ポート 0 ~ ポート K に分類される I/O ポートが最大で 126 本用意されています。
同じ番号に分類されたポートは、同時に読出し / 書込みが可能です。

- P00 ~ P07 (ポート 0)
- P10 ~ P17 (ポート 1)
- P20 ~ P27 (ポート 2)
- P30 ~ P37 (ポート 3)
- P40 ~ P47 (ポート 4)
- P50 ~ P57 (ポート 5)
- P60 ~ P67 (ポート 6)
- P70 ~ P77 (ポート 7)
- P80 ~ P87 (ポート 8)
- P90 ~ P92 (ポート 9)
- PA0 ~ PA7 (ポート A)
- PB0 ~ PB6 (ポート B)
- PC0 ~ PC7 (ポート C)
- PG0 ~ PG7 (ポート G)
- PH0 ~ PH7 (ポート H)
- PI0 ~ PI7 (ポート I)
- PK0 ~ PK3 (ポート K)

14.4 レジスタ

I/O ポートで使用するレジスタの構成と機能について説明します。

■ I/O ポートのレジスタ一覧

I/O ポートのレジスタ一覧を表 14.4-1 に示します。

表 14.4-1 I/O ポートのレジスタ一覧 (1 / 2)

ポート	レジスタ略称	レジスタ名	参照先
共通	EPFR0 ~ EPFR34	拡張ポート機能レジスタ 0 ~ 34	14.4.3
	ADCHE	A/D チャネルイネーブルレジスタ	14.4.6
0	DDR0	ポートデータ方向レジスタ 0	14.4.1
	PFR0	ポート機能レジスタ 0	14.4.2
	PCR0	プルアップ制御レジスタ 0	14.4.5
	PDR0	ポートデータレジスタ 0	14.4.4
1	DDR1	ポートデータ方向レジスタ 1	14.4.1
	PFR1	ポート機能レジスタ 1	14.4.2
	PCR1	プルアップ制御レジスタ 1	14.4.5
	PDR1	ポートデータレジスタ 1	14.4.4
2	DDR2	ポートデータ方向レジスタ 2	14.4.1
	PFR2	ポート機能レジスタ 2	14.4.2
	PDR2	ポートデータレジスタ 2	14.4.4
3	DDR3	ポートデータ方向レジスタ 3	14.4.1
	PFR3	ポート機能レジスタ 3	14.4.2
	PDR3	ポートデータレジスタ 3	14.4.4
4	DDR4	ポートデータ方向レジスタ 4	14.4.1
	PFR4	ポート機能レジスタ 4	14.4.2
	PDR4	ポートデータレジスタ 4	14.4.4
5	DDR5	ポートデータ方向レジスタ 5	14.4.1
	PFR5	ポート機能レジスタ 5	14.4.2
	PCR5	プルアップ制御レジスタ 5	14.4.5
	PDR5	ポートデータレジスタ 5	14.4.4
6	DDR6	ポートデータ方向レジスタ 6	14.4.1
	PFR6	ポート機能レジスタ 6	14.4.2
	PCR6	プルアップ制御レジスタ 6	14.4.5
	PDR6	ポートデータレジスタ 6	14.4.4
7	DDR7	ポートデータ方向レジスタ 7	14.4.1
	PFR7	ポート機能レジスタ 7	14.4.2
	PCR7	プルアップ制御レジスタ 7	14.4.5
	PDR7	ポートデータレジスタ 7	14.4.4

表 14.4-1 I/O ポートのレジスタ一覧 (2 / 2)

ポート	レジスタ略称	レジスタ名	参照先
8	DDR8	ポートデータ方向レジスタ 8	14.4.1
	PFR8	ポート機能レジスタ 8	14.4.2
	PCR8	プルアップ制御レジスタ 8	14.4.5
	PDR8	ポートデータレジスタ 8	14.4.4
9	DDR9	ポートデータ方向レジスタ 9	14.4.1
	PCR9	プルアップ制御レジスタ 9	14.4.5
	PDR9	ポートデータレジスタ 9	14.4.4
A	DDRA	ポートデータ方向レジスタ A	14.4.1
	PFRA	ポート機能レジスタ A	14.4.2
	PCRA	プルアップ制御レジスタ A	14.4.5
	PDRA	ポートデータレジスタ A	14.4.4
B	DDRB	ポートデータ方向レジスタ B	14.4.1
	PCRB	プルアップ制御レジスタ B	14.4.5
	PDRB	ポートデータレジスタ B	14.4.4
C	DDRC	ポートデータ方向レジスタ C	14.4.1
	PFRC	ポート機能レジスタ C	14.4.2
	PCRC	プルアップ制御レジスタ C	14.4.5
	PDRC	ポートデータレジスタ C	14.4.4
G	DDRG	ポートデータ方向レジスタ G	14.4.1
	PFRG	ポート機能レジスタ G	14.4.2
	PDRG	ポートデータレジスタ G	14.4.4
H	DDRH	ポートデータ方向レジスタ H	14.4.1
	PFRH	ポート機能レジスタ H	14.4.2
	PDRH	ポートデータレジスタ H	14.4.4
I	DDRI	ポートデータ方向レジスタ I	14.4.1
	PFRI	ポート機能レジスタ I	14.4.2
	PDRI	ポートデータレジスタ I	14.4.4
K	DDRK	ポートデータ方向レジスタ K	14.4.1
	PCRK	プルアップ制御レジスタ K	14.4.5
	PDRK	ポートデータレジスタ K	14.4.4

14.4.1 ポートデータ方向レジスタ (DDR0 ~ DDRK)

端子を汎用ポートとして使用するときに、入出力方向を設定するレジスタです。
外部バスインタフェースや周辺機能の端子として使用する場合は、ポートデータレジスタ (PDR0 ~ PDRK) から、何を読み出すかを設定します。

このビットの設定と、ポート機能レジスタ (PFR0 ~ PFR1) の設定によりポートデータレジスタ (PDR0 ~ PDRK) からの読み出し値 / 書き込み値の意味が異なります。

ポートデータ方向レジスタ (DDR0 ~ DDRK) のビット構成を図 14.4-1 に示します。

図 14.4-1 ポートデータ方向レジスタ (DDR0 ~ DDRK) のビット構成

bit	7	6	5	4	3	2	1	0	初期値	属性
DDR0	DDR07	DDR06	DDR05	DDR04	DDR03	DDR02	DDR01	DDR00	0000 0000	R/W
DDR1	DDR17	DDR16	DDR15	DDR14	DDR13	DDR12	DDR11	DDR10	0000 0000	R/W
DDR2	DDR27	DDR26	DDR25	DDR24	DDR23	DDR22	DDR21	DDR20	0000 0000	R/W
DDR3	DDR37	DDR36	DDR35	DDR34	DDR33	DDR32	DDR31	DDR30	0000 0000	R/W
DDR4	DDR47	DDR46	DDR45	DDR44	DDR43	DDR42	DDR41	DDR40	0000 0000	R/W
DDR5	DDR57	DDR56	DDR55	DDR54	DDR53	DDR52	DDR51	DDR50	0000 0000	R/W
DDR6	DDR67	DDR66	DDR65	DDR64	DDR63	DDR62	DDR61	DDR60	0000 0000	R/W
DDR7	DDR77	DDR76	DDR75	DDR74	DDR73	DDR72	DDR71	DDR70	0000 0000	R/W
DDR8	DDR87	DDR86	DDR85	DDR84	DDR83	DDR82	DDR81	DDR80	0000 0000	R/W
DDR9	未定義	未定義	未定義	未定義	未定義	DDR92	DDR91	DDR90	XXXX X000	R/W
DDRA	DDRA7	DDRA6	DDRA5	DDRA4	DDRA3	DDRA2	DDRA1	DDRA0	0000 0000	R/W
DDRB	未定義	DDRB6	DDRB5	DDRB4	DDRB3	DDRB2	DDRB1	DDRB0	X000 0000	R/W
DDRC	DDRC7	DDRC6	DDRC5	DDRC4	DDRC3	DDRC2	DDRC1	DDRC0	0000 0000	R/W
DDRG	DDRG7	DDRG6	DDRG5	DDRG4	DDRG3	DDRG2	DDRG1	DDRG0	0000 0000	R/W
DDRH	DDRH7	DDRH6	DDRH5	DDRH4	DDRH3	DDRH2	DDRH1	DDRH0	0000 0000	R/W
DDRI	DDRI7	DDRI6	DDRI5	DDRI4	DDRI3	DDRI2	DDRI1	DDRI0	0000 0000	R/W
DDRK	未定義	未定義	未定義	未定義	DDRK3	DDRK2	DDRK1	DDRK0	XXXX 0000	R/W

R/W : リード / ライト可能
X : 不定

ポートの入出力方向を設定します。

書き込み値	説明
0	入力方向
1	出力方向

このビットの設定と、ポート機能レジスタ (PFR0 ~ PFR1) の設定によりポートデータレジスタ (PDR0 ~ PDRK) からの読出し値 / 書込み値の意味が異なります。

レジスタ設定とポートデータレジスタ (PDR0 ~ PDRK) からの読出し値 / 書込み値の関係を表 14.4-2 に示します。

表 14.4-2 レジスタ設定とポートデータレジスタ (PDR0 ~ PDRK) からの読出し値 / 書込み値の関係

モード	DDR	PFR	PDR	
ポート入力 モード	0	0	読出し時 (RMW 系命令以外)	外部端子からの出力レベルが読み出されます。
			読出し時 (RMW 系命令)	PDR レジスタの値を読み出します。
			書込み時	書き込んだ値が PDR レジスタに格納されます。
ポート出力 モード	1	0	読出し時 (RMW 系命令以外)	PDR レジスタの値を読み出します。
			読出し時 (RMW 系命令)	PDR レジスタの値を読み出します。
			書込み時	書き込んだ値が PDR レジスタに書き込まれ、外部端子へ出力されます。
周辺機能 出力モード*	0	1	読出し時 (RMW 系命令以外)	周辺機能からの出力レベルが読み出されます。
			読出し時 (RMW 系命令)	PDR レジスタの値を読み出します。
			書込み時	書き込んだ値が PDR レジスタに格納されます。
	1	1	読出し時 (RMW 系命令以外)	PDR レジスタの値を読み出します。
			読出し時 (RMW 系命令)	PDR レジスタの値を読み出します。
			書込み時	書き込んだ値が PDR レジスタに格納されます。

* 拡張ポート機能レジスタ (EPFR0 ~ EPFR34) で、該当端子に周辺機能の出力端子の機能を割り当て、さらに端子からの出力を有効にする必要があります。

DDR：ポートデータ方向レジスタ (DDR0 ~ DDRK)

PFR：ポート機能レジスタ (PFR0 ~ PFR1)

PDR：ポートデータレジスタ (PDR0 ~ PDRK)

RMW 系命令：リードモディファイライト系命令

< 注意事項 >

- 周辺機能への入力は、拡張ポート機能レジスタ (EPFR0 ~ EPFR34) の該当ビットで、割り当てた端子に常に接続されています。周辺機能への入力は、ポート入力モードで行ってください。

ただし、10 ビット A/D コンバータからの入力を許可している場合は、入力は "0" に、ポートからの出力は Hi-Z に固定されます。また、8 ビット D/A コンバータからの出力を許可している場合は、各レジスタの設定が無効になり、入力は "0" に、ポートからの出力は Hi-Z に固定されます。

また、MD1, MD0 端子でシリアル書込みモードを選択した場合 (MD1, MD0= 01), P75 (AN5 端子) のみデジタル入力可、アナログ入力不可となります。

- 本デバイスをリセットすると、このレジスタの設定は初期値 (00_H) に戻り、すべてのポートの入出力方向が入力になります。
 - PK0, PK1 を低速発振端子として使用する場合は必ず、ポートデータ方向レジスタ K (DDRK) でポートの入出力方向を入力 (DDRK0=0, DDRK1=0) に設定してください。
(ポートの入出力方向が出力に設定されているときに、PK0, PK1 を低速発振端子と使用すると、低速発振不許可時に端子から PDR の値が出力されます。)
-

14.4.2 ポート機能レジスタ (PFR0 ~ PFR1)

端子の利用方法を選択するレジスタです。

このビットの設定と、ポートデータ方向レジスタ (DDR0 ~ DDRK) の設定によりポートデータレジスタ (PDR0 ~ PDRK) からの読出し値 / 書込み値の意味が異なります。

詳細については、「14.4.1 ポートデータ方向レジスタ (DDR0 ~ DDRK)」を参照してください。

ポート機能レジスタ (PFR0 ~ PFR1) のビット構成を図 14.4-2 に示します。

図 14.4-2 ポート機能レジスタ (PFR0 ~ PFR1) のビット構成

bit	7	6	5	4	3	2	1	0	初期値	属性
PFR0	PFR07	PFR06	PFR05	PFR04	PFR03	PFR02	PFR01	PFR00	0000 0000	R/W
PFR1	PFR17	PFR16	PFR15	PFR14	PFR13	PFR12	PFR11	PFR10	0000 0000	R/W
PFR2	PFR27	PFR26	PFR25	PFR24	PFR23	PFR22	PFR21	PFR20	0000 0000	R/W
PFR3	PFR37	PFR36	PFR35	PFR34	PFR33	PFR32	PFR31	PFR30	0000 0000	R/W
PFR4	PFR47	PFR46	PFR45	PFR44	PFR43	PFR42	PFR41	PFR40	0000 0000	R/W
PFR5	PFR57	PFR56	PFR55	PFR54	PFR53	PFR52	PFR51	PFR50	0000 0000	R/W
PFR6	PFR67	PFR66	未定義	PFR64	PFR63	未定義	PFR61	未定義	00X0 0X0X	R/W
PFR7	PFR77	PFR76	PFR75	PFR74	PFR73	PFR72	PFR71	PFR70	0000 0000	R/W
PFR8	PFR87	PFR86	PFR85	PFR84	PFR83	PFR82	PFR81	PFR80	0000 0000	R/W
PFRA	PFRA7	PFRA6	未定義	PFRA4	PFRA3	PFRA2	PFRA1	PFRA0	00X0 0000	R/W
PFRC	PFRC7	PFRC6	PFRC5	PFRC4	未定義	PFRC2	未定義	PFRC0	0000 X0X0	R/W
PFRG	未定義	PFRG6	PFRG5	PFRG4	未定義	PFRG2	PFRG1	PFRG0	X000 X000	R/W
PFRH	PFRH7	PFRH6	未定義	PFRH4	未定義	PFRH2	未定義	PFRH0	00X0 X0X0	R/W
PFR1	PFR17	PFR16	PFR15	PFR14	未定義	PFR12	未定義	PFR10	0000 X0X0	R/W

R/W : リード / ライト可能
X : 不定

端子ごとに汎用ポートとして使用するか、拡張ポート機能レジスタ (EPFR0 ~ EPFR34) で指定した周辺機能の端子として使用するかを設定します。

書込み値	説明
0	汎用ポート
1	周辺機能

このレジスタのビットと拡張ポート機能レジスタ (EPFR0 ~ EPFR34) の対応ビットの設定によって、端子の機能や入出力を次のように設定できます。

PFR	EPFR	対応端子の機能	周辺機能からの出力	周辺機能への入力	ポート出力	外バス端子の出力	外バス端子の入力
0	0	ポート	無効	有効	DDR で設定	無効	有効
1	周辺機能の出力端子の機能を割り当て & 出力を有効に設定	周辺機能の出力端子	有効	有効	無効	無効	有効
		周辺機能の出力端子の機能を割り当てない or 出力を無効に設定	外バス端子 (外バス兼用端子)	無効	有効	無効	有効
		ポート (外バス兼用端子以外)	無効	有効	DDR で設定	-	-

PFR：ポート機能レジスタ (PFR0 ~ PFR1) の対応ビット

EPFR：拡張ポート機能レジスタ (EPFR0 ~ EPFR34) の対応ビット

< 注意事項 >

- 本デバイスをリセットすると，このレジスタの設定が初期値 (00_H) に戻り，すべてのポートが入力になります。
- このレジスタで，端子を汎用ポートとして使用するに設定した場合は，拡張ポート機能レジスタ (EPFR0 ~ EPFR34) で端子に周辺機能を割り当てても，端子は汎用ポートとして使用されます。
- A/D チャネルイネーブルレジスタ (ADCHE) で，アナログ入力を許可した場合は，このレジスタの設定にかかわらず，ポートやほかの機能からの入力は "0" に固定されます。
- D/A コントロールレジスタ (DACR0 ~ DACR2) の DAE ビットで 8 ビット D/A コンバータからの出力を許可 (DAE=1) すると，このレジスタの設定にかかわらず，ポートからの入力は "0" に固定されます。D/A コントロールレジスタ (DACR0 ~ DACR2) については，「第 26 章 8 ビット D/A コンバータ」を参照してください。
- 外部バスインタフェースの端子機能を有効にするには次の設定を行ってください。
 1. 拡張ポート機能レジスタ (EPFR0 ~ EPFR34) の対応ビットですべての周辺機能からの出力を無効に設定
 2. このレジスタの対応ビットに "1" を書き込んで，端子の機能を周辺機能 に設定
- 周辺機能への入力は，拡張ポート機能レジスタ (EPFR0 ~ EPFR34) の該当ビットにより割り当てた端子に常に接続されています。周辺機能への入力は，ポート入力モードで行ってください。

ただし，10 ビット A/D コンバータからの入力を許可している場合は，入力は "0" に，ポートからの出力は Hi-Z に固定されます。また，8 ビット D/A コンバータからの出力を許可している場合は，各レジスタの設定が無効になり，入力は "0" に，ポートからの出力は Hi-Z に固定されます。

14.4.3 拡張ポート機能レジスタ (EPFR0 ~ EPFR34)

1 つの機能に対して、その機能を割り当てられる端子が複数ある場合に、どの端子に機能を割り当てるかを設定するレジスタです。また、端子からの出力を有効 / 無効にします。

拡張ポート機能レジスタ (EPFR0 ~ EPFR34) のビット構成を図 14.4-3 に示します。

図 14.4-3 拡張ポート機能レジスタ (EPFR0 ~ EPFR34) のビット構成

bit	7	6	5	4	3	2	1	0	初期値
EPFR0	未定義	未定義	OUT1E2	OUT1E1	OUT1E0	OUT0E2	OUT0E1	OUT0E0	XX00 0000
EPFR1	未定義	未定義	OUT3E2	OUT3E1	OUT3E0	OUT2E2	OUT2E1	OUT2E0	XX00 0000
EPFR2	未定義	未定義	OUT5E2	OUT5E1	OUT5E0	OUT4E2	OUT4E1	OUT4E0	XX00 0000
EPFR3	未定義	未定義	OUT7E2	OUT7E1	OUT7E0	OUT6E2	OUT6E1	OUT6E0	XX00 0000
EPFR4	IN3E1	IN3E0	IN2E1	IN2E0	IN1E1	IN1E0	IN0E1	IN0E0	0000 0000
EPFR5	IN7E1	IN7E0	IN6E1	IN6E0	IN5E1	IN5E0	IN4E1	IN4E0	0000 0000
EPFR6	SOUT0E2	SOUT0E1	SOUT0E0	SCK0E2	SCK0E1	SCK0E0	SIN0E1	SIN0E0	0000 0000
EPFR7	未定義	未定義	未定義	SOUT1E1	SOUT1E0	SCK1E1	SCK1E0	SIN1E	XXX0 0000
EPFR8	未定義	未定義	未定義	SOUT2E1	SOUT2E0	SCK2E1	SCK2E0	SIN2E	XXX0 0000
EPFR9	未定義	未定義	未定義	SOUT3E1	SOUT3E0	SCK3E1	SCK3E0	SIN3E	XXX0 0000
EPFR10	未定義	未定義	未定義	SOUT4E1	SOUT4E0	SCK4E1	SCK4E0	SIN4E	XXX0 0000
EPFR11	未定義	未定義	未定義	SOUT5E1	SOUT5E0	SCK5E1	SCK5E0	SIN5E	XXX0 0000
EPFR12	未定義	未定義	未定義	SOUT6E1	SOUT6E0	SCK6E1	SCK6E0	SIN6E	XXX0 0000
EPFR13	未定義	未定義	未定義	SOUT7E1	SOUT7E0	SCK7E1	SCK7E0	SIN7E	XXX0 0000
EPFR14	未定義	未定義	未定義	SOUT8E1	SOUT8E0	SCK8E1	SCK8E0	SIN8E	XXX0 0000
EPFR15	未定義	未定義	未定義	SOUT9E1	SOUT9E0	SCK9E1	SCK9E0	SIN9E	XXX0 0000
EPFR16	未定義	未定義	未定義	SOUT10E1	SOUT10E0	SCK10E1	SCK10E0	SIN10E	XXX0 0000
EPFR17	未定義	未定義	未定義	SOUT11E1	SOUT11E0	SCK11E1	SCK11E0	SIN11E	XXX0 0000
EPFR18	UDIN3E1	UDIN3E0	UDIN2E1	UDIN2E0	UDIN1E1	UDIN1E0	UDIN0E1	UDIN0E0	0000 0000
EPFR19	未定義	ADTRG1E2	ADTRG1E1	ADTRG1E0	ADTRG0E2	ADTRG0E1	ADTRG0E0	XAE	X000 0001
EPFR20	未定義	未定義	TIOA1E1	TIOA1E0	TIOB1E	TIOA0E1	TIOA0E0	TIOB0E	XX00 0000
EPFR21	未定義	未定義	TIOA3E1	TIOA3E0	TIOB3E	TIOA2E1	TIOA2E0	TIOB2E	XX00 0000
EPFR22	未定義	未定義	TIOA5E1	TIOA5E0	TIOB5E	TIOA4E1	TIOA4E0	TIOB4E	XX00 0000
EPFR23	未定義	未定義	TIOA7E1	TIOA7E0	TIOB7E	TIOA6E1	TIOA6E0	TIOB6E	XX00 0000
EPFR24	未定義	未定義	TIOA9E1	TIOA9E0	TIOB9E	TIOA8E1	TIOA8E0	TIOB8E	XX00 0000
EPFR25	未定義	未定義	TIOA11E1	TIOA11E0	TIOB11E	TIOA10E1	TIOA10E0	TIOB10E	XX00 0000
EPFR26	未定義	未定義	TIOA13E1	TIOA13E0	TIOB13E	TIOA12E1	TIOA12E0	TIOB12E	XX00 0000
EPFR27	未定義	未定義	TIOA15E1	TIOA15E0	TIOB15E	TIOA14E1	TIOA14E0	TIOB14E	XX00 0000
EPFR28	INT7E	INT6E	INT5E	INT4E	INT3E	INT2E	INT1E	INT0E	0000 0000
EPFR29	INT15E	INT14E	INT13E	INT12E	INT11E	INT10E	INT9E	INT8E	0000 0000
EPFR30	未定義	未定義	未定義	未定義	INT19E	INT18E	INT17E	INT16E	XXXX 0000
EPFR31	未定義	INT23E1	INT23E0	INT22E1	INT22E0	INT21E1	INT21E0	INT20E	X000 0000
EPFR32	INT31E	INT30E	INT29E	INT28E	INT27E	INT26E	INT25E	INT24E	0000 0000
EPFR33	未定義	未定義	TMO1E1	TMO1E0	TMI1E	TMO0E1	TMO0E0	TMI0E	XX00 0000
EPFR34	未定義	TMO2E1	TMO2E0	TMI2E	FRCK1E1	FRCK1E0	FRCK0E1	FRCK0E0	X000 0000

属性：すべて R/W (リード / ライト可能)
X：不定

< 注意事項 >

- ポート機能レジスタ (PFR0 ~ PFR1) で、汎用ポートに設定した端子は、このレジスタの設定にかかわらず、汎用 I/O ポートとして扱われます。
- A/D チャネルイネーブルレジスタ (ADCHE) で、アナログ入力を許可した場合は、このレジスタやポート機能レジスタ (PFR0 ~ PFR1) の設定にかかわらず、ポートからの入力は "0" に固定されます。
- D/A コントロールレジスタ (DACR0 ~ DACR2) の DAE ビットで 8 ビット D/A コンバータからの出力を許可 (DAE=1) した場合は、このレジスタの設定やポート機能レジスタ (PFR0 ~ PFR1) にかかわらず、ポートからの入力は "0" に、ポートからの出力は Hi-Z に固定されます。
D/A コントロールレジスタ (DACR0 ~ DACR2) については、「第 26 章 8 ビット D/A コンバータ」を参照してください。
- 1 つの端子を複数の周辺機能の出力端子として使用することはできません。また、同一の出力機能を複数の端子に割り当てることもできません。
- 1 つの端子を複数の周辺機能の入力端子として使用することができます。ただし、同一の入力機能を複数の端子に割り当てることはできません。
- 1 つの端子に複数の機能が割り当てられた場合の優先順位は次のようになります。
 1. X0A/X1A
 2. マルチファンクションシリアルインタフェース
 3. ベースタイマ
 4. 16 ビットリロードタイマ
 5. 32 ビットアウトプットコンペア
- 周辺機能への入力は、拡張ポート機能レジスタ (EPFR0 ~ EPFR34) の該当ビットで、割り当てた端子に常に接続されています。周辺機能への入力は、ポート入力モードで行ってください。
ただし、10 ビット A/D コンバータからの入力、または 8 ビット D/A コンバータからの出力を許可している場合は、入力は "0" に固定されます。
- このレジスタで周辺機能出力を割り当てる端子を変更する場合は、次の設定を行ってから端子を変更してください。
 - 変更前割り当て端子と変更後割り当て端子をポート入力モードに設定
 - 割り当てを行う周辺機能を無効にする
- このレジスタで周辺機能入力を割り当てる端子を変更する場合は、割り当てを行う周辺機能を無効にしてから、端子を変更してください。

● 拡張ポート機能レジスタ 0 (EPFR0) ~ 拡張ポート機能レジスタ 3 (EPFR3)

[bit5 ~ bit0] : OUTxE2 ~ OUTxE0 (アウトプットコンペア出力端子選択ビット)

32 ビットアウトプットコンペアの出力端子は、チャンネルごとにそれぞれ 3 つ用意されています。

32 ビットアウトプットコンペアの ch.0 ~ ch.7 で使用する端子をそれぞれ選択します。OUT0E2 ~ OUT0E0 ビットが ch.0 に、OUT1E2 ~ OUT1E0 ビットが ch.1 に ... OUT7E2 ~ OUT7E0 ビットが ch.7 に対応しています。

OUTxE2	OUTxE1	OUTxE0	ポート番号	端子名
0	0	0	-	出力無効
		1	0 番ポート	OUTx 端子
	1	0	1 番ポート	OUTx_1 端子
		1	-	設定禁止
1	0	0	2 番ポート	OUTx_2 端子
		1	-	設定禁止
	1	0	-	設定禁止
		1	-	設定禁止

< 注意事項 >

- このビットで出力を無効にした場合は、これらの端子をほかの機能の出力端子として利用できます。
- このビットで出力を無効にし、ほかの機能の出力端子としても利用しない場合は、これらの端子を次のように利用できます。
 - 外バス兼用端子以外：汎用ポート
 - 外バス兼用端子：外部バス

● 拡張ポート機能レジスタ 4 (EPFR4) ~ 拡張ポート機能レジスタ 5 (EPFR5)

[bit7 ~ bit0] : INxE1, INxE0 (インプットキャプチャ入力端子選択ビット)

32 ビットインプットキャプチャの入力端子は、チャンネルごとにそれぞれ 3 つ用意されています。

32 ビットインプットキャプチャの ch.0 ~ ch.7 で使用する端子をそれぞれ選択します。IN0E1, IN0E0 ビットが ch.0 に、IN1E1, IN1E0 ビットが ch.1 に ... IN7E1, IN7E0 ビットが ch.7 に対応しています。

INxE1	INxE0	ポート番号	端子名
0	0	0 番ポート	INx 端子
	1	1 番ポート	INx_1 端子
1	0	2 番ポート	INx_2 端子
	1	-	設定禁止

● 拡張ポート機能レジスタ 6 (EPFR6)

[bit7 ~ bit5] : SOUT0E2 ~ SOUT0E0 (シリアルインタフェース ch.0 シリアルデータ端子選択ビット)

マルチファンクションシリアルインタフェース ch.0 のシリアルデータ出力機能を割り当てる端子を SOUT0, SOUT0_1, SOUT0_2 の中から 1 つ選択します。

SOUT0E2	SOUT0E1	SOUT0E0	ポート番号	端子名
0	0	0	-	出力無効 (入力 : SOUT0 端子 (0 番ポート))
		1	0 番ポート	SOUT0 端子
	1	0	1 番ポート	SOUT0_1 端子
		1	-	設定禁止
1	0	0	2 番ポート	SOUT0_2 端子
		1	-	設定禁止
	1	0	-	設定禁止
		1	-	設定禁止

< 注意事項 >

- このビットで出力を無効にした場合は，この端子をほかの機能の出力端子として利用できます。
- このビットで出力を無効にし，ほかの機能の出力端子としても利用しない場合は，これらの端子を次のように利用できます。
 - 外バス兼用端子以外：汎用ポート
 - 外バス兼用端子：外部バス
- 次のビットで選択する端子は同じポート番号に割り当ててください。
 - SOUT0E2 ~ SOUT0E0 (シリアルデータ出力端子)
 - SCK0E2 ~ SCK0E0 (シリアルクロック入出力端子)
 - SIN0E1, SIN0E0 (シリアルデータ入力端子)
- シリアルデータ端子は周辺機能の設定により，入力端子として機能します。周辺機能の入力は選択端子に常に接続されており，このビットを"000"に設定したときはSOUT0端子 (0 番ポート) が入力に接続されています。

[bit4 ~ bit2] : SCK0E2 ~ SCK0E0 (シリアルインタフェース ch.0 シリアルクロック端子選択ビット)

マルチファンクションシリアルインタフェース ch.0 のシリアルクロック入出力機能を割り当てる端子を SCK0, SCK0_1, SCK0_2 の中から 1 つ選択します。

SCK0E2	SCK0E1	SCK0E0	ポート番号	端子名
0	0	0	-	出力無効 (入力 : SCK0 端子 (0 番ポート))
		1	0 番ポート	SCK0 端子
	1	0	1 番ポート	SCK0_1 端子
		1	-	設定禁止
1	0	0	2 番ポート	SCK0_2 端子
		1	-	設定禁止
	1	0	-	設定禁止
		1	-	設定禁止

< 注意事項 >

- このビットで出力を無効にした場合は , これらの端子をほかの機能の出力端子として利用できます。
- このビットで出力を無効にし , ほかの機能の出力端子としても利用しない場合は , これらの端子を次のように利用できます。
 - 外バス兼用端子以外 : 汎用ポート
 - 外バス兼用端子 : 外部バス
- 次のビットで選択する端子は同じポート番号に割り当ててください。
 - SOUT0E2 ~ SOUT0E0 (シリアルデータ出力端子)
 - SCK0E2 ~ SCK0E0 (シリアルクロック入出力端子)
 - SIN0E1, SIN0E0 (シリアルデータ入力端子)
- 周辺機能の入力は選択端子に常に接続されており , このビットを "000" に設定したときは SCK0 端子 (0 番ポート) が入力に接続されています。

[bit1, bit0] : SIN0E1, SIN0E0 (シリアルインタフェース ch.0 シリアルデータ入力選択ビット)

マルチファンクションシリアルインタフェース ch.0 のシリアルデータ入力機能を割り当てる端子を SIN0, SIN0_1, SIN0_2 の中から 1 つ選択します。

SIN0E1	SIN0E0	ポート番号	端子名
0	0	0 番ポート	SIN0 端子
	1	1 番ポート	SIN0_1 端子
1	0	2 番ポート	SIN0_2 端子
	1	-	設定禁止

< 注意事項 >

- 次のビットで選択する端子は同じポート番号に割り当ててください。
 - SOUT0E2 ~ SOUT0E0 (シリアルデータ出力端子)
 - SCK0E2 ~ SCK0E0 (シリアルクロック入出力端子)
 - SIN0E1, SIN0E0 (シリアルデータ入力端子)

● 拡張ポート機能レジスタ 7 (EPFR7) ~ 拡張ポート機能レジスタ 13 (EPFR13)

[bit4, bit3] : SOUTxE1, SOUTxE0 (シリアルインタフェース ch.1 ~ 7 シリアルデータ端子選択ビット)

マルチファンクションシリアルインタフェース ch.1 ~ ch.7 のシリアルデータ出力端子は、チャンネルごとにそれぞれ 2 つ用意されています。

シリアルデータ出力機能を割り当てる端子をチャンネルごとに選択します。また SOUT1E1, SOUT1E0 ビットが ch.1 に、SOUT2E1, SOUT2E0 ビットが ch.2 に・・・SOUT7E1, SOUT7E0 ビットが ch.7 に対応しています。

SOUTxE1	SOUTxE0	ポート番号	端子名
0	0	-	出力無効 (入力: SOUTx 端子 (0 番ポート))
0	1	0 番ポート	SOUTx 端子
1	0	1 番ポート	SOUTx_1 端子
1	1	-	設定禁止

< 注意事項 >

- このビットで出力を無効にした場合は、この端子をほかの機能の出力端子として利用できます。
- このビットで出力を無効にし、ほかの機能の出力端子としても利用しない場合は、これらの端子を次のように利用できます。
 - 外バス兼用端子以外：汎用ポート
 - 外バス兼用端子：外部バス
- 同じチャンネルで使用する端子 (次のビットで選択する端子) は同じポート番号に割り当ててください。
 - SOUTxE1, SOUTxE0 (シリアルデータ出力端子)
 - SCKxE1, SCKxE0 (シリアルクロック入出力端子)
 - SINxE (シリアルデータ入力端子)
- シリアルデータ端子は周辺機能の設定により、入力端子として機能します。周辺機能の入力は選択端子に常に接続されており、このビットが "00" に設定されているときは SOUTx 端子 (0 番ポート) が入力に接続されています。

[bit2, bit1] : SCKxE1, SCKxE0 (シリアルインタフェース ch.1 ~ 7 シリアルクロック端子選択ビット)

マルチファンクションシリアルインタフェース ch.1 ~ ch.7 のシリアルクロック入出力端子は、チャンネルごとにそれぞれ 2 つ用意されています。

シリアルクロック入出力機能を割り当てる端子をチャンネルごとに選択します。SCK1E1, SCK1E0 ビットが ch.1 に、SCK2E1, SCK2E0 ビットが ch.2 に・・・SCK7E1, SCK7E0 ビットが ch.7 に対応しています。

SCKxE1	SCKxE0	ポート番号	端子名
0	0	-	出力無効 (入力 : SCKx 端子 (0 番ポート))
0	1	0 番ポート	SCKx 端子
1	0	1 番ポート	SCKx_1 端子
1	1	-	設定禁止

< 注意事項 >

- このビットで出力を無効にした場合は、この端子をほかの機能の出力端子として利用できます。
- このビットで出力を無効にし、ほかの機能の出力端子としても利用しない場合は、これらの端子を次のように利用できます。
 - 外バス兼用端子以外：汎用ポート
 - 外バス兼用端子：外部バス
- 同じチャンネルで使用する端子 (次のビットで選択する端子) は同じポート番号に割り当ててください。
 - SOUTxE1, SOUTxE0 (シリアルデータ出力端子)
 - SCKxE1, SCKxE0 (シリアルクロック入出力端子)
 - SINxE (シリアルデータ入力端子)
- シリアルクロックの入力は選択端子に常に接続されており、このビットが "00" に設定されているときは SCKx 端子 (0 番ポート) が入力に接続されています。

[bit0] : SINxE (シリアルインタフェース ch.1 ~ 7 シリアルデータ入力選択ビット)

マルチファンクションシリアルインタフェース ch.1 ~ ch.7 のシリアルデータ入力端子は、チャンネルごとにそれぞれ 2 つ用意されています。

シリアルデータ入力機能を割り当てる端子をチャンネルごとに選択します。SIN1E ビットが ch.1 に、SIN2E ビットが ch.2 に・・・SIN7E ビットが ch.7 に対応しています。

SINxE	ポート番号	端子名
0	0 番ポート	SINx 端子
1	1 番ポート	SINx_1 端子

< 注意事項 >

- 同じチャネルで使用する端子 (次のビットで選択する端子) は同じポート番号に割り当ててください。
 - SOUT0E2 ~ SOUT0E0 (シリアルデータ出力端子)
 - SCK0E2 ~ SCK0E0 (シリアルクロック入出力端子)
 - SIN0E1, SIN0E0 (シリアルデータ入力端子)

● 拡張ポート機能レジスタ 14 (EPFR14) ~ 拡張ポート機能レジスタ 17 (EPFR17)

[bit4, bit3]: SOUTxE1, SOUTxE0 (シリアルインタフェース ch.8 ~ ch.11 シリアルデータ端子選択ビット)

マルチファンクションシリアルインタフェース ch.8 ~ ch.11 のシリアルデータ出力端子を有効にするかどうかをチャネルごとに選択します。SOUT8E1, SOUT8E0 ビットが ch.8 に、SOUT9E1, SOUT9E0 ビットが ch.9 に …SOUT11E1, SOUT11E0 ビットが ch.11 に対応しています。

SOUTxE1	SOUTxE0	ポート番号	端子名
0	0	-	出力無効 (入力: SOUTx 端子 (0 番ポート))
0	1	0 番ポート	SOUTx 端子
1	0	-	設定禁止
1	1	-	設定禁止

< 注意事項 >

- このビットで出力を無効にした場合は、この端子をほかの機能の出力端子として利用できます。
- このビットで出力を無効にし、ほかの機能の出力端子としても利用しない場合は、これらの端子を次のように利用できます。
 - 外バス兼用端子以外: 汎用ポート
 - 外バス兼用端子: 外部バス
- シリアルデータ端子は周辺機能の設定により、入力端子として機能します。周辺機能の入力は選択端子に常に接続されており、このビットが "00" に設定されているときは SOUTx 端子 (0 番ポート) が入力に接続されています。

[bit2, bit1]: SCKxE1, SCKxE0 (シリアルインタフェース ch.8 ~ ch.11 シリアルクロック端子選択ビット)

マルチファンクションシリアルインタフェース ch.8 ~ ch.11 のシリアルクロック入出力端子を有効にするかどうかをチャネルごとに選択します。SCK8E1, SCK8E0 ビットが ch.8 に、SCK9E1, SCK9E0 ビットが ch.9 に …SCK11E1, SCK11E0 ビットが ch.11 に対応しています。

SCKxE1	SCKxE0	ポート番号	端子名
0	0	-	出力無効 (入力: SCKx 端子 (0 番ポート))
0	1	0 番ポート	SCKx 端子
1	0	-	設定禁止
1	1	-	設定禁止

< 注意事項 >

- このビットで出力を無効にした場合は、この端子をほかの機能の出力端子として利用できます。
- このビットで出力を無効にし、ほかの機能の出力端子としても利用しない場合は、これらの端子を次のように利用できます。
 - 外バス兼用端子以外: 汎用ポート
 - 外バス兼用端子: 外部バス
- シリアルクロックの入力は選択端子に常に接続されており、このビットが "00" に設定されているときは SCKx 端子 (0 番ポート) が入力に接続されています。

[bit0] : SINxE (シリアルインタフェース ch.8 ~ ch.11 シリアルデータ入力選択ビット)

マルチファンクションシリアルインタフェース ch.8 ~ ch.11 のシリアルデータ入力端子を割り当てる端子を選択します。このビットには必ず "0" を設定してください。

SINxE	ポート番号	端子名
0	0 番ポート	SINx 端子
1	-	設定禁止

● 拡張ポート機能レジスタ 18 (EPFR18)

[bit7 ~ bit0] : UDINxE1, UDINxE0 (アップダウンカウンタ入力端子選択ビット)

16 ビットアップダウンカウンタの ch.0 ~ ch.3 で使用する端子は、チャンネルごとにそれぞれ 4 つずつ用意されています。

16 ビットアップダウンカウンタで使用する端子をチャンネルごとに選択します。UDIN0E1, UDIN0E0 ビットが ch.0 に、UDIN1E1, UDIN1E0 ビットが ch.1 に ... UDIN3E1, UDIN3E0 ビットが ch.3 に対応しています。

UDINxE1	UDINxE0	ポート番号	端子名
0	0	0 番ポート	AINx/BINx/ZINx 端子
0	1	1 番ポート	AINx_1/BINx_1/ZINx_1 端子
1	0	2 番ポート	AINx_2/BINx_2/ZINx_2 端子
1	1	-	設定禁止

● 拡張ポート機能レジスタ 19 (EPFR19)

[bit6 ~ bit1] : ADTRGxE2 ~ ADTRGxE0 (A/D 変換起動トリガ端子選択ビット)

10 ビット A/D コンバータのユニット 0, ユニット 1 の外部トリガ入力端子は, 4 つ用意されています。

10ビットA/Dコンバータで使用する外部トリガ入力端子をユニットごとに選択します。ADTRG0E2 ~ ADTRG0E0 ビットがユニット 0 に, ADTRG1E2 ~ ADTRG1E0 ビットがユニット 1 に対応しています。

ADTRGxE2	ADTRGxE1	ADTRGxE0	ポート番号	端子名
0	0	0	0 番ポート	ADTRG0 端子
		1	1 番ポート	ADTRG0_1 端子
	1	0	2 番ポート	ADTRG0_2 端子
		1	3 番ポート	ADTRG0_3 端子
1	0	0	-	設定禁止
		1	-	設定禁止
	1	0	-	設定禁止
		1	-	設定禁止

< 注意事項 >

10 ビット A/D コンバータのユニット 0, ユニット 1 で同じ端子を選択すると, 1 つの端子に両ユニットの外部トリガ入力機能が割り当てられます。

[bit0] : XAE (クロック発振入出力端子許可ビット)

低速クロック発振機能を有効にする場合にポート入力を遮断します。低速クロック発振機能を有効にする場合必ず, XAE=1 に設定してください。

書込み値	説明
0	ポート入力を有効にします。
1	ポート入力を無効にします。

< 注意事項 >

- このビットで低速発振機能を無効にした場合は, これらの端子を次のように利用できません。
 - 汎用ポート

● 拡張ポート機能レジスタ 20 (EPFR20) ~ 拡張ポート機能レジスタ 27 (EPFR27)

[bit5, bit4, bit2, bit1] : TIOAxE1, TIOAxEO (ベースタイマ ch.0 ~ 15 端子選択ビット)

ベースタイマの ch.0 ~ ch.15 の出力端子は , チャネルごとにそれぞれ 2 つずつ用意されています。

ベースタイマ ch.0 ~ ch.15 で使用する端子をチャネルごとに選択します。TIOA0E1, TIOA0EO ビットが ch.0 に , TIOA1E1, TIOA1EO ビットが ch.1 に … TIOA15E1, TIOA15EO ビットが ch.15 に対応しています。

TIOAxE1	TIOAxEO	ポート番号	端子名
0	0	-	出力無効 (奇数チャネル入力 : TIOAx 端子 (0 番ポート))
0	1	0 番ポート	TIOAx 端子
1	0	1 番ポート	TIOAx_1 端子
1	1	-	設定禁止

< 注意事項 >

- このビットで出力を無効にした場合は , これらの端子をほかの機能の出力端子として利用できます。
- このビットで出力を無効にし , ほかの機能の出力端子としても利用しない場合は , これらの端子を次のように利用できます。
 - 外バス兼用端子以外 : 汎用ポート
 - 外バス兼用端子 : 外部バス
- 同じチャネルで使用する端子 (次のビットで選択する端子) は同じポート番号に割り当ててください。
 - TIOAxE1, TIOAxEO (ベースタイマ出力端子)
 - TIOBxE (ベースタイマ入力端子)
- 奇数チャネルのベースタイマ出力端子 (TIOAx 端子) は周辺機能の設定により , 入力端子として機能します。周辺機能の入力は選択端子に常に接続されています。このビットが "00" に設定されているときは TIOAx 端子 (0 番ポート) が入力に接続されています。

[bit3, bit0] : TIOBxE (ベースタイマ ch.0 ~ 15 端子入力選択ビット)

ベースタイマの ch.0 ~ ch.15 の入力端子は , チャネルごとにそれぞれ 2 つずつ用意されています。

ベースタイマ ch.0 ~ ch.15 で使用する端子をチャネルごとに選択します。TIOB0E ビットが ch.0 に , TIOB1E ビットが ch.1 に … TIOB15E ビットが ch.15 に対応しています。

TIOBxE	ポート番号	端子名
0	0 番ポート	TIOBx 端子
1	1 番ポート	TIOBx_1 端子

< 注意事項 >

- 同じチャンネルで使用する端子 (次のビットで選択する端子) は同じポート番号に割り当ててください。
 - TIOAxE1, TIOAxEO (ベースタイマ出力端子)
 - TIOBxE (ベースタイマ入力端子)

● 拡張ポート機能レジスタ 28 (EPFR28) ~ 拡張ポート機能レジスタ 30 (EPFR30)

[bit7 ~ bit0] : INT19E ~ INT0E (外部割込み要求端子許可ビット)

外部割込み要求の ch.0 ~ ch.19 の入力端子は、チャンネルごとにそれぞれ 2 つずつ用意されています。

外部割込み要求の ch.0 ~ ch.19 で使用する端子をチャンネルごとに選択します。INT0E ビットが ch.0 に、INT1E ビットが ch.1 に ...INT19E ビットが ch.19 に対応しています。

INTxE	ポート番号	端子名
0	0 番ポート	INTx 端子
1	1 番ポート	INTx_1 端子

● 拡張ポート機能レジスタ 31 (EPFR31)

[bit6 ~ bit1] : INT23E1, INT23E0 ~ INT21E1, INT21E0 (外部割込み要求端子許可ビット)

外部割込み要求の ch.21 ~ ch.23 の入力端子は、チャンネルごとにそれぞれ 3 つずつ用意されています。

外部割込み要求の ch.21 ~ ch.23 で使用する端子をチャンネルごとに選択します。INT21E1, INT21E0 ビットが ch.21 に、INT22E1, INT22E0 ビットが ch.22 に、INT23E1, INT23E0 ビットが ch.23 に対応しています。

INTxE1	INTxE0	ポート番号	端子名
0	0	0 番ポート	INTx 端子
0	1	1 番ポート	INTx_1 端子
1	0	2 番ポート	INTx_2 端子
1	1	-	設定禁止

[bit0] : INT20E (外部割込み要求端子許可ビット)

外部割込み要求の ch.20 の入力端子は、2 つ用意されています。

外部割込み要求の ch.20 で使用する端子を選択します。

INT20E	ポート番号	端子名
0	0 番ポート	INT20 端子
1	1 番ポート	INT20_1 端子

● 拡張ポート機能レジスタ 32 (EPFR32)

[bit7] : INT31E (外部割込み要求端子許可ビット)

外部割込み要求の ch.31 の入力端子を有効にするかどうかを選択します。

INT31E	ポート番号	端子名
0	0 番ポート	INT31 端子
1	-	設定禁止

[bit6 ~ bit0] : INT30E ~ INT24E (外部割込み要求端子許可ビット)

外部割込み要求の ch.24 ~ ch.30 の入力端子は、チャンネルごとにそれぞれ 2 つずつ用意されています。

外部割込み要求の ch.24 ~ ch.30 で使用する端子をチャンネルごとに選択します。INT24E ビットが ch.24 に、INT25E ビットが ch.25 に・・・INT30E ビットが ch.30 に対応しています。

INTxE	ポート番号	端子名
0	0 番ポート	INTx 端子
1	1 番ポート	INTx_1 端子

● 拡張ポート機能レジスタ 33 (EPFR33)

[bit5, bit4, bit2, bit1] : TMOxE1, TMOxE0 (リロードタイマ ch.0 ~ 1 出力端子選択ビット)

16 ビットリロードタイマの ch.0, ch.1 の出力端子は、チャンネルごとにそれぞれ 2 つずつ用意されています。

16 ビットリロードタイマの ch.0, ch.1 で使用する端子をそれぞれ選択します。TMO0E1, TMO0E0 ビットが ch.0 に TMO1E1, TMO1E0 ビットが ch.1 に対応しています。

TMOxE1	TMOxE0	ポート番号	端子名
0	0	-	出力無効
	1	0 番ポート	TMOx 端子
1	0	1 番ポート	TMOx_1 端子
	1	-	設定禁止

< 注意事項 >

- このビットで出力を無効にした場合は、これらの端子をほかの機能の出力端子として利用できます。
- このビットで出力を無効にし、ほかの機能の出力端子としても利用しない場合は、これらの端子を次のように利用できます。
 - 外バス兼用端子以外：汎用ポート
 - 外バス兼用端子：外部バス
- 同じチャンネルで使用する端子 (次のビットで選択する端子) は同じポート番号に割り当ててください。
 - TMOxE1, TMOxE0 (16 ビットリロードタイマ出力端子)
 - TMIxE (16 ビットリロードタイマ入力端子)

[bit3, bit0] : TMIxE (リロードタイマ ch.0 ~ 1 入力端子選択ビット)

16 ビットリロードタイマの ch.0, ch.1 の入力端子は、チャンネルごとにそれぞれ 2 つずつ用意されています。

16 ビットリロードタイマの ch.0, ch.1 で使用する端子をそれぞれ選択します。TMI0E ビットが ch.0 に TMI1E ビットが ch.1 に対応しています。

TMIxE	ポート番号	端子名
0	0 番ポート	TMIx 端子
1	1 番ポート	TMIx_1 端子

< 注意事項 >

- 同じチャンネルで使用する端子 (次のビットで選択する端子) は同じポート番号に割り当ててください。
 - TMOxE1, TMOxE0 (16 ビットリロードタイマ出力端子)
 - TMIxE (16 ビットリロードタイマ入力端子)

● 拡張ポート機能レジスタ 34 (EPFR34)

[bit6, bit5] : TMO2E1, TMO2E0 (リロードタイマ ch.2 出力端子選択ビット)

16 ビットリロードタイマの ch.2 の出力端子は 2 つ用意されています。

16 ビットリロードタイマの ch.2 で使用する端子を選択します。

TMO2E1	TMO2E0	ポート番号	端子名
0	0	-	出力無効
	1	0 番ポート	TMO2 端子
1	0	1 番ポート	TMO2_1 端子
	1	-	設定禁止

< 注意事項 >

- このビットで出力を無効にした場合は、これらの端子をほかの機能の出力端子として利用できます。
- このビットで出力を無効にし、ほかの機能の出力端子としても利用しない場合は、これらの端子を次のように利用できます。
 - 外バス兼用端子以外：汎用ポート
 - 外バス兼用端子：外部バス
- 次のビットで選択する端子は同じポート番号に割り当ててください。
 - TMO2E1, TMO2E0 (16 ビットリロードタイマ出力端子)
 - TMI2E (16 ビットリロードタイマ入出力端子)

[bit4] : TMI2E (リロードタイマ ch.2 入力端子選択ビット)

16 ビットリロードタイマの ch.2 の入力端子は 2 つ用意されています。

16 ビットリロードタイマの ch.2 で使用する端子を選択します。

TMI2E	ポート番号	端子名
0	0 番ポート	TMI2 端子
1	1 番ポート	TMI2_1 端子

< 注意事項 >

- 次のビットで選択する端子は同じポート番号に割り当ててください。
 - TMO2E1, TMO2E0 (16 ビットリロードタイマ出力端子)
 - TMI2E (16 ビットリロードタイマ入出力端子)
-

[bit3 ~ bit0] : FRCKxE1, FRCKxE0 (フリーランタイマ ch.0, ch.1 入力端子選択ビット)

32 ビットフリーランタイマの ch.0, ch.1 の入力端子は, チャンネルごとにそれぞれ 2 つ用意されています。

32 ビットフリーランタイマの ch.0, ch.1 で使用する端子をそれぞれ選択します。

FRCKxE1	FRCKxE0	ポート番号	端子名
0	0	0 番ポート	FRCK _x 端子
	1	1 番ポート	FRCK _x _1 端子
1	0	-	設定禁止
	1	-	設定禁止

14.4.4 ポートデータレジスタ (PDR0 ~ PDRK)

入出力データを格納するレジスタです。

このレジスタから読み出す値や書き込む値は、ポートデータ方向レジスタ (DDR0 ~ DDRK) とポート機能レジスタ (PFR0 ~ PFRI) の設定によって異なります。読み出し値や書き込み値については、「14.4.1 ポートデータ方向レジスタ (DDR0 ~ DDRK)」を参照してください。

ポートデータレジスタ (PDR0 ~ PDRK) のビット構成を図 14.4-4 に示します。

図 14.4-4 ポートデータレジスタ (PDR0 ~ PDRK) のビット構成

bit	7	6	5	4	3	2	1	0	初期値	属性
PDR0	PDR07	PDR06	PDR05	PDR04	PDR03	PDR02	PDR01	PDR00	XXXX XXXX	R/W
PDR1	PDR17	PDR16	PDR15	PDR14	PDR13	PDR12	PDR11	PDR10	XXXX XXXX	R/W
PDR2	PDR27	PDR26	PDR25	PDR24	PDR23	PDR22	PDR21	PDR20	XXXX XXXX	R/W
PDR3	PDR37	PDR36	PDR35	PDR34	PDR33	PDR32	PDR31	PDR30	XXXX XXXX	R/W
PDR4	PDR47	PDR46	PDR45	PDR44	PDR43	PDR42	PDR41	PDR40	XXXX XXXX	R/W
PDR5	PDR57	PDR56	PDR55	PDR54	PDR53	PDR52	PDR51	PDR50	XXXX XXXX	R/W
PDR6	PDR67	PDR66	PDR65	PDR64	PDR63	PDR62	PDR61	PDR60	XXXX XXXX	R/W
PDR7	PDR77	PDR76	PDR75	PDR74	PDR73	PDR72	PDR71	PDR70	XXXX XXXX	R/W
PDR8	PDR87	PDR86	PDR85	PDR84	PDR83	PDR82	PDR81	PDR80	XXXX XXXX	R/W
PDR9	未定義	未定義	未定義	未定義	未定義	PDR92	PDR91	PDR90	XXXX XXXX	R/W
PDRA	PDRA7	PDRA6	PDRA5	PDRA4	PDRA3	PDRA2	PDRA1	PDRA0	XXXX XXXX	R/W
PDRB	未定義	PDRB6	PDRB5	PDRB4	PDRB3	PDRB2	PDRB1	PDRB0	XXXX XXXX	R/W
PDRC	PDRC7	PDRC6	PDRC5	PDRC4	PDRC3	PDRC2	PDRC1	PDRC0	XXXX XXXX	R/W
PDRG	PDRG7	PDRG6	PDRG5	PDRG4	PDRG3	PDRG2	PDRG1	PDRG0	XXXX XXXX	R/W
PDRH	PDRH7	PDRH6	PDRH5	PDRH4	PDRH3	PDRH2	PDRH1	PDRH0	XXXX XXXX	R/W
PDRI	PDRI7	PDRI6	PDRI5	PDRI4	PDRI3	PDRI2	PDRI1	PDRI0	XXXX XXXX	R/W
PDRK	未定義	未定義	未定義	未定義	PDRK3	PDRK2	PDRK1	PDRK0	XXXX XXXX	R/W

R/W : リード / ライト可能
X : 不定

< 注意事項 >

- リードモディファイライト系命令で、このレジスタを読み出すと、次のレジスタの設定にかかわらず、このレジスタの値が読み出されます。
 - ポートデータ方向レジスタ (DDR0 ~ DDRK)
 - ポート機能レジスタ (PFR0 ~ PFRI)
- 本デバイスをリセットしても、このレジスタの値は初期化されません。

14.4.5 プルアップ制御レジスタ (PCR0 ~ PCRK)

プルアップを設定するレジスタです。プルアップを設定できる端子に対し、1 つずつビットが用意されているので、対応する端子に "1" を書き込むことで、端子ごとにプルアップを設定することができます。

プルアップ制御レジスタ (PCR0 ~ PCRK) のビット構成を図 14.4-5 に示します。

図 14.4-5 プルアップ制御レジスタ (PCR0 ~ PCRK) のビット構成

bit	7	6	5	4	3	2	1	0	初期値	属性
PCR0	PCR07	PCR06	PCR05	PCR04	PCR03	PCR02	PCR01	PCR00	0000 0000	R/W
PCR1	PCR17	PCR16	PCR15	PCR14	PCR13	PCR12	PCR11	PCR10	0000 0000	R/W
PCR5	PCR57	PCR56	PCR55	PCR54	PCR53	PCR52	PCR51	PCR50	0000 0000	R/W
PCR6	PCR67	PCR66	PCR65	PCR64	PCR63	PCR62	PCR61	PCR60	0000 0000	R/W
PCR7	PCR77	PCR76	PCR75	PCR74	PCR73	PCR72	PCR71	PCR70	0000 0000	R/W
PCR8	PCR87	PCR86	PCR85	PCR84	PCR83	PCR82	PCR81	PCR80	0000 0000	R/W
PCR9	未定義	未定義	未定義	未定義	未定義	PCR92	PCR91	PCR90	XXXX X000	R/W
PCRA	PCRA7	PCRA6	PCRA5	PCRA4	PCRA3	PCRA2	PCRA1	PCRA0	0000 0000	R/W
PCRB	未定義	PCRB6	PCRB5	PCRB4	PCRB3	PCRB2	PCRB1	PCRB0	X000 0000	R/W
PCRC	PCRC7	PCRC6	PCRC5	PCRC4	PCRC3	PCRC2	PCRC1	PCRC0	0000 0000	R/W
PCRK	未定義	未定義	未定義	未定義	PCRK3	PCRK2	未定義	未定義	XXXX 00XX	R/W

R/W : リード / ライト可能
X : 不定

ビットごとに、割り当てられた端子にプルアップを設定するかどうかを設定します。
プルアップを設定すると、端子にプルアップ抵抗が接続されます。

書込み値	説明
0	プルアップを設定しません。
1	プルアップを設定します。

< 注意事項 >

- 次の場合は、このレジスタの設定にかかわらずプルアップは設定されません。
 - ポート出力時 (周辺機能出力時)
 - ストップモード時 (Hi-Z 選択時)
 - D/A アナログ出力許可時 (ポート 9 のみ)

14.4.6 A/D チャネルイネーブルレジスタ (ADCHE)

AN0 ~ AN30 端子からアナログ信号を入力するかどうかを設定するレジスタです。
A/D アナログ入力を設定できる端子に対し、1 つずつビットが用意されているので、対応する端子に "1" を書き込むことで、端子ごとに A/D アナログ入力を許可にすることができます。
A/D チャネルイネーブルレジスタ (ADCHE) のビット構成を図 14.4-6 に示します。

図 14.4-6 A/D チャネルイネーブルレジスタ (ADCHE) のビット構成

bit	31	30	0
	未定義	ADE30 ~ ADE0	
属性	-	R/W	
初期値	X	111 1111 1111 1111 1111 1111 1111 1111	

R/W : リード / ライト可能

X : 不定

[bit31] : 未定義ビット

書込み時	無視されます。
読出し時	値は不定です。

[bit30 ~ bit0] : ADE30 ~ ADE0 (アナログ入力許可ビット)

ビットに対応する端子からのアナログ信号入力を許可 / 禁止します。

書込み値	説明
0	アナログ信号の入力を禁止します。
1	アナログ信号の入力を許可します。

ADE30 ビットが ch.30, ADE29 ビットが ch.29, ADE28 ビットが ch.28・・・ADE1 ビットが ch.1, ADE0 ビットが ch.0 に対応します。

< 注意事項 >

- AN0 ~ AN30 端子を 10 ビット A/D コンバータのアナログ信号入力端子として利用する場合は、必ずチャネルに対応するビットに "1" を書き込んでください。
- このレジスタで、アナログ入力を許可すると、ポート機能レジスタ (PFR0 ~ PFRI) や拡張ポート機能レジスタ (EPFR0 ~ EPFR34) の設定にかかわらず、ポートおよび周辺機能からの入力は "0" に、出力は Hi-Z に固定されます。

14.5 使用上の注意

I/O ポートを使用する際は次の点に注意してください。

- 各レジスタの優先順位は次のようになります。
 1. A/D チャネルイネーブルレジスタ (ADCHE), D/A コントロールレジスタ (DACR0 ~ DACR2)
 2. ポート機能レジスタ (PFR0 ~ PFRI)
 3. 拡張ポート機能レジスタ (EPFR0 ~ EPFR34)設定が矛盾すると、優先順位の高い設定が反映されます。
- D/A コントロールレジスタ (DACR0 ~ DACR2) の DAE ビットで 8 ビット D/A コンバータからの出力を許可 (DAE=1) すると、ポートからの入力は "0" に、ポートからの出力は Hi-Z に固定されます。

D/A コントロールレジスタ (DACR0 ~ DACR2) については、「第 26 章 8 ビット D/A コンバータ」を参照してください。
- A/D チャネルイネーブルレジスタ (ADCHE) でアナログ入力を許可すると、ポートからの入力は "0" に、ポートからの出力は Hi-Z に固定されます。
- 1 つの端子に複数の機能が割り当てられた場合の優先順位は次のようになります。
 1. X0A/X1A
 2. マルチファンクションシリアルインタフェース
 3. ベースタイマ
 4. 16 ビットリロードタイマ
 5. 32 ビットアウトプットコンペア
- 1 つの端子を複数の周辺機能の出力端子として使用することはできません。また、同一の出力機能を複数の端子に割り当てることもできません。
- 1 つの端子を複数の周辺機能の入力端子として使用することができます。ただし、同一の入力機能を複数の端子に割り当てることはできません。
- スタンバイモード (ストップモード/時計モード/メインタイマモード) 中に、端子に Hi-Z を設定すると、入力は "0" に固定されます。ただし、発生が許可されている外部割込み要求の入力は "0" に固定されず使用できます。
- 周辺機能出力を割り当てる端子を変更するには、該当端子の (変更前割り当て端子と変更後割り当て端子) をポート入力モードかつ、割り当てを行う周辺機能を無効にして行ってください。
- 周辺機能入力を割り当てる端子を変更するには、割り当てを行う周辺機能を無効にして行ってください。
- PK0, PK1 を低速発振端子として使用する場合は、ポートデータ方向レジスタ K (DDRK) で、ポートの入出力方向を入力 (DDRK0=0, DDRK1=0) に設定してください。

- 周辺機能を割り当てられる端子が複数ある場合に、どの端子に機能を割り当てるかを設定したり、端子からの周辺機能出力を有効 / 無効にしたりできます。

ただし、周辺機能の入出力が複数ある場合、それぞれの入出力は同じグループのポートに設定してください。

例) ch.1 マルチファンクションシリアルインタフェース設定例

シリアルデータ 出力	シリアルクロック 入出力	シリアルデータ 入力	有効ポート
SOUT1 端子 (0 番ポート)	SCK1 端子 (0 番ポート)	SIN1 端子 (0 番ポート)	0 番ポート
		SIN1_1 端子 (1 番ポート)	設定禁止
	SCK1_1 端子 (1 番ポート)	SIN1 端子 (0 番ポート)	
		SIN1_1 端子 (1 番ポート)	
SOUT1_1 端子 (1 番ポート)	SCK1 端子 (0 番ポート)	SIN1 端子 (0 番ポート)	
		SIN1_1 端子 (1 番ポート)	
	SCK1_1 端子 (1 番ポート)	SIN1 端子 (0 番ポート)	
		SIN1_1 端子 (1 番ポート)	1 番ポート

第 15 章 外部割込み制御部

外部割込み制御部の機能と動作について説明します。

- 15.1 概要
- 15.2 構成
- 15.3 端子
- 15.4 レジスタ
- 15.5 動作説明と設定手順例

15.1 概要

外部割込み制御部は、外部割込み信号のエッジ / レベルを検出し、外部割込み要求を制御します。

本製品は、外部割込み信号の入力端子を 32 本内蔵しています。

■ 概要

外部割込み制御部は、外部割込み信号から、あらかじめ設定したエッジ / レベルを検出すると、外部割込みを要求します。

検出するエッジ / レベルは、次の 4 種類から選択できます。

- "H" レベル
- "L" レベル
- 立上りエッジ
- 立下りエッジ

また、外部割込み要求はスリープモードとスタンバイモード (時計モードまたはストップモード) からの復帰にも利用できます。

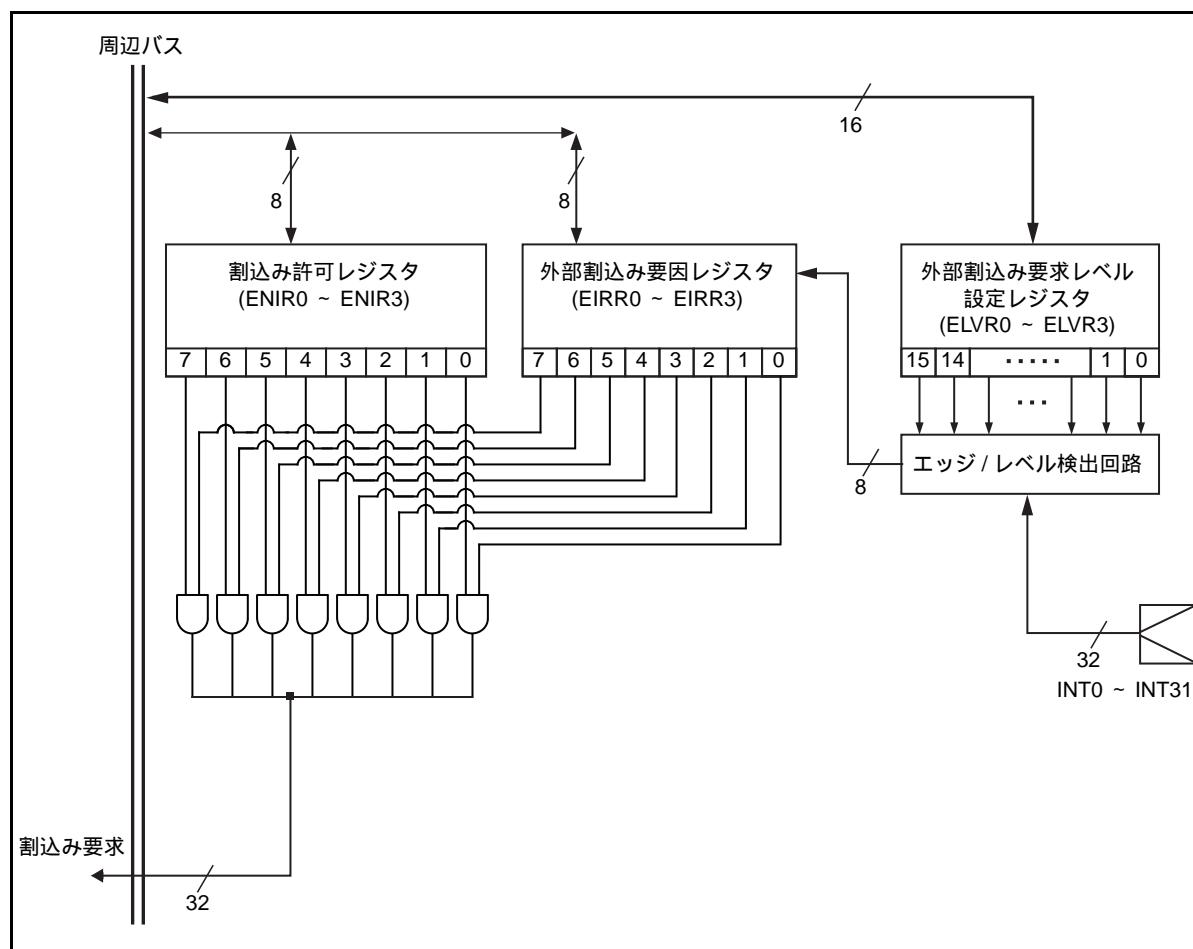
15.2 構成

外部割込み制御部の構成を示します。

■ 外部割込み制御部のブロックダイアグラム

外部割込み制御部のブロックダイアグラムを図 15.2-1 に示します。

図 15.2-1 外部割込み制御部のブロックダイアグラム



- 外部割込み要求レベル設定レジスタ (ELVR0 ~ ELVR3)
INT0 ~ INT31 端子に入力された信号が、外部割込み要求であるかどうかを判断するためのエッジ / レベルを設定するレジスタです。
- 外部割込み要因レジスタ (EIRR0 ~ EIRR3)
割込み要因 (どの端子から外部割込み要求が発生したか) を保持するレジスタです。
- 割込み許可レジスタ (ENIR0 ~ ENIR3)
外部割込み要求の許可 / 禁止を設定するレジスタです。
- エッジ / レベル検出回路
INT0 ~ INT31 端子に入力された信号のエッジ / レベルを検出する回路です。

■ クロック

外部割込み制御部で使用するクロックを表 15.2-1 に示します。

表 15.2-1 外部割込み制御部で使用するクロック

クロック名	内容
動作クロック	周辺クロック (PCLK)

15.3 端子

外部割込み制御部で使用する端子について説明します。

■ 概要

外部割込み制御部には、次の端子があります。

- INT0 ~ INT31 端子

外部割込信号入力端子です。

この端子は兼用端子です。外部割込み制御部の INT0 ~ INT31 端子として使用するには「2.4 端子の設定方法」を参照してください。

15.4 レジスタ

外部割込み制御部で使用するレジスタの構成と機能について説明します。

■ 外部割込み制御部のレジスタ一覧

外部割込み制御部のレジスタ一覧を表 15.4-1 に示します。

表 15.4-1 外部割込み制御部のレジスタ一覧

チャンネル	レジスタ略称	レジスタ名	参照先
共通	ELVR0	外部割込み要求レベル設定レジスタ 0	15.4.1
	EIRR0	外部割込み要因レジスタ 0	15.4.2
	ENIR0	割込み許可レジスタ 0	15.4.3
	ELVR1	外部割込み要求レベル設定レジスタ 1	15.4.1
	EIRR1	外部割込み要因レジスタ 1	15.4.2
	ENIR1	割込み許可レジスタ 1	15.4.3
	ELVR2	外部割込み要求レベル設定レジスタ 2	15.4.1
	EIRR2	外部割込み要因レジスタ 2	15.4.2
	ENIR2	割込み許可レジスタ 2	15.4.3
	ELVR3	外部割込み要求レベル設定レジスタ 3	15.4.1
	EIRR3	外部割込み要因レジスタ 3	15.4.2
	ENIR3	割込み許可レジスタ 3	15.4.3

15.4.1 外部割込み要求レベル設定レジスタ (ELVR0 ~ ELVR3)

外部割込み要求を検出するためのエッジ / レベルを設定するレジスタです。

外部割込み要求レベル設定レジスタ (ELVR0 ~ ELVR3) のビット構成を図 15.4-1 に示します。

図 15.4-1 外部割込み要求レベル設定レジスタ (ELVR0 ~ ELVR3) のビット構成

外部割込み要求レベル設定レジスタ 0 (ELVR0)								
bit	15	14	13	12	11	10	9	8
	LB7	LA7	LB6	LA6	LB5	LA5	LB4	LA4
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0
bit	7	6	5	4	3	2	1	0
	LB3	LA3	LB2	LA2	LB1	LA1	LB0	LA0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0
外部割込み要求レベル設定レジスタ 1 (ELVR1)								
bit	15	14	13	12	11	10	9	8
	LB15	LA15	LB14	LA14	LB13	LA13	LB12	LA12
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0
bit	7	6	5	4	3	2	1	0
	LB11	LA11	LB10	LA10	LB9	LA9	LB8	LA8
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0
外部割込み要求レベル設定レジスタ 2 (ELVR2)								
bit	15	14	13	12	11	10	9	8
	LB23	LA23	LB22	LA22	LB21	LA21	LB20	LA20
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0
bit	7	6	5	4	3	2	1	0
	LB19	LA19	LB18	LA18	LB17	LA17	LB16	LA16
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

(続く)

(続き)

外部割込み要求レベル設定レジスタ 3 (ELVR3)								
bit	15	14	13	12	11	10	9	8
	LB31	LA31	LB30	LA30	LB29	LA29	LB28	LA28
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

bit	7	6	5	4	3	2	1	0
	LB27	LA27	LB26	LA26	LB25	LA25	LB24	LA24
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

R/W : リード / ライト可能

LB31 ~ LB0, LA31 ~ LA0 (検出条件選択ビット)

外部割込み要求として検出する信号のエッジ / レベルを選択します。このビットで選択したエッジ / レベルを検出すると、外部割込み要求として認識されます。

LB0 ~ LB31 ビットおよび LA0 ~ LA31 ビットは、それぞれ INT0 ~ INT31 端子に対応しています。たとえば、INT0 端子は LB0 ビットと LA0 ビットで設定します。

LB31 ~ LB0	LA31 ~ LA0	説明
0	0	"L" レベル検出
0	1	"H" レベル検出
1	0	立上りエッジ検出
1	1	立下りエッジ検出

スタンバイモードからの復帰に外部割込み要求を利用するときは、「15.5.2 スタンバイモードからの復帰」を参照してください。

< 注意事項 >

- このビットで設定したエッジ / レベルを検出するには、最小 3T (T: 周辺クロック (PCLK) の周期) のパルス幅が必要です。このパルス幅に満たない信号が入力された場合は、正しく動作しないことがあります。
- 検出条件を "L" レベル検出 / "H" レベル検出に設定しているときは、外部割込み要求が取り下げられても、割込み要因が外部割込み要因レジスタ (EIRR0 ~ EIRR3) に保持されます。そのため、外部割込み要求は割込みコントローラに出力されたままになります。割込みコントローラへの外部割込み要求を取り下げるには、外部割込み要因レジスタ (EIRR0 ~ EIRR3) の対応するビットを "0" にクリアしてください。
ただし、INT0 ~ INT31 端子から有効レベルが入力されている間は、外部割込み要因レジスタ (EIRR0 ~ EIRR3) をクリアしても、外部割込みが要求されたままになります。割込み要因の保持および、割込み要因のクリア時の動作図は、「15.5 動作説明と設定手順例」の「外部割込み要求の取下げ」を参照してください。
- このビットを書き換えて検出条件を変更すると、誤った割込み要因が発生する場合があります。誤った割込み要因の発生を避けるため、検出条件を変更したら、次の操作を行ってください。
 6. 外部割込み要求レベル設定レジスタ (ELVR0 ~ ELVR3) を読み出す
 7. 外部割込み要因レジスタ (EIRR0 ~ EIRR3) に "0" を書き込み、割込み要因をクリアする

15.4.2 外部割込み要因レジスタ (EIRR0 ~ EIRR3)

外部割込み要求の割込み要因 (どの端子から外部割込み要求が発生したか) を保持するレジスタです。

外部割込み要因レジスタ (EIRR0 ~ EIRR3) のビット構成を図 15.4-2 に示します。

図 15.4-2 外部割込み要因レジスタ (EIRR0 ~ EIRR3) のビット構成

外部割込み要因レジスタ 0 (EIRR0)

bit	7	6	5	4	3	2	1	0
	ER7	ER6	ER5	ER4	ER3	ER2	ER1	ER0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

外部割込み要因レジスタ 1 (EIRR1)

bit	7	6	5	4	3	2	1	0
	ER15	ER14	ER13	ER12	ER11	ER10	ER9	ER8
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

外部割込み要因レジスタ 2 (EIRR2)

bit	7	6	5	4	3	2	1	0
	ER23	ER22	ER21	ER20	ER19	ER18	ER17	ER16
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

外部割込み要因レジスタ 3 (EIRR3)

bit	7	6	5	4	3	2	1	0
	ER31	ER30	ER29	ER28	ER27	ER26	ER25	ER24
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

R/W：リード / ライト可能

ER31 ~ ER0 (外部割込み要求フラグビット)

外部割込み要求が検出されたことを示します。

ER0 ~ ER31 ビットは、それぞれ INT0 ~ INT31 端子に対応しています。たとえば、ER0 ビットは INT0 端子、ER31 ビットは INT31 端子から外部割込み要求を検出します。

割込み許可レジスタ (ENIR0 ~ ENIR3) の EN0 ~ EN31 ビットが "1" に設定されているときに、このビットが "1" になると、外部割込み要求が発生します。

ER31 ~ ER0	読出し時	書込み時
0	外部割込み要求は検出されていません。	割込み要因がクリアされます。
1	外部割込み要求が検出されました。	無視されます。

< 注意事項 >

- リードモディファイライト系命令では "1" が読み出されます。
 - 外部割込み要求レベル設定レジスタ (ELVR0 ~ ELVR3) で、検出条件を、"L" レベル検出 / "H" レベル検出に設定しているときに、このビットをクリアしても、INT0 ~ INT31 端子から有効レベルが入力されていると、このビットは再び "1" に変わります。
-

15.4.3 割込み許可レジスタ (ENIR0 ~ ENIR3)

外部割込み要求を許可 / 禁止するレジスタです。

割込み許可レジスタ (ENIR0 ~ ENIR3) のビット構成を図 15.4-3 に示します。

図 15.4-3 割込み許可レジスタ (ENIR0 ~ ENIR3) のビット構成

割込み許可レジスタ 0 (ENIR0)

bit	7	6	5	4	3	2	1	0
	EN7	EN6	EN5	EN4	EN3	EN2	EN1	EN0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

割込み許可レジスタ 1 (ENIR1)

bit	7	6	5	4	3	2	1	0
	EN15	EN14	EN13	EN12	EN11	EN10	EN9	EN8
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

割込み許可レジスタ 2 (ENIR2)

bit	7	6	5	4	3	2	1	0
	EN23	EN22	EN21	EN20	EN19	EN18	EN17	EN16
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

割込み許可レジスタ 3 (ENIR3)

bit	7	6	5	4	3	2	1	0
	EN31	EN30	EN29	EN28	EN27	EN26	EN25	EN24
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

R/W : リード / ライト可能

EN31 ~ EN0 (割込み許可ビット)

外部割込みを許可 / 禁止します。

EN0 ~ EN31 ビットは、外部割込み要因レジスタ (EIRR0 ~ EIRR3) の各ビットに対応しています。

書込み値	説明
0	外部割込み要求の発生を禁止します。 割込み要因を保持するだけで、外部割込み要求を出力しません。
1	外部割込み要求の発生を許可します。 外部割込み要求を出力します。

15.5 動作説明と設定手順例

外部割込み制御部の動作と設定手順例について説明します。

15.5.1 外部割込み制御部の動作

■ 概要

外部割込み制御部は、外部信号入力端子に入力された信号から、あらかじめ設定したエッジ / レベルを検出すると、割込みが許可されているときに、外部割込み要求を出力します。

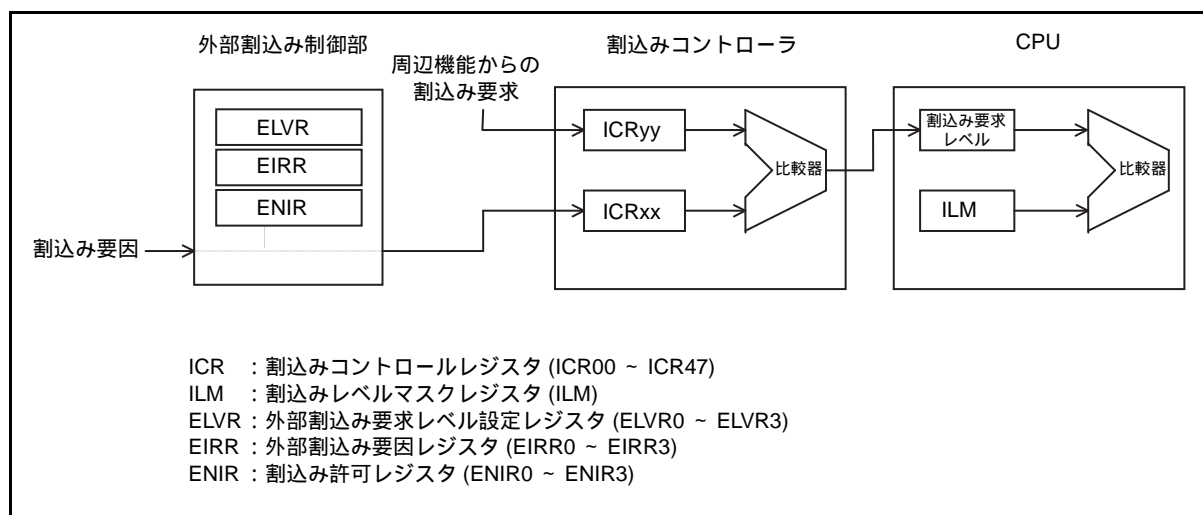
検出するエッジ / レベルは、次の 4 種類から選択できます。

- "H" レベル
- "L" レベル
- 立上りエッジ (スタンバイモードからの復帰時のみ, INT0 ~ INT7 端子は "L" レベル, INT8 ~ INT31 端子は立上りエッジを検出)
- 立下りエッジ (スタンバイモードからの復帰時のみ, INT0 ~ INT7 端子は "H" レベル, INT8 ~ INT31 端子は立下りエッジを検出)

他の周辺機器から割込み要求が同時に発生した場合は、割込みコントローラ内で優先順位が決められます。外部割込み要求の優先順位が高い場合は外部割込みが発生します。

外部割込み制御部の動作を図 15.5-1 に示します。

図 15.5-1 外部割込み制御部の動作



■ 設定手順

外部割込みは、次の手順で設定してください。

1. 割込み許可レジスタ (ENIR0 ~ ENIR3) で外部割込みを禁止する
2. 外部割込み要求レベル設定レジスタ (ELVR0 ~ ELVR3) で検出条件 (有効エッジ / レベル) を変更する
3. 外部割込み要求レベル設定レジスタ (ELVR0 ~ ELVR3) を読み出す
4. 外部割込み要因レジスタ (EIRR0 ~ EIRR3) で割込み要因をクリアする
5. 割込み許可レジスタ (ENIR0 ~ ENIR3) で外部割込みを許可する

< 注意事項 >

- 外部割込み制御部を設定するときは、事前に割込み許可レジスタ (ENIR0 ~ ENIR3) で外部割込みを禁止してください。
 - 外部割込み要求の出力を許可するときは、事前に外部割込み要因レジスタ (EIRR0 ~ EIRR3) で割込み要因をクリアしてください。
-

■ 制御動作

外部割込み制御部は、次の順序で割込みコントローラへ外部割込みを要求します。

1. INT0 ~ INT31 端子に入力された信号が、外部割込み要求レベル設定レジスタ (ELVR0 ~ ELVR3) で設定したエッジ / レベルを検出する
2. 割込み許可レジスタ (ENIR0 ~ ENIR3) で外部割込みが許可されているかどうかチェックする
3. 外部割込みが許可されている場合は、割込みコントローラへ外部割込み要求を出力する

■ 外部割込み要求の取下げ

外部割込みの検出条件を "L" レベル検出 / "H" レベル検出に設定しているときは、外部割込みを取り下げても、割込み要因が外部割込み要因レジスタ (EIRR0 ~ EIRR3) に保持されます。そのため、外部割込みは割込みコントローラに出力されたままになります。

割込みコントローラへの外部割込み要求を取り下げるには、外部割込み要因レジスタ (EIRR0 ~ EIRR3) の対応するビットを "0" にクリアしてください。これによって割込み要因がクリアされ、外部割込み要求が取り下げられます。

ただし、INT0 ~ INT31 端子から有効レベルが入力されている間は、外部割込み要因レジスタ (EIRR0 ~ EIRR3) をクリアしても、外部割込みは割込みコントローラへ出力されたままになります。

割込み要因の保持については図 15.5-2 に、割込み要因のクリアについては図 15.5-3 に示します。

図 15.5-2 割込み要因の保持

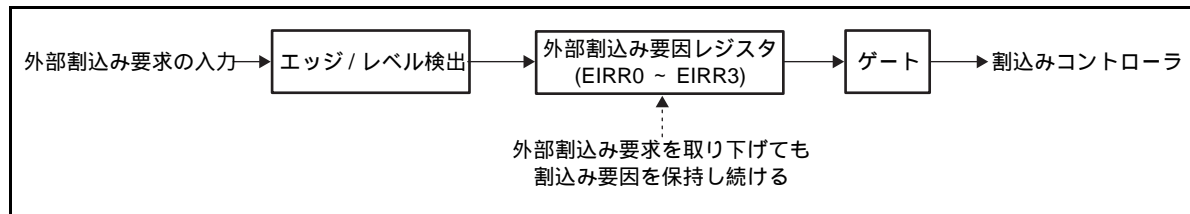
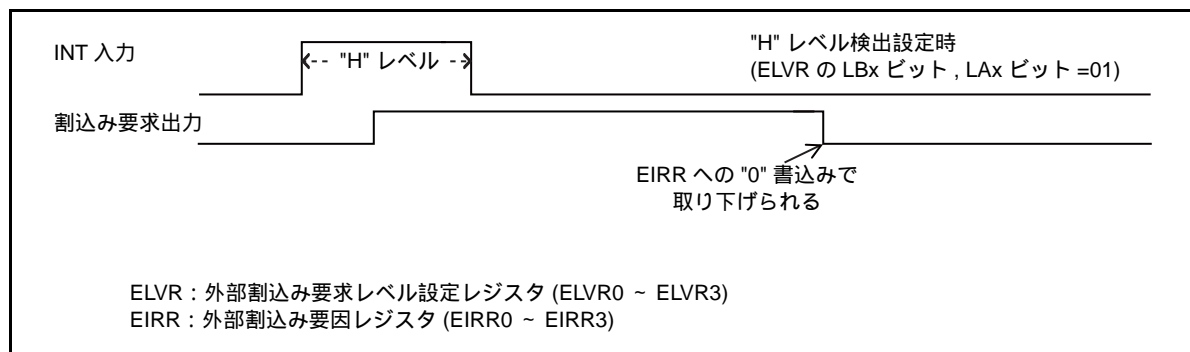


図 15.5-3 割込み要因のクリア



15.5.2 スタンバイモードからの復帰

■ 概要

スタンバイモード（時計モードまたはストップモード）からの復帰に、外部割込み要求を利用できます。スタンバイモード時に、INT0 ~ INT31 端子に最初に入力された信号は非同期で入力され、スタンバイモードからの復帰に利用できます。

■ 設定

スタンバイモードに移行する前に、割込み許可レジスタ (ENIR0 ~ ENIR3) で INT0 ~ INT31 端子を次のように設定してください。

- スタンバイモードからの復帰に利用する端子：割込み要求の出力許可
- スタンバイモードからの復帰に利用しない端子：割込み要求の出力禁止

■ 復帰動作

スタンバイモード時に、INT0 ~ INT31 端子に入力された信号で有効レベルを検出すると、スタンバイモードから復帰します。

外部割込み要求の検出条件とスタンバイモードからの復帰レベルの対応を表 15.5-1 に示します。

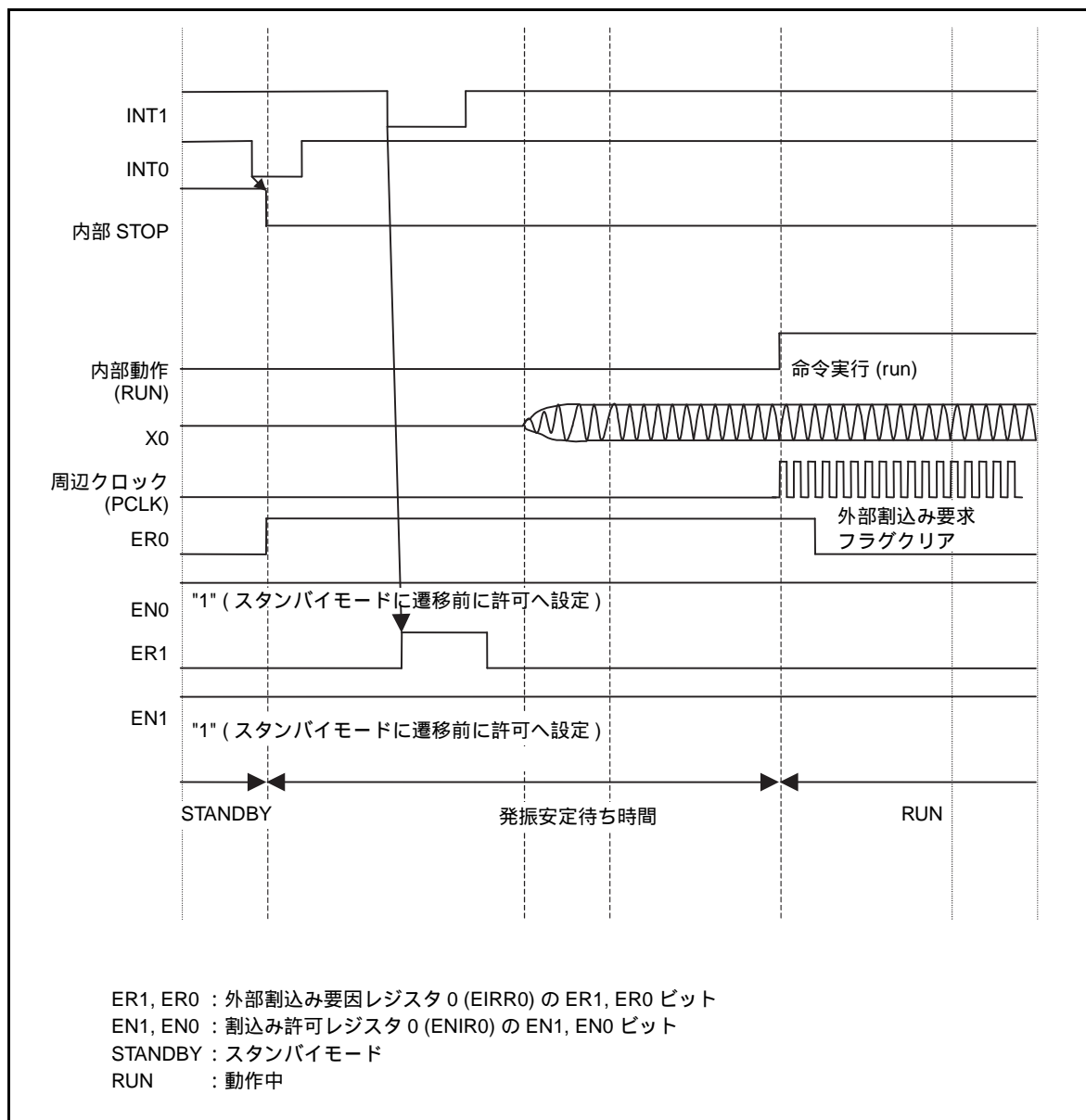
表 15.5-1 外部割込み要求の検出条件とスタンバイモードからの復帰レベル

検出条件	LB31 ~ LB0	LA31 ~ LA0	スタンバイモードからの復帰レベル
"L" レベル検出	0	0	"L" レベル検出
"H" レベル検出	0	1	"H" レベル検出
立上りエッジ検出	1	0	INT0 ~ INT7端子は"L"レベル、 INT8 ~ INT31 端子は立上りエッジを検出
立下りエッジ検出	1	1	INT0 ~ INT7端子は"H"レベル、 INT8 ~ INT31 端子は立下りエッジを検出

スタンバイモードからの復帰後、発振安定待ち時間が経過するまでは、他の外部割込み要求を認識できません。スタンバイモードから復帰した後に、外部割込み要求を出力する場合は、発振安定待ち時間が経過してから、外部割込み要求の信号を入力してください。

INT0 端子と INT1 端子を例とした , スタンバイモードからの復帰動作を図 15.5-4 に示します。

図 15.5-4 スタンバイモードからの復帰動作



15.5.3 スリープモードからの復帰

■ 概要

スリープモードからの復帰に、外部割込み要求を利用できます。

■ 設定

スリープモードに移行する前に、割込み許可レジスタ (ENIR0 ~ ENIR3) でINT0 ~ INT31 端子を次のように設定してください。

- スリープモードからの復帰に利用する端子：割込み要求の出力許可
- スリープモードからの復帰に利用しない端子：割込み要求の出力禁止

■ 復帰動作

スリープモード時に、INT0 ~ INT31 端子に設定したエッジ / レベルが入力されるとスリープモードから復帰します。

第 16 章 ウォッチドッグ タイマ

ウォッチドッグタイマの機能と動作について説明します。

- 16.1 概要
- 16.2 構成
- 16.3 レジスタ
- 16.4 動作説明と設定手順例

16.1 概要

ウォッチドッグタイマは、ソフトウェアが暴走などの異常動作をしていないかどうかを監視するタイマです。

■ 概要

ウォッチドッグタイマは、事前に設定した周期が経過する前にウォッチドッグタイマがクリアされなければ、ソフトウェアの暴走が発生したと判断し、CPU に対してリセット要求を出力します。このリセット要求をウォッチドッグリセット要求とよびます。ウォッチドッグタイマの動作時は、事前に設定した周期が経過する前にタイマを定期的にクリアし続ける必要があります。ソフトウェアの暴走などの異常動作が発生して、定期的なクリアが行われないとウォッチドッグタイマはオーバフローし、ウォッチドッグリセット要求を出力します。

- CPU のプログラム動作中に周期をカウントし、CPU 停止中 (スリープモード/ストップモード/時計モード) はカウントを停止します。
- スタンバイモード (時計モード/ストップモード) への移行を検出して、CPU に対してウォッチドッグリセット要求を出力できます。
- ウォッチドッグタイマ0クリアレジスタ (WDTCPR0) に不正な値が書き込まれると、CPU に対してウォッチドッグリセット要求を出力します。
- ウォッチドッグタイマ周期は、周辺クロック (PCLK) $\times (2^9 \sim 2^{24})$ の中から選択できます。

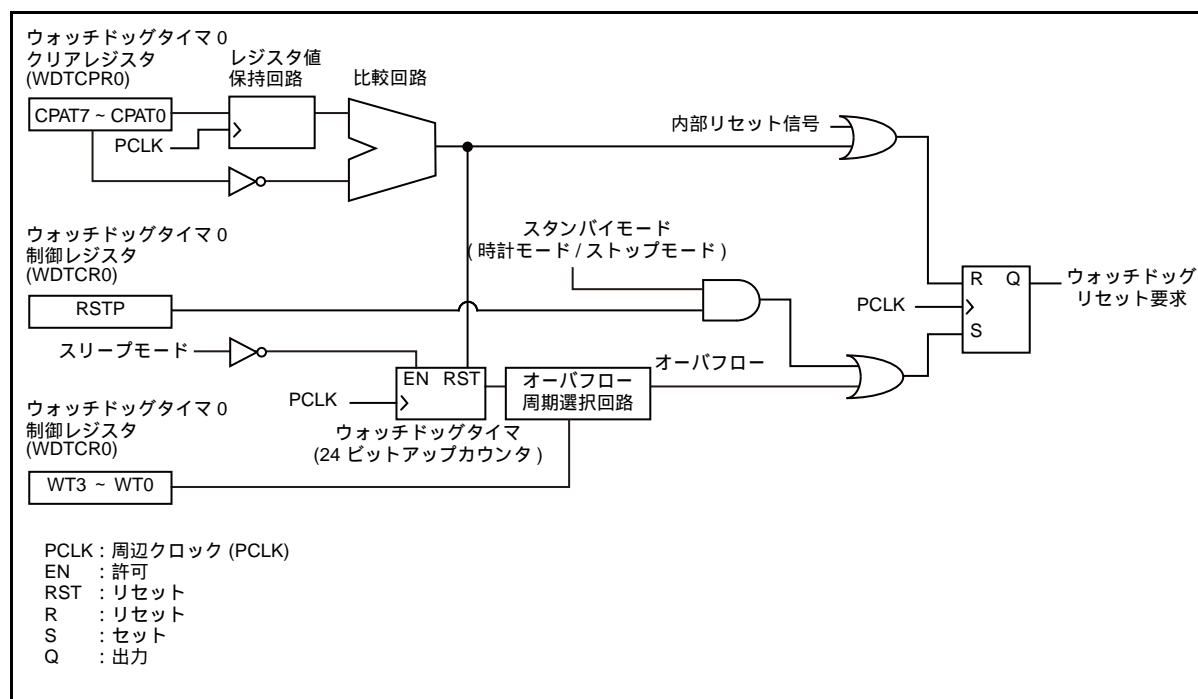
16.2 構成

ウォッチドッグタイマの構成を示します。

■ ウォッチドッグタイマのブロックダイアグラム

ウォッチドッグタイマのブロックダイアグラムを図 16.2-1 に示します。

図 16.2-1 ウォッチドッグタイマのブロックダイアグラム



- **ウォッチドッグタイマ 0 制御レジスタ (WDTCR0)**
ウォッチドッグタイマの動作を制御するレジスタです。
- **ウォッチドッグタイマ 0 クリアレジスタ (WDTCPR0)**
ウォッチドッグタイマを起動、およびクリアするレジスタです。
- **ウォッチドッグタイマ**
24 ビットのアップカウンタです。
- **レジスタ値保持回路**
ウォッチドッグタイマ 0 クリアレジスタ (WDTCPR0) に書き込まれた値を保持する回路です。
- **比較回路**
ウォッチドッグタイマ 0 クリアレジスタ (WDTCPR0) に書き込まれた値が、前回書き込まれた値と一致するかどうか比較する回路です。
- **オーバフロー周期選択回路**
ウォッチドッグタイマのオーバフロー周期を選択する回路です。

■ クロック

ウォッチドッグタイマで使用するクロックを表 16.2-1 に示します。

表 16.2-1 ウォッチドッグタイマで使用するクロック

クロック名	内容
動作クロック	周辺クロック (PCLK)

16.3 レジスタ

ウォッチドッグタイマで使用するレジスタの構成と機能について説明します。

■ ウォッチドッグタイマのレジスタ一覧

ウォッチドッグタイマのレジスタ一覧を表 16.3-1 に示します。

表 16.3-1 ウォッチドッグタイマのレジスタ一覧

レジスタ略称	レジスタ名	参照先
WDTCR0	ウォッチドッグタイマ 0 制御レジスタ	16.3.1
WDTCPR0	ウォッチドッグタイマ 0 クリアレジスタ	16.3.2

16.3.1 ウォッチドッグタイマ 0 制御レジスタ (WDTCR0)

ウォッチドッグタイマの動作を制御するレジスタです。

ウォッチドッグタイマ0制御レジスタ (WDTCR0) のビット構成を図 16.3-1 に示します。

図 16.3-1 ウォッチドッグタイマ 0 制御レジスタ (WDTCR0) のビット構成

bit	7	6	5	4	3	2	1	0
	予約	RSTP	予約	予約	WT3	WT2	WT1	WT0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

R/W : リード / ライト可能

< 注意事項 >

このレジスタは、ウォッチドッグタイマを起動する前のみ書き換えられます。

[bit7] : 予約ビット

書込み時	必ず "0" を書き込んでください。
読出し時	"0" が読み出されます。

[bit6] : RSTP (ストップモード検出リセット許可ビット)

ウォッチドッグタイマの動作時, CPU の状態がスタンバイモード (時計モード / ストップモード) になったとき, ウォッチドッグリセット要求の出力を許可するかどうかを設定します。

書込み値	説明
0	ウォッチドッグリセット要求の出力を禁止します。 スタンバイモード (時計モード / ストップモード) への移行を検出したとき, ウォッチドッグタイマは一時停止し, スタンバイモードから復帰するまでカウントを行いません。
1	ウォッチドッグリセット要求の出力を許可します。 スタンバイモード (時計モード / ストップモード) への移行を検出したとき, ウォッチドッグリセット要求を出力します。

< 注意事項 >

- スタンバイモード (時計モード / ストップモード) を使用するときは, このビットを "0" に設定してください。
- このレジスタは, ウォッチドッグタイマの起動前しか書き換えられません。そのため, このビットを "1" に設定すると, ウォッチドッグタイマの起動後は, スタンバイモード (時計モード / ストップモード) を検出して, ウォッチドッグリセット要求が出力されるため, スタンバイモードが使用できなくなります。

[bit5, bit 4] : 予約ビット

書込み時	必ず "0" を書き込んでください。
読出し時	"0" が読み出されます。

[bit3 ~ bit0] : WT3 ~ WT0 (ウォッチドッグタイマ周期選択ビット)

ウォッチドッグタイマがクリアされてから，ウォッチドッグリセット要求を出力するまでの周期を，次の中から選択します。

WT3 ~ WT0	ウォッチドッグタイマ周期
0000	$PCLK \times 2^9$
0001	$PCLK \times 2^{10}$
0010	$PCLK \times 2^{11}$
0011	$PCLK \times 2^{12}$
0100	$PCLK \times 2^{13}$
0101	$PCLK \times 2^{14}$
0110	$PCLK \times 2^{15}$
0111	$PCLK \times 2^{16}$
1000	$PCLK \times 2^{17}$
1001	$PCLK \times 2^{18}$
1010	$PCLK \times 2^{19}$
1011	$PCLK \times 2^{20}$
1100	$PCLK \times 2^{21}$
1101	$PCLK \times 2^{22}$
1110	$PCLK \times 2^{23}$
1111	$PCLK \times 2^{24}$

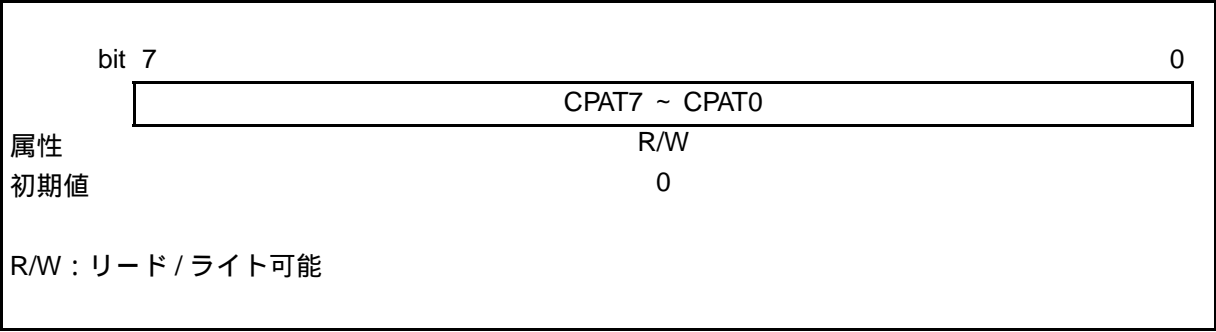
PCLK: 周辺クロック (PCLK) の周期

16.3.2 ウォッチドッグタイマ 0 クリアレジスタ (WDTCPR0)

ウォッチドッグタイマを起動，およびクリアするレジスタです。

ウォッチドッグタイマ 0 クリアレジスタ (WDTCPR0) のビット構成を図 16.3-2 に示します。

図 16.3-2 ウォッチドッグタイマ 0 クリアレジスタ (WDTCPR0) のビット構成



[bit7 ~ bit0] : CPAT7 ~ CPAT0 ビット

本デバイスのリセット後，このレジスタに任意の値を書き込むとウォッチドッグタイマが起動します。

ウォッチドッグタイマを起動後は，ウォッチドッグリセット要求の出力を防ぐためにタイマ周期が経過する前に，ウォッチドッグタイマをクリアしなければなりません。

ウォッチドッグタイマをクリアするには，このビットに前回書き込んだ値の反転値を書き込みます。

ウォッチドッグタイマのクリアについては，「16.4.1 ウォッチドッグタイマの動作」の「ウォッチドッグタイマのクリア」を参照してください。

CPAT7 ~ CPAT0	書込み時	読出し時
前回の書込み値の反転値	起動後のウォッチドッグタイマがクリアされます。	"0" が読み出されます。
前回の書込み値の反転値以外	その時点でウォッチドッグリセット要求を出力します。	

16.4 動作説明と設定手順例

ウォッチドッグタイマの動作について説明します。また、各動作状態を設定するための手順例も示します。

16.4.1 ウォッチドッグタイマの動作

定期的にウォッチドッグタイマのクリアをするようにプログラムを作成しているのに、ウォッチドッグタイマがクリアされなかった場合は、何らかの誤動作が発生したと判断し、ウォッチドッグタイマは CPU に対してウォッチドッグリセット要求を出力します。

■ 概要

ウォッチドッグタイマ動作時は、事前に設定した周期が経過する前にウォッチドッグタイマがクリアされなければ、ソフトウェアの暴走が発生したと判断し、CPU に対してウォッチドッグリセット要求を出力します。

ウォッチドッグタイマ 0 クリアレジスタ (WDTCPR0) に不正な値が書き込まれたときや、CPU がスタンバイモード (時計モード / ストップモード) に移行した場合もウォッチドッグリセット要求を出力できます。

なお、CPU の停止中はウォッチドッグタイマもカウント動作を停止します。

■ 設定

ウォッチドッグタイマを利用する場合は、ウォッチドッグタイマを起動する前に、ウォッチドッグタイマ 0 制御レジスタ (WDTCR0) で次の設定を行ってください。

- ウォッチドッグタイマがクリアされてから、ウォッチドッグリセット要求を出力するまでの周期 (WT3 ~ WT0 ビット)
- スタンバイモード (時計モード / ストップモード) になったとき、ウォッチドッグリセット要求の出力を許可するかどうか (RSTP)

< 注意事項 >

- ウォッチドッグタイマは、CPU が動作している間だけカウントを行います。そのため、WT3 ~ WT0 ビットは、プログラムステップ数とクロック分周の設定を基準に設定してください。
 - スタンバイモード (時計モード / ストップモード) を使用するときは、RSTP ビットを "0" に設定してください。
 - RSTP ビットを "1" に設定すると、ウォッチドッグタイマの起動後は、スタンバイモード (時計モード / ストップモード) が使用できなくなります。
-

■ 動作

本デバイスのリセット後、ウォッチドッグタイマ 0 クリアレジスタ (WDTCPR0) の CPAT7 ~ CPAT0 ビットに任意の値を書き込むと、ウォッチドッグタイマが起動し、CPU の動作中は周辺クロック (PCLK) の立上りエッジでカウントします。

ウォッチドッグタイマがクリアされずに、ウォッチドッグタイマ 0 制御レジスタ (WDTCR0) の WT3 ~ WT0 ビットで設定した周期が経過すると、CPU に対してウォッチドッグリセット要求を出力します。

また、ウォッチドッグタイマは、ドーズモードやスリープモードなど、CPU が停止しているときはカウントを一時停止します。

カウントを一時停止しても、ウォッチドッグタイマの値はクリアされず、カウントを再開すると停止したときの値から再開します。

< 注意事項 >

- DMA コントローラ (DMAC) による DMA 転送が行われている場合も、CPU が動作している間は、ウォッチドッグタイマはカウント動作を継続します。
 - CPU のソースクロック (SRCCLK) の発振安定待ち時間中は周辺クロック (PCLK) が停止するため、ウォッチドッグタイマのカウント動作も停止します。
 - CPU 動作状態のサンプリングは、周辺クロック (PCLK) で行われます。そのため、周辺クロック (PCLK) の周期に満たない動作状態の変化は無視されます。
-

■ ウォッチドッグタイマのクリア

ウォッチドッグタイマの起動時にウォッチドッグタイマ 0 クリアレジスタ (WDTCPR0) の CPAT7 ~ CPAT0 ビットに書き込んだ値の反転値を書き込むことで、ウォッチドッグタイマをクリアできます。

たとえば、ウォッチドッグタイマ起動時、ウォッチドッグタイマ 0 クリアレジスタ (WDTCPR0) の CPAT7 ~ CPAT0 ビットに "55_H" を書き込んだ場合は、反転値 "AA_H" を書き込むとクリアできます。

以降、CPAT7 ~ CPAT0 ビットに "55_H" と "AA_H" を交互に書き込むと、ウォッチドッグタイマのクリアを繰り返すことができます。

ただし、CPAT7 ~ CPAT0 ビットに反転値以外の値を書き込んだ場合は、その時点で CPU に対してウォッチドッグリセット要求を出力します。

< 注意事項 >

前回書き込んだ値を憶えておくことが難しい場合は、ウォッチドッグタイマをクリアするときに、"AA_H"、"55_H" のように毎回、書込み値と反転値の両方を連続で書き込むこともできます。

■ ウォッチドッグリセット要求の出力

ウォッチドッグタイマは、次のいずれかの場合に CPU に対してウォッチドッグリセット要求を出力します。

- ウォッチドッグタイマ0制御レジスタ (WDTCR0) のWT3 ~ WT0ビットで設定した周期が経過した場合 (オーバーフロー)
- ウォッチドッグタイマ0クリアレジスタ (WDTCPR0) のCPAT7 ~ CPAT0ビットに、前回書き込んだ値の反転値以外の値が書き込まれた場合
- CPU がスタンバイモード (時計モード/ストップモード) に移行した場合 (ウォッチドッグタイマ 0 制御レジスタ (WDTCR0) の RSTP ビットの設定により出力)

ウォッチドッグリセット要求を出力した後の動作については、「第 9 章 リセット」の「9.5 動作説明」を参照してください。

第 17 章 時計カウンタ

時計カウンタの機能と動作について説明します。

- 17.1 概要
- 17.2 構成
- 17.3 レジスタ
- 17.4 割込み
- 17.5 動作説明と設定手順例
- 17.6 使用上の注意

17.1 概要

時計カウンタは、あらかじめ設定した値からカウントダウンを行い、6 ビットダウンカウンタがアンダフローすると割込み要求を発生させるタイマです。

125ms ~ 64s の周期で割込み要求を発生できます。

本製品は時計カウンタを 1 チャンネル内蔵しています。

サブクロック (SBCLK) 未使用時は、この機能を使用できません。

■ 概要

- カウント用クロックを4種類から選択でき、最小125ms、最大64sの間隔で割込み要求の発生間隔を設定できます。

カウント用クロックの種類とカウント周期の対応を表 17.1-1 に示します。

表 17.1-1 カウント用クロックとカウント周期の対応

カウント用クロックの周期	カウント周期 ($F_{CL}=32.768\text{kHz}$ の場合)
$2^{12}/F_{CL}$	125ms
$2^{13}/F_{CL}$	250ms
$2^{14}/F_{CL}$	500ms
$2^{15}/F_{CL}$	1s

F_{CL} : サブクロック (SBCLK) の周波数

- 6 ビットダウンカウンタでカウントする値を 0 ~ 63 の範囲内で設定できます。
カウント周期が 1s のときに、カウントする値を "60" にすると 1 分ごとに割込み要求が発生します。また、カウント周期が 1s のときに、カウントする値を "0" に設定すると 64 秒ごとに割込み要求が発生します。
- 6 ビットダウンカウンタがアンダフローすると割込み要求を発生できます。

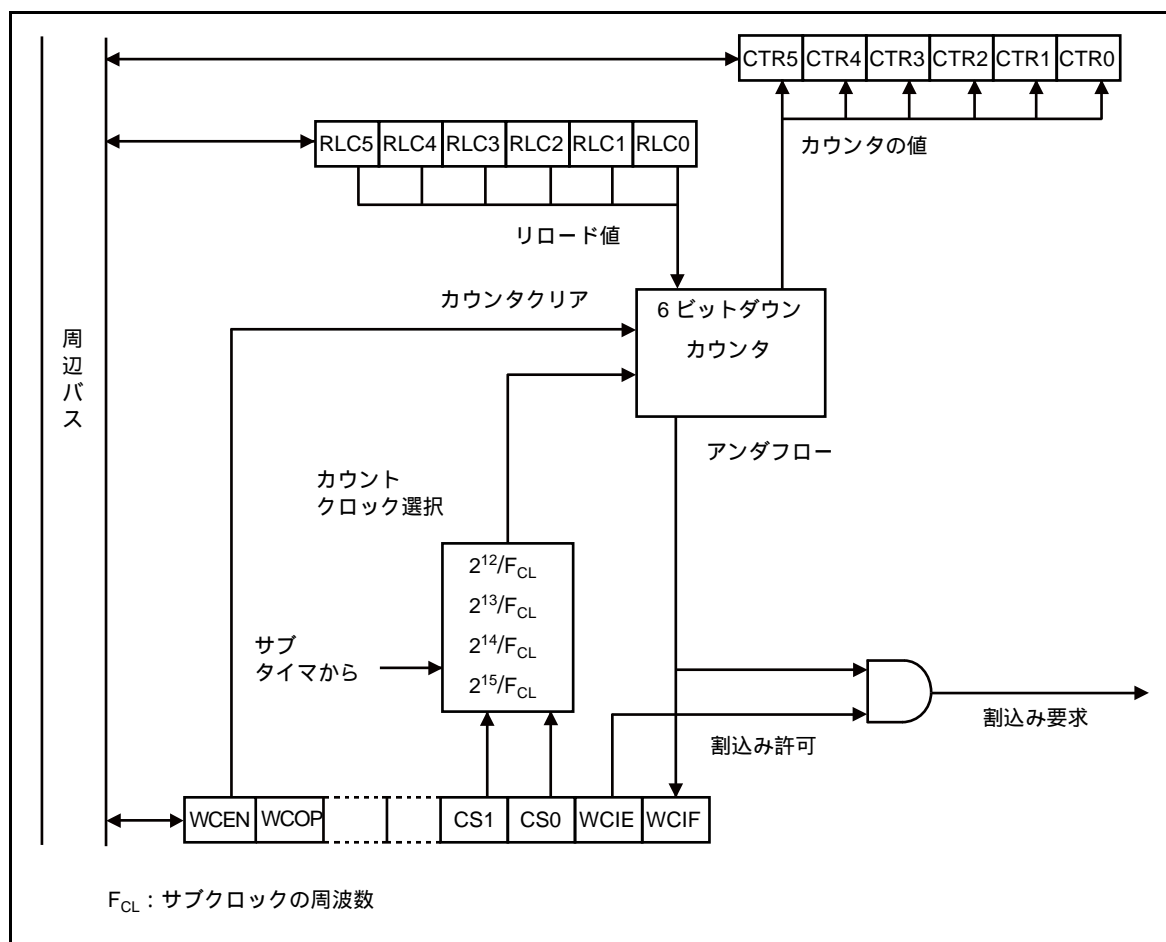
17.2 構成

時計カウンタの構成を示します。

■ 時計カウンタのブロックダイアグラム

時計カウンタのブロックダイアグラムを図 17.2-1 に示します。

図 17.2-1 時計カウンタのブロックダイヤグラム



- **6 ビットダウンカウンタ**
時計カウンタの 6 ビットダウンカウンタです。時計カウンタリロードレジスタ (WCRL) に設定された値をリロードしてダウンカウントします。
- **時計カウンタリロードレジスタ (WCRL)**
時計カウンタがカウントを開始する値を設定するレジスタです。ここに設定した値から 6 ビットダウンカウンタがカウントダウンします。
- **時計カウンタリードレジスタ (WCRD)**
6 ビットダウンカウンタの値を読み出すレジスタです。このレジスタを読み出すとカウントの値を確認できます。

- 時計カウンタ制御レジスタ (WCCR)
時計カウンタの動作を制御するレジスタです。

■ クロック

時計カウンタで使用するクロックを表 17.2-1 に示します。

表 17.2-1 時計カウンタで使用するクロック

クロック名	内容	備考
動作クロック	周辺クロック (PCLK)	-
カウント用クロック	サブタイマ出力	サブタイマの周期 *

* サブタイマの周期は、サブタイマ制御レジスタ (STMCR) の STS2 ~ STS0 ビットで設定します。サブタイマについては、「第7章 サブタイマ」を参照してください。

17.3 レジスタ

時計カウンタで使用するレジスタの構成と機能について説明します。

■ 時計カウンタのレジスタ一覧

時計カウンタのレジスタ一覧を表 17.3-1 に示します。

表 17.3-1 時計カウンタのレジスタ一覧

レジスタ略称	レジスタ名	参照先
WCRL	時計カウンタリロードレジスタ	17.3.1
WCCR	時計カウンタ制御レジスタ	17.3.2
WCRD	時計カウンタリードレジスタ	17.3.3

17.3.1 時計カウンタリロードレジスタ (WCRL)

時計カウンタがカウントを開始する値を設定するレジスタです。ここに設定した値から 6 ビットダウンカウンタがカウントダウンします。

6 ビットダウンカウンタのリロード値を設定します。6 ビットダウンカウンタがアンダフローすると、このレジスタの値が 6 ビットダウンカウンタにリロードされ、再度カウントします。

時計カウンタリロードレジスタ (WCRL) のビット構成を図 17.3-1 に示します。

図 17.3-1 時計カウンタリロードレジスタ (WCRL) のビット構成

bit	7	6	5	4	3	2	1	0
	未定義	未定義	RLC5	RLC4	RLC3	RLC2	RLC1	RLC0
属性	-	-	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

R/W : リード / ライト可能
- : 未定義

[bit7, bit6] : 未定義ビット

書込み時	無視されます。
読出し時	"0" が読み出されます。

[bit5 ~ bit0] : RLC5 ~ RLC0 (カウンタリロード値設定ビット)

6 ビットダウンカウンタのリロード値を設定します。

6 ビットダウンカウンタは、リロード値から "1" までカウントダウンして "1" でアンダフローします。このビットで "0" を設定すると、"63" ~ "0" まで 64 カウントします。

< 注意事項 >

- 6 ビットダウンカウンタが動作中にこのビットを書き換えると、アンダフロー発生後に、変更後の値がリロードされます。
- アンダフロー割込み要求が発生すると同時にこのビットを書き換えると、正しい値がリロードされません。必ず時計カウンタの停止中や割込み処理ルーチン内など、割込み要求が発生する前にこのビットを書き換えてください。
- リロード値が正しく設定されたかどうか、このレジスタを読み出して確認してください。

17.3.2 時計カウンタ制御レジスタ (WCCR)

時計カウンタのカウンタ用クロックを選択したり、割込み要求の発生を許可/禁止したりするレジスタです。また、時計カウンタの動作もこのレジスタで許可/禁止します。

時計カウンタ制御レジスタ (WCCR) のビット構成を図 17.3-2 に示します。

図 17.3-2 時計カウンタ制御レジスタ (WCCR) のビット構成

bit	7	6	5	4	3	2	1	0
	WCEN	WCOP	未定義	未定義	CS1	CS0	WCIE	WCIF
属性	R/W	R	-	-	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

R/W : リード/ライト可能
R : リードオンリ
- : 未定義

[bit7] : WCEN (時計カウンタ動作許可ビット)

時計カウンタの動作を許可/禁止します。

書込み値	説明
0	時計カウンタを禁止 / 停止します。6 ビットダウンカウンタの値は "000000 _B " にクリアされます。
1	時計カウンタの動作を許可 / 開始します。

< 注意事項 >

- 時計カウンタのカウンタ用クロックはサブタイマからの出力を、各レジスタの設定は周辺クロック (PCLK) を利用しています。サブタイマと周辺クロック (PCLK) は非同期のため、このビットに "1" を書き込んだタイミングによっては、カウント開始のタイミングに最大で 1T (T : カウンタ用クロックの周期) 分の誤差が発生する可能性があります。
- このビットに "1" を書き込んで時計カウンタの動作を開始する場合は、WCOP ビットで時計カウンタが停止中 (WCOP=0) であることを確認してから、時計カウンタの動作を開始してください。

[bit6] : WCOP (時計カウンタ動作状態フラグビット)

時計カウンタの動作状態を示します。

読出し値	説明
0	時計カウンタは停止中です。
1	時計カウンタは動作中です。

[bit5, bit4] : 未定義ビット

書込み時	無視されます。
読出し時	"0" が読み出されます。

[bit3, bit2] : CS1, CS0 (カウント用クロック選択ビット)

時計カウンタのカウント用クロックを設定します。

CS1	CS0	カウント用クロック
0	0	$2^{12}/F_{CL}$
0	1	$2^{13}/F_{CL}$
1	0	$2^{14}/F_{CL}$
1	1	$2^{15}/F_{CL}$

F_{CL} : サブクロック (SBCLK) の周波数

< 注意事項 >

このビットは、次の条件を満たしたときに書き換えてください。

- WCEN ビット =0 (時計カウンタの動作禁止)
- WCOP ビット =0 (時計カウンタ停止中)

[bit1] : WCIE (割込み要求許可ビット)

6 ビットダウンカウンタがアンダフローしたとき (WCIF ビット =1) にアンダフロー割込み要求を発生させるかどうかを設定します。

書込み値	説明
0	アンダフロー割込み要求の発生を禁止します。
1	アンダフロー割込み要求の発生を許可します。

[bit0] : WCIF (割込み要求フラグビット)

6 ビットダウンカウンタがアンダフローしたことを示します。

このビットが "1" のときに、WCIE ビットに "1" が設定されていると割込み要求が発生します。

WCIF	読出し時	書込み時
0	ダウンカウンタはアンダフローしていません。	このビットを "0" にクリアします。
1	ダウンカウンタがアンダフローしました。	無視されます。

< 注意事項 >

リードモディファイライト系命令では "1" が読み出されます。

17.3.3 時計カウンタリードレジスタ (WCRD)

6 ビットダウンカウンタの値を読み出すレジスタです。

時計カウンタリードレジスタ (WCRD) のビット構成を図 17.3-3 に示します。

図 17.3-3 時計カウンタリードレジスタ (WCRD) のビット構成

bit	7	6	5	4	3	2	1	0
	未定義	未定義	CTR5	CTR4	CTR3	CTR2	CTR1	CTR0
属性	-	-	R	R	R	R	R	R
初期値	0	0	0	0	0	0	0	0

R : リードオンリ
- : 未定義

< 注意事項 >

6 ビットダウンカウンタが動作中にカウンタの値を読み出す場合は、このレジスタを 2 度読み出して同じ値が読み出されることを確認してください。

17.4 割込み

6 ビットダウンカウンタの値が "000001_B" になり 6 ビットダウンカウンタがアンダフローするとアンダフロー割込み要求が発生します。

時計カウンタで利用できる割込みについて表 17.4-1 に示します。

表 17.4-1 時計カウンタの割込み

割込み要求	割込み要求フラグ	割込み要求許可	割込み要求のクリア
アンダフロー割込み要求	WCCR の WCIF=1	WCCR の WCIE=1	WCCR の WCIF ビットに "0" を書き込む

WCCR : 時計カウンタ制御レジスタ (WCCR)

< 注意事項 >

- 割込み要求フラグが"1"のときに割込み要求の発生を許可すると割込みを許可した時点で、割込み要求が発生します。
割込み要求の発生を許可する場合は、次のいずれかの処理を行ってください。
 - 割込み要求の発生を許可する前に割込み要求をクリアする。
 - 割込み許可と同時に割込み要求をクリアする。
- 各割込み要求の割込みベクタ番号については、「付録 C 割込みベクタ」を参照してください。
- 割込みベクタ番号に対応する割込みレベルは、割込みコントロールレジスタ (ICR00 ~ ICR47) で設定します。割込みレベルの設定については、「第 10 章 割込みコントロール」を参照してください。

17.5 動作説明と設定手順例

時計カウンタの動作について説明します。また、動作状態を設定するための手順例も示します。

17.5.1 時計カウンタの動作

時計カウンタは、時計カウンタリロードレジスタ (WCRL) に設定された値からカウントダウンし、6 ビットダウンカウンタがアンダフローすると割込み要求を発生させるタイマです。

次の手順で動作させてください。

1. 時計カウンタ制御レジスタ (WCCR) の CS1, CS0 ビットでカウント用クロックを選択する
2. 時計カウンタリロードレジスタ (WCRL) の RLC5 ~ RLC0 ビットにカウントする値を設定する
3. 時計カウンタ制御レジスタ (WCCR) の WCEN ビットで時計カウンタの動作を許可 (WCEN=1) する

カウントダウンを開始します。カウント用クロックの立上りエッジでカウントが行われます。

4. 6 ビットダウンカウンタがアンダフローすると、時計カウンタ制御レジスタ (WCCR) の WCIF ビットが "1" に変わる

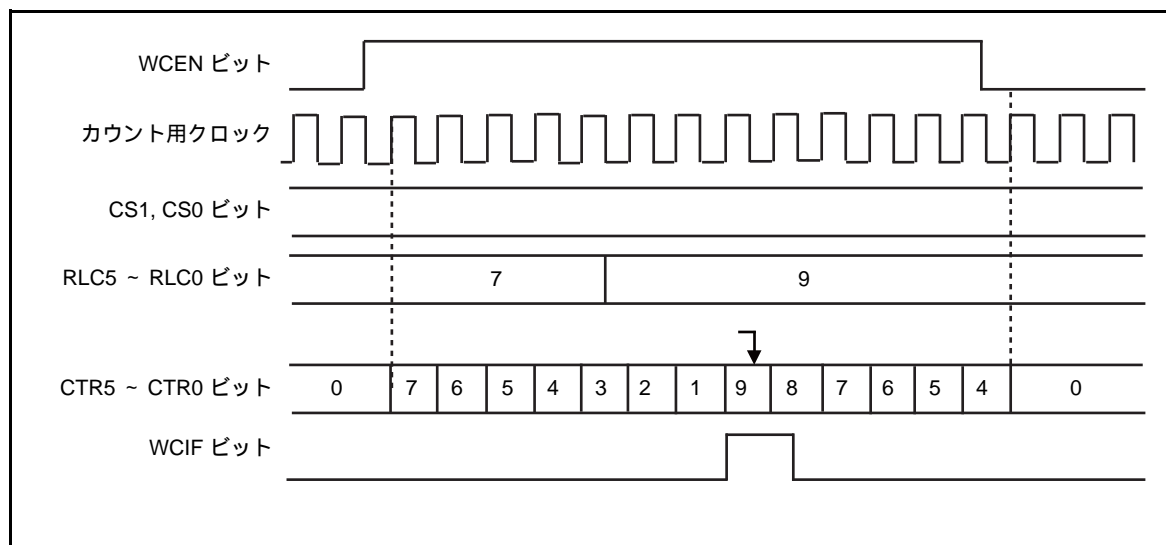
このとき、時計カウンタ制御レジスタ (WCCR) の WCIE ビットでアンダフロー割込み要求の発生が許可 (WCIE=1) されていると、アンダフロー割込み要求が発生します。

また、時計カウンタリロードレジスタ (WCRL) の RLC5 ~ RLC0 ビットに設定した値が 6 ビットダウンカウンタにリロードされ、再度カウントダウンします。

5. 時計カウンタの動作中に、時計カウンタリロードレジスタ (WCRL) の RLC5 ~ RLC0 ビットを書き換えると、次のリロードタイミングで書き換えた値が更新される
6. 時計カウンタ制御レジスタ (WCCR) の WCIF ビットに "0" を書き込むと、アンダフロー割込み要求がクリアされる
7. 時計カウンタ制御レジスタ (WCCR) の WCEN ビットに "0" を書き込むと、6 ビットダウンカウンタの値が "000000_B" にクリアされ、カウント動作が停止する

時計カウンタの動作を図 17.5-1 に示します。

図 17.5-1 時計カウンタの動作



< 注意事項 >

- 時計カウンタのカウント用クロックはサブタイマからの出力を、各レジスタの設定は周辺クロック (PCLK) を利用しています。サブタイマと周辺クロック (PCLK) は非同期のため、時計カウンタ制御レジスタ (WCCR) の WCEN ビットに "1" を書き込んだタイミングによっては、カウント開始のタイミングで最大で 1T (T: カウント用クロックの周期) 分の誤差が発生する可能性があります。
- サブクロック (SBCLK) が停止しているときは、サブタイマからのカウント用クロックも停止するため、6 ビットダウンカウンタも停止します。サブクロック (SBCLK) が動作を再開しても時計カウンタは正しく値をカウントできません。サブクロック (SBCLK) が動作を再開したら、必ず時計カウンタ制御レジスタ (WCCR) の WCEN ビットに "0" を書き込んで、カウンタの値を "000000_B" にクリアしてから時計カウンタを利用してください。
- CPU が時計モードで動作しているときでも、サブタイマが動作している場合は、時計カウンタは動作し続けます。時計カウンタの割込み処理ルーチンで、CPU の時計モードを解除することもできます。
- 時計カウンタの動作中にサブタイマをクリアすると、正しい値をカウントできなくなる場合があります。時計カウンタ制御レジスタ (WCCR) の WCEN ビットで時計カウンタを停止 (WCEN=0) してからサブタイマをクリアしてください。
- 時計カウンタ制御レジスタ (WCCR) の WCEN ビットに "0" を書き込んで、時計カウンタの動作を停止した後に、WCEN ビットで時計カウンタを再度起動する場合 (WCEN=1) は、時計カウンタ制御レジスタ (WCCR) の WCOP ビットで時計カウンタが停止中 (WCOP=0) であることを確認してから、時計カウンタを再起動してください。

17.6 使用上の注意

時計カウンタを使用する際は、次の点に注意してください。

■ 動作に関する注意

- 時計カウンタの動作中にサブタイマをクリアすると、正しい値をカウントできなくなる場合があります。時計カウンタ制御レジスタ (WCCR) の WCEN ビットで時計カウンタを停止 (WCEN=0) してからサブタイマをクリアしてください。
- 時計カウンタ制御レジスタ (WCCR) の WCEN ビットで時計カウンタを停止 (WCEN=0) した後に、WCEN ビットで時計カウンタを再度起動する (WCEN=1) 場合は、時計カウンタ制御レジスタ (WCCR) の WCOP ビットで時計カウンタが停止中 (WCOP=0) であることを、確認してから時計カウンタを再起動してください。
- 時計カウンタはサブタイマの出力をカウント用クロックとして使用していますので、時計カウンタの動作中はサブタイマの設定を変更しないでください。
- 時計カウンタは"000001_B"からのカウントダウンでアンダフローを発生します。時計カウンタは、リロード値から "1" までカウントします。リロード値に "0" を設定した場合は、64 カウントします。

第 18 章 32 ビット フリーランタイム

32 ビットフリーランタイムの機能と動作について説明します。

- 18.1 概要
- 18.2 構成
- 18.3 端子
- 18.4 レジスタ
- 18.5 割込み
- 18.6 動作説明と設定手順例

18.1 概要

32 ビットフリーランタイムは、あらかじめ設定した値までカウントアップするアップカウンタです。

設定した値までカウントすると、値をクリアして再度カウントを始めたり、割込み要求を発生したりします。また、カウント値は 32 ビットアウトプットコンペアと 32 ビットインプットキャプチャで基準時間として使用されます。

本製品は 32 ビットフリーランタイムを 2 チャンネル内蔵しています。

■ 概要

32 ビットフリーランタイムは、コンペアタイムの一部です。コンペアタイムは、次の 3 つの周辺機能で構成されています。

- 32 ビットフリーランタイム (2 チャンネル)
- 32 ビットアウトプットコンペア (8 チャンネル)
「第 20 章 32 ビット アウトプット コンペア」を参照してください。
- 32 ビットインプットキャプチャ (8 チャンネル)
「第 19 章 32 ビットインプットキャプチャ」を参照してください。

この章では、32 ビットフリーランタイムについて説明します。

- カウント用クロック：次の中から選択できます。
 - 内部クロック (周辺クロック)
9 種類 (周辺クロック (PCLK) の 1 分周, 2 分周, 4 分周, 8 分周, 16 分周, 32 分周, 64 分周, 128 分周, 256 分周) から選択できます。
 - 外部クロック
- 割込み要求：次の場合に割込み要求を発生できます。
32 ビットフリーランタイムのカウント値とあらかじめ設定した値が一致したとき (コンペアクリア割込み)
- 2 チャンネルある 32 ビットフリーランタイムの内、どちらのチャンネルの 32 ビットフリーランタイムの値を 32 ビットアウトプットコンペアおよび 32 ビットインプットキャプチャで基準時間として使用するかを選択できます。

18.2 構成

32 ビットフリーランタイムは、コンペアタイムの一部です。コンペアタイムおよび 32 ビットフリーランタイムのブロックダイアグラムを示します。

■ コンペアタイムのブロックダイアグラム

コンペアタイムは次のブロックで構成されています。

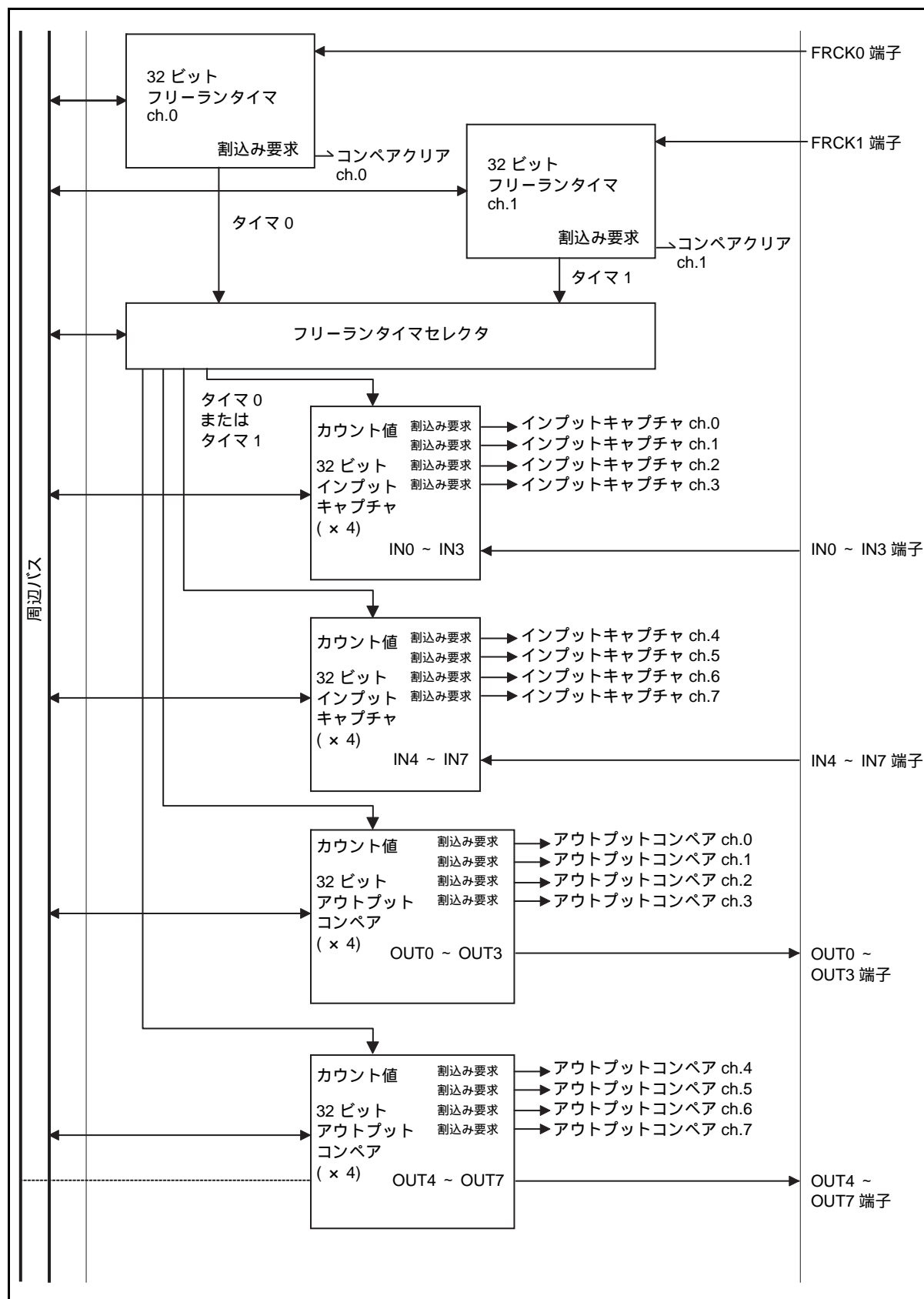
- 32 ビットフリーランタイム
- フリーランタイムセクタ

32 ビットアウトプットコンペアおよび 32 ビットインプットキャプチャの基準時間として使用する 32 ビットフリーランタイムを選択します。

- 32 ビットインプットキャプチャ (8 チャンネル)
- 32 ビットアウトプットコンペア (8 チャンネル)

コンペアタイマのブロックダイアグラムを図 18.2-1 に示します。

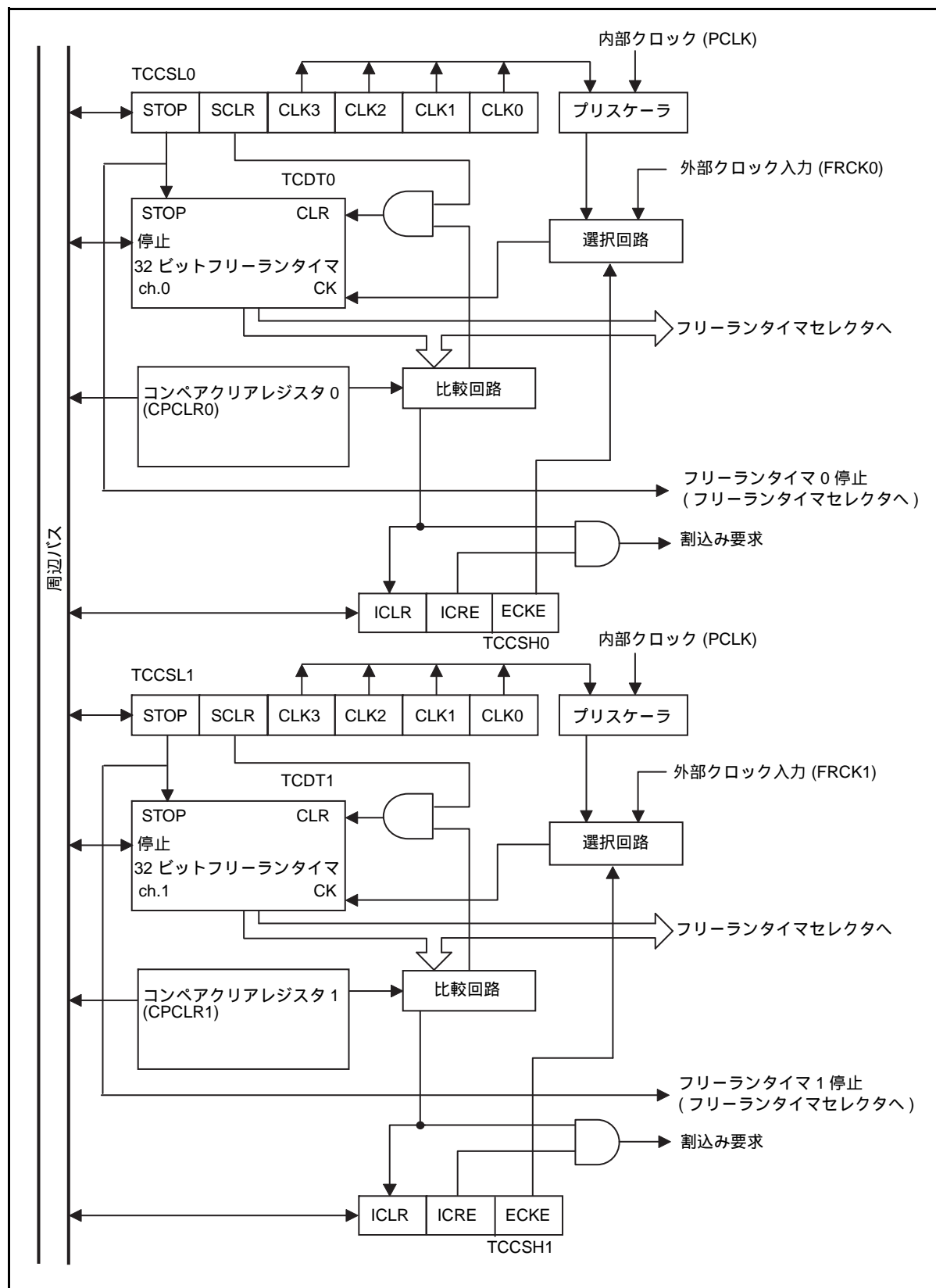
図 18.2-1 コンペアタイマのブロックダイアグラム



■ 32 ビットフリーランタイムのブロックダイアグラム

32 ビットフリーランタイムのブロックダイアグラムを図 18.2-2 に示します。

図 18.2-2 32 ビットフリーランタイムのブロックダイアグラム



- 32 ビットフリーランタイム
コンペアクリアレジスタ (CPCLR0, CPCLR1) に設定された値までカウントアップします。
- タイマ状態制御レジスタ上位 / 下位 (TCCSH0/TCCSL0, TCCSH1/TCCSL1)
32 ビットフリーランタイムの動作を制御するレジスタです。
- コンペアクリアレジスタ (CPCLR0, CPCLR1)
32 ビットアップカウンタが , このレジスタに設定した値までカウントアップします。
- タイマデータレジスタ (TCDT0, TCDT1)
カウントを開始する値を設定したり , 現在のカウント値を読み出したりするためのレジスタです。
- プリスケーラ
カウント用クロックに内部クロック (周辺クロック) を選択した場合 , 周辺クロック (PCLK) を分周します。
- 選択回路
カウント用クロックに , 内部クロック (周辺クロック) と外部クロック (FRCK0, FRCK1) のどちらを使用するかを選択します。
- 比較回路
32 ビットフリーランタイムのカウント値とコンペアクリアレジスタ (CPCLR0, CPCLR1) で設定した値を比較する回路です。

■ クロック

32 ビットフリーランタイムで使用するクロックを表 18.2-1 に示します。

表 18.2-1 32 ビットフリーランタイムで使用するクロック

クロック名	内容	備考
動作クロック	周辺クロック (PCLK)	-
カウント用クロック	内部クロック (周辺クロック)	周辺クロック (PCLK) を分周して生成
	外部クロック	FRCK0, FRCK1 端子から入力

18.3 端子

32 ビットフリーランタイムで使用する端子について説明します。

■ 概要

- FRCK0, FRCK1 端子
32 ビットフリーランタイムの外部クロック入力端子です。この端子は兼用端子です。
32 ビットフリーランタイムの FRCK0, FRCK1 端子として使用するには、「2.4 端子の設定方法」を参照してください。

■ 端子とチャネルの対応

チャネルと端子の対応を表 18.3-1 に示します。

表 18.3-1 チャネルと端子の対応

チャネル	入力端子
0	FRCK0
1	FRCK1

18.4 レジスタ

32 ビットフリーランタイムで使用するレジスタの構成と機能について説明します。

■ 32 ビットフリーランタイムのレジスタ一覧

32 ビットフリーランタイムのレジスタ一覧を表 18.4-1 に示します。

表 18.4-1 32 ビットフリーランタイムのレジスタ一覧

チャンネル	レジスタ略称	レジスタ名	参照先
共通	FRTSEL	フリーランタイム選択レジスタ	18.4.1
0	CPCLR0	コンペアクリアレジスタ 0	18.4.2
	TCCSH0/TCCSL0	タイマ状態制御レジスタ上位 0/ 下位 0	18.4.4
	TCDT0	タイマデータレジスタ 0	18.4.3
1	CPCLR1	コンペアクリアレジスタ 1	18.4.2
	TCCSH1/TCCSL1	タイマ状態制御レジスタ上位 1/ 下位 1	18.4.4
	TCDT1	タイマデータレジスタ 1	18.4.3

18.4.1 フリーランタイム選択レジスタ (FRTSEL)

2 チャンネルある 32 ビットフリーランタイムの内，どちらのチャンネルを 32 ビットアウトプットコンペアや32ビットインプットキャプチャの基準時間として使用するかを設定するレジスタです。

フリーランタイム選択レジスタ (FRTSEL) のビット構成を図 18.4-1 に示します。

図 18.4-1 フリーランタイム選択レジスタ (FRTSEL) のビット構成

bit	7	6	5	4	3	2	1	0
	未定義	未定義	未定義	未定義	未定義	未定義	FRS1	FRS0
属性	-	-	-	-	-	-	R/W	R/W
初期値	X	X	X	X	X	X	0	0

R/W : リード / ライト可能
 - : 未定義
 X : 不定

[bit7 ~ bit2] : 未定義ビット

書込み時	無視されます。
読出し時	値は不定です。

[bit1, bit0] : FRS1, FRS0 (フリーランタイム選択ビット)

32 ビットアウトプットコンペアおよび32ビットインプットキャプチャの基準時間として使用する 32 ビットフリーランタイムのチャンネルを選択します。

FRS1	FRS0	説明	
		フリーランタイムのチャンネル	使用先
0	0	ch.0	32 ビットアウトプットコンペア (ch.0 ~ ch.7) 32 ビットインプットキャプチャ (ch.0 ~ ch.7)
0	1	ch.0	32 ビットアウトプットコンペア (ch.0 ~ ch.3) 32 ビットインプットキャプチャ (ch.0 ~ ch.3)
		ch.1	32 ビットアウトプットコンペア (ch.4 ~ ch.7) 32 ビットインプットキャプチャ (ch.4 ~ ch.7)
1	0	ch.0	32 ビットアウトプットコンペア (ch.0 ~ ch.7)
		ch.1	32 ビットインプットキャプチャ (ch.0 ~ ch.7)
1	1	設定禁止	

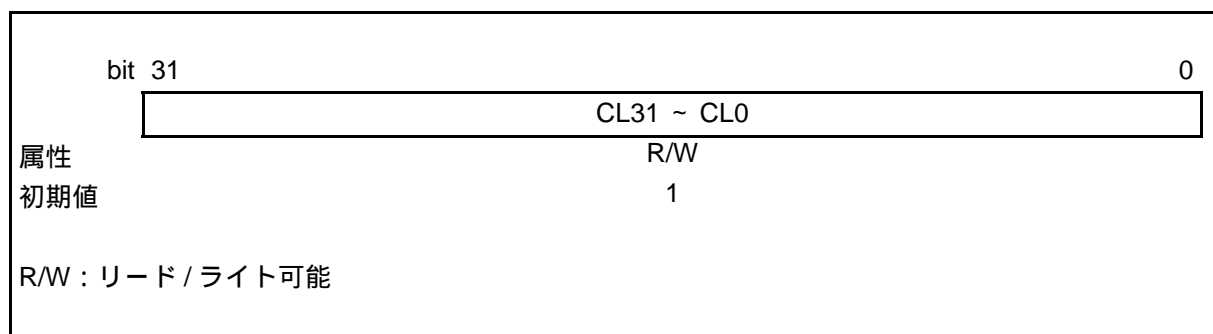
18.4.2 コンペアクリアレジスタ (CPCLR0, CPCLR1)

32 ビットフリーランタイムのコンペア値を設定するレジスタです。

32 ビットフリーランタイムが、このレジスタに設定した値までカウントアップし、値が一致すると、32 ビットフリーランタイムのカウント値が "0000 0000_H" にクリアされます。

コンペアクリアレジスタ (CPCLR0, CPCLR1) のビット構成を図 18.4-2 に示します。

図 18.4-2 コンペアクリアレジスタ (CPCLR0, CPCLR1) のビット構成



< 注意事項 >

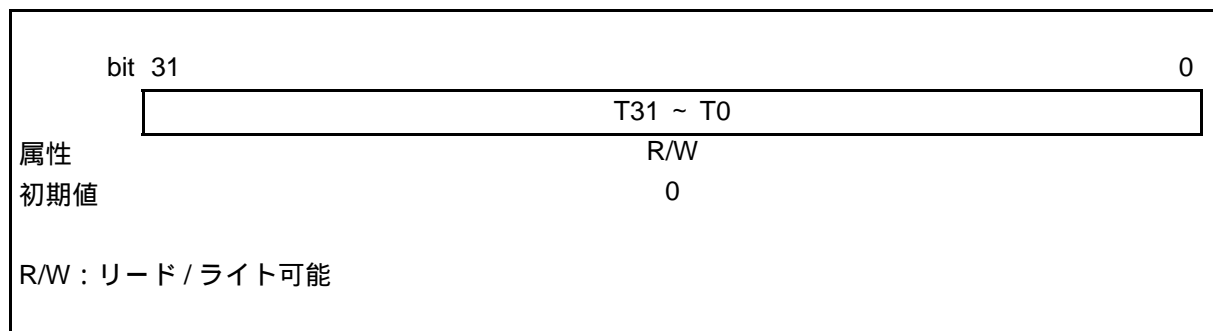
- このレジスタは、32 ビットフリーランタイムが停止しているときに書き換えてください。
タイマ状態制御レジスタ下位 (TCCSL0, TCCSL1) の STOP ビットが "1" のとき、32 ビットフリーランタイムは停止しています。
- このレジスタは必ずワードでアクセスしてください。

18.4.3 タイマデータレジスタ (TCDT0, TCDT1)

32 ビットフリーランタイムがカウントを開始する値を設定したり，現在のカウント値を読み出したりするためのレジスタです。

タイマデータレジスタ (TCDT0, TCDT1) のビット構成を図 18.4-3 に示します。

図 18.4-3 タイマデータレジスタ (TCDT0, TCDT1) のビット構成



このレジスタに書き込んだ値から，32 ビットフリーランタイムがカウントアップを開始します。また，このレジスタを読み出した場合は，32 ビットフリーランタイムのカウント値が読み出されます。

< 注意事項 >

- このレジスタは，フリーランタイムが停止しているときに書き換えてください。タイマ状態制御レジスタ下位 (TCCSL0, TCCSL1) の STOP ビットが "1" のとき，32 ビットフリーランタイムは停止しています。
- このレジスタは必ずワードでアクセスしてください。
- このレジスタは，書込み値と読出し値が異なります。
- 32 ビットフリーランタイムのカウント値 (このレジスタの値) は，次のいずれかが発生するとただちに "0000 0000_H" にクリアされます。
 - 本デバイスがリセットされた
 - タイマ状態制御レジスタ下位 (TCCSL0, TCCSL1) の SCLR ビットに "1" が書き込まれた
 - 32 ビットフリーランタイムのカウント値が，コンペアクリアレジスタ (CPCLR0, CPCLR1) の値と一致した

[bit15] : ECKE (クロック選択ビット)

32 ビットフリーランタイムのカウント用クロックを選択します。

書込み値	説明
0	内部クロック (周辺クロック) を選択します。
1	外部クロックを選択します。

内部クロック (周辺クロック) は、周辺クロック (PCLK) を分周して生成します。内部クロック (周辺クロック) を選択した場合は、CLK3 ~ CLK0 ビットで周辺クロック (PCLK) の分周比を選択する必要があります。

外部クロックは FRCK0, FRCK1 端子から入力されます。外部クロックを選択した場合は、FRCK0, FRCK1 端子から入力される信号の両エッジでカウントが行われます。

< 注意事項 >

- このビットを変更すると、ただちにカウント用クロックが変更されます。
- このビットは、32 ビットフリーランタイム、32 ビットインプットキャプチャ、および 32 ビットアウトプットコンペアのすべてが停止しているときに書き換えてください。

[bit14 ~ bit10] : 予約ビット

書込み時	無視されます。
読出し時	値は不定です。

[bit9] : ICLR (コンペアクリア割込み要求フラグビット)

32 ビットフリーランタイムのカウント値が、コンペアクリアレジスタ (CPCLR0, CPCLR1) に設定した値と一致したことを示します。

このビットが "1" のときに、ICRE ビットに "1" が設定されていると、コンペアクリア割込み要求が発生します。

ICLR	読出し時	書込み時
0	カウント値は一致していません。	このビットを "0" にクリアします。
1	カウント値が一致しました。	無視されます。

< 注意事項 >

リードモディファイライト系命令では "1" が読み出されます。

[bit8] : ICRE (コンペアクリア割込み要求許可ビット)

32 ビットフリーランタイムのカウント値が、コンペアクリアレジスタ (CPCLR0, CPCLR1) に設定した値と一致したとき (ICLR ビット =1) にコンペアクリア割込み要求を発生させるかどうかを設定します。

書込み値	説明
0	コンペアクリア割込み要求の発生を禁止します。
1	コンペアクリア割込み要求の発生を許可します。

[bit7] : 未定義ビット

書込み時	無視されます。
読出し時	値は不定です。

[bit6] : STOP (タイマ動作許可ビット)

32 ビットフリーランタイムのカウント動作を許可 (開始) / 禁止 (停止) します。

書込み値	説明
0	カウント動作を許可 (開始) します。
1	カウント動作を禁止 (停止) します。

< 注意事項 >

32 ビットフリーランタイムを停止すると、32 ビットアウトプットコンペアも停止します。

[bit5] : 未定義ビット

書込み時	無視されます。
読出し時	値は不定です。

[bit4] : SCLR (タイマクリアビット)

32 ビットフリーランタイムのカウント値を "0000 0000_H" にクリアします。

SCLR	書込み時	読出し時
0	カウント値をクリアしません。	"0" が読み出されます。
1	カウント値をクリアします。	

< 注意事項 >

このビットに "1" を書き込むと、次のカウント用クロックのタイミングでカウント値がクリアされます。

[bit3 ~ bit0] : CLK3 ~ CLK0 (クロック周波数選択ビット)

32 ビットフリーランタイムのカウント用クロックに、内部クロック (周辺クロック) を選択した場合は、周辺クロック (PCLK) の分周比を選択します。

このビットで選択した分周比と周辺クロック (PCLK) の周波数によってカウントの周期が決定します。

このビットへの書き込み値と周辺クロック (PCLK) の関係で設定されるカウント周期例を表 18.4-2 に示します。

表 18.4-2 書き込み値とカウント周期例

CLK3	CLK2	CLK1	CLK0	PCLK の 分周比	PCLK の周波数				
					32MHz	16MHz	8MHz	4MHz	1MHz
0	0	0	0	1 分周	31.25ns	62.5ns	125ns	0.25μs	1μs
0	0	0	1	2 分周	62.5ns	125ns	0.25μs	0.5μs	2μs
0	0	1	0	4 分周	125ns	0.25μs	0.5μs	1μs	4μs
0	0	1	1	8 分周	0.25μs	0.5μs	1μs	2μs	8μs
0	1	0	0	16 分周	0.5μs	1μs	2μs	4μs	16μs
0	1	0	1	32 分周	1μs	2μs	4μs	8μs	32μs
0	1	1	0	64 分周	2μs	4μs	8μs	16μs	64μs
0	1	1	1	128 分周	4μs	8μs	16μs	32μs	128μs
1	0	0	0	256 分周	8μs	16μs	32μs	64μs	256μs

PCLK : 周辺クロック (PCLK)

< 注意事項 >

- 表 18.4-2 に示した以外の設定は使用しないでください。
- このビットを書き換えると、ただちにカウント用クロックが変更されます。
- このビットは、32 ビットフリーランタイム、32 ビットインプットキャプチャ、および 32 ビットアウトプットコンペアの全てが停止しているときに書き換えてください。

18.5 割込み

32 ビットフリーランタイムのカウント値が、コンペアクリアレジスタ (CPCLR0, CPCLR1) に設定した値と一致すると、割込み要求が発生します (コンペアクリア割込み要求)。

32 ビットフリーランタイムで利用できる割込みについて表 18.5-1 に示します。

表 18.5-1 32 ビットフリーランタイムの割込み

割込み要求	割込み要求フラグ	割込み要求許可	割込み要求のクリア
コンペアクリア 割込み要求	TCCSH の ICLR=1	TCCSH の ICRE=1	TCCSH の ICLR ビットに "0" を書き込む

TCCSH: タイマ状態制御レジスタ上位 (TCCSH0, TCCSH1)

< 注意事項 >

- 割込み要求フラグが "1" のときに割込み要求の発生を許可すると割込みを許可した時点で、割込み要求が発生します。
割込み要求の発生を許可する場合は、次のいずれかの処理を行ってください。
 - 割込み要求の発生を許可する前に割込み要求をクリアする。
 - 割込み許可と同時に割込み要求をクリアする。
- 各割込み要求の割込みベクタ番号については、「付録 C 割込みベクタ」を参照してください。
- 割込みベクタ番号に対応する割込みレベルは、割込みコントロールレジスタ (ICR00 ~ ICR47) で設定します。割込みレベルの設定については、「第 10 章 割込みコントロール」を参照してください。

18.6 動作説明と設定手順例

32 ビットフリーランタイムの動作について説明します。また、動作状態を設定するための手順例も示します。

■ 概要

32 ビットフリーランタイムは、内部クロック（周辺クロック）または外部クロックをカウント用クロックとして、タイマデータレジスタ (TCDT0, TCDT1) に設定した値から、コンペアクリアレジスタ (CPCLR0, CPCLR1) に設定した値までカウントアップします。

- 内部クロック（周辺クロック）
9 種類（周辺クロック (PCLK) の 1 分周, 2 分周, 4 分周, 8 分周, 16 分周, 32 分周, 64 分周, 128 分周, 256 分周）から選択できます。
- 外部クロック
両エッジでカウントアップします。カウント開始のタイミングは、FRCK0, FRCK1 端子から入力される外部クロックの初期値によって異なります。
32 ビットフリーランタイムの値は、32 ビットアウトプットコンペアおよび 32 ビットインプットキャプチャの基準時間として使用されます。

■ タイマクリア動作

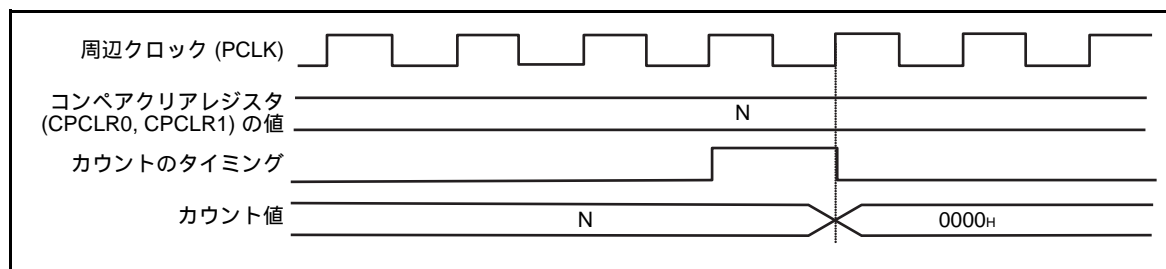
32 ビットフリーランタイムのカウント値は、次のいずれかの状態になるとただちにクリアされます。

- コンペアクリアレジスタ (CPCLR0, CPCLR1) に設定した値と一致した場合
- タイマ状態制御レジスタ下位 (TCCSL0, TCCSL1) の SCLR ビットで 32 ビットフリーランタイムのカウント値がクリア (SCLR=1) された場合
- 32 ビットフリーランタイムの停止中に、タイマデータレジスタ (TCDT0, TCDT1) に "0000 0000_H" が書き込まれた場合
- 本デバイスがリセットされた場合

32 ビットフリーランタイムのカウント値が、コンペアクリアレジスタ (CPCLR0, CPCLR1) に設定した値と一致した場合は、カウントタイミングに同期してクリアされます。

タイマクリア動作のタイミングを図 18.6-1 に示します。

図 18.6-1 タイマクリア動作のタイミング



18.6.1 内部クロック (周辺クロック) 選択時の動作

分周した周辺クロック (PCLK) をカウント用クロックとして使用します。

■ カウント動作

タイマ状態制御レジスタ下位 (TCCSL0, TCCSL1) の STOP ビットで、32 ビットフリーランタイムの動作を許可 (STOP=0) すると、タイマデータレジスタ (TCDT0, TCDT1) に設定した値から、コンペアクリアレジスタ (CPCLR0, CPCLR1) に設定した値までカウントを開始します。

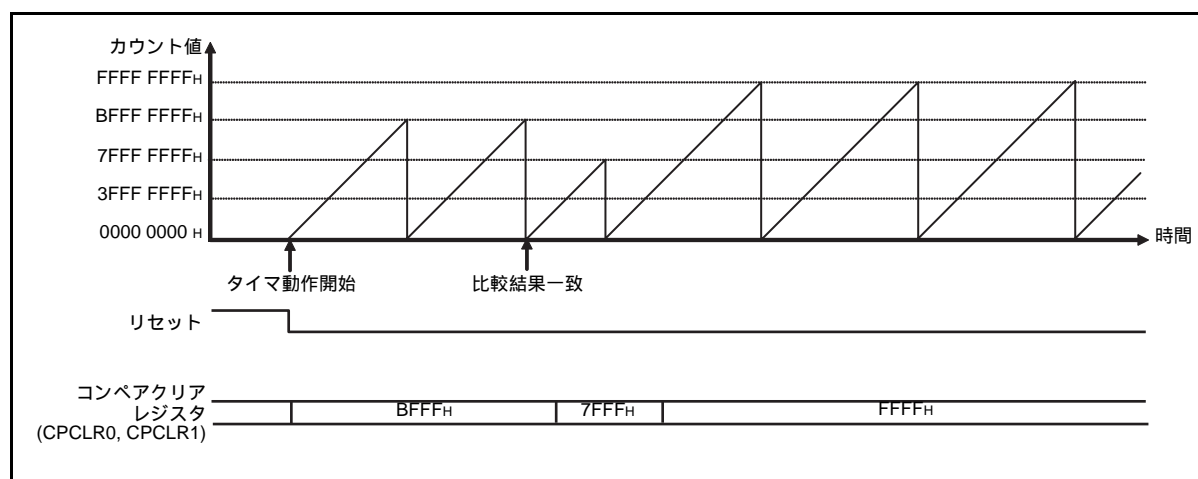
■ コンペアクリア動作

32 ビットフリーランタイムのカウント値が、コンペアクリアレジスタ (CPCLR0, CPCLR1) に設定した値と一致すると、カウントのタイミングに同期してクリアされます (コンペアクリア)。

コンペアクリア後、再度カウントアップが開始されます。

コンペアクリア動作のタイミングを図 18.6-2 に示します。

図 18.6-2 コンペアクリア動作のタイミング



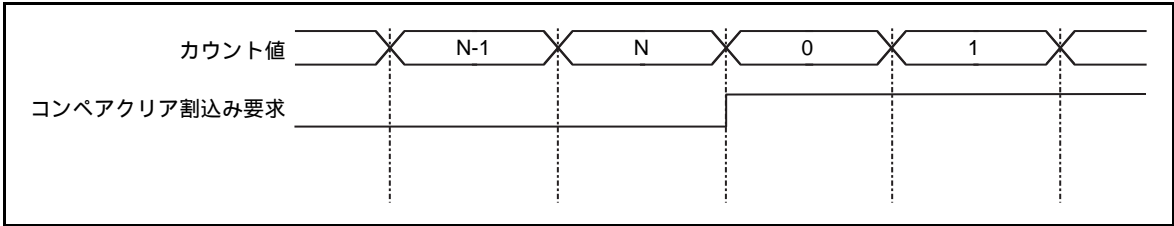
■ 割込み処理動作

32 ビットフリーランタイムは、カウント値がコンペアクリアレジスタ (CPCLR0, CPCLR1) に設定した値と一致したときに、割込み要求を発生できます。

タイマ状態制御レジスタ上位 (TCCSH0 TCCSH1) の ICLR ビットに "0" を書き込むと、割込み要求をクリアできます。

割込み要求の発生タイミングを図 18.6-3 に示します。

図 18.6-3 割込み要求の発生タイミング



18.6.2 外部クロック選択時の動作

FRCK0, FRCK1 端子から入力される外部クロックをカウント用クロックとして使用します。

■ カウント動作

タイマ状態制御レジスタ下位 (TCCSL0, TCCSL1) の STOP ビットで 32 ビットフリーランタイムの動作を許可 (STOP=0) しているときに、FRCK0, FRCK1 端子で有効エッジを検出すると、タイマデータレジスタ (TCDT0, TCDT1) に設定した値から、コンペアクリアレジスタ (CPCLR0, CPCLR1) に設定した値までカウントを開始します。

カウントのタイミングは、フリーランタイムの動作を許可した時点で、FRCK0, FRCK1 端子から入力されていた信号レベルによって異なります。

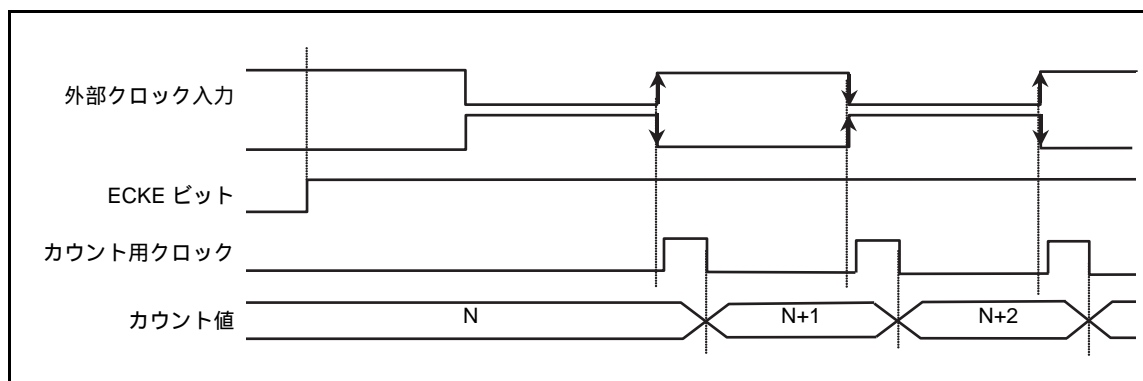
外部クロック選択時のカウントのタイミングを表 18.6-1 に示します。

表 18.6-1 外部クロック選択時のカウントのタイミング

動作許可時の 信号レベル	カウントのタイミング
"H" レベル	立上りエッジでカウントを開始し、その後は両エッジでカウントアップします。
"L" レベル	立下りエッジでカウントを開始し、その後は両エッジでカウントアップします。

外部クロック選択時 (ECKE=1) のカウントのタイミングを図 18.6-4 に示します。

図 18.6-4 外部クロック選択時のカウントのタイミング



■ コンペアクリア動作

内部クロック (周辺クロック) 選択時と同様です。「18.6.1 内部クロック (周辺クロック) 選択時の動作」の「コンペアクリア動作」を参照してください。

■ 割込み処理動作

内部クロック (周辺クロック) 選択時と同様です。「18.6.1 内部クロック (周辺クロック) 選択時の動作」の「割込み処理動作」を参照してください。

第 19 章 32 ビット インプット キャプチャ

32 ビットインプットキャプチャの機能と動作について説明します。

- 19.1 概要
- 19.2 構成
- 19.3 端子
- 19.4 レジスタ
- 19.5 割込み
- 19.6 動作説明と設定手順例

19.1 概要

32 ビットインプットキャプチャは、あらかじめ設定しておいた入力信号のエッジを検出すると、その時点での 32 ビットフリーランタイムの値を保存します。
本製品はインプットキャプチャを 8 チャンネル内蔵しています。

■ 概要

32 ビットインプットキャプチャは、コンペアタイマの一部です。コンペアタイマは、次の 3 つの機能で構成されています。

- 32 ビットフリーランタイム (2 チャンネル)
「第 18 章 32 ビット フリーランタイム」を参照してください。
- 32 ビットアウトプットコンペア (8 チャンネル)
「第 20 章 32 ビット アウトプット コンペア」を参照してください。
- 32 ビットインプットキャプチャ (8 チャンネル)

この章では、32 ビットインプットキャプチャについて説明します。

- 32 ビットフリーランタイムの値を保存するトリガを次の 3 種類から選択できます。
 - 立上りエッジ
 - 立下りエッジ
 - 両エッジ
- あらかじめ設定しておいた入力信号のエッジを検出したときに、割込み要求を発生できます。
- 2 チャンネルある 32 ビットフリーランタイムの内、どちらのチャンネルの 32 ビットフリーランタイムの値を 32 ビットインプットキャプチャで保存するかを選択できます。

32 ビットフリーランタイムの選択方法については、「第 18 章 32 ビット フリーランタイム」の「18.4.1 フリーランタイム選択レジスタ (FRTSEL)」を参照してください。

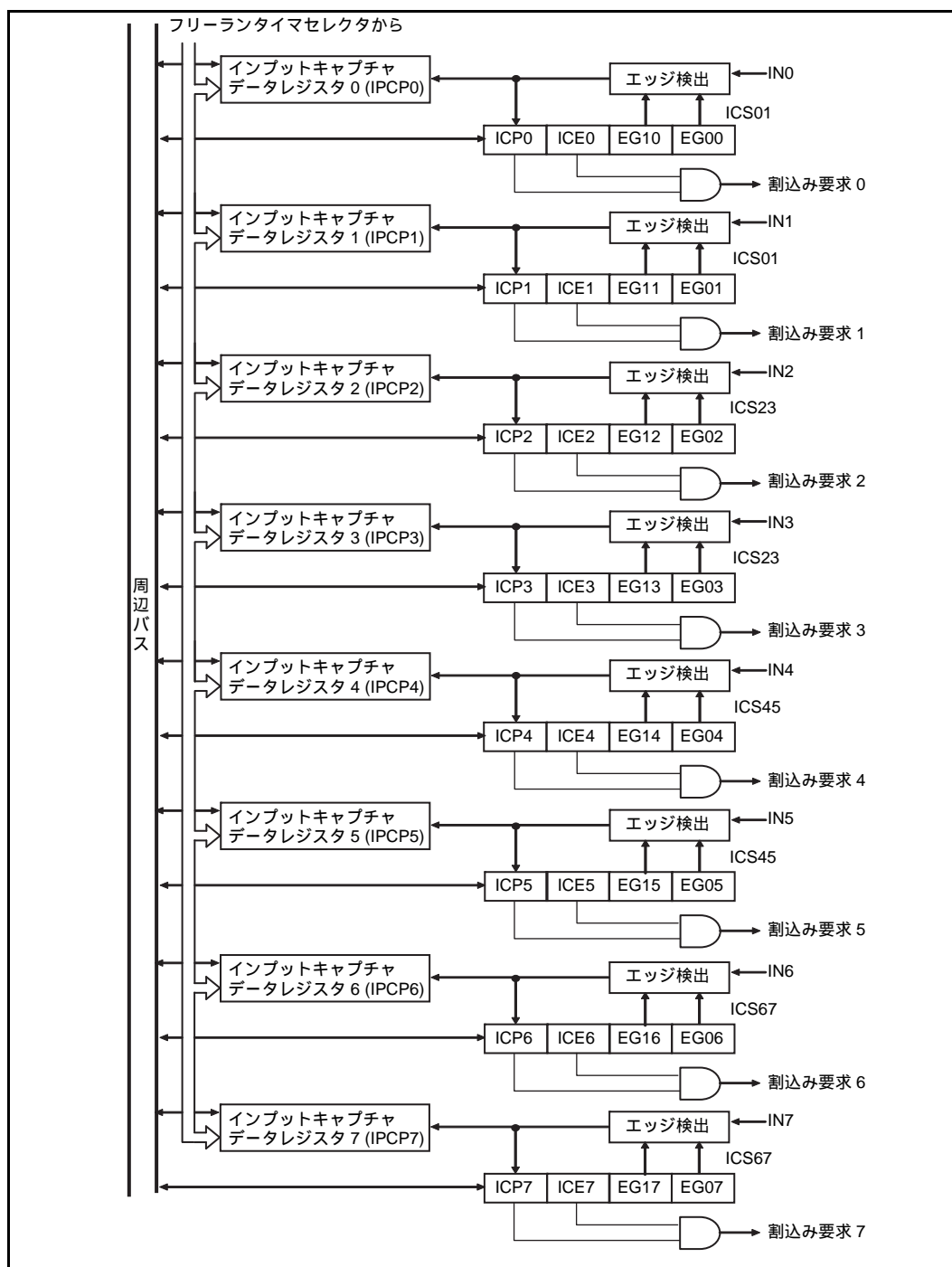
19.2 構成

32 ビットインプットキャプチャの構成を示します。

■ 32 ビットインプットキャプチャのブロックダイアグラム

32 ビットインプットキャプチャのブロックダイアグラムを図 19.2-1 に示します。

図 19.2-1 32 ビットインプットキャプチャのブロックダイアグラム



- インプットキャプチャデータレジスタ (IPCP0 ~ IPCP7)
フリーランタイマの値が保存されるレジスタです。
- インプットキャプチャ状態制御レジスタ (ICS01 ~ ICS67)
32 ビットインプットキャプチャの動作や状態を制御するレジスタです。

< 注意事項 >

コンペアタイマのブロックダイアグラムについては、「第 18 章 32 ビット フリーランタイマ」の「コンペアタイマのブロックダイアグラム」を参照してください。

■ クロック

32 ビットインプットキャプチャで使用するクロックを表 19.2-1 に示します。

表 19.2-1 32 ビットインプットキャプチャで使用するクロック

クロック名	内容
動作クロック	周辺クロック (PCLK)

19.3 端子

32 ビットインプットキャプチャで使用する端子について説明します。

■ 概要

- IN0 ~ IN7 端子

32 ビットインプットキャプチャの入力端子です。この端子は兼用端子です。32 ビットインプットキャプチャの入力端子として使用するには、「2.4 端子の設定方法」を参照してください。

■ 端子とチャネルの対応

チャネルと端子の対応を表 19.3-1 に示します。

表 19.3-1 チャネルと端子の対応

チャネル	入力端子
0	IN0
1	IN1
2	IN2
3	IN3
4	IN4
5	IN5
6	IN6
7	IN7

19.4 レジスタ

32 ビットインプットキャプチャで使用するレジスタの構成と機能について説明します。

■ 32 ビットインプットキャプチャのレジスタ一覧

32 ビットインプットキャプチャのレジスタ一覧を表 19.4-1 に示します。

表 19.4-1 32 ビットインプットキャプチャのレジスタ一覧

チャンネル	レジスタ略称	レジスタ名	参照先
共通	FRTSEL	フリーランタイム選択レジスタ	18.4.1
0/1 共通	ICS01	インプットキャプチャ状態制御レジスタ 01	19.4.1
2/3 共通	ICS23	インプットキャプチャ状態制御レジスタ 23	19.4.1
4/5 共通	ICS45	インプットキャプチャ状態制御レジスタ 45	19.4.1
6/7 共通	ICS67	インプットキャプチャ状態制御レジスタ 67	19.4.1
0	IPCP0	インプットキャプチャデータレジスタ 0	19.4.2
1	IPCP1	インプットキャプチャデータレジスタ 1	19.4.2
2	IPCP2	インプットキャプチャデータレジスタ 2	19.4.2
3	IPCP3	インプットキャプチャデータレジスタ 3	19.4.2
4	IPCP4	インプットキャプチャデータレジスタ 4	19.4.2
5	IPCP5	インプットキャプチャデータレジスタ 5	19.4.2
6	IPCP6	インプットキャプチャデータレジスタ 6	19.4.2
7	IPCP7	インプットキャプチャデータレジスタ 7	19.4.2

19.4.1 インプットキャプチャ状態制御レジスタ (ICS01 ~ ICS67)

32 ビットインプットキャプチャの動作や状態を制御するレジスタです。

インプットキャプチャ状態制御レジスタ (ICS01 ~ ICS67) のビット構成を図 19.4-1 に示します。

図 19.4-1 インプットキャプチャ状態制御レジスタ (ICS01 ~ ICS67) のビット構成

bit	7	6	5	4	3	2	1	0
	ICPm	ICPn	ICEm	ICEn	EG1m	EG0m	EG1n	EG0n
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

R/W : リード / ライト可能

[bit7, bit6] : ICPm, ICPn (割込み要求フラグビット)

IN0 ~ IN7 端子に有効エッジが検出されたことを示します。このビットが "1" のときに , ICEm, ICEn ビットが "1" に設定されているとエッジ検出割込み要求が発生します。ICPm ビットが奇数チャネル , ICPn ビットが偶数チャネルに対応します。

ICPm, ICPn	読出し時	書込み時
0	有効エッジは検出されていません。	このビットを "0" にクリアします。
1	有効エッジが検出されました。	無視されます。

ICPm ビット , ICPn ビットとチャネルの対応を表 19.4-2 に示します。

表 19.4-2 ビットとチャネルの対応

インプットキャプチャ ステータスレジスタ	ICPm ビット	対応チャネル	ICPn ビット	対応チャネル
ICS01	ICP1	ch.1	ICP0	ch.0
ICS23	ICP3	ch.3	ICP2	ch.2
ICS45	ICP5	ch.5	ICP4	ch.4
ICS67	ICP7	ch.7	ICP6	ch.6

< 注意事項 >

リードモディファイライト系命令では "1" が読み出されます。

[bit5, bit4] : ICEm, ICEn (割込み要求許可ビット)

IN0 ~ IN7 端子に有効エッジが検出されたとき (ICPm, ICPn=1) に、エッジ検出割込み要求を発生させるかどうかを設定します。

ICEm ビットが奇数チャンネル、ICEn ビットが偶数チャンネルに対応します。

書込み値	説明
0	エッジ検出割込み要求の発生を禁止します。
1	エッジ検出割込み要求の発生を許可します。

ICEm ビット、ICEn ビットとチャンネルの対応を表 19.4-3 に示します。

表 19.4-3 ビットとチャンネルの対応

インプットキャプチャ ステータスレジスタ	ICEm ビット	対応チャンネル	ICEn ビット	対応チャンネル
ICS01	ICE1	ch.1	ICE0	ch.0
ICS23	ICE3	ch.3	ICE2	ch.2
ICS45	ICE5	ch.5	ICE4	ch.4
ICS67	ICE7	ch.7	ICE6	ch.6

[bit3, bit2] : EG1m, EG0m (エッジ選択ビット)

奇数チャンネルの 32 ビットインプットキャプチャの有効エッジを選択します。

ここで、選択したエッジが検出されると、32ビットフリーランタイムの値をインプットキャプチャデータレジスタ (IPCP0 ~ IPCP7) に保存します。

EG1m	EG0m	説明
0	0	非検出 (インプットキャプチャ停止)。
0	1	立上りエッジ
1	0	立下りエッジ
1	1	両エッジ

EG1m ビット、EG0m ビットとチャンネルの対応を表 19.4-4 に示します。

表 19.4-4 ビットとチャンネルの対応

インプットキャプチャ ステータスレジスタ	EG1m, EG0m ビット	対応チャンネル
ICS01	EG11, EG01	ch.1
ICS23	EG13, EG03	ch.3
ICS45	EG15, EG05	ch.5
ICS67	EG17, EG07	ch.7

< 注意事項 >

このビットに "00" 以外の値を書き込むと、有効エッジを選択すると同時に対応チャンネルの動作が許可されます。

[bit1, bit0] : EG1n, EG0n (エッジ選択ビット)

偶数チャンネルの 32 ビットインプットキャプチャの有効エッジを選択します。

ここで、選択したエッジが検出されると、32 ビットフリーランタイムの値をインプットキャプチャデータレジスタ (IPCP0 ~ IPCP7) に保存します。

EG1n	EG0n	説明
0	0	非検出 (インプットキャプチャ停止)。
0	1	立上りエッジ
1	0	立下りエッジ
1	1	両エッジ

EG1n ビット, EG0n ビットのビット名はチャンネルごとに異なります。

ビットとチャンネルの対応を表 19.4-5 に示します。

表 19.4-5 ビットとチャンネルの対応

インプットキャプチャ ステータスレジスタ	EG1n, EG0n ビット	対応チャンネル
ICS01	EG10, EG00	ch.0
ICS23	EG12, EG02	ch.2
ICS45	EG14, EG04	ch.4
ICS67	EG16, EG06	ch.6

< 注意事項 >

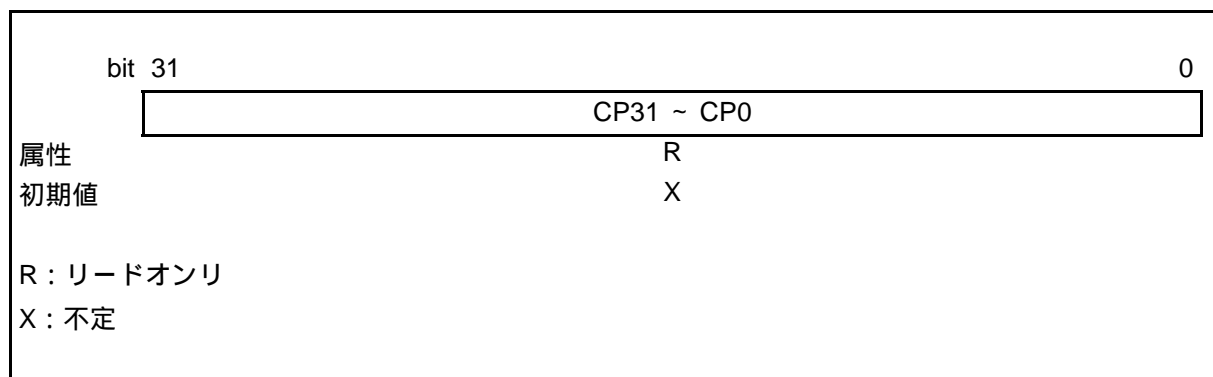
このビットに "00" 以外の値を書き込むと、有効エッジを選択すると同時に対応チャンネルの動作が許可されます。

19.4.2 インプットキャプチャデータレジスタ (IPCP0 ~ IPCP7)

32 ビットフリーランタイムの値を保存するレジスタです。IN0 ~ IN7 端子からの入力信号に有効エッジが検出されると、32ビットフリーランタイムの値がこのレジスタに保存されます。

インプットキャプチャデータレジスタ (IPCP0 ~ IPCP7) のビット構成を図 19.4-2 に示します。

図 19.4-2 インプットキャプチャデータレジスタ (IPCP0 ~ IPCP7) のビット構成



< 注意事項 >

- このレジスタは必ずワードで読み出してください。
- 2チャンネルある32ビットフリーランタイムの内、どちらのチャンネルの32ビットフリーランタイムの値が、このレジスタに保存されるかは、フリーランタイム選択レジスタ (FRTSEL) の設定によって異なります。詳しくは、「第 18 章 32 ビット フリーランタイム」の「18.4.1 フリーランタイム選択レジスタ (FRTSEL)」を参照してください。

19.5 割込み

IN0 ~ IN7 端子からの入力信号に有効エッジが検出されると割込み要求が発生します (エッジ検出割込み要求)。

32 ビットインプットキャプチャで利用できる割込みについて表 19.5-1 に示します。

表 19.5-1 32 ビットインプットキャプチャの割込み

割込み要求	割込み要求フラグ	割込み要求許可	割込み要求のクリア
エッジ検出 割込み要求	偶数チャネル : ICS の ICPn=1 奇数チャネル : ICS の ICPm=1	偶数チャネル : ICS の ICEn=1 奇数チャネル : ICS の ICEm=1	次のビットに "0" を書き込む 偶数チャネル : ICS の ICPn ビット 奇数チャネル : ICS の ICPm ビット

ICS : インプットキャプチャ状態制御レジスタ (ICS01 ~ ICS67)

< 注意事項 >

- 割込み要求フラグが"1"のときに割込み要求の発生を許可すると割込みを許可した時点で、割込み要求が発生します。
割込み要求の発生を許可する場合は、次のいずれかの処理を行ってください。
 - 割込み要求の発生を許可する前に割込み要求をクリアする。
 - 割込み許可と同時に割込み要求をクリアする。
- 各割込み要求の割込みベクタ番号については、「付録 C 割込みベクタ」を参照してください。
- 割込みベクタ番号に対応する割込みレベルは、割込みコントロールレジスタ (ICR00 ~ ICR47) で設定します。割込みレベルの設定については、「第 10 章 割込みコントロール」を参照してください。

19.6 動作説明と設定手順例

32 ビットインプットキャプチャの動作について説明します。また、動作状態を設定するための手順例も示します。

19.6.1 32 ビットインプットキャプチャの動作説明

32 ビットインプットキャプチャは、あらかじめ設定しておいた入力信号のエッジを検出すると、その時点での 32 ビットフリーランタイムの値を保存します。

■ 動作

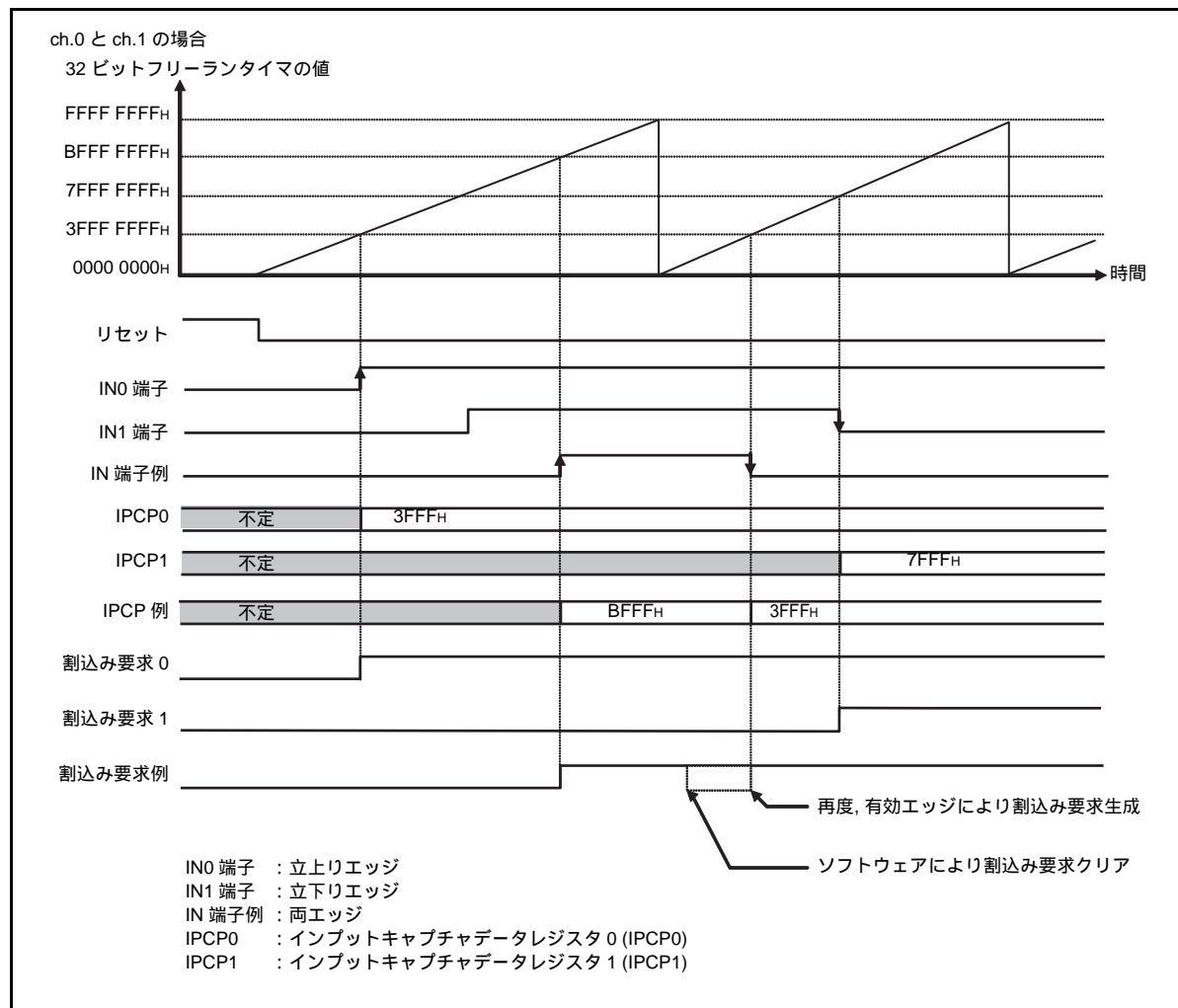
インプットキャプチャ状態制御レジスタ (ICS01 ~ ICS67) の次のビットで有効エッジを選択すると、32 ビットインプットキャプチャの動作が許可されます。

- 奇数チャネルの有効エッジ選択 / 動作許可：EG1m, EG0m
- 偶数チャネルの有効エッジ選択 / 動作許可：EG1n, EG0n

32 ビットインプットキャプチャの動作が許可されているときに IN0 ~ IN7 端子で有効エッジを検出すると、その時点での 32 ビットフリーランタイムの値が、インプットキャプチャデータレジスタ (IPCP0 ~ IPCP7) に保存されます。このとき、割込み要求の発生が許可されているとエッジ検出割込み要求が発生します。

32 ビットインプットキャプチャの動作を図 19.6-1 に示します。

図 19.6-1 32 ビットインプットキャプチャの動作

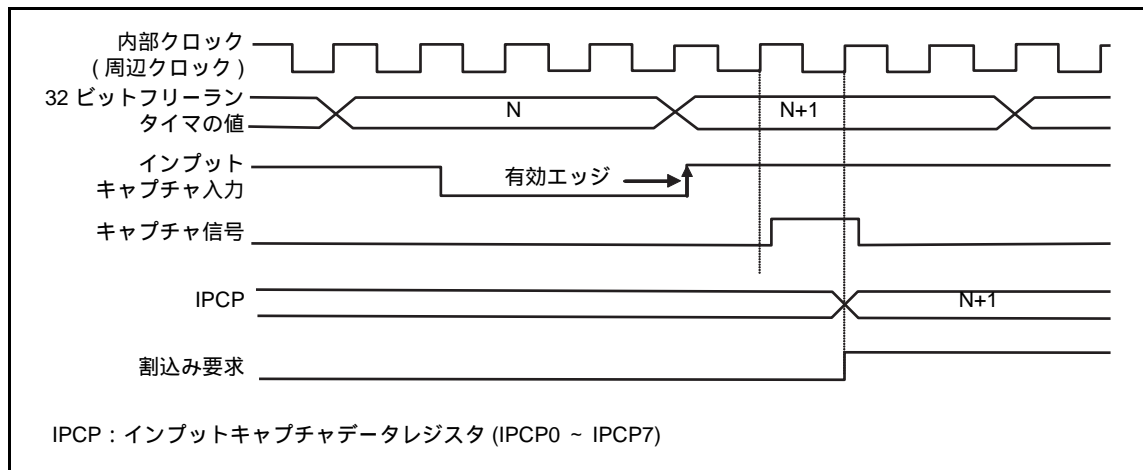


< 注意事項 >

2 チャンネルある 32 ビットフリーランタイムの内, どちらのチャンネルの 32 ビットフリーランタイムの値を保存するかは, フリーランタイム選択レジスタ (FRTSEL) の設定によって異なります。詳しくは, 「第 18 章 32 ビット フリーランタイム」の「18.4.1 フリーランタイム選択レジスタ (FRTSEL)」を参照してください。

有効エッジを検出すると内部クロック（周辺クロック）に同期化するためにキャプチャ信号が生成されます。割込み要求の発生や、32 ビットフリーランタイムの値の保存はこのキャプチャ信号を元に行われます。キャプチャ信号のタイミング例を図 19.6-2 に示します。

図 19.6-2 キャプチャ信号のタイミング例



第 20 章 32 ビット アウトプット コンペア

32 ビットアウトプットコンペアの機能と動作について説明します。

- 20.1 概要
- 20.2 構成
- 20.3 端子
- 20.4 レジスタ
- 20.5 割込み
- 20.6 動作説明と設定手順例

20.1 概要

32 ビットアウトプットコンペアは、あらかじめ設定した値まで 32 ビットフリーランタイムがカウントアップすると、端子からの出力レベルを反転させたり、割込み要求を発生させたりする機能です。

本製品は、32 ビットアウトプットコンペアを 8 チャンネル内蔵しています。

■ 概要

32 ビットアウトプットコンペアは、コンペアタイマの一部です。コンペアタイマは、次の 3 つの機能で構成されています。

- 32 ビットフリーランタイム (2 チャンネル)
「第 18 章 32 ビット フリーランタイム」を参照してください。
- 32 ビットアウトプットコンペア (8 チャンネル)
- 32 ビットインプットキャプチャ (8 チャンネル)
「第 19 章 32 ビットインプットキャプチャ」を参照してください。

この章では、32 ビットアウトプットコンペアについて説明します。

- 32 ビットアウトプットコンペアを 1 チャンネルずつ独立で使用することも、2 チャンネルを一对にして使用することもできます。
2 チャンネルの 32 ビットアウトプットコンペアを一对にして使用すると、一度に 2 チャンネル分の比較動作を行えるため、CPU の負荷を軽減できます。
一对にして使用できるチャンネルの組合せは次のとおりです。
 - ch.0 と ch.1
 - ch.2 と ch.3
 - ch.4 と ch.5
 - ch.6 と ch.7
- 32 ビットアウトプットコンペア起動時の OUT0 ~ OUT7 端子の出力レベルを設定できます。
- 32 ビットフリーランタイムのカウント値とあらかじめ設定した値 (コンペア値) が一致すると、割込み要求を発生できます。
- 2 チャンネルある 32 ビットフリーランタイムの内、どちらのチャンネルの 32 ビットフリーランタイムを 32 ビットアウトプットコンペアで使用するかを選択できます。
32 ビットフリーランタイムの選択方法については、「第 18 章 32 ビットフリーランタイム」の「18.4.1 フリーランタイム選択レジスタ (FRTSEL)」を参照してください。

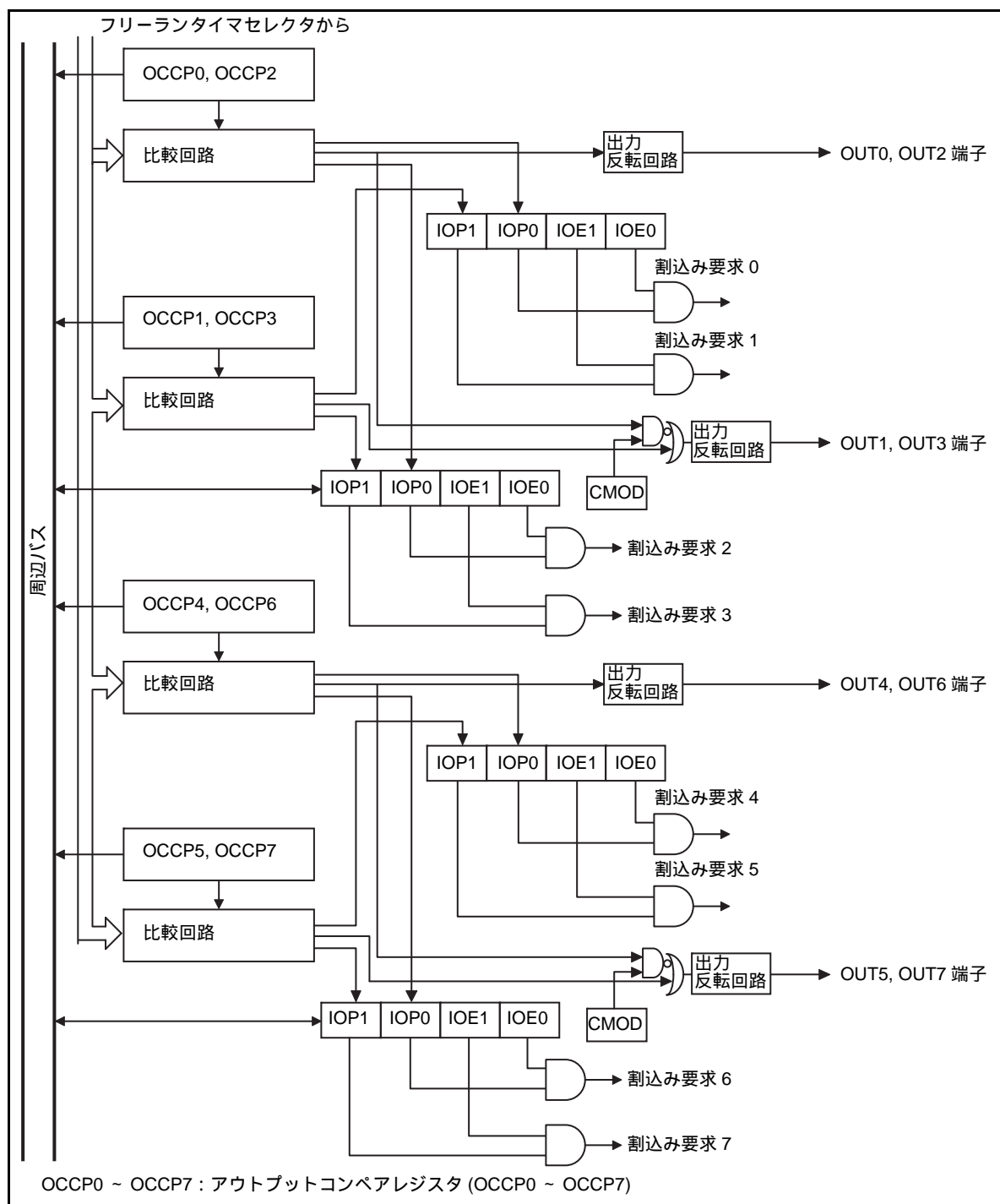
20.2 構成

32 ビットアウトプットコンペアの構成を示します。

■ 32 ビットアウトプットコンペアのブロックダイアグラム

32 ビットアウトプットコンペアのブロックダイアグラムを図 20.2-1 に示します。

図 20.2-1 32 ビットアウトプットコンペアのブロックダイアグラム



- アウトプットコンペアレジスタ (OCCP0 ~ OCCP7)
32 ビットフリーランタイムのカウント値と比較するための値 (コンペア値) を設定するレジスタです。
- コンペア制御レジスタ
32 ビットアウトプットコンペアの動作を制御するレジスタです。次の 2 つのレジスタに分かれています。
 - コンペア制御レジスタ上位 (OCSH1, OCSH3, OCSH5, OCSH7)
 - コンペア制御レジスタ下位 (OCSL0, OCSL2, OCSL4, OCSL6)
- 比較回路
32 ビットフリーランタイムのカウント値とアウトプットコンペアレジスタ (OCCP0 ~ OCCP7) に設定したコンペア値を比較する回路です。

< 注意事項 >

コンペアタイマのブロックダイアグラムについては、「第 18 章 32 ビット フリーランタイム」の「コンペアタイマのブロックダイアグラム」を参照してください。

■ クロック

32 ビットアウトプットコンペアで使用するクロックを表 20.2-1 に示します。

表 20.2-1 32 ビットアウトプットコンペアで使用するクロック

クロック名	内容
動作クロック	周辺クロック (PCLK)

20.3 端子

32 ビットアウトプットコンペアで使用する端子について説明します。

■ 概要

- OUT0 ~ OUT7 端子
32 ビットアウトプットコンペアの出力端子です。この端子は兼用端子です。
32 ビットアウトプットコンペアの OUT0 ~ OUT7 端子として使用するには、「2.4 端子の設定方法」を参照してください。

■ 端子とチャネルの対応

チャネルと端子の対応を表 20.3-1 に示します。

表 20.3-1 チャネルと端子の対応

チャネル	出力端子
0	OUT0
1	OUT1
2	OUT2
3	OUT3
4	OUT4
5	OUT5
6	OUT6
7	OUT7

20.4 レジスタ

32 ビットアウトプットコンペアで使用するレジスタの構成と機能について説明します。

■ 32 ビットアウトプットコンペアのレジスタ一覧

32 ビットアウトプットコンペアのレジスタ一覧を表 20.4-1 に示します。

表 20.4-1 32 ビットアウトプットコンペアのレジスタ一覧

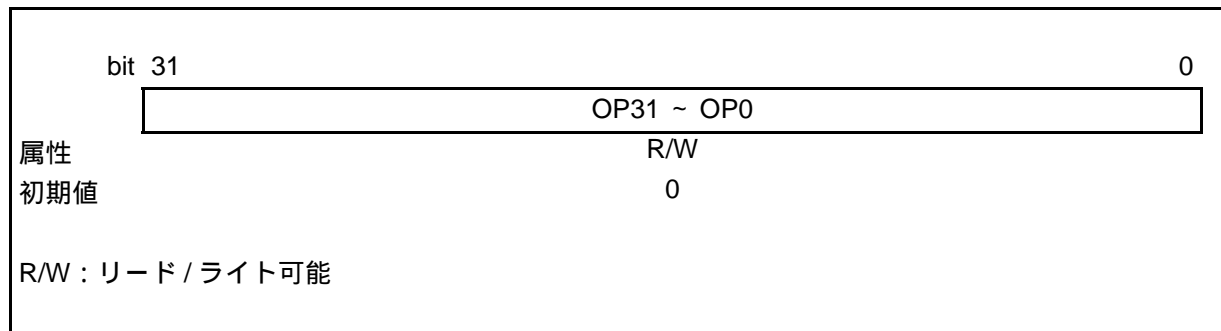
チャンネル	レジスタ略称	レジスタ名	参照先
共通	FRTSEL	フリーランタイム選択レジスタ	18.4.1
0/1 共通	OCSH1	コンペア制御レジスタ上位 1	20.4.2
	OCSL0	コンペア制御レジスタ下位 0	20.4.3
2/3 共通	OCSH3	コンペア制御レジスタ上位 3	20.4.2
	OCSL2	コンペア制御レジスタ下位 2	20.4.3
4/5 共通	OCSH5	コンペア制御レジスタ上位 5	20.4.2
	OCSL4	コンペア制御レジスタ下位 4	20.4.3
6/7 共通	OCSH7	コンペア制御レジスタ上位 7	20.4.2
	OCSL6	コンペア制御レジスタ下位 6	20.4.3
0	OCCP0	アウトプットコンペアレジスタ 0	20.4.1
1	OCCP1	アウトプットコンペアレジスタ 1	20.4.1
2	OCCP2	アウトプットコンペアレジスタ 2	20.4.1
3	OCCP3	アウトプットコンペアレジスタ 3	20.4.1
4	OCCP4	アウトプットコンペアレジスタ 4	20.4.1
5	OCCP5	アウトプットコンペアレジスタ 5	20.4.1
6	OCCP6	アウトプットコンペアレジスタ 6	20.4.1
7	OCCP7	アウトプットコンペアレジスタ 7	20.4.1

20.4.1 アウトプットコンペアレジスタ (OCCP0 ~ OCCP7)

32 ビットフリーランタイムのカウント値と比較するための値 (コンペア値) を設定するレジスタです。32 ビットフリーランタイムを動作させる前に、このレジスタにコンペア値を設定してください。

アウトプットコンペアレジスタ (OCCP0 ~ OCCP7) のビット構成を図 20.4-1 に示します。

図 20.4-1 アウトプットコンペアレジスタ (OCCP0 ~ OCCP7) のビット構成



< 注意事項 >

- このレジスタは、32 ビットフリーランタイムの動作中にも書き換えられます。
- このレジスタに書き込んだ値は、ただちにコンペア値に反映されます。そのため、32 ビットフリーランタイムの動作中にコンペア値を小さな値から大きな値へ書き換えると、32 ビットフリーランタイムの 1 回のカウント中に 2 回の割込み要求が発生します。これを避けるには、32 ビットフリーランタイムの割込み処理を利用して、このレジスタを書き換えてください。
- このレジスタは必ずワード (32 ビット単位) でアクセスしてください。
- 2 チャンネルある 32 ビットフリーランタイムの内、どちらのチャンネルの 32 ビットフリーランタイムの値と、このレジスタに設定した値が比較されるかは、フリーランタイム選択レジスタ (FRTSEL) の設定によって異なります。詳しくは、「第 18 章 32 ビットフリーランタイム」の「18.4.1 フリーランタイム選択レジスタ (FRTSEL)」を参照してください。

20.4.2 コンペア制御レジスタ上位 (OCSH1, OCSH3, OCSH5, OCSH7)

32 ビットアウトプットコンペアを独立で使用するか、対にして使用するかを設定するレジスタです。また、32 ビットアウトプットコンペア起動時に OUT0 ~ OUT7 端子から出力する信号レベルも設定します。

コンペア制御レジスタ上位 (OCSH1, OCSH3, OCSH5, OCSH7) のビット構成を図 20.4-2 に示します。

図 20.4-2 コンペア制御レジスタ上位 (OCSH1, OCSH3, OCSH5, OCSH7) のビット構成

bit	15	14	13	12	11	10	9	8
	未定義	未定義	未定義	CMOD	未定義	未定義	OTD1	OTD0
属性	-	-	-	R/W	-	-	R/W	R/W
初期値	X	X	X	0	X	X	0	0
R/W：リード / ライト可能								
-：未定義								
X：不定								

[bit15 ~ bit13]：未定義ビット

書込み時	無視されます。
読出し時	値は不定です。

[bit12] : CMOD (出力レベル反転モードビット)

32 ビットアウトプットコンペアを独立で使用するか、対にして使用するかを設定します。この設定により、端子から出力する波形の反転モードが変わります。

書込み値	説明
0	32 ビットアウトプットコンペアを独立で 사용합니다。 アウトプットコンペアレジスタ (OCCP0 ~ OCCP7) のコンペア値と 32 ビットフリーランタイムのカウント値が一致すると、対応する端子からの出力レベルが反転します。
1	32 ビットアウトプットコンペアを対にして 사용합니다。 アウトプットコンペアレジスタ (OCCP0 ~ OCCP7) のコンペア値と 32 ビットフリーランタイムの値が一致した場合の反転モードは次のようになります。 偶数チャネルのアウトプットコンペアレジスタ (OCCP0, OCCP2, OCCP4, OCCP6) のコンペア値と一致したとき：次の端子からの出力レベルが反転します。 ・チャネルに対応する端子からの出力レベル ・対にして使用している奇数チャネルに対応する端子からの出力レベル 奇数チャネルのアウトプットコンペアレジスタ (OCCP1, OCCP3, OCCP5, OCCP7) のコンペア値と一致したとき：次の端子からの出力レベルが反転します。 ・チャネルに対応する端子からの出力レベル

このビットに "1" を設定した場合の、OUT0 ~ OUT7 端子の出力レベル反転タイミングを表 20.4-2 に示します。

表 20.4-2 出力レベル反転タイミング

32 ビットフリーランタイムの 値とコンペア値が一致したレジスタ	出力レベルが反転する端子
アウトプットコンペアレジスタ 0 (OCCP0)	OUT0 端子, OUT1 端子
アウトプットコンペアレジスタ 1 (OCCP1)	OUT1 端子
アウトプットコンペアレジスタ 2 (OCCP2)	OUT2 端子, OUT3 端子
アウトプットコンペアレジスタ 3 (OCCP3)	OUT3 端子
アウトプットコンペアレジスタ 4 (OCCP4)	OUT4 端子, OUT5 端子
アウトプットコンペアレジスタ 5 (OCCP5)	OUT5 端子
アウトプットコンペアレジスタ 6 (OCCP6)	OUT6 端子, OUT7 端子
アウトプットコンペアレジスタ 7 (OCCP7)	OUT7 端子

< 注意事項 >

- このビットに "1" を設定しても、偶数チャンネルと奇数チャンネルのコンペア値が同じ値の場合は、32 ビットアウトプットコンペアを 1 チャンネルずつ独立で使用する場合と同じ動作になります。
- 2 チャンネルの 32 ビットアウトプットコンペアを一对にして使用する場合は、このビットに必ず "1" を書き込んでください。

[bit11, bit10] : 予約ビット

書込み時	無視されます。
読出し時	値は不定です。

[bit9] : OTD1 (出力レベルビット)

奇数チャンネルの 32 ビットアウトプットコンペア起動時に端子 (OUT1, OUT3, OUT5, OUT7) から出力する信号レベルを設定します。

OTD1	書込み時	読出し時
0	"L" レベルが出力されます。	出力レベルが読み出されます。
1	"H" レベルが出力されます。	

< 注意事項 >

32 ビットアウトプットコンペアの動作中に、このビットを書き換えしないでください。

[bit8] : OTD0 (出力レベルビット)

偶数チャンネルの 32 ビットアウトプットコンペア起動時に端子 (OUT0, OUT2, OUT4, OUT6) から出力する信号レベルを設定します。

OTD0	書込み時	読出し時
0	"L" レベルが出力されます。	出力レベルが読み出されます。
1	"H" レベルが出力されます。	

< 注意事項 >

32 ビットアウトプットコンペアの動作中に、このビットを書き換えしないでください。

20.4.3 コンペア制御レジスタ下位 (OCSL0, OCSL2, OCSL4, OCSL6)

32 ビットアウトプットコンペアの動作を許可 / 禁止したり , 割込み要求の制御をしたりするレジスタです。

コンペア制御レジスタ下位 (OCSL0, OCSL2, OCSL4, OCSL6) のビット構成を図 20.4-3 に示します。

図 20.4-3 コンペア制御レジスタ下位 (OCSL0, OCSL2, OCSL4, OCSL6) のビット構成

bit	7	6	5	4	3	2	1	0
	IOP1	IOP0	IOE1	IOE0	未定義	未定義	CST1	CST0
属性	R/W	R/W	R/W	R/W	-	-	R/W	R/W
初期値	0	0	0	0	X	X	0	0

R/W : リード / ライト可能
- : 未定義
X : 不定

[bit7] : IOP1 (奇数チャンネル比較結果一致割込み要求フラグビット)

奇数チャンネルのアウトプットコンペアレジスタ (OCCP1, OCCP3, OCCP5, OCCP7) のコンペア値と 32 ビットフリーランタイムのカウント値の比較結果が一致したことを示します。

このビットが "1" のときに , IOE1 ビットに "1" が設定されていると , 比較結果一致割込み要求が発生します。

IOP1	読出し時	書込み時
0	比較結果が一致しません。	このビットを "0" にクリアします。
1	比較結果が一致しました。	無視されます。

< 注意事項 >

リードモディファイライト系命令では "1" が読み出されます。

[bit6] : IOP0 (偶数チャンネル比較結果一致割込み要求フラグビット)

偶数チャンネルのアウトプットコンペアレジスタ (OCCP0, OCCP2, OCCP4, OCCP6) のコンペア値と 32 ビットフリーランタイムのカウント値の比較結果が一致したことを示します。

このビットが "1" のときに , IOE0 ビットに "1" が設定されていると , 比較結果一致割込み要求が発生します。

IOP0	読出し時	書込み時
0	比較結果が一致しません。	このビットを"0"にクリアします。
1	比較結果が一致しました。	無視されます。

< 注意事項 >

リードモディファイライト系命令では "1" が読み出されます。

[bit5] : IOE1 (奇数チャネル比較結果一致割込み許可ビット)

奇数チャネルのアウトプットコンペアレジスタ (OCCP1, OCCP3, OCCP5, OCCP7) の値と 32 ビットフリーランタイムのカウント値との比較結果が一致したとき (IOP1=1) に、比較結果一致割込み要求を発生させるかどうかを設定します。

書込み値	説明
0	比較結果一致割込み要求の発生を禁止します。
1	比較結果一致割込み要求の発生を許可します。

[bit4] : IOE0 (偶数チャネル比較結果一致割込み許可ビット)

偶数チャネルのアウトプットコンペアレジスタ (OCCP0, OCCP2, OCCP4, OCCP6) の値と 32 ビットフリーランタイムのカウント値との比較結果が一致したとき (IOP0=1) に、比較結果一致割込み要求を発生させるかどうかを設定します。

書込み値	説明
0	比較結果一致割込み要求の発生を禁止します。
1	比較結果一致割込み要求の発生を許可します。

[bit3, bit2] : 未定義ビット

書込み時	無視されます。
読出し時	値は不定です。

[bit1] : CST1 (奇数チャネル比較動作許可ビット)

32 ビットフリーランタイムのカウント値との奇数チャネルの 32 ビットアウトプットコンペアの比較動作を許可 / 禁止します。

書込み値	説明
0	比較動作を禁止します。
1	比較動作を許可します。

< 注意事項 >

32 ビットフリーランタイムが停止すると、32 ビットアウトプットコンペアの比較動作も停止します。

[bit0] : CST0 (偶数チャネル比較動作許可ビット)

32 ビットフリーランタイムのカウント値と、偶数チャネルの 32 ビットアウトプットコンペアの比較動作を許可 / 禁止します。

書込み値	説明
0	比較動作を禁止します。
1	比較動作を許可します。

< 注意事項 >

32 ビットフリーランタイムが停止すると、32 ビットアウトプットコンペアの比較動作も停止します。

20.5 割込み

32 ビットフリーランタイムのカウント値が，アウトプットコンペアレジスタ (OCCP0 ~ OCCP7) に設定した値 (コンペア値) と一致すると，割込み要求が発生します (比較結果一致割込み要求)。

32 ビットアウトプットコンペアで使える割込みについて表 20.5-1 に示します。

表 20.5-1 32 ビットアウトプットコンペアの割込み

割込み要求	割込み要求フラグ	割込み要求許可	割込み要求のクリア
比較結果一致 割込み要求	偶数チャンネル： OCSL の IOP0=1 奇数チャンネル： OCSL の IOP1=1	偶数チャンネル： OCSL の IOE0=1 奇数チャンネル： OCSL の IOE1=1	次のビットに "0" を書き込む 偶数チャンネル： OCSL の IOP0 ビット 奇数チャンネル： OCSL の IOP1 ビット

OCSL : コンペア制御レジスタ下位 (OCSL0, OCSL2, OCSL4, OCSL6)

< 注意事項 >

- 割込み要求フラグが"1"のときに割込み要求の発生を許可すると割込みを許可した時点で，割込み要求が発生します。

割込み要求の発生を許可する場合は，次のいずれかの処理を行ってください。

- 割込み要求の発生を許可する前に割込み要求をクリアする。
- 割込み許可と同時に割込み要求をクリアする。
- 各割込み要求の割込みベクタ番号については，「付録 C 割込みベクタ」を参照してください。
- 割込みベクタ番号に対応する割込みレベルは，割込みコントロールレジスタ (ICR00 ~ ICR47) で設定します。割込みレベルの設定については，「第 10 章 割込みコントローラ」を参照してください。

20.6 動作説明と設定手順例

32 ビットアウトプットコンペアの動作について説明します。また、動作状態を設定するための手順例も示します。

■ 概要

32 ビットアウトプットコンペアを 1 チャンネルずつ独立で使用する場合と、2 チャンネルの 32 ビットアウトプットコンペアを一对にして使用する場合があります。

20.6.1 独立で使用する場合の動作

32 ビットアウトプットコンペアを 1 チャンネルずつ独立で使用する場合の動作について説明します。

■ 概要

コンペア制御レジスタ上位 (OCSH1, OCSH3, OCSH5, OCSH7) の CMOD ビットを "0" に設定すると、32 ビットアウトプットコンペアが 1 チャンネルずつ独立で動作します。

32 ビットフリーランタイムのカウント値がアウトプットコンペアレジスタ (OCCP0 ~ OCCP7) のコンペア値と一致すると、チャンネルに対応した端子の出力レベルが反転します。

< 注意事項 >

2 チャンネルある 32 ビットフリーランタイムの内、どちらのチャンネルの 32 ビットフリーランタイムの値がアウトプットコンペアレジスタ (OCCP0 ~ OCCP7) の値と比較されるかは、フリーランタイム選択レジスタ (FRTSEL) の設定によって異なります。詳しくは、「第 18 章 32 ビット フリーランタイム」の「18.4.1 フリーランタイム選択レジスタ (FRTSEL)」を参照してください。

■ 動作

次のビットに "1" を書き込むと、32 ビットアウトプットコンペアの動作が許可されます。

- 偶数チャンネルの動作許可：コンペア制御レジスタ下位 (OCSL0, OCSL2, OCSL4, OCSL6) の CST0 ビット
- 奇数チャンネルの動作許可：コンペア制御レジスタ下位 (OCSL0, OCSL2, OCSL4, OCSL6) の CST1 ビット

32 ビットアウトプットコンペアの動作が許可されているときに、32 ビットフリーランタイムのカウント値がアウトプットコンペアレジスタ (OCCP0 ~ OCCP7) のコンペア値と一致すると、次のビットが "1" に変わります。

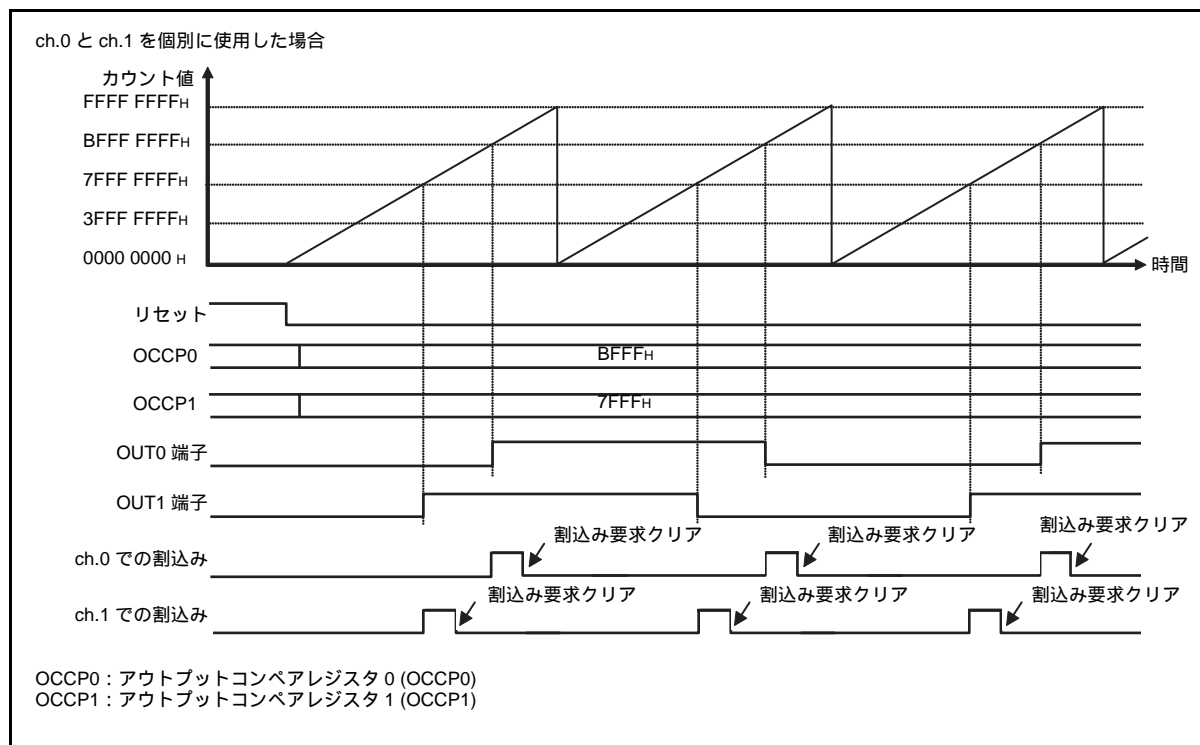
- 偶数チャンネル: コンペア制御レジスタ下位 (OCSL0, OCSL2, OCSL4, OCSL6) の IOP0 ビット
- 奇数チャンネル: コンペア制御レジスタ下位 (OCSL0, OCSL2, OCSL4, OCSL6) の IOP1 ビット

このとき, 割込み要求の発生が許可されていると比較結果一致割込み要求が発生します。

また, OUT0 ~ OUT7 端子からの出力レベルが反転します。

独立で使用する場合の動作を図 20.6-1 に示します。

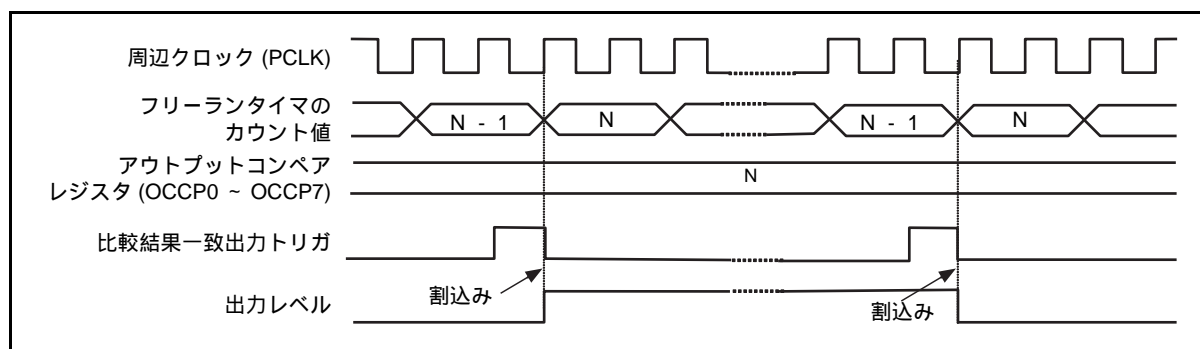
図 20.6-1 独立で使用する場合の動作



比較結果一致割込み要求や端子の出力レベルの変化は, 比較結果一致が検出されてから発生します。

比較結果一致割込み要求の発生 / 端子の出力レベルの変化を図 20.6-2 に示します。

図 20.6-2 比較結果一致割込み要求の発生 / 端子の出力レベルの変化



< 注意事項 >

32 ビットアウトプットコンペアを 1 チャンネルずつ独立で使用する場合は、コンペア制御レジスタ上位 (OCSH1, OCSH3, OCSH5, OCSH7) の CMOD ビットに必ず "0" を書き込んでください。

20.6.2 一対にして使用する場合の動作

偶数チャンネルと奇数チャンネルの32ビットアウトプットコンペアを一対にして使用する場合の動作について説明します。

■ 概要

コンペア制御レジスタ上位 (OCSH1, OCSH3, OCSH5, OCSH7) の CMOD ビットを "1" に設定すると、2 チャンネルの 32 ビットアウトプットコンペアが一対で動作します。

偶数チャンネルと奇数チャンネルの32ビットアウトプットコンペアを一対にして使用することにより、1 回の割込みで 2 チャンネル分のコンペア値を更新できます。

一対にして使用できる偶数チャンネルと奇数チャンネルの組合せは次のとおりです。

- ch.0 と ch.1
- ch.2 と ch.3
- ch.4 と ch.5
- ch.6 と ch.7

■ 動作

次のビットに "1" を書き込むと、32 ビットアウトプットコンペアの動作が許可されます。

- 偶数チャンネルの動作許可：コンペア制御レジスタ下位 (OCSL0, OCSL2, OCSL4, OCSL6) の CST0 ビット
- 奇数チャンネルの動作許可：コンペア制御レジスタ下位 (OCSL0, OCSL2, OCSL4, OCSL6) の CST1 ビット

32 ビットアウトプットコンペアの動作が許可されているときに、32 ビットフリーランタイムのカウント値がアウトプットコンペアレジスタ (OCCP0 ~ OCCP7) のコンペア値と一致すると、次のビットが "1" に変わります。

- 偶数チャンネル：コンペア制御レジスタ下位 (OCSL0, OCSL2, OCSL4, OCSL6) の IOP0 ビット
- 奇数チャンネル：コンペア制御レジスタ下位 (OCSL0, OCSL2, OCSL4, OCSL6) の IOP1 ビット

このとき、割込み要求が許可されていると比較結果一致割込み要求が発生します。

また、OUT0 ~ OUT7 端子からの出力レベルが反転します。出力レベルが反転する端子は、32ビットフリーランタイムのカウント値が、どのチャンネルのアウトプットコンペアレジスタ (OCCP0 ~ OCCP7) のコンペア値と一致したかで異なります。

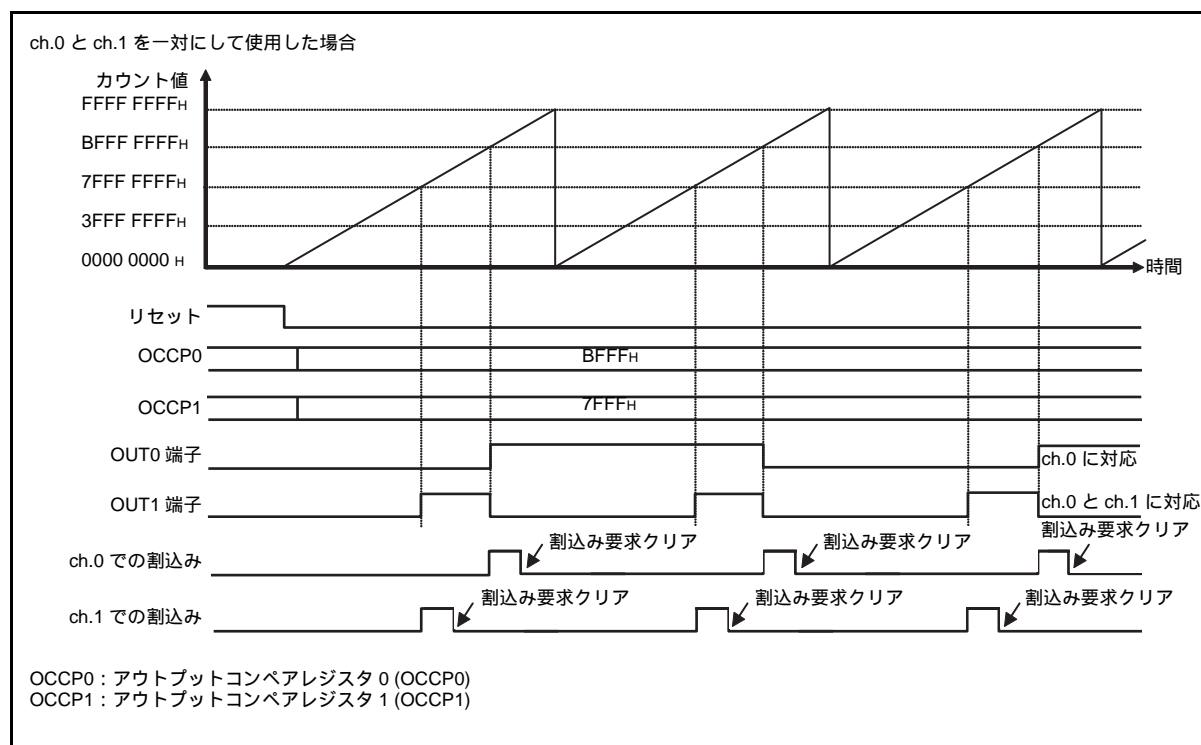
コンペア値が設定されているチャンネルと出力レベルが反転する端子の対応を表 20.6-1 に示します。

表 20.6-1 コンペア値が設定されているチャンネルと出力レベルが反転する端子の対応

32 ビットフリーランタイムの 値とコンペア値が一致したレジスタ	出力レベルが反転する端子
アウトプットコンペアレジスタ 0 (OCCP0)	OUT0 端子, OUT1 端子
アウトプットコンペアレジスタ 1 (OCCP1)	OUT1 端子
アウトプットコンペアレジスタ 2 (OCCP2)	OUT2 端子, OUT3 端子
アウトプットコンペアレジスタ 3 (OCCP3)	OUT3 端子
アウトプットコンペアレジスタ 4 (OCCP4)	OUT4 端子, OUT5 端子
アウトプットコンペアレジスタ 5 (OCCP5)	OUT5 端子
アウトプットコンペアレジスタ 6 (OCCP6)	OUT6 端子, OUT7 端子
アウトプットコンペアレジスタ 7 (OCCP7)	OUT7 端子

偶数チャンネルと奇数チャンネルを一对にして使用する場合の動作を図 20.6-3 に示します。

図 20.6-3 偶数チャンネルと奇数チャンネルを一对にして使用する場合の動作



比較結果一致割り込み要求や端子の出力レベルの変化は、比較結果一致が検出されてから発生します。

比較結果一致割り込み要求の発生 / 端子の出力レベルの変化については、「20.6.1 独立で使用する場合の動作」を参照してください。

< 注意事項 >

- 偶数チャンネルと奇数チャンネルの32ビットアウトプットコンペアを一对にして使用する場合は、コンペア制御レジスタ上位 (OCSH1, OCSH3, OCSH5, OCSH7) の CMOD ビットに必ず "1" を書き込んでください。
 - 2チャンネルある32ビットフリーランタイムの内、どちらのチャンネルの32ビットフリーランタイムの値がアウトプットコンペアレジスタ (OCCP0 ~ OCCP7) の値と比較されるかは、フリーランタイム選択レジスタ (FRTSEL) の設定によって異なります。詳しくは、「第 18 章 32 ビット フリーランタイム」の「18.4.1 フリーランタイム選択レジスタ (FRTSEL)」を参照してください。
-

第 21 章 16 ビットリロード タイマ

16 ビットリロードタイマの機能と動作について説明します。

- 21.1 概要
- 21.2 構成
- 21.3 端子
- 21.4 レジスタ
- 21.5 割込み
- 21.6 動作説明と設定手順例
- 21.7 使用上の注意

21.1 概要

16 ビットリロードタイマは、あらかじめ設定した値からカウントダウンするダウンカウンタです。このタイマは、内部クロック（周辺クロック）と同期してカウントダウンするインターバルタイマとして使用できるほか、外部イベントをカウントするイベントカウンタとしても使用できます。

本製品は、16 ビットリロードタイマを 3 チャンネル内蔵しています。

■ 概要

- タイマモード：インターバルタイマモードまたはイベントカウンタモードとして使用できます。
 - インターバルタイマモード
内部クロック（周辺クロック）に同期してカウントダウンします。内部クロック（周辺クロック）は、6 種類（周辺クロック (PCLK) の 2 分周、4 分周、8 分周、16 分周、32 分周、64 分周）から選択します。
 - イベントカウンタモード
外部クロックのエッジ（立下りエッジ / 立上りエッジ / 両エッジ）を検出してカウントします。
また、ch.0 の出力を ch.1 で、ch.1 の出力を ch.2 でカウントするカスケードモードも利用できます。
- 動作モード：次の 2 種類から選択できます。
 - リロードモード
ダウンカウンタがアンダフローすると、リロード値をリロードしてカウント動作を繰り返すモードです。
 - ワンショットモード
ダウンカウンタがアンダフローすると、カウント動作を停止するモードです。
- 入力端子機能：インターバルタイマモード時は、入力端子の機能をトリガ入力機能 / ゲート入力機能の中から選択できます。
 - トリガ入力機能
入力端子から有効エッジ（立下りエッジ / 立上りエッジ / 両エッジ）を検出すると、カウントを開始します。
 - ゲート入力機能
入力端子から有効レベルが入力されている間だけカウント動作を続けます。
- 割込み要求：ダウンカウンタがアンダフローしたときに割込み要求を発生できません。

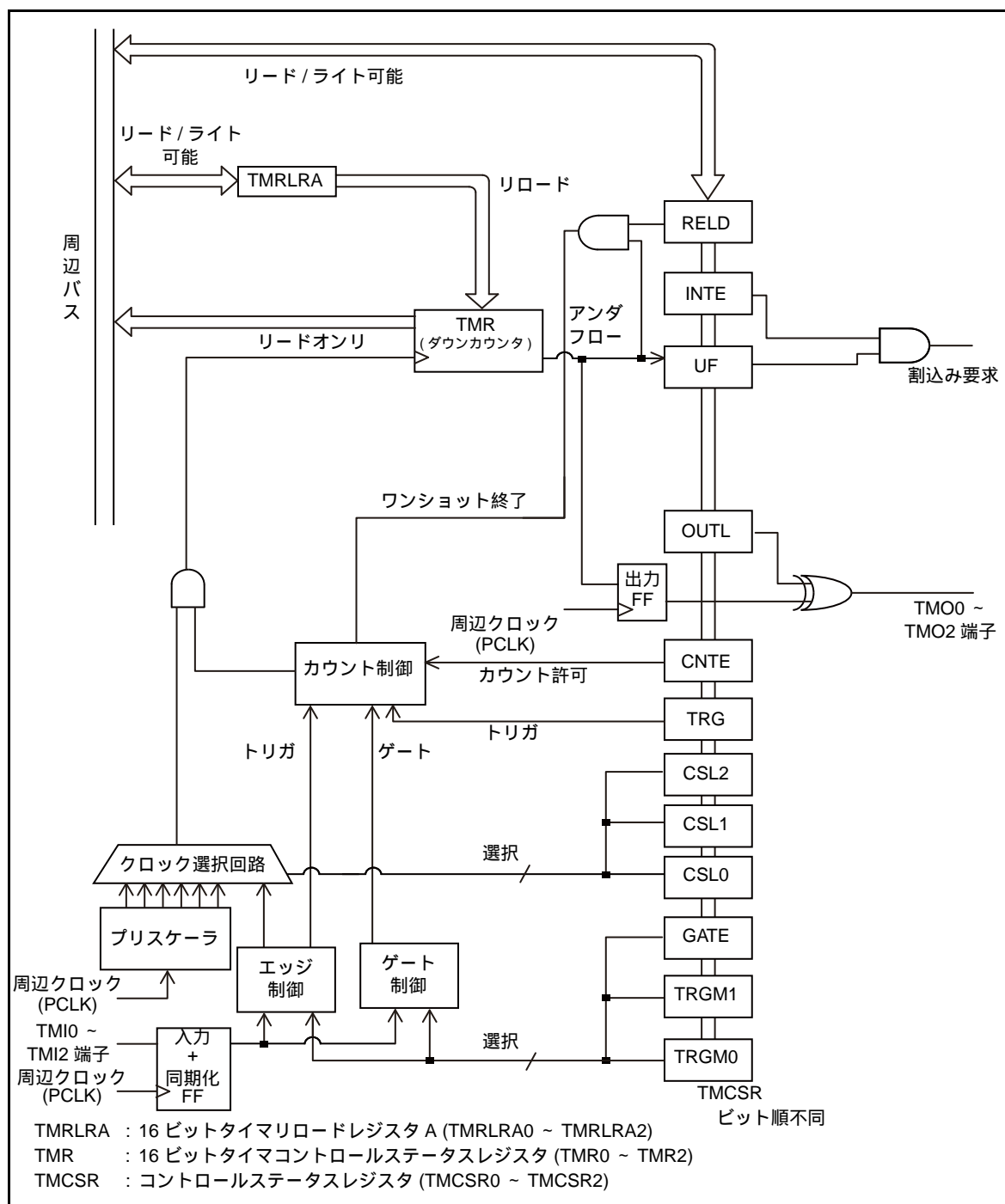
21.2 構成

16 ビットリロードタイマの構成を示します。

■ 16 ビットリロードタイマのブロックダイアグラム

16 ビットリロードタイマのブロックダイアグラムを図 21.2-1 に示します。

図 21.2-1 16 ビットリロードタイマのブロックダイアグラム



- コントロールステータスレジスタ (TMCSR0 ~ TMCSR2)
16 ビットリロードタイマの動作を制御するレジスタです。
- 16 ビットタイマリロードレジスタ A (TMRLRA0 ~ TMRLRA2)
リロード値を設定するレジスタです。
- 16 ビットタイマレジスタ (TMR0 ~ TMR2)
ダウンカウンタとして動作します。このレジスタを読み出すとダウンカウンタの値が読み出せます。
- プリスケーラ
インターバルタイマモードを選択した場合、周辺クロック (PCLK) を分周します。
- クロック選択回路
カウント用クロックを選択します。
- エッジ制御部
TMI0 ~ TMI2 端子をトリガ入力端子として使用するときに、信号の検出エッジを制御します。
- ゲート制御部
TMI0 ~ TMI2 端子をゲート入力端子として使用するときに、端子から入力される信号レベルを制御します。
- カウント制御部
16 ビットリロードタイマのカウントを制御します。

■ クロック

16 ビットリロードタイマで使用するクロックを表 21.2-1 に示します。

表 21.2-1 16 ビットリロードタイマで使用するクロック

クロック名	内容	備考
動作クロック	周辺クロック (PCLK)	-
カウント用クロック	内部クロック (周辺クロック)	周辺クロック (PCLK) を分周して生成
	外部クロック	TMI0 ~ TMI2 端子から入力

21.3 端子

16 ビットリロードタイマで使用する端子について説明します。

■ 概要

16 ビットリロードタイマには次の 2 種類の端子があります。

- TMO0 ~ TMO2 端子

16 ビットリロードタイマの波形出力端子です。

この端子は兼用端子です。16 ビットリロードタイマの波形出力端子として使用するには「2.4 端子の設定方法」を参照してください。

- TMI0 ~ TMI2 端子

16 ビットリロードタイマの入力端子です。設定によってカウント用クロック、トリガ、ゲートを入力します。

この端子は兼用端子です。16 ビットリロードタイマの入力端子として使用するには「2.4 端子の設定方法」を参照してください。

■ 端子とチャネルの対応

チャネルと端子の対応を表 21.3-1 に示します。

表 21.3-1 チャネルと端子の対応

チャネル	波形出力端子	入力端子
0	TMO0	TMI0
1	TMO1	TMI1
2	TMO2	TMI2

21.4 レジスタ

16 ビットリロードタイマで使用するレジスタの構成と機能について説明します。

■ 16 ビットリロードタイマのレジスタ一覧

16 ビットリロードタイマのレジスタ一覧を表 21.4-1 に示します。

表 21.4-1 16 ビットリロードタイマのレジスタ一覧

チャンネル	レジスタ略称	レジスタ名	参照先
0	TMCSR0	コントロールステータスレジスタ 0	21.4.1
	TMRLRA0	16 ビットタイマリロードレジスタ A0	21.4.2
	TMR0	16 ビットタイマレジスタ 0	21.4.3
1	TMCSR1	コントロールステータスレジスタ 1	21.4.1
	TMRLRA1	16 ビットタイマリロードレジスタ A1	21.4.2
	TMR1	16 ビットタイマレジスタ 1	21.4.3
2	TMCSR2	コントロールステータスレジスタ 2	21.4.1
	TMRLRA2	16 ビットタイマリロードレジスタ A2	21.4.2
	TMR2	16 ビットタイマレジスタ 2	21.4.3

21.4.1 コントロールステータスレジスタ (TMCSR0 ~ TMCSR2)

16 ビットリロードタイマの動作を制御するレジスタです。

コントロールステータスレジスタ (TMCSR0 ~ TMCSR2) のビット構成を図 21.4-1 に示します。

図 21.4-1 コントロールステータスレジスタ (TMCSR0 ~ TMCSR2) のビット構成

bit	15	14	13	12	11	10	9	8
	予約	予約	TRGM1	TRGM0	CSL2	CSL1	CSL0	GATE
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0
bit	7	6	5	4	3	2	1	0
	未定義	未定義	OUTL	RELD	INTE	UF	CNTE	TRG
属性	-	-	R/W	R/W	R/W	R/W	R/W	R/W
初期値	X	X	0	0	0	0	0	0

R/W : リード / ライト可能
 - : 未定義
 X : 不定

[bit15, bit14] : 予約ビット

書込み時	必ず "0" を書き込んでください。
読出し時	"0" が読み出されます。

[bit13, bit12] : TRGM1, TRGM0 (入力端子動作選択ビット)

16 ビットリロードタイマの TMI0 ~ TMI2 端子の動作を選択します。16 ビットリロードタイマをインターバルタイマモードで使用している場合と、イベントカウンタモードで使用している場合でこのビットの意味が異なります。

- インターバルタイマモードの場合 (CSL2 ~ CSL0=000 ~ 101)

- TMI0 ~ TMI2 端子にトリガ入力機能を選択 (GATE =0)

有効エッジを選択します。

TMI0 ~ TMI2 端子から入力される信号に、このビットで設定したエッジが検出されると、ダウンカウンタがカウントダウンを開始します。

- TMI0 ~ TMI2 端子にゲート機能を選択 (GATE =1)

有効レベルを選択します。

TMI0 ~ TMI2 端子からこのビットで設定したレベルの信号が入力されている間のみダウンカウンタがカウントダウンします。

TRGM1	TRGM0	トリガ入力選択時* (GATE =0)	ゲート機能選択時 (GATE =1)
0	0	エッジ検出禁止	"L" レベル
0	1	立上りエッジ	"H" レベル
1	0	立下りエッジ	"L" レベル
1	1	両エッジ	"H" レベル

*: TRG ビットに "1" を書き込んだ場合は、このビットの設定にかかわらず、ダウンカウンタがカウントダウンを開始します。

- イベントカウンタモードの場合 (CSL2 ~ CSL0=110, 111)

有効エッジを選択します。

TMI0 ~ TMI2 端子から入力される信号に、このビットで設定したエッジが検出されると、ダウンカウンタがカウントダウンします。

TRGM1	TRGM0	説明
0	0	設定禁止
0	1	立上りエッジ
1	0	立下りエッジ
1	1	両エッジ

< 注意事項 >

CNTE ビットでダウンカウンタの動作を停止 (CNTE=0) してから、このビットを書き換えてください。

ただし、このビットと CNTE ビットを同時に書き換える場合は、CNTE ビットの値にかかわらず書き換えられます。

[bit11 ~ bit9] : CSL2 ~ CSL0 (カウントソース選択ビット)

16 ビットリロードタイマのタイマモードを選択します。インターバルタイマモード時は周辺クロック (PCLK) の分周比を、イベントカウンタモード時は、カスケードモードで使用するか外部クロックを使用するかも選択します。

CSL2	CSL1	CSL0	説明	
0	0	0	インターバル タイマモード	周辺クロック (PCLK) の 2 分周 (=2 ¹)
0	0	1		周辺クロック (PCLK) の 4 分周 (=2 ²)
0	1	0		周辺クロック (PCLK) の 8 分周 (=2 ³)
0	1	1		周辺クロック (PCLK) の 16 分周 (=2 ⁴)
1	0	0		周辺クロック (PCLK) の 32 分周 (=2 ⁵)
1	0	1		周辺クロック (PCLK) の 64 分周 (=2 ⁶)
1	1	0	イベントカウ ンタモード	カスケードモード*
1	1	1		外部クロック

*: カスケードモードを選択した場合の動作については、「21.6.3 カスケードモード時の動作」を参照してください。

< 注意事項 >

- CNTE ビットでダウンカウンタの動作を停止 (CNTE=0) してから、このビットを書き換えてください。
ただし、このビットと CNTE ビットを同時に書き換える場合は、CNTE ビットの値にかかわらず書き換えられます。
- 2チャンネルの16ビットリロードタイマをカスケード接続して使用する場合は、このビットの設定を次のようにしてください。
 - 小さい番号のチャンネル：インターバルタイマモードまたは外部クロックを選択
 - 大きい番号のチャンネル：カスケードモードを設定
- このビットでイベントカウンタモードを設定した場合は、GATE ビットの設定は無視されます。

[bit8] : GATE (ゲート入力許可ビット)

タイマモードをインターバルタイマモードに設定したときに TMI0 ~ TMI2 端子に割り当てる機能を選択します。

- トリガ入力機能: TMI0 ~ TMI2 端子から有効エッジが入力されると、カウントダウンを開始します。
- ゲート機能: TMI0 ~ TMI2 端子から有効レベルが入力されている間だけ、カウントダウンします。

書込み値	説明
0	トリガ入力機能
1	ゲート機能

< 注意事項 >

- CNTE ビットでダウンカウンタの動作を停止 (CNTE=0) してから、このビットを書き換えてください。
ただし、このビットと CNTE ビットを同時に書き換える場合は、CNTE ビットの値にかかわらず書き換えられます。
- CSL2 ~ CSL0 ビットでイベントカウンタモードを選択 (CSL2 ~ CSL0=110/111) した場合は、このビットの設定は無視されます。

[bit7, bit6] : 未定義ビット

書込み時	無視されます。
読出し時	値は不定です。

[bit5] : OUTL (出力極性指定ビット)

16 ビットリロードタイマ起動時に, TMO0 ~ TMO2 端子から出力する信号レベルを指定します。

書込み値	説明
0	通常極性 ("L" レベル)
1	反転極性 ("H" レベル)

< 注意事項 >

CNTE ビットでダウンカウンタの動作を停止 (CNTE=0) してから, このビットを書き換えてください。

ただし, このビットと CNTE ビットを同時に書き換える場合は, CNTE ビットの値にかかわらず書き換えられます。

[bit4] : RELD (リロード動作許可ビット)

16 ビットリロードタイマの動作モードを次のいずれかから選択します。

- ワンショットモード

ダウンカウンタがアンダフローすると, 次に起動トリガが入力されるまでカウント動作を停止するモードです。

- リロードモード

ダウンカウンタがアンダフローすると, 16 ビットタイマリロードレジスタ A (TMRLRA0 ~ TMRLRA2) の値をダウンカウンタにリロードしてカウント動作を続けるモードです。

書込み値	説明
0	ワンショットモード
1	リロードモード

< 注意事項 >

CNTE ビットでダウンカウンタの動作を停止 (CNTE=0) してから, このビットを書き換えてください。

ただし, このビットと CNTE ビットを同時に書き換える場合は, CNTE ビットの値にかかわらず書き換えられます。

[bit3] : INTE (割込み要求許可ビット)

ダウンカウンタがアンダフローしたとき (UFビット=1) に, アンダフロー割込み要求を発生させるかどうかを設定します。

書込み値	説明
0	アンダフロー割込み要求の発生を禁止します。
1	アンダフロー割込み要求の発生を許可します。

[bit2] : UF (アンダフロー割込み要求フラグビット)

ダウンカウンタがアンダフローしたことを示します。

このビットが "1" のときに INTE ビットに "1" が設定されていると、アンダフロー割込み要求が発生します。

UF	読出し時	書込み時
0	ダウンカウンタはアンダフローしていません。	このビットを "0" にクリアします。
1	ダウンカウンタがアンダフローしました。	無視されます。

[bit1] : CNTE (カウント動作許可ビット)

ダウンカウンタの動作を許可 / 停止します。

書込み値	説明
0	カウント動作を停止します。
1	カウント動作を許可します (起動トリガ待ち) 。

< 注意事項 >

ダウンカウンタの動作中に、このビットに "0" を書き込むとダウンカウンタは停止します。

[bit0] : TRG (ソフトウェアトリガビット)

16 ビットリロードタイマをソフトウェアで起動します。このビットに "1" を書き込むと、ダウンカウンタは 16 ビットタイマリロードレジスタ A (TMRLRA0 ~ TMRLRA2) の値をロードして、カウント動作を開始します。

TRG	書込み時	読出し時
0	無視されます。	"0" が読み出されます。
1	16 ビットリロードタイマを起動します。	

< 注意事項 >

- CNTE ビットが "0" のときにこのビットに "1" を書き込んでも、ダウンカウンタは動作しません。
 - 16 ビットリロードタイマの動作が許可 (CNTE=1) されているときに、このビットに "1" を書き込むと、TRGM1, TRGM0 ビットの設定にかかわらずダウンカウンタが動作を開始します。
-

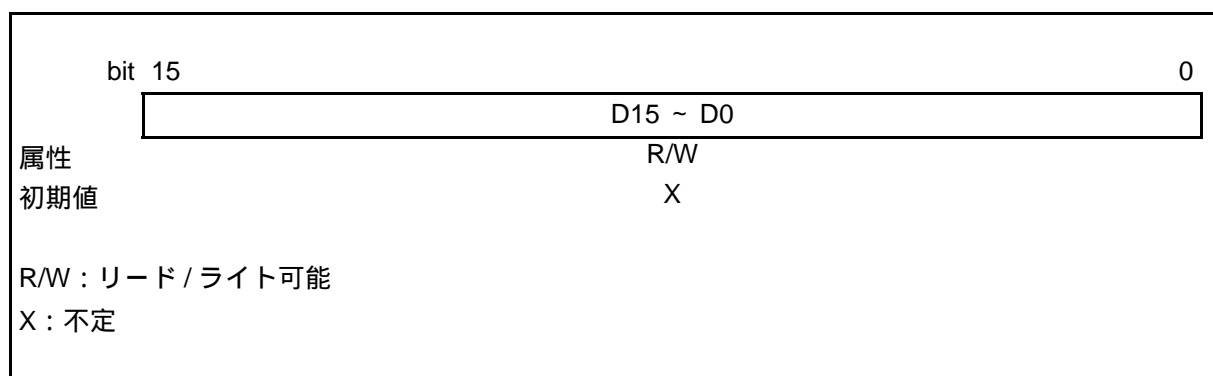
21.4.2 16 ビットタイマリロードレジスタ A (TMRLRA0 ~ TMRLRA2)

ダウンカウンタの初期値を設定するレジスタです。

リロードモード時はアンダフローが発生すると、このレジスタの値がダウンカウンタにリロードされます。

16 ビットタイマリロードレジスタ A (TMRLRA0 ~ TMRLRA2) のビット構成を図 21.4-2 に示します。

図 21.4-2 16 ビットタイマリロードレジスタ A (TMRLRA0 ~ TMRLRA2) のビット構成



このレジスタに設定した値 +1 をカウントダウンし終わると、アンダフローが発生します。また、TMO0 ~ TMO2 端子から出力される信号レベルが反転します

< 注意事項 >

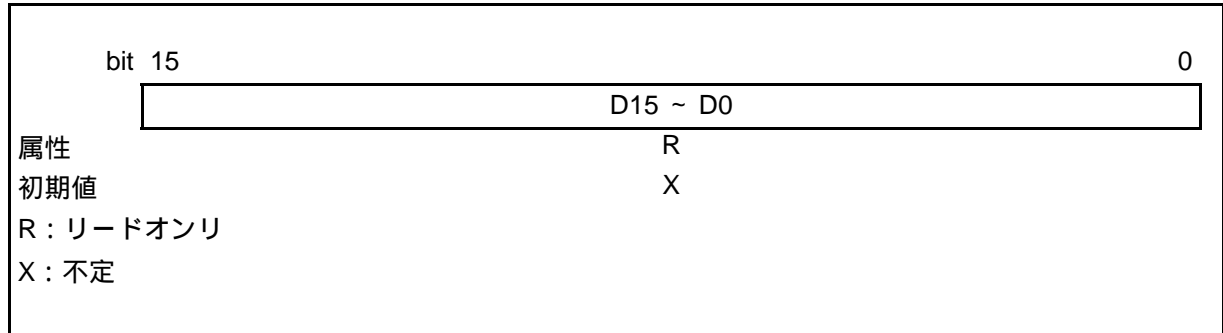
このレジスタは必ずハーフワードでアクセスしてください。

21.4.3 16 ビットタイマレジスタ (TMR0 ~ TMR2)

このレジスタを読み出すとダウンカウンタの値が読み出せます。

16 ビットタイマレジスタ (TMR0 ~ TMR2) のビット構成を図 21.4-3 に示します。

図 21.4-3 16 ビットタイマレジスタ (TMR0 ~ TMR2) のビット構成



< 注意事項 >

このレジスタは必ずハーフワードで読み出してください。

21.5 割込み

ダウンカウンタがアンダフローすると、アンダフロー割込み要求が発生します。

■ 概要

16 ビットリロードタイマで利用できる割込みについて表 21.5-1 に示します。

表 21.5-1 16 ビットリロードタイマの割込み

割込み要求	割込み要求フラグ	割込み要求許可	割込み要求のクリア
アンダフロー割込み要求	TMCSR の UF=1	TMCSR の INTE=1	TMCSR の UF ビットに "0" を書き込む

TMCSR : コントロールステータスレジスタ (TMCSR0 ~ TMCSR2)

< 注意事項 >

- 割込み要求フラグが"1"のときに割込み要求の発生を許可すると割込みを許可した時点で、割込み要求が発生します。
割込み要求の発生を許可する場合は、次のいずれかの処理を行ってください。
 - 割込み要求の発生を許可する前に割込み要求をクリアする。
 - 割込み許可と同時に割込み要求をクリアする。
- 各割込み要求の割込みベクタ番号については、「付録 C 割込みベクタ」を参照してください。
- 割込みベクタ番号に対応する割込みレベルは、割込みコントロールレジスタ (ICR00 ~ ICR47) で設定します。割込みレベルの設定については、「第 10 章 割込みコントローラ」を参照してください。

21.6 動作説明と設定手順例

16 ビットリロードタイマの動作について説明します。また、各動作状態を設定するための手順例も示します。

■ 概要

16 ビットリロードタイマは、あらかじめ設定した値からカウントダウンするダウンカウンタです。コントロールステータスレジスタ (TMCSR0 ~ TMCSR2) の CSL2 ~ CSL0 ビットでタイマモードを次の中から選択できます。

- インターバルタイマモード (CSL2 ~ CSL0=000 ~ 101)
周辺クロック (PCLK) を分周したカウント用クロックで動作します。
- イベントカウンタモード (CSL2 ~ CSL0=110, 111)
TMI0 ~ TMI2 端子から有効エッジが入力されるたびにカウントするモードです。
また、ch.0 の出力を ch.1 で ch.1 の出力を ch.2 でカウントするカスケードモードも使用できます。

■ TMO0 ~ TMO2 端子から出力される信号レベルの設定方法

TMO0 ~ TMO2 端子から出力される信号レベルはコントロールステータスレジスタ (TMCSR0 ~ TMCSR2) の OUTL ビットの設定によって異なります。

● リロードモード時

リロードモード時の TMO0 ~ TMO2 端子から出力される信号レベルを表 21.6-1 に示します。

表 21.6-1 リロードモード時の信号レベル

	通常極性 (OUTL=0)	反転極性 (OUTL=1)
16 ビットリロードタイマ起動時	"L" レベル	"H" レベル
その後	アンダフローが発生するたびに信号レベルが反転	

● ワンショットモード時

ワンショットモード時の TMO0 ~ TMO2 端子から出力される信号レベルを表 21.6-2 に示します。

表 21.6-2 ワンショットモード時の信号レベル

	通常極性 (OUTL=0)	反転極性 (OUTL=1)
16 ビットリロードタイマ起動時	"L" レベル	"H" レベル
起動トリガ入力時	"H" レベル	"L" レベル
アンダフロー発生時	"L" レベル	"H" レベル

コントロールステータスレジスタ (TMCSR0 ~ TMCSR2) の OUTL ビットと出力波形の対応を図 21.6-1 に示します。

図 21.6-1 コントロールステータスレジスタ (TMCSR0 ~ TMCSR2) の OUTL ビットと出力波形の対応

モード	OUTL	初期値	起動トリガ	カウント中	アンダフロー	アンダフロー	アンダフロー
リロード	0						
	1						
ワンショット	0						
	1						

21.6.1 インターバルタイマモード時の動作

16 ビットリロードタイマを内部クロック (周辺クロック) に同期してカウントするインターバルタイマモードで使用する場合は動作について説明します。
カウント用クロックは、周辺クロック (PCLK) を分周して生成されます。

■ 設定

16 ビットリロードタイマをインターバルタイマモードで使用する場合に必要な設定について説明します。

● インターバルタイマモードの設定

16 ビットリロードタイマをインターバルタイマモードで使用する場合は、コントロールステータスレジスタ (TMCSR0 ~ TMCSR2) の CSL2 ~ CSL0 ビットを次のいずれかに設定し、周辺クロック (PCLK) の分周比を選択します。

CSL2	CSL1	CSL0	タイマモード	周辺クロックの分周比
0	0	0	インターバルタイマモード	2 分周 ($=2^1$)
0	0	1		4 分周 ($=2^2$)
0	1	0		8 分周 ($=2^3$)
0	1	1		16 分周 ($=2^4$)
1	0	0		32 分周 ($=2^5$)
1	0	1		64 分周 ($=2^6$)

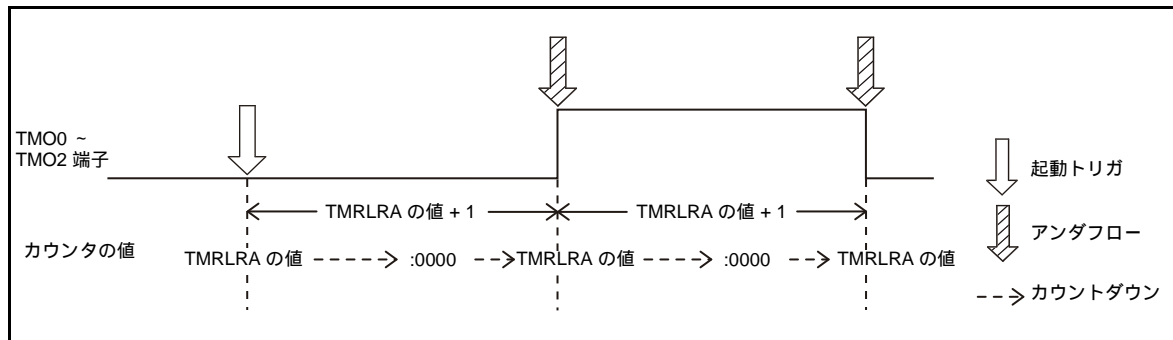
● 動作モードの設定

インターバルタイマモード時, コントロールステータスレジスタ (TMCSR0 ~ TMCSR2) の RELD ビットで動作モードを次の中から選択できます。

- リロードモード (RELD=1)

ダウンカウンタがアンダフローすると, 16 ビットタイマリロードレジスタ A (TMRLRA0 ~ TMRLRA2) に設定された値をリロードしてカウント動作を繰り返すモードです。リロードモードの基本動作を図 21.6-2 に示します。

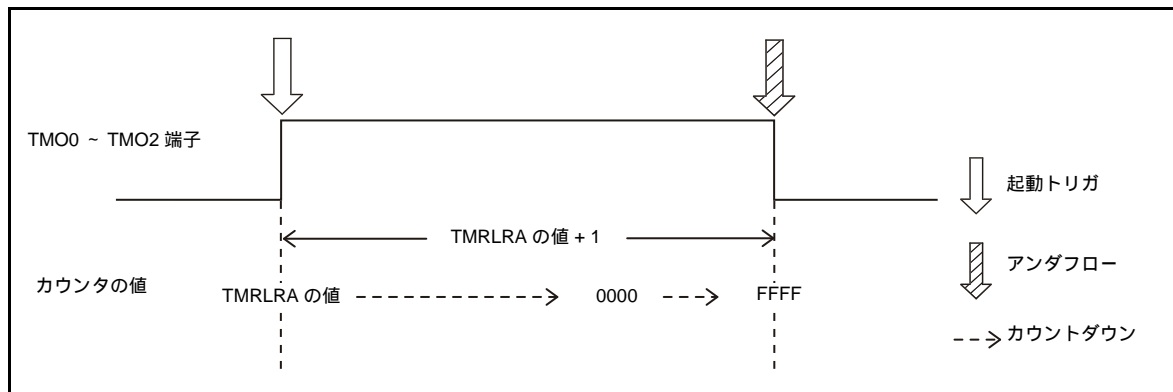
図 21.6-2 リロードモードの基本動作



- ワンショットモード (RELD=0)

ダウンカウンタがアンダフローすると, カウント動作を停止するモードです。ワンショットモードの基本動作を図 21.6-3 に示します。

図 21.6-3 ワンショットモードの基本動作



● TMI0 ~ TMI2 端子機能の設定

コントロールステータスレジスタ (TMCSR0 ~ TMCSR2) の TRGM1, TRGM0 ビットと GATE ビットで, TMI0 ~ TMI2 端子の機能を次の中から選択できます。

各ビットの組み合わせを表 21.6-3 に示します。

表 21.6-3 各ビットの組み合わせ

TRGM1, TRGM0	GATE	端子の機能
00	0	TMI0 ~ TMI2 端子は機能しません。
01	0	TMI0 ~ TMI2 端子はトリガ入力機能として動作します。 有効エッジは立上りエッジです。
10	0	TMI0 ~ TMI2 端子はトリガ入力機能として動作します。 有効エッジは立下りエッジです。
11	0	TMI0 ~ TMI2 端子はトリガ入力機能として動作します。 有効エッジは両エッジです。
00/10	1	TMI0 ~ TMI2 端子はゲート入力機能として動作します。 有効レベルは "L" レベルです。
01/11	1	TMI0 ~ TMI2 端子はゲート入力機能として動作します。 有効レベルは "H" レベルです。

■ パルス幅の計算方法

インターバルタイマモード時に, TMO0 ~ TMO2 端子から出力される信号のパルス幅の計算方法を説明します。

$$\text{パルス幅} = T \times (L+1)$$

L 16 ビットタイマリロードレジスタ A (TMRLRA0 ~ TMRLRA2) に設定した値
T カウント用クロックの周期

■ アンダフロー周期の計算方法

ダウンカウンタの値が "0000_H" のときに, さらにカウントダウンしようとする, アンダフローが発生します。ダウンカウンタがカウントを開始してからアンダフローが発生するまでの周期は, 16 ビットタイマリロードレジスタ A (TMRLRA0 ~ TMRLRA2) に設定します。

アンダフロー周期の計算方法を説明します。

$$T \times (L+1)$$

T カウント用クロックの周期
L 16 ビットタイマリロードレジスタ A (TMRLRA0 ~ TMRLRA2) に設定した値

■ リロードモード時の動作 (TMI0 ~ TMI2 端子 = トリガ入力時)

TMI0 ~ TMI2 端子をトリガ入力に使用して, アンダフローが発生するたびに 16 ビットタイマリロードレジスタ A (TMRLRA0 ~ TMRLRA2) の値をリロードし, カウントダウンを継続するモードです。

このモードで利用する場合は、コントロールステータスレジスタ (TMCSR0 ~ TMCSR2) を次の様に設定してください。

- TRGM1, TRGM0 ビット = 01 ~ 11 のいずれか
- GATE ビット = 0
- RELD ビット = 1

● 起動

次の手順で起動してください。

1. コントロールステータスレジスタ (TMCSR0 ~ TMCSR2) の CNTE ビットで、16 ビットリロードタイマの動作を許可 (CNTE=1) する

16 ビットリロードタイマが起動トリガ入力待ち状態になります。

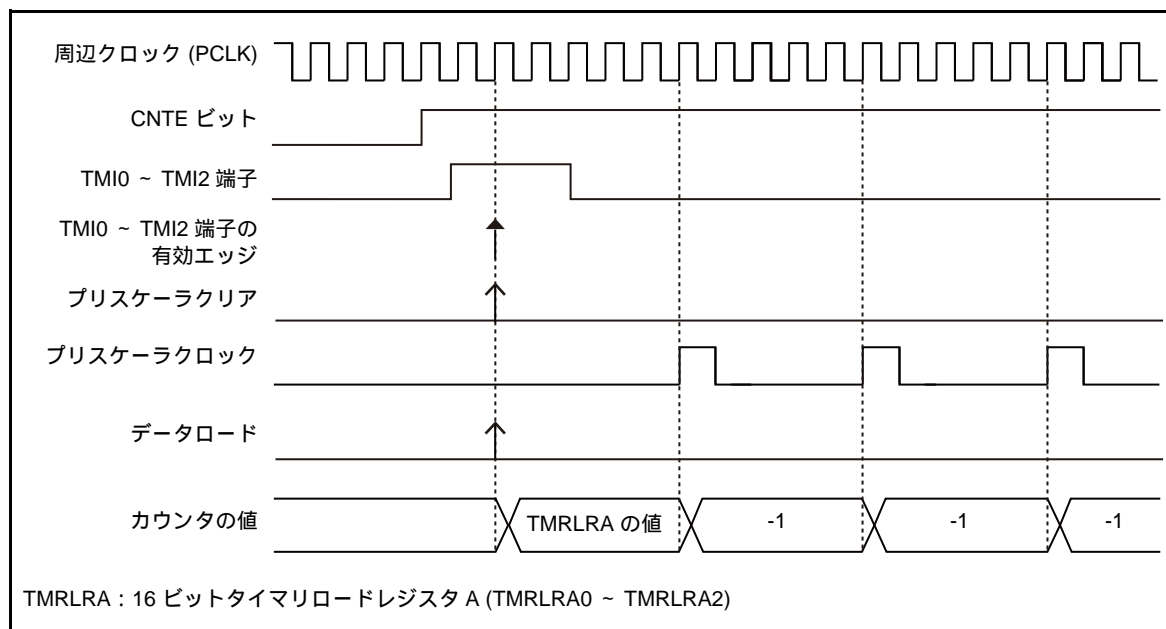
2. 次のいずれかの方法で起動トリガを入力する

- TMI0 ~ TMI2 端子からコントロールステータスレジスタ (TMCSR0 ~ TMCSR2) の TRGM1, TRGM0 ビットで設定したエッジを入力する
- コントロールステータスレジスタ (TMCSR0 ~ TMCSR2) の TRG ビットに "1" を書き込む

プリスケアラがクリアされます。また、16 ビットタイマリロードレジスタ A (TMRLRA0 ~ TMRLRA2) の値がダウンカウンタにロードされ、カウントが開始されます。

起動動作を図 21.6-4 に示します。

図 21.6-4 起動動作 (TMI0 ~ TMI2 端子で起動時、有効エッジ = 立上りエッジの場合)



< 注意事項 >

TMI0 ~ TMI2 端子から入力する起動トリガのパルス幅は、2T (T: 周辺クロック (PCLK) の周期) 以上になるようにしてください。

● カウント動作

ダウンカウンタがカウント用クロックに同期して、16 ビットタイマリロードレジスタ A (TMRLRA0 ~ TMRLRA2) の値からカウントダウンを開始します。

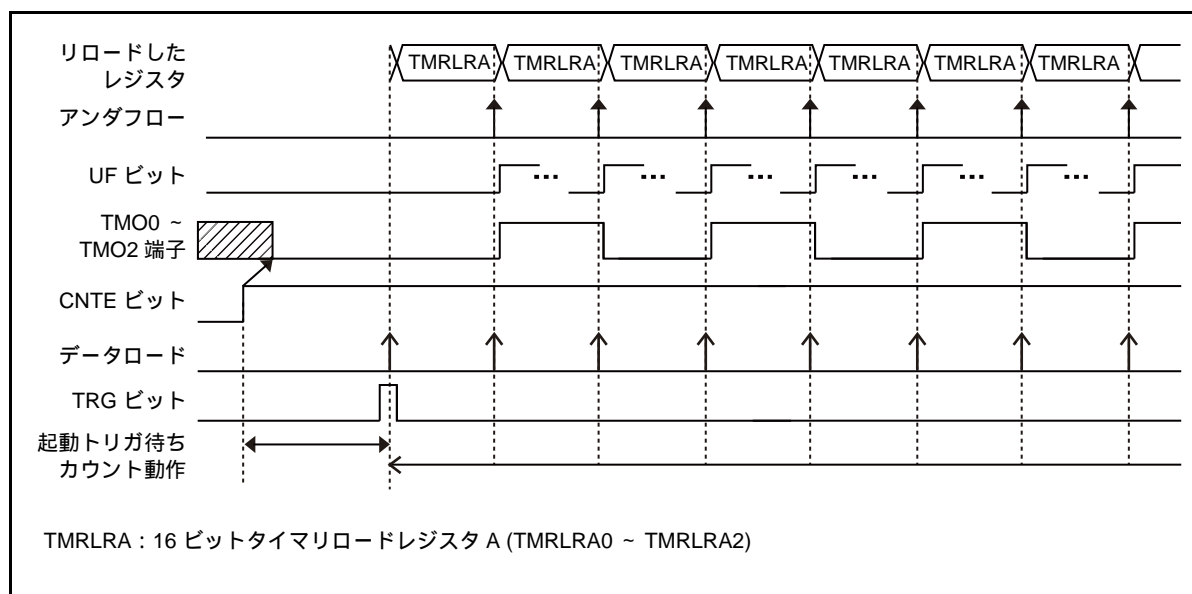
ダウンカウンタの値が "0000_H" からカウントダウンしようとする時、アンダフローが発生し、次の動作が行われます。

- コントロールステータスレジスタ (TMCSR0 ~ TMCSR2) の UF ビットが "1" に変わる
- TMO0 ~ TMO2 端子から出力される信号レベルが反転する
- 16 ビットタイマリロードレジスタ A (TMRLRA0 ~ TMRLRA2) の値をリロードし、カウントダウンを継続する

このように、アンダフローが発生するたびに 16 ビットタイマリロードレジスタ A (TMRLRA0 ~ TMRLRA2) の値をリロードし、カウント動作を継続します。

カウント動作を図 21.6-5 に示します。

図 21.6-5 カウント動作 (ソフトウェアでの起動時、出力極性 = 通常極性の場合)



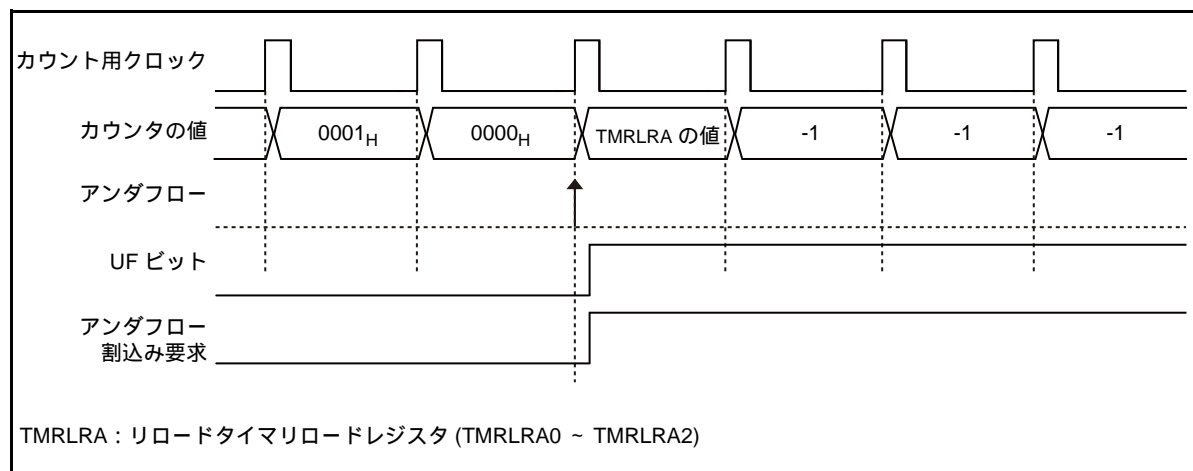
● 割込み処理の動作

ダウンカウンタがアンダフローすると、コントロールステータスレジスタ (TMCSR0 ~ TMCSR2) の UF ビットが "1" に変わります。

このとき、コントロールステータスレジスタ (TMCSR0 ~ TMCSR2) の INTE ビットが "1" に設定されていると、アンダフロー割込み要求が発生します。

アンダフロー割込み要求が発生するタイミングを図 21.6-6 に示します。

図 21.6-6 アンダフロー割込み要求の発生タイミング



コントロールステータスレジスタ (TMCSR0 ~ TMCSR2) の UF ビットに "0" を書き込むと、アンダフロー割込み要求をクリアできます。

< 注意事項 >

アンダフロー割込み要求をクリアしたと同時にアンダフロー割込み要求が発生した場合は、クリア動作は無視され、アンダフロー割込み要求が発生したままになります。

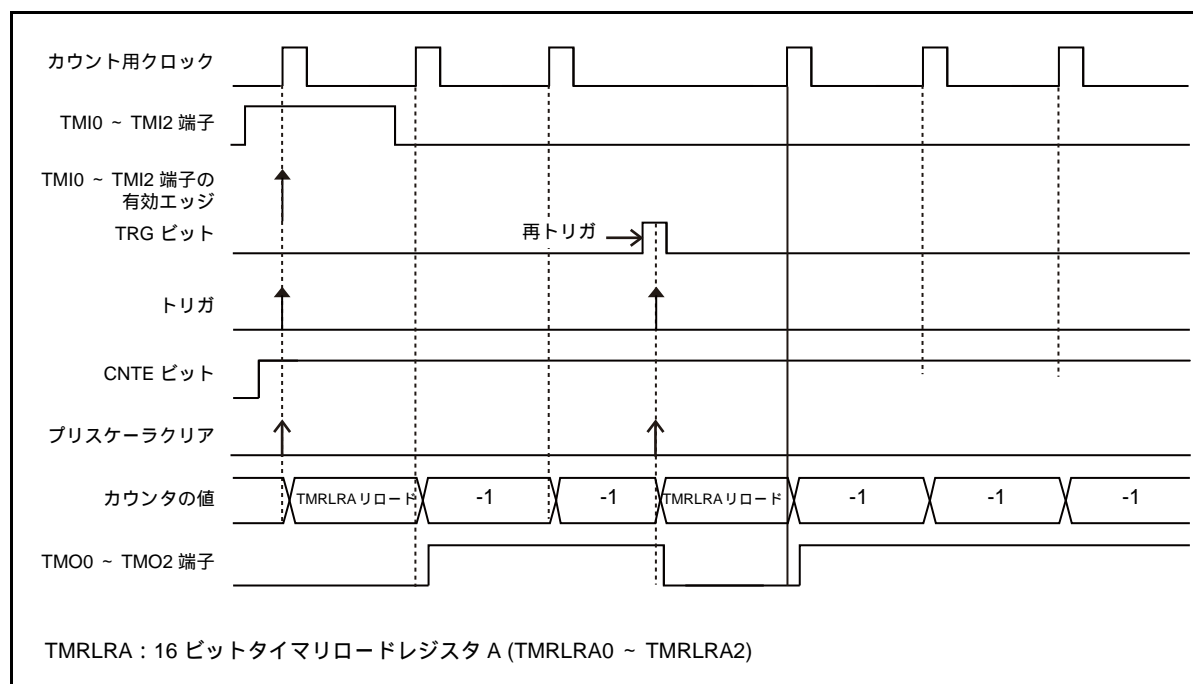
● 再トリガ動作

カウント動作中に、16 ビットリロードタイマの起動トリガを検出すると再トリガが発生し、次の動作が行われます。

- TMI0 ~ TMI2 端子の信号レベルを初期化
- 16 ビットタイマリロードレジスタ A (TMRLRA0 ~ TMRLRA2) の値をダウンカウンタにリロード
- プリスケアラのクリア
- カウント動作開始

再トリガ発生時の動作を図 21.6-7 に示します。

図 21.6-7 再トリガ発生時の動作
(TMIO ~ TMI2 端子で再トリガ時、有効エッジ = 立上りエッジの場合)



< 注意事項 >

16 ビットタイマリロードレジスタ A (TMRLRA0 ~ TMRLRA2) を書き換えて、リロード値を変更したと同時に再トリガが発生すると、ダウンカウンタには書き換える前の値がロードされます。

書き換え後の値は、次のリロードタイミングでロードされます。

■ リロードモード時の動作 (TMIO ~ TMI2 端子 = ゲート入力時)

TMIO ~ TMI2 端子をゲート入力に使用して、アンダフローが発生するたびに 16 ビットタイマリロードレジスタ A (TMRLRA0 ~ TMRLRA2) の値をリロードし、カウントダウンを継続するモードです。

このモードで利用する場合は、コントロールステータスレジスタ (TMCSR0 ~ TMCSR2) を次の様に設定してください。

- TRGM0 ビット = 0/1
- GATE ビット = 1
- RELD ビット = 1

● 起動

次の手順で起動してください。

1. コントロールステータスレジスタ (TMCSR0 ~ TMCSR2) の CNTE ビットで、16 ビットリロードタイマの動作を許可 (CNTE=1) する

16 ビットリロードタイマが起動トリガ入力待ち状態になります。

2. コントロールステータスレジスタ (TMCSR0 ~ TMCSR2) の TRG ビットで起動トリガを入力する (TRG=1)

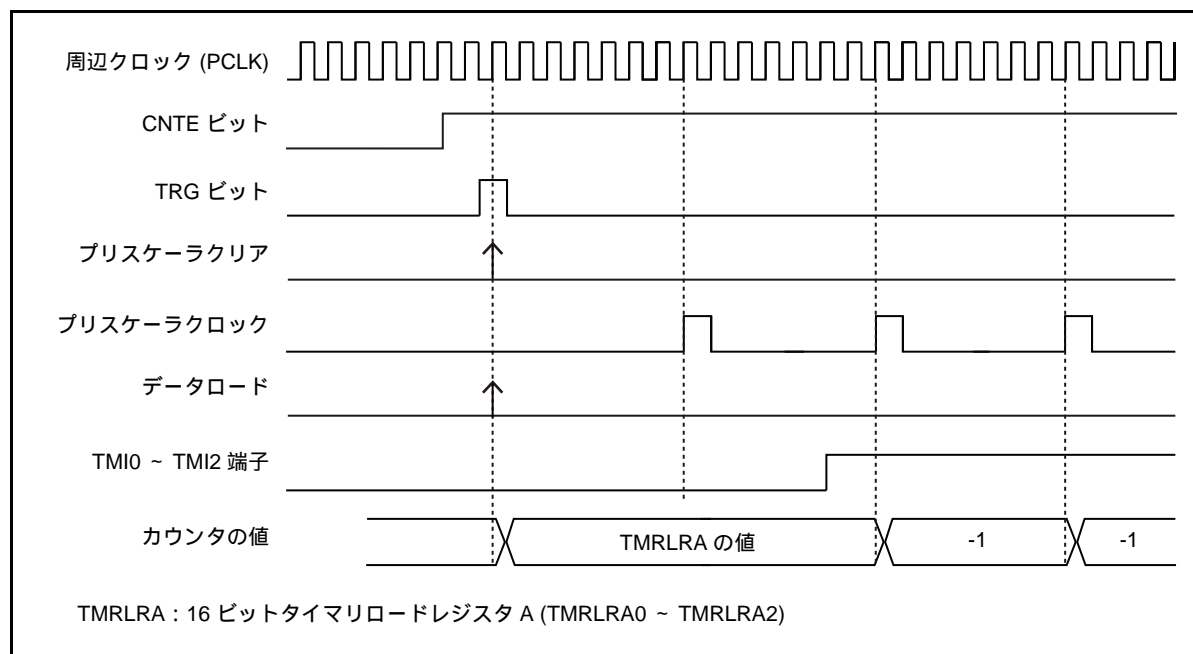
プリスケアラがクリアされます。また、16 ビットタイマリロードレジスタ A (TMRLRA0 ~ TMRLRA2) の値がダウンカウンタにロードされ、16 ビットリロードタイマは TMI0 ~ TMI2 端子からの有効入力極性待ち状態になります。

3. TMI0 ~ TMI2 端子からコントロールステータスレジスタ (TMCSR0 ~ TMCSR2) の TRGM1, TRGM0 ビットで設定したレベルの信号を入力する

カウントが開始されます。

起動動作を図 21.6-8 に示します。

図 21.6-8 起動動作



< 注意事項 >

TMI0 ~ TMI2 端子から入力する有効レベルは、2T (T: 周辺クロック (PCLK) の周期) 以上になるようにしてください。

● カウント動作

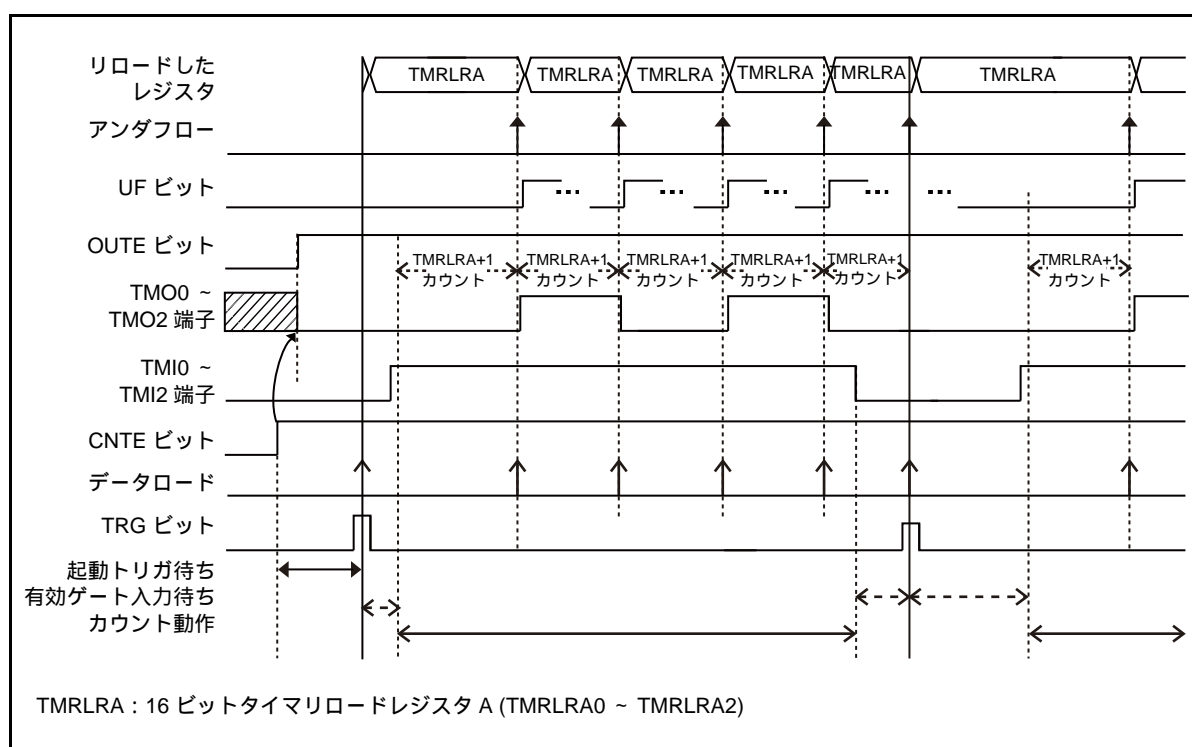
TMIO ~ TMI2 端子から有効レベルの信号が入力されている間だけ、ダウンカウンタがカウント用クロックに同期して、16 ビットタイマリロードレジスタ A (TMRLRA0 ~ TMRLRA2) の値からカウントダウンします。

TMIO ~ TMI2 端子から有効レベルが入力されないと、ダウンカウンタは動作を停止します。ダウンカウンタの停止中に有効レベルが入力されると、停止していた値から再度カウントを開始します。

以降の動作は、TMIO ~ TMI2 端子 = トリガ入力機能時の動作と同様です。「リロードモード時の動作 (TMIO ~ TMI2 端子 = トリガ入力時)」を参照してください。

カウント動作を図 21.6-9 に示します。

図 21.6-9 カウント動作 (有効レベル = "H" レベル, 出力極性 = 通常極性の場合)



● 割込み処理の動作

リロードモード時と同様です。「リロードモード時の動作 (TMIO ~ TMI2 端子 = トリガ入力時)」を参照してください。

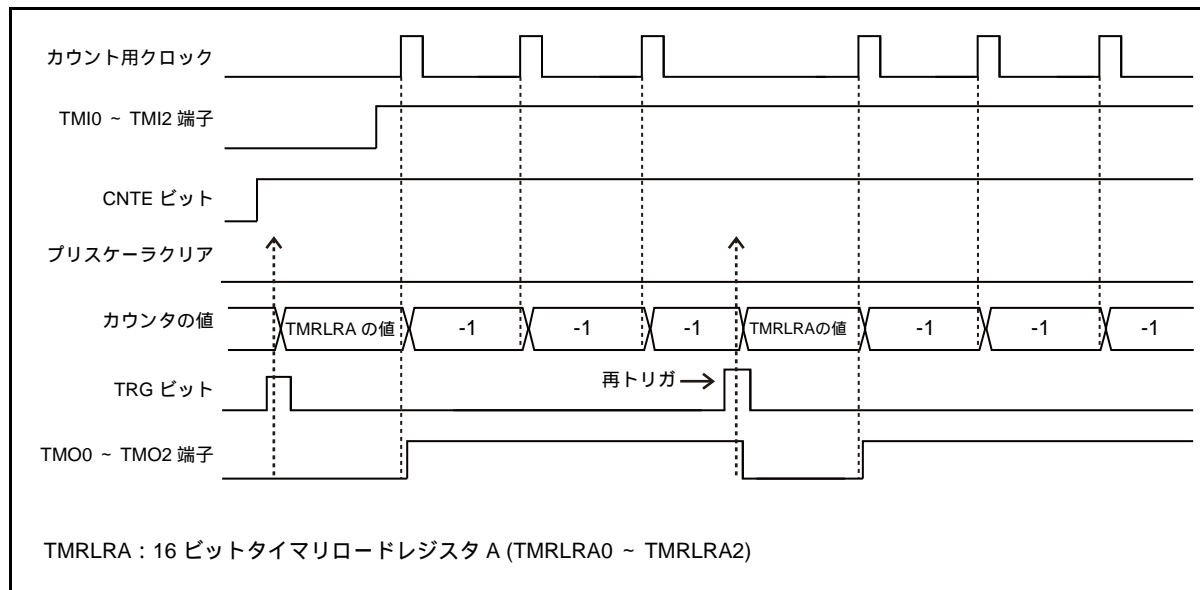
● 再トリガ動作

カウント動作中に、16 ビットリロードタイマの起動トリガを検出すると再トリガが発生し、次の動作が行われます。

- TMIO ~ TMI2 端子の信号レベルを初期化
- 16 ビットタイマリロードレジスタ A (TMRLRA0 ~ TMRLRA2) の値をダウンカウンタにリロード
- プリスケアラのクリア

その状態で TMI0 ~ TMI2 端子から有効レベルが入力されると、カウント動作が開始されます。再トリガ時の動作を図 21.6-10 に示します。

図 21.6-10 再トリガ発生時の動作 (有効レベル="H" レベルの場合)



■ ワンショットモード時の動作 (TMI0 ~ TMI2 端子 = トリガ入力時)

TMI0 ~ TMI2 端子をトリガ入力に使用して、アンダフローが発生すると次の起動トリガが入力されるまでカウントを停止するモードです。

このモードで利用する場合は、コントロールステータスレジスタ (TMCSR0 ~ TMCSR2) を次の様に設定してください。

- TRGM1, TRGM0 ビット = 01 ~ 11 のいずれか
- GATE ビット = 0
- RELD ビット = 0

● 起動

リロードモード時と同様です。「リロードモード時の動作 (TMI0 ~ TMI2 端子 = トリガ入力時)」を参照してください。

ただし、ワンショットモード時は起動トリガを検出したら、TMO0 ~ TMO2 端子から出力される信号レベルが反転します。

● カウント動作

ダウンカウンタがカウント用クロックに同期して、16 ビットタイマリロードレジスタ A (TMRLRA0 ~ TMRLRA2) の値からカウントダウンを開始します。

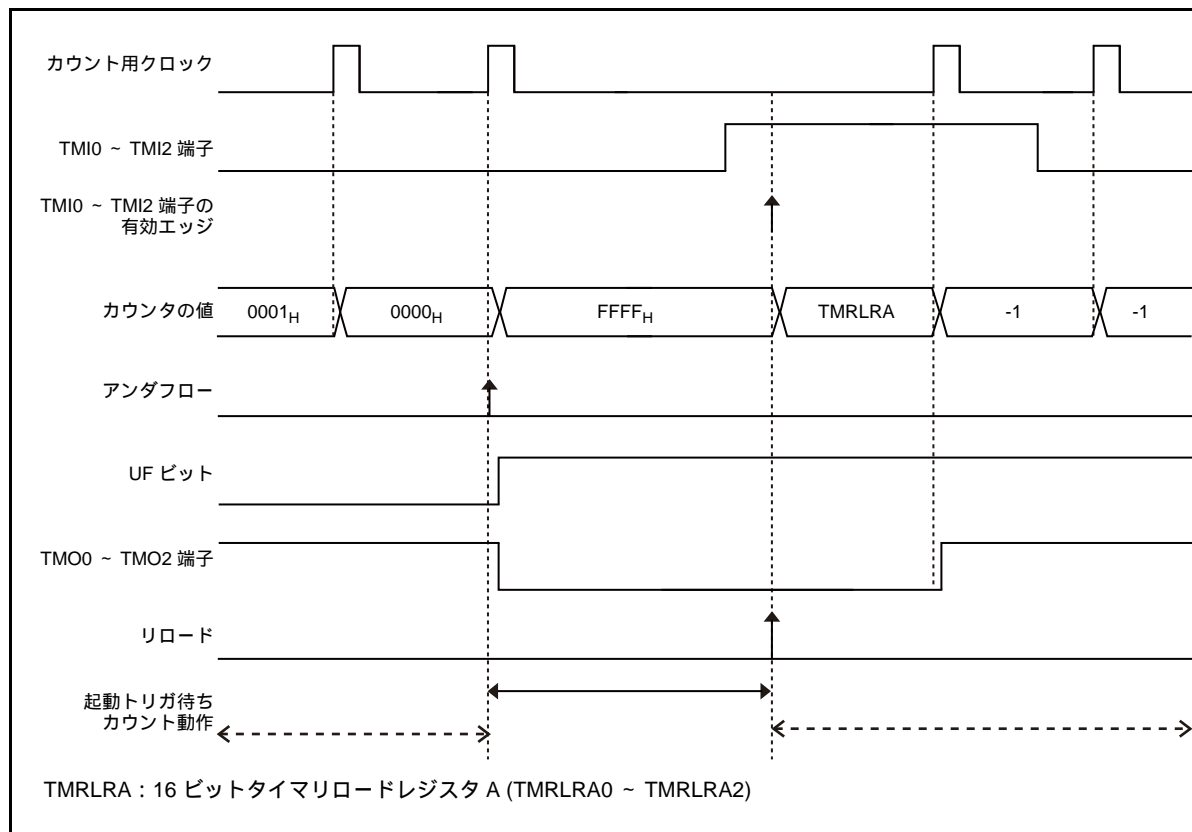
ダウンカウンタの値が "0000_H" からカウントダウンしようとする時、アンダフローが発生し、次の動作が行われます。

- コントロールステータスレジスタ (TMCSR0 ~ TMCSR2) の UF ビットが "1" に変わる
- TMO0 ~ TMO2 端子から出力される信号レベルを初期化する

- ・ カウント動作を停止し, 起動トリガ待ち状態になる (ダウンカウンタの値が"FFFF_H"で止まります)

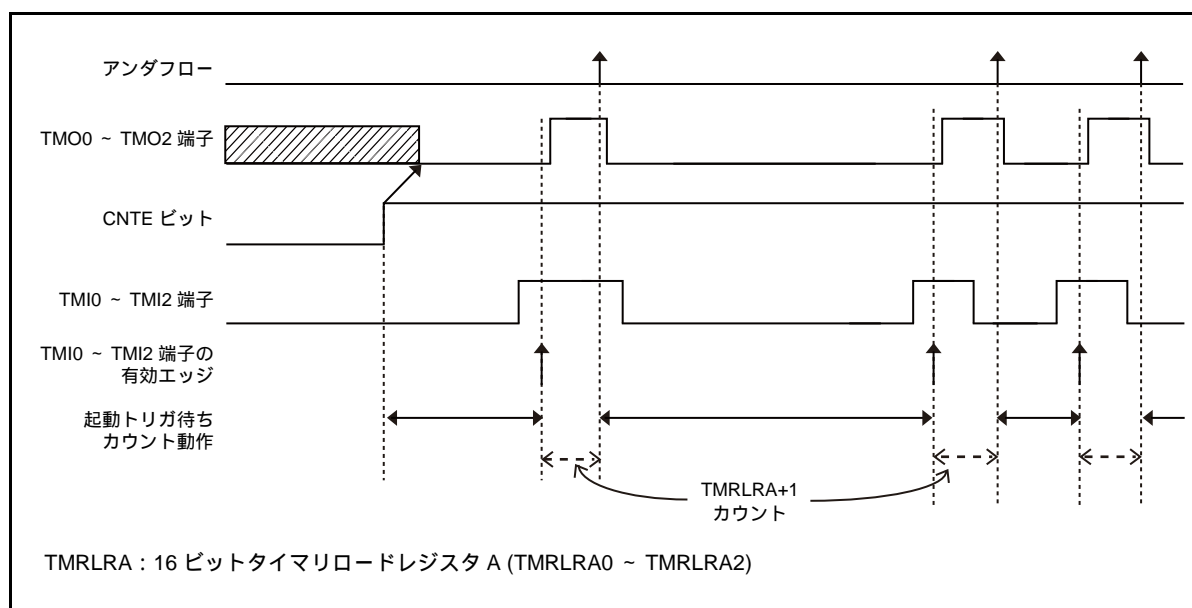
TMIO ~ TMI2 端子で起動時のカウント動作を図 21.6-11 に示します。

図 21.6-11 カウント動作 (有効エッジ = 立上りエッジ, 出力極性 = 通常極性の場合)



アンダフロー発生時の詳細動作を図 21.6-12 に示します。

図 21.6-12 アンダフロー発生時の詳細動作
(有効エッジ = 立上りエッジ, 出力極性 = 通常極性の場合)



● 割込み処理の動作

リロードモード時と同様です。「リロードモード時の動作 (TMI0 ~ TMI2 端子 = トリガ入力時)」を参照してください。

● 再トリガ動作

リロードモード時と同様です。「リロードモード時の動作 (TMI0 ~ TMI2 端子 = トリガ入力時)」を参照してください。

ただし、ワンショットモード時は再トリガを検出したら、TMO0 ~ TMO2 端子から出力される信号レベルが反転します。

■ ワンショットモード時の動作 (TMI0 ~ TMI2 端子 = ゲート入力時)

TMI0 ~ TMI2 端子をゲート入力に使用して、アンダフローが発生すると次の起動トリガが入力されるまでカウントを停止するモードです。

このモードで利用する場合は、コントロールステータスレジスタ (TMCSR0 ~ TMCSR2) を次の様に設定してください。

- TRGM0 ビット = 0/1
- GATE ビット = 1
- RELD ビット = 0

● 起動

リロードモード時と同様です。「リロードモード時の動作 (TMI0 ~ TMI2 端子 = ゲート入力時)」を参照してください。

ただし、ワンショットモード時は起動トリガを検出したら、TMO0 ~ TMO2 端子から出力される信号レベルが反転します。

● カウント動作

TMI0 ~ TMI2 端子から有効レベルの信号が入力されている間だけ、ダウンカウンタがカウント用クロックに同期して、16 ビットタイマリロードレジスタ A (TMRLRA0 ~ TMRLRA2) の値からカウントダウンします。

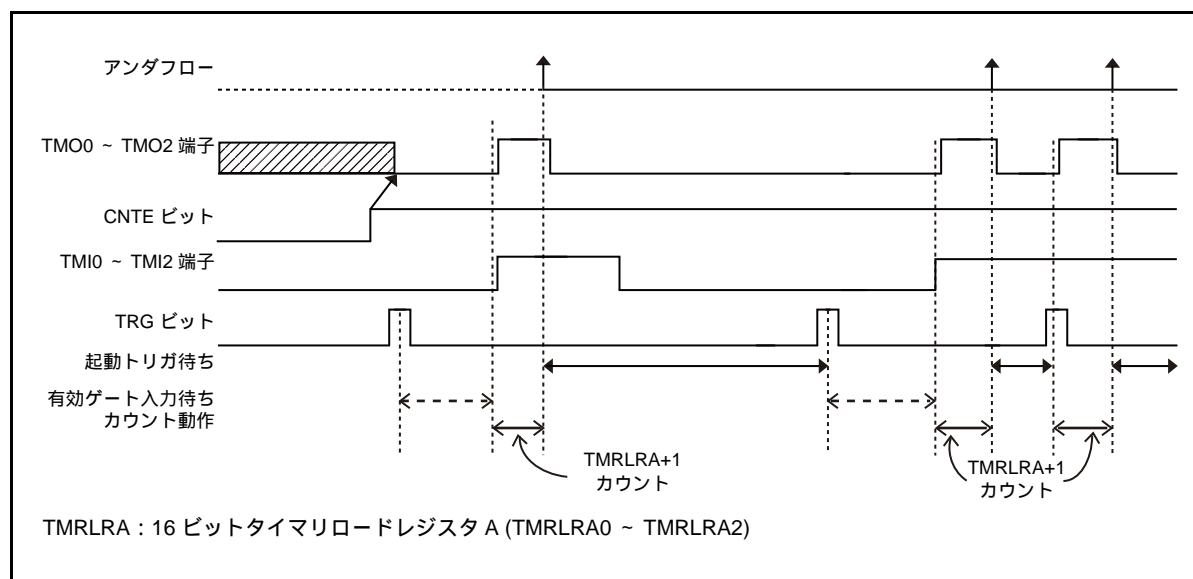
TMI0 ~ TMI2 端子から有効レベルが入力されなくなると、ダウンカウンタは動作を停止します。ダウンカウンタの停止中に有効レベルが入力されると、停止していた値から再度カウントを開始します。

ダウンカウンタの値が "0000_H" からカウントダウンしようとする、アンダフローが発生し、次の動作が行われます。

- コントロールステータスレジスタ (TMCSR0 ~ TMCSR2) の UF ビットが "1" に変わる
- TMO0 ~ TMO2 端子から出力される信号レベルを初期化する
- カウント動作を停止し、起動トリガ待ち状態になる (ダウンカウンタの値が "FFFF_H" で止まります)

カウント動作を図 21.6-13 に示します。

図 21.6-13 カウント動作 (有効レベル="H" レベル, 出力極性 = 通常極性の場合)



● 割込み処理の動作

リロードモード時と同様です。「リロードモード時の動作 (TMI0 ~ TMI2 端子 = トリガ入力時)」を参照してください。

● 再トリガ動作

リロードモード時と同様です。「リロードモード時の動作 (TMI0 ~ TMI2 端子 = ゲート入力時)」を参照してください。

ただし、ワンショットモード時は再トリガを検出したら、TMO0 ~ TMO2 端子から出力される信号レベルが反転します。

21.6.2 イベントカウンタモード時の動作

16 ビットリロードタイマをイベントカウンタとして使用する場合の動作について説明します。この節では、外部イベントをカウントする場合の動作について説明します。

■ 概要

イベントカウンタモードでは TMI0 ~ TMI2 端子に入力された外部イベントをカウントします。TMI0 ~ TMI2 端子から有効エッジが入力されるたびに、カウントダウンを行います。

カスケードモードについては、「21.6.3 カスケードモード時の動作」を参照してください。

■ 設定

● イベントカウンタモードの設定

16 ビットリロードタイマをイベントカウンタモードで使用する場合は、コントロールステータスレジスタ (TMCSR0 ~ TMCSR2) の CSL2 ~ CSL0 ビットを次の様に設定します。

CSL2	CSL1	CSL0	モード	カウント用クロック
1	1	1	イベントカウンタモード	外部クロック

● 動作モードの設定

イベントカウンタモード時、コントロールステータスレジスタ (TMCSR0 ~ TMCSR2) の RELD ビットで動作モードを次の中から選択できます。

- リロードモード (RELD=1)

ダウンカウンタがアンダフローすると、16 ビットタイマリロードレジスタ A (TMRLRA0 ~ TMRLRA2) に設定された値をリロードしてカウント動作を繰り返すモードです。

- ワンショットモード (RELD=0)

ダウンカウンタがアンダフローすると、カウント動作を停止するモードです。

● 有効エッジの設定

16 ビットリロードタイマは TMI0 ~ TMI2 端子に有効エッジが入力されるたびに、カウントダウンを行います。

有効エッジはコントロールステータスレジスタ (TMCSR0 ~ TMCSR2) の TRGM1, TRGM0 ビットで次の中から選択できます。

TRGM1, TRGM0	端子の機能
00	TMI0 ~ TMI2 端子は機能しません。
01	立上りエッジ
10	立下りエッジ
11	両エッジ

■ リロードモード時の動作

アンダフローが発生するたびに 16 ビットタイマリロードレジスタ A (TMRLRA0 ~ TMRLRA2) の値をリロードし、カウントダウンを継続するモードです。

このモードで利用する場合は、コントロールステータスレジスタ (TMCSR0 ~ TMCSR2) を次の様に設定してください。

- TRGM1, TRGM0 ビット = 01 ~ 11 のいずれか
- RELD ビット = 1

● 起動

次の手順で起動してください。

1. コントロールステータスレジスタ (TMCSR0 ~ TMCSR2) の CNTE ビットで、16 ビットリロードタイマの動作を許可 (CNTE=1) する

16 ビットリロードタイマが起動トリガ入力待ち状態になります。

2. コントロールステータスレジスタ (TMCSR0 ~ TMCSR2) の TRG ビットで起動トリガを入力する (TRG=1)

16 ビットタイマリロードレジスタ A (TMRLRA0 ~ TMRLRA2) の値がダウンカウンタにロードされ、16 ビットリロードタイマは TMI0 ~ TMI2 端子から出力される信号の有効エッジ検出待ち状態になります。

3. TMI0 ~ TMI2 端子からコントロールステータスレジスタ (TMCSR0 ~ TMCSR2) の TRGM1, TRGM0 ビットで設定した有効エッジを入力する

カウントが開始されます。

● カウント動作

TMI0 ~ TMI2 端子からの入力信号に有効エッジを検出するたびに、カウントダウンします。

カウントのタイミングを図 21.6-14 ~ 図 21.6-16 に示します。

図 21.6-14 カウントタイミング (有効エッジ = 立上りエッジ)

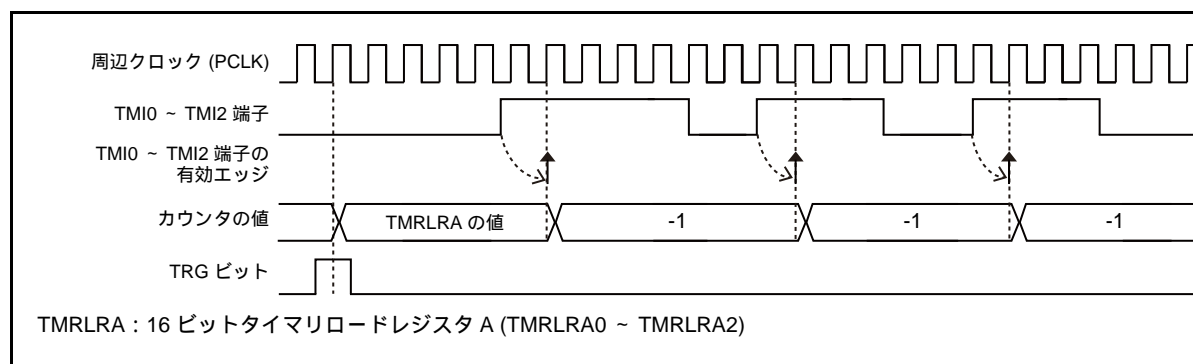


図 21.6-15 カウントタイミング (有効エッジ = 立下りエッジ)

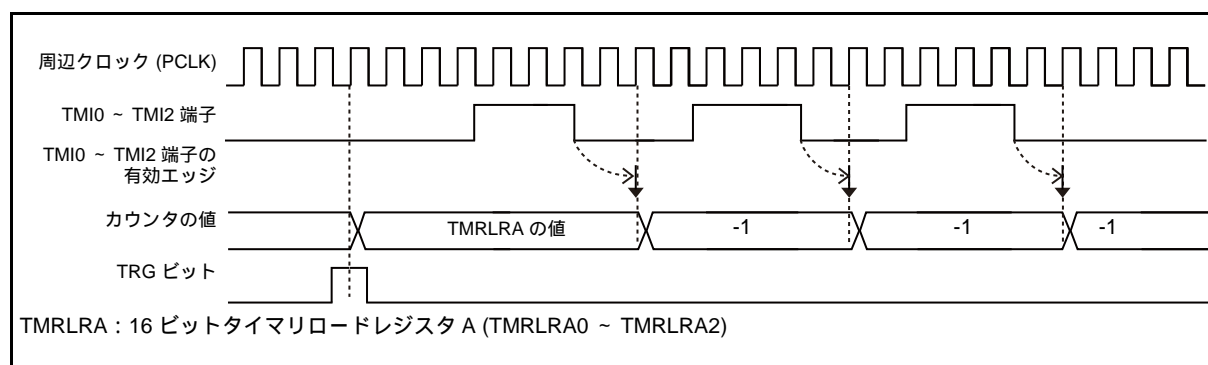
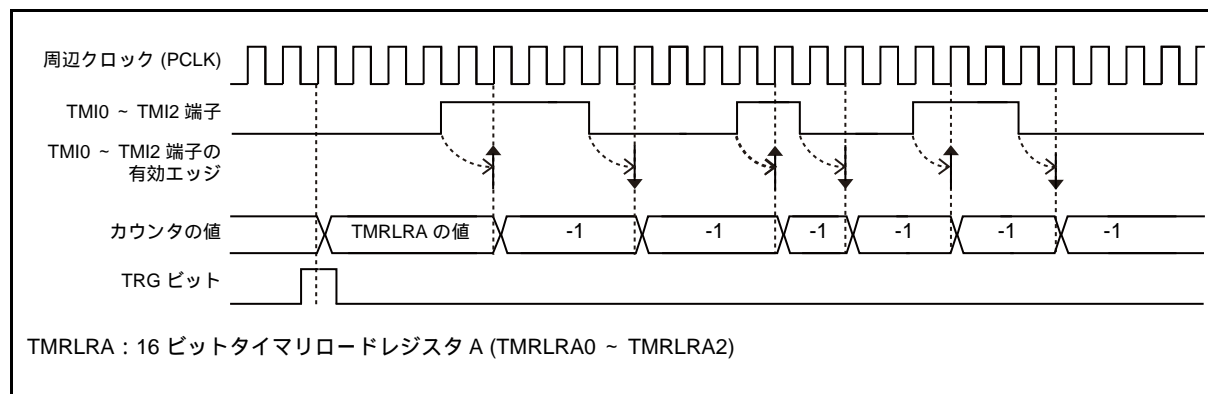


図 21.6-16 カウントタイミング (有効エッジ = 両エッジ)



ダウンカウンタの値が"0000_H"からカウントダウンしようとする時、アンダフローが発生し、次の動作が行われます。

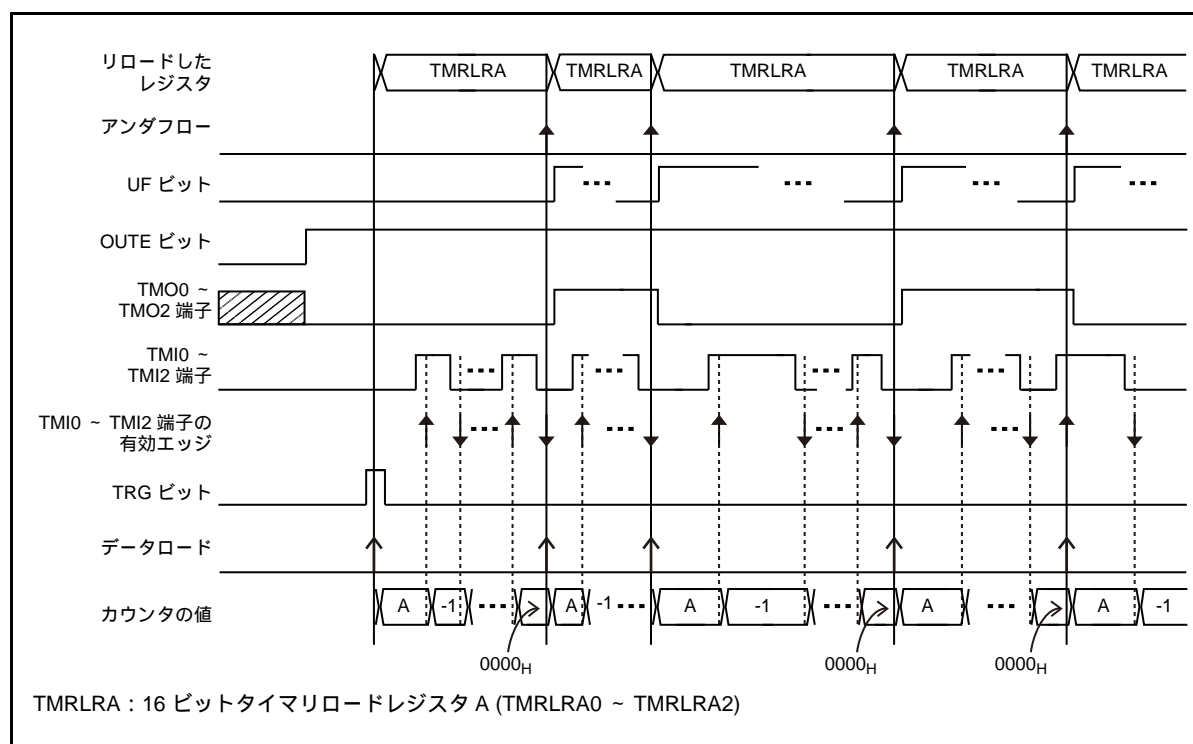
- コントロールステータスレジスタ (TMCSR0 ~ TMCSR2) のUFビットが"1"に変わる
- TMO0 ~ TMO2 端子からの出力信号レベルが反転する
- 16ビットタイマリロードレジスタ A (TMRLRA0 ~ TMRLRA2) の値をダウンカウンタにリロード
- TMI0 ~ TMI2 端子から有効レベルが入力されると、カウントダウンを継続する。

このように、アンダフローが発生するたびに 16 ビットタイマリロードレジスタ A (TMRLRA0 ~ TMRLRA2) の値をリロードし、カウント動作を継続します。

ただし、アンダフロー発生後、TMI0 ~ TMI2 端子から入力される信号の有効エッジが検出されるまではカウントは開始しません。

カウント動作を図 21.6-17 に示します。

図 21.6-17 カウント動作 (検出エッジ = 両エッジ, 出力極性 = 通常極性の場合)



● 割込み処理の動作

インターバルタイマモード時と同様です。「21.6.1 インターバルタイマモード時の動作」の「リロードモード時の動作 (TMI0 ~ TMI2 端子 = トリガ入力時)」を参照してください。

● 再トリガ動作

カウント動作中に、16 ビットリロードタイマの起動トリガを検出すると再トリガが発生し、次の動作が行われます。

- TMO0 ~ TMO2 端子から出力される信号レベルをコントロールステータスレジスタ (TMCSR0 ~ TMCSR2) の OUTL ビットで設定したレベルに初期化
- 16 ビットタイマリロードレジスタ A (TMRLRA0 ~ TMRLRA2) の値をダウンカウンタにリロード

その状態で TMI0 ~ TMI2 端子から有効エッジが入力されると、カウント動作が開始されます。

■ ワンショットモード時の動作

アンダフローが発生すると次の起動トリガが入力されるまでカウントを停止するモードです。

このモードで利用する場合は、コントロールステータスレジスタ (TMCSR0 ~ TMCSR2) を次の様に設定してください。

- TRGM1, TRGM0 ビット = 01 ~ 11 のいずれか
- RELD ビット = 0

● 起動

リロードモード時と同様です。「リロードモード時の動作」を参照してください。

● カウント動作

TMI0 ~ TMI2 端子で有効エッジを検出するたびに、カウントダウンします。

ダウンカウンタの値が "0000_H" からカウントダウンしようとする時、アンダフローが発生し、次の動作が行われます。

- コントロールステータスレジスタ (TMCSR0 ~ TMCSR2) の UF ビットが "1" に変わる
- TMO0 ~ TMO2 端子から出力される信号レベルを初期化する
- カウント動作を停止し、起動トリガ待ち状態になる (ダウンカウンタの値が "FFFF_H" で止まります)

カウント動作を図 21.6-18, 図 21.6-19 に示します。

図 21.6-18 カウント動作 (検出エッジ = 両エッジの場合)

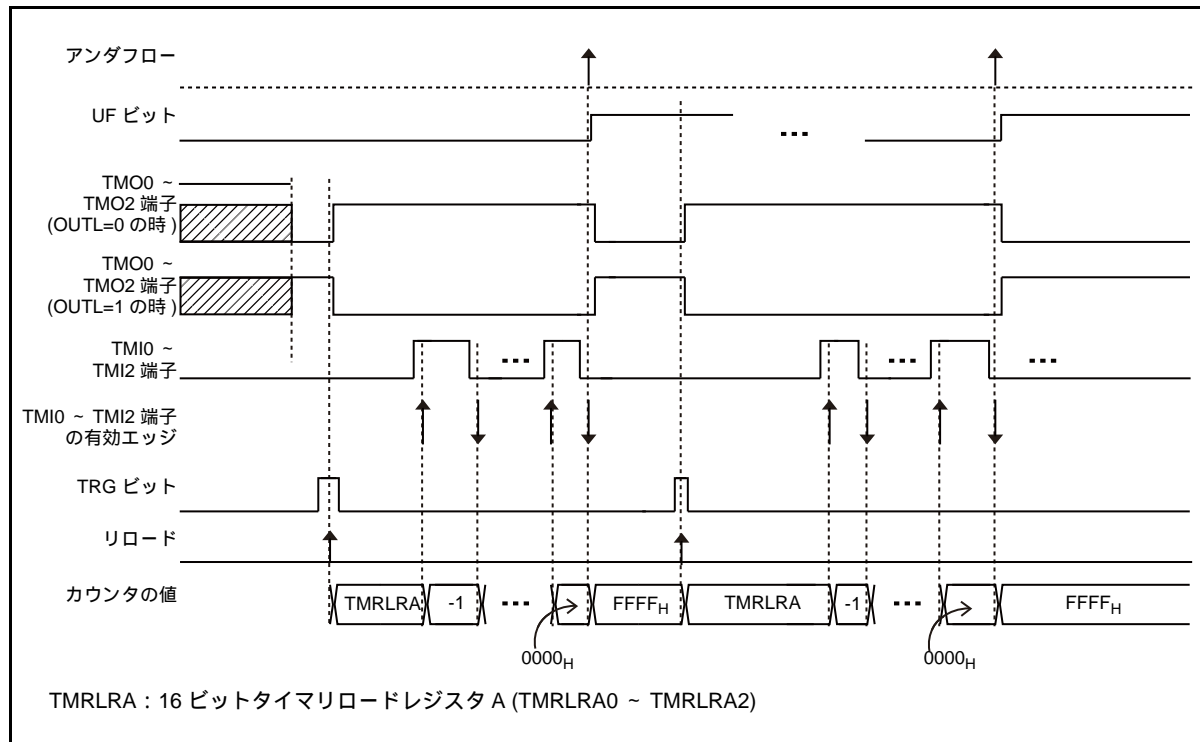
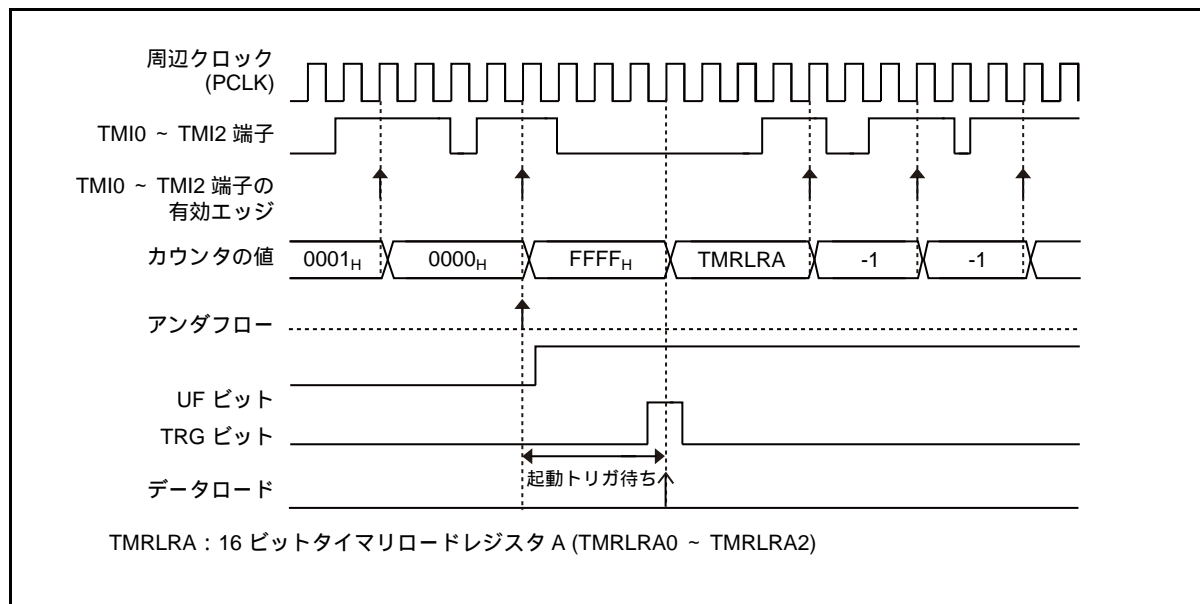


図 21.6-19 カウント動作 (検出エッジ = 立上リエッジの場合)



● 割込み処理の動作

リロードモード時と同様です。「リロードモード時の動作」を参照してください。

● 再トリガ動作

リロードモード時と同様です。「リロードモード時の動作」を参照してください。

21.6.3 カスケードモード時の動作

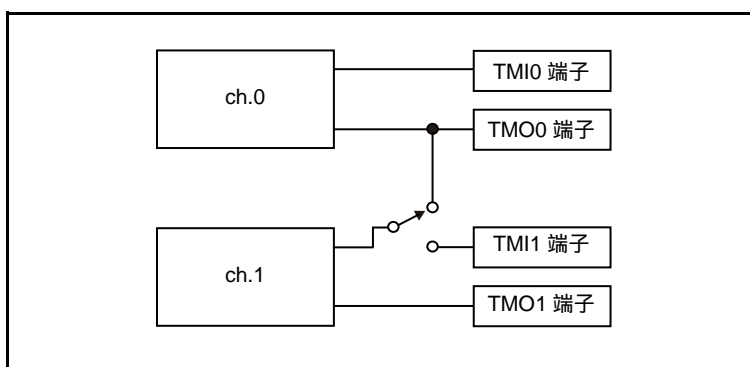
カスケードモードを使用すると、16 ビットリロードタイマの ch.0 からの出力を ch.1 で、ch.1 からの出力を ch.2 でカウントできます。カスケードモード時の動作を説明します。

■ 動作

コントロールステータスレジスタ (TMCSR0 ~ TMCSR2) の CSL2 ~ CSL0 ビットでカスケードモードを選択 (CSL2 ~ CSL0=110) すると、次のような動作になります。

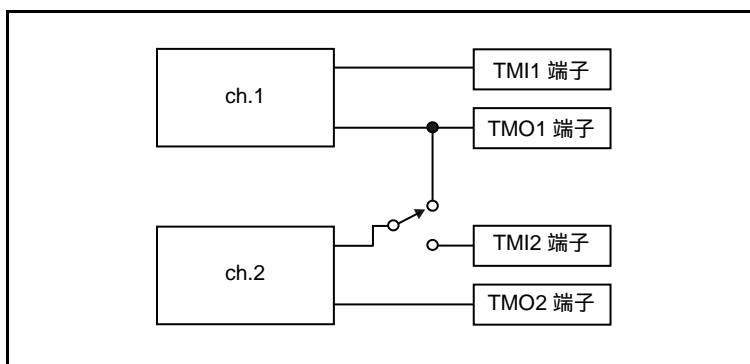
- ch.1 をカスケードモードで接続した場合
ch.0 からの出力をカウントします。ch.1 をカスケードモードで使用した場合の入出力を図 21.6-20 に示します。

図 21.6-20 ch.1 をカスケードモードで使用した場合の入出力



- ch.2 をカスケードモードで接続した場合
ch.1 からの出力をカウントします。ch.2 をカスケードモードで使用した場合の入出力を図 21.6-21 に示します。

図 21.6-21 ch.2 をカスケードモードで使用した場合の入出力



< 注意事項 >

カスケードモードを使用する場合は，コントロールステータスレジスタ (TMCSR0 ~ TMCSR2) の CSL2 ~ CSL0 ビットでタイマモードを次のように設定してください。

- 若い番号のチャンネル
インターバルタイマモードまたは外部クロックを選択 (CSL2 ~ CSL0=110 以外)
- 大きい番号のチャンネル
カスケードモードを設定 (CSL2 ~ CSL0=110)

■ アンダフロー周期

ch.1 および ch.2 のアンダフロー周期の計算式を説明します。

- ch.1 をカスケードモードで接続した場合

$T \times (\text{TMRLRA0 の値} + 1) \times (\text{TMRLRA1 の値} + 1)$

T : ch.0 のカウント用クロックの周期

TMRLRA0 : 16 ビットタイマリロードレジスタ A0 (TMRLRA0)

TMRLRA1 : 16 ビットタイマリロードレジスタ A1 (TMRLRA1)

- ch.2 をカスケードモードで接続した場合

$T \times (\text{TMRLRA1 の値} + 1) \times (\text{TMRLRA2 の値} + 1)$

T : ch.1 のカウント用クロックの周期

TMRLRA1 : 16 ビットタイマリロードレジスタ A1 (TMRLRA1)

TMRLRA2 : 16 ビットタイマリロードレジスタ A2 (TMRLRA2)

21.7 使用上の注意

16 ビットリロードタイマを使用する際は、次の点に注意してください。

■ 割込みに関する注意

- アンダフロー割込み要求フラグのクリアと、アンダフロー割込み要求フラグが"1"に変わるタイミングが重なった場合は、アンダフロー割込み要求フラグのクリア動作は無視され、アンダフロー割込み要求フラグは "1" のままになります。

■ 同時起動の場合の動作

16 ビットリロードタイマの動作を決定するイベントが同時に発生した場合、動作状態を決定する優先順位は次のとおりです。

1. レジスタの読み込み
2. トリガ入力
3. アンダフロー
4. カウント用クロック入力

第 22 章 ベースタイマ 入出力選択機能

ベースタイマの入出力選択機能について説明します。

- 22.1 概要
- 22.2 構成
- 22.3 端子
- 22.4 レジスタ
- 22.5 入出力モード

22.1 概要

ベースタイマ入出力選択機能は、入出力モードを設定することにより、ベースタイマへの信号 (外部クロック / 外部起動トリガ / 波形) の入出力方法を決める機能です。

また、ベースタイマはタイマ機能を切り換えることで、チャンネルごとに次のいずれかのタイマとして使用します。

- 16 ビット PWM タイマ
- 16 ビット PPG タイマ
- 16/32 ビットリロードタイマ
- 16/32 ビット PWC タイマ

ベースタイマは、必ず本章と使用するタイマ機能の章両方を一読の上、使用してください。

■ 概要

2 チャンネルごとに入出力モードを次の 9 種類の中から選択できます。

- 入出力モード 0 : 16 ビットタイマ標準モード
ベースタイマを 1 チャンネルごとに個別に動作させるモードです。
- 入出力モード 1 : タイマフルモード
ベースタイマの偶数チャンネルの信号を個別に外部端子に割り当てて動作させるモードです。
- 入出力モード 2 : 外部トリガ共有モード
2 チャンネルのベースタイマに対して同時に外部起動トリガを入力できるモードです。このモードを利用すると、2 チャンネルのベースタイマを同時に起動できます。
- 入出力モード 3 : 他チャンネルトリガ共有モード
他のチャンネルからの外部信号を外部起動トリガにして、起動するモードです。
このモードは ch.0 および ch.1 には設定できません。
- 入出力モード 4 : タイマ起動 / 停止モード
偶数チャンネルで奇数チャンネルの起動 / 停止を制御するモードです。奇数チャンネルは、偶数チャンネルからの出力信号の立上りエッジで起動し、立下りエッジで停止します。
- 入出力モード 5 : 同時ソフト起動モード
ソフトウェアで複数のチャンネルを同時に起動するモードです。
- 入出力モード 6 : ソフト起動タイマ起動 / 停止モード
偶数チャンネルで奇数チャンネルの起動 / 停止を制御するモードです。偶数チャンネルはソフトウェアで起動します。奇数チャンネルは、偶数チャンネルからの出力信号の立上りエッジで起動し、立下りエッジで停止します。
- 入出力モード 7 : タイマ起動モード
偶数チャンネルで奇数チャンネルの起動を制御するモードです。奇数チャンネルは、偶数チャンネルからの出力信号の立上りエッジで起動します。

- 入出力モード 8：他チャネルトリガ共有タイマ起動 / 停止モード
ほかのチャネルからの外部信号を外部起動トリガにして、起動するモードです。
このモードは ch.0 および ch.1 には設定できません。

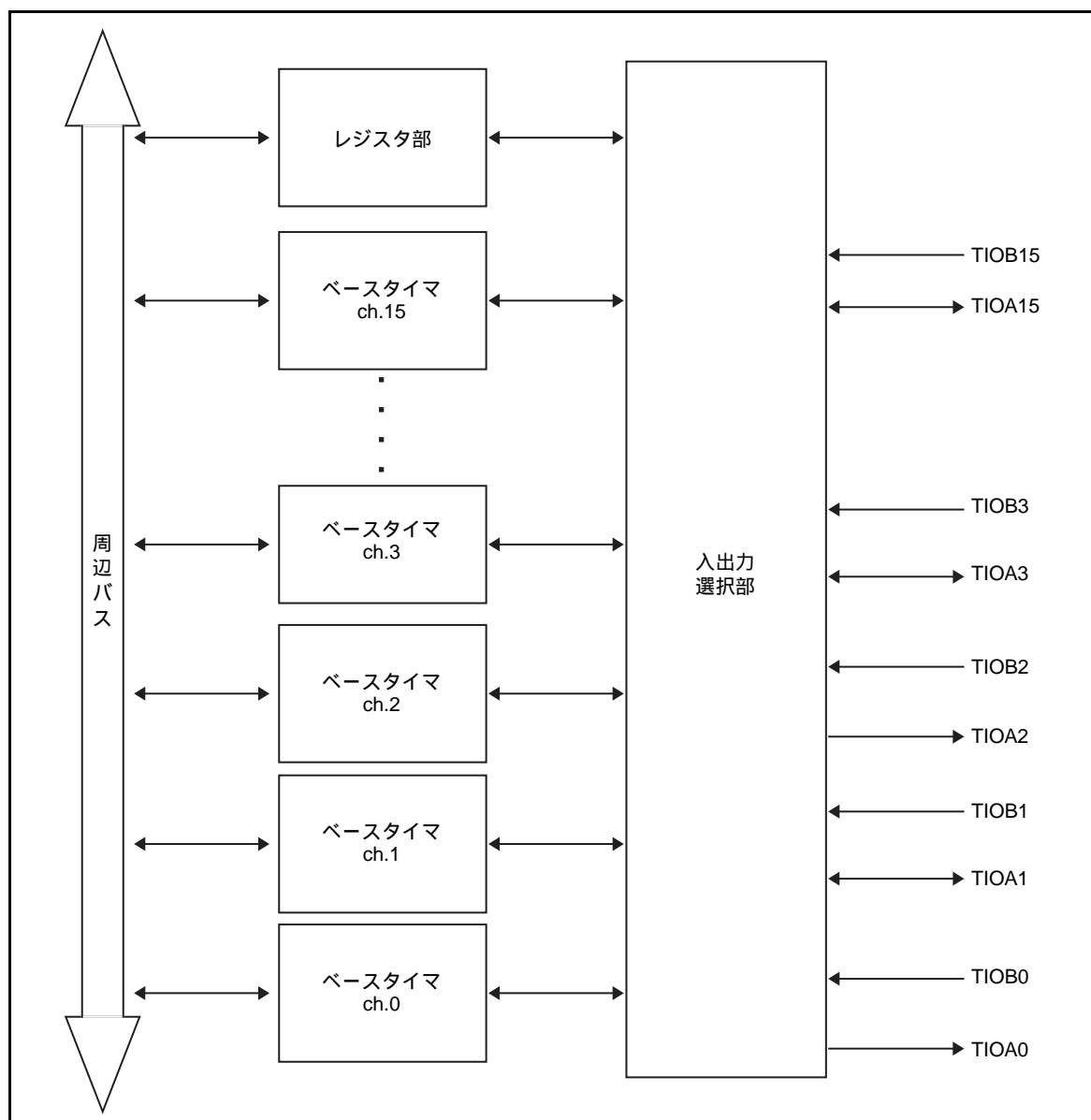
22.2 構成

ベースタイマ入出力選択機能は次のブロックで構成されています。

■ ベースタイマ入出力選択機能のブロックダイアグラム

ベースタイマ入出力選択機能のブロックダイアグラムを図 22.2-1 に示します。

図 22.2-1 ベースタイマ入出力選択機能のブロックダイアグラム



- 入出力選択部
ベースタイマの入出力モードをチャンネルごとに選択する回路です。
- ベースタイマ (ch.0 ~ ch.15)
ベースタイマの ch.0 ~ ch.15 です。

22.3 端子

ベースタイマ入出力選択機能で入出力モードを設定する端子について説明します。

■ 概要

ベースタイマには、チャンネルごとに 2 種類の外部端子と 5 種類の内部信号があります。外部端子と内部信号を接続することで、ベースタイマへ接続先に対応した信号（外部クロック (ECK 信号) / 外部起動トリガ (TGIN 信号) / 波形 (TIN 信号)）を入出力します。外部端子と内部信号は、ベースタイマの入出力モードを設定することで接続されます。使用する端子と入出力する信号は入出力モードによって異なります。

● 外部端子

- TIOA0 ~ TIOA15 端子

ベースタイマの波形 (TOUT 信号) を出力する、あるいは、外部起動トリガ (TGIN 信号) を入力する端子です。

この端子は兼用端子です。ベースタイマの TIOA0 ~ TIOA15 端子として使用するには「2.4 端子の設定方法」を参照してください。

- TIOB0 ~ TIOB15 端子

外部起動トリガ (TGIN 信号) / 外部クロック (ECK 信号) / 他チャンネルの波形 (TIN 信号) を入力する端子です。

この端子は兼用端子です。ベースタイマの TIOB0 ~ TIOB15 端子として使用するには「2.4 端子の設定方法」を参照してください。

● 内部信号

上記の外部端子と接続する、あるいは、ほかのチャンネルからの出力信号を入力することでベースタイマへ信号を入出力します。

- TOUT 信号

ベースタイマの出力波形です。(16/32 ビット PWC タイマでは使用しません。)

- ECK 信号

ベースタイマの外部クロックです。(16/32 ビット PWC タイマでは使用しません。)
カウント用クロックに外部クロックを選択した場合に入力します。

- TGIN 信号

ベースタイマの外部起動トリガです。(16/32 ビット PWC タイマでは使用しません。)
外部起動トリガの有効エッジを選択すると、この信号のエッジを検出してベースタイマが起動します。

- TIN 信号

測定する波形です。(16/32 ビット PWC タイマでのみ使用します。)

- DTRG 信号
ベースタイマは、この信号の立下りエッジで動作を停止します。
- COUT 信号
他のチャンネルへの出力信号です。
- CIN 信号
他のチャンネルから入力される信号です。

● 外部端子と内部信号の接続

外部端子と内部信号は、ベースタイマの入出力モードを設定することで接続されます。
入出力モードと端子接続の対応を表 22.3-1 に示します。

表 22.3-1 入出力モードと端子接続の対応

入出力 モード	TIOAn (偶数チャンネル)		TIOBn (偶数チャンネル)		TIOAn+1 (奇数チャンネル)		TIOBn+1 (奇数チャンネル)	
	接続先	入出力	接続先	入出力	接続先	入出力	接続先	入出力
0	ch.n の TOUT	出力	ch.n の ECK/TGIN/ TIN	入力	ch.n+1 のTOUT	出力	ch.n+1 の ECK/TGIN/ TIN	入力
1	ch.n の TOUT	出力	ch.n の ECK	入力	ch.n の TGIN	入力	ch.n の TIN	入力
2	ch.n の TOUT	出力	ch.n/ch.n+1 の ECK/ TGIN/TIN ^{*1}	入力	ch.n+1 のTOUT	出力	使用しない	
3	ch.n の TOUT	出力	使用しない		ch.n+1 のTOUT	出力		
4	ch.n の TOUT	出力	ch.n の ECK/TGIN/ TIN	入力	ch.n+1 のTOUT	出力		
5	ch.n の TOUT	出力	使用しない		ch.n+1 のTOUT	出力		
6	ch.n の TOUT	出力			ch.n+1 のTOUT	出力		
7	ch.n の TOUT	出力	ch.n の ECK/TGIN/ TIN	入力	ch.n+1 のTOUT	出力		
8	ch.n の TOUT	出力	使用しない		ch.n+1 のTOUT	出力		

ch.n : 偶数チャンネル

ch.n+1 : 奇数チャンネル

n=0, 2, 4, 6, 8, 10, 12, 14

*1 : 周辺クロック (PCLK) で同期化

22.4 レジスタ

ベースタイマ入出力選択機能で使用するレジスタの構成と機能について説明します。

■ ベースタイマ入出力選択機能のレジスタ一覧

ベースタイマ入出力選択機能のレジスタ一覧を表 22.4-1 に示します。

表 22.4-1 ベースタイマ入出力選択機能のレジスタ一覧

チャンネル	レジスタ略称	レジスタ名	参照先
共通	BTSSSR	同時ソフト起動レジスタ	22.4.5
0 ~ 3 共通	BTSEL0123	入出力選択レジスタ 0123	22.4.1
4 ~ 7 共通	BTSEL4567	入出力選択レジスタ 4567	22.4.2
8 ~ 11 共通	BTSEL89AB	入出力選択レジスタ 89AB	22.4.3
12 ~ 15 共通	BTSELCDEF	入出力選択レジスタ CDEF	22.4.4

22.4.1 入出力選択レジスタ 0123 (BTSEL0123)

ベースタイマの ch.0 ~ ch.3 の入出力モードを設定するレジスタです。

入出力選択レジスタ 0123 (BTSEL0123) のビット構成を図 22.4-1 に示します。

図 22.4-1 入出力選択レジスタ 0123 (BTSEL0123) のビット構成

bit	7	6	5	4	3	2	1	0
	SEL23_3	SEL23_2	SEL23_1	SEL23_0	SEL01_3	SEL01_2	SEL01_1	SEL01_0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

R/W : リード / ライト可能

< 注意事項 >

このレジスタは、ベースタイマ x タイマ制御レジスタ (BTxTMCR) の FMD2 ~ FMD0 ビットで、ベースタイマをリセットモードに設定 (FMD2 ~ FMD0=000) してから書き換えてください。

[bit7 ~ bit4] : SEL23_3 ~ SEL23_0 (ch.2/ch.3 用入出力選択ビット)

ベースタイマの ch.2 および ch.3 の入出力モードを設定するビットです。

SEL23_3	SEL23_2	SEL23_1	SEL23_0	説明
0	0	0	0	入出力モード 0 (16 ビットタイマ標準モード)
0	0	0	1	入出力モード 1 (タイマフルモード)
0	0	1	0	入出力モード 2 (外部トリガ共有モード)
0	0	1	1	入出力モード 3 (他チャンネルトリガ共有モード)
0	1	0	0	入出力モード 4 (タイマ起動 / 停止モード)
0	1	0	1	入出力モード 5 (同時ソフト起動モード)
0	1	1	0	入出力モード 6 (ソフト起動タイマ起動 / 停止モード)
0	1	1	1	入出力モード 7 (タイマ起動モード)
1	0	0	0	入出力モード 8 (他チャンネルトリガ共有タイマ起動 / 停止モード)

< 注意事項 >

上記以外は設定禁止です。

[bit3 ~ bit0] : SEL01_3 ~ SEL01_0 (ch.0/ch.1 用入出力選択ビット)

ベースタイマの ch.0 および ch.1 の入出力モードを設定するビットです。

ch.0 および ch.1 は、ベースタイマの最下位のチャンネルになり、下位側のチャンネルの信号を利用するモードは使用できません。そのため、次のモードは設定禁止です。

- 入出力モード 3 (他チャンネルトリガ共有モード)
- 入出力モード 8 (他チャンネルトリガ共有タイマ起動 / 停止モード)

SEL01_3	SEL01_2	SEL01_1	SEL01_0	説明
0	0	0	0	入出力モード 0 (16 ビットタイマ標準モード)
0	0	0	1	入出力モード 1 (タイマフルモード)
0	0	1	0	入出力モード 2 (外部トリガ共有モード)
0	0	1	1	設定禁止
0	1	0	0	入出力モード 4 (タイマ起動 / 停止モード)
0	1	0	1	入出力モード 5 (同時ソフト起動モード)
0	1	1	0	入出力モード 6 (ソフト起動タイマ起動 / 停止モード)
0	1	1	1	入出力モード 7 (タイマ起動モード)
1	0	0	0	設定禁止

< 注意事項 >

上記以外は設定禁止です。

22.4.2 入出力選択レジスタ 4567 (BTSEL4567)

ベースタイマの ch.4 ~ ch.7 の入出力モードを設定するレジスタです。

入出力選択レジスタ 4567 (BTSEL4567) のビット構成を図 22.4-2 に示します。

図 22.4-2 入出力選択レジスタ 4567 (BTSEL4567) のビット構成

bit	7	6	5	4	3	2	1	0
	SEL67_3	SEL67_2	SEL67_1	SEL67_0	SEL45_3	SEL45_2	SEL45_1	SEL45_0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

R/W : リード / ライト可能

< 注意事項 >

このレジスタは、ベースタイマ x タイマ制御レジスタ (BTxTMCR) の FMD2 ~ FMD0 ビットで、ベースタイマをリセットモードに設定 (FMD2 ~ FMD0=000) してから書き換えてください。

[bit7 ~ bit4] : SEL67_3 ~ SEL67_0 (ch.6/ch.7 用入出力選択ビット)

ベースタイマの ch.6 および ch.7 の入出力モードを設定するビットです。

SEL67_3	SEL67_2	SEL67_1	SEL67_0	説明
0	0	0	0	入出力モード 0 (16 ビットタイマ標準モード)
0	0	0	1	入出力モード 1 (タイマフルモード)
0	0	1	0	入出力モード 2 (外部トリガ共有モード)
0	0	1	1	入出力モード 3 (他チャネルトリガ共有モード)
0	1	0	0	入出力モード 4 (タイマ起動 / 停止モード)
0	1	0	1	入出力モード 5 (同時ソフト起動モード)
0	1	1	0	入出力モード 6 (ソフト起動タイマ起動 / 停止モード)
0	1	1	1	入出力モード 7 (タイマ起動モード)
1	0	0	0	入出力モード 8 (他チャネルトリガ共有タイマ起動 / 停止モード)

< 注意事項 >

上記以外は設定禁止です。

[bit3 ~ bit0] : SEL45_3 ~ SEL45_0 (ch.4/ch.5 用入出力選択ビット)

ベースタイマの ch.4 および ch.5 の入出力モードを設定するビットです。

SEL45_3	SEL45_2	SEL45_1	SEL45_0	説明
0	0	0	0	入出力モード 0 (16 ビットタイマ標準モード)
0	0	0	1	入出力モード 1 (タイマフルモード)
0	0	1	0	入出力モード 2 (外部トリガ共有モード)
0	0	1	1	入出力モード 3 (他チャンネルトリガ共有モード)
0	1	0	0	入出力モード 4 (タイマ起動 / 停止モード)
0	1	0	1	入出力モード 5 (同時ソフト起動モード)
0	1	1	0	入出力モード 6 (ソフト起動タイマ起動 / 停止モード)
0	1	1	1	入出力モード 7 (タイマ起動モード)
1	0	0	0	入出力モード 8 (他チャンネルトリガ共有タイマ起動 / 停止モード)

< 注意事項 >

上記以外は設定禁止です。

22.4.3 入出力選択レジスタ 89AB (BTSEL89AB)

ベースタイマの ch.8 ~ ch.11 の入出力モードを設定するレジスタです。

入出力選択レジスタ 89AB (BTSEL89AB) のビット構成を図 22.4-3 に示します。

図 22.4-3 入出力選択レジスタ 89AB (BTSEL89AB) のビット構成

bit	7	6	5	4	3	2	1	0
	SELAB_3	SELAB_2	SELAB_1	SELAB_0	SEL89_3	SEL89_2	SEL89_1	SEL89_0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

R/W : リード / ライト可能

< 注意事項 >

このレジスタは、ベースタイマ x タイマ制御レジスタ (BTxTMCR) の FMD2 ~ FMD0 ビットで、ベースタイマをリセットモードに設定 (FMD2 ~ FMD0=000) してから書き換えてください。

[bit7 ~ bit4] : SELAB_3 ~ SELAB_0 (ch.10/ch.11 用入出力選択ビット)

ベースタイマの ch.10 および ch.11 の入出力モードを設定するビットです。

SELAB_3	SELAB_2	SELAB_1	SELAB_0	説明
0	0	0	0	入出力モード 0 (16 ビットタイマ標準モード)
0	0	0	1	入出力モード 1 (タイマフルモード)
0	0	1	0	入出力モード 2 (外部トリガ共有モード)
0	0	1	1	入出力モード 3 (他チャンネルトリガ共有モード)
0	1	0	0	入出力モード 4 (タイマ起動 / 停止モード)
0	1	0	1	入出力モード 5 (同時ソフト起動モード)
0	1	1	0	入出力モード 6 (ソフト起動タイマ起動 / 停止モード)
0	1	1	1	入出力モード 7 (タイマ起動モード)
1	0	0	0	入出力モード 8 (他チャンネルトリガ共有タイマ起動 / 停止モード)

< 注意事項 >

上記以外は設定禁止です。

[bit3 ~ bit0] : SEL89_3 ~ SEL89_0 (ch.8/ch.9 用入出力選択ビット)

ベースタイマの ch.8 および ch.9 の入出力モードを設定するビットです。

SEL89_3	SEL89_2	SEL89_1	SEL89_0	説明
0	0	0	0	入出力モード 0 (16 ビットタイマ標準モード)
0	0	0	1	入出力モード 1 (タイマフルモード)
0	0	1	0	入出力モード 2 (外部トリガ共有モード)
0	0	1	1	入出力モード 3 (他チャンネルトリガ共有モード)
0	1	0	0	入出力モード 4 (タイマ起動 / 停止モード)
0	1	0	1	入出力モード 5 (同時ソフト起動モード)
0	1	1	0	入出力モード 6 (ソフト起動タイマ起動 / 停止モード)
0	1	1	1	入出力モード 7 (タイマ起動モード)
1	0	0	0	入出力モード 8 (他チャンネルトリガ共有タイマ起動 / 停止モード)

< 注意事項 >

上記以外は設定禁止です。

22.4.4 入出力選択レジスタ CDEF (BTSELCDEF)

ベースタイマの ch.12 ~ ch.15 の入出力モードを設定するレジスタです。

入出力選択レジスタ CDEF (BTSELCDEF) のビット構成を図 22.4-4 に示します。

図 22.4-4 入出力選択レジスタ CDEF (BTSELCDEF) のビット構成

bit	7	6	5	4	3	2	1	0
	SELEF_3	SELEF_2	SELEF_1	SELEF_0	SELCD_3	SELCD_2	SELCD_1	SELCD_0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0
R/W : リード / ライト可能								

< 注意事項 >

このレジスタは、ベースタイマ x タイマ制御レジスタ (BTxTMCR) の FMD2 ~ FMD0 ビットで、ベースタイマをリセットモードに設定 (FMD2 ~ FMD0=000) してから書き換えてください。

[bit7 ~ bit4] : SELEF_3 ~ SELEF_0 (ch.14/ch.15 用入出力選択ビット)

ベースタイマの ch.14 および ch.15 の入出力モードを設定するビットです。

SELEF_3	SELEF_2	SELEF_1	SELEF_0	説明
0	0	0	0	入出力モード 0 (16 ビットタイマ標準モード)
0	0	0	1	入出力モード 1 (タイマフルモード)
0	0	1	0	入出力モード 2 (外部トリガ共有モード)
0	0	1	1	入出力モード 3 (他チャンネルトリガ共有モード)
0	1	0	0	入出力モード 4 (タイマ起動 / 停止モード)
0	1	0	1	入出力モード 5 (同時ソフト起動モード)
0	1	1	0	入出力モード 6 (ソフト起動タイマ起動 / 停止モード)
0	1	1	1	入出力モード 7 (タイマ起動モード)
1	0	0	0	入出力モード 8 (他チャンネルトリガ共有タイマ起動 / 停止モード)

< 注意事項 >

上記以外は設定禁止です。

[bit3 ~ bit0] : SELCD_3 ~ SELCD_0 (ch.12/ch.13 用入出力選択ビット)

ベースタイマの ch.12 および ch.13 の入出力モードを設定するビットです。

SELCD_3	SELCD_2	SELCD_1	SELCD_0	説明
0	0	0	0	入出力モード 0 (16 ビットタイマ標準モード)
0	0	0	1	入出力モード 1 (タイマフルモード)
0	0	1	0	入出力モード 2 (外部トリガ共有モード)
0	0	1	1	入出力モード 3 (他チャネルトリガ共有モード)
0	1	0	0	入出力モード 4 (タイマ起動 / 停止モード)
0	1	0	1	入出力モード 5 (同時ソフト起動モード)
0	1	1	0	入出力モード 6 (ソフト起動タイマ起動 / 停止モード)
0	1	1	1	入出力モード 7 (タイマ起動モード)
1	0	0	0	入出力モード 8 (他チャネルトリガ共有タイマ起動 / 停止モード)

< 注意事項 >

上記以外は設定禁止です。

22.4.5 同時ソフト起動レジスタ (BTSSSR)

ベースタイマをソフトウェアで同時に起動するレジスタです。

"1" を書き込んだビットに対応する、複数のチャンネルを最大 16 チャンネルまで同時に起動できます。

同時ソフト起動レジスタ (BTSSSR) のビット構成を図 22.4-5 に示します。

図 22.4-5 同時ソフト起動レジスタ (BTSSSR) のビット構成

bit	15	14	13	12	11	10	9	8
	SSSR15	SSSR14	SSSR13	SSSR12	SSSR11	SSSR10	SSSR9	SSSR8
属性	W	W	W	W	W	W	W	W
初期値	X	X	X	X	X	X	X	X

bit	7	6	5	4	3	2	1	0
	SSSR7	SSSR6	SSSR5	SSSR4	SSSR3	SSSR2	SSSR1	SSSR0
属性	W	W	W	W	W	W	W	W
初期値	X	X	X	X	X	X	X	X

W : ライトオンリ
X : 不定

< 注意事項 >

- 次のモード以外に設定しているときに、本レジスタに書込みを行わないでください。
 - 入出力モード 5 (同時ソフト起動モード)
 - 入出力モード 6 (ソフト起動タイマ起動 / 停止モード) (偶数チャンネルのみ)
- このレジスタを利用して起動するチャンネルは、ベースタイマ x タイマ制御レジスタ (BTxTMCR) の EGS1, EGS0 ビットでトリガ入力エッジを立上りエッジ (EGS1, EGS0=01) に設定してください。

[bit15] : SSSR15 (ch.15 用同時ソフト起動ビット)

ベースタイマの ch.15 を起動するビットです。

書込み値	説明
0	無視されます。
1	ベースタイマの ch.15 を起動します。*

* : 入出力選択レジスタ CDEF (BTSELCDEF) の SELEF_3 ~ SELEF_0 ビットで入出力モードが "5" (同時ソフト起動モード) に設定 (SELEF_3 ~ SELEF_0=0101) されている場合のみ

[bit14] : SSSR14 (ch.14 用同時ソフト起動ビット)

ベースタイマの ch.14 を起動するビットです。

書込み値	説明
0	無視されます。
1	ベースタイマの ch.14 を起動します。*

* : 入出力選択レジスタ CDEF (BTSELCDEF) の SELEF_3 ~ SELEF_0 ビットで入出力モードが次のいずれかに設定されている場合のみ

- ・ "5" (同時ソフト起動モード) (SELEF_3 ~ SELEF_0=0101)
- ・ "6" (ソフト起動タイマ起動 / 停止モード) (SELEF_3 ~ SELEF_0=0110)

[bit13] : SSSR13 (ch.13 用同時ソフト起動ビット)

ベースタイマの ch.13 を起動するビットです。

書込み値	説明
0	無視されます。
1	ベースタイマの ch.13 を起動します。*

* : 入出力選択レジスタ CDEF (BTSELCDEF) の SELCD_3 ~ SELCD_0 ビットで入出力モードが "5" (同時ソフト起動モード) に設定 (SELCD_3 ~ SELCD_0=0101) されている場合のみ

[bit12] : SSSR12 (ch.12 用同時ソフト起動ビット)

ベースタイマの ch.12 を起動するビットです。

書込み値	説明
0	無視されます。
1	ベースタイマの ch.12 を起動します。*

* : 入出力選択レジスタ CDEF (BTSELCDEF) の SELCD_3 ~ SELCD_0 ビットで入出力モードが次のいずれかに設定されている場合のみ

- ・ "5" (同時ソフト起動モード) (SELCD_3 ~ SELCD_0=0101)
- ・ "6" (ソフト起動タイマ起動 / 停止モード) (SELCD_3 ~ SELCD_0=0110)

[bit11] : SSSR11 (ch.11 用同時ソフト起動ビット)

ベースタイマの ch.11 を起動するビットです。

書込み値	説明
0	無視されます。
1	ベースタイマの ch.11 を起動します。*

* : 入出力選択レジスタ 89AB (BTSEL89AB) の SELAB_3 ~ SELAB_0 ビットで入出力モードが "5" (同時ソフト起動モード) に設定 (SELAB_3 ~ SELAB_0=0101) されている場合のみ

[bit10] : SSSR10 (ch.10 用同時ソフト起動ビット)

ベースタイマの ch.10 を起動するビットです。

書込み値	説明
0	無視されます。
1	ベースタイマの ch.10 を起動します。*

*: 入出力選択レジスタ 89AB (BTSEL89AB) の SELAB_3 ~ SELAB_0 ビットで入出力モードが次のいずれかに設定されている場合のみ

- ・ "5" (同時ソフト起動モード) (SELAB_3 ~ SELAB_0=0101)
- ・ "6" (ソフト起動タイマ起動 / 停止モード) (SELAB_3 ~ SELAB_0=0110)

[bit9] : SSSR9 (ch.9 用同時ソフト起動ビット)

ベースタイマの ch.9 を起動するビットです。

書込み値	説明
0	無視されます。
1	ベースタイマの ch.9 を起動します。*

*: 入出力選択レジスタ 89AB (BTSEL89AB) の SEL89_3 ~ SEL89_0 ビットで入出力モードが "5" (同時ソフト起動モード) に設定 (SEL89_3 ~ SEL89_0=0101) されている場合のみ

[bit8] : SSSR8 (ch.8 用同時ソフト起動ビット)

ベースタイマの ch.8 を起動するビットです。

書込み値	説明
0	無視されます。
1	ベースタイマの ch.8 を起動します。*

*: 入出力選択レジスタ 89AB (BTSEL89AB) の SEL89_3 ~ SEL89_0 ビットで入出力モードが次のいずれかに設定されている場合のみ

- ・ "5" (同時ソフト起動モード) (SEL89_3 ~ SEL89_0=0101)
- ・ "6" (ソフト起動タイマ起動 / 停止モード) (SEL89_3 ~ SEL89_0=0110)

[bit7] : SSSR7 (ch.7 用同時ソフト起動ビット)

ベースタイマの ch.7 を起動するビットです。

書込み値	説明
0	無視されます。
1	ベースタイマの ch.7 を起動します。*

*: 入出力選択レジスタ 4567 (BTSEL4567) の SEL67_3 ~ SEL67_0 ビットで入出力モードが "5" (同時ソフト起動モード) に設定 (SEL67_3 ~ SEL67_0=0101) されている場合のみ

[bit6] : SSSR6 (ch.6 用同時ソフト起動ビット)

ベースタイマの ch.6 を起動するビットです。

書込み値	説明
0	無視されます。
1	ベースタイマの ch.6 を起動します。*

*: 入出力選択レジスタ 4567 (BTSEL4567) の SEL67_3 ~ SEL67_0 ビットで入出力モードが次のいずれかに設定されている場合のみ

- ・ "5" (同時ソフト起動モード) (SEL67_3 ~ SEL67_0=0101)
- ・ "6" (ソフト起動タイマ起動 / 停止モード) (SEL67_3 ~ SEL67_0=0110)

[bit5] : SSSR5 (ch.5 用同時ソフト起動ビット)

ベースタイマの ch.5 を起動するビットです。

書込み値	説明
0	無視されます。
1	ベースタイマの ch.5 を起動します。*

*: 入出力選択レジスタ 4567 (BTSEL4567) の SEL45_3 ~ SEL45_0 ビットで入出力モードが "5" (同時ソフト起動モード) に設定 (SEL45_3 ~ SEL45_0=0101) されている場合のみ

[bit4] : SSSR4 (ch.4 用同時ソフト起動ビット)

ベースタイマの ch.4 を起動するビットです。

書込み値	説明
0	無視されます。
1	ベースタイマの ch.4 を起動します。*

*: 入出力選択レジスタ 4567 (BTSEL4567) の SEL45_3 ~ SEL45_0 ビットで入出力モードが次のいずれかに設定されている場合のみ

- ・ "5" (同時ソフト起動モード) (SEL45_3 ~ SEL45_0=0101)
- ・ "6" (ソフト起動タイマ起動 / 停止モード) (SEL45_3 ~ SEL45_0=0110)

[bit3] : SSSR3 (ch.3 用同時ソフト起動ビット)

ベースタイマの ch.3 を起動するビットです。

書込み値	説明
0	無視されます。
1	ベースタイマの ch.3 を起動します。*

*: 入出力選択レジスタ 0123 (BTSEL0123) の SEL23_3 ~ SEL23_0 ビットで入出力モードが "5" (同時ソフト起動モード) に設定 (SEL23_3 ~ SEL23_0=0101) されている場合のみ

[bit2] : SSSR2 (ch.2 用同時ソフト起動ビット)

ベースタイマの ch.2 を起動するビットです。

書込み値	説明
0	無視されます。
1	ベースタイマの ch.2 を起動します。*

*: 入出力選択レジスタ 0123 (BTSEL0123) の SEL23_3 ~ SEL23_0 ビットで入出力モードが次のいずれかに設定されている場合のみ

- ・ "5" (同時ソフト起動モード) (SEL23_3 ~ SEL23_0=0101)
- ・ "6" (ソフト起動タイマ起動 / 停止モード) (SEL23_3 ~ SEL23_0=0110)

[bit1] : SSSR1 (ch.1 用同時ソフト起動ビット)

ベースタイマの ch.1 を起動するビットです。

書込み値	説明
0	無視されます。
1	ベースタイマの ch.1 を起動します。*

*: 入出力選択レジスタ 0123 (BTSEL0123) の SEL01_3 ~ SEL01_0 ビットで入出力モードが "5" (同時ソフト起動モード) に設定 (SEL01_3 ~ SEL01_0=0101) されている場合のみ

[bit0] : SSSR0 (ch.0 用同時ソフト起動ビット)

ベースタイマの ch.0 を起動するビットです。

書込み値	説明
0	無視されます。
1	ベースタイマの ch.0 を起動します。*

*: 入出力選択レジスタ 0123 (BTSEL0123) の SEL01_3 ~ SEL01_0 ビットで入出力モードが次のいずれかに設定されている場合のみ

- ・ "5" (同時ソフト起動モード) (SEL01_3 ~ SEL01_0)
- ・ "6" (ソフト起動タイマ起動 / 停止モード) (SEL01_3 ~ SEL01_0)

22.5 入出力モード

入出力選択レジスタ (BTSEL0123 ~ BTSELCDEF) で設定した入出力モードによって、外部端子の働きやベースタイマの起動 / 停止タイミングなどが異なります。

22.5.1 入出力モード 0 (16 ビットタイマ標準モード)

ベースタイマの各チャンネルを個別に利用するモードです。

このモードに設定した場合に使用する外部端子を表 22.5-1 に示します。

表 22.5-1 使用する外部端子

	偶数チャンネル	奇数チャンネル
入力端子	1 本	1 本
出力端子	1 本	1 本

使用する外部端子の接続先と入出力信号について表 22.5-2 に示します。

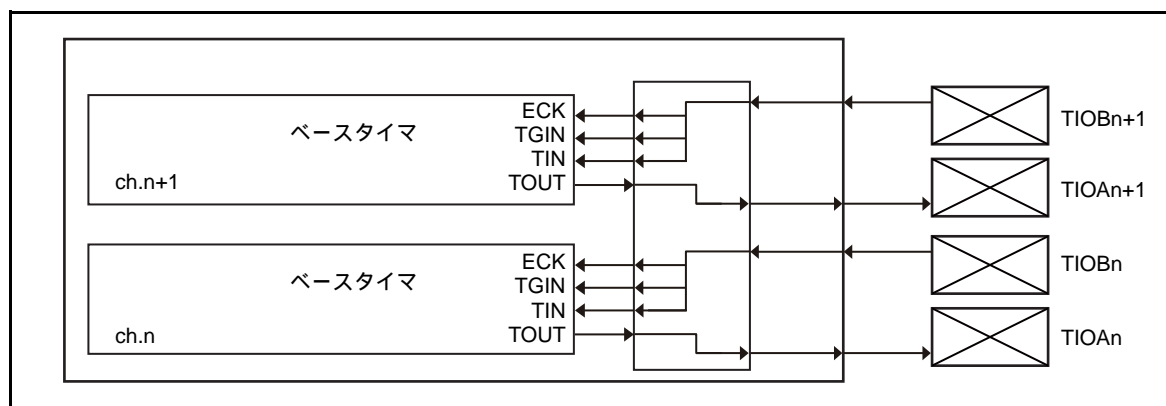
表 22.5-2 外部端子の接続先と入出力信号

外部端子	入出力	接続先 (内部信号)	入出力信号
TIOA0 ~ TIOA15	出力	TOUT	ベースタイマの波形を出力
TIOB0 ~ TIOB15	入力	ECK/TGIN/TIN*	入力した信号を次のいずれかとして使用 ・外部クロック (ECK 信号) ・外部起動トリガ (TGIN 信号) ・測定する波形 (TIN 信号)

*: 入力信号の使用方法 (ECK/TGIN/TIN 信号) は、ベースタイマ x タイマ制御レジスタ (BTxTMCR) の設定によって異なります。

入出力モード 0 (16 ビットタイマ標準モード) のブロックダイアグラムを ch.0 を例にとって図 22.5-1 に示します。

図 22.5-1 入出力モード 0 (16 ビットタイマ標準モード) のブロックダイアグラム



入出力モード 0 の接続を表 22.5-3 に示します。

表 22.5-3 入出力モード 0 の接続

接続元	接続先
ch.n の TOUT 信号	TIOAn 端子から出力
TIOBn 端子からの入力信号	TIN/TGIN/ECK として ch.n に入力
ch.n+1 の TOUT 信号	TIOAn+1 端子から出力
TIOBn+1 端子からの入力信号	TIN/TGIN/ECK として ch.n+1 に入力

n=0, 2, 4, 6, 8, 10, 12, 14

22.5.2 入出力モード 1 (タイマフルモード)

偶数チャネルの信号をすべて外部端子に個別に割り当てて使用するモードです。

このモードに設定した場合に使用する外部端子を表 22.5-4 に示します。

表 22.5-4 使用する外部端子

	偶数チャネル
入力端子	3 本
出力端子	1 本

使用する外部端子の接続先と入出力信号について表 22.5-5 に示します。

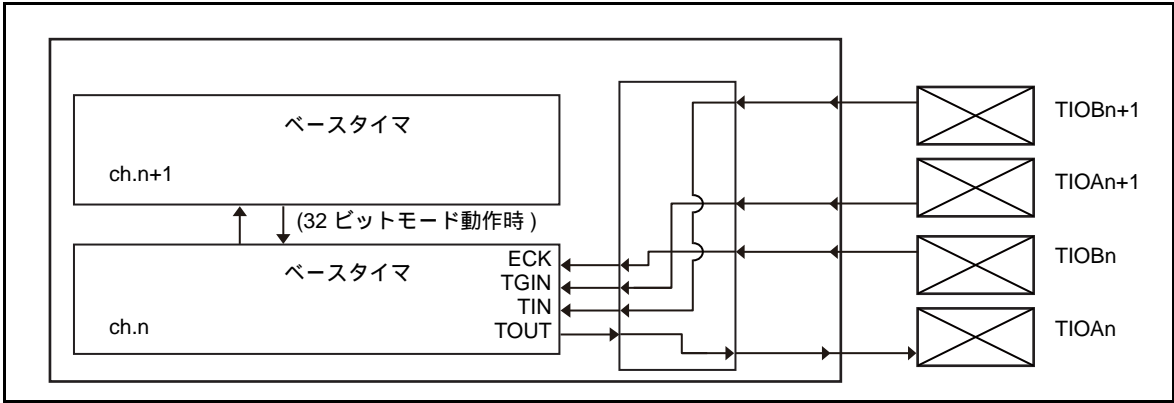
表 22.5-5 外部端子の接続先と入出力信号

外部端子	入出力	接続先 (内部信号)	入出力信号
TIOAn	出力	偶数チャネルの TOUT	偶数チャネルの波形を出力
TIOBn	入力	偶数チャネルの ECK	偶数チャネルに外部クロック (ECK 信号) を入力
TIOAn+1	入力	偶数チャネルの TGIN	偶数チャネルに外部起動トリガ (TGIN 信号) を入力
TIOBn+1	入力	偶数チャネルの TIN	偶数チャネルに測定する波形 (TIN 信号) を入力

n=0, 2, 4, 6, 8, 10, 12, 14

入出力モード 1 (タイマフルモード) のブロックダイアグラムを図 22.5-2 に示します。

図 22.5-2 入出力モード 1 (タイマフルモード) のブロックダイアグラム例



入出力モード 1 の接続を表 22.5-6 に示します。

表 22.5-6 入出力モード 1 の接続

接続元	接続先
ch.n の TOUT 信号	TIOAn 端子から出力
TIOBn 端子からの入力信号	ECK 信号として ch.n に入力
TIOAn+1 端子からの入力信号	TGIN 信号として ch.n に入力
TIOBn+1 端子からの入力信号	TIN 信号として ch.n に入力

n=0, 2, 4, 6, 8, 10, 12, 14

< 注意事項 >

このモードに設定した場合は，ポート機能レジスタ (PFR) で奇数チャネルに対応する TIOAn 端子 (TIOA1, TIOA3, TIOA5,・・・TIOA15) をポート入力モードに設定してください。端子の設定については，「2.4 端子の設定方法」を参照してください。

22.5.3 入出力モード 2 (外部トリガ共有モード)

ベースタイマの入力信号 (ECK/TGIN/TIN) を 2 チャンネルで共有するモードです。

このモードに設定した場合に使用する外部端子を表 22.5-7 に示します。

表 22.5-7 使用する外部端子

	偶数チャンネル	奇数チャンネル
入力端子	1 本 (2 チャンネルで共有)	
出力端子	1 本	1 本

使用する外部端子の接続先と入出力信号について表 22.5-8 に示します。

表 22.5-8 外部端子の接続先と入出力信号

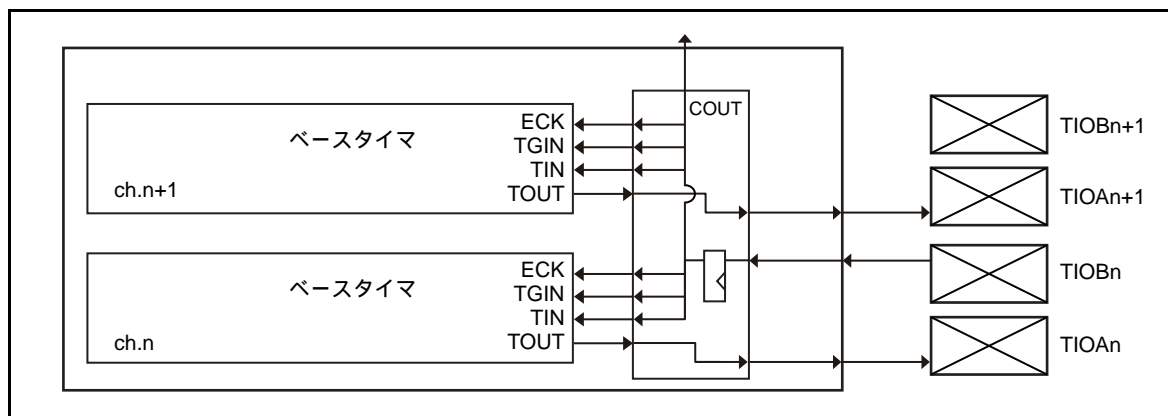
外部端子	入出力	接続先 (内部信号)	入出力信号
TIOAn	出力	偶数チャンネルの TOUT	偶数チャンネルの波形を出力
TIOAn+1	出力	奇数チャンネルの TOUT	奇数チャンネルの波形を出力
TIOBn	入力	偶数 / 奇数チャンネルの ECK/TGIN/TIN*	偶数 / 奇数両方のチャンネルに入力 (周辺クロック (PCLK) で同期化) し , 次のいずれかとして使用 ・ 外部クロック (ECK 信号) ・ 外部起動トリガ (TGIN 信号) ・ 測定する波形 (TIN 信号)
TIOBn+1	-	-	使用しない

n=0, 2, 4, 6, 8, 10, 12, 14

* : 入力信号の使用方法 (ECK/TGIN/TIN 信号) は , ベースタイマ x タイマ制御レジスタ (BTxTMCR) の設定によって異なります。

入出力モード 2 (外部トリガ共有モード) のブロックダイアグラムを図 22.5-3 に示します。

図 22.5-3 入出力モード 2 (外部トリガ共有モード) のブロックダイアグラム



入出力モード 2 の接続を表 22.5-9 に示します。

表 22.5-9 入出力モード 2 の接続

接続元	接続先	備考
ch.n の TOUT 信号	TIOAn 端子から出力	
TIOBn 端子からの入力信号	<ul style="list-style-type: none"> ・ TIN/TGIN/ECK 信号として ch.n と ch.n+1 に入力 ・ COUT 信号として他のチャンネルに出力 	周辺クロック (PCLK) で同期化
ch.n+1 の TOUT 信号	TIOAn+1 端子から出力	

n=0, 2, 4, 6, 8, 10, 12, 14

< 注意事項 >

このモードに設定したチャンネルの上位 2 チャンネル (n+2, n+3) を入出力モード 3 (他チャンネルトリガ共有モード) に設定すると、4 チャンネル同時に入力信号 (ECK/TGIN/TIN) を入力できます。

(例: ch.0 と ch.1 をこのモードに設定し、ch.2 と ch.3 を入出力モード 3 に設定すると ch.0 ~ ch.3 の 4 チャンネル同時に入力信号 (ECK/TGIN/TIN) を入力できます。)

22.5.4 入出力モード 3 (他チャンネルトリガ共有モード)

2 チャンネル下位側のチャンネルの COUT 信号を CIN 信号として入力し、ECK/TGIN/TIN 信号として使用するモードです。

このモードに設定した場合に使用する外部端子を表 22.5-10 に示します。

表 22.5-10 使用する外部端子

	偶数チャンネル	奇数チャンネル
入力端子	使用しない	
出力端子	1 本	1 本

使用する外部端子の接続先と入出力信号について表 22.5-11 に示します。

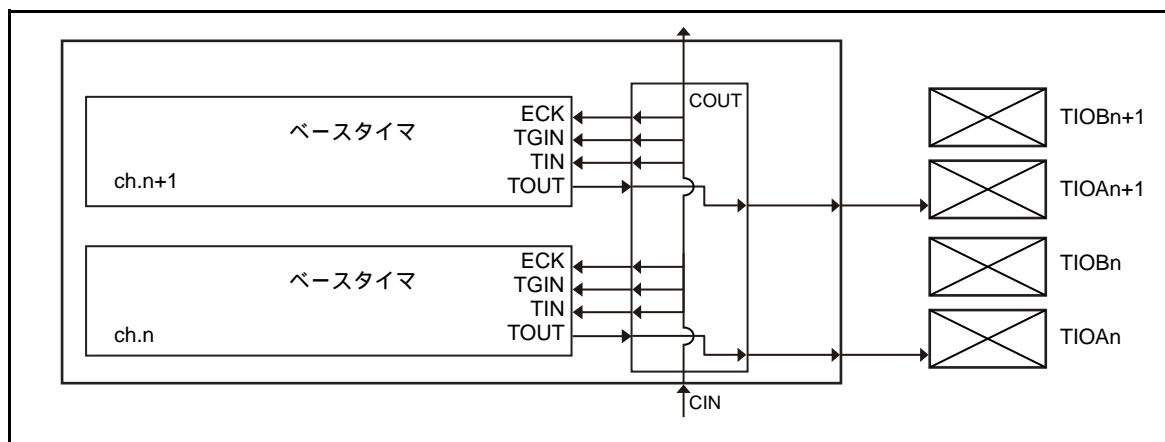
表 22.5-11 外部端子の接続先と入出力信号

外部端子	入出力	接続先 (内部信号)	入出力信号
TIOAn	出力	偶数チャンネルの TOUT	偶数チャンネルの波形を出力
TIOAn+1	出力	奇数チャンネルの TOUT	奇数チャンネルの波形を出力
TIOBn, TIOBn+1	-	-	使用しない

n=2, 4, 6, 8, 10, 12, 14

入出力モード 3 (他チャネルトリガ共有モード) のブロックダイアグラムを図 22.5-4 に示します。

図 22.5-4 入出力モード 3 (他チャネルトリガ共有モード) のブロックダイアグラム



入出力モード 3 の接続を表 22.5-12 に示します。

表 22.5-12 入出力モード 3 の接続

接続元	接続先
ch.n の TOUT 信号	TIOAn 端子から出力
CIN 信号 *	<ul style="list-style-type: none"> ・ TIN/TGIN/ECK 信号として ch.n と ch.n+1 に入力 ・ COUT 信号として他のチャネルに出力
ch.n+1 の TOUT 信号	TIOAn+1 端子から出力

n=2, 4, 6, 8, 10, 12, 14

*: 他のチャネルの COUT 信号を CIN 信号として入力します。

ch.n/n+1 の ECK, TGIN, TIN に入力できる ch.n-2/n-1 の信号は以下のとおりです。

- ・ 入出力モード 2 時の TIOBn-2 入力を周辺クロックで同期化した信号
- ・ 入出力モード 3 時の ch.n-4/n-3 から入力されるトリガ信号
- ・ 入出力モード 4 時の TIOAn-2 出力
- ・ 入出力モード 6 時の TIOAn-2 出力
- ・ 入出力モード 7 時の TIOAn-2 出力
- ・ 入出力モード 8 時の ch.n-4/n-3 から入力されるトリガ信号

< 注意事項 >

- ・ ベースタイマ x タイマ制御レジスタ (BTxTMCR) の EGS1, EGS0 ビットでトリガ入力エッジを立上りエッジ (EGS1, EGS0=01) に設定してください。
- ・ このモードに設定したチャネルは、2チャネル下位側 (n-2, n-1) の COUT 信号を CIN 信号として入力して使用します。
(例: ch.2, ch.3 をこのモードに設定すると ch.0, ch.1 の COUT 信号を使用)
そのため、ch.0 および ch.1 をこのモードに設定することはできません。

22.5.5 入出力モード 4 (タイマ起動 / 停止モード) 時の動作

偶数チャンネルで奇数チャンネルの起動 / 停止を制御できるモードです。

奇数チャンネルは、偶数チャンネルの出力波形 (TOUT信号) の立上りエッジで起動し、立下りエッジで停止します。

このモードに設定した場合に使用する外部端子を表 22.5-13 に示します。

表 22.5-13 使用する外部端子

	偶数チャンネル	奇数チャンネル
入力端子	1 本	使用しない
出力端子	1 本	1 本

端子の機能について表 22.5-14 に示します。

表 22.5-14 端子の機能

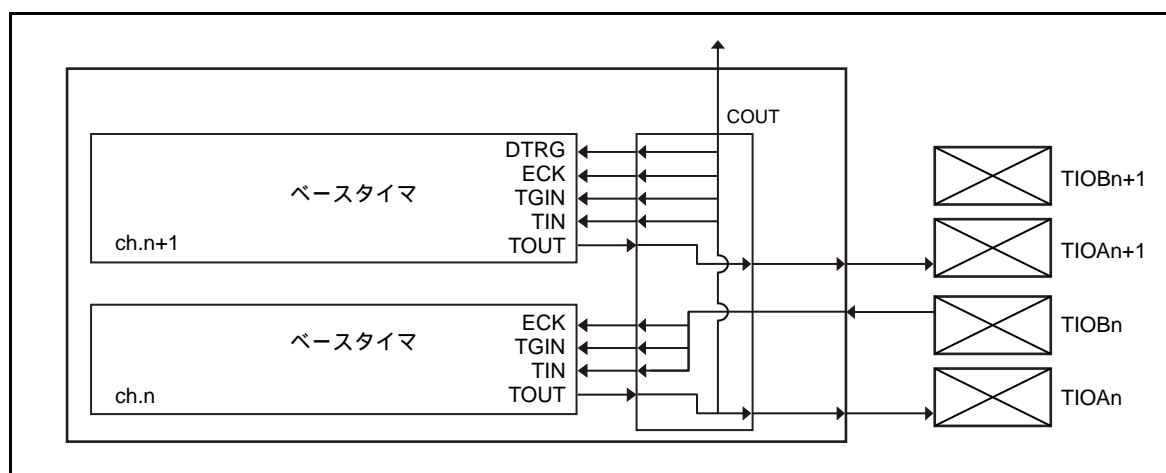
外部端子	入出力	接続先 (内部信号)	入出力信号
TIOAn	出力	偶数チャンネルの TOUT	偶数チャンネルの波形を出力
TIOAn+1	出力	奇数チャンネルの TOUT	奇数チャンネルの波形を出力
TIOBn	入力	偶数チャンネルの ECK/TGIN/TIN*	偶数チャンネルに入力し、次のいずれかとして使用 ・外部クロック (ECK 信号) ・外部起動トリガ (TGIN 信号) ・測定する波形 (TIN 信号)
TIOBn+1	-	-	使用しない

n=0, 2, 4, 6, 8, 10, 12, 14

*: 入力信号の使用方法 (ECK/TGIN/TIN 信号) は、ベースタイマ x タイマ制御レジスタ (BTxTMCR) の設定によって異なります。

入出力モード 4 (タイマ起動 / 停止モード) のブロックダイアグラムを図 22.5-5 に示します。

図 22.5-5 入出力モード 4 (タイマ起動 / 停止モード) のブロックダイアグラム



入出力モード 4 の接続を表 22.5-15 に示します。

表 22.5-15 入出力モード 4 の接続

接続元	接続先
ch.n の TOUT 信号	<ul style="list-style-type: none"> ・ TIOAn 端子から出力 ・ TIN/TGIN/ECK および DTRG 信号として ch.n+1 に入力 ・ COUT 信号として他のチャンネルに出力
TIOBn 端子からの入力信号	TIN/TGIN/ECK 信号として ch.n に入力
ch.n+1 の TOUT 信号	TIOAn+1 端子から出力

n=0, 2, 4, 6, 8, 10, 12, 14

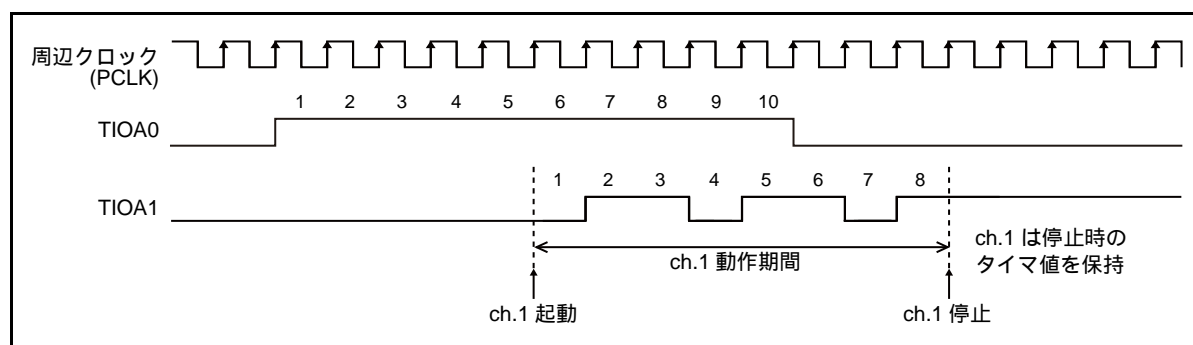
< 注意事項 >

- ・ ベースタイマ x タイマ制御レジスタ (BTxTMCR) の EGS1, EGS0 ビットで奇数チャンネルのトリガ入力エッジを立上りエッジ (EGS1, EGS0=01) に設定してください。
- ・ 奇数チャンネルは, DTRG 信号で立下りエッジが検出されると動作を停止します。

入出力モード 4 (タイマ起動 / 停止モード) 設定時の動作を ch.0 と ch.1 を PWM タイマとして使用する場合の設定を例にとって図 22.5-6 に示します。

レジスタ (ch.0)	設定値	レジスタ (ch.1)	設定値
ベースタイマ 0 周期設定レジスタ (BT0PCSR)	0010 _H	ベースタイマ 1 周期設定レジスタ (BT1PCSR)	0002 _H
ベースタイマ 0 デューティ設定レジスタ (BT0PDUT)	0009 _H	ベースタイマ 1 デューティ設定レジスタ (BT1PDUT)	0001 _H
ベースタイマ 0 タイマ制御レジスタ (BT0TMCR)	0013 _H	ベースタイマ 1 タイマ制御レジスタ (BT1TMCR)	0112 _H

図 22.5-6 入出力モード 4 (タイマ起動 / 停止モード) の動作例



22.5.6 入出力モード 5 (同時ソフト起動モード) 時の動作

同時ソフト起動レジスタ (BTSSSR) で複数のチャンネルを同時に起動できるモードです。

同時ソフト起動レジスタ (BTSSSR) で "1" を書き込んだビットに対応するチャンネルがすべて同時に起動します。

このモードに設定した場合に使用する外部端子を表 22.5-16 に示します。

表 22.5-16 使用する外部端子

	偶数チャンネル	奇数チャンネル
入力端子	使用しない	
出力端子	1 本	1 本

使用する外部端子の接続先と入出力信号について表 22.5-17 に示します。

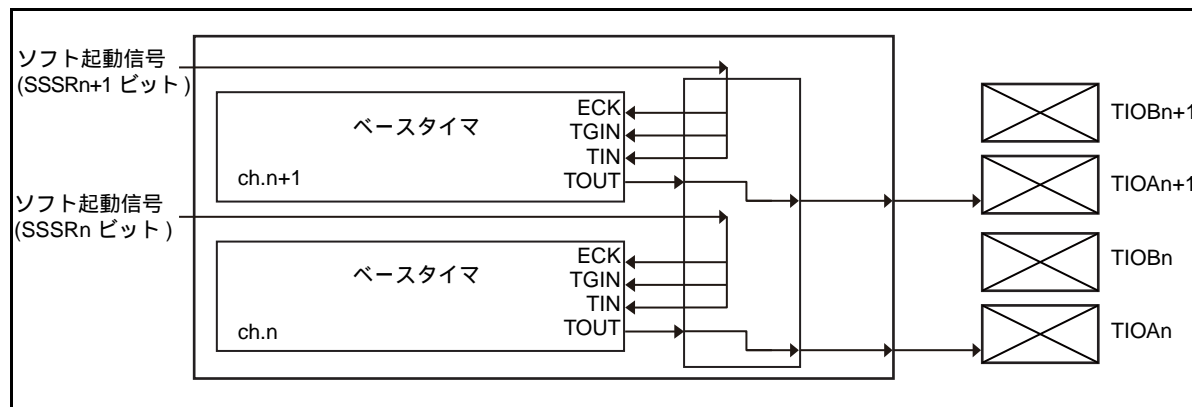
表 22.5-17 外部端子の接続先と入出力信号

外部端子	入出力	接続先 (内部信号)	入出力信号
TIOAn	出力	偶数チャンネルの TOUT	偶数チャンネルの波形を出力
TIOAn+1	出力	奇数チャンネルの TOUT	奇数チャンネルの波形を出力
TIOBn, TIOBn+1	-	-	使用しない

n=0, 2, 4, 6, 8, 10, 12, 14

入出力モード 5 (同時ソフト起動モード) のブロックダイアグラムを図 22.5-7 に示します。

図 22.5-7 入出力モード 5 (同時ソフト起動モード) のブロックダイアグラム



入出力モード 5 の接続を表 22.5-18 に示します。

表 22.5-18 入出力モード 5 の接続

接続元	接続先
ch.n の TOUT 信号	TIOAn 端子から出力
ソフト起動信号 (BTSSSR の SSSRn ビットへの "1" 書込み)	TIN/TGIN/ECK 信号として ch.n に入力
ch.n+1 の TOUT 信号	TIOAn+1 端子から出力
ソフト起動信号 (BTSSSR の SSSRn+1 ビットへの "1" 書込み)	TIN/TGIN/ECK 信号として ch.n+1 に入力

n=0, 2, 4, 6, 8, 10, 12, 14

BTSSSR : 同時ソフト起動レジスタ (BTSSSR)

同時ソフト起動レジスタ (BTSSSR) で "1" を書き込むと、書き込んだビットに対応するチャンネルに立上りエッジが入力 (ECK/TGIN/TIN 信号) されます。

< 注意事項 >

ベースタイマ×タイマ制御レジスタ (BTxTMCR) の EGS1, EGS0 ビットでトリガ入力エッジを立上りエッジ (EGS1, EGS0=01) に設定してください。

22.5.7 入出力モード 6 (ソフト起動タイマ起動 / 停止モード) 時の動作

偶数チャンネルで奇数チャンネルの起動 / 停止を制御できるモードです。

偶数チャンネルは、同時ソフト起動レジスタ (BTSSSR) に "1" を書き込んで起動します。

奇数チャンネルは、偶数チャンネルの出力波形 (TOUT 信号) で立上りエッジを検出すると起動し、立下りエッジを検出すると停止します。

このモードに設定した場合に使用する外部端子を表 22.5-19 に示します。

表 22.5-19 使用する外部端子

	偶数チャンネル	奇数チャンネル
入力端子	使用しない	
出力端子	1 本	1 本

使用する外部端子の接続先と入出力信号について表 22.5-20 に示します。

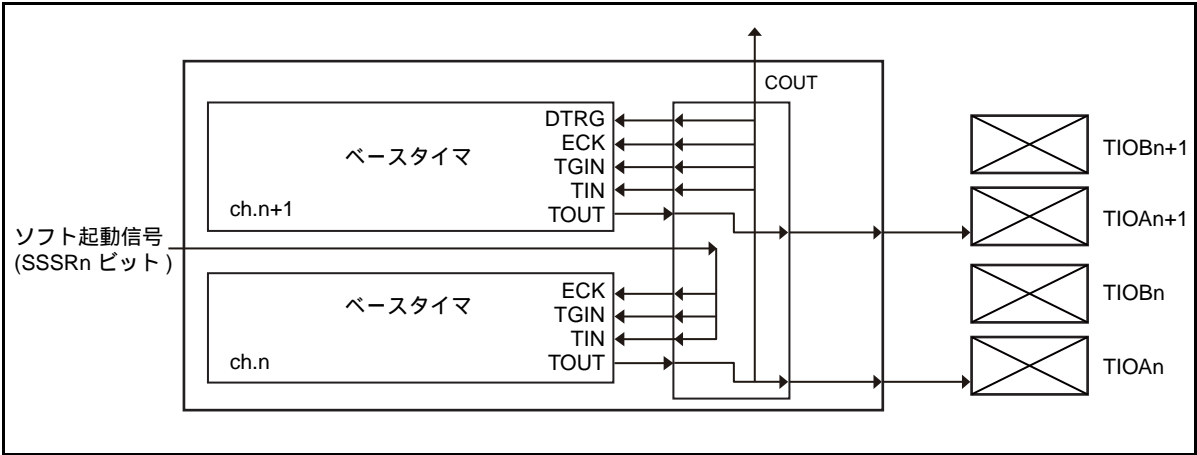
表 22.5-20 外部端子の接続先と入出力信号

端子	入出力	接続先 (内部信号)	入出力信号
TIOAn	出力	偶数チャンネルの TOUT	偶数チャンネルの波形を出力
TIOAn+1	出力	奇数チャンネルの TOUT	奇数チャンネルの波形を出力
TIOBn, TIOBn+1	-	-	使用しない

n=0, 2, 4, 6, 8, 10, 12, 14

入出力モード 6 (ソフト起動タイマ起動 / 停止モード) のブロックダイアグラムを図 22.5-8 に示します。

図 22.5-8 入出力モード 6 (ソフト起動タイマ起動 / 停止モード) のブロックダイアグラム



入出力モード 6 の接続を表 22.5-21 に示します。

表 22.5-21 入出力モード 6 の接続

接続元	接続先
ch.n の TOUT 信号	・ TIOAn 端子から出力 ・ TIN/TGIN/ECK/DTRG 信号として ch.n+1 に入力 ・ COUT 信号として他のチャンネルに出力
ソフト起動信号 (BTSSSR の SSSRn ビットへの "1" 書込み)	TIN/TGIN/ECK 信号として ch.n に入力
ch.n+1 の TOUT 信号	TIOAn+1 端子から出力

n=0, 2, 4, 6, 8, 10, 12, 14

BTSSSR : 同時ソフト起動レジスタ (BTSSSR)

同時ソフト起動レジスタ (BTSSSR) で起動したい偶数チャンネルに対応するビットに "1" を書き込むと、対応チャンネルに立上りエッジが入力 (ECK, TGIN, TIN 信号) されます。
ch.n の起動 / 停止タイミングは入出力モード 4 と同じです。

< 注意事項 >

- ベースタイマ x タイマ制御レジスタ (BTxTMCR) の EGS1, EGS0 ビットでトリガ入力エッジを立上りエッジ (EGS1, EGS0=01) に設定してください。
- 奇数チャンネルは、DTRG 信号で立下りエッジが検出されると動作を停止します。

22.5.8 入出力モード 7 (タイマ起動モード) 時の動作

偶数チャンネルの出力波形 (TOUT 信号) を奇数チャンネルの入力信号 (ECK/TGIN/TIN 信号) として使用するモードです。

このモードに設定した場合に使用する外部端子を表 22.5-22 に示します。

表 22.5-22 使用する外部端子

	偶数チャンネル	奇数チャンネル
入力端子	1 本	使用しない
出力端子	1 本	1 本

使用する外部端子の接続先と入出力信号について表 22.5-23 に示します。

表 22.5-23 外部端子の接続先と入出力信号

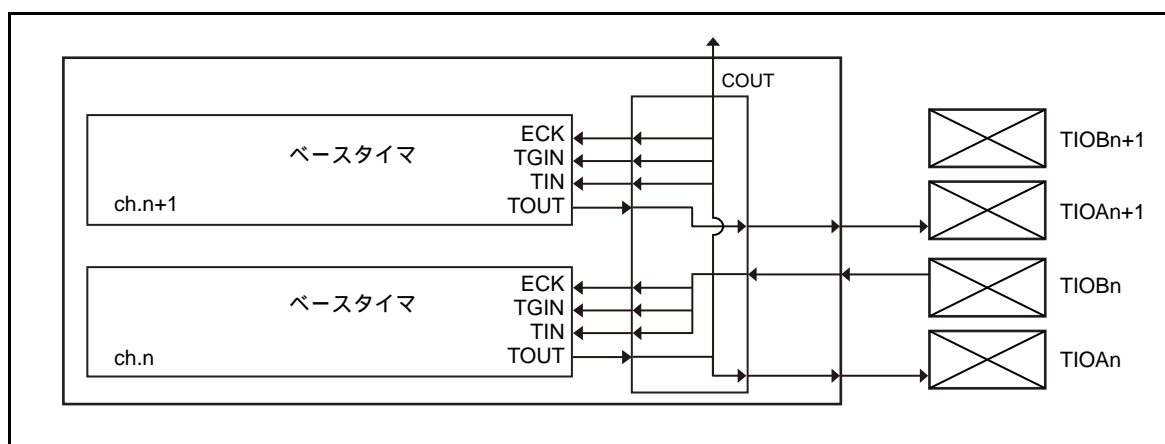
外部端子	入出力	接続先 (内部信号)	入出力信号
TIOAn	出力	偶数チャンネルの TOUT	偶数チャンネルの波形を出力
TIOAn+1	出力	奇数チャンネルの TOUT	奇数チャンネルの波形を出力
TIOBn	入力	偶数チャンネルの ECK/TGIN/TIN*	偶数チャンネルに入力し、次のいずれかとして使用 ・外部クロック (ECK 信号) ・外部起動トリガ (TGIN 信号) ・測定する波形 (TIN 信号)
TIOBn+1	-	-	使用しない

n=0, 2, 4, 6, 8, 10, 12, 14

*: 入力信号の使用方法 (ECK/TGIN/TIN 信号) は、ベースタイマ x タイマ制御レジスタ (BTxTMCR) の設定によって異なります。

入出力モード 7 (タイマ起動モード) 時のブロックダイアグラムを図 22.5-9 に示します。

図 22.5-9 入出力モード 7 (タイマ起動モード) 時のブロックダイアグラム



入出力モード 7 の接続を表 22.5-24 に示します。

表 22.5-24 入出力モード 7 の接続

接続元	接続先
ch.n の TOUT 信号	<ul style="list-style-type: none"> ・ TIOAn 端子から出力 ・ TIN/TGIN/ECK 信号として ch.n+1 に入力 ・ COUT 信号として他のチャンネルに出力
TIOBn 端子からの入力信号	TIN/TGIN/ECK 信号として ch.n に入力
ch.n+1 の TOUT 信号	TIOAn+1 端子から出力

n=0, 2, 4, 6, 8, 10, 12, 14

ch.n の起動タイミングは入出力モード 4 と同じです。

22.5.9 入出力モード 8 (他チャンネルトリガ共有タイマ起動 / 停止モード) 時の動作

2 チャンネル下位側のチャンネルの COUT 信号を CIN 信号として入力し，外部起動トリガ (TGIN 信号) として使用するモードです。

このモードに設定した場合に使用する外部端子を表 22.5-25 に示します。

表 22.5-25 使用する外部端子

	偶数チャンネル	奇数チャンネル
入力端子	使用しない	
出力端子	1 本	1 本

使用する外部端子の接続先と入出力信号について表 22.5-26 に示します。

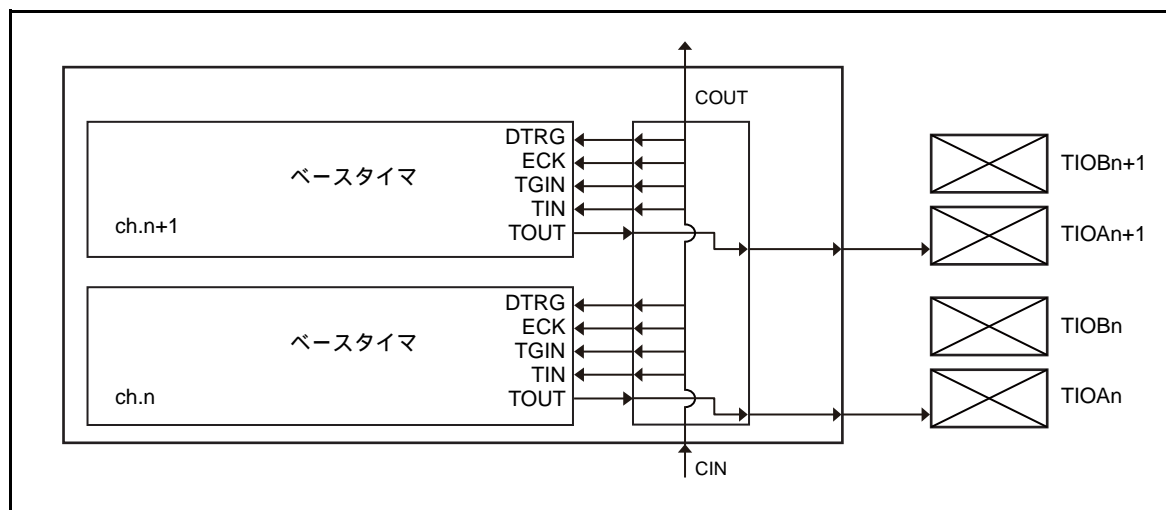
表 22.5-26 外部端子の接続先と入出力信号

外部端子	入出力	接続先 (内部信号)	入出力信号
TIOAn	出力	偶数チャンネルの TOUT	偶数チャンネルの波形を出力
TIOAn+1	出力	奇数チャンネルの TOUT	奇数チャンネルの波形を出力
TIOBn, TIOBn+1	-	-	使用しない

n=2, 4, 6, 8, 10, 12, 14

入出力モード 8 (他チャネルトリガ共有タイマ起動 / 停止モード) のブロックダイアグラムを図 22.5-10 に示します。

図 22.5-10 入出力モード 8
(他チャネルトリガ共有タイマ起動 / 停止モード) のブロックダイアグラム



入出力モード 8 の接続を表 22.5-27 に示します。

表 22.5-27 入出力モード 8 の接続

接続元	接続先
ch.n の TOUT 信号	TIOAn 端子から出力
CIN 信号 *	・TIN/TGIN/ECK 信号および DTRG 信号として ch.n と ch.n+1 に入力 ・COUT 信号として他のチャネルに出力

n=2, 4, 6, 8, 10, 12, 14

*: 他のチャネルの COUT 信号を CIN 信号として入力します。

ch.n/n+1 の ECK, TGIN, TIN に入力できる ch.n-2/n-1 の信号は以下のとおりです。

- ・入出力モード 2 時の TIOBn-2 入力を周辺クロックで同期化した信号
- ・入出力モード 3 時の ch.n-4/n-3 から入力されるトリガ信号
- ・入出力モード 4 時の TIOAn-2 出力
- ・入出力モード 6 時の TIOAn-2 出力
- ・入出力モード 7 時の TIOAn-2 出力
- ・入出力モード 8 時の ch.n-4/n-3 から入力されるトリガ信号

< 注意事項 >

- このモードに設定したチャンネルは、2チャンネル下位側 (n-2, n-1) の COUT 信号を CIN 信号として入力して使用します。
(例：ch.2, ch.3 をこのモードに設定すると ch.0, ch.1 の COUT 信号を使用)
そのため、ch.0 および ch.1 をこのモードに設定することはできません。
 - このモードに設定したチャンネルは、ベースタイマ x タイマ制御レジスタ (BTxTMCR) の EGS1, EGS0 ビットでトリガ入力エッジを立上りエッジ (EGS1, EGS0=01) に設定してください。
ただし、ベースタイマ x タイマ制御レジスタ (BTxTMCR) の FMD2 ~ FMD0 ビットでタイマ機能を 16/32 ビット PWC タイマに設定 (FMD2 ~ FMD0=100) した場合を除きます。
 - 奇数チャンネルは、DTRG 信号で立下りエッジが検出されると動作を停止します。
-

第 23 章 ベースタイマ

ベースタイマの概要，レジスタの構成 / 機能，および動作について説明します。

- 23.1 ベースタイマの概要
- 23.2 ベースタイマのブロックダイアグラム
- 23.3 ベースタイマのレジスタ
- 23.4 ベースタイマの動作
- 23.5 32 ビットモード動作
- 23.6 ベースタイマの使用上の注意
- 23.7 ベースタイマ割込み
- 23.8 ベースタイマの機能別説明

23.1 ベースタイマの概要

ベースタイマは、タイマ制御レジスタの FMD2, FMD1, FMD0 ビットの設定により、16 ビット PWM タイマ、16 ビット PPG タイマ、16/32 ビットリロードタイマ、16/32 ビット PWC タイマの中からタイマ機能を 1 つだけ選択することができます。設定可能な各種タイマ機能の概要を以下に示します。本シリーズは 16ch 搭載しています。

■ モード設定と各種タイマ機能の関係

FMD2, FMD1, FMD0 ビット設定	機能
000 _B	リセットモード
001 _B	16 ビット PWM タイマ
010 _B	16 ビット PPG タイマ
011 _B	16/32 ビットリロードタイマ
100 _B	16/32 ビット PWC タイマ

■ リセットモード

このモードの設定時に、ベースタイマのマクロをリセットした状態（各レジスタは初期値）とします。別のタイマ機能や、T32 ビット設定を切り換えるとき、いったん、このモードに設定してから別のタイマ機能や T32 ビットを設定してください。ただし、リセット後ならば本モードの設定なしにタイマ機能や T32 ビットの設定は可能です。

■ 16 ビット PWM タイマ

16 ビットのダウンカウンタ、周期設定用バッファ付き 16 ビットのデータレジスタ、デューティ設定用バッファ付き 16 ビットのコンペアレジスタ、端子制御部で構成されます。

周期、デューティのデータはバッファ付きレジスタに格納するため、タイマ動作中に書換えが可能です。

16 ビットのダウンカウンタのカウントクロックは、内部クロック 5 種類（周辺クロック (PCLK) の 1/4/16/128/256 分周）と、外部イベント 3 種類（立上りエッジ、立下りエッジ、両エッジ検出）から選択できます。

アンダフローでカウントを停止するワンショットモードと再ロードしてカウントを繰り返す連続モードを選択できます。

起動はソフトウェアトリガと外部イベント 3 種類（立上りエッジ、立下りエッジ、両エッジ検出）から選択できます。

■ 16 ビット PPG タイマ

16 ビットのダウンカウンタ, "H" 幅設定用 16 ビットのデータレジスタ, "L" 幅設定用 16 ビットのデータレジスタ, 端子制御部で構成されます。

16 ビットのダウンカウンタのカウントクロックは, 内部クロック 5 種類 (周辺クロック (PCLK) の 1/4/16/128/256 分周) と, 外部イベント 3 種類 (立上りエッジ, 立下りエッジ, 両エッジ検出) から選択できます。

アンドフローでカウントを停止するワンショットモードと再ロードしてカウントを繰り返す連続モードを選択できます。

起動はソフトウェアトリガと外部イベント 3 種類 (立上りエッジ, 立下りエッジ, 両エッジ検出) から選択できます。

■ 16/32 ビットリロードタイマ

16 ビットのダウンカウンタ, 16 ビットのリロードレジスタ, 端子制御部で構成されます。

16 ビットのダウンカウンタのカウントクロックは, 内部クロック 5 種類 (周辺クロック (PCLK) の 1/4/16/128/256 分周) と, 外部イベント 3 種類 (立上りエッジ, 立下りエッジ, 両エッジ検出) から選択できます。

アンドフローでカウントを停止するワンショットモードと再ロードしてカウントを繰り返す連続モードを選択できます。

起動はソフトウェアトリガと外部イベント 3 種類 (立上りエッジ, 立下りエッジ, 両エッジ検出) から選択できます。

■ 16/32 ビット PWC タイマ

16 ビットのアップカウンタ, 測定入力端子, 制御レジスタで構成されます。

外部からのパルス入力で, 任意イベント間の時間を測定します。

基準となるカウントクロックは, 内部クロック 5 種類 (周辺クロック (PCLK) の 1/4/16/128/256 分周) から選択できます。

各種測定モード "H" パルス幅 (~) / "L" パルス幅 (~)
立上り周期 (~) / 立下り周期 (~)
エッジ間測定 (または ~ または)

測定終了時に割込み要求を発生することが可能です。

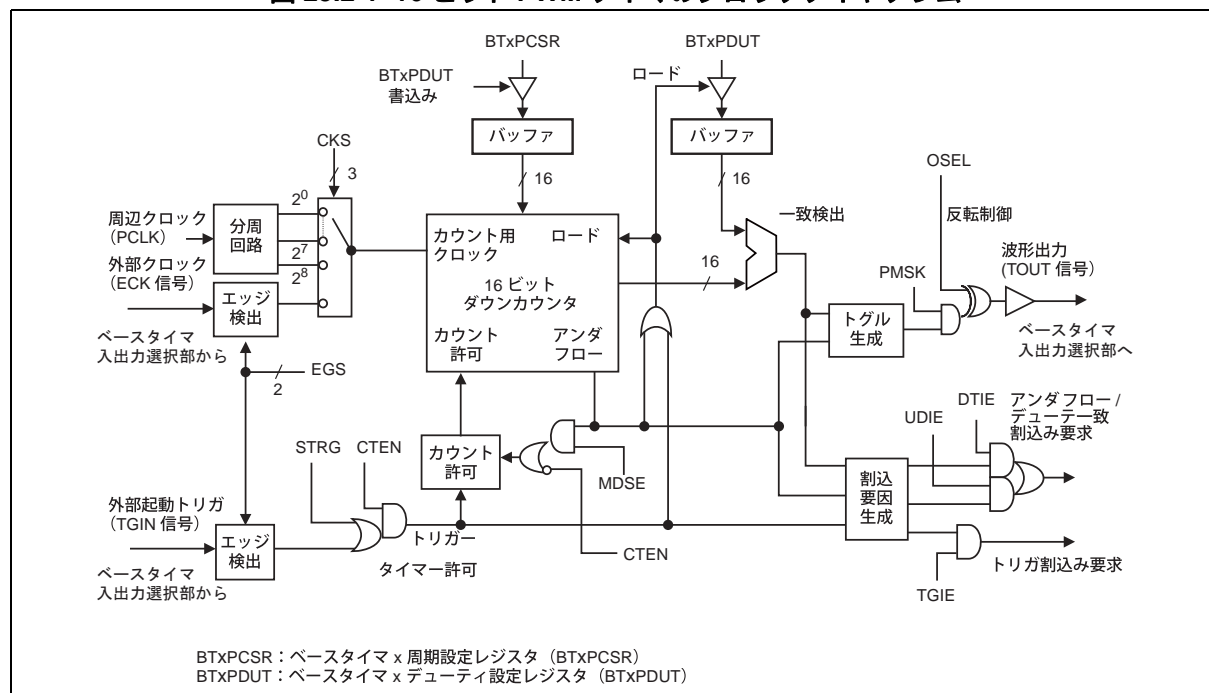
1 回のみの測定か, 連続測定かを選択することが可能です。

23.2 ベースタイマのブロックダイアグラム

ベースタイマの各モード別にブロックダイアグラムを示します。

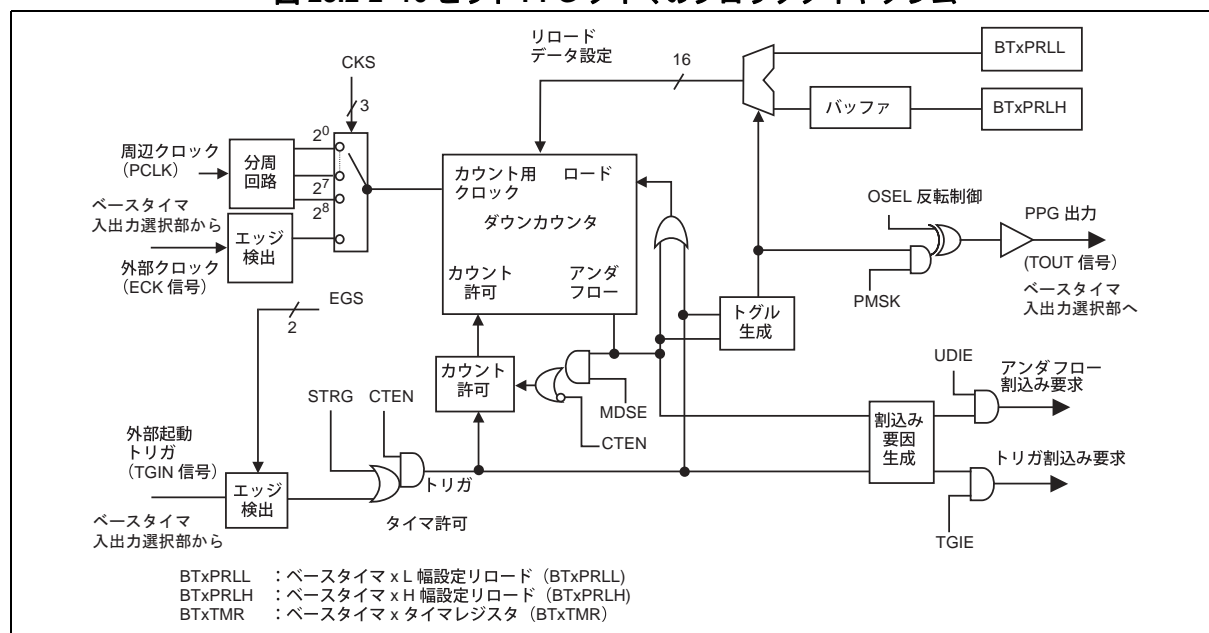
■ 16 ビット PWM タイマのブロックダイアグラム

図 23.2-1 16 ビット PWM タイマのブロックダイアグラム



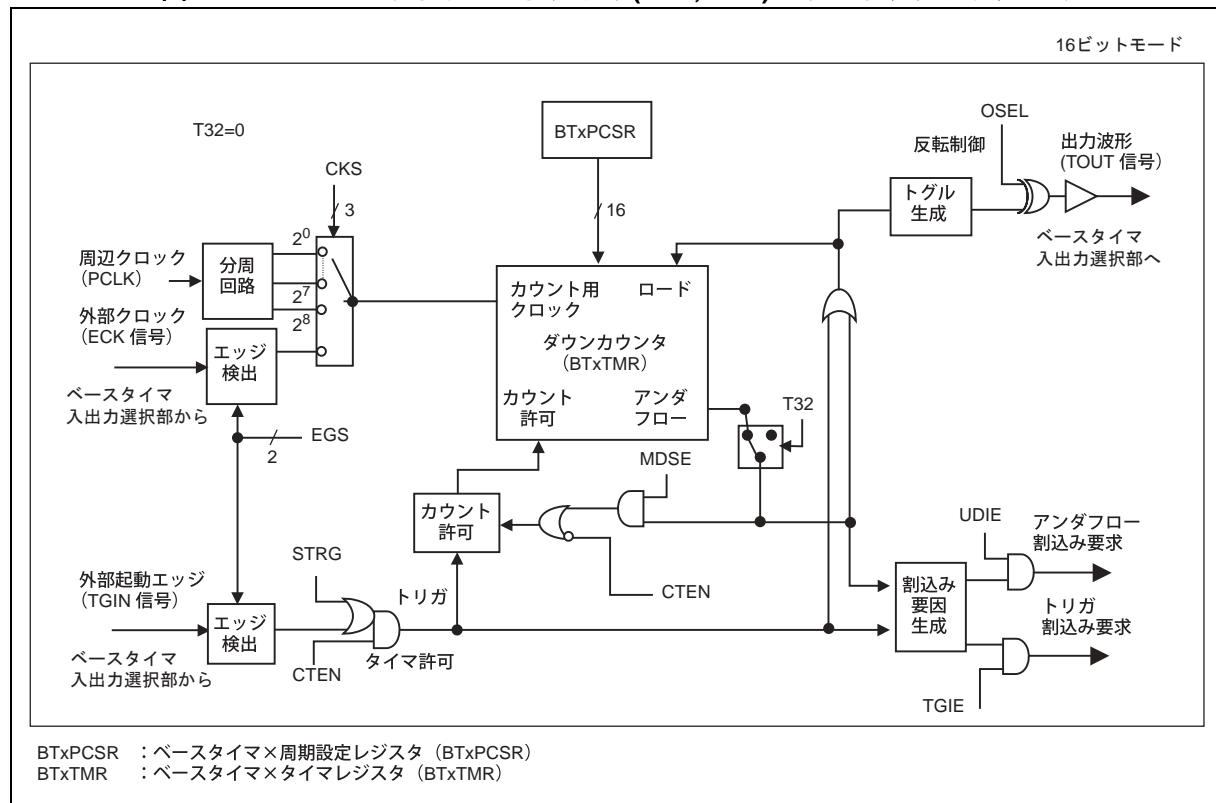
■ 16 ビット PPG タイマのブロックダイアグラム

図 23.2-2 16 ビット PPG タイマのブロックダイアグラム



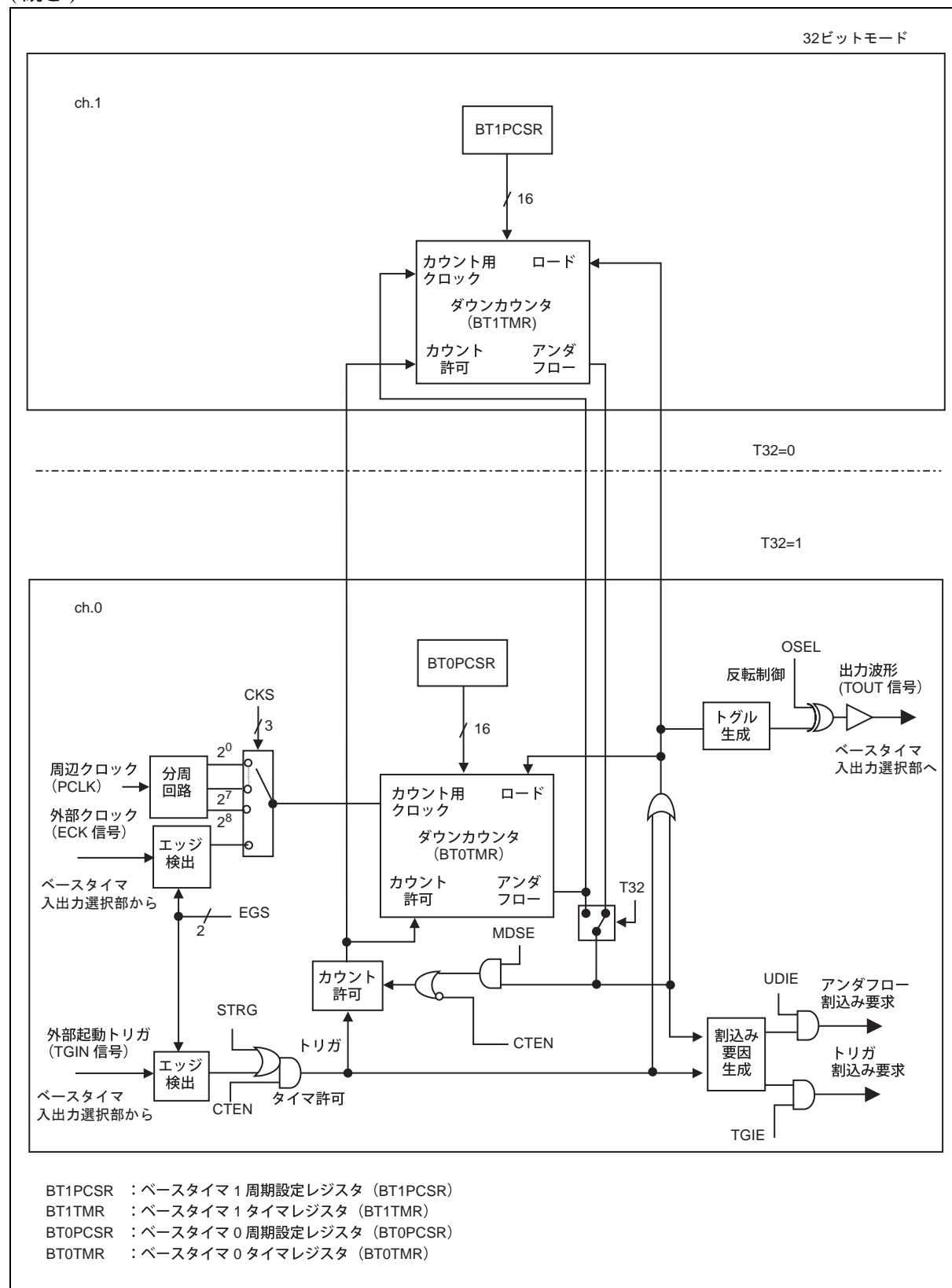
■ 16/32 ビットリロードタイマ (ch.1, ch.0) のブロックダイアグラム

図 23.2-3 16/32 ビットリロードタイマ (ch.1, ch.0) のブロックダイアグラム



(続く)

(続き)

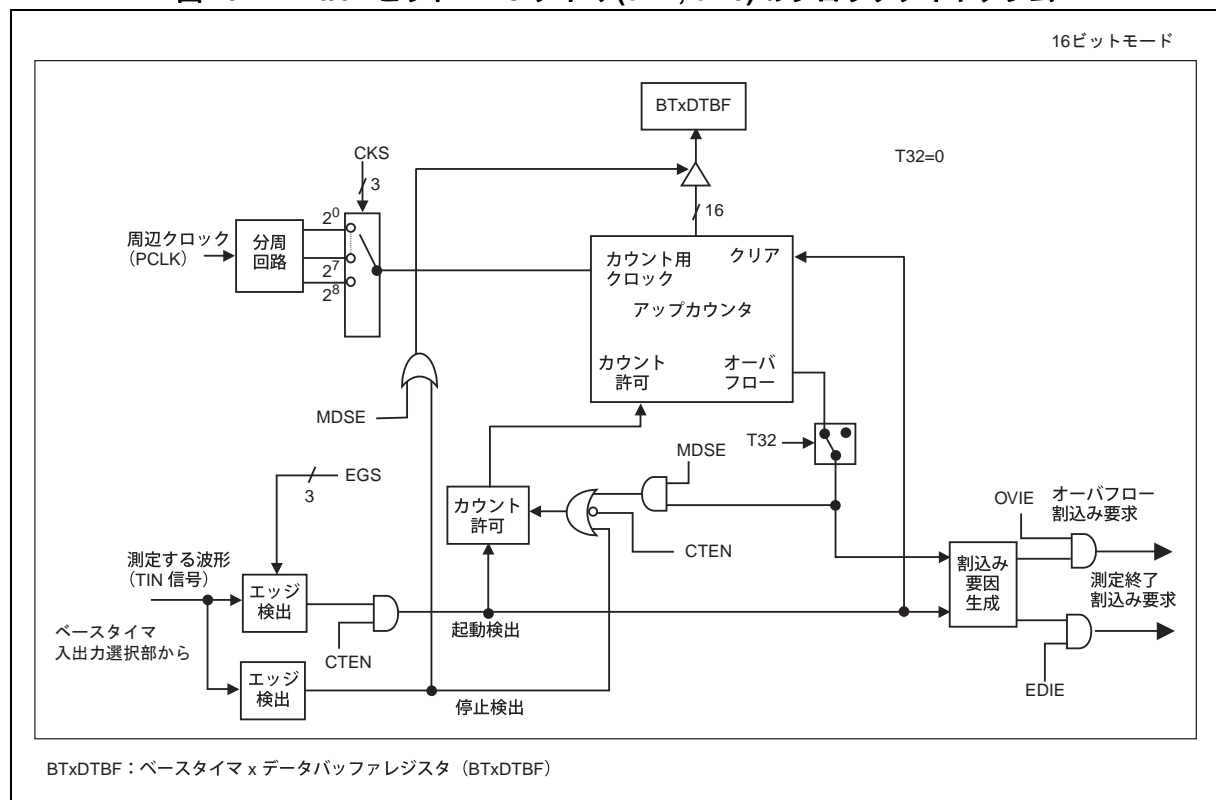


< 注意事項 >

- 32 ビット動作は ch.0 と ch.1 との間, ch.2 と ch.3 との間, ch.4 と ch.5 との間, ch.6 と ch.7 との間, ch.8 と ch.9 との間, ch.10 と ch.11 との間, ch.12 と ch.13 との間, ch.14 と ch.15 との間のみで可能です。これ以外の組合せにおける 32 ビット動作はできません。
- 本機能は同時起動をサポートしています。詳細は「第 22 章 ベースタイマ 入出力選択機能」を参照してください。

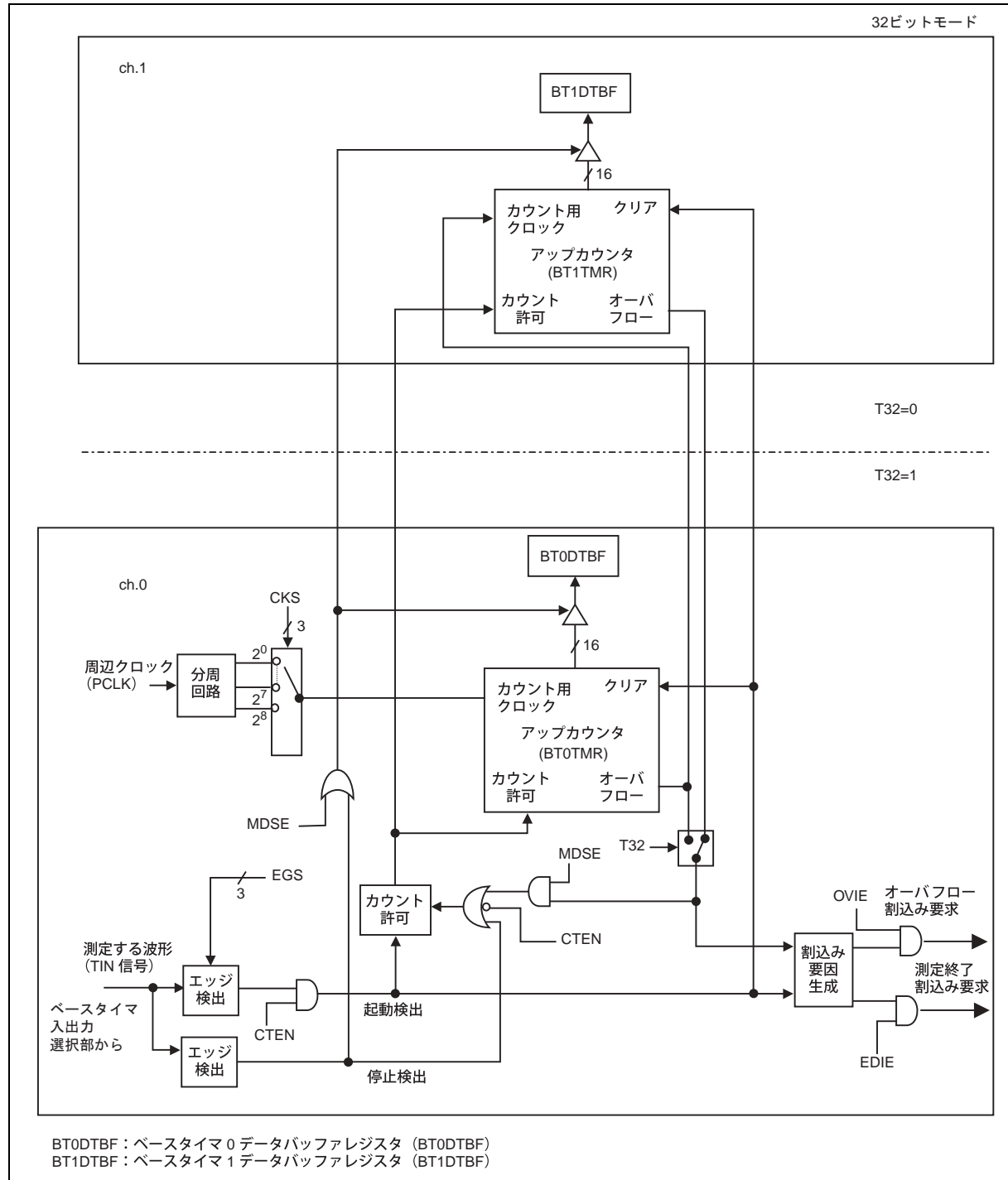
■ 16/32 ビット PWC タイマ (ch.1, ch.0) のブロックダイアグラム

図 23.2-4 16/32 ビット PWC タイマ (ch.1, ch.0) のブロックダイアグラム



(続く)

(続き)



< 注意事項 >

- 32 ビット動作は ch.0 と ch.1 との間, ch.2 と ch.3 との間, ch.4 と ch.5 との間, ch.6 と ch.7 との間, ch.8 と ch.9 との間, ch.10 と ch.11 との間, ch.12 と ch.13 との間, ch.14 と ch.15 との間のみで可能です。これ以外の組合せにおける 32 ビット動作はできません。
- 本機能は同時起動をサポートしています。詳細は「第 22 章 ベースタイム 入出力選択機能」を参照してください。

23.3 ベースタイマのレジスタ

ベースタイマのレジスタ一覧と各モード別のビット構成を示します。

■ ベースタイマのレジスタ一覧

表 23.3-1 16 ビット PWM タイマのレジスタ一覧 (1 / 3)

チャンネル	レジスタ略称	レジスタ名	参照先
共通	BTSSSR	同時ソフト起動レジスタ	22.4.5
0 ~ 3 共通	BTSEL0123	入出力選択レジスタ 0123	22.4.1
4 ~ 7 共通	BTSEL4567	入出力選択レジスタ 4567	22.4.2
8 ~ 11 共通	BTSEL89AB	入出力選択レジスタ 89AB	22.4.3
12 ~ 15 共通	BTSELCDEF	入出力選択レジスタ CDEF	22.4.4
0	BT0TMCR	ベースタイマ 0 タイマ制御レジスタ	23.8.1.1
	BT0STC	ベースタイマ 0 ステータス制御レジスタ	23.8.1.1
	BT0PCSR	ベースタイマ 0 周期設定レジスタ	23.8.1.2
	BT0PDUT	ベースタイマ 0 デューティ設定レジスタ	23.8.1.3
	BT0TMR	ベースタイマ 0 タイマレジスタ	23.8.1.4
1	BT1TMCR	ベースタイマ 1 タイマ制御レジスタ	23.8.1.1
	BT1STC	ベースタイマ 1 ステータス制御レジスタ	23.8.1.1
	BT1PCSR	ベースタイマ 1 周期設定レジスタ	23.8.1.2
	BT1PDUT	ベースタイマ 1 デューティ設定レジスタ	23.8.1.3
	BT1TMR	ベースタイマ 1 タイマレジスタ	23.8.1.4
2	BT2TMCR	ベースタイマ 2 タイマ制御レジスタ	23.8.1.1
	BT2STC	ベースタイマ 2 ステータス制御レジスタ	23.8.1.1
	BT2PCSR	ベースタイマ 2 周期設定レジスタ	23.8.1.2
	BT2PDUT	ベースタイマ 2 デューティ設定レジスタ	23.8.1.3
	BT2TMR	ベースタイマ 2 タイマレジスタ	23.8.1.4
3	BT3TMCR	ベースタイマ 3 タイマ制御レジスタ	23.8.1.1
	BT3STC	ベースタイマ 3 ステータス制御レジスタ	23.8.1.1
	BT3PCSR	ベースタイマ 3 周期設定レジスタ	23.8.1.2
	BT3PDUT	ベースタイマ 3 デューティ設定レジスタ	23.8.1.3
	BT3TMR	ベースタイマ 3 タイマレジスタ	23.8.1.4
4	BT4TMCR	ベースタイマ 4 タイマ制御レジスタ	23.8.1.1
	BT4STC	ベースタイマ 4 ステータス制御レジスタ	23.8.1.1
	BT4PCSR	ベースタイマ 4 周期設定レジスタ	23.8.1.2
	BT4PDUT	ベースタイマ 4 デューティ設定レジスタ	23.8.1.3
	BT4TMR	ベースタイマ 4 タイマレジスタ	23.8.1.4

表 23.3-1 16 ビット PWM タイマのレジスタ一覧 (2 / 3)

チャンネル	レジスタ略称	レジスタ名	参照先
5	BT5TMCR	ベースタイム 5 タイマ制御レジスタ	23.8.1.1
	BT5STC	ベースタイム 5 ステータス制御レジスタ	23.8.1.1
	BT5PCSR	ベースタイム 5 周期設定レジスタ	23.8.1.2
	BT5PDUT	ベースタイム 5 デューティ設定レジスタ	23.8.1.3
	BT5TMR	ベースタイム 5 タイマレジスタ	23.8.1.4
6	BT6TMCR	ベースタイム 6 タイマ制御レジスタ	23.8.1.1
	BT6STC	ベースタイム 6 ステータス制御レジスタ	23.8.1.1
	BT6PCSR	ベースタイム 6 周期設定レジスタ	23.8.1.2
	BT6PDUT	ベースタイム 6 デューティ設定レジスタ	23.8.1.3
	BT6TMR	ベースタイム 6 タイマレジスタ	23.8.1.4
7	BT7TMCR	ベースタイム 7 タイマ制御レジスタ	23.8.1.1
	BT7STC	ベースタイム 7 ステータス制御レジスタ	23.8.1.1
	BT7PCSR	ベースタイム 7 周期設定レジスタ	23.8.1.2
	BT7PDUT	ベースタイム 7 デューティ設定レジスタ	23.8.1.3
	BT7TMR	ベースタイム 7 タイマレジスタ	23.8.1.4
8	BT8TMCR	ベースタイム 8 タイマ制御レジスタ	23.8.1.1
	BT8STC	ベースタイム 8 ステータス制御レジスタ	23.8.1.1
	BT8PCSR	ベースタイム 8 周期設定レジスタ	23.8.1.2
	BT8PDUT	ベースタイム 8 デューティ設定レジスタ	23.8.1.3
	BT8TMR	ベースタイム 8 タイマレジスタ	23.8.1.4
9	BT9TMCR	ベースタイム 9 タイマ制御レジスタ	23.8.1.1
	BT9STC	ベースタイム 9 ステータス制御レジスタ	23.8.1.1
	BT9PCSR	ベースタイム 9 周期設定レジスタ	23.8.1.2
	BT9PDUT	ベースタイム 9 デューティ設定レジスタ	23.8.1.3
	BT9TMR	ベースタイム 9 タイマレジスタ	23.8.1.4
10	BTATMCR	ベースタイム 10 タイマ制御レジスタ	23.8.1.1
	BTASTC	ベースタイム 10 ステータス制御レジスタ	23.8.1.1
	BTAPCSR	ベースタイム 10 周期設定レジスタ	23.8.1.2
	BTAPDUT	ベースタイム 10 デューティ設定レジスタ	23.8.1.3
	BTATMR	ベースタイム 10 タイマレジスタ	23.8.1.4
11	BTBTMCR	ベースタイム 11 タイマ制御レジスタ	23.8.1.1
	BTBSTC	ベースタイム 11 ステータス制御レジスタ	23.8.1.1
	BTBPCSR	ベースタイム 11 周期設定レジスタ	23.8.1.2
	BTBPDUT	ベースタイム 11 デューティ設定レジスタ	23.8.1.3
	BTBTMR	ベースタイム 11 タイマレジスタ	23.8.1.4
12	BTCTMCR	ベースタイム 12 タイマ制御レジスタ	23.8.1.1
	BTCSTC	ベースタイム 12 ステータス制御レジスタ	23.8.1.1
	BTCPCSR	ベースタイム 12 周期設定レジスタ	23.8.1.2
	BTCPDUT	ベースタイム 12 デューティ設定レジスタ	23.8.1.3
	BTCTMR	ベースタイム 12 タイマレジスタ	23.8.1.4

表 23.3-1 16 ビット PWM タイマのレジスタ一覧 (3 / 3)

チャンネル	レジスタ略称	レジスタ名	参照先
13	BTDTMCR	ベースタイム 13 タイマ制御レジスタ	23.8.1.1
	BTDSTC	ベースタイム 13 ステータス制御レジスタ	23.8.1.1
	BTDPCSR	ベースタイム 13 周期設定レジスタ	23.8.1.2
	BTDPDUT	ベースタイム 13 デューティ設定レジスタ	23.8.1.3
	BTDTMR	ベースタイム 13 タイマレジスタ	23.8.1.4
14	BTETMCR	ベースタイム 14 タイマ制御レジスタ	23.8.1.1
	BTESTC	ベースタイム 14 ステータス制御レジスタ	23.8.1.1
	BTEPCSR	ベースタイム 14 周期設定レジスタ	23.8.1.2
	BTEPDUT	ベースタイム 14 デューティ設定レジスタ	23.8.1.3
	BTETMR	ベースタイム 14 タイマレジスタ	23.8.1.4
15	BTFTMCR	ベースタイム 15 タイマ制御レジスタ	23.8.1.1
	BTFSTC	ベースタイム 15 ステータス制御レジスタ	23.8.1.1
	BTFPCSR	ベースタイム 15 周期設定レジスタ	23.8.1.2
	BTFPDUT	ベースタイム 15 デューティ設定レジスタ	23.8.1.3
	BTFTMR	ベースタイム 15 タイマレジスタ	23.8.1.4

表 23.3-2 16 ビット PPG タイマのレジスタ一覧 (1 / 3)

チャンネル	レジスタ略称	レジスタ名	参照先
共通	BTSSSR	同時ソフト起動レジスタ	22.4.5
0 ~ 3 共通	BTSEL0123	入出力選択レジスタ 0123	22.4.1
4 ~ 7 共通	BTSEL4567	入出力選択レジスタ 4567	22.4.2
8 ~ 11 共通	BTSEL89AB	入出力選択レジスタ 89AB	22.4.3
12 ~ 15 共通	BTSELCDEF	入出力選択レジスタ CDEF	22.4.4
0	BT0TMCR	ベースタイム 0 タイマ制御レジスタ	23.8.2.1
	BT0STC	ベースタイム 0 ステータス制御レジスタ	23.8.2.1
	BT0PRL	ベースタイム 0L 幅設定リロードレジスタ	23.8.2.2
	BT0PRLH	ベースタイム 0H 幅設定リロードレジスタ	23.8.2.3
	BT0TMR	ベースタイム 0 タイマレジスタ	23.8.2.4
1	BT1TMCR	ベースタイム 1 タイマ制御レジスタ	23.8.2.1
	BT1STC	ベースタイム 1 ステータス制御レジスタ	23.8.2.1
	BT1PRL	ベースタイム 1L 幅設定リロードレジスタ	23.8.2.2
	BT1PRLH	ベースタイム 1H 幅設定リロードレジスタ	23.8.2.3
	BT1TMR	ベースタイム 1 タイマレジスタ	23.8.2.4
2	BT2TMCR	ベースタイム 2 タイマ制御レジスタ	23.8.2.1
	BT2STC	ベースタイム 2 ステータス制御レジスタ	23.8.2.1
	BT2PRL	ベースタイム 2L 幅設定リロードレジスタ	23.8.2.2
	BT2PRLH	ベースタイム 2H 幅設定リロードレジスタ	23.8.2.3
	BT2TMR	ベースタイム 2 タイマレジスタ	23.8.2.4

表 23.3-2 16 ビット PPG タイマのレジスタ一覧 (2 / 3)

チャンネル	レジスタ略称	レジスタ名	参照先
3	BT3TMCR	ベースタイム 3 タイマ制御レジスタ	23.8.2.1
	BT3STC	ベースタイム 3 ステータス制御レジスタ	23.8.2.1
	BT3PRL	ベースタイム 3L 幅設定リロードレジスタ	23.8.2.2
	BT3PRLH	ベースタイム 3H 幅設定リロードレジスタ	23.8.2.3
	BT3TMR	ベースタイム 3 タイマレジスタ	23.8.2.4
4	BT4TMCR	ベースタイム 4 タイマ制御レジスタ	23.8.2.1
	BT4STC	ベースタイム 4 ステータス制御レジスタ	23.8.2.1
	BT4PRL	ベースタイム 4L 幅設定リロードレジスタ	23.8.2.2
	BT4PRLH	ベースタイム 4H 幅設定リロードレジスタ	23.8.2.3
	BT4TMR	ベースタイム 4 タイマレジスタ	23.8.2.4
5	BT5TMCR	ベースタイム 5 タイマ制御レジスタ	23.8.2.1
	BT5STC	ベースタイム 5 ステータス制御レジスタ	23.8.2.1
	BT5PRL	ベースタイム 5L 幅設定リロードレジスタ	23.8.2.2
	BT5PRLH	ベースタイム 5H 幅設定リロードレジスタ	23.8.2.3
	BT5TMR	ベースタイム 5 タイマレジスタ	23.8.2.4
6	BT6TMCR	ベースタイム 6 タイマ制御レジスタ	23.8.2.1
	BT6STC	ベースタイム 6 ステータス制御レジスタ	23.8.2.1
	BT6PRL	ベースタイム 6L 幅設定リロードレジスタ	23.8.2.2
	BT6PRLH	ベースタイム 6H 幅設定リロードレジスタ	23.8.2.3
	BT6TMR	ベースタイム 6 タイマレジスタ	23.8.2.4
7	BT7TMCR	ベースタイム 7 タイマ制御レジスタ	23.8.2.1
	BT7STC	ベースタイム 7 ステータス制御レジスタ	23.8.2.1
	BT7PRL	ベースタイム 7L 幅設定リロードレジスタ	23.8.2.2
	BT7PRLH	ベースタイム 7H 幅設定リロードレジスタ	23.8.2.3
	BT7TMR	ベースタイム 7 タイマレジスタ	23.8.2.4
8	BT8TMCR	ベースタイム 8 タイマ制御レジスタ	23.8.2.1
	BT8STC	ベースタイム 8 ステータス制御レジスタ	23.8.2.1
	BT8PRL	ベースタイム 8L 幅設定リロードレジスタ	23.8.2.2
	BT8PRLH	ベースタイム 8H 幅設定リロードレジスタ	23.8.2.3
	BT8TMR	ベースタイム 8 タイマレジスタ	23.8.2.4
9	BT9TMCR	ベースタイム 9 タイマ制御レジスタ	23.8.2.1
	BT9STC	ベースタイム 9 ステータス制御レジスタ	23.8.2.1
	BT9PRL	ベースタイム 9L 幅設定リロードレジスタ	23.8.2.2
	BT9PRLH	ベースタイム 9H 幅設定リロードレジスタ	23.8.2.3
	BT9TMR	ベースタイム 9 タイマレジスタ	23.8.2.4
10	BTATMCR	ベースタイム 10 タイマ制御レジスタ	23.8.2.1
	BTASTC	ベースタイム 10 ステータス制御レジスタ	23.8.2.1
	BTAPRL	ベースタイム 10L 幅設定リロードレジスタ	23.8.2.2
	BTAPRLH	ベースタイム 10H 幅設定リロードレジスタ	23.8.2.3
	BTATMR	ベースタイム 10 タイマレジスタ	23.8.2.4

表 23.3-2 16 ビット PPG タイマのレジスタ一覧 (3 / 3)

チャンネル	レジスタ略称	レジスタ名	参照先
11	BTBTMCR	ベースタイム 11 タイマ制御レジスタ	23.8.2.1
	BTBSTC	ベースタイム 11 ステータス制御レジスタ	23.8.2.1
	BTBPRL	ベースタイム 11L 幅設定リロードレジスタ	23.8.2.2
	BTBPRLH	ベースタイム 11H 幅設定リロードレジスタ	23.8.2.3
	BTBTMR	ベースタイム 11 タイマレジスタ	23.8.2.4
12	BTCTMCR	ベースタイム 12 タイマ制御レジスタ	23.8.2.1
	BTCSTC	ベースタイム 12 ステータス制御レジスタ	23.8.2.1
	BTCPRLL	ベースタイム 12L 幅設定リロードレジスタ	23.8.2.2
	BTCPRHL	ベースタイム 12H 幅設定リロードレジスタ	23.8.2.3
	BTCTMR	ベースタイム 12 タイマレジスタ	23.8.2.4
13	BTDTMCR	ベースタイム 13 タイマ制御レジスタ	23.8.2.1
	BTDSTC	ベースタイム 13 ステータス制御レジスタ	23.8.2.1
	BTDPRL	ベースタイム 13L 幅設定リロードレジスタ	23.8.2.2
	BTDPRLH	ベースタイム 13H 幅設定リロードレジスタ	23.8.2.3
	BTDTMR	ベースタイム 13 タイマレジスタ	23.8.2.4
14	BTETMCR	ベースタイム 14 タイマ制御レジスタ	23.8.2.1
	BTESTC	ベースタイム 14 ステータス制御レジスタ	23.8.2.1
	BTEPRL	ベースタイム 14L 幅設定リロードレジスタ	23.8.2.2
	BTEPRLH	ベースタイム 14H 幅設定リロードレジスタ	23.8.2.3
	BTETMR	ベースタイム 14 タイマレジスタ	23.8.2.4
15	BTFTMCR	ベースタイム 15 タイマ制御レジスタ	23.8.2.1
	BTFSTC	ベースタイム 15 ステータス制御レジスタ	23.8.2.1
	BTFPRL	ベースタイム 15L 幅設定リロードレジスタ	23.8.2.2
	BTFPRLH	ベースタイム 15H 幅設定リロードレジスタ	23.8.2.3
	BTFTMR	ベースタイム 15 タイマレジスタ	23.8.2.4

表 23.3-3 16/32 ビットリロードタイマのレジスタ一覧 (1 / 3)

チャンネル	レジスタ略称	レジスタ名	参照先
共通	BTSSSR	同時ソフト起動レジスタ	22.4.5
0 ~ 3 共通	BTSEL0123	入出力選択レジスタ 0123	22.4.1
4 ~ 7 共通	BTSEL4567	入出力選択レジスタ 4567	22.4.2
8 ~ 11 共通	BTSEL89AB	入出力選択レジスタ 89AB	22.4.3
12 ~ 15 共通	BTSELCDEF	入出力選択レジスタ CDEF	22.4.4
0	BT0TMCR	ベースタイム 0 タイマ制御レジスタ	23.8.3.1
	BT0STC	ベースタイム 0 ステータス制御レジスタ	23.8.3.1
	BT0PCSR	ベースタイム 0 周期設定レジスタ	23.8.3.2
	BT0TMR	ベースタイム 0 タイマレジスタ	23.8.3.3

表 23.3-3 16/32 ビットリロードタイマのレジスタ一覧 (2 / 3)

チャンネル	レジスタ略称	レジスタ名	参照先
1	BT1TMCR	ベースタイム 1 タイマ制御レジスタ	23.8.3.1
	BT1STC	ベースタイム 1 ステータス制御レジスタ	23.8.3.1
	BT1PCSR	ベースタイム 1 周期設定レジスタ	23.8.3.2
	BT1TMR	ベースタイム 1 タイマレジスタ	23.8.3.3
2	BT2TMCR	ベースタイム 2 タイマ制御レジスタ	23.8.3.1
	BT2STC	ベースタイム 2 ステータス制御レジスタ	23.8.3.1
	BT2PCSR	ベースタイム 2 周期設定レジスタ	23.8.3.2
	BT2TMR	ベースタイム 2 タイマレジスタ	23.8.3.3
3	BT3TMCR	ベースタイム 3 タイマ制御レジスタ	23.8.3.1
	BT3STC	ベースタイム 3 ステータス制御レジスタ	23.8.3.1
	BT3PCSR	ベースタイム 3 周期設定レジスタ	23.8.3.2
	BT3TMR	ベースタイム 3 タイマレジスタ	23.8.3.3
4	BT4TMCR	ベースタイム 4 タイマ制御レジスタ	23.8.3.1
	BT4STC	ベースタイム 4 ステータス制御レジスタ	23.8.3.1
	BT4PCSR	ベースタイム 4 周期設定レジスタ	23.8.3.2
	BT4TMR	ベースタイム 4 タイマレジスタ	23.8.3.3
5	BT5TMCR	ベースタイム 5 タイマ制御レジスタ	23.8.3.1
	BT5STC	ベースタイム 5 ステータス制御レジスタ	23.8.3.1
	BT5PCSR	ベースタイム 5 周期設定レジスタ	23.8.3.2
	BT5TMR	ベースタイム 5 タイマレジスタ	23.8.3.3
6	BT6TMCR	ベースタイム 6 タイマ制御レジスタ	23.8.3.1
	BT6STC	ベースタイム 6 ステータス制御レジスタ	23.8.3.1
	BT6PCSR	ベースタイム 6 周期設定レジスタ	23.8.3.2
	BT6TMR	ベースタイム 6 タイマレジスタ	23.8.3.3
7	BT7TMCR	ベースタイム 7 タイマ制御レジスタ	23.8.3.1
	BT7STC	ベースタイム 7 ステータス制御レジスタ	23.8.3.1
	BT7PCSR	ベースタイム 7 周期設定レジスタ	23.8.3.2
	BT7TMR	ベースタイム 7 タイマレジスタ	23.8.3.3
8	BT8TMCR	ベースタイム 8 タイマ制御レジスタ	23.8.3.1
	BT8STC	ベースタイム 8 ステータス制御レジスタ	23.8.3.1
	BT8PCSR	ベースタイム 8 周期設定レジスタ	23.8.3.2
	BT8TMR	ベースタイム 8 タイマレジスタ	23.8.3.3
9	BT9TMCR	ベースタイム 9 タイマ制御レジスタ	23.8.3.1
	BT9STC	ベースタイム 9 ステータス制御レジスタ	23.8.3.1
	BT9PCSR	ベースタイム 9 周期設定レジスタ	23.8.3.2
	BT9TMR	ベースタイム 9 タイマレジスタ	23.8.3.3
10	BTATMCR	ベースタイム 10 タイマ制御レジスタ	23.8.3.1
	BTASTC	ベースタイム 10 ステータス制御レジスタ	23.8.3.1
	BTAPCSR	ベースタイム 10 周期設定レジスタ	23.8.3.2
	BTATMR	ベースタイム 10 タイマレジスタ	23.8.3.3

表 23.3-3 16/32 ビットリロードタイマのレジスタ一覧 (3 / 3)

チャンネル	レジスタ略称	レジスタ名	参照先
11	BTBTMCR	ベースタイマ 11 タイマ制御レジスタ	23.8.3.1
	BTBSTC	ベースタイマ 11 ステータス制御レジスタ	23.8.3.1
	BTBPCSR	ベースタイマ 11 周期設定レジスタ	23.8.3.2
	BTBTMR	ベースタイマ 11 タイマレジスタ	23.8.3.3
12	BTCTMCR	ベースタイマ 12 タイマ制御レジスタ	23.8.3.1
	BTCSTC	ベースタイマ 12 ステータス制御レジスタ	23.8.3.1
	BTCPCSR	ベースタイマ 12 周期設定レジスタ	23.8.3.2
	BTCTMR	ベースタイマ 12 タイマレジスタ	23.8.3.3
13	BTDTMCR	ベースタイマ 13 タイマ制御レジスタ	23.8.3.1
	BT DSTC	ベースタイマ 13 ステータス制御レジスタ	23.8.3.1
	BTDP CSR	ベースタイマ 13 周期設定レジスタ	23.8.3.2
	BTDTMR	ベースタイマ 13 タイマレジスタ	23.8.3.3
14	BTETMCR	ベースタイマ 14 タイマ制御レジスタ	23.8.3.1
	BTESTC	ベースタイマ 14 ステータス制御レジスタ	23.8.3.1
	BTEPCSR	ベースタイマ 14 周期設定レジスタ	23.8.3.2
	BTETMR	ベースタイマ 14 タイマレジスタ	23.8.3.3
15	BTFTMCR	ベースタイマ 15 タイマ制御レジスタ	23.8.3.1
	BT FSTC	ベースタイマ 15 ステータス制御レジスタ	23.8.3.1
	BTFP CSR	ベースタイマ 15 周期設定レジスタ	23.8.3.2
	BTFTMR	ベースタイマ 15 タイマレジスタ	23.8.3.3

表 23.3-4 16/32 ビット PWC タイマのレジスタ一覧 (1 / 2)

チャンネル	レジスタ略称	レジスタ名	参照先
共通	BTSSSR	同時ソフト起動レジスタ	22.4.5
0 ~ 3 共通	BTSEL0123	入出力選択レジスタ 0123	22.4.1
4 ~ 7 共通	BTSEL4567	入出力選択レジスタ 4567	22.4.2
8 ~ 11 共通	BTSEL89AB	入出力選択レジスタ 89AB	22.4.3
12 ~ 15 共通	BTSELCDEF	入出力選択レジスタ CDEF	22.4.4
0	BT0TMCR	ベースタイマ 0 タイマ制御レジスタ	23.8.4.1
	BT0STC	ベースタイマ 0 ステータス制御レジスタ	23.8.4.1
	BT0DTBF	ベースタイマ 0 データバッファレジスタ	23.8.4.2
1	BT1TMCR	ベースタイマ 1 タイマ制御レジスタ	23.8.4.1
	BT1STC	ベースタイマ 1 ステータス制御レジスタ	23.8.4.1
	BT1DTBF	ベースタイマ 1 データバッファレジスタ	23.8.4.2
2	BT2TMCR	ベースタイマ 2 タイマ制御レジスタ	23.8.4.1
	BT2STC	ベースタイマ 2 ステータス制御レジスタ	23.8.4.1
	BT2DTBF	ベースタイマ 2 データバッファレジスタ	23.8.4.2
3	BT3TMCR	ベースタイマ 3 タイマ制御レジスタ	23.8.4.1
	BT3STC	ベースタイマ 3 ステータス制御レジスタ	23.8.4.1
	BT3DTBF	ベースタイマ 3 データバッファレジスタ	23.8.4.2

表 23.3-4 16/32 ビット PWC タイマのレジスタ一覧 (2 / 2)

チャンネル	レジスタ略称	レジスタ名	参照先
4	BT4TMCR	ベースタイム 4 タイマ制御レジスタ	23.8.4.1
	BT4STC	ベースタイム 4 ステータス制御レジスタ	23.8.4.1
	BT4DTBF	ベースタイム 4 データバッファレジスタ	23.8.4.2
5	BT5TMCR	ベースタイム 5 タイマ制御レジスタ	23.8.4.1
	BT5STC	ベースタイム 5 ステータス制御レジスタ	23.8.4.1
	BT5DTBF	ベースタイム 5 データバッファレジスタ	23.8.4.2
6	BT6TMCR	ベースタイム 6 タイマ制御レジスタ	23.8.4.1
	BT6STC	ベースタイム 6 ステータス制御レジスタ	23.8.4.1
	BT6DTBF	ベースタイム 6 データバッファレジスタ	23.8.4.2
7	BT7TMCR	ベースタイム 7 タイマ制御レジスタ	23.8.4.1
	BT7STC	ベースタイム 7 ステータス制御レジスタ	23.8.4.1
	BT7DTBF	ベースタイム 7 データバッファレジスタ	23.8.4.2
8	BT8TMCR	ベースタイム 8 タイマ制御レジスタ	23.8.4.1
	BT8STC	ベースタイム 8 ステータス制御レジスタ	23.8.4.1
	BT8DTBF	ベースタイム 8 データバッファレジスタ	23.8.4.2
9	BT9TMCR	ベースタイム 9 タイマ制御レジスタ	23.8.4.1
	BT9STC	ベースタイム 9 ステータス制御レジスタ	23.8.4.1
	BT9DTBF	ベースタイム 9 データバッファレジスタ	23.8.4.2
10	BTATMCR	ベースタイム 10 タイマ制御レジスタ	23.8.4.1
	BTASTC	ベースタイム 10 ステータス制御レジスタ	23.8.4.1
	BTADTBF	ベースタイム 10 データバッファレジスタ	23.8.4.2
11	BTBTMCR	ベースタイム 11 タイマ制御レジスタ	23.8.4.1
	BTBSTC	ベースタイム 11 ステータス制御レジスタ	23.8.4.1
	BTBDTBF	ベースタイム 11 データバッファレジスタ	23.8.4.2
12	BTCTMCR	ベースタイム 12 タイマ制御レジスタ	23.8.4.1
	BTCSTC	ベースタイム 12 ステータス制御レジスタ	23.8.4.1
	BTCDTBF	ベースタイム 12 データバッファレジスタ	23.8.4.2
13	BTDTMCR	ベースタイム 13 タイマ制御レジスタ	23.8.4.1
	BTDSTC	ベースタイム 13 ステータス制御レジスタ	23.8.4.1
	BTDDTBF	ベースタイム 13 データバッファレジスタ	23.8.4.2
14	BTETMCR	ベースタイム 14 タイマ制御レジスタ	23.8.4.1
	BTESTC	ベースタイム 14 ステータス制御レジスタ	23.8.4.1
	BTEDTBF	ベースタイム 14 データバッファレジスタ	23.8.4.2
15	BTFTMCR	ベースタイム 15 タイマ制御レジスタ	23.8.4.1
	BTFSTC	ベースタイム 15 ステータス制御レジスタ	23.8.4.1
	BTFDTBF	ベースタイム 15 データバッファレジスタ	23.8.4.2

23.4 ベースタイマの動作

ベースタイマの動作について説明します。

■ ベースタイマの動作

● リセットモード

このモードの設定時に、ベースタイマのマクロをリセットした状態(各レジスタは初期値)とします。別のタイマ機能や、T32 ビット設定を切り換えるとき、いったん、このモードに設定してから別のタイマ機能や T32 ビットを設定してください。ただし、リセット後ならば本モードの設定なしにタイマ機能や T32 ビットの設定は可能です。32 ビットモード設定時にこのモードを偶数チャンネルに設定した場合、奇数チャンネルも同時にリセットがかかるようになっていきますので、奇数チャンネルに対してリセットモードの設定は必要ありません。

● 16 ビット PWM タイマ

16 ビット PWM タイマは、トリガ起動により周期設定した値をダウンカウント開始します。その際、まず出力を "L" レベルにし、16 ビットダウンカウンタがデューティ設定レジスタに設定されている値と一致した場合は "H" レベルに反転出力し、その後カウンタがアンダフローになったときに再度 "L" レベルに反転出力します。これにより、周期とデューティが任意の波形を生成します。

● 16 ビット PPG タイマ

16 ビット PPG タイマは、トリガ起動により "L" 幅設定リロードレジスタに設定されている値分ダウンカウントします。その際、まず出力を "L" レベルにし、アンダフローになったときに出力を "H" レベルに反転出力して、引き続き "H" 幅設定リロードレジスタに設定されている値分ダウンカウント開始し、アンダフローになったときに出力レベルを "L" に反転出力します。これにより、任意の "L" 幅、"H" 幅の波形を生成します。

● 16 ビットリロードタイマ

16 ビットリロードタイマは、トリガ起動により周期設定した値をダウンカウント開始します。16 ビットダウンカウンタがアンダフローになったときに割込みフラグが設定されます。出力レベルは MDSE ビットの設定によって、アンダフローごとに反転するトグル出力か、カウント開始で "H"、アンダフローで "L" 出力のパルス出力になります。

● 32 ビットリロードタイマ

基本動作は 16 ビットリロードタイマと同じですが、偶数チャンネルと奇数チャンネルの 2 チャンネル使用で 32 ビットリロードタイマとして動作します。その際、偶数チャンネルは下位 16 ビットタイマ動作となり、奇数チャンネルは上位 16 ビットタイマ動作となりますが、割込み制御、出力波形制御は偶数チャンネルの設定に従います。周期を設定する場合は、先に上位レジスタ（奇数チャンネル）に書き込んだ後に下位レジスタ（偶数チャンネル）に書き込むようにします。

タイマ値を読み出す場合は、先に下位レジスタ（偶数チャンネル）を読み出した後に上位レジスタ（奇数チャンネル）を読み出すようにします。

< 注意事項 >

- 32 ビット動作は ch.0 と ch.1 との間、ch.2 と ch.3 との間、ch.4 と ch.5 との間、ch.6 と ch.7 との間、ch.8 と ch.9 との間、ch.10 と ch.11 との間、ch.12 と ch.13 との間、ch.14 と ch.15 との間のみで可能です。これ以外の組合せにおける 32 ビット動作はできません。
- 本機能は同時起動をサポートしています。詳細は「第 22 章 ベースタイマ 入出力選択機能」を参照してください。

● 16 ビット PWC タイマ

PWC タイマは、設定した測定開始エッジの入力で 16 ビットアップカウンタを起動させ、測定終了エッジの検出でカウンタを停止します。この間のカウント値がパルス幅としてデータバッファレジスタに格納されます。

● 32 ビット PWC タイマ

基本動作は 16 ビット PWC タイマと同じですが、偶数チャンネルと奇数チャンネルの 2 チャンネル使用で 32 ビット PWC タイマとして動作します。その際、偶数チャンネルは下位 16 ビットカウント動作となり、奇数チャンネルは上位 16 ビットカウント動作となりますが、割込み制御は偶数チャンネルの設定に従います。測定値、またはカウント値を読み出す場合は、先に下位レジスタ（偶数チャンネル）を読み出した後に上位レジスタ（奇数チャンネル）を読み出すようにします。

< 注意事項 >

- 32 ビット動作は ch.0 と ch.1 との間、ch.2 と ch.3 との間、ch.4 と ch.5 との間、ch.6 と ch.7 との間、ch.8 と ch.9 との間、ch.10 と ch.11 との間、ch.12 と ch.13 との間、ch.14 と ch.15 との間のみで可能です。これ以外の組合せにおける 32 ビット動作はできません。
 - 本機能は同時起動をサポートしています。詳細は「第 22 章 ベースタイマ 入出力選択機能」を参照してください。
-

23.5 32 ビットモード動作

リロードタイマ, PWC タイマは, 2 チャンネルを使用して 32 ビットモード動作が可能です。以下に, 32 ビットモード機能における基本機能 / 動作について示します。

■ 32 ビットモード機能

ベースタイマを 2 チャンネル組み合わせて 32 ビットデータのリロードタイマまたは 32 ビットデータの PWC タイマ動作を実現する機能です。偶数チャンネルの下位 16 ビットタイマ・カウンタ値を読み出す際に, 奇数チャンネルの上位 16 ビットタイマ・カウンタ値も取り込むので, 動作中のタイマ・カウンタ値も読み出すことが可能です。

■ 32 ビットモード設定

まず, 偶数チャンネルの BTxTMCR レジスタの FMD2, FMD1, FMD0 ビットを "000_B" でリセットモードにして状態をリセットしてから, 16 ビットモード時と同様にリロードタイマ, または PWC タイマ選択と動作の設定を行います。このとき, BTxTMCR レジスタの T32 ビットにも "1" を書き込むことで 32 ビット動作モードに設定します。奇数チャンネルの T32 ビットは "0" のままにしてください。リセットモードの設定も必要ありません。次に, リロードタイマの場合は, 奇数チャンネルの周期設定レジスタに 32 ビットのうち, 上位 16 ビットのリロード値を設定し, その後に偶数チャンネルの周期設定レジスタに下位 16 ビットのリロード値を設定します。

32 ビット動作モードへの移行は T32 ビット書込み後, 直ちに反映されるので, 設定変更は両チャンネルともカウント停止状態で行ってください。

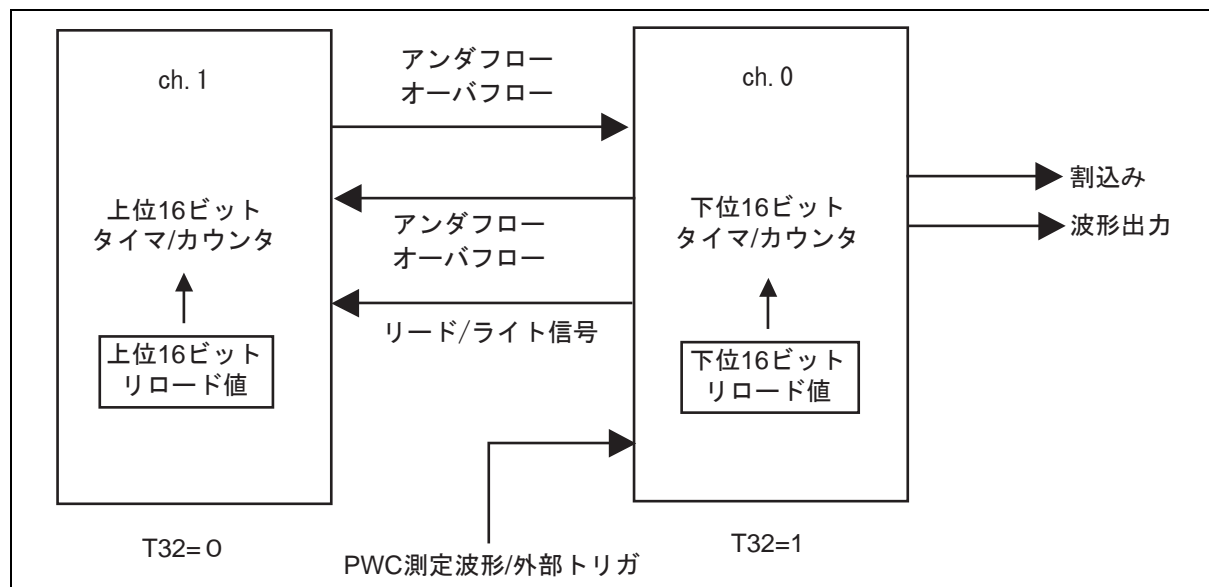
32 ビットモードから 16 ビットモードへの移行は, 偶数チャンネルの BTxTMCR レジスタの FMD2, FMD1, FMD0 ビットを "000_B" でリセットモードにして偶数, 奇数の両チャンネルの状態をリセットし, チャンネルごとに 16 ビットモードでの設定を行います。

■ 32 ビットモード動作

32 ビットモード設定の後、偶数チャンネルの制御によりリロードタイマ、または PWC タイマを起動すると、偶数チャンネルのタイマ / カウンタは下位 16 ビット動作となり、奇数チャンネルのタイマ / カウンタは上位 16 ビット動作となります。

32 ビットモードでの動作は偶数チャンネルの設定に従うので、奇数チャンネルの設定は(リロードタイマ時の周期設定レジスタを除き)無視します。タイマ起動、波形出力、割込み信号も偶数チャンネルのものが有効となります(奇数チャンネルは"L"固定にマスクされます)。

下記に ch.0, ch.1 の場合の構成を示します。



< 注意事項 >

- 32 ビット動作は ch.0 と ch.1 との間、ch.2 と ch.3 との間、ch.4 と ch.5 との間、ch.6 と ch.7 との間、ch.8 と ch.9 との間、ch.10 と ch.11 との間、ch.12 と ch.13 との間、ch.14 と ch.15 との間のみで可能です。これ以外の組合せにおける 32 ビット動作はできません。
- 本機能は同時起動をサポートしています。詳細は「第 22 章 ベースタイム 入出力選択機能」を参照してください。

23.6 ベースタイマの使用上の注意

ベースタイマの使用上の注意を以下に示します。

■ 各タイマの使用上で共通する注意

● プログラムによる設定上の注意

- BTxTMCR レジスタの以下に示すビットは動作中に書き換えることを禁止します。
書換えは必ず起動前か停止後に行ってください。
[bit14, bit13, bit12] CKS2, CKS1, CKS0 : クロック選択ビット
[bit10, bit9, bit8] EGS2, EGS1, EGS0 : 測定エッジ選択ビット
[bit7] T32 : 32 ビットタイマ選択ビット
(リロードタイマ・PWC 機能選択時)
[bit6, bit5, bit4] FMD2, FMD1, FMD0 : タイマ機能選択ビット
[bit2] MDSE : 測定モード(単発/連続)選択ビット
- BTxTMCR レジスタの FMD2, FMD1, FMD0 ビットを "000_B" のリセットモードに設定したときはベースタイマの全レジスタは初期化されますので、すべてのレジスタに対して再設定が必要です。
- BTxTMCR レジスタの FMD2, FMD1, FMD0 ビットを "000_B" のリセットモードに設定するとき、BTxTMCR レジスタの FMD2, FMD1, FMD0 ビット以外のビットへの設定は無視されて初期化されます。

■ 16 ビット PWM/PPG/ リロードタイマの使用上の注意

● プログラムによる設定上の注意

- 割込み要求フラグセットタイミングとクリアタイミングが重複した場合には、フラグセットが優先され、クリア動作は無効となります。
- ダウンカウンタは、ロードとカウントのタイミングが重複した場合にはロード動作を優先します。
- BTxTMCR レジスタの FMD2, FMD1, FMD0 ビットによるタイマ機能の設定後に周期設定、デューティ設定、"H" 幅設定、"L" 幅設定をするようにします。
- ワンショットモードでカウント終了時に再起動を検出した場合はカウント値をリロードして再起動を開始します。

■ PWC タイマの使用上の注意

● プログラムによる設定上の注意

- カウント動作許可ビット (CTEN) に "1" 書込みでカウンタがクリアされますので、起動許可前にカウンタ中にあったデータは無効になります。
- システムリセット・リセットモードから PWC モードの設定 (FMD=100_B) と測定開始設定 (CTEN=1) を同時にした場合、その直前の測定信号の状態によって動作する場合があります。
- 連続測定モードにおいて、再起動を設定したときに同時に測定開始エッジを検出した場合は直ちにカウントを "0001_H" から開始します。
- カウント動作を開始した後に再起動を行う場合は、そのタイミングによっては以下に示すようなことが起こり得ます。
 - パルス幅単発測定モード時、測定終了エッジと同時であった場合
再起動を行って測定開始エッジ待ち状態となりますが、測定終了フラグ (EDIR) はセットされます。
 - パルス幅連続測定モード時、測定終了エッジと同時であった場合
再起動を行って測定開始エッジ待ち状態となりますが、測定終了フラグ (EDIR) はセットされ、その時点での測定結果は BTxDTBF に転送されます。

以上のように、動作中の再起動時には、フラグの動作に注意して割込み制御などを行うようにしてください。

23.7 ベースタイマ割込み

ベースタイマの各機能での割込み要求ビット，割込み許可ビットと割込み要因をまとめた一覧を示します。

■ 機能ごとの割込み制御ビットと割込み要因

機能ごとの割込み制御ビットと割込み要因を表 23.7-1 に示します。

表 23.7-1 各モードでの割込み制御ビットと割込み要因

	ステータス制御レジスタ (BTxSTC)			
	割込み要求ビット	割込み要求許可ビット	割込み要因	IRQ
PWM タイマ機能	UDIR : bit0	UDIE : bit4	アンダフロー検出	IRQ0
	DTIR : bit1	DTIE : bit5	デューティー致検出	
	TGIR : bit2	TGIE : bit6	タイマ起動トリガ検出	IRQ1
PPG タイマ機能	UDIR : bit0	UDIE : bit4	アンダフロー検出	IRQ0
	TGIR : bit2	TGIE : bit6	タイマ起動トリガ検出	IRQ1
リロードタイマ機能	UDIR : bit0	UDIE : bit4	アンダフロー検出	IRQ0
	TGIR : bit2	TGIE : bit6	タイマ起動トリガ検出	IRQ1
PWC タイマ機能	OVIR : bit0	OVIE : bit4	オーバフロー検出	IRQ0
	EDIR : bit2	EDIE : bit6	測定終了検出	IRQ1

23.8 ベースタイマの機能別説明

ベースタイマの各機能について説明します。

■ ベースタイマの機能

- PWM 機能
- PPG 機能
- リロードタイマ機能
- PWC 機能

23.8.1 PWM 機能

ベースタイマは、タイマ制御レジスタの FMD2, FMD1, FMD0 ビットの設定により、16 ビット PWM タイマ、16 ビット PPG タイマ、16/32 ビットリロードタイマ、16/32 ビット PWC タイマの中からタイマ機能を 1 つだけ選択することができます。PWM を設定したときのタイマ機能の説明を示します。

- PWM タイマ選択時のタイマ制御レジスタ (BTxTMCR)
- PWM 周期設定レジスタ (BTxPCSR)
- PWM デューティ設定レジスタ (BTxPDUT)
- タイマレジスタ (BTxTMR)
- 16 ビット PWM タイマ動作
- ワンショット動作
- 割込み要因とタイミングチャート
- 出力波形

23.8.1.1 PWM タイマ選択時のタイマ制御レジスタ (BTxTMCR)

タイマ制御レジスタ (BTxTMCR) は、PWM タイマを制御します。PWM タイマ動作中に書換え不可能なビットがありますので注意してください。

■ タイマ制御レジスタ (BTxTMCR 上位バイト)

図 23.8-1 タイマ制御レジスタ (BTxTMCR 上位バイト)



表 23.8-1 タイマ制御レジスタ (BTxTMCR 上位バイト)

ビット名		機能
bit15	未定義ビット	<ul style="list-style-type: none"> 読出し値は不定です。 このビットへの書込みは、動作に影響しません。
bit14 ~ bit12	CKS2, CKS1, CKS0: カウントクロック 選択ビット	<ul style="list-style-type: none"> 16 ビットダウンカウンタのカウントクロックを選択します。 カウントクロックの変更は設定を変えると直ちに反映します。したがって、CKS2 ~ CKS0 の変更はカウント停止状態 (CTEN=0) で行ってください。ただし、CTEN ビットへの "1" 書込みと同時に変更することは可能です。
bit11	RTGEN : 再起動許可ビット	ソフトウェアトリガ、またはトリガ入力による再起動を許可するビットです。
bit10	PMSK : パルス出力マスク ビット	<ul style="list-style-type: none"> PWM 出力波形の出力波形レベルを制御します。 このビットが "0" のときは PWM 波形をそのまま出力します。 このビットが "1" のときは、周期やデューティ設定の値にかかわらず PWM 出力を "L" 出力にマスクします。 <p>(注意事項) bit3 の OSEL が反転出力に設定されている場合に PMSK を "1" にすると "H" 出力にマスクとなります。</p>
bit9, bit8	EGS1, EGS0 : トリガ入力エッジ 選択ビット	<ul style="list-style-type: none"> 外部起動要因として入力波形に対する有効エッジを選択し、トリガの条件を設定します。 初期値または "00_B" の設定の場合、入力波形に対する有効エッジが選択されていない状態なので外部波形による起動はかかりません。 <p>(注意事項) EGS1, EGS0 の設定にかかわらず、STRG ビットに "1" を書き込むとソフトウェアトリガは有効になります。</p> <ul style="list-style-type: none"> EGS1, EGS0 の変更はカウント停止状態 (CTEN=0) で行ってください。ただし、CTEN ビットへの "1" 書込みと同時に変更することは可能です。

■ タイマ制御レジスタ (BTxTMCR 下位バイト)

図 23.8-2 タイマ制御レジスタ (BTxTMCR 下位バイト)

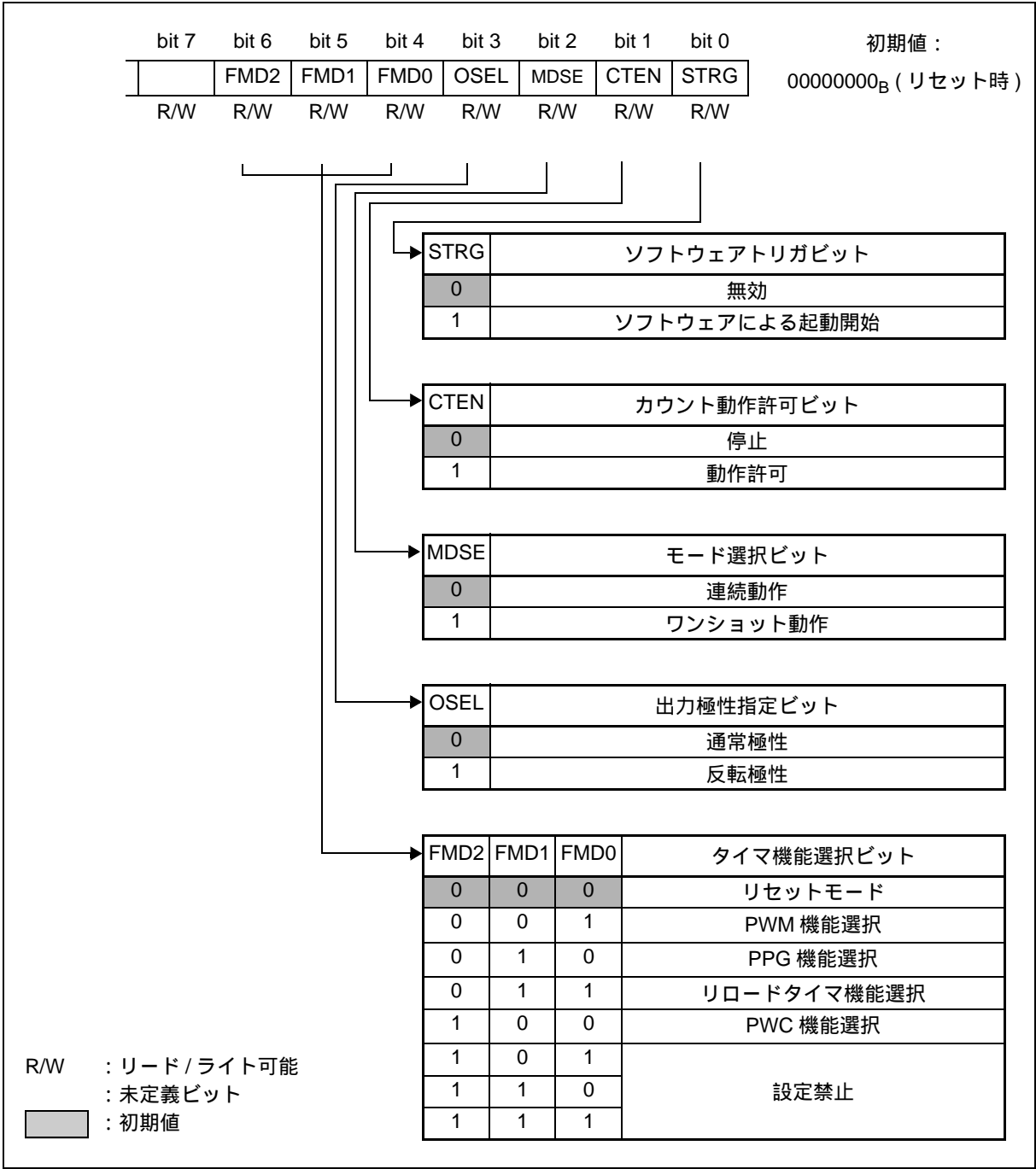


表 23.8-2 タイマ制御レジスタ (BTxTMCR 下位バイト)

ビット名		機能												
bit7	未定義ビット	<ul style="list-style-type: none">読出し値は "0" です。このビットには "0" を書き込んでください。												
bit6 ~ bit4	FMD2, FMD1, FMD0: タイマ機能選択 ビット	<ul style="list-style-type: none">タイマ機能を選択するビットです。FMD2, FMD1, FMD0 ビットに "001_B" を設定すると PWM 機能が選択されます。変更はタイマ停止中 (CTEN=0) に行ってください。ただし CTEN ビットへの "1" 書込みと同時に変更することは可能です。												
bit3	OSEL : 出力極性指定 ビット	<p>PWM 出力の極性を設定します。</p> <table><tr><td>極性</td><td>リセット後</td><td>デューティー致</td><td>アンダフロー</td></tr><tr><td>通常</td><td>"L" 出力</td><td></td><td></td></tr><tr><td>反転</td><td>"H" 出力</td><td></td><td></td></tr></table>	極性	リセット後	デューティー致	アンダフロー	通常	"L" 出力			反転	"H" 出力		
極性	リセット後	デューティー致	アンダフロー											
通常	"L" 出力													
反転	"H" 出力													
bit2	MDSE : モード選択 ビット	<ul style="list-style-type: none">連続してパルスを出力する動作か、単一パルスを出力するワンショット動作かを選択します。変更はタイマ停止中 (CTEN=0) に行ってください。ただし , CTEN ビットへの "1" 書込みと同時に変更することは可能です。												
bit1	CTEN : カウント動作 許可ビット	<ul style="list-style-type: none">ダウンカウンタの動作を許可するビットです。カウンタが動作許可状態 (CTEN ビットが "1") のときに "0" を書き込むとカウンタは停止します。												
bit0	STRG : ソフトウェア トリガビット	<ul style="list-style-type: none">CTEN ビットが "1" のときに STRG ビットに "1" を書き込むとソフトウェアトリガが発生します。(注意事項) CTEN ビットと STRG ビットに同時に "1" を書き込んだ場合でも、ソフトウェアトリガが発生します。STRG ビットの読出し値は常に "0" です。(注意事項) EGS1, EGS0 の設定にかかわらず , STRG ビットに "1" を書き込むとソフトウェアトリガは有効になります。												

■ ステータス制御レジスタ (BTxSTC)

図 23.8-3 ステータス制御レジスタ (BTxSTC)

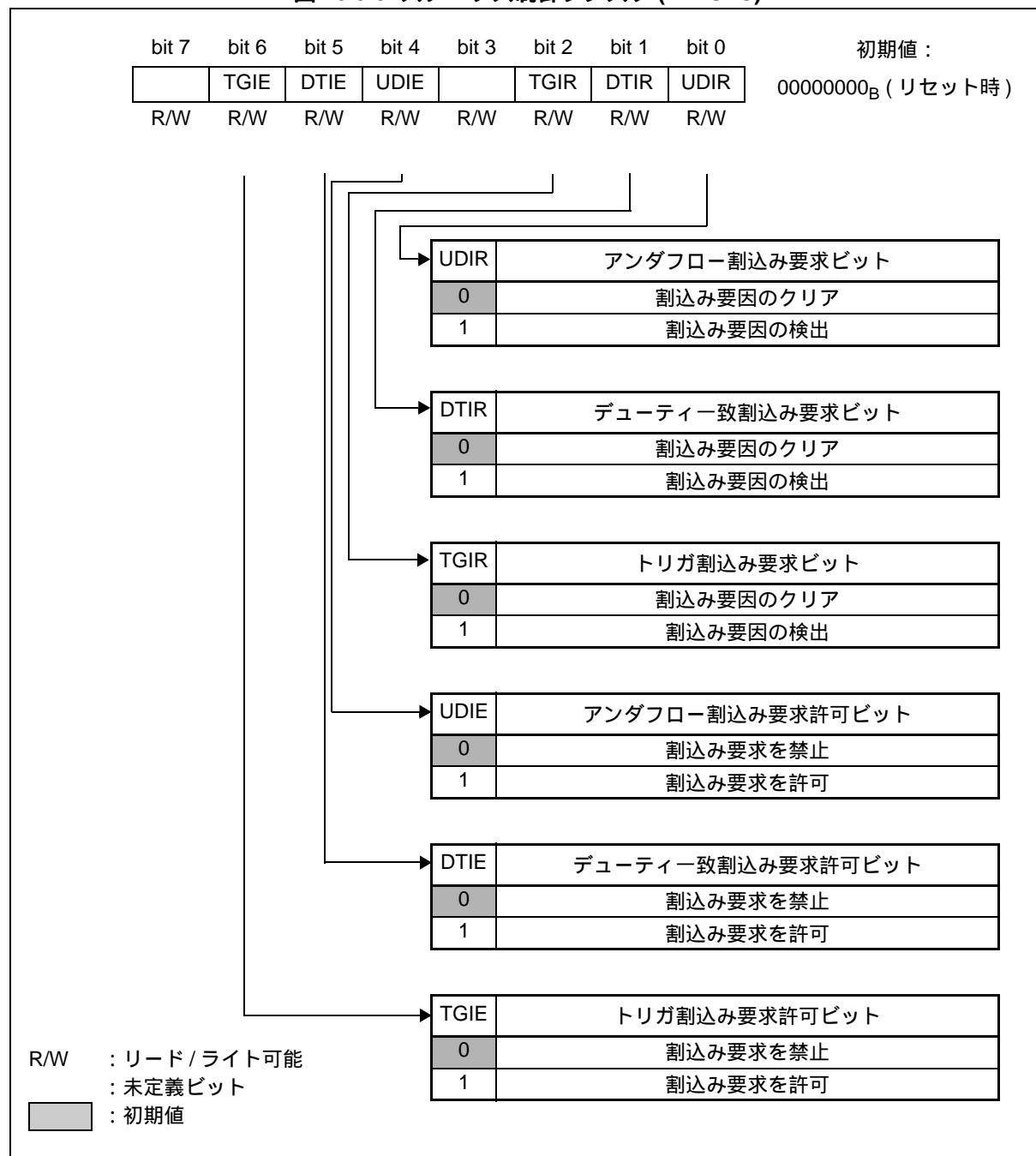


表 23.8-3 ステータス制御レジスタ (BTxSTC)

ビット名		機能
bit7	未定義ビット	<ul style="list-style-type: none"> 読出し値は "0" です。 このビットには "0" を書き込んでください。
bit6	TGIE : トリガ割込み 要求許可 ビット	<ul style="list-style-type: none"> bit2 :TGIR の割込み要求を制御します。 TGIE ビットが許可されていて bit2 :TGIR ビットがセットされると CPU に割込み要求を発生します。
bit5	DTIE : デューティ 一致割込み要求 許可ビット	<ul style="list-style-type: none"> bit1 :DTIR の割込み要求を制御します。 DTIE ビットが許可されていて bit1: DTIR ビットがセットされると CPU に割込み要求を発生します。
bit4	UDIE : アンダフロー 割込み要求許可 ビット	<ul style="list-style-type: none"> bit0 :UDIR の割込み要求を制御します。 UDIE ビットが許可されていて bit0 :UDIR ビットがセットされると CPU に割込み要求を発生します。
bit3	未定義ビット	<ul style="list-style-type: none"> 読出し値は "0" です。 このビットには "0" を書き込んでください。
bit2	TGIR : トリガ割込み 要求ビット	<ul style="list-style-type: none"> ソフトウェアトリガ , またはトリガ入力の検出をしたときに TGIR ビットが "1" にセットされます。 TGIR ビットは "0" 書込みによりクリアされます。 TGIR ビットに "1" を書き込んでもビット値には影響しません。 リードモディファイライト (RMW) 系命令におけるリード値は , ビット値にかかわらず "1" になります。
bit1	DTIR : デューティ一致 割込み要求 ビット	<ul style="list-style-type: none"> カウント値がデューティ設定値と一致したときに DTIR ビットが "1" にセットされます。 DTIR ビットは "0" 書込みによりクリアされます。 DTIR ビットに "1" を書き込んでもビット値には影響しません。 リードモディファイライト (RMW) 系命令におけるリード値は , ビット値にかかわらず "1" になります。
bit0	UDIR : アンダフロー 割込み要求 ビット	<ul style="list-style-type: none"> カウント値が "0000_H" "FFFF_H" へのアンダフロー時に UDIR ビットが "1" にセットされます。 UDIR ビットは "0" 書込みによりクリアされます。 UDIR ビットに "1" を書き込んでもビット値には影響しません。 リードモディファイライト (RMW) 系命令におけるリード値は , ビット値にかかわらず "1" になります。

23.8.1.2 PWM 周期設定レジスタ (BTxPCSR)

PWM 周期設定レジスタ (BTxPCSR) は、周期を設定するためのバッファ付きレジスタです。タイマレジスタへの転送は、起動時とアンダフロー時に行われます。

■ PWM 周期設定レジスタ (BTxPCSR) のビット構成

図 23.8-4 に、PWM 周期設定レジスタ (BTxPCSR) のビット構成を示します。

図 23.8-4 PWM 周期設定レジスタ (BTxPCSR) のビット構成

bit 15	bit 14	bit 13	bit 12	bit 11	bit 10	bit 9	bit 8	初期値 :
								XXXXXXXX _B (リセット時)
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
bit 7	bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0	初期値 :
								XXXXXXXX _B (リセット時)
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	

R/W : リード / ライト可能
X : 不定値

周期を設定するためのバッファ付きレジスタです。タイマレジスタへの転送は起動時とアンダフロー時に行われます。

周期設定レジスタの初期設定時および書換え時は、周期設定レジスタの書込み後に必ずデューティ設定レジスタへの書込み動作を行ってください。

- BTxPCSR レジスタは 16 ビットデータでアクセスしてください。
- BTxPCSR レジスタは BTxTMCR レジスタの FMD2, FMD1, FMD0 ビットで PWM 機能の設定後に周期設定をしてください。

23.8.1.3 PWM デューティ設定レジスタ (BTxPDUT)

PWM デューティ設定レジスタ (BTxPDUT) はデューティを設定するためのバッファ付きレジスタです。バッファからの転送は、アンダフローで行われます。

■ PWM デューティ設定レジスタ (BTxPDUT) のビット構成

図 23.8-5 に、PWM デューティ設定レジスタ (BTxPDUT) のビット構成を示します。

図 23.8-5 PWM デューティ設定レジスタ (BTxPDUT) のビット構成

bit 15	bit 14	bit 13	bit 12	bit 11	bit 10	bit 9	bit 8	初期値 :
<input type="text"/>	<input type="text"/>	<input type="text"/>	<input type="text"/>	<input type="text"/>	<input type="text"/>	<input type="text"/>	<input type="text"/>	XXXXXXXX _B (リセット時)
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
bit 7	bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0	初期値 :
<input type="text"/>	<input type="text"/>	<input type="text"/>	<input type="text"/>	<input type="text"/>	<input type="text"/>	<input type="text"/>	<input type="text"/>	XXXXXXXX _B (リセット時)
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	

R/W : リード / ライト可能
X : 不定値

デューティを設定するためのバッファ付きレジスタです。バッファからの転送はアンダフローで行われます。

周期設定レジスタの値とデューティ設定レジスタの値を同じにすると、通常極性時にオール "H" を、反転極性時にオール "L" を出力します。

BTxPSCR < BTxPDUT となるような値を設定しないでください。PWM 出力は不定となります。

- BTxPDUT レジスタは 16 ビットデータでアクセスしてください。
- BTxPDUT レジスタは BTxTMCR レジスタの FMD2, FMD1, FMD0 ビットで PWM 機能の設定後にデューティ設定してください。

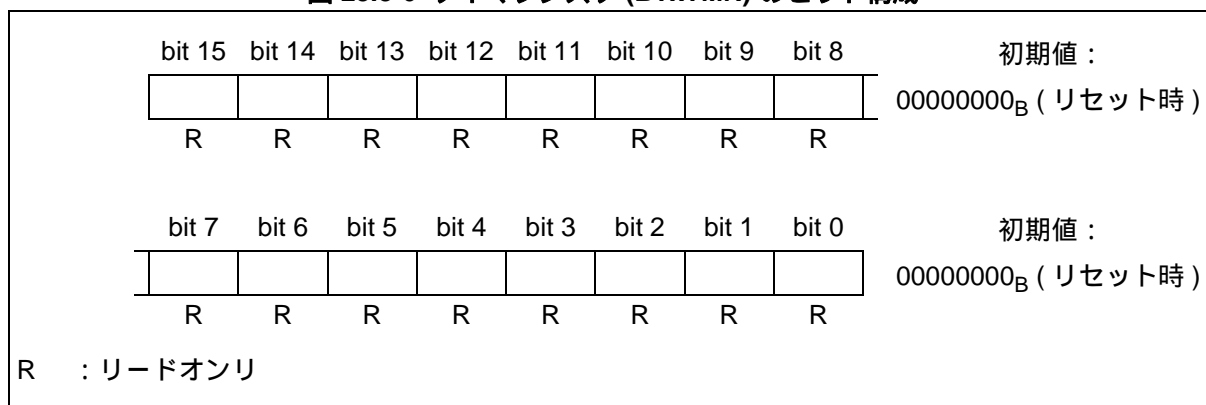
23.8.1.4 タイマレジスタ (BTxTMR)

タイマレジスタ (BTxTMR) は、16 ビットダウンカウンタの値を読み出すことができます。

■ タイマレジスタ (BTxTMR) のビット構成

図 23.8-6 に、PWM タイマレジスタ (BTxTMR) のビット構成を示します。

図 23.8-6 タイマレジスタ (BTxTMR) のビット構成



16 ビットダウンカウンタの値を読み出すことができます。

< 注意事項 >

BTxTMR レジスタは 16 ビットデータでアクセスしてください。

23.8.1.5 16 ビット PWM タイマ動作

PWM タイマ動作では、トリガの検出時より設定周期の波形を単発、または連続して出力することができます。

出力パルスの周期は、BTxPCSR 値を変えることにより制御することができます。

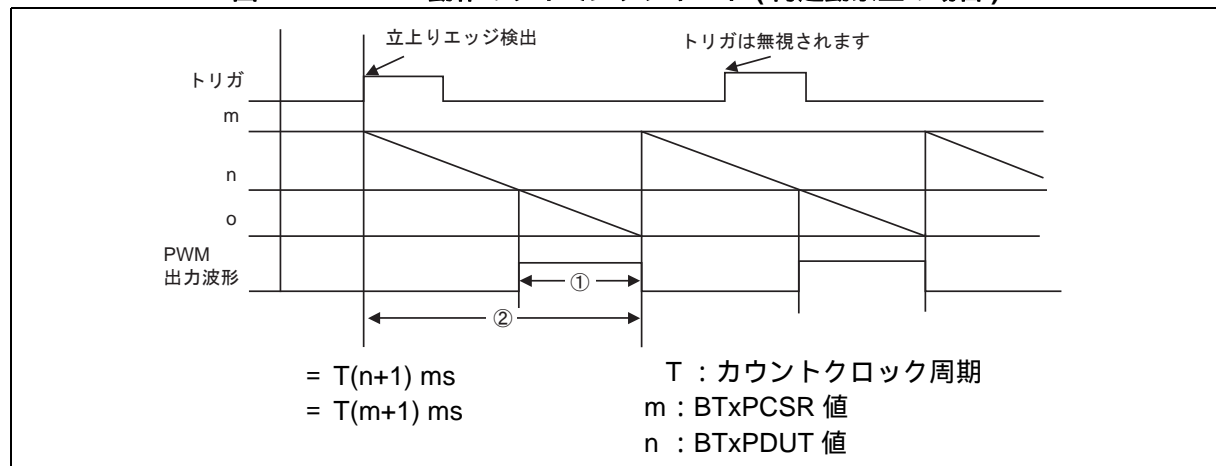
また、デューティ比は、BTxPDUT 値を変えることにより制御することができます。

BTxPCSR にデータを書き込んだ後は、必ず BTxPDUT への書き込みを行ってください。

■ 連続動作

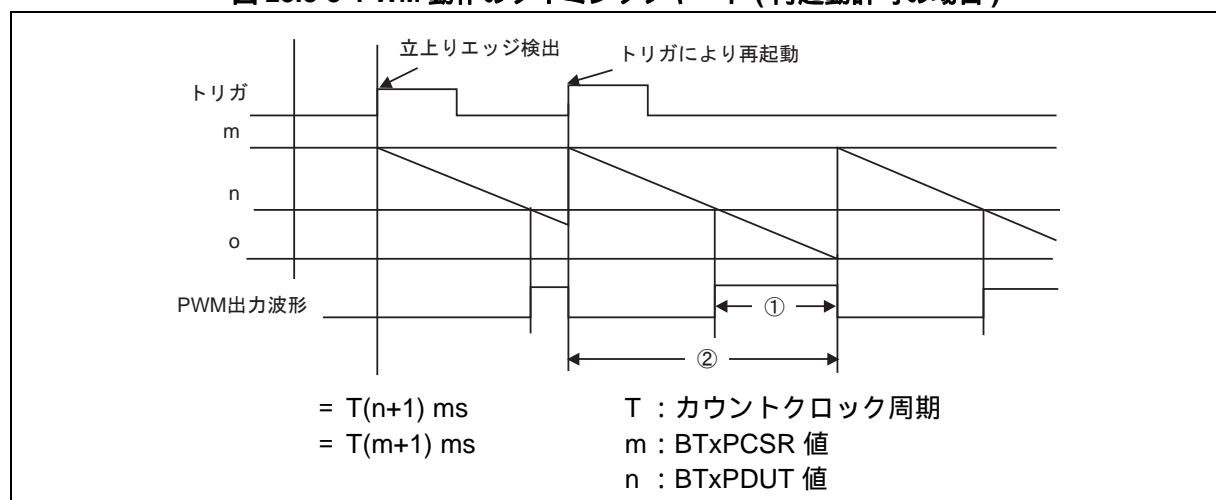
● 再起動禁止の場合 (RTGEN=0)

図 23.8-7 PWM 動作のタイミングチャート (再起動禁止の場合)



● 再起動許可の場合 (RTGEN=1)

図 23.8-8 PWM 動作のタイミングチャート (再起動許可の場合)



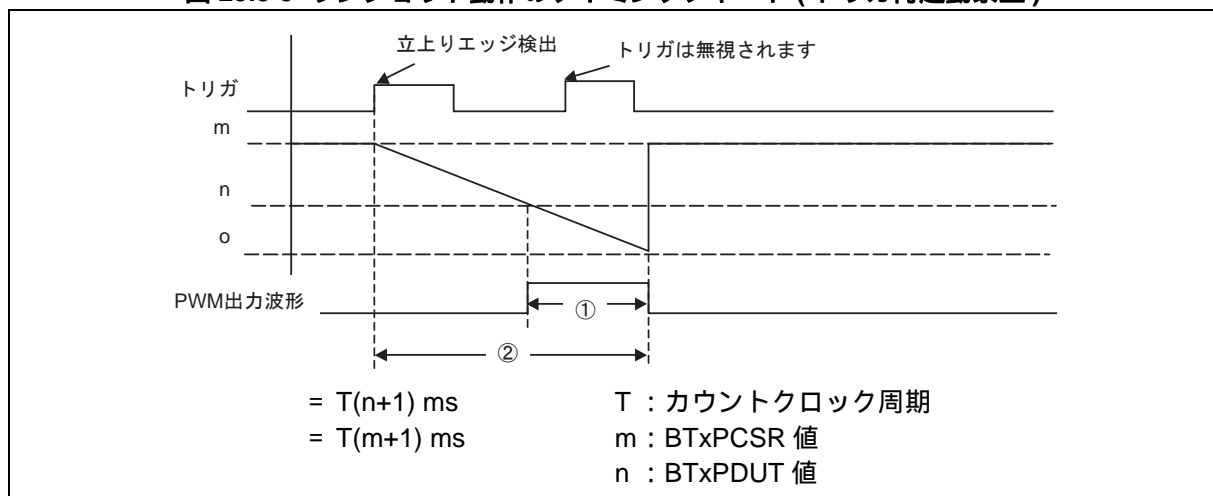
23.8.1.6 ワンショット動作

ワンショット動作では、トリガにより任意の幅の単一パルスを出力することができます。再起動許可の場合は、動作中にエッジを検出するとカウンタをリロードします。

■ ワンショット動作

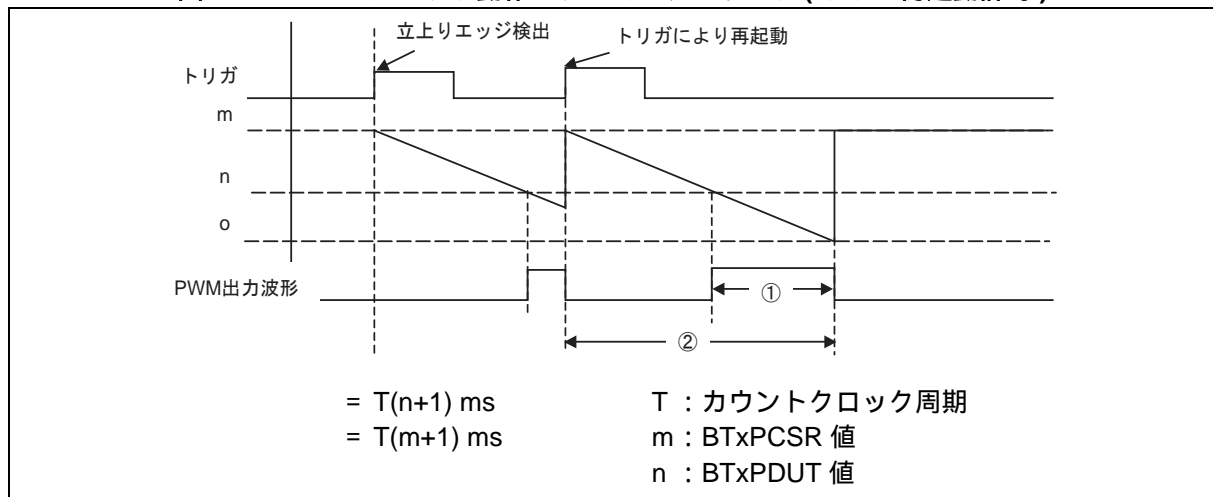
● 再起動禁止の場合 (RTGEN=0)

図 23.8-9 ワンショット動作のタイミングチャート (トリガ再起動禁止)



● 再起動許可の場合 (RTGEN=1)

図 23.8-10 ワンショット動作のタイミングチャート (トリガ再起動許可)



23.8.1.7 割込み要因とタイミングチャート

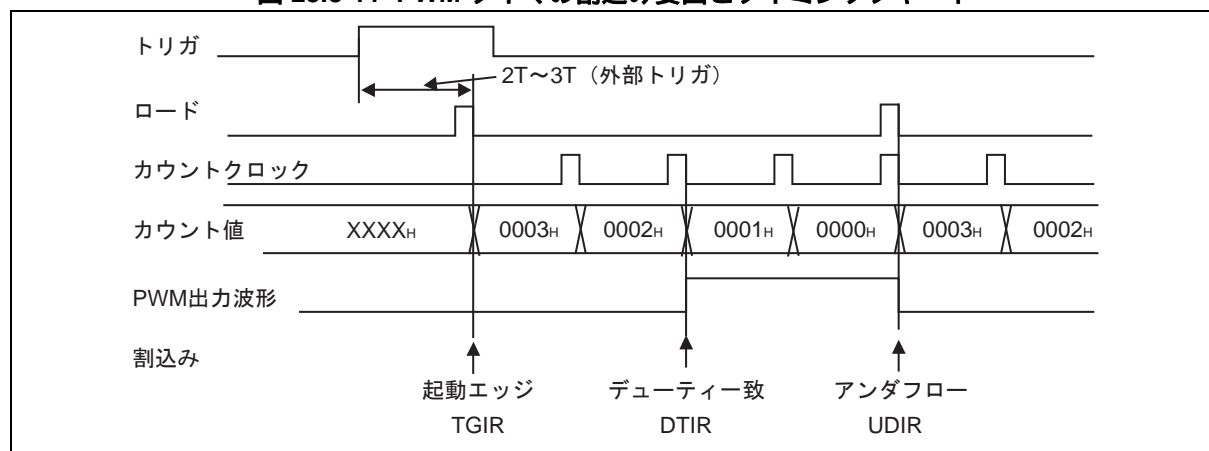
割込み要因とタイミングチャートについて示します。

■ 割込み要因とタイミングチャート (PWM 出力 : 通常極性)

トリガが入力されてカウンタ値がロードされるまで、ソフトウェアトリガ時は T、外部トリガ時は $2T \sim 3T$ (T: 周辺クロック (PCLK) サイクル) を必要とします。

図 23.8-11 に、周期設定値 = 3、デューティ値 = 1 の場合の割込み要因とタイミングチャートを示します。

図 23.8-11 PWM タイマの割込み要因とタイミングチャート



23.8.1.8 出力波形

PWM 出力について示します。

■ PWM 出力オール "L" またはオール "H" の出力方法

図 23.8-12 に PWM 出力をオール "L" に、図 23.8-13 にオール "H" にする出力方法を示します。

図 23.8-12 PWM 出力をオール "L" レベルにする例

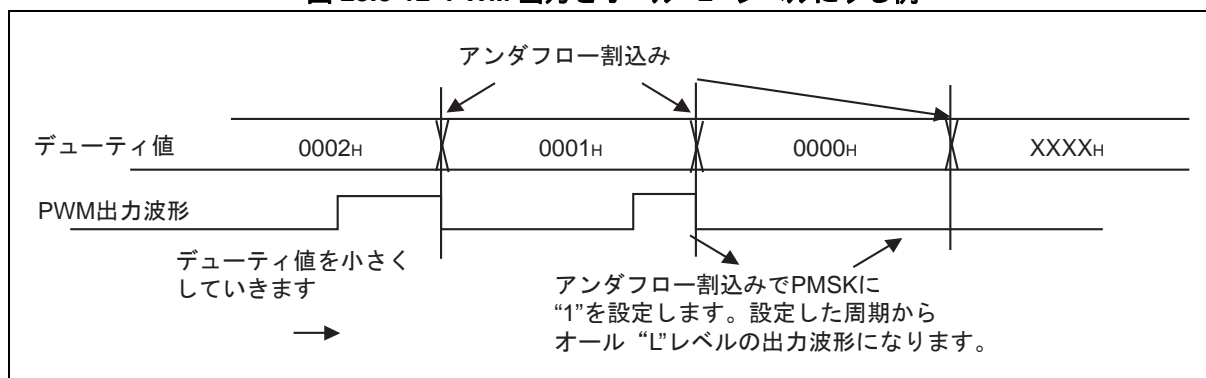
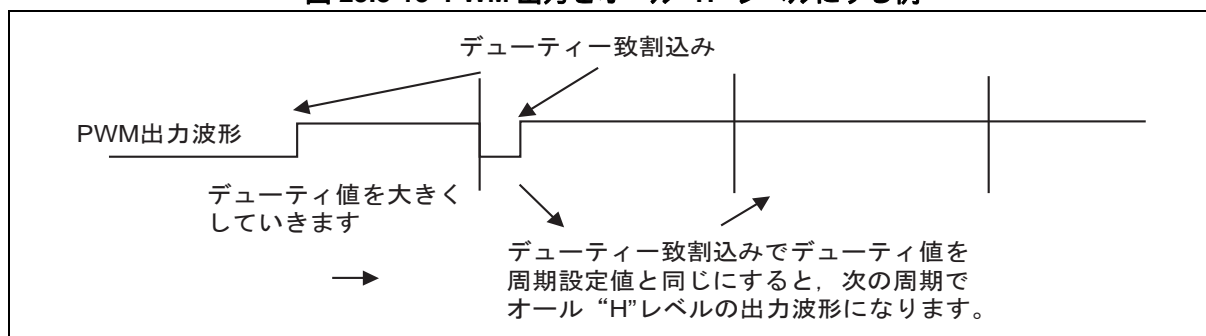


図 23.8-13 PWM 出力をオール "H" レベルにする例



23.8.2 PPG 機能

ベースタイマは、タイマ制御レジスタの FMD2, FMD1, FMD0 ビットの設定により、16 ビット PWM タイマ、16 ビット PPG タイマ、16/32 ビットリロードタイマ、16/32 ビット PWC タイマの中からタイマ機能を 1 つだけ選択することができます。PPG を設定したときのタイマ機能の説明を示します。

- PPG タイマ選択時のタイマ制御レジスタ (BTxTMCR)
- "L" 幅設定リロードレジスタ (BTxPRLL)
- "H" 幅設定リロードレジスタ (BTxPRLH)
- タイマレジスタ (BTxTMR)
- 16 ビット PPG タイマ動作
- 連続動作
- ワンショット動作
- 割込み要因とタイミングチャート

23.8.2.1 PPG タイマ選択時のタイマ制御レジスタ (BTxTMCR)

タイマ制御レジスタ (BTxTMCR) は、PPG タイマを制御します。PPG タイマ動作中に書換え不可能なビットがありますので注意してください。

■ タイマ制御レジスタ (BTxTMCR 上位バイト)

図 23.8-14 タイマ制御レジスタ (BTxTMCR 上位バイト)

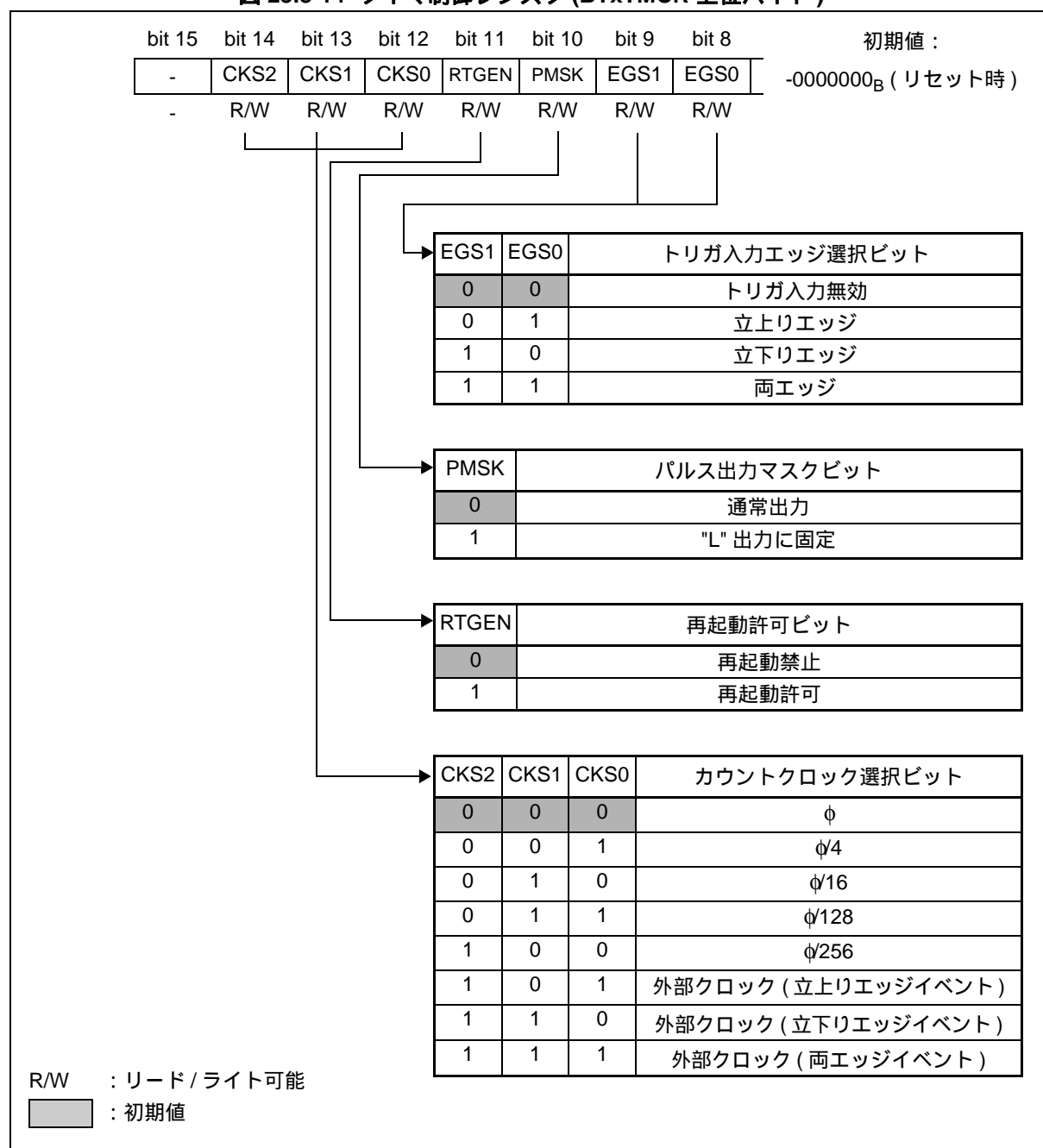


表 23.8-4 タイマ制御レジスタ (BTxTMCR 上位バイト)

ビット名		機能
bit15	未定義ビット	<ul style="list-style-type: none"> 読出し値は不定です。 このビットへの書込みは、動作に影響しません。
bit14 ～ bit12	CKS2, CKS1, CKS0 : カウント クロック選択 ビット	<ul style="list-style-type: none"> 16 ビットダウンカウンタのカウントクロックを選択します。 カウントクロックの変更は設定を変えると直ちに反映します。したがって、CKS2 ~ CKS0 の変更はカウント停止状態 (CTEN=0) で行ってください。ただし、CTEN ビットへの "1" 書込みと同時に変更することは可能です。
bit11	RTGEN : 再起動許可 ビット	ソフトウェアトリガ、またはトリガ入力による再起動を許可するビットです。
bit10	PMSK : パルス出力 マスクビット	<ul style="list-style-type: none"> PPG 出力波形の出力波形レベルを制御します。 このビットが "0" のときは PPG 波形をそのまま出力します。 このビットが "1" のときは、"H" 幅や "L" 幅設定の値にかかわらず PPG 出力を "L" 出力にマスクします。 <p>(注意事項) bit3 の OSEL が反転出力に設定されている場合に PMSK を "1" にすると "H" 出力にマスクとなります。</p>
bit9, bit8	EGS1, EGS0 : トリガ入力 エッジ選択 ビット	<ul style="list-style-type: none"> 外部起動要因として入力波形に対する有効エッジを選択し、トリガの条件を設定します。 初期値または "00_B" の設定の場合、入力波形に対する有効エッジが選択されていない状態なので外部波形による起動はかかりません。 <p>(注意事項) EGS1, EGS0 の設定にかかわらず、STRG ビットに "1" を書き込むとソフトウェアトリガは有効になります。</p> <ul style="list-style-type: none"> EGS1, EGS0 の変更はカウント停止状態 (CTEN=0) で行ってください。ただし、CTEN ビットへの "1" 書込みと同時に変更することは可能です。

■ タイマ制御レジスタ (BTxTMCR 下位バイト)

図 23.8-15 タイマ制御レジスタ (BTxTMCR 下位バイト)

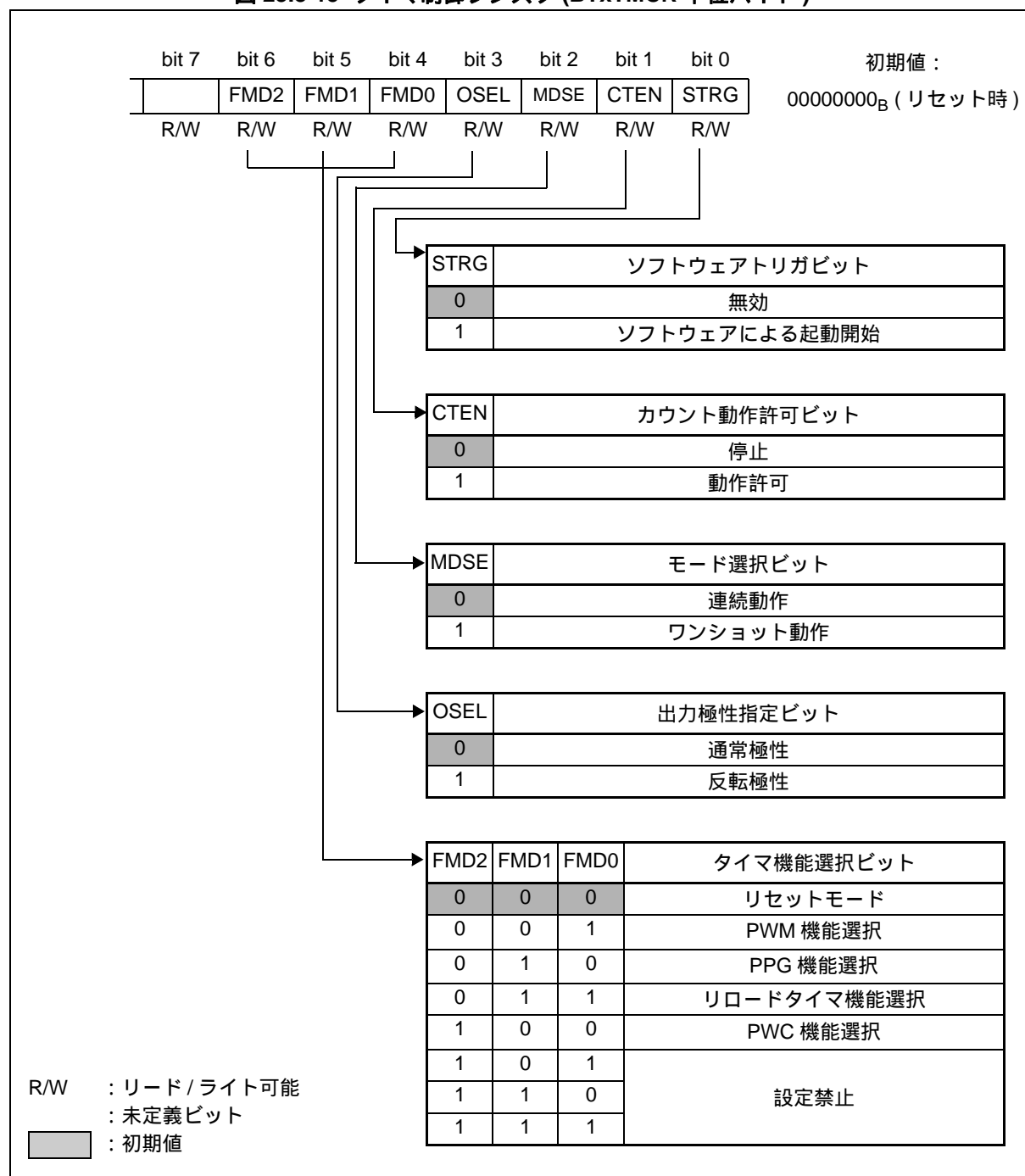


表 23.8-5 タイマ制御レジスタ (BTxTMCR 下位バイト)

ビット名		機能												
bit7	未定義ビット	<ul style="list-style-type: none">読出し値は "0" です。このビットには "0" を書き込んでください。												
bit6 ~ bit4	FMD2, FMD1, FMD0: タイマ機能 選択ビット	<ul style="list-style-type: none">タイマ機能を選択するビットです。FMD2, FMD1, FMD0 ビットに "010_B" を設定すると PPG 機能が選択されます。変更はタイマ停止中 (CTEN=0) に行ってください。ただし , CTEN ビットへの "1" 書込みと同時に変更することは可能です。												
bit3	OSEL : 出力極性指定 ビット	<p>PPG 出力の極性を設定します。</p> <table><tr><td>極性</td><td>リセット後</td><td>"L" 幅カウンタ終了</td><td>"H" 幅カウンタ終了</td></tr><tr><td>通常</td><td>"L" 出力</td><td></td><td></td></tr><tr><td>反転</td><td>"H" 出力</td><td></td><td></td></tr></table>	極性	リセット後	"L" 幅カウンタ終了	"H" 幅カウンタ終了	通常	"L" 出力			反転	"H" 出力		
極性	リセット後	"L" 幅カウンタ終了	"H" 幅カウンタ終了											
通常	"L" 出力													
反転	"H" 出力													
bit2	MDSE : モード選択 ビット	<ul style="list-style-type: none">連続してパルスを出力する動作か , 単一パルスを出力するワンショット動作かを選択します。変更はタイマ停止中 (CTEN=0) に行ってください。ただし , CTEN ビットへの "1" 書込みと同時に変更することは可能です。												
bit1	CTEN : カウンタ動作 許可ビット	<ul style="list-style-type: none">ダウンカウンタの動作を許可するビットです。カウンタが動作許可状態 (CTEN ビットが "1") のときに "0" を書き込むとカウンタは停止します。												
bit0	STRG : ソフトウェア トリガビット	<ul style="list-style-type: none">CTEN ビットが "1" のときに STRG ビットに "1" を書き込むとソフトウェアトリガが発生します。(注意事項) CTEN ビットと STRG ビットに同時に "1" を書き込んだ場合でも , ソフトウェアトリガが発生します。STRG ビットの読出し値は常に "0" です。(注意事項) EGS1, EGS0 の設定にかかわらず , STRG ビットに "1" を書き込むとソフトウェアトリガは有効になります。												

■ ステータス制御レジスタ (BTxSTC)

図 23.8-16 ステータス制御レジスタ (BTxSTC)

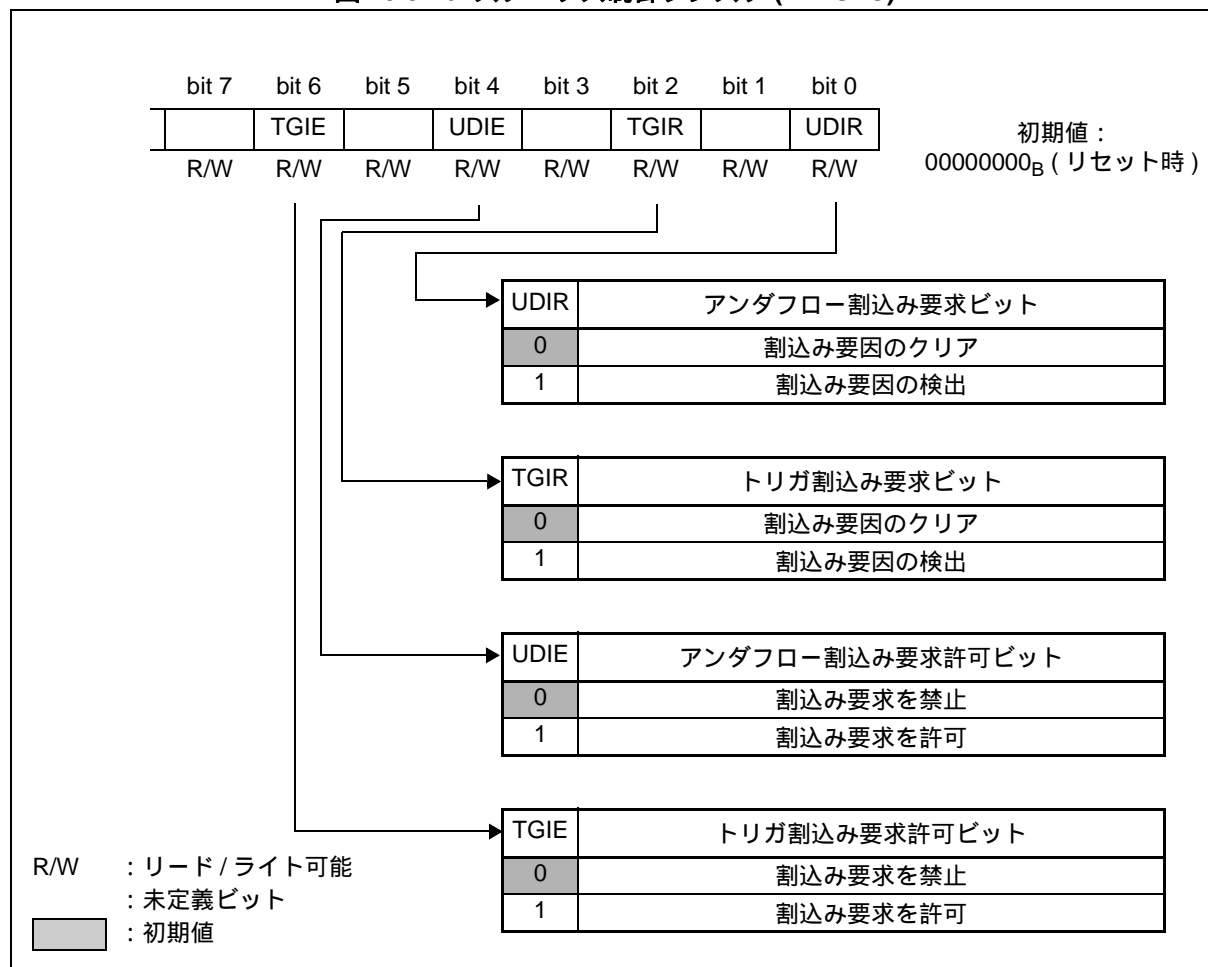


表 23.8-6 ステータス制御レジスタ (BTxSTC)

ビット名		機能
bit7	未定義ビット	<ul style="list-style-type: none"> 読出し値は "0" です。 このビットには "0" を書き込んでください。
bit6	TGIE : トリガ割込み 要求許可ビット	<ul style="list-style-type: none"> bit2: TGIR の割込み要求を制御します。 TGIE ビットが許可されていて bit2 :TGIR ビットがセットされると CPU に割込み要求を発生します。
bit5	未定義ビット	<ul style="list-style-type: none"> 読出し値は "0" です。 このビットには "0" を書き込んでください。
bit4	UDIE : アンダフロー 割込み要求許可 ビット	<ul style="list-style-type: none"> bit0 :UDIR の割込み要求を制御します。 UDIE ビットが許可されていて bit0 :UDIR ビットがセットされると CPU に割込み要求を発生します。
bit3	未定義ビット	<ul style="list-style-type: none"> 読出し値は "0" です。 このビットには "0" を書き込んでください。
bit2	TGIR : トリガ割込み 要求ビット	<ul style="list-style-type: none"> ソフトウェアトリガ, またはトリガ入力の検出をしたときに TGIR ビットが "1" にセットされます。 TGIR ビットは "0" 書込みによりクリアされます。 TGIR ビットに "1" 書き込んでもビット値には影響しません。 リードモディファイライト (RMW) 系命令における読出し値は , ビット値にかかわらず "1" になります。
bit1	未定義ビット	<ul style="list-style-type: none"> 読出し値は "0" です。 このビットには "0" を書き込んでください。
bit0	UDIR : アンダフロー 割込み要求 ビット	<ul style="list-style-type: none"> "H" 幅を設定した値からのカウント中でカウント値が "0000_H" "FFFF_H" へアンダフロー変化したときに UDIR ビットが "1" にセットされます。 UDIR ビットは "0" 書込みによりクリアされます。 UDIR ビットに "1" 書き込んでもビット値には影響しません。 リードモディファイライト (RMW) 系命令における読出し値は , ビット値にかかわらず "1" になります。

23.8.2.2 "L" 幅設定リロードレジスタ (BTxPRL)

"L" 幅設定リロードレジスタ (BTxPRL) は、PPG 出力波形の "L" 幅を設定するためのレジスタです。タイマレジスタへの転送は、起動トリガ検出時か、"H" 幅カウンタ終了時のアンダフローで行われます。

■ "L" 幅設定リロードレジスタ (BTxPRL) のビット構成

図 23.8-17 に、"L" 幅設定リロードレジスタ (BTxPRL) のビット構成を示します。

図 23.8-17 "L" 幅設定リロードレジスタ (BTxPRL) のビット構成

bit 15	bit 14	bit 13	bit 12	bit 11	bit 10	bit 9	bit 8	初期値 :
								XXXXXXXX _B (リセット時)
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
bit 7	bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0	初期値 :
								XXXXXXXX _B (リセット時)
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	

R/W : リード / ライト可能
X : 不定値

PPG 出力波形の "L" 幅を設定するためのレジスタです。タイマレジスタへの転送は起動トリガ検出時と "H" 幅カウンタ終了時のアンダフローで行われます。

- BTxPRL レジスタは 16 ビットデータでアクセスしてください。
- BTxPRL レジスタは BTxTMCR レジスタの FMD2, FMD1, FMD0 ビットで PPG 機能の設定後に "L" 幅設定してください。

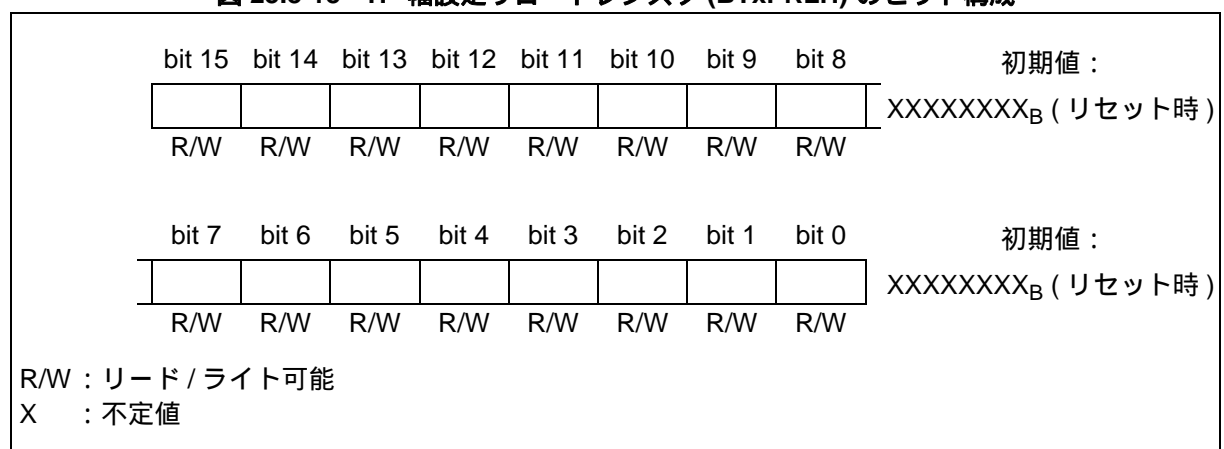
23.8.2.3 "H" 幅設定リロードレジスタ (BTxPRLH)

"H" 幅設定リロードレジスタ (BTxPRLH) は PPG 出力波形の "H" 幅を設定するためのバッファ付きレジスタです。BTxPRLH からバッファレジスタへの転送は起動トリガ検出時と "H" 幅カウンタ終了時のアンダフローで行われ、バッファレジスタからタイマレジスタへの転送は "L" 幅カウンタ終了時のアンダフローで行われます。

■ "H" 幅設定リロードレジスタ (BTxPRLH) のビット構成

図 23.8-18 に、"H" 幅設定リロードレジスタ (BTxPRLH) のビット構成を示します。

図 23.8-18 "H" 幅設定リロードレジスタ (BTxPRLH) のビット構成



PPG 出力波形の "H" 幅を設定するためのレジスタです。BTxPRLH からバッファレジスタへの転送は起動トリガ検出時と "H" 幅カウンタ終了時のアンダフローで行われ、バッファレジスタからタイマレジスタへの転送は "L" 幅カウンタ終了時のアンダフローで行われます。

- BTxPRLH レジスタは 16 ビットデータでアクセスしてください。
- BTxPRLH レジスタは BTxTMCR レジスタの FMD2, FMD1, FMD0 ビットで PPG 機能の設定後、"H" 幅に設定してください。

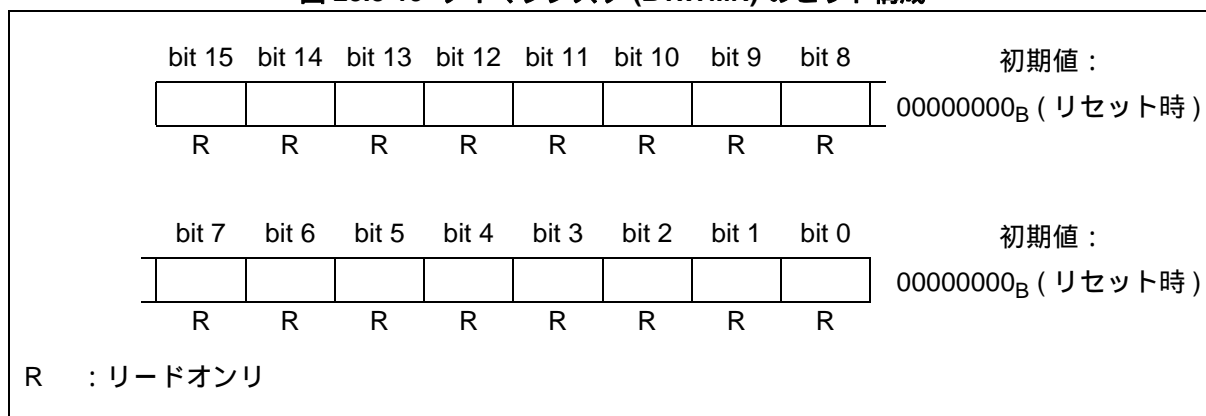
23.8.2.4 タイマレジスタ (BTxTMR)

タイマレジスタ (BTxTMR) は、16 ビットダウンカウンタの値を読み出すことができます。

■ タイマレジスタ (BTxTMR) のビット構成

図 23.8-19 に、PPG タイマレジスタ (BTxTMR) のビット構成を示します。

図 23.8-19 タイマレジスタ (BTxTMR) のビット構成



16 ビットダウンカウンタの値を読み出すことができます。

< 注意事項 >

BTxTMR レジスタは 16 ビットデータでアクセスしてください。

23.8.2.5 16 ビット PPG タイマ動作

PPG タイマ動作では、出力パルスの "L" 幅と "H" 幅をそれぞれのリロードレジスタに設定することで任意の出力パルスを制御することができます。

■ 動作概要

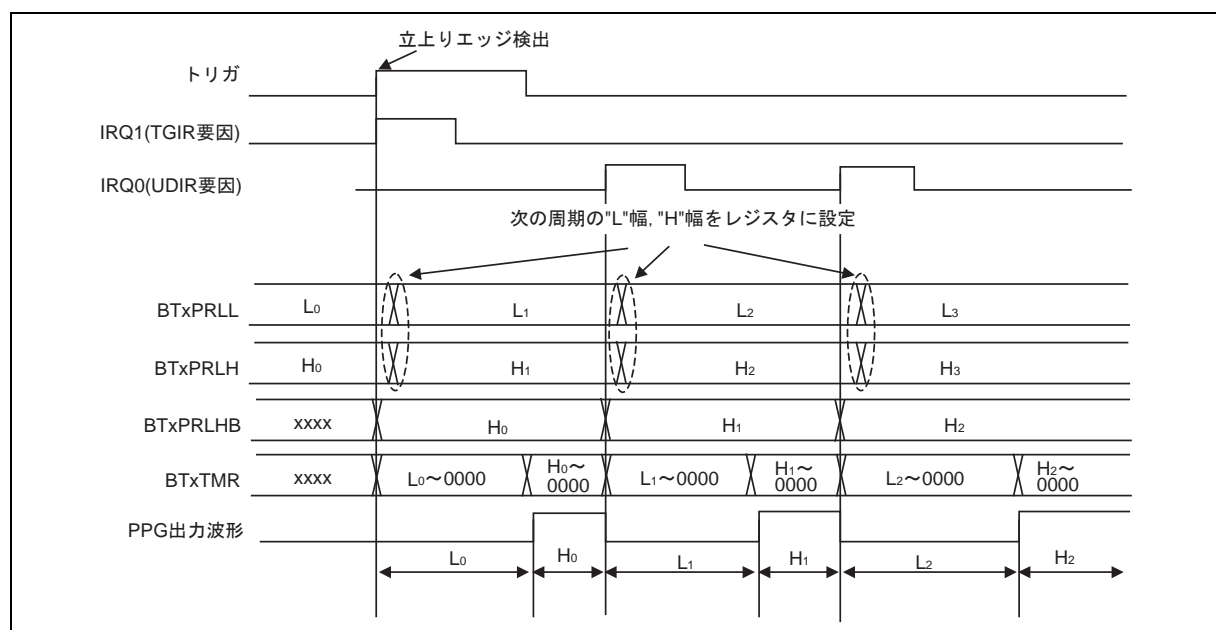
16 ビット長のリロードレジスタが "L" 幅設定用と "H" 幅設定用の 2 本, "H" 幅設定のバッファが 1 本あります (BTxPRL, BTxPRLH, BTxPRLHB)。

起動トリガにより, 16 ビットダウンカウンタに最初は BTxPRL の設定値がロードされ, 同時に BTxPRLHB に BTxPRLH の設定値が転送されます。PPG 出力はレベルを "L" にして, カウントクロックごとにダウンカウントしていきます。アンダフローの検出により BTxPRLHB の値がカウンタにリロードされ, PPG 出力波形を反転してダウンカウントしていきます。再度アンダフローの検出で PPG 出力波形を反転し, BTxPRL の設定値をカウンタにリロードし, BTxPRLH の設定値を BTxPRLHB に転送します。

この動作によって, 出力波形は各リロードレジスタ値に対応した "L" 幅・"H" 幅のパルス出力となります。

■ リロードレジスタへの書き込みタイミング

リロードレジスタ BTxPRL, BTxPRLH へのデータの書き込みは起動トリガ検出時とアンダフロー割込み要因 (UDIR) がセットされてから, 次の周期に移るまでの間に行います。その際に設定するデータは次の周期の設定となります。BTxPRL, BTxPRLH に設定したデータは起動トリガ検出時と "H" 幅カウント終了時のアンダフロー時に BTxTMR と BTxPRLHB にそれぞれ自動転送されます。BTxPRLHB に転送されたデータは "L" 幅カウント終了時のアンダフロー時に BTxTMR に自動でリロードされます。



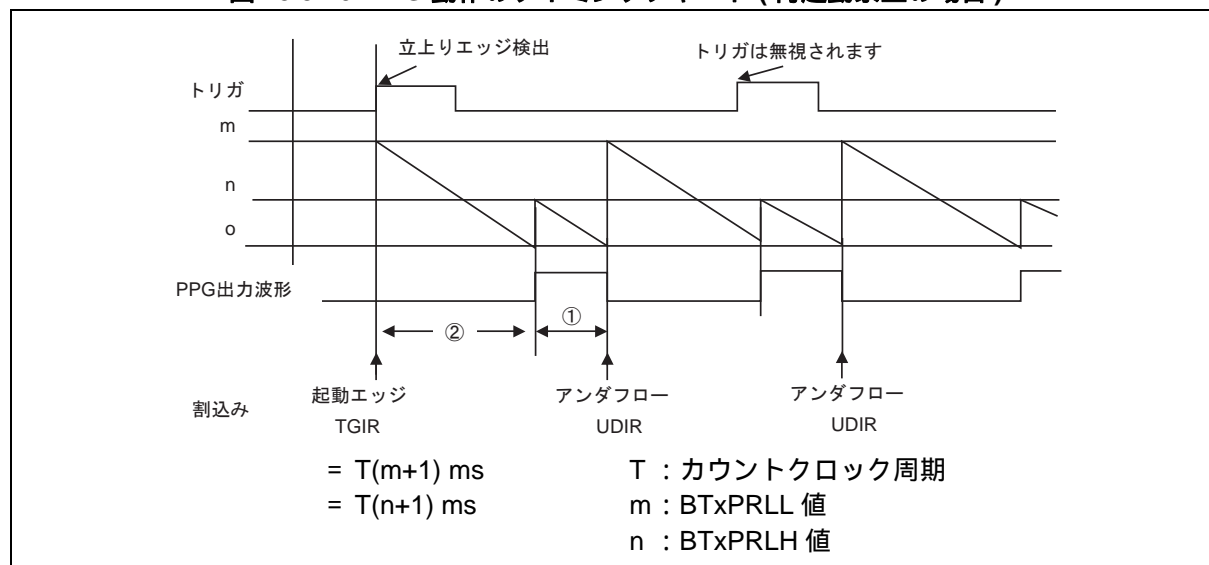
23.8.2.6 連続動作

連続動作では、各割込み要因のセットタイミングで "L" 幅と "H" 幅を更新することにより、任意のパルスを連続で出力することができます。再起動許可の場合は、動作中にエッジを検出するとカウンタをリロードします。

■ 連続動作

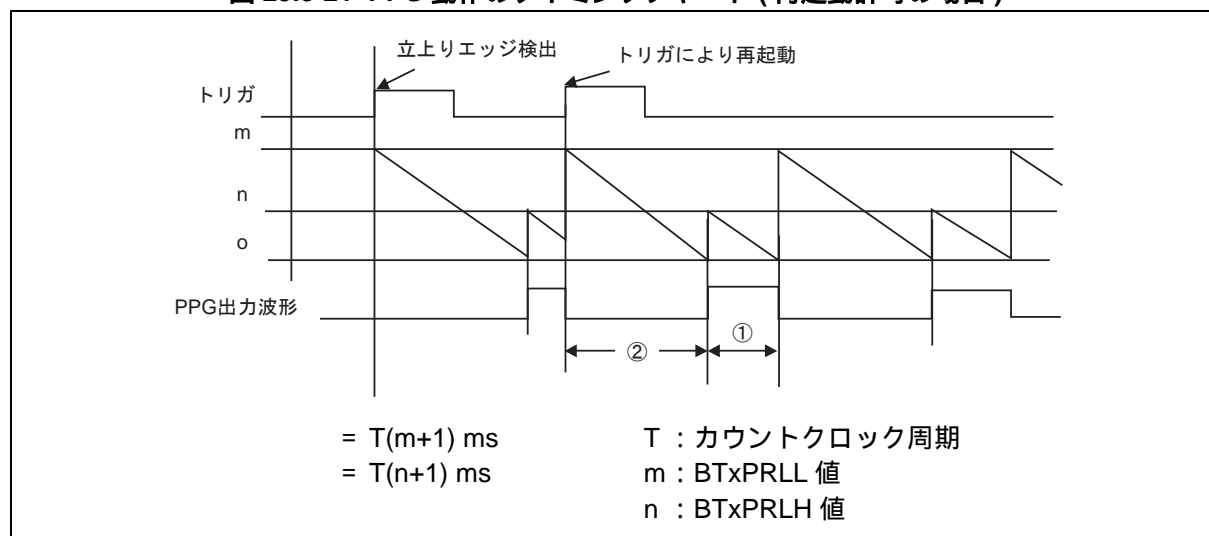
● 再起動禁止の場合 (RTGEN=0)

図 23.8-20 PPG 動作のタイミングチャート (再起動禁止の場合)



● 再起動許可の場合 (RTGEN=1)

図 23.8-21 PPG 動作のタイミングチャート (再起動許可の場合)



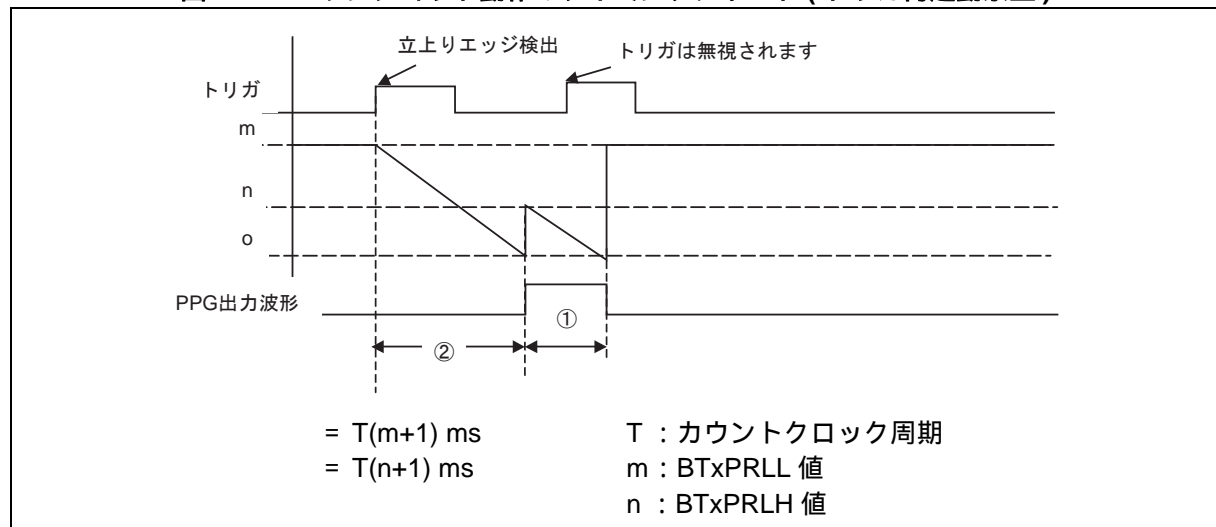
23.8.2.7 ワンショット動作

ワンショット動作では、トリガにより任意の幅の単一パルスを出力することができます。再起動許可の場合は、動作中にエッジを検出するとカウンタをリロードします。

■ ワンショット動作

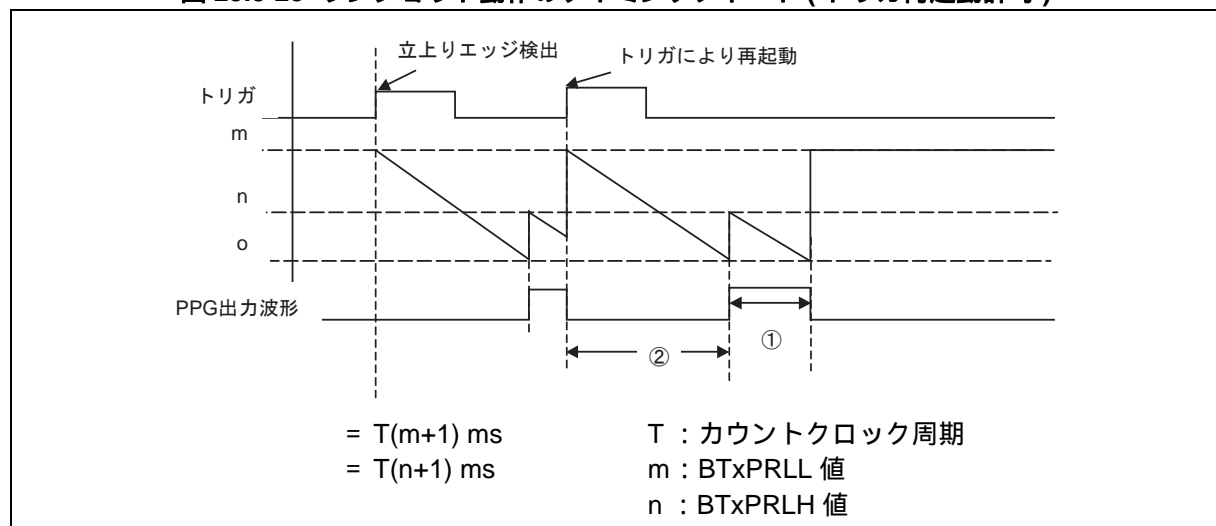
- 再起動禁止の場合 (RTGEN=0)

図 23.8-22 ワンショット動作のタイミングチャート (トリガ再起動禁止)



- 再起動許可の場合 (RTGEN=1)

図 23.8-23 ワンショット動作のタイミングチャート (トリガ再起動許可)



■ リロード値とパルス幅の関係

16 ビット長のリロードレジスタに書かれた値を + 1 した値に , カウントクロックの周期を掛けた値が出力されるパルス幅となります。したがって , リロードレジスタ値が "0000_H" のときはカウントクロック 1 周期のパルス幅になります。また , リロードレジスタ値が "FFFF_H" のときはカウントクロック 65536 周期のパルス幅になります。パルス幅の計算式は以下のようになります。

$PL = T \times (L+1)$	PL : "L" パルスの幅
$PH = T \times (H+1)$	PH : "H" パルスの幅
	T : カウントクロック周期
	L : BTxPRL _L 値
	H : BTxPRL _H 値

23.8.2.8 割込み要因とタイミングチャート

割込み要因とタイミングチャートについて示します。

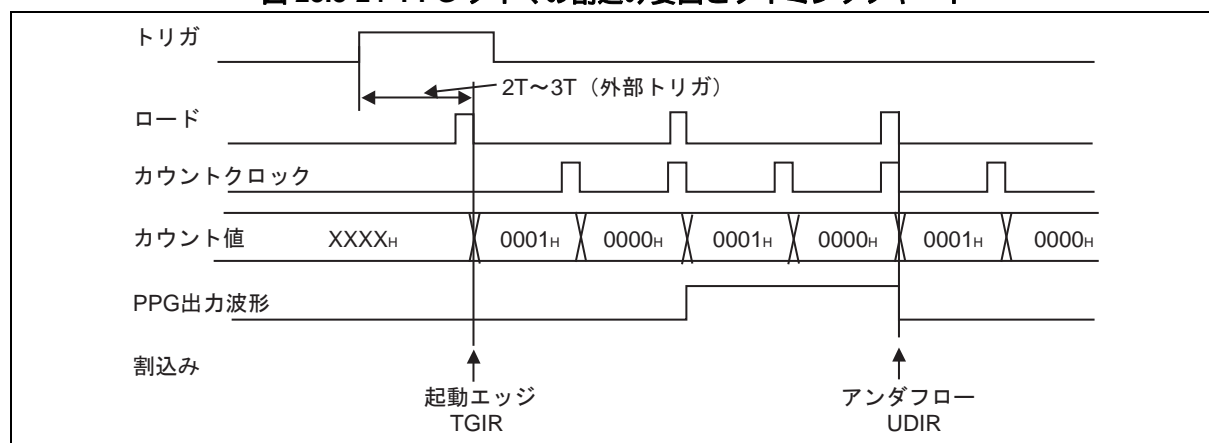
■ 割込み要因とタイミングチャート (PPG 出力 : 通常極性)

トリガがかかってからカウンタ値がロードされるまで、ソフトウェアトリガ時は T、外部トリガ時は $2T \sim 3T$ (T: 周辺クロック (PCLK) サイクル) を必要とします。

割込み要因は PPG 起動トリガ検出時と、"H" レベル出力時のアンダフロー検出時にセットされます。

図 23.8-24 に、"L" 幅設定値 = 1, "H" 幅設定値 = 1 の場合の割込み要因とタイミングチャートを示します。

図 23.8-24 PPG タイマの割込み要因とタイミングチャート



23.8.3 リロードタイマ機能

ベースタイマは、タイマ制御レジスタの FMD2, FMD1, FMD0 ビットの設定により、16 ビット PWM タイマ、16 ビット PPG タイマ、16/32 ビットリロードタイマ、16/32 ビット PWC タイマの中からタイマ機能を 1 つだけ選択することができます。リロードタイマを設定したときのタイマ機能の説明を示します。

- リロードタイマ選択時のタイマ制御レジスタ (BTxTMCR)
- 周期設定レジスタ (BTxPCSR)
- タイマレジスタ (BTxTMR)
- 16 ビットリロードタイマの動作

23.8.3.1 リロードタイマ選択時のタイマ制御レジスタ (BTxTMCR)

タイマ制御レジスタ (BTxTMCR) は、タイマの動作制御をします。

■ タイマ制御レジスタ (BTxTMCR 上位バイト)

図 23.8-25 タイマ制御レジスタ (BTxTMCR 上位バイト)

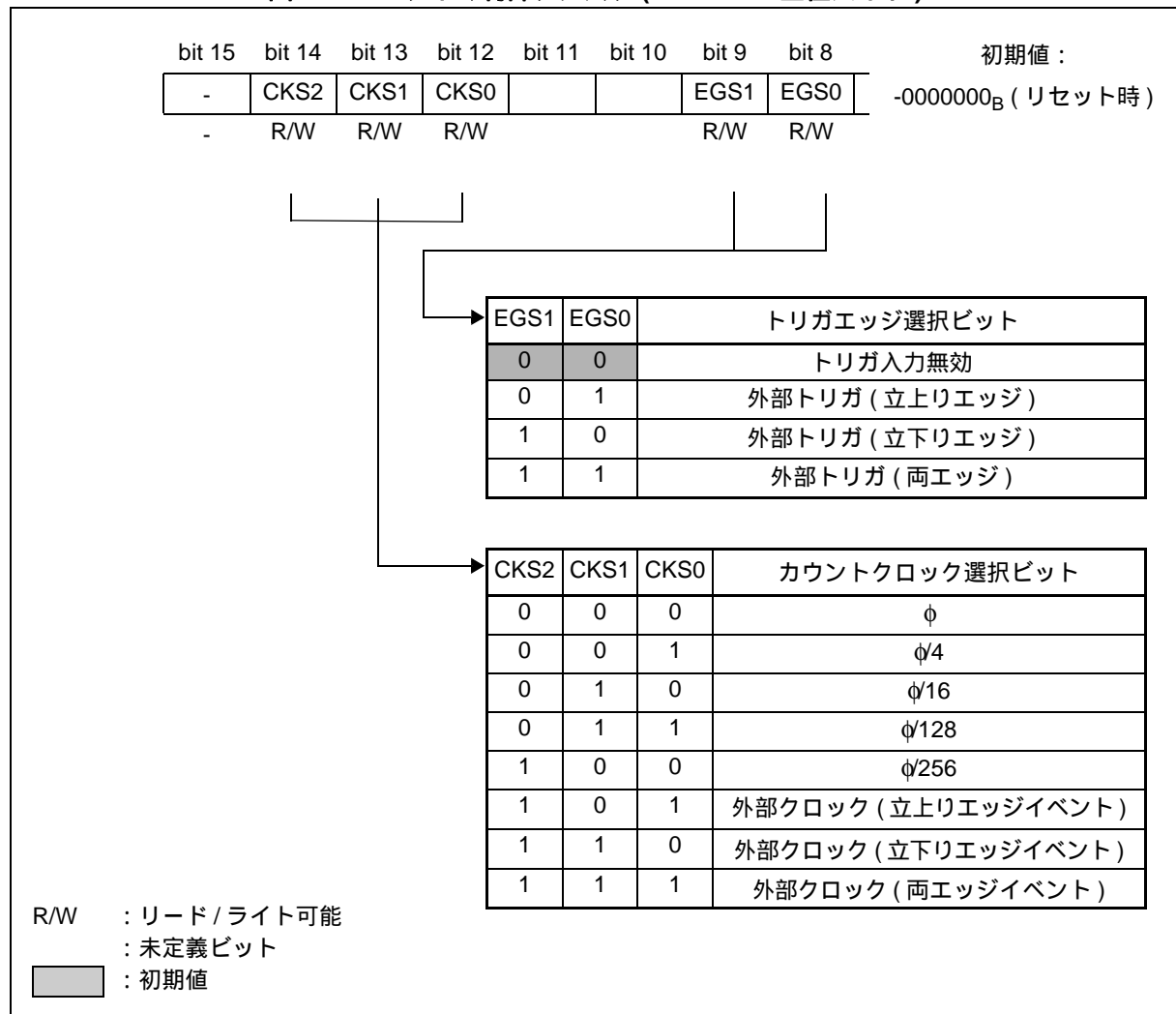


表 23.8-7 タイマ制御レジスタ (BTxTMCR 上位バイト)

ビット名		機能
bit15	未定義ビット	<ul style="list-style-type: none"> 読出し値は不定です。 このビットへの書込みは、動作に影響しません。
bit14 ~ bit12	CKS2, CKS1, CKS0 : カウント クロック選択 ビット	<ul style="list-style-type: none"> 16 ビットダウンカウンタのカウントクロックを選択します。 カウントクロックの変更は設定を変えると直ちに反映します。したがって、CKS2 ~ CKS0 の変更はカウント停止状態 (CTEN=0) で行ってください。ただし、CTEN ビットへの "1" 書込みと同時に変更することは可能です。
bit11, bit10	未定義ビット	<ul style="list-style-type: none"> 読出し値は "0" です。 このビットには "0" を書き込んでください。
bit9, bit8	EGS1, EGS0 : トリガエッジ 選択ビット	<ul style="list-style-type: none"> 外部起動要因として入力波形に対する有効エッジを選択し、トリガの条件を設定します。 初期値または "00_B" の設定の場合、入力波形に対する有効エッジが選択されていない状態なので外部波形による起動は行いません。 (注意事項) EGS1, EGS0 の設定にかかわらず、STRG ビットに "1" を書き込むとソフトウェアトリガは有効になります。 EGS1, EGS0 の変更はカウント停止状態 (CTEN=0) で行ってください。ただし、CTEN ビットへの "1" 書込みと同時に変更することは可能です。

■ タイマ制御レジスタ (BTxTMCR 下位バイト)

図 23.8-26 タイマ制御レジスタ (BTxTMCR 下位バイト)



表 23.8-8 タイマ制御レジスタ (BTxTMCR 下位バイト) (1 / 2)

ビット名		機能															
bit7	T32: 32 ビット タイマ選択 ビット	<ul style="list-style-type: none"> 32 ビットタイマ機能を選択するビットです。 FMD2, FMD1, FMD0 ビットに "011_B" を設定して、リロードタイマ機能を選択している場合、T32 ビットを "1" に設定すると 32 ビットタイマモードになります。 変更はタイマ停止中 (CTEN=0) に行ってください。ただし、CTEN ビットへの "1" 書込みと同時に変更することは可能です (「23.5 32 ビットモード動作」を参照)。 															
bit6 ~ bit4	FMD2, FMD1, FMD0: タイマ機能 選択ビット	<ul style="list-style-type: none"> タイマ機能を選択するビットです。 FMD2, FMD1, FMD0 ビットに "011_B" を設定するとリロードタイマ機能が選択されます。 変更はタイマ停止中 (CTEN=0) に行ってください。ただし、CTEN ビットへの "1" 書込みと同時に変更することは可能です。 															
bit3	OSEL : 出力極性指定 ビット	<ul style="list-style-type: none"> タイマ出力のレベルを通常のまま出力するか反転させるかを選択します。 bit2:MDSE との組合せにより次のように出力波形を生成します。 <table border="1"> <thead> <tr> <th>MDSE</th><th>OSEL</th><th>出力波形</th></tr> </thead> <tbody> <tr> <td>0</td><td>0</td><td>カウント開始時 "L" のトグル出力</td></tr> <tr> <td>0</td><td>1</td><td>カウント開始時 "H" のトグル出力</td></tr> <tr> <td>1</td><td>0</td><td>カウント中 "H" の矩形波</td></tr> <tr> <td>1</td><td>1</td><td>カウント中 "L" の矩形波</td></tr> </tbody> </table>	MDSE	OSEL	出力波形	0	0	カウント開始時 "L" のトグル出力	0	1	カウント開始時 "H" のトグル出力	1	0	カウント中 "H" の矩形波	1	1	カウント中 "L" の矩形波
MDSE	OSEL	出力波形															
0	0	カウント開始時 "L" のトグル出力															
0	1	カウント開始時 "H" のトグル出力															
1	0	カウント中 "H" の矩形波															
1	1	カウント中 "L" の矩形波															
bit2	MDSE : モード選択 ビット	<ul style="list-style-type: none"> MDSE ビットを "0" に設定するとリロードモードとなり、カウント値が "0000_H" "FFFF_H" へのアンダフローと同時にリロードレジスタ値をカウンタにロードしてカウント動作を続けます。 MDSE ビットを "1" に設定するとワンショットモードとなり、カウント値が "0000_H" "FFFF_H" へのアンダフローにより動作を停止します。 変更はタイマ停止中 (CTEN=0) に行ってください。ただし、CTEN ビットへの "1" 書込みと同時に変更することは可能です。 															
bit1	CTEN : カウント動作 許可ビット	<ul style="list-style-type: none"> ダウンカウンタの動作を許可するビットです。 カウンタが動作許可状態 (CTEN ビットが "1") のときに "0" を書き込むとカウンタは停止します。 															

表 23.8-8 タイマ制御レジスタ (BTxTMCR 下位バイト) (2 / 2)

ビット名		機能
bit0	STRG : ソフトウェア トリガビット	<ul style="list-style-type: none">CTEN ビットが "1" のときに STRG ビットに "1" を書き込むとソフトウェアトリガが発生します。(注意事項) CTEN ビットと STRG ビットに同時に "1" を書き込んだ場合でも、ソフトウェアトリガが発生します。STRG ビットの読出し値は常に "0" です。(注意事項) EGS1, EGS0 の設定にかかわらず、STRG ビットに "1" を書き込むとソフトウェアトリガは有効になります。

■ ステータス制御レジスタ (BTxSTC)

図 23.8-27 ステータス制御レジスタ (BTxSTC)

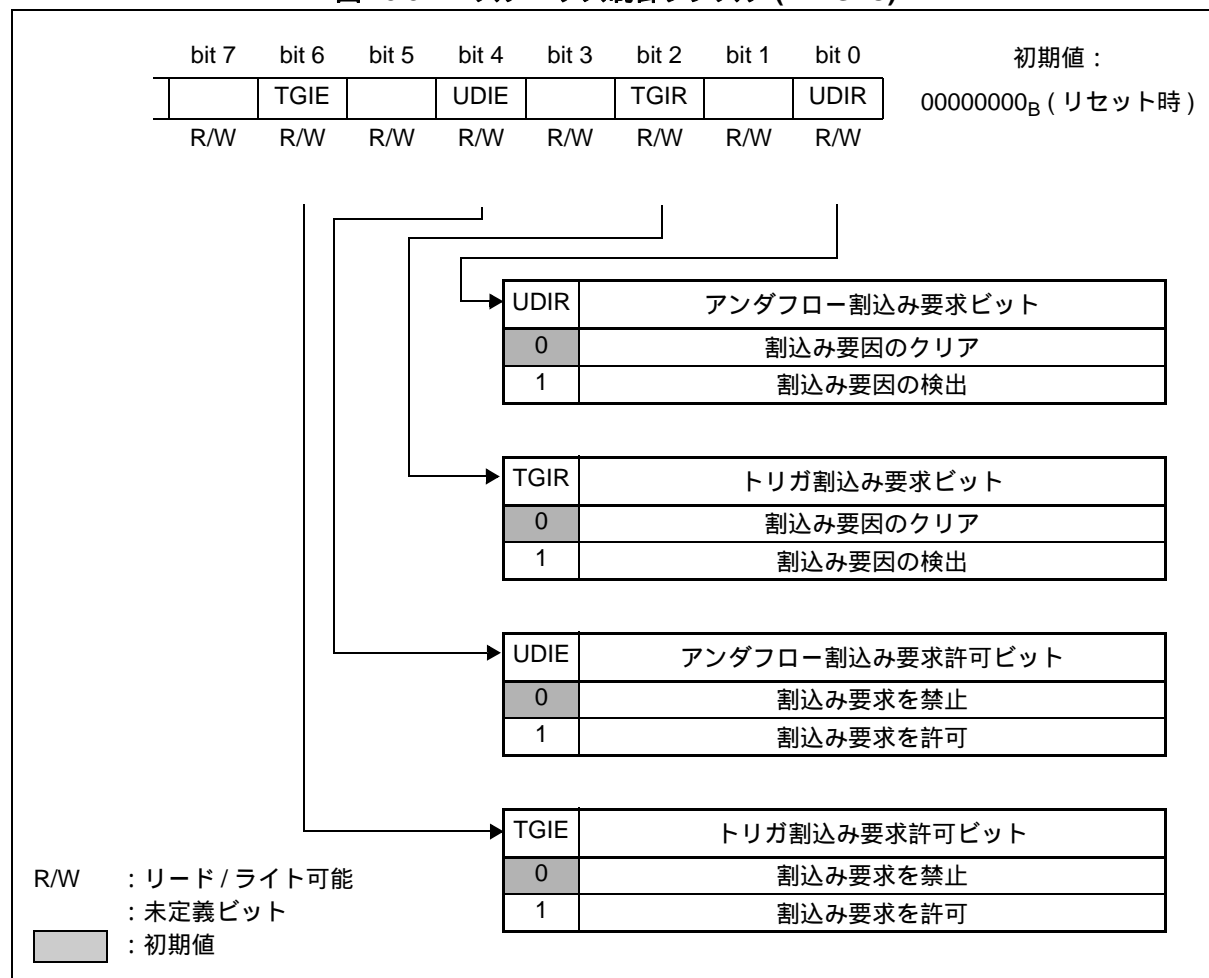


表 23.8-9 ステータス制御レジスタ (BTxSTC)

ビット名		機能
bit7	未定義ビット	<ul style="list-style-type: none"> 読出し値は "0" です。 このビットには "0" を書き込んでください。
bit6	TGIE : トリガ割込み 要求許可ビット	<ul style="list-style-type: none"> bit2 :TGIR の割込み要求を制御します。 TGIE ビットが許可されていて bit2 :TGIR ビットがセットされると CPU に割込み要求を発生します。
bit5	未定義ビット	<ul style="list-style-type: none"> 読出し値は "0" です。 このビットには "0" を書き込んでください。
bit4	UDIE : アンダフロー 割込み要求許可 ビット	<ul style="list-style-type: none"> bit0: UDIR の割込み要求を制御します。 UDIE ビットが許可されていて bit0: UDIR ビットがセットされると CPU に割込み要求を発生します。
bit3	未定義ビット	<ul style="list-style-type: none"> 読出し値は "0" です。 このビットには "0" を書き込んでください。
bit2	TGIR : トリガ割込み 要求ビット	<ul style="list-style-type: none"> ソフトウェアトリガ, またはトリガ入力の検出をしたときに TGIR ビットが "1" にセットされます。 TGIR ビットは "0" 書込みによりクリアされます。 TGIR ビットに "1" を書き込んでもビット値には影響しません。 リードモディファイライト (RMW) 系命令における読出し値は , ビット値にかかわらず "1" になります。
bit1	未使用ビット	<ul style="list-style-type: none"> 読出し値は "0" です。 このビットには "0" を書き込んでください。
bit0	UDIR : アンダフロー 割込み要求 ビット	<ul style="list-style-type: none"> カウント値が "0000_H" "FFFF_H" へのアンダフロー時に UDIR ビットが "1" にセットされます。 UDIR ビットは "0" 書込みによりクリアされます。 UDIR ビットに "1" を書き込んでもビット値には影響しません。 リードモディファイライト (RMW) 系命令における読出し値は , ビット値にかかわらず "1" になります。

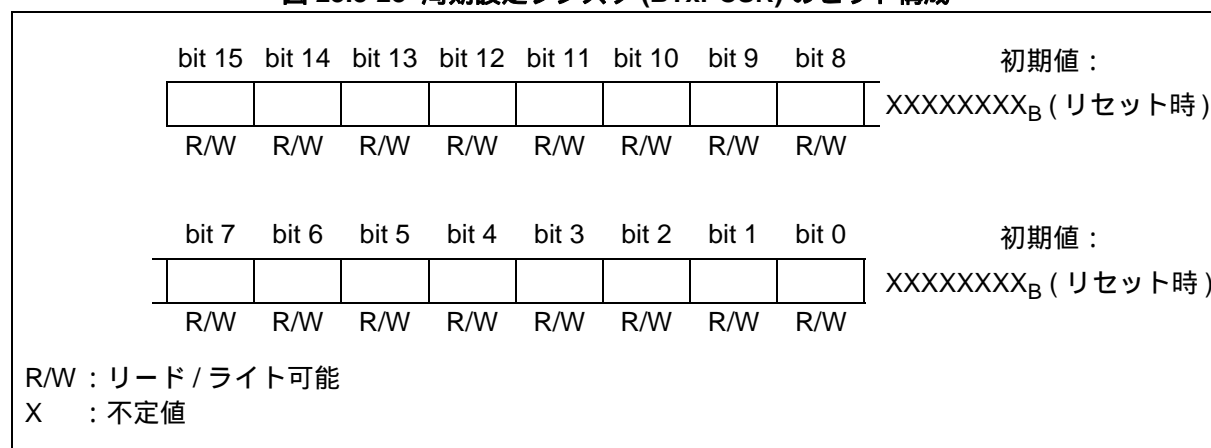
23.8.3.2 周期設定レジスタ (BTxPCSR)

周期設定レジスタ (BTxPCSR) は、カウントの初期値を保持するレジスタです。32 ビットモード時には偶数チャネルの場合は下位 16 ビットのカウント初期値となり、奇数チャネルの場合は上位 16 ビットのカウント初期値となります。リセット時の初期値は不定です。このレジスタへのアクセスは、必ず 16 ビットデータ転送命令で行ってください。

■ 周期設定レジスタ (BTxPCSR) のビット構成

図 23.8-28 に、周期設定レジスタ (BTxPCSR) のビット構成を示します。

図 23.8-28 周期設定レジスタ (BTxPCSR) のビット構成



周期を設定するためのレジスタです。タイマレジスタへの転送はアンダフローで行われます。

- BTxPCSR レジスタは 16 ビットデータでアクセスしてください。
- BTxPCSR レジスタは BTxTMCR レジスタの FMD2, FMD1, FMD0 ビットでリロードタイマ機能の設定後に周期設定をしてください。
- 32 ビットモードで BTxPCSR レジスタにデータを書き込む場合、上位 16 ビットデータ (奇数チャネルのデータ) から先にアクセスした後で、下位 16 ビットデータ (偶数チャネルのデータ) にアクセスしてください。

MB91635A シリーズ

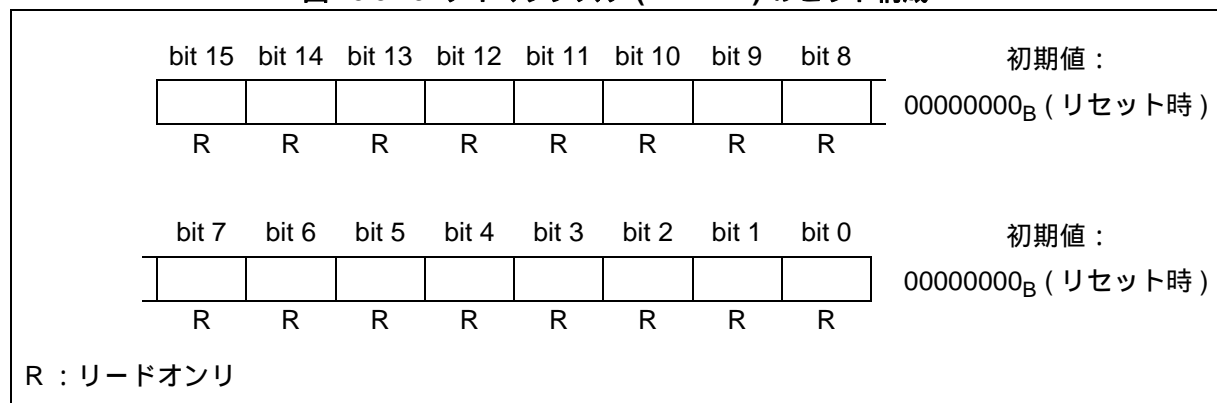
23.8.3.3 タイマレジスタ (BTxTMR)

タイマレジスタ (BTxTMR) は、タイマのカウント値を読み出すことができるレジスタです。32 ビットモード時には偶数チャネルの場合は下位 16 ビットのカウント値となり、奇数チャネルの場合は上位 16 ビットのカウント値となります。初期値は不定です。
このレジスタの読出しは、必ず 16 ビットデータ転送命令で行ってください。

■ タイマレジスタ (BTxTMR) のビット構成

図 23.8-29 に、タイマレジスタ (BTxTMR) のビット構成を示します。

図 23.8-29 タイマレジスタ (BTxTMR) のビット構成



16 ビットダウンカウンタの値を読み出すことができます。

< 注意事項 >

- BTxTMR レジスタは 16 ビットデータでアクセスしてください。
- 32 ビットモードで BTxTMR レジスタを読み出す場合、下位 16 ビットデータ (偶数チャネルのデータ) から先に読み出した後で、上位 16 ビットデータ (奇数チャネルのデータ) を読み出してください。

23.8.3.4 16 ビットリロードタイマの動作

リロードタイマ動作では、カウントクロックに同期して周期設定レジスタに設定する値からカウントダウンを実行し、カウント値が "0" となったときにカウントを終了するか、または周期設定を自動でロードしてカウントダウンを停止するまで継続動作します。

■ 内部クロック選択時のカウント動作

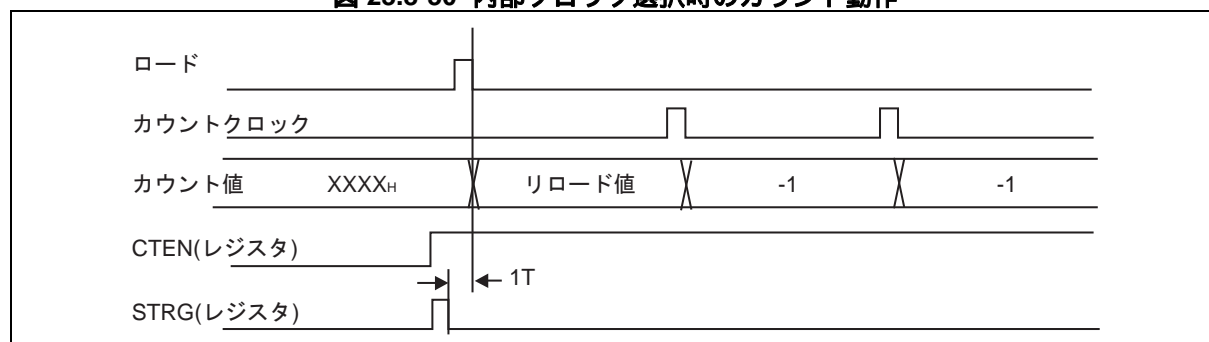
カウント許可と同時にカウント動作を開始したい場合は、タイマ制御レジスタの CTEN ビットと STRG ビットの両方に "1" を書き込んでください。STRG ビットによるトリガ入力は、タイマが起動状態のとき (CNTE=1) は動作モードにかかわらず常に有効です。

カウント動作を許可し、ソフトウェアトリガまたは外部トリガでタイマを起動すると、周期設定レジスタの値をカウンタにロードしてカウントダウンを開始します。

カウンタスタートのトリガがセットされてから周期設定レジスタのデータがカウンタへロードされるまでに、1T (T: 周辺クロック (PCLK) サイクル) の時間がかかります。

図 23.8-30 に、ソフトウェアトリガによるカウンタの起動および動作を示します。

図 23.8-30 内部クロック選択時のカウント動作



■ アンダフロー動作

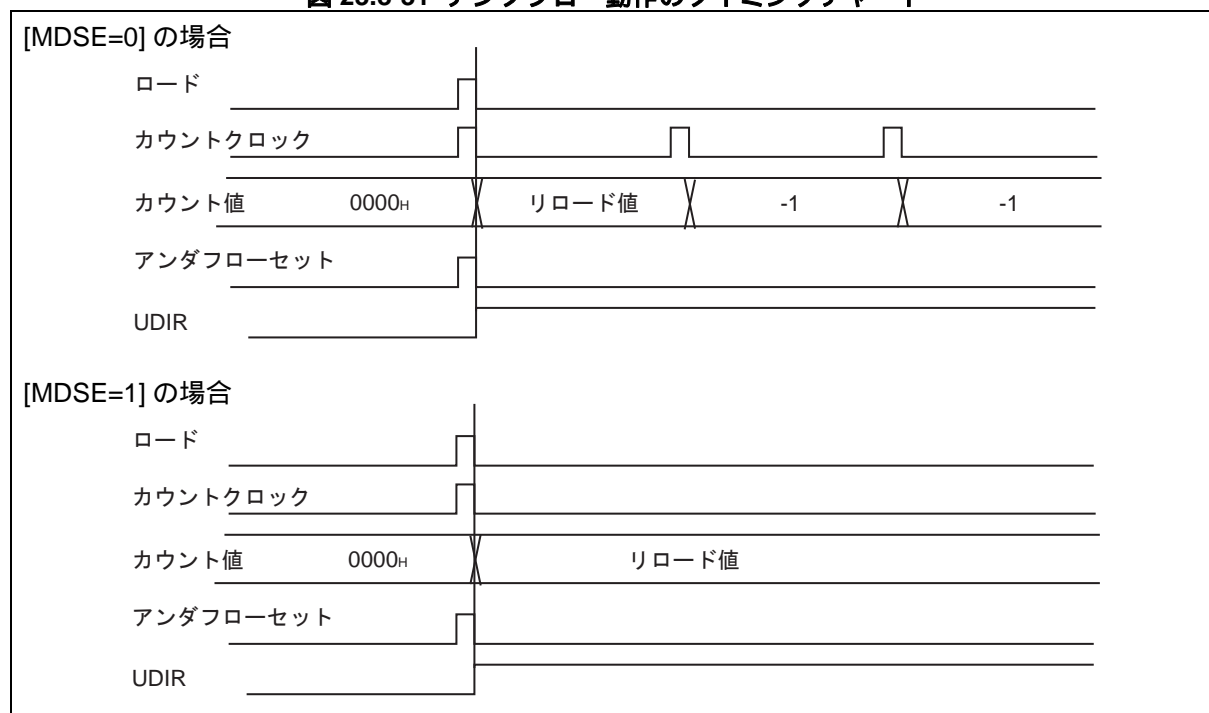
カウンタの値が "0000_H" から "FFFF_H" になる場合をアンダフローとしています。したがって、〔周期設定レジスタの設定値 +1〕カウントでアンダフローが発生します。

アンダフロー発生時に周期設定レジスタ (BTxPCSR) の内容をカウンタへロードして、タイマ制御レジスタ (BTxTMCR) の MDSE ビットが "0" のときはカウント動作を継続します。MDSE ビットが "1" のときは、ロードしたカウンタ値のまま停止します。

アンダフローによりステータス制御レジスタ (BTxSTC) の UDIR ビットがセットされ、UDIE ビットが "1" のときに割り込み要求が発生します。

図 23.8-31 に、アンダフロー動作のタイミングチャートを示します。

図 23.8-31 アンダフロー動作のタイミングチャート

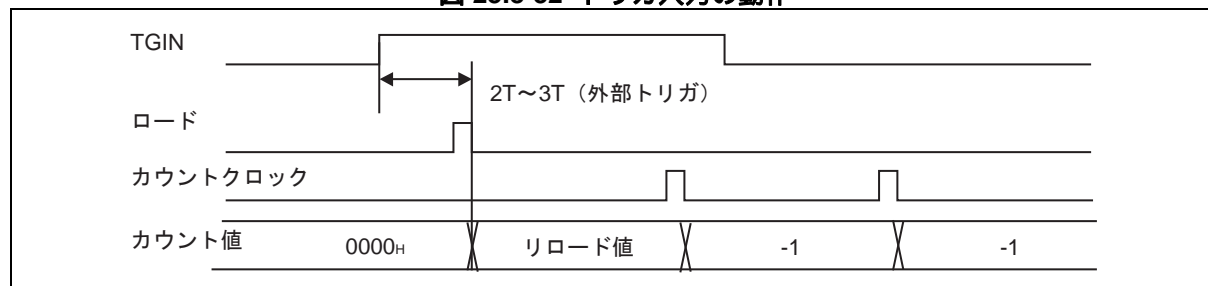


■ 入力端子機能の動作

TGIN 端子はトリガ入力として使用することができます。TGIN 端子に有効エッジが入力されると周期設定レジスタの内容をカウンタにロードしてカウント動作を開始します。トリガがかかってから、カウンタ値がロードされるまで、 $2T \sim 3T$ (T: 周辺クロック (PCLK) サイクル) を必要とします。

図 23.8-32 に、有効エッジ指定を立上りエッジにした場合のトリガ入力動作を示します。

図 23.8-32 トリガ入力の動作

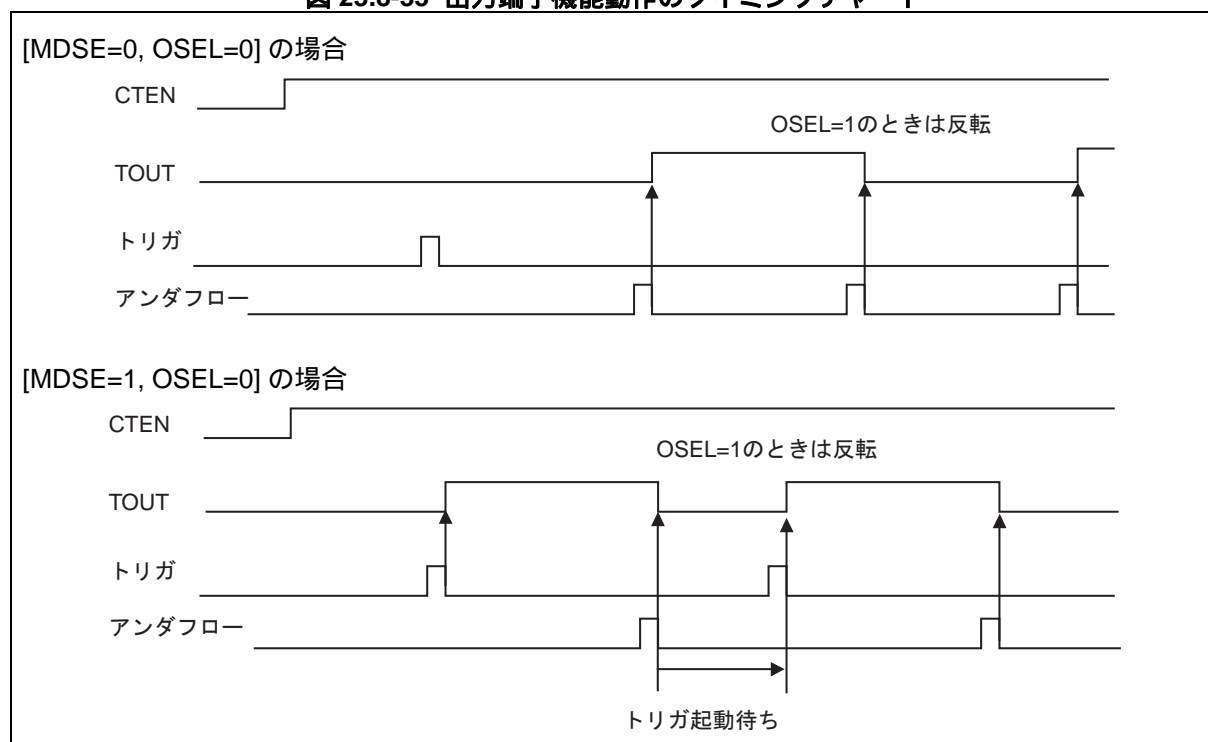


■ 出力端子機能の動作

TOUT 出力端子は、リロードモード時はアンダフローにより反転するトグル出力として、ワンショットモード時はカウント中を示すパルス出力として機能します。出力極性は、タイマ制御レジスタ (BTxTMCR) の OSEL ビットにより設定できます。OSEL=0 の場合、トグル出力は初期値が "0" で、ワンショットパルス出力はカウント中 "1" を出力します。OSEL=1 にすると出力波形は反転します。

図 23.8-33 に、出力端子機能動作のタイミングチャートを示します。

図 23.8-33 出力端子機能動作のタイミングチャート



23.8.4 PWC 機能

ベースタイマは、タイマ制御レジスタの FMD2, FMD1, FMD0 ビットの設定により、16 ビット PWM タイマ、16 ビット PPG タイマ、16/32 ビットリロードタイマ、16/32 ビット PWC タイマの中からタイマ機能を 1 つだけ選択することができます。PWC を設定したときのタイマ機能の説明を示します。

- PWC タイマ選択時のタイマ制御レジスタ (BTxTMCR)
- データバッファレジスタ (BTxDTBF)
- PWC 動作

23.8.4.1 PWC タイマ選択時のタイマ制御レジスタ (BTxTMCR)

タイマ制御レジスタ (BTxTMCR) は、PWC タイマの動作を制御します。

■ タイマ制御レジスタ (BTxTMCR 上位バイト)

図 23.8-34 タイマ制御レジスタ (BTxTMCR 上位バイト)

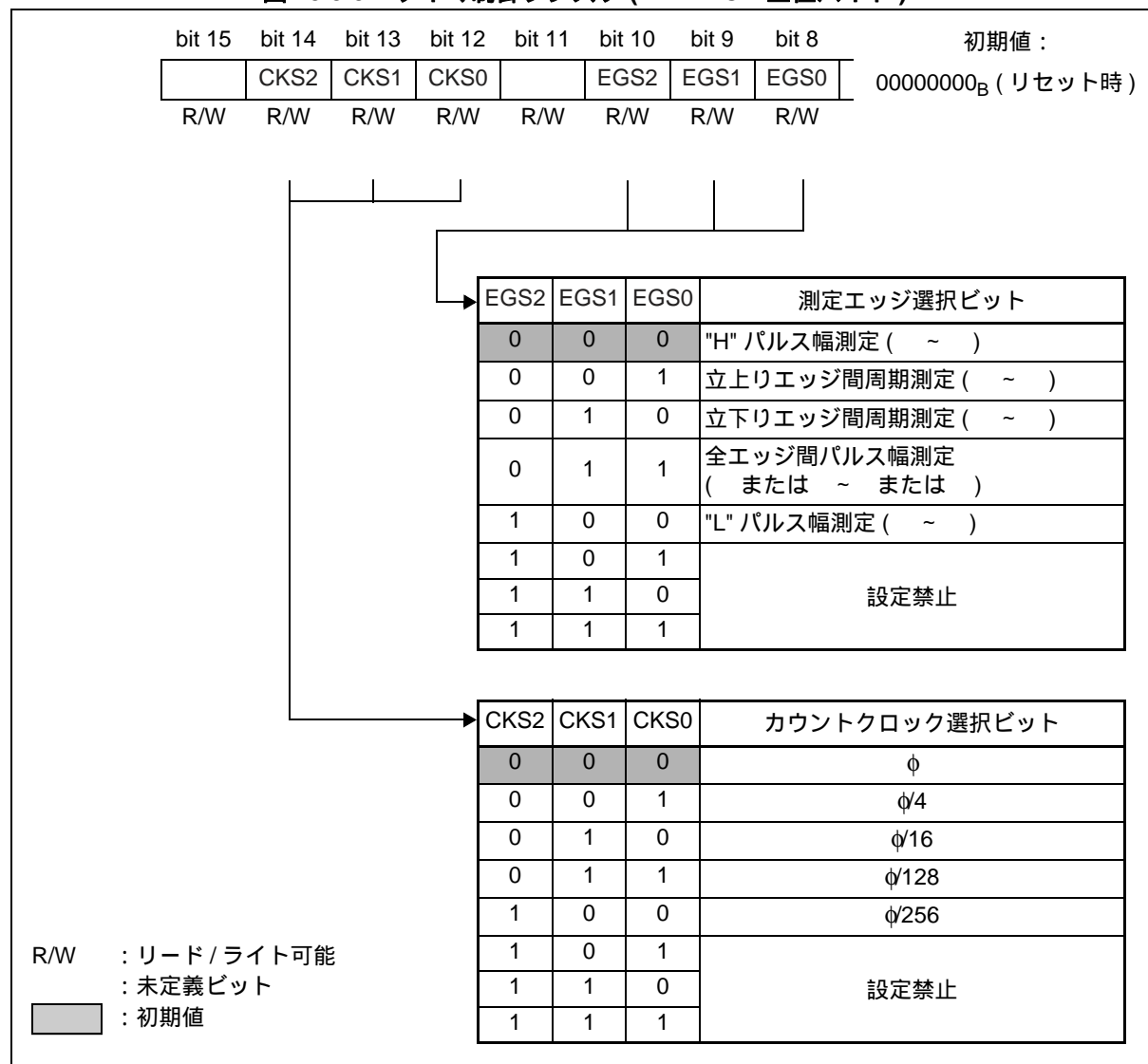


表 23.8-10 タイマ制御レジスタ (BTxTMCR 上位バイト)

ビット名		機能
bit15	未定義ビット	<ul style="list-style-type: none">読出し値は "0" です。このビットには "0" を書き込んでください。
bit14 ~ bit12	CKS2, CKS1, CKS0 : カウントクロック 選択ビット	<ul style="list-style-type: none">16 ビットアップカウンタのカウントクロックを選択します。カウントクロックの変更は設定を変えると直ちに反映します。したがって, CKS2 ~ CKS0の変更はカウント停止状態 (CTEN=0)で行ってください。ただし, CTEN ビットへの "1" 書込みと同時に変更することは可能です。
bit11	未定義ビット	<ul style="list-style-type: none">読出し値は "0" です。このビットには "0" を書き込んでください。
bit10 ~ bit8	EGS2, EGS1, EGS0 : 測定エッジ選択 ビット	<ul style="list-style-type: none">測定エッジの条件を設定します。EGS2, EGS1, EGS0 の変更はカウント停止状態 (CTEN=0)で行ってください。ただし, CTEN ビットへの "1" 書込みと同時に変更することは可能です。

■ タイマ制御レジスタ (BTxTMCR 下位バイト)

図 23.8-35 タイマ制御レジスタ (BTxTMCR 下位バイト)

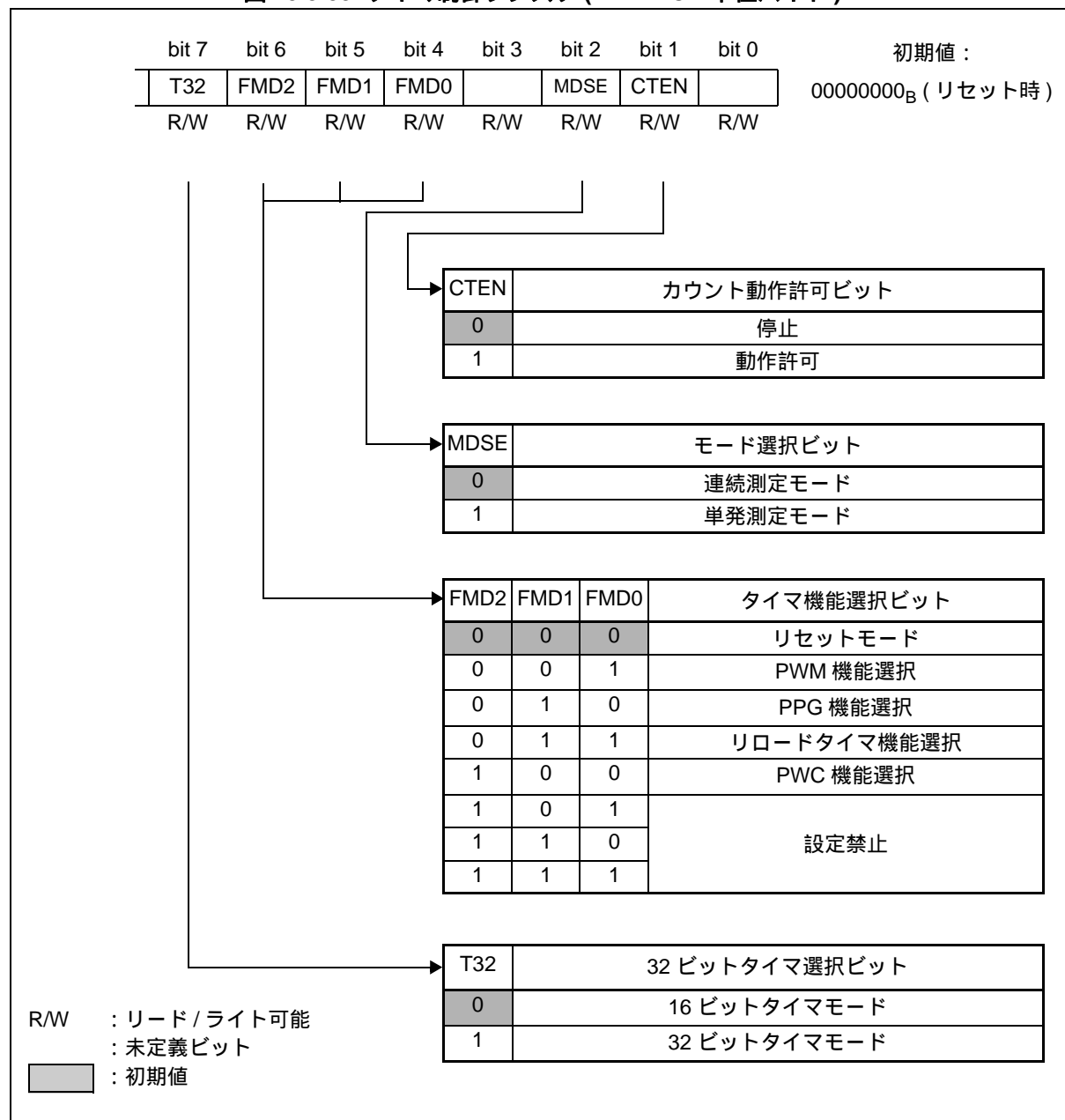


表 23.8-11 タイマ制御レジスタ (BTxTMCR 下位バイト)

ビット名		機能									
bit7	T32: 32 ビット タイマ選択 ビット	<ul style="list-style-type: none"> 32 ビットタイマ機能を選択するビットです。 FMD2, FMD1, FMD0 ビットに "100_B" を設定して PWC 機能を選択している場合に T32 ビットを "1" に設定すると, 32 ビット PWC モードになります。 変更はタイマ停止中 (CTEN=0) に行ってください。ただし, CTEN ビットへの "1" 書込みと同時に変更することは可能です (「23.5 32 ビットモード動作」を参照)。 									
bit6 ~ bit4	FMD2, FMD1, FMD0: タイマ機能 選択ビット	<ul style="list-style-type: none"> タイマ機能を選択するビットです。 FMD2, FMD1, FMD0 ビットに "100_B" を設定すると PWC 機能が選択されます。 変更はタイマ停止中 (CTEN=0) に行ってください。ただし, CTEN ビットへの "1" 書込みと同時に変更することは可能です。 									
bit3	未定義ビット	<ul style="list-style-type: none"> 読出し値は "0" です。 このビットには "0" を書き込んでください。 									
bit2	MDSE : モード選択 ビット	<ul style="list-style-type: none"> 測定動作を以下のように選択します <table border="1"> <thead> <tr> <th>MDSE</th><th>モード</th><th>動作</th></tr> </thead> <tbody> <tr> <td>0</td><td>連続測定</td><td>連続測定 : バッファレジスタ有効</td></tr> <tr> <td>1</td><td>単発測定</td><td>1 回測定後に停止</td></tr> </tbody> </table> <ul style="list-style-type: none"> 変更はタイマ停止中 (CTEN=0) に行ってください。ただし, CTEN ビットへの "1" 書込みと同時に変更することは可能です。 	MDSE	モード	動作	0	連続測定	連続測定 : バッファレジスタ有効	1	単発測定	1 回測定後に停止
MDSE	モード	動作									
0	連続測定	連続測定 : バッファレジスタ有効									
1	単発測定	1 回測定後に停止									
bit1	CTEN : カウント動作 許可ビット	<ul style="list-style-type: none"> アップカウンタの起動または再起動を許可するビットです。 カウンタが動作許可状態 (CTEN ビットが "1") のときに "1" を書き込むと再起動となりカウンタはクリアされ, 測定開始エッジ待ち状態となります。 カウンタが動作許可状態 (CTEN ビットが "1") のときに "0" を書き込むとカウンタは停止します。 									
bit0	未定義ビット	<ul style="list-style-type: none"> 読出し値は "0" です。 このビットには "0" を書き込んでください。 									

■ ステータス制御レジスタ (BTxSTC)

図 23.8-36 ステータス制御レジスタ (BTxSTC)

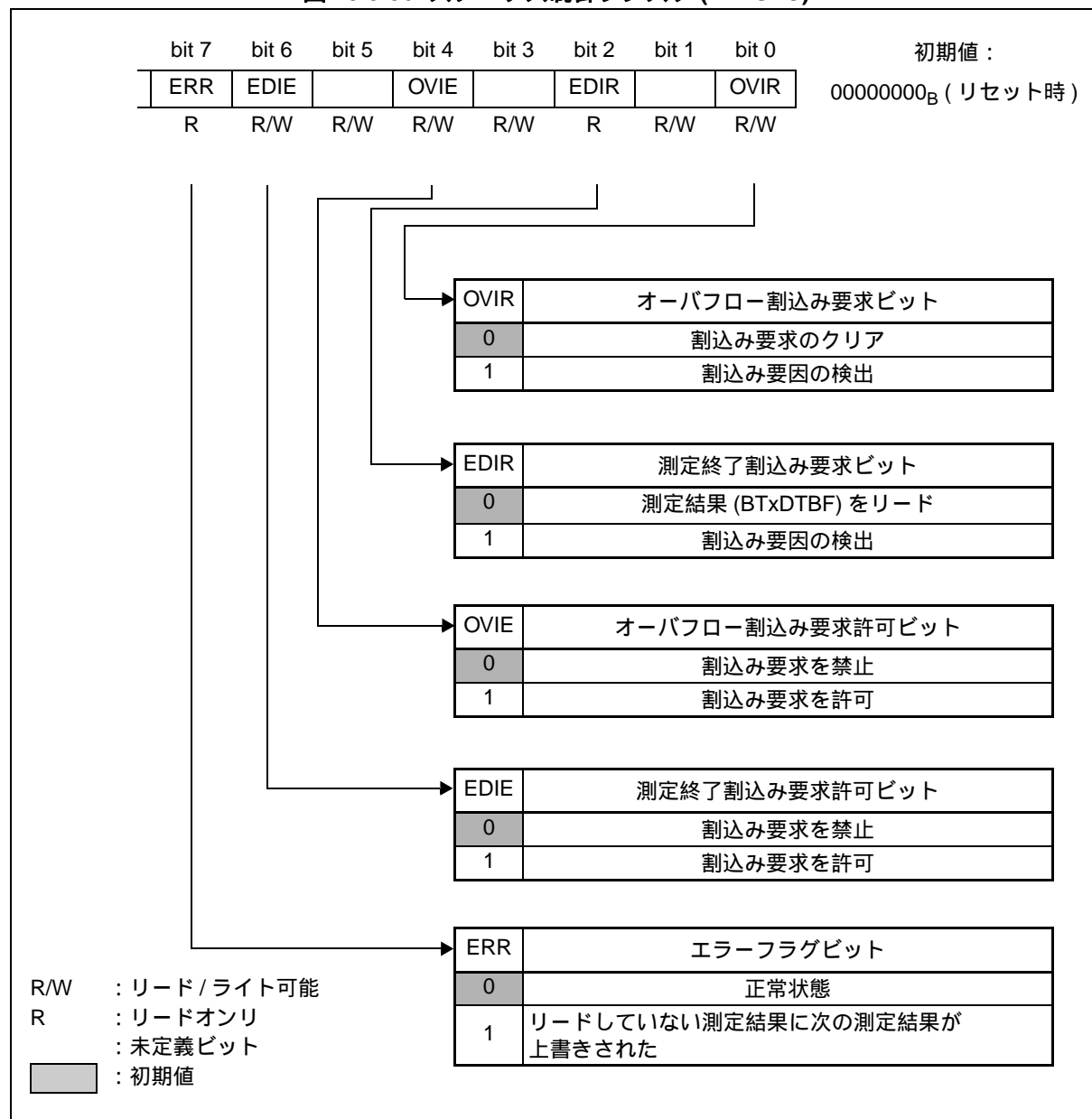


表 23.8-12 ステータス制御レジスタ (BTxSTC)

ビット名		機能
bit7	ERR : エラーフラグ ビット	<ul style="list-style-type: none"> 連続測定モード時において、BTxDTB F レジスタの測定結果を読み出さないうちに、次の測定が終了してしまったことを示すフラグです。この場合、BTxDTB F レジスタの値は新しい測定結果に更新されて 1 つ前の測定結果は消失します。 測定は ERR ビット値に関係なく続行されます。 ERR ビットは読出しのみ可能で、書込みしてもビット値には影響しません。 ERR ビットは測定結果 (BTxDTB F) を読出しすることによりクリアされます。
bit6	EDIE : 測定終了割込み 要求許可ビット	<ul style="list-style-type: none"> bit2 :EDIR の割込み要求を制御します。 EDIE ビットが許可されていて bit2 :EDIR ビットがセットされると CPU に割込み要求を発生します。
bit5	未定義ビット	<ul style="list-style-type: none"> 読出し値は "0" です。 このビットには "0" を書き込んでください。
bit4	OVIE : オーバフロー 割込み要求許可 ビット	<ul style="list-style-type: none"> bit0: OVIR の割込み要求を制御します。 OVIE ビットが許可されていて bit0: OVIR ビットがセットされると CPU に割込み要求を発生します。
bit3	未定義ビット	<ul style="list-style-type: none"> 読出し値は "0" です。 このビットには "0" を書き込んでください。
bit2	EDIR : 測定終了割込み 要求ビット	<ul style="list-style-type: none"> 測定終了したことを示し、終了時にフラグが "1" にセットされます。 EDIR ビットは測定結果 (BTxDTB F) を読出しすることによりクリアされます。 EDIR ビットは読出しのみ可能で、書込みしてもビット値には影響しません。
bit1	未定義ビット	<ul style="list-style-type: none"> 読出し値は "0" です。 このビットには "0" を書き込んでください。
bit0	OVIR : オーバフロー 割込み要求 ビット	<ul style="list-style-type: none"> カウント値が "FFFF_H" "0000_H" へのオーバフロー時にフラグが "1" にセットされます。 OVIR ビットは "0" 書込みによりクリアされます。 OVIR ビットに "1" を書き込んでもビット値には影響しません。 リードモディファイライト (RMW) 系命令における読出し値は、ビット値にかかわらず "1" になります。

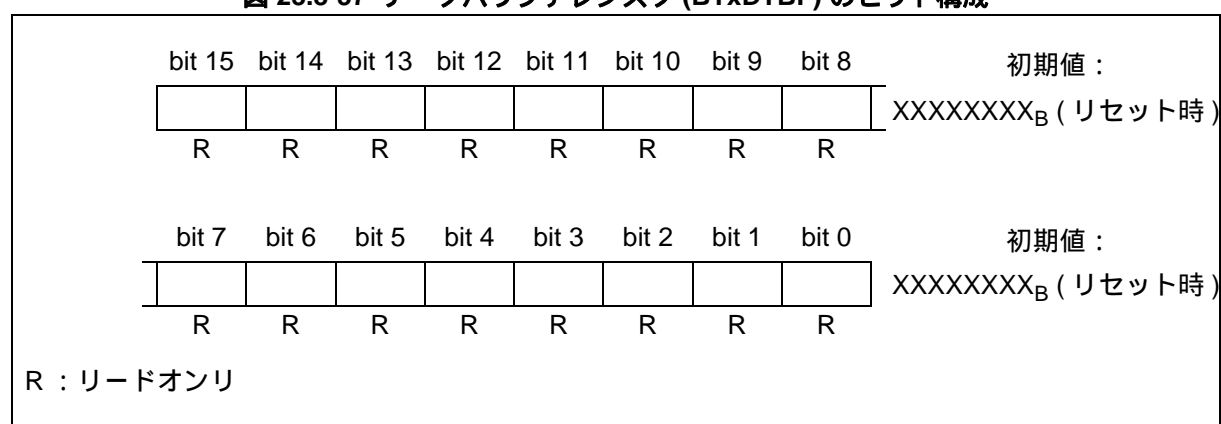
23.8.4.2 データバッファレジスタ (BTxDTBf)

データバッファレジスタ (BTxDTBf) は、PWC タイマの測定値またはカウント値を読み出すことができるレジスタです。32 ビットモード時には偶数チャネルの場合は下位 16 ビットの値となり、奇数チャネルの場合は上位 16 ビットの値となります。このレジスタの読出しは、必ず 16 ビットデータ転送命令で行ってください。

■ データバッファレジスタ (BTxDTBf) のビット構成

図 23.8-37 に、データバッファレジスタ (BTxDTBf) のビット構成を示します。

図 23.8-37 データバッファレジスタ (BTxDTBf) のビット構成



- BTxDTBf レジスタは連続測定モード、ワンショット測定モードのいずれにおいても読出しのみ可能なレジスタです。書き込んでもレジスタ値は変化しません。
- 連続測定モード時 (BTxTMCR:bit3 MDSE=1) は、前回の測定結果を保持するバッファレジスタとなります。
- ワンショット測定モード時 (BTxTMCR: bit3 MDSE=0) は、BTxDTBf レジスタでアップカウンタを直接アクセスします。カウント中も読出し可能で、カウント値を読み出せます。測定終了後は測定結果をそのまま保存します。
- BTxDTBf レジスタは 16 ビットデータでアクセスしてください。

23.8.4.3 PWC 動作

PWC タイマには、パルス幅測定機能があり、5 種類のカウントクロックを選択可能で入力パルスの任意イベント間の時間・周期をカウンタで測定できます。以下に、パルス幅測定機能における基本機能 / 動作について示します。

■ パルス幅測定機能

起動後、カウンタを "0000_H" にクリアし、設定した測定開始エッジが入力されるまでカウント動作は行われません。測定開始エッジを検出すると "0001_H" からカウントアップを開始し、測定終了エッジを検出するとカウントを停止します。この間のカウント値がパルス幅としてレジスタに保存されます。

測定終了時、およびオーバフロー発生時に割込み要求が発生できます。

測定終了後は、測定モードに応じて以下のように動作します。

- 単発測定モード時...動作を停止します。
- 連続測定モード時...カウンタ値をバッファレジスタに転送後、再度測定開始エッジが入力されるまでカウントを停止します。

図 23.8-38 パルス幅測定動作 (単発測定モード / "H" 幅測定)

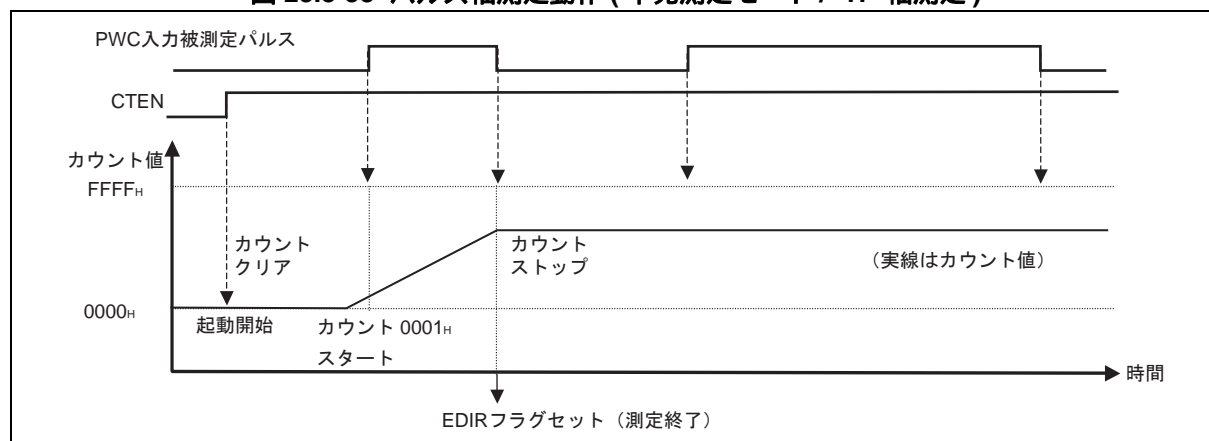
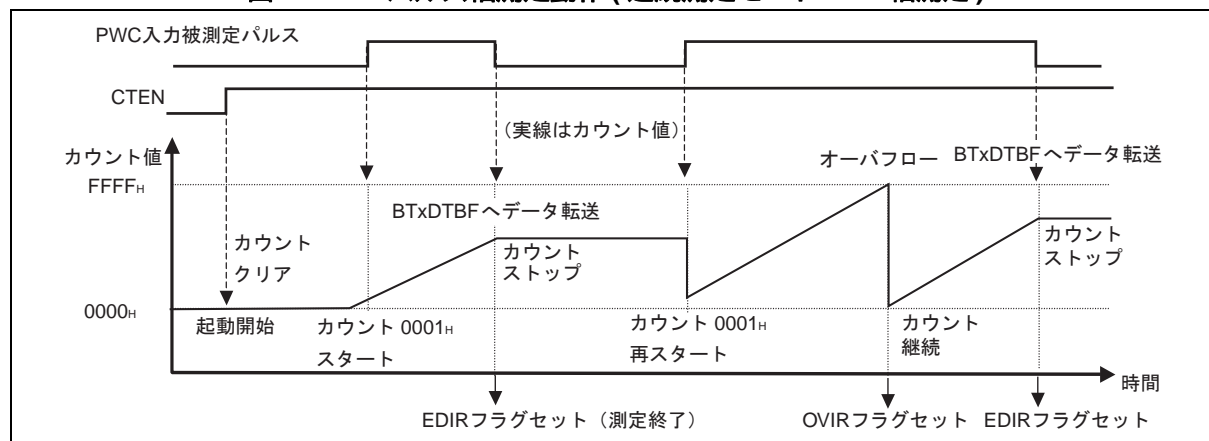


図 23.8-39 パルス幅測定動作 (連続測定モード / "H" 幅測定)



■ カウントクロックの選択

カウンタのカウントクロックは、BTxTMCR レジスタの bit6, bit5, bit4 : CKS2, CKS1, CKS0 の設定によって、5 種類選択することができます。

選択できるカウントクロックは以下のとおりです。

BTxTMCR レジスタ	選択される内部カウントクロック
CKS2, CKS1, CKS0 ビット	
000 _B	周辺クロック (PCLK) [初期値]
001 _B	周辺クロック (PCLK) の 4 分周
010 _B	周辺クロック (PCLK) の 16 分周
011 _B	周辺クロック (PCLK) の 128 分周
100 _B	周辺クロック (PCLK) の 256 分周
101 _B	設定禁止
110 _B	
111 _B	

リセット後の初期値では、周辺クロック (PCLK) が選択されています。

(注意事項) カウントクロックの選択は、必ずカウンタ起動前に行ってください。

■ 動作モードの選択

各動作モード / 測定モードの選択は、BTxTMCR の設定により行います。

動作モードの設定... BTxTMCR bit10 ~ bit8 : EGS2, EGS1, EGS0

(測定エッジの選択)

測定モードの設定... BTxTMCR bit2 : MDSE

(単発測定 / 連続測定の選択)

動作モードの選択の一覧を以下に示します。

動作モード		MDSE	EGS2	EGS1	EGS0
~ "H" パルス幅測定	連続測定：バッファ有効	0	0	0	0
	単発測定：バッファ無効	1	0	0	0
~ 立上り間周期測定	連続測定：バッファ有効	0	0	0	1
	単発測定：バッファ無効	1	0	0	1
~ 立下り間周期測定	連続測定：バッファ有効	0	0	1	0
	単発測定：バッファ無効	1	0	1	0
または ~ または 全エッジ間測定	連続測定：バッファ有効	0	0	1	1
	単発測定：バッファ無効	1	0	1	1
~ "L" パルス幅測定	連続測定：バッファ有効	0	1	0	0
	単発測定：バッファ無効	1	1	0	0
設定禁止		0	1	0	1
		1	1	0	1
		0	1	1	0
		1	1	1	0
		0	1	1	1
		1	1	1	1

リセット後の初期値では、"H" パルス幅測定 - 単発測定モードが選択されています。

動作モードの選択は、必ずカウンタ起動前に行ってください。

■ パルス幅測定 of 起動と停止

各動作の起動 / 再起動 / 強制停止は、BTxTMCR の bit1 : CTEN ビットにより行います。
パルス幅測定 of 起動 / 再起動は CTEN ビットに "1" を書き込むことにより機能し、強制停止は CTEN ビットに "0" を書き込むことにより機能します。

CTEN	機能
1	パルス幅測定 of 起動 / 再起動
0	パルス幅測定 of 強制停止

■ 起動後の動作

パルス幅測定モード of 起動後の動作は、測定開始エッジが入力されるまでカウントは行われません。測定開始エッジ検出後、16 ビットアップカウンタは "0001_H" からカウントを開始します。

■ 再起動

起動後、動作中に再度起動する (CTEN ビットが "1" の状態で再度 "1" を書き込む) ことを再起動とよびます。再起動すると、以下のような動作が行われます。

- 測定開始エッジ待ち状態の場合 : 動作に影響はありません。
- 測定中 of 場合 : カウントを "0000_H" にクリアし、再度測定開始エッジ待ち状態となります。この際、測定終了エッジ検出と再起動が同時になると、測定終了フラグ (EDIR) がセットされ、連続測定モード時は測定結果が BTxDTB_F に転送されます。

■ 停止について

単発測定モードでは、カウンタ of オーバフローまたは測定終了により自動的にカウント動作を停止しますので、特に意識する必要はありません。連続測定モードや自動停止する前に停止させたい場合は、強制停止させる必要があります。

■ カウンタ of クリアと初期値

16 ビットアップカウンタは、以下に示す場合に "0000_H" にクリアされます。

- リセット時
- BTxTMCR の bit1 : CTEN ビットに "1" を書き込んだとき (再起動時を含む)

16 ビットアップカウンタは、測定開始エッジ検出時に "0001_H" に初期化されます。

■ パルス幅測定動作詳細

● 単発測定と連続測定

パルス幅測定には、1 回だけの測定を行うモードと連続して測定を行うモードがあります。各モードは BTxTMCR の MDSE ビットによって選択します（「23.8.4.3 PWC 動作動作モードの選択」を参照）。両モードにおける相違点は以下のとおりです。

単発測定モード：

1 回目の測定終了エッジが入力されるとカウンタのカウントは停止し、BTxSTC 中の測定終了フラグ (EDIR) がセットされ、以降の測定は行われません。ただし、同時に再起動された場合は測定開始待ち状態となります。

連続測定モード：

測定終了エッジが入力されるとカウンタのカウントは停止し、BTxSTC 中の測定終了フラグ (EDIR) がセットされ、再度測定開始エッジが入力されるまでカウントを停止します。再度、測定開始エッジが入力されるとカウンタを "0001_H" に初期化して測定を開始します。測定終了時、カウンタの測定結果は BTxDTB_F に転送されます。

測定モードの選択 / 変更は、必ずカウンタ停止中に行ってください。

● 測定結果データ

単発測定モードと連続測定モードでは、測定結果とカウンタ値の扱いおよび BTxDTB_F の機能に違いがあります。両モードにおける測定結果の相違点は以下のとおりです。

単発測定モード：

BTxDTB_F を動作中に読み出すと測定中のカウント値が得られます。

BTxDTB_F を測定終了後に読み出すと測定結果データが得られます。

連続測定モード：

測定終了時、カウンタ内の測定結果は BTxDTB_F に転送されます。

BTxDTB_F を読み出すと直前の測定結果が得られ、測定動作中も前回の測定結果を保持しています。測定中のカウント値は読み出せません。

連続測定モードにて、測定結果を読み出さない内に次の測定が終了してしまった場合、前回の測定結果は新しい測定結果に消されてしまいます。この際、BTxSTC 中のエラーフラグ (ERR) がセットされます。エラーフラグ (ERR) は、BTxDTB_F を読み出すと自動的にクリアされます。

測定モードとカウント動作

入力されたパルスのどこを測定するかによって、測定モードは5種類のうちから選択することができます。以下に、それらについて説明します。

測定モード	EGS2, EGS1, EGS0	測定内容 (W : 測定するパルス幅)
"H" パルス幅測定	000 _B	 "H" 期間の幅を測定します。 カウント (測定) 開始 : 立上りエッジ検出時 カウント (測定) 終了 : 立下りエッジ検出時
立上りエッジ間 周期測定	001 _B	 立上りエッジ間の周期を測定します。 カウント (測定) 開始 : 立上りエッジ検出時 カウント (測定) 終了 : 立上りエッジ検出時
立下りエッジ間 周期測定	010 _B	 立下りエッジ間の周期を測定します。 カウント (測定) 開始 : 立下りエッジ検出時 カウント (測定) 終了 : 立下りエッジ検出時
全エッジ間 パルス幅測定	011 _B	 連続して入力されるエッジ間の幅を測定します。 カウント (測定) 開始 : エッジ検出時 カウント (測定) 終了 : エッジ検出時
"L" パルス幅測定	100 _B	 "L" 期間の幅を測定します。 カウント (測定) 開始 : 立下りエッジ検出時 カウント (測定) 終了 : 立上りエッジ検出時

どの測定モードでも、測定起動でカウンタは "0000_H" にクリアされた後、測定開始エッジが入力されるまではカウンタはカウント動作を行いません。測定開始エッジが入力されると、測定終了エッジが入力されるまでの間、カウントクロックごとにアップカウントを続けます。

連続測定モードの場合で、全エッジ間パルス幅測定や周期測定などを行った場合、終了エッジが次の測定開始エッジとなります。

● パルス幅 / 周期算出方法

測定終了後、BTxDTBF に得られた測定結果データからの被測定パルス幅 / 周期算出方法は以下のように求められます。

$T_W = n \times t \text{ [ms]}$	T_W : 被測定パルス幅 / 周期 [ms]
	n : BTxDTBF 内の測定結果データ
	t : カウントクロックの周期 [ms]

● 割込み要求発生

2 つの割込み要求を発生することが可能です。

- カウンタのオーバーフローによる割込み要求

測定中、カウントアップによりオーバーフローが発生するとオーバーフローフラグ (OVIR) がセットされ、オーバーフロー割込み要求が許可されていると割込み要求が発生します。

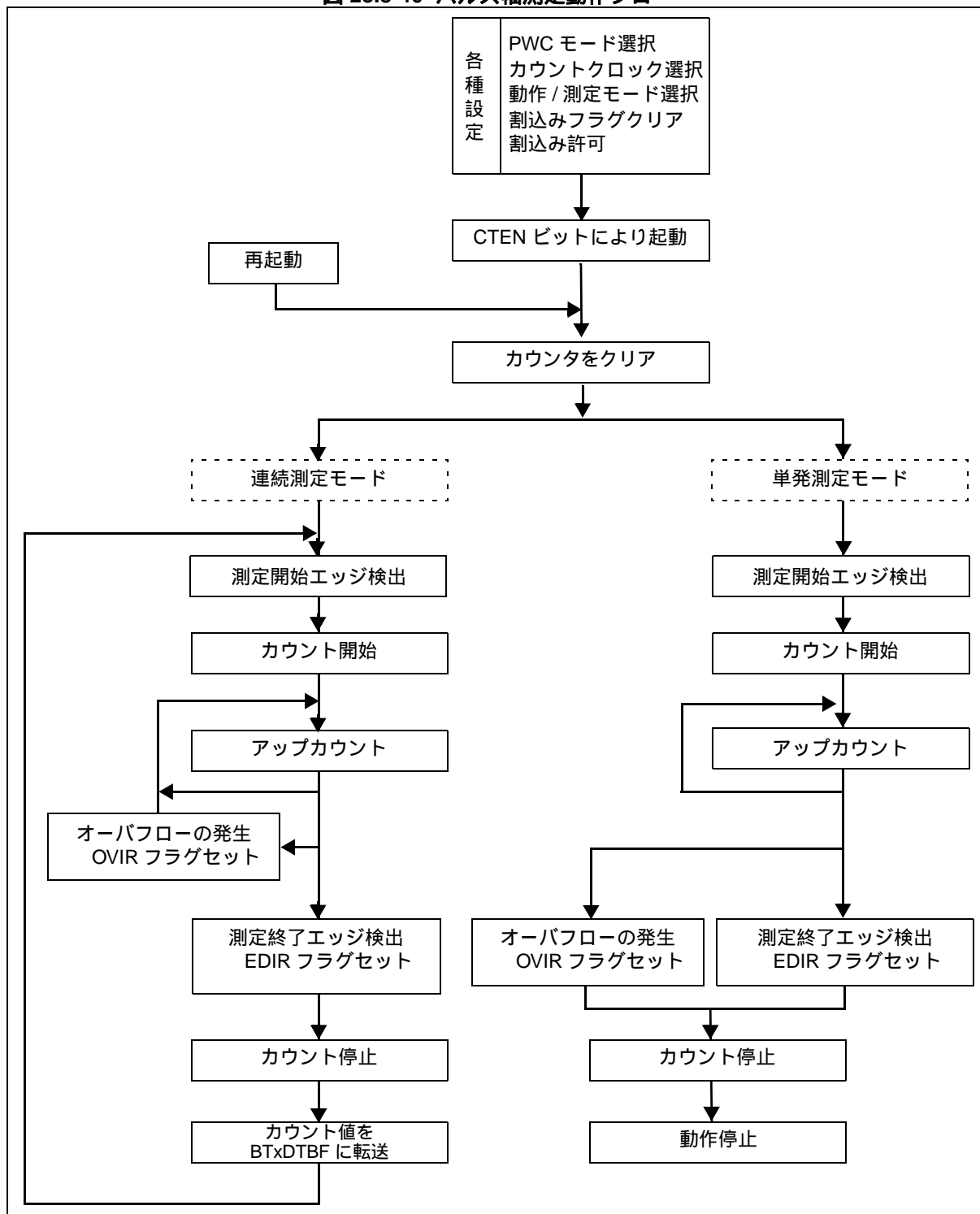
- 測定終了による割込み要求

測定終了エッジを検出すると、BTxSTC 中の測定終了フラグ (EDIR) がセットされ、測定終了割込み要求が許可されていると割込み要求が発生します。

測定終了フラグ (EDIR) は、測定結果 BTxDTBF を読み出すと自動的にクリアされます。

パルス幅測定動作フロー

図 23.8-40 パルス幅測定動作フロー



第 24 章 アップダウン カウンタ

アップダウンカウンタの機能と動作について説明します。

- 24.1 概要
- 24.2 構成
- 24.3 端子
- 24.4 レジスタ
- 24.5 割込み
- 24.6 動作説明と設定手順例

24.1 概要

アップダウンカウンタは、設定によってカウントアップ / ダウンするカウンタです。

16 ビットアップダウンカウンタの下位バイトのみを使用して、8 ビットアップダウンカウンタとして使用することもできます。

8 ビットアップダウンカウンタ時は "00_H" ~ "FF_H" の範囲で、16 ビットアップダウンカウンタ時は "0000_H" ~ "FFFF_H" の範囲でカウントできます。

本製品は、16 ビットアップダウンカウンタを 4 チャンネル内蔵しています。ただし、8 ビットアップダウンカウンタとして使用できるのは下位バイトのみになるため、8 ビット時も、16 ビット時も使用できるチャンネルは合計で 4 チャンネルになります。

■ 概要

- カウンタモード: 8 ビットアップダウンカウンタとして使用するか (8 ビットモード)、16 ビットアップダウンカウンタとして使用するか (16 ビットモード) を選択できます。
- 動作モード: 次の 3 モード (4 種類) から選択できます。
 - タイマモード
カウンタ用クロックに同期してカウントダウンします。
カウンタ用クロックは周辺クロック (PCLK) をプリスケアラで 2 分周 / 8 分周して生成された内部クロック (周辺クロック) を使用します。
 - アップダウンカウントモード
2 本の外部信号入力端子から入力される信号をカウントアップ / カウントダウンします。カウントするエッジを、立上りエッジ、立下りエッジ、両エッジの中から選択できます。
 - 位相差カウントモード
2 本の外部信号入力端子から入力される信号の位相差をカウントアップ / カウントダウンします。
位相差カウントモードは、モーターなどのエンコーダのカウントに適しています。エンコーダの A 相、B 相、Z 相の出力をそれぞれ入力することにより、回転角度や回転数などを高い精度で容易にカウントできます。
位相差カウントモードには 2 通倍モードと 4 通倍モードがあり、それぞれカウント方法が異なります。

アップダウンカウンタの動作モードを表 24.1-1 に示します。

表 24.1-1 アップダウンカウンタの動作モード

動作モード	カウントタイミング	カウント方向
タイマモード	内部クロック (周辺クロック)	カウントダウン
アップダウンカウント モード	外部クロック	カウントアップ / カウントダウン
位相差カウントモード (2 通倍 / 4 通倍)	外部信号入力端子から の入力信号の位相	カウントアップ / カウントダウン

- リロード / コンペアクリア機能：次の 3 種類から選択できます。
 - コンペアクリア機能
設定した値とカウンタ値が一致した次のアップカウントタイミングでカウンタをクリアします。
 - リロード機能
アンダフローが発生すると、リロード値をロードしてカウントを続けます。
 - リロードコンペアクリア機能
コンペアクリア機能とリロード機能を組み合わせて使用できます。
- カウント方向: 直前のカウント方向 (カウントアップ / カウントダウン) を確認できます。
- 割込み要求：次の場合に割込み要求を発生できます。
 - カウント方向が反転したとき
 - カウンタの値があらかじめ設定した値と一致したとき
 - オーバフローが発生したとき
 - アンダフロー (リロード) が発生したとき

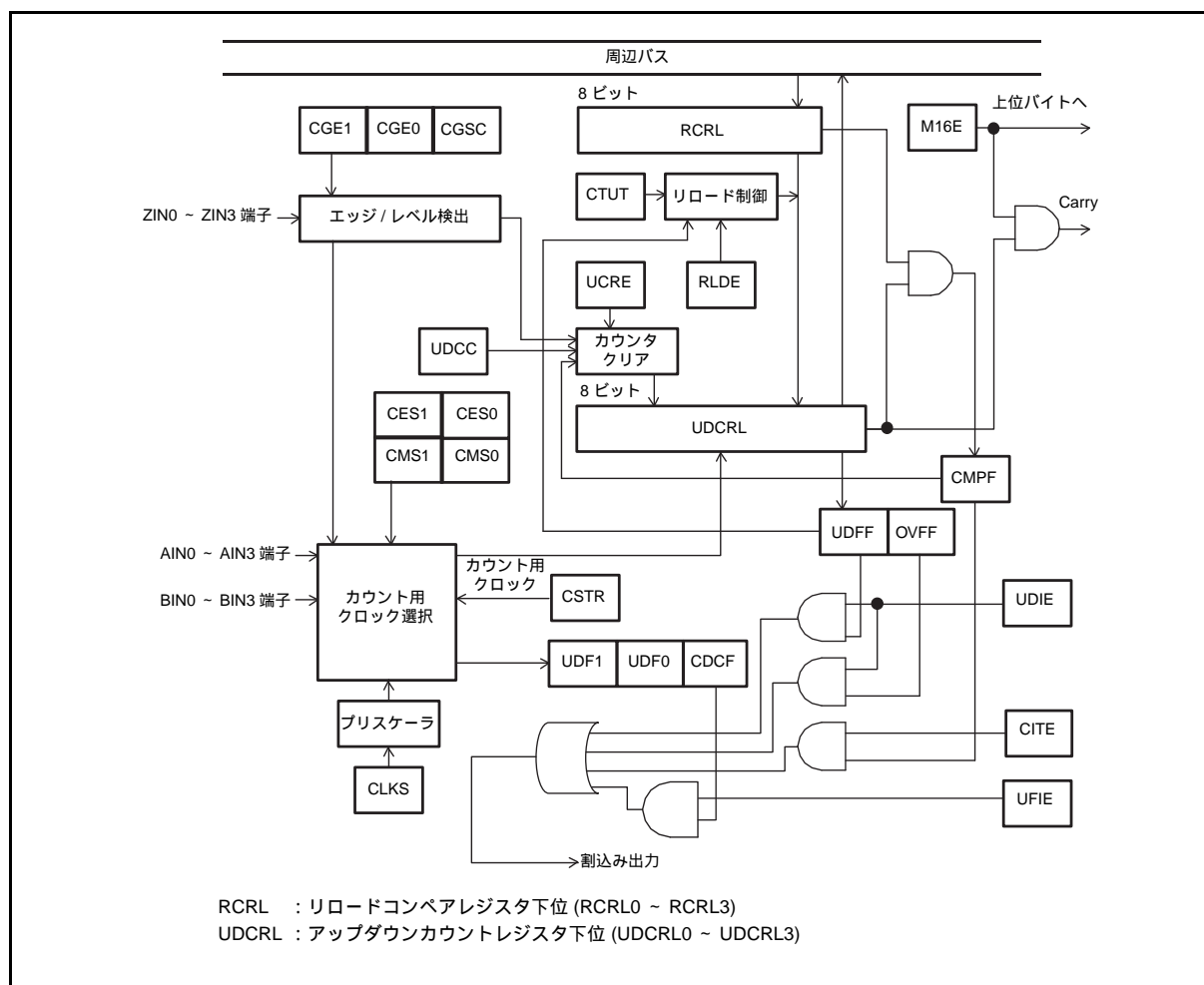
24.2 構成

アップダウンカウンタの構成を示します。

■ アップダウンカウンタのブロックダイアグラム

アップダウンカウンタのブロックダイアグラムを ch.0 を例にとって図 24.2-1 に示します。

図 24.2-1 アップダウンカウンタのブロックダイアグラム



- リロードコンペアレジスタ (RCR0 ~ RCR3)
アップダウンカウンタのリロード値およびコンペア値を設定するレジスタです。
次のように上位 8 ビットと下位 8 ビットに分かれています。
8 ビットモードで使用する場合は、下位側を使用します。
 - リロードコンペアレジスタ上位 (RCRH0 ~ RCRH3)
 - リロードコンペアレジスタ下位 (RCRL0 ~ RCRL3)
- アップダウンカウントレジスタ (UDCR0 ~ UDCR3)
アップダウンカウンタのカウンタとして動作するレジスタです。

次のように上位 8 ビットと下位 8 ビットに分かれています。

8 ビットモードで使用する場合は、下位側を使用します。

- アップダウンカウントレジスタ上位 (UDCRH0 ~ UDCRH3)
- アップダウンカウントレジスタ下位 (UDCRL0 ~ UDCRL3)
- カウンタコントロールレジスタ (CCR0 ~ CCR3)
アップダウンカウンタを制御するレジスタです。
- カウンタステータスレジスタ (CSR0 ~ CSR3)
アップダウンカウンタの状態を確認したり、割込み要求の制御をしたりするレジスタです。
- カウント用クロック選択回路
アップダウンカウンタのカウント用クロックを選択する回路です。
- プリスケアラ
アップダウンカウンタをタイマモードで使用するときに、周辺クロック (PCLK) の分周比を選択します。

■ クロック

アップダウンカウンタで使用するクロックを表 24.2-1 に示します。

表 24.2-1 アップダウンカウンタで使用するクロック

クロック名	内容	備考
動作クロック	周辺クロック (PCLK)	-
カウント用クロック	内部クロック (周辺クロック)	周辺クロック (PCLK) を分周して生成
	外部端子からの入力をカウント	AIN0 ~ AIN3 端子, BIN0 ~ BIN3 端子から入力

24.3 端子

アップダウンカウンタで使用する端子について説明します。

■ 概要

アップダウンカウンタには、次の 3 種類の端子があります。

- AIN0 ~ AIN3 端子

アップダウンカウンタの外部信号入力端子です。アップダウンカウントモード時は、この端子で有効エッジが検出されるとカウントアップします。位相差カウントモード (2 通倍 /4 通倍) 時は、この端子と BIN0 ~ BIN3 端子の位相差をカウントします。

この端子は兼用端子です。アップダウンカウンタの AIN0 ~ AIN3 端子として使用するには、「2.4 端子の設定方法」を参照してください。

- BIN0 ~ BIN3 端子

アップダウンカウンタの外部信号入力端子です。アップダウンカウントモード時は、この端子で有効エッジが検出されるとカウントダウンします。位相差カウントモード (2 通倍 /4 通倍) 時は、この端子と AIN0 ~ AIN3 端子の位相差をカウントします。

この端子は兼用端子です。アップダウンカウンタの BIN0 ~ BIN3 端子として使用するには、「2.4 端子の設定方法」を参照してください。

- ZIN0 ~ ZIN3 端子

アップダウンカウンタの外部信号入力端子です。カウンタのクリアまたはゲート入力として使用します。

この端子は兼用端子です。アップダウンカウンタの ZIN0 ~ ZIN3 端子として使用するには、「2.4 端子の設定方法」を参照してください。

■ 端子とチャネルの対応

チャネルと端子の対応を表 24.3-1 に示します。

表 24.3-1 チャネルと端子の対応

チャネル	外部信号入力端子		
0	AIN0	BIN0	ZIN0
1	AIN1	BIN1	ZIN1
2	AIN2	BIN2	ZIN2
3	AIN3	BIN3	ZIN3

24.4 レジスタ

アップダウンカウンタで使用するレジスタの構成と機能について説明します。

■ アップダウンカウンタのレジスタ一覧

アップダウンカウンタのレジスタ一覧を表 24.4-1 に示します。

表 24.4-1 アップダウンカウンタのレジスタ一覧

チャンネル	レジスタ略称	レジスタ名	参照先
0	RCRL0	リロードコンペアレジスタ下位 0	24.4.1
	RCRH0	リロードコンペアレジスタ上位 0	24.4.1
	UDCRL0	アップダウンカウントレジスタ下位 0	24.4.2
	UDCRH0	アップダウンカウントレジスタ上位 0	24.4.2
	CCR0	カウンタコントロールレジスタ 0	24.4.3
	CSR0	カウンタステータスレジスタ 0	24.4.4
1	RCRL1	リロードコンペアレジスタ下位 1	24.4.1
	RCRH1	リロードコンペアレジスタ上位 1	24.4.1
	UDCRL1	アップダウンカウントレジスタ下位 1	24.4.2
	UDCRH1	アップダウンカウントレジスタ上位 1	24.4.2
	CCR1	カウンタコントロールレジスタ 1	24.4.3
	CSR1	カウンタステータスレジスタ 1	24.4.4
2	RCRL2	リロードコンペアレジスタ下位 2	24.4.1
	RCRH2	リロードコンペアレジスタ上位 2	24.4.1
	UDCRL2	アップダウンカウントレジスタ下位 2	24.4.2
	UDCRH2	アップダウンカウントレジスタ上位 2	24.4.2
	CCR2	カウンタコントロールレジスタ 2	24.4.3
	CSR2	カウンタステータスレジスタ 2	24.4.4
3	RCRL3	リロードコンペアレジスタ下位 3	24.4.1
	RCRH3	リロードコンペアレジスタ上位 3	24.4.1
	UDCRL3	アップダウンカウントレジスタ下位 3	24.4.2
	UDCRH3	アップダウンカウントレジスタ上位 3	24.4.2
	CCR3	カウンタコントロールレジスタ 3	24.4.3
	CSR3	カウンタステータスレジスタ 3	24.4.4

24.4.1 リロードコンペアレジスタ (RCR0 ~ RCR3)

アップダウンカウンタのリロード値およびコンペア値を設定するレジスタです。

リロード値はカウントダウン時にカウントを開始する値，コンペア値はカウントアップ時にカウントされた値と比較する値（ここまで数えるという値）です。リロード値とコンペア値は同一です。

このレジスタは，次のように上位バイトと下位バイトに分かれています。

- ・ リロードコンペアレジスタ上位 (RCRH0 ~ RCRH3)
- ・ リロードコンペアレジスタ下位 (RCRL0 ~ RCRL3)

16 ビットモード時は，両方の値が使用され，8 ビットモード時は，下位バイトの値が使用されます。

このレジスタに書き込んだ値をアップダウンカウンタレジスタ (UDCR0 ~ UDCR3) に転送することで，アップダウンカウンタは，"0000_H" (8 ビット時は "00_H") ~ このレジスタに設定した値の範囲でカウントを行います。

リロードコンペアレジスタ (RCR0 ~ RCR3) のビット構成を図 24.4-1 に示します。

図 24.4-1 リロードコンペアレジスタ (RCR0 ~ RCR3) のビット構成

リロードコンペアレジスタ上位 (RCRH0 ~ RCRH3)								
bit	15	14	13	12	11	10	9	8
	D15	D14	D13	D12	D11	D10	D9	D8
属性	W	W	W	W	W	W	W	W
初期値	0	0	0	0	0	0	0	0
リロードコンペアレジスタ下位 (RCRL0 ~ RCRL3)								
bit	7	6	5	4	3	2	1	0
	D7	D6	D5	D4	D3	D2	D1	D0
属性	W	W	W	W	W	W	W	W
初期値	0	0	0	0	0	0	0	0
W：ライトオンリ								

< 注意事項 >

- カウンタコントロールレジスタ (CCR0 ~ CCR3) の CTUT ビットに "1" を書き込むと、このレジスタに設定した値をアップダウンカウンタレジスタ (UDCR0 ~ UDCR3) に転送できます。ただし、カウンタコントロールレジスタ (CCR0 ~ CCR3) の CTUT ビットは、アップダウンカウンタの停止中に書き込んでください。
 - カウンタコントロールレジスタ (CCR0 ~ CCR3) の M16E ビットで 16 ビットモードを設定した場合 (M16E=1), このレジスタは必ずハーフワードで書き込んでください。
 - カウンタコントロールレジスタ (CCR0 ~ CCR3) の M16E ビットで 8 ビットモードを設定した場合 (M16E=0), 必ずリロードコンペアレジスタ下位 (RCRL0 ~ RCRL3) にバイトで書き込んでください。
-

24.4.2 アップダウンカウントレジスタ (UDCR0 ~ UDCR3)

アップダウンカウンタのカウンタとして動作するレジスタです。このレジスタを読み出すとカウンタの値を確認できます。

このレジスタは、次のように上位バイトと下位バイトに分かれています。

- アップダウンカウントレジスタ上位 (UDCRH0 ~ UDCRH3)
- アップダウンカウントレジスタ下位 (UDCRL0 ~ UDCRL3)

8 ビットモード時は、上位バイトの値は無効です。アップダウンカウントレジスタ下位 (UDCRL0 ~ UDCRL3) の値を読み出してください。

アップダウンカウントレジスタ (UDCR0 ~ UDCR3) のビット構成を図 24.4-2 に示します。

図 24.4-2 アップダウンカウントレジスタ (UDCR0 ~ UDCR3) のビット構成

アップダウンカウントレジスタ上位 (UDCRH0 ~ UDCRH3)								
bit	15	14	13	12	11	10	9	8
	D15	D14	D13	D12	D11	D10	D9	D8
属性	R	R	R	R	R	R	R	R
初期値	0	0	0	0	0	0	0	0
アップダウンカウントレジスタ下位 (UDCRL0 ~ UDCRL3)								
bit	7	6	5	4	3	2	1	0
	D7	D6	D5	D4	D3	D2	D1	D0
属性	R	R	R	R	R	R	R	R
初期値	0	0	0	0	0	0	0	0
R : リードオンリ								

< 注意事項 >

- このレジスタは読出し専用です。このレジスタに値を設定する場合は、次の手順でリロードコンペアレジスタ (RCR0 ~ RCR3) の値をこのレジスタに転送してください。
 1. リロードコンペアレジスタ (RCR0 ~ RCR3) に値を書き込む
 2. カウンタステータスレジスタ (CSR0 ~ CSR3) の CSTR ビットに "0" を書き込む
 3. カウンタコントロールレジスタ (CCR0 ~ CCR3) の CTUT ビットに "1" を書き込む
- カウンタコントロールレジスタ (CCR0 ~ CCR3) の M16E ビットで 16 ビットモードを設定した場合 (M16E=1), このレジスタは必ずハーフワードで読み出してください。
- カウンタコントロールレジスタ (CCR0 ~ CCR3) の M16E ビットで 8 ビットモードを設定した場合 (M16E=0), アップダウンカウントレジスタ下位 (UDCRL0 ~ UDCRL3) の値を読み出してください。

24.4.3 カウンタコントロールレジスタ (CCR0 ~ CCR3)

アップダウンカウンタの動作を制御するレジスタです。
カウンタコントロールレジスタ (CCR0 ~ CCR3) のビット構成を図 24.4-3 に示します。

図 24.4-3 カウンタコントロールレジスタ (CCR0 ~ CCR3) のビット構成

属性	bit	15	14	13	12	11	10	9	8
		M16E	CDCF	CFIE	CLKS	CMS1	CMS0	CES1	CES0
		R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値		0	0	0	0	0	0	0	0
属性	bit	7	6	5	4	3	2	1	0
		予約	CTUT	UCRE	RLDE	UDCC	CGSC	CGE1	CGE0
		R/W	R/W	R/W	R/W	R/W	R/W	R	R
初期値		0	0	0	0	1	0	0	0
R/W : リード / ライト可能									
R : リードオンリ									

[bit15] : M16E (16 ビットモード選択ビット)

アップダウンカウンタを 8 ビットで使用するか、16 ビットで使用するかを選択します。

書込み値	説明
0	8 ビットモード (1 チャンネル) で使用します。
1	16 ビットモード (1 チャンネル) で使用します。

[bit14] : CDCF (カウント方向転換フラグビット)

カウント方向が、カウントダウンからカウントアップ、またはカウントアップからカウントダウンに 1 回以上反転したことを示します。

このビットが "1" のときに CFIE ビットが "1" に設定されていると、カウント方向転換割込み要求が発生します。

CDCF	読出し時	書込み時
0	カウント方向は反転していません。	このビットを "0" にクリアします。
1	カウント方向が 1 回以上反転しました。	無視されます。

< 注意事項 >

- カウンタのリセットが発生した場合、カウント方向はカウントダウンに設定されます。そのため、リセット直後にカウントアップが行われると、このビットが "1" に変わります。
- カウント方向が短期間で連続して変化した場合は、カウント方向が元に戻り、カウンタステータスレジスタ (CSR0 ~ CSR3) の UDF1, UDF0 ビットが変化しない場合があります。

[bit13] : CFIE (カウント方向転換割込み許可ビット)

カウント方向が反転したとき (CDCF=1) に、カウント方向転換割込み要求が発生させるかどうかを設定します。

書込み値	説明
0	カウント方向転換割込み要求の発生を禁止します。
1	カウント方向転換割込み要求の発生を許可します。

[bit12] : CLKS (内部クロック分周選択ビット)

タイマモード選択時に、このビットで設定した分周比で分周された周辺クロック (PCLK) をカウント用クロックとして使用します。

書込み値	説明
0	周辺クロック (PCLK) の 2 分周
1	周辺クロック (PCLK) の 8 分周

< 注意事項 >

このビットは、CMS1, CMS0 ビットで動作モードをタイマモードに設定 (CMS1, CMS0=00) した場合のみ有効です。その他の動作モードを選択しているときは、このビットの設定は無視されます。

[bit11, bit10] : CMS1, CMS0 (動作モード選択ビット)

アップダウンカウンタの動作モードを次の中から選択します。

- タイマモード
カウント用クロックに同期してカウントダウンします。
- アップダウンカウントモード
2本の外部信号入力端子からの入力信号をカウントアップ/カウントダウンします。
- 位相差カウントモード
2本の外部信号入力端子の位相差をカウントアップ/カウントダウンします。位相差カウントモードには2通倍モードと4通倍モードがあり、それぞれカウント方法が異なります。

CMS1	CMS0	動作モード
0	0	タイマモード
0	1	アップダウンカウントモード
1	0	位相差カウントモード (2 通倍)
1	1	位相差カウントモード (4 通倍)

[bit9, bit8] : CES1, CES0 (カウント用クロックエッジ選択ビット)

AIN0 ~ AIN3 端子および BIN0 ~ BIN3 端子の検出エッジを選択します。

アップダウンカウントモード選択時に、このビットで選択したエッジが検出されるたびに、カウント動作が行われます。

CES1	CES0	検出エッジ
0	0	エッジ検出禁止
0	1	立下りエッジ
1	0	立上りエッジ
1	1	両エッジ

< 注意事項 >

このビットは、CMS1, CMS0 ビットで動作モードをアップダウンカウントモードに設定 (CMS1, CMS0=01) した場合のみ有効です。その他の動作モードを選択しているときは、このビットの設定は無視されます。

[bit7] : 予約ビット

書込み時	必ず "0" を書き込んでください。
読出し時	"0" が読み出されます。

[bit6] : CTUT (カウンタライトビット)

リロードコンペアレジスタ (RCR0 ~ RCR3) に設定した値をアップダウンカウントレジスタ (UDCR0 ~ UDCR3) に転送します。

CTUT	書込み時	読出し時
0	無視されます。	"0" が読み出されます。
1	値を転送します。	

< 注意事項 >

このビットに "1" を書き込んだ時点で、リロードコンペアレジスタ (RCR0 ~ RCR3) の値が転送されるため、カウンタステータスレジスタ (CSR0 ~ CSR3) の CSTR ビットが "1" のとき (カウンタの動作中) は、このビットを "1" に書き換えないでください。

[bit5] : UCRE (カウンタクリア許可ビット)

コンペアによるカウンタのクリアを制御するビットです。

許可すると、カウンタ値がリロードコンペアレジスタ (RCR0 ~ RCR3) に設定した値と一致した次のアップカウントタイミングでカウンタをクリアします。

書込み値	説明
0	コンペアクリア機能を禁止します。
1	コンペアクリア機能を許可します。

< 注意事項 >

このビットで制御できるのは、コンペアクリア機能のみです。比較結果一致割込みに影響しません。

次のクリア動作は、このビットでは制御できません。

- 本デバイスがリセットされたことによるクリア
- ZIN0 ~ ZIN3 端子からの有効エッジ入力によるクリア (CGSC ビット =0 のとき)
- UDCC ビットに "0" を書き込むことによるクリア (ソフトウェアによるクリア)

[bit4] : RLDE (リロード許可ビット)

リロード機能の使用を許可 / 禁止します。

リロード機能とは、カウントダウン時にカウンタがアンダフローすると、リロードコンペアレジスタ (RCR0 ~ RCR3) に設定した値をカウンタにリロードして、カウントを続ける機能です。

書込み値	説明
0	リロード機能の使用を禁止します。
1	リロード機能の使用を許可します。

[bit3] : UDCC (カウンタクリアビット)

カウンタの値を "0000_H" にクリアします。

UDCC	書込み時	読出し時
0	クリアします。	"1" が読み出されます。
1	無視されます。	

[bit2] : CGSC (カウンタクリア/ゲート選択ビット)

ZIN0 ~ ZIN3 端子の機能を次の中から選択します。

- カウンタクリア機能

ZIN0 ~ ZIN3 端子から有効エッジが入力されたときに、カウンタの値を "0000_H" にクリアします。

- ゲート機能

ZIN0 ~ ZIN3 端子から有効レベルが入力されている間だけ、カウンタが動作します。

書込み値	説明
0	カウンタクリア機能
1	ゲート機能

< 注意事項 >

ZIN0 ~ ZIN3 端子は、このビットと CGE1, CGE0 ビットの設定を組み合わせることで機能します。必ず、CGE1, CGE0 ビットも設定してください。

[bit1, bit0] : CGE1, CGE0 (エッジ/レベル選択ビット)

ZIN0 ~ ZIN3 端子の有効エッジ / 有効レベルを選択します。CGSC ビット設定によって、このビットの意味は異なります。

- CGSC ビットでカウンタクリア機能を選択した場合 (CGSC=0)

有効エッジを選択します。

このビットで選択したエッジが ZIN0 ~ ZIN3 端子で検出されると、カウンタの値が "0000_H" にクリアされます。

- CGSC ビットでゲート機能を選択した場合 (CGSC=1)

有効レベルを選択します。

このビットで選択したレベルが ZIN0 ~ ZIN3 端子から入力されている間だけ、カウンタが動作します。

CGE1	CGE0	カウンタクリア機能選択時 (CGSC=0)	ゲート機能選択時 (CGSC=1)
0	0	エッジ検出禁止	レベル検出禁止 (カウント禁止)
0	1	立下りエッジ	"L" レベル
1	0	立上りエッジ	"H" レベル
1	1	設定禁止	設定禁止

24.4.4 カウンタステータスレジスタ (CSR0 ~ CSR3)

アップダウンカウンタの状態を確認したり，割込み要求を制御したりするレジスタです。

カウンタステータスレジスタ (CSR0 ~ CSR3) のビット構成を図 24.4-4 に示します。

図 24.4-4 カウンタステータスレジスタ (CSR0 ~ CSR3) のビット構成

bit	7	6	5	4	3	2	1	0
	CSTR	CITE	UDIE	CMPF	OVFF	UDFF	UDF1	UDF0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R	R
初期値	0	0	0	0	0	0	0	0

R/W : リード / ライト可能
R : リードオンリ

[bit7] : CSTR (カウント起動ビット)

アップダウンカウンタを起動 / 停止します。

書込み値	説明
0	カウント動作を停止します。
1	アップダウンカウンタを起動します。

[bit6] : CITE (比較結果一致割込み許可ビット)

カウンタの値が，リロードコンペアレジスタ (RCR0 ~ RCR3) に設定した値と一致したとき (CMPF=1) に，比較結果一致割込み要求を発生させるかどうかを設定します。

書込み値	説明
0	比較結果一致割込み要求の発生を禁止します。
1	比較結果一致割込み要求の発生を許可します。

[bit5] : UDIE (オーバフロー / アンダフロー割込み許可ビット)

アップダウンカウンタがオーバフロー / アンダフローしたとき (OVFF/UDFF=1) に，オーバフロー / アンダフロー割込み要求を発生させるかどうかを設定します。

書込み値	説明
0	オーバフロー / アンダフロー割込み要求の発生を禁止します。
1	オーバフロー / アンダフロー割込み要求の発生を許可します。

[bit4] : CMPF (比較結果一致検出フラグビット)

カウンタの値がリロードコンペアレジスタ (RCR0 ~ RCR3) に設定した値と一致したことを示します。

このビットが "1" のときに CITE ビットが "1" に設定されていると、比較結果一致割込み要求が発生します。

CMPF	読出し時	書込み時
0	値は一致していません。	このビットを "0" にクリアします。
1	値が一致しました。	無視されます。

< 注意事項 >

このビットは、次の場合に "1" に変わります。

- カウントアップで値が一致したとき
- リロードコンペアレジスタ (RCR0 ~ RCR3) の値をカウンタにリロードしたとき
- アップダウンカウンタを起動したときに、すでに値が一致していたとき

[bit3] : OVFF (オーバフロー検出フラグビット)

アップダウンカウンタがオーバフローしたことを示します。

このビットが "1" のときに UDIE ビットが "1" に設定されていると、オーバフロー割込み要求が発生します。

OVFF	読出し時	書込み時
0	オーバフローは発生していません。	このビットを "0" にクリアします。
1	オーバフローが発生しました。	無視されます。

オーバフローは、カウンタの値が "FFFF_H" のときにカウントアップしようとするとき発生します。

[bit2] : UDFF (アンダフロー検出フラグビット)

アップダウンカウンタがアンダフローしたことを示します。

このビットが "1" のときに UDIE ビットが "1" に設定されていると、アンダフロー割込み要求が発生します。

UDFF	読出し時	書込み時
0	アンダフローは発生していません。	このビットを "0" にクリアします。
1	アンダフローが発生しました。	無視されます。

アンダフローは、カウンタの値が "0000_H" のときに、カウントダウンしようとするとき発生します。

[bit1, bit0] : UDF1, UDF0 (アップダウンフラグビット)

直前のカウント方向を示します。

このビットは、アップダウンカウンタがカウントするたびに更新されます。

UDF1	UDF0	説明
0	0	入力なし
0	1	カウントダウン
1	0	カウントアップ
1	1	カウントアップ / カウントダウン同時発生

24.5 割込み

次のいずれかの場合に割込み要求が発生します。

- カウント方向が反転したとき (カウント方向転換割込み要求)
- カウンタの値がリロードコンペアレジスタ (RCR0 ~ RCR3) に設定した値と一致したとき (比較結果一致割込み要求)
- オーバフローが発生したとき (オーバフロー割込み要求)
- アンダフローが発生したとき (アンダフロー割込み要求)

アップダウンカウンタの動作モードによって、発生する割込み要求は異なります。
動作モードと割込み要求の対応を表 24.5-1 に示します。

表 24.5-1 動作モードと割込み要求の対応

割込み要求	タイマモード	アップ ダウン カウントモード	位相差カウント モード (2 通倍 / 4 通倍)
カウント方向転換割込み要求	×		
比較結果一致割込み要求			
オーバフロー割込み要求	×		
アンダフロー割込み要求			

アップダウンカウンタで利用できる割込みについて表 24.5-2 に示します。

表 24.5-2 アップダウンカウンタの割込み

割込み要求	割込み要求 フラグ	割込み要求許可	割込み要求のクリア
カウント方向転換割込み要求	CCR の CDCF=1	CCR の CFIE=1	CCR の CDCF ビットに "0" を書き込む
比較結果一致割込み要求	CSR の CMPF=1	CSR の CITE=1	CSR の CMPF ビットに "0" を書き込む
オーバフロー割込み要求	CSR の OVFF=1	CSR の UDIE=1	CSR の OVFF ビットに "0" を書き込む
アンダフロー割込み要求	CSR の UDFF=1	CSR の UDIE=1	CSR の UDFF ビットに "0" を書き込む

CCR : カウンタコントロールレジスタ (CCR0 ~ CCR3)

CSR : カウンタステータスレジスタ (CSR0 ~ CSR3)

< 注意事項 >

- カウンタコントロールレジスタ (CCR0 ~ CCR3) の CMPF ビットは、カウントアップで値が一致した場合に加え、リロードコンペアレジスタ (RCR0 ~ RCR3) の値がリロードされた場合や、アップダウンカウンタを起動時、すでに値が一致していた場合も "1" に変わります。
- カウンタのクリアおよびリロードのタイミングについては、「24.6 動作説明と設定手順例」の「 クリアイベント」および「 リロードイベント」を参照してください。
- 割込み要求フラグが"1"のときに割込み要求の発生を許可すると割込みを許可した時点で、割込み要求が発生します。

割込み要求の発生を許可する場合は、次のいずれかの処理を行ってください。

- 割込み要求の発生を許可する前に割込み要求をクリアする。
 - 割込み許可と同時に割込み要求をクリアする。
 - 各割込み要求の割込みベクタ番号については、「付録 C 割込みベクタ」を参照してください。
 - 割込みベクタ番号に対応する割込みレベルは、割込みコントロールレジスタ (ICR00 ~ ICR47) で設定します。割込みレベルの設定については、「第 10 章 割込みコントローラ」を参照してください。
-

24.6 動作説明と設定手順例

アップダウンカウンタの動作について説明します。また、動作状態を設定するための手順例も示します。

■ 概要

● カウンタモード

アップダウンカウンタは、設定によって 16 ビットアップダウンカウンタとして使用することも、8 ビットアップダウンカウンタとして使用することもできます。

カウンタコントロールレジスタ (CCR0 ~ CCR3) の M16E ビットで設定してください。

- 8 ビットモード (M16E=0)

アップダウンカウントレジスタ下位 (UDCRL0 ~ UDCRL3) のみを利用します。リロード値およびコンペア値は、リロードコンペアレジスタ下位 (RCRL0 ~ RCRL3) のみにバイトで書き込んでください。

- 16 ビットモード (M16E=1)

アップダウンカウントレジスタ (UDCR0 ~ UDCR3) の上位バイトと下位バイトの両方を利用します。リロード値およびコンペア値は、リロードコンペアレジスタ (RCR0 ~ RCR3) にハーフワードで書き込んでください。

● 動作モード

アップダウンカウンタの動作モードは、カウンタコントロールレジスタ (CCR0 ~ CCR3) の CMS1, CMS0 ビットで次の 3 モード (4 種類) から選択できます。

- タイマモード (CMS1, CMS0=00)

あらかじめ設定した値からカウント用クロックに同期してカウントダウンするモードです。

カウント用クロックは、周辺クロック (PCLK) をプリスケアラで 2 分周 / 8 分周して生成されます。

- アップダウンカウントモード (CMS1, CMS0=01)

外部信号入力端子から入力される信号をカウントアップ / カウントダウンするモードです。

- 位相差カウントモード (2 通倍) (CMS1, CMS0=10) / 位相差カウントモード (4 通倍) (CMS1, CMS0=11)

外部信号入力端子から入力される信号の位相差をカウントアップ / カウントダウンするモードです。エンコーダの A 相を AIN0 ~ AIN3 端子、B 相を BIN0 ~ BIN3 端子、Z 相を ZIN0 ~ ZIN3 端子から入力することで、回転角度や回転数のカウント、回転方向の検出などを高精度で行えるため、モーターなどのエンコーダのカウントに適しています。

■ 利用できる機能

● リロード / コンペアクリア機能

8/16 ビットアップダウンカウンタは、カウンタコントロールレジスタ (CCR0 ~ CCR3) の RLDE ビットと UCRE ビットでリロード機能およびコンペアクリア機能を許可 / 禁止できます。

• リロード機能

カウントダウン時にアンダフローが発生すると、リロードコンペアレジスタ (RCR0 ~ RCR3) に設定した値をリロードして、再度カウントダウンする機能です。動作については、「24.6.1 タイマモード時の動作」の「カウント動作」を参照してください。

• コンペアクリア機能

アップダウンカウンタの値がリロードコンペアレジスタ (RCR0 ~ RCR3) に設定した値と一致 (比較結果一致) した状態で、さらにカウントアップが行われようとすると、アップダウンカウンタの値を "0000_H" にクリアして、再度カウントアップする機能です。動作については、「24.6.2 アップダウンカウントモード時の動作」の「カウント動作」を参照してください。

この機能はタイマモードでは利用できません。

• リロードコンペアクリア機能

リロード機能とコンペアクリア機能を組み合わせて使用する機能です。"0000_H" とリロードコンペアレジスタ (RCR0 ~ RCR3) に設定した値の間でカウントダウン / アップを行うため、任意幅でのカウントが可能です。「24.6.2 アップダウンカウントモード時の動作」の「カウント動作」を参照してください。

この機能はタイマモードでは利用できません。

リロード機能 / コンペアクリア機能の設定方法を表 24.6-1 に示します。

表 24.6-1 リロード機能 / コンペアクリア機能の設定方法

RLDE ビット	UCRE ビット	説明
0	0	リロード機能 / コンペアクリア機能の禁止
0	1	リロード機能の禁止 コンペアクリア機能の許可
1	0	リロード機能の許可 コンペアクリア機能の禁止
1	1	リロード機能 / コンペアクリア機能の許可

● ZIN0 ~ ZIN3 端子の機能

カウンタコントロールレジスタ (CCR0 ~ CCR3) の CGSC ビットで ZIN0 ~ ZIN3 端子の機能を次の中から選択できます。

• カウンタクリア機能 (CGSC=0)

カウント動作中に ZIN0 ~ ZIN3 端子から有効エッジが入力されると、カウンタの値を "0000_H" にクリアします。

- ゲート機能 (CGSC=1)

ZIN0 ~ ZIN3 端子から有効レベルが入力されている間だけ、カウンタが動作します。カウンタクリア機能を選択した場合は有効エッジ、ゲート機能を選択した場合は有効レベルをカウンタコントロールレジスタ (CCR0 ~ CCR3) の CGE1, CGE0 ビットで選択してください。

CGE1	CGE0	カウンタクリア機能選択時 (CGSC=0)	ゲート機能選択時 (CGSC=1)
0	0	エッジ検出禁止	レベル検出禁止 (カウント禁止)
0	1	立下りエッジ	"L" レベル
1	0	立上りエッジ	"H" レベル
1	1	設定禁止	設定禁止

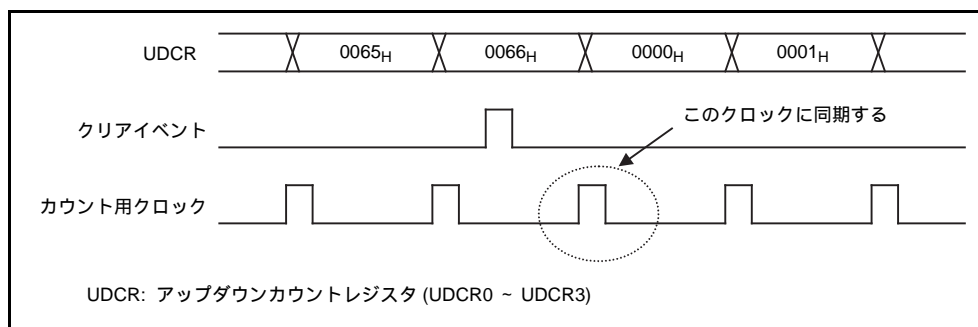
■ クリアイベント

カウンタの値は、次のいずれかの場合に "0000_H" にクリアされます。

- 本デバイスがリセットされた
- ZIN0 ~ ZIN3 端子から有効エッジが入力された
(カウンタコントロールレジスタ (CCR0 ~ CCR3) の CGSC ビットで ZIN0 ~ ZIN3 端子の機能をカウンタクリア機能 (CGSC=0) に設定している場合)
- ソフトウェアによるクリア
カウンタコントロールレジスタ (CCR0 ~ CCR3) の UDCC ビットに "0" が書き込まれた
- コンペアクリア機能によるクリア
カウンタの値が、リロードコンペアレジスタ (RCR0 ~ RCR3) に設定した値と一致し、さらにカウントアップが行われようとした
(カウントダウンが行われた場合や、カウンタが停止した場合はクリアされません。)
- オーバフロー発生によるクリア
カウンタの値が "FFFF_H" (8 ビットモード時は "FF_H") になった後のカウントアップ / カウントダウンのタイミング
カウンタの値が "0000_H" にクリアされるタイミングは、アップダウンカウンタの動作状態によって次のようになります。
- カウント動作中にクリアイベントが発生した場合
カウント用クロックに同期して、値がクリアされます。

クリアイベント発生タイミングを図 24.6-1 に示します。

図 24.6-1 クリアイベント発生タイミング

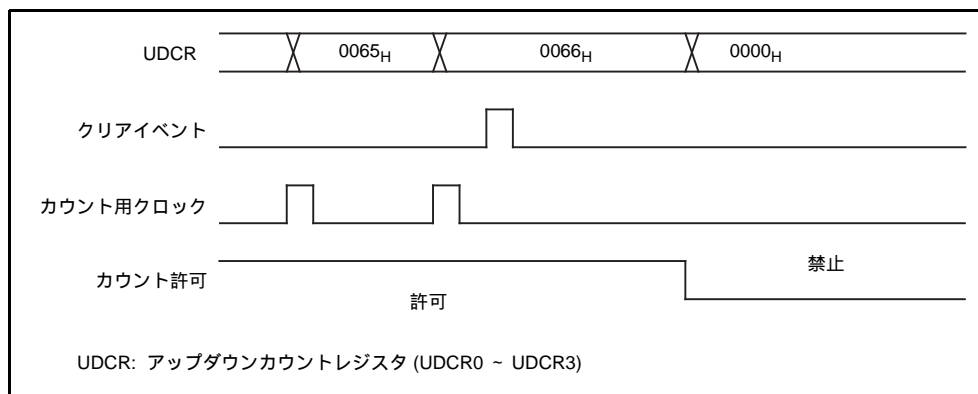


- カウント動作中にクリアイベントが発生し、次のカウント用クロックが入力される前にカウント動作を停止した場合 (カウンタステータスレジスタ (CSR0 ~ CSR3) の CSTR ビット = 0)

アップダウンカウンタが停止した時点で、値がクリアされます。

クリアイベント発生タイミングを図 24.6-2 に示します。

図 24.6-2 クリアイベント発生タイミング



■ リロードイベント

アップダウンカウンタの値は、次のいずれかの場合にリロードされます。

- カウンタコントロールレジスタ (CCR0 ~ CCR3) の CTUT ビットに "1" を書き込んだ場合
- リロード機能によって値がリロードされた場合

アップダウンカウンタの値がリロードされるタイミングは、アップダウンカウンタの動作状態によって次のようになります。

- カウント動作中にリロードイベントが発生した場合
カウント用クロックに同期して、値がリロードされます。
- カウント停止中にリロードイベントが発生した場合
リロードイベントが発生した時点で、値がリロードされます。

< 注意事項 >

- カウント動作中は、カウンタコントロールレジスタ (CCR0 ~ CCR3) の CTUT ビットに "1" を書き込まないでください。
- リロードイベントとクリアイベントが同時に発生した場合は、クリアイベントが優先されます。

24.6.1 タイマモード時の動作

タイマモード時の動作について説明します。

■ 概要

リロードコンペアレジスタ (RCR0 ~ RCR3) に設定した値から、カウントダウンするモードです。周辺クロック (PCLK) をプリスケアラで分周して、カウント用クロックとして使用します。

カウンタがアンダフローしたときに、リロードコンペアレジスタ (RCR0 ~ RCR3) の値をリロードして、再度カウントダウンするリロード機能を使用することもできます。

■ カウント動作

● 通常動作

1. リロードコンペアレジスタ (RCR0 ~ RCR3) にリロード値 / コンペア値を設定
2. カウンタコントロールレジスタ (CCR0 ~ CCR3) の CTUT ビットに "1" を書き込む
設定した値がアップダウンカウンタレジスタ (UDCR0 ~ UDCR3) に転送されます。
3. カウンタステータスレジスタ (CSR0 ~ CSR3) の CSTR ビットでアップダウンカウンタの動作を許可 (CSTR=1) する

リロードコンペアレジスタ (RCR0 ~ RCR3) の設定した値からカウントダウンを開始します。

カウンタがアンダフローすると、カウンタステータスレジスタ (CSR0 ~ CSR3) の UDFF ビットが "1" に変わります。このとき、カウンタステータスレジスタの UDIE ビットに "1" が設定されていると、アンダフロー割込み要求が発生します。

なお、カウンタコントロールレジスタ (CCR0 ~ CCR3) の CGSC ビットで ZIN0 ~ ZIN3 端子をゲート機能 (CGSC=1) に設定した場合は、CGE1, CGE0 ビットで設定した有効レベルが ZIN0 ~ ZIN3 端子から入力されている間のみカウントします。

有効レベルの設定については、「24.4.3 カウンタコントロールレジスタ (CCR0 ~ CCR3)」を参照してください。

< 注意事項 >

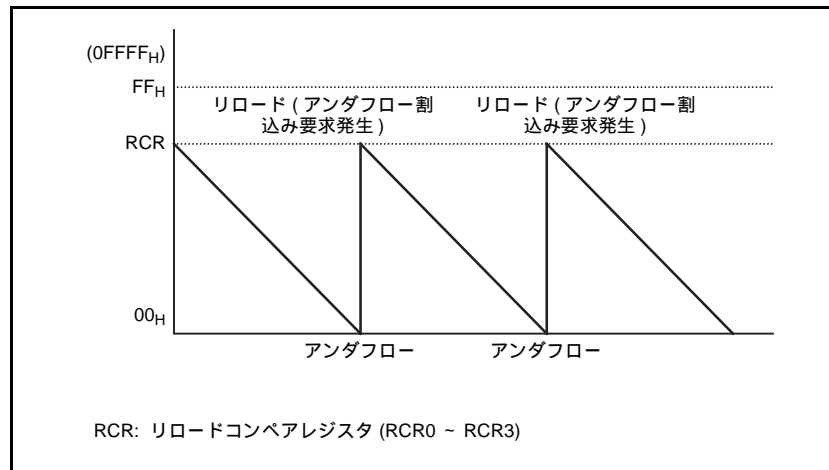
ZIN0 ~ ZIN3 端子に必要な最低パルス幅は、2T (T : 周辺クロック (PCLK) の周期) です。

● リロード機能使用時の動作

カウントダウン時に、カウンタがアンダフローすると、カウンタステータスレジスタ (CSR0 ~ CSR3) の UDFB ビットが "1" に変わります。アンダフローが発生した次のカウントダウンタイミングで、リロードコンペアレジスタ (RCR0 ~ RCR3) の値がリロードされ、再度カウントダウンを開始します。このとき、カウンタステータスレジスタ (CSR0 ~ CSR3) の UDIE ビットに "1" が設定されていると、アンダフロー割込み要求が発生します。

リロード機能使用時の動作を図 24.6-3 に示します。

図 24.6-3 リロード機能使用時の動作



< 注意事項 >

リロードコンペアレジスタ (RCR0 ~ RCR3) の値は、リロード値とコンペア値を兼ねています。そのため、リロードコンペアレジスタ (RCR0 ~ RCR3) の値がリロードされると、カウンタステータスレジスタ (CSR0 ~ CSR3) の CMPF ビットも "1" に変わります。

24.6.2 アップダウンカウントモード時の動作

アップダウンカウントモード時の動作について説明します。

■ 概要

AIN0 ~ AIN3 端子および BIN0 ~ BIN3 端子から入力される外部信号をカウント用クロックとして、カウントアップ / カウントダウンするモードです。

AIN0 ~ AIN3 端子から外部信号が入力されたときはカウントアップし、BIN0 ~ BIN3 端子から外部信号が入力されたときはカウントダウンします。

外部信号のどのエッジでカウントするかは、カウンタコントロールレジスタ (CCR0 ~ CCR3) の CES1, CES0 ビットで次の中から選択します。

- 立下りエッジ (CES1, CES0=01)
- 立上りエッジ (CES1, CES0=10)
- 両エッジ (CES1, CES0=11)

また、アップダウンカウントモード時には、次の 3 種類の機能を使用できます。

- リロード機能
- コンペアクリア機能
- リロードコンペアクリア機能

■ カウント動作

● 通常動作

カウンタが動作可能な状態で、AIN0 ~ AIN3 端子から有効エッジが入力されたときはカウントアップし、BIN0 ~ BIN3 端子から有効エッジが入力されたときはカウントダウンします。

カウントアップからカウントダウン、またはカウントダウンからカウントアップのようにカウント方向が反転すると、カウンタコントロールレジスタ (CCR0 ~ CCR3) の CDCF ビットが "1" に変わります。このとき、カウンタコントロールレジスタ (CCR0 ~ CCR3) の CFIE ビットに "1" が設定されていると、カウント方向転換割込み要求が発生します。

なお、カウンタコントロールレジスタ (CCR0 ~ CCR3) の CGSC ビットで ZIN0 ~ ZIN3 端子をゲート機能 (CGSC=1) に設定した場合は、CGE1, CGE0 ビットで設定した有効レベルが ZIN0 ~ ZIN3 端子から入力されている間のみカウントします。

有効レベルの設定については、「24.4.3 カウンタコントロールレジスタ (CCR0 ~ CCR3)」を参照してください。

< 注意事項 >

AIN0 ~ AIN3 端子、BIN0 ~ BIN3 端子、ZIN0 ~ ZIN3 端子に必要な最低パルス幅は、 $2T$ (T : 周辺クロック (PCLK) の周期) です。

● リロード機能使用時の動作

タイマモード時の動作と同様です。「24.6.1 タイマモード時の動作」の「 カウント動作」を参照してください。

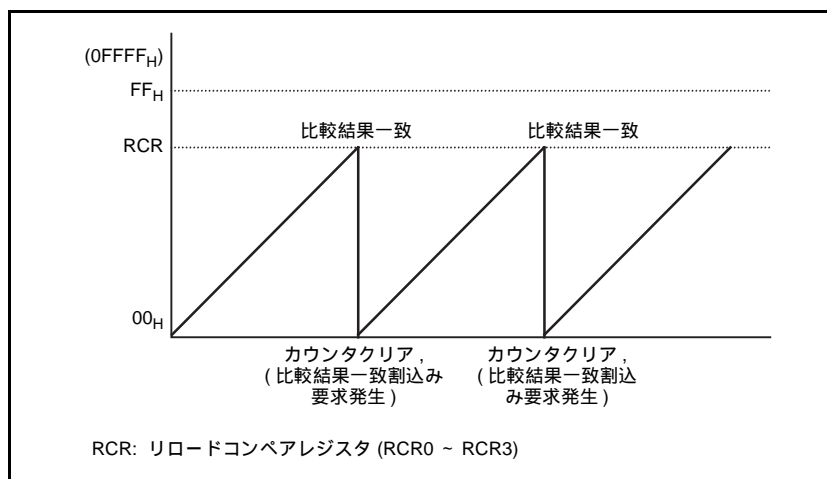
● コンペアクリア機能使用時の動作

アップダウンカウンタの値がリロードコンペアレジスタ (RCR0 ~ RCR3) に設定した値と一致するとカウンタステータスレジスタ (CSR0 ~ CSR3) の CMPF ビットが "1" に変わります。このとき、カウンタステータスレジスタ (CSR0 ~ CSR3) の CITE ビットに "1" が設定されていると、比較結果一致割込み要求が発生します。

この状態でさらにカウントアップが行われようとすると、アップダウンカウンタの値を "0000_H" にクリアして、再度カウントアップを開始します。

コンペアクリア機能使用時の動作を図 24.6-4 に示します。

図 24.6-4 コンペアクリア機能使用時の動作



< 注意事項 >

コンペアクリア機能を使用した場合は、次の条件を満たしたときに、アップダウンカウンタの値が "0000_H" にクリアされます。

- アップダウンカウンタの値とリロードコンペアレジスタ (RCR0 ~ RCR3) に設定した値が一致 (比較結果一致)
- さらに次のカウントアップが行われた

ただし、比較結果が一致しても、次の場合はアップダウンカウンタの値はクリアされません。

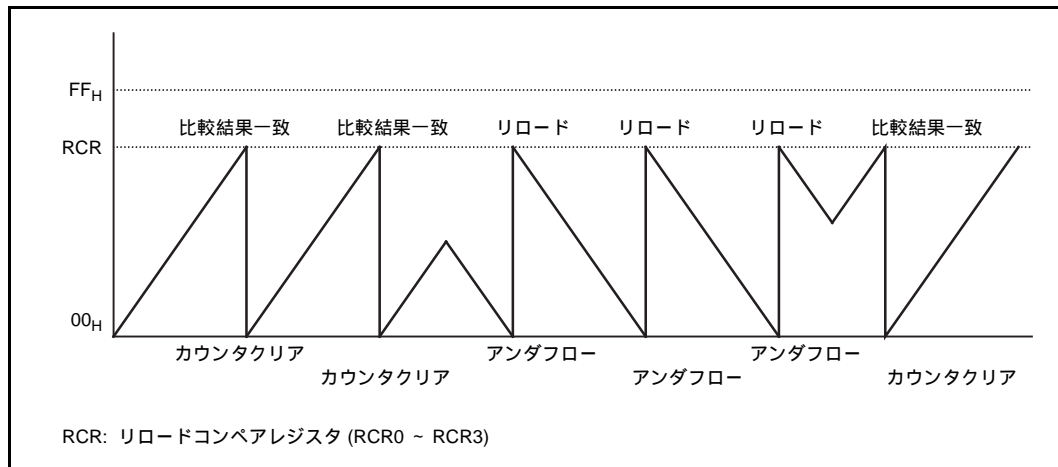
- 次の動作がカウントダウン
- アップダウンカウンタが停止

● リロードコンペアクリア機能使用時の動作

カウントダウン時はリロード機能を、カウントアップ時はコンペアクリア機能を使用します。

リロードコンペアクリア機能使用時の動作を図 24.6-5 に示します。

図 24.6-5 リロードコンペアクリア機能使用時の動作



■ カウント方向の確認

このモードでは、カウントアップとカウントダウンの両方が行われます。そのため、カウント方向をカウンタステータスレジスタ (CSR0 ~ CSR3) の UDF1, UDF0 ビットで確認できます。カウントが行われるたびに、このビットが書き換えられるため、現在のカウント方向を確認することができます。モーターの制御などで回転方向を知りたい場合などに利用すると便利です。

UDF1, UDF0 ビットの示すカウント方向を表 24.6-2 に示します。

表 24.6-2 UDF1, UDF0 ビットとカウント方向の対応

UDF1	UDF0	カウント方向
0	0	入力なし
0	1	カウントダウン
1	0	カウントアップ
1	1	カウントアップ / カウントダウン同時発生

また、カウント方向が、カウントダウンからカウントアップ、またはカウントアップからカウントダウンに 1 回以上反転すると、カウンタコントロールレジスタ (CCR0 ~ CCR3) の CDCF ビットが "1" に変わります。このとき、方向転換割込み要求も発生させることができるため、CDCF ビットと方向転換割込み要求の発生を利用して、カウント方向が反転したかどうかを確認できます。

< 注意事項 >

カウント方向の転換が短期間に連続発生した場合は、カウント方向が元に戻り、カウンタステータスレジスタ (CSR0 ~ CSR3) の UDF1, UDF0 ビットで示す方向が、CDCF ビットが "1" に変わる前と同じ方向になる場合があります。

24.6.3 位相差カウントモード (2 逓倍) 時の動作

位相差カウントモード (2 逓倍) 時の動作について説明します。

■ 概要

2 本の外部信号入力端子から入力される信号の位相差をカウントするモードです。エンコード出力の A 相と B 相の位相差をカウントするのに適しています。

BIN0 ~ BIN3 端子から立上りエッジ, 立下りエッジが検出されたときに, AIN0 ~ AIN3 端子の入力レベルを確認し, BIN0 ~ BIN3 端子と AIN0 ~ AIN3 端子の位相差をカウントアップ / カウントダウンします。A 相が B 相より進んでいる場合はカウントアップし, 遅れている場合はカウントダウンします。

カウントアップするかカウントダウンするかは, BIN0 ~ BIN3 端子の検出エッジと AIN0 ~ AIN3 端子の入力レベルによって異なります。

カウント方法を表 24.6-3 に示します。

表 24.6-3 カウント方法

BIN0 ~ BIN3 端子	AIN0 ~ AIN3 端子	カウント方向
立上りエッジ	"H" レベル	カウントアップ
	"L" レベル	カウントダウン
立下りエッジ	"H" レベル	カウントダウン
	"L" レベル	カウントアップ

また, 位相差カウントモード (2 逓倍) 時は, 次の 3 種類の機能を使用できます。

- リロード機能
- コンペアクリア機能
- リロードコンペアクリア機能

● 通常動作

位相差カウントモード (2 週倍) 時の動作を図 24.6-6 に示します。

AIN0 ~ AIN3 端子

BIN0 ~ BIN3 端子

カウント値 0 1 2 3 4 5 4 5 4 3 2 1 0

有効レベルの設定については、「24.4.3 カウンタコントロールレジスタ (CCR0 ~ CCR3)」を参照してください。

AIN0 ~ AIN3 端子, BIN0 ~ BIN3 端子, ZIN0 ~ ZIN3 端子に必要な最低パルス幅は, 2T (T: 周辺クロック (PCLK) の周期) です。

タイマモード時の動作と同様です。「24.6.1 タイマモード時の動作」の「 カウント動作」を参照してください。

アップダウンカウントモード時の動作と同様です。「24.6.2 アップダウンカウントモード時の動作」の「 カウント動作」を参照してください。

アップダウンカウントモード時の動作と同様です。「24.6.2 アップダウンカウントモード時の動作」の「 カウント動作」を参照してください。

アップダウンカウントモード時と同様です。「24.6.2 アップダウンカウントモード時の動作」の「 カウント方向の確認」を参照してください。

24.6.4 位相差カウントモード (4 通倍) 時の動作

位相差カウントモード (4 通倍) 時の動作について説明します。

■ 概要

2 本の外部信号入力端子から入力される信号の位相差をカウントするモードです。エンコード出力の A 相と B 相の位相差をカウントするのに適しています。

AIN0 ~ AIN3 端子または BIN0 ~ BIN3 端子から立上りエッジ, 立下りエッジが検出されたときに, もう一方の端子からの入力レベルを確認し, AIN0 ~ AIN3 端子と BIN0 ~ BIN3 端子の位相差をカウントアップ / カウントダウンします。

カウントアップするかカウントダウンするかは, 検出するエッジと入力レベルの組合せによって異なります。

カウント方法を表 24.6-4 に示します。

表 24.6-4 カウント方法

エッジ検出端子	検出エッジ	レベル確認端子	入力レベル	カウント方向
BIN0 ~ BIN3端子	立上りエッジ	AIN0 ~ AIN3端子	"H" レベル	カウントアップ
			"L" レベル	カウントダウン
	立下りエッジ		"H" レベル	カウントダウン
			"L" レベル	カウントアップ
AIN0 ~ AIN3端子	立上りエッジ	BIN0 ~ BIN3端子	"H" レベル	カウントダウン
			"L" レベル	カウントアップ
	立下りエッジ		"H" レベル	カウントアップ
			"L" レベル	カウントダウン

また, 位相差カウントモード (4 通倍) 時は, 次の 3 種類の機能を使用できます。

- リロード機能
- コンペアクリア機能
- リロードコンペアクリア機能

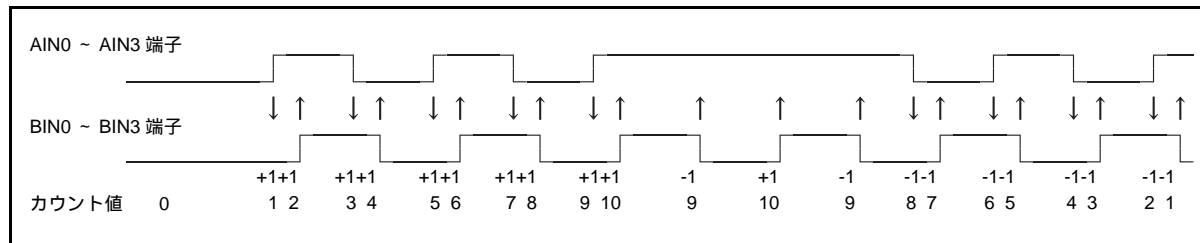
■ カウント動作

● 通常動作

カウンタが動作可能な状態で、AIN0 ~ AIN3 端子または BIN0 ~ BIN3 端子から立上りエッジ / 立下りエッジが入力されると、もう一方の端子の入力レベルを検出し、カウントアップ / カウントダウンします。

位相差カウントモード (4 逓倍) 時の動作を図 24.6-7 に示します。

図 24.6-7 位相差カウントモード (4 逓倍) 時の動作



なお、カウンタコントロールレジスタ (CCR0 ~ CCR3) の CGSC ビットで ZIN0 ~ ZIN3 端子をゲート機能 (CGSC=1) に設定した場合は、CGE1, CGE0 ビットで設定した有効レベルが ZIN0 ~ ZIN3 端子から入力されている間のみカウントします。

有効レベルの設定については、「24.4.3 カウンタコントロールレジスタ (CCR0 ~ CCR3)」を参照してください。

< 注意事項 >

AIN0 ~ AIN3 端子, BIN0 ~ BIN3 端子, ZIN0 ~ ZIN3 端子に必要な最低パルス幅は、2T (T: 周辺クロック (PCLK) の周期) です。

● リロード機能使用時の動作

タイマモード時の動作と同様です。「24.6.1 タイマモード時の動作」の「カウント動作」を参照してください。

● コンペアクリア機能使用時の動作

アップダウンカウントモード時の動作と同様です。「24.6.2 アップダウンカウントモード時の動作」の「カウント動作」を参照してください。

● リロードコンペアクリア機能使用時の動作

アップダウンカウントモード時の動作と同様です。「24.6.2 アップダウンカウントモード時の動作」の「カウント動作」を参照してください。

■ カウント方向の確認

アップダウンカウントモード時と同様です。「24.6.2 アップダウンカウントモード時の動作」の「カウント方向の確認」を参照してください。

第 25 章 10 ビット A/D コンバータ

10 ビット A/D コンバータの機能と動作について説明します。

- 25.1 概要
- 25.2 構成
- 25.3 端子
- 25.4 レジスタ
- 25.5 割込み
- 25.6 動作説明と設定手順例

25.1 概要

10 ビット A/D コンバータは、アナログ信号を 10 ビットのデジタル信号に変換する装置です。本製品は 10 ビット A/D コンバータを 2 ユニット内蔵しており、31 チャンネルのアナログ入力を各ユニットに割り振って変換できます。

■ 概要

- 変換時間：1 チャンネルあたり最小 1.2 μ s で変換できます (33MHz の周辺クロック (PCLK))
- 比較変換方式：サンプル & ホールド回路付 RC 型逐次比較変換方式を採用しています。
- 変換モード：次の 2 種類のモードを利用できます。
 - A/D スキャン変換
31 チャンネルから変換するチャンネルを任意に選択し、変換します。
選択したチャンネルを 1 回だけ変換するシングル変換モードと、選択したチャンネルを繰り返して変換するリピート変換モードを利用できます。
 - A/D 優先変換
優先度の高い A/D 変換の起動要因が発生すると、A/D スキャン変換を中断して優先的に変換します。優先度は 2 レベル用意されています。
- 起動要因：A/D 変換のモードによって、起動要因が異なります。
 - A/D スキャン変換
ソフトウェアまたはベースタイマ ch.0/ch.4 の TOUT 信号で立上りエッジを検出すると起動します。
 - A/D 優先変換 (優先度 1)
外部トリガ入力端子から、立下りエッジが入力されると起動します。
 - A/D 優先変換 (優先度 2)
ソフトウェアまたはベースタイマ ch.2/ch.6 の TOUT 信号で立上りエッジを検出すると起動します。
- FIFO機能：A/Dスキャン変換用に16段、A/D優先変換用に4段のFIFOが用意されています。
- 変換結果比較機能：A/D 変換の結果を比較できます。
- チャンネル独立制御：チャンネルごとにサンプリング時間を 2 種類から設定できます。
- 変換結果：A/D変換の結果を前詰め (MSB 側) に格納するか後ろ詰め (LSB 側) に格納するかを選択できます。

- 割込み要求：次の場合に割込み要求が発生できます。
 - A/D スキャン変換時にあらかじめ設定した段数の FIFO にデータが格納された
 - A/D 優先変換時にあらかじめ設定した段数の FIFO にデータが格納された
 - FIFO のオーバーランが発生した
 - 比較機能利用時に、変換結果が割込み要求が発生する条件を満たした
- DMA 転送の起動：割込み要求の発生を利用して変換結果を DMA 転送できます。

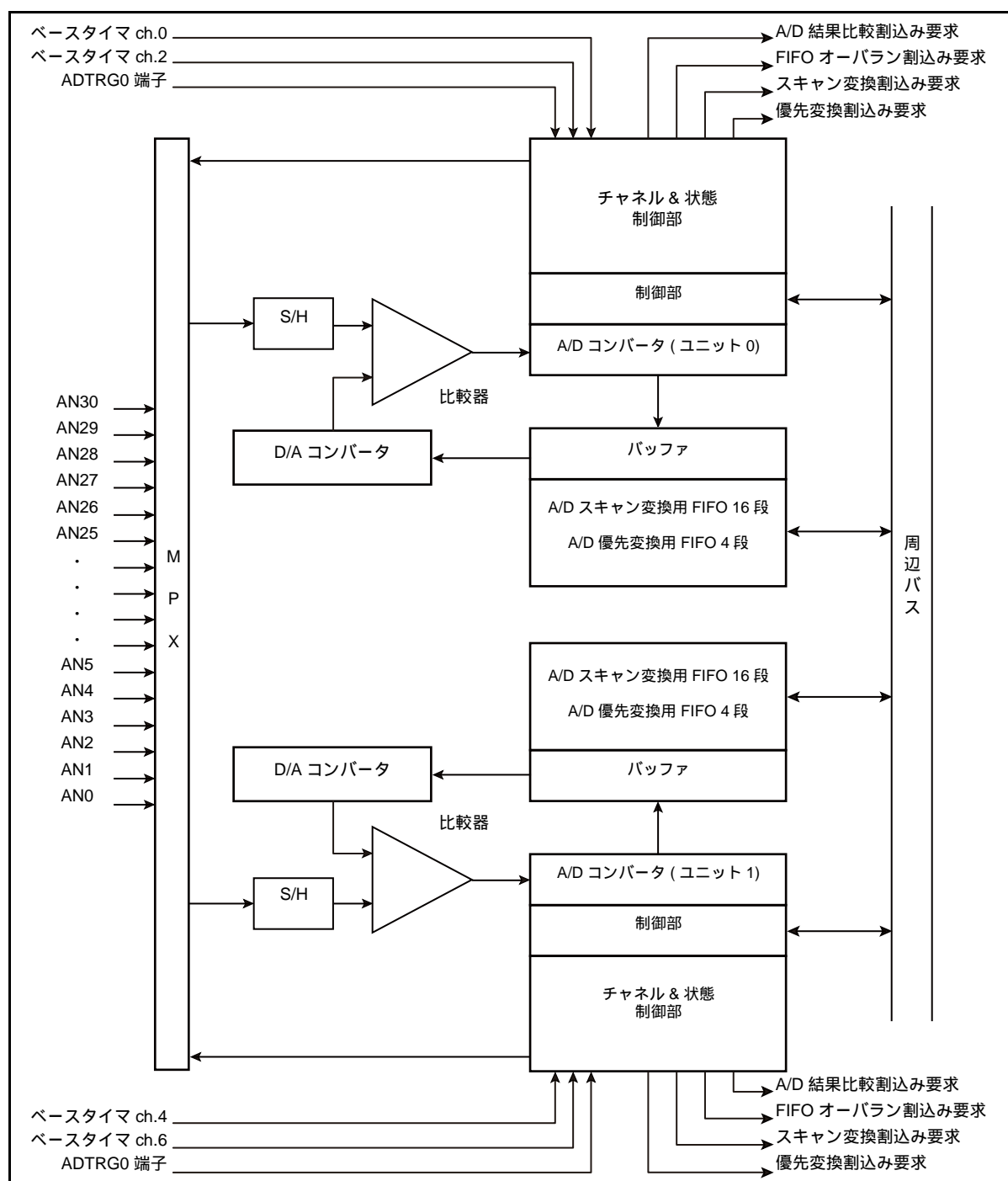
25.2 構成

10 ビット A/D コンバータの構成を示します。

■ 10 ビット A/D コンバータのブロックダイアグラム

10 ビット A/D コンバータのブロックダイアグラムを図 25.2-1 に示します。

図 25.2-1 10 ビット A/D コンバータのブロックダイアグラム



- A/D スキャン変換用 FIFO
A/D スキャン変換用の FIFO です。16 段用意されています。
- A/D 優先変換用 FIFO
A/D 優先変換用の FIFO です。4 段用意されています。
- 制御部
変換動作を制御します。
- チャンネル & 状態制御部
10 ビット A/D コンバータのチャンネルや状態を制御します。
- MPX (アナログマルチプレクサ)
複数のアナログ入力信号から変換するアナログ信号を選択 (切替え) します。

■ クロック

10 ビット A/D コンバータで使用するクロックを表 25.2-1 に示します。

表 25.2-1 10 ビット A/D コンバータで使用するクロック

クロック名	内容
動作クロック	周辺クロック (PCLK)

25.3 端子

10 ビット A/D コンバータで使用する端子について説明します。

■ 概要

10 ビット A/D コンバータには次の端子があります。

- AV_{CC} 端子

10 ビット A/D コンバータのアナログ電源入力端子です。

- AV_{RH} 端子

10 ビット A/D コンバータの基準電圧入力端子です。

- AV_{SS} 端子

10 ビット A/D コンバータの GND 端子です。

- $AN_0 \sim AN_{30}$ 端子

10 ビット A/D コンバータのアナログ入力端子です。

この端子は兼用端子です。10 ビット A/D コンバータの $AN_0 \sim AN_{30}$ 端子として使用するには「14.4.6 A/D チャンネルイネーブルレジスタ (ADCHE)」を参照してください。

- $ADTRG_0$ 端子

10 ビット A/D コンバータの外部トリガ入力端子です。

この端子は兼用端子です。10 ビット A/D コンバータの $ADTRG_0$ 端子として使用するには「2.4 端子の設定方法」を参照してください。

■ 端子とチャネルの対応

チャネルと端子の対応を表 25.3-1 に示します。

表 25.3-1 チャネルと端子の対応

チャネル	アナログ電源入力端子	基準電圧入力端子	GND 端子	アナログ入力端子	外部トリガ入力端子
0	AV _{CC}	AVRH	AV _{SS}	AN0	ADTRG0
1				AN1	
2				AN2	
3				AN3	
4				AN4	
5				AN5	
6				AN6	
7				AN7	
8				AN8	-
9				AN9	
10				AN10	
11				AN11	
12				AN12	
13				AN13	
14				AN14	
15				AN15	
16				AN16	
17				AN17	
18				AN18	
19				AN19	
20				AN20	
21				AN21	
22				AN22	
23				AN23	
24				AN24	
25				AN25	
26				AN26	
27				AN27	
28				AN28	
29				AN29	
30				AN30	

25.4 レジスタ

10 ビット A/D コンバータで使用するレジスタの構成と機能について説明します。

■ 10 ビット A/D コンバータのレジスタ一覧

10 ビット A/D コンバータのレジスタ一覧を表 25.4-1 に示します。

表 25.4-1 10 ビット A/D コンバータのレジスタ一覧 (1 / 2)

ユニット	レジスタ略称	レジスタ名	参照先
共通	ADCHE	A/D チャンネルイネーブルレジスタ	14.4.6
0	ADCR0	A/DC コントロールレジスタ 0	25.4.1
	ADSR0	A/DC ステータスレジスタ 0	25.4.2
	SCCR0	スキャン変換コントロールレジスタ 0	25.4.3
	SFNS0	スキャン変換 FIFO 段数設定レジスタ 0	25.4.4
	SCIS00	スキャン変換入力選択レジスタ 00	25.4.6
	SCIS10	スキャン変換入力選択レジスタ 10	25.4.6
	SCIS20	スキャン変換入力選択レジスタ 20	25.4.6
	SCIS30	スキャン変換入力選択レジスタ 30	25.4.6
	SCFD0	スキャン変換 FIFO データレジスタ 0	25.4.5
	PCCR0	優先変換コントロールレジスタ 0	25.4.7
	PFNS0	優先変換 FIFO 段数設定レジスタ 0	25.4.8
	PCIS0	優先変換入力選択レジスタ 0	25.4.10
	PCFD0	優先変換 FIFO データレジスタ 0	25.4.9
	CMPD0	A/D 比較値設定レジスタ 0	25.4.11
	CMPCR0	A/D 比較コントロールレジスタ 0	25.4.12
	ADSS00	サンプリング時間選択レジスタ 00	25.4.14
	ADSS10	サンプリング時間選択レジスタ 10	25.4.14
	ADSS20	サンプリング時間選択レジスタ 20	25.4.14
	ADSS30	サンプリング時間選択レジスタ 30	25.4.14
	ADST00	サンプリング時間設定レジスタ 00	25.4.13
	ADST10	サンプリング時間設定レジスタ 10	25.4.13
	ADCT0	コンペア時間設定レジスタ 0	25.4.15

表 25.4-1 10 ビット A/D コンバータのレジスタ一覧 (2 / 2)

ユニット	レジスタ略称	レジスタ名	参照先
1	ADCR1	A/DC コントロールレジスタ 1	25.4.1
	ADSR1	A/DC ステータスレジスタ 1	25.4.2
	SCCR1	スキャン変換コントロールレジスタ 1	25.4.3
	SFNS1	スキャン変換 FIFO 段数設定レジスタ 1	25.4.4
	SCIS01	スキャン変換入力選択レジスタ 01	25.4.6
	SCIS11	スキャン変換入力選択レジスタ 11	25.4.6
	SCIS21	スキャン変換入力選択レジスタ 21	25.4.6
	SCIS31	スキャン変換入力選択レジスタ 31	25.4.6
	SCFD1	スキャン変換 FIFO データレジスタ 1	25.4.5
	PCCR1	優先変換コントロールレジスタ 1	25.4.7
	PFNS1	優先変換 FIFO 段数設定レジスタ 1	25.4.8
	PCIS1	優先変換入力選択レジスタ 1	25.4.10
	PCFD1	優先変換 FIFO データレジスタ 1	25.4.9
	CMPD1	A/D 比較値設定レジスタ 1	25.4.11
	CMPCR1	A/D 比較コントロールレジスタ 1	25.4.12
	ADSS01	サンプリング時間選択レジスタ 01	25.4.14
	ADSS11	サンプリング時間選択レジスタ 11	25.4.14
	ADSS21	サンプリング時間選択レジスタ 21	25.4.14
	ADSS31	サンプリング時間選択レジスタ 31	25.4.14
	ADST01	サンプリング時間設定レジスタ 01	25.4.13
	ADST11	サンプリング時間設定レジスタ 11	25.4.13
	ADCT1	コンペア時間設定レジスタ 1	25.4.15

25.4.1 A/DC コントロールレジスタ (ADCR0, ADCR1)

割込み要求を制御するレジスタです。

A/DC コントロールレジスタ (ADCR0, ADCR1) のビット構成を図 25.4-1 に示します。

図 25.4-1 A/DC コントロールレジスタ (ADCR0, ADCR1) のビット構成

bit	7	6	5	4	3	2	1	0
	SCIF	PCIF	CMPIF	未定義	SCIE	PCIE	CMPIE	OVRIE
属性	R/W	R/W	R/W	-	R/W	R/W	R/W	R/W
初期値	0	0	0	X	0	0	0	0

R/W：リード / ライト可能
-：未定義
X：不定

[bit7]：SCIF (スキャン変換割込み要求フラグビット)

A/D スキャン変換の変換結果が、スキャン変換 FIFO 段数設定レジスタ (SFNS0, SFNS1) の SFS3 ~ SFS0 ビットで設定した FIFO の段数まで格納されたことを示します。

このビットが "1" のときに SCIE ビットが "1" に設定されているとスキャン変換割込み要求が発生します。

SCIF	読出し時	書込み時
0	変換結果は指定段数まで格納されていません。	このビットを "0" にクリアします。
1	変換結果が指定段数まで格納されました。	無視されます。

< 注意事項 >

リードモディファイライト系命令では "1" が読み出されます。

[bit6] : PCIF (優先変換割込み要求フラグビット)

A/D 優先変換の変換結果が、優先変換 FIFO 段数設定レジスタ (PFNS0, PFNS1) の PFS1, PFS0 ビットで設定した FIFO の段数まで格納されたことを示します。

このビットが "1" のときに PCIE ビットが "1" に設定されていると優先変換割込み要求が発生します。

PCIF	読出し時	書込み時
0	変換結果は指定段数まで格納されていません。	このビットを "0" にクリアします。
1	変換結果が指定段数まで格納されました。	無視されます。

< 注意事項 >

リードモディファイライト系命令では "1" が読み出されます。

[bit5] : CMPIF (変換結果比較割込み要求フラグビット)

A/D 変換の変換結果比較機能利用時は、変換結果が A/D 比較値設定レジスタ (CMPD0, CMPD1) と比較されます。

比較結果が、A/D 比較値設定レジスタ (CMPD0, CMPD1) および A/D 比較コントロールレジスタ (CMPCR0, CMPCR1) に設定した条件を満たしたことを示します。

このビットが "1" のときに CMPIE ビットが "1" に設定されていると変換結果比較割込み要求が発生します。

CMPIF	読出し時	書込み時
0	条件を満たしていません。	このビットを "0" にクリアします。
1	条件を満たしました。	無視されます。

< 注意事項 >

リードモディファイライト系命令では "1" が読み出されます。

[bit4] : 未定義ビット

書込み時	無視されます。
読出し時	値は不定です。

[bit3] : SCIE (スキャン変換割込み許可ビット)

A/D スキャン変換の変換結果が、スキャン変換 FIFO 段数設定レジスタ (SFNS0, SFNS1) の SFS3 ~ SFS0 ビットで設定した FIFO の段数まで格納されたとき (SCIF ビット=1) に、スキャン変換割込み要求を発生させるかどうかを設定します。

書込み値	説明
0	スキャン変換割込み要求の発生を禁止します。
1	スキャン変換割込み要求の発生を許可します。

[bit2] : PCIE (優先変換割込み許可ビット)

A/D 優先変換の変換結果が、優先変換 FIFO 段数設定レジスタ (PFNS0, PFNS1) の PFS1, PFS0 ビットで設定した FIFO の段数まで格納されたとき (PCIF ビット=1) に、優先変換割込み要求を発生させるかどうかを設定します。

書込み値	説明
0	優先変換割込み要求の発生を禁止します。
1	優先変換割込み要求の発生を許可します。

[bit1] : CMPIE (変換結果比較割込み許可ビット)

A/D 変換の変換結果比較機能利用時は、変換結果が A/D 比較値設定レジスタ (CMPD0, CMPD1) と比較されます。

比較結果が A/D 比較コントロールレジスタ (CMPCR0, CMPCR1) に設定した条件を満たしたとき (CMPIF ビット=1) に、変換結果比較割込み要求を発生させるかどうかを設定します。

書込み値	説明
0	変換結果比較割込み要求の発生を禁止します。
1	変換結果比較割込み要求の発生を許可します。

[bit0] : OVRIE (FIFO オーバラン割込み許可ビット)

スキャン変換コントロールレジスタ (SCCR0, SCCR1) の SOVR ビットまたは優先変換コントロールレジスタ (PCCR0, PCCR1) の POVR ビットが "1" に変わったときに、FIFO オーバラン割込み要求を発生させるかどうかを設定します。

FIFO が満杯 (フル) 時に FIFO への書込みが行われようとする時、スキャン変換コントロールレジスタ (SCCR0, SCCR1) の SOVR ビットまたは優先変換コントロールレジスタ (PCCR0, PCCR1) の POVR ビットが "1" に変わります。

書込み値	説明
0	FIFO オーバラン割込み要求の発生を禁止します。
1	FIFO オーバラン割込み要求の発生を許可します。

25.4.2 A/DC ステータスレジスタ (ADSR0, ADSR1)

A/D 変換の状態を示すレジスタです。

A/DC ステータスレジスタ (ADSR0, ADSR1) のビット構成を図 25.4-2 に示します。

図 25.4-2 A/DC ステータスレジスタ (ADSR0, ADSR1) のビット構成

bit	7	6	5	4	3	2	1	0
	ADSTP	FDAS	未定義	未定義	未定義	PCNS	PCS	SCS
属性	R/W	R/W	-	-	-	R	R	R
初期値	0	0	X	X	X	0	0	0

R/W：リード / ライト可能
R：リードオンリ
-：未定義
X：不定

[bit7]：ADSTP (A/D 変換強制停止ビット)

A/D 変換を強制停止します。

ADSTP	書込み時	読出し時
0	無視されます。	"0" が読み出されます。
1	A/D 変換を強制停止します。	

< 注意事項 >

- このビットに "1" を書き込むと、A/D 変換が A/D スキャン変換の場合も、A/D 優先変換の場合も変換動作は停止します。
- このビットに "1" を書き込んで A/D 変換を強制停止すると、PCNS ビット、PCS ビット、SCS ビットが "0" にクリアされます。ただし、他のレジスタには影響しません。

[bit6]：FDAS (FIFO データ配置選択ビット)

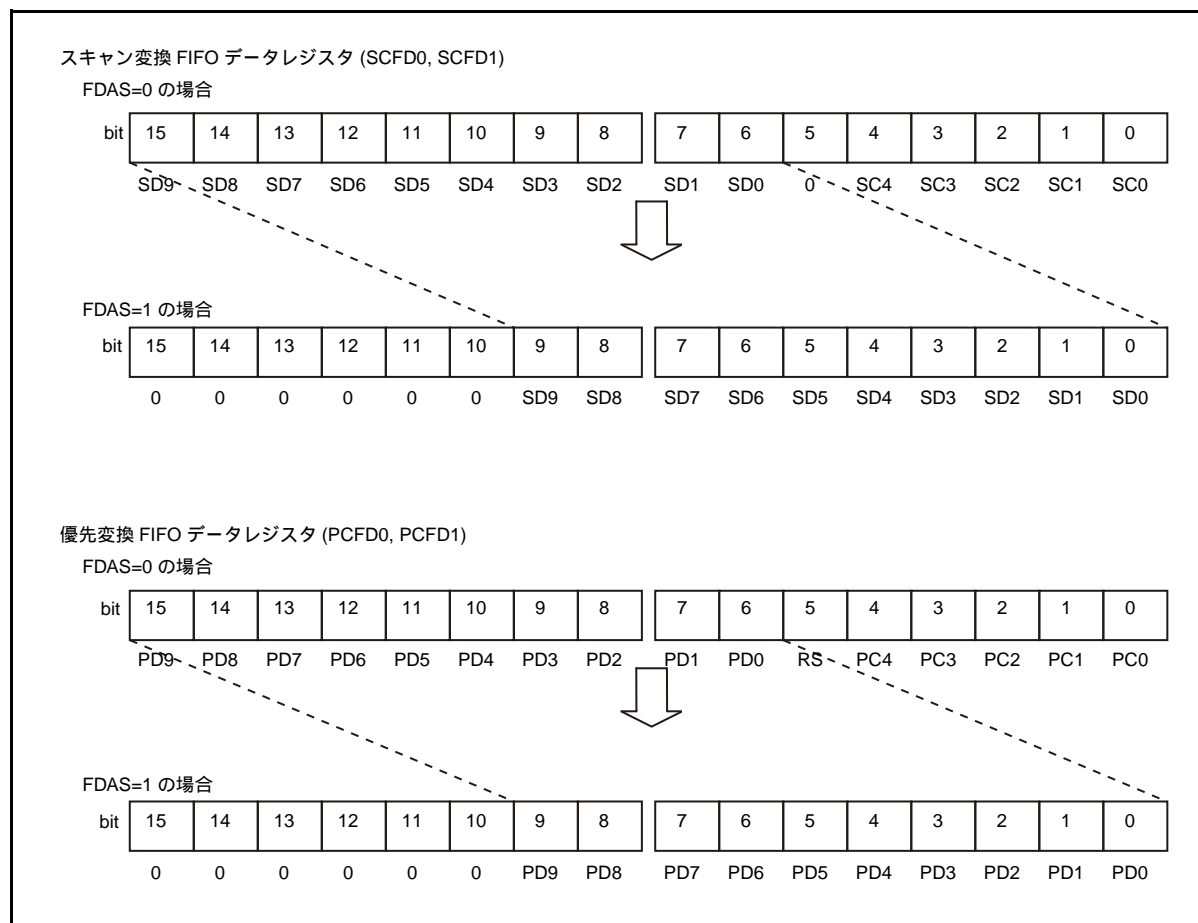
スキャン変換 FIFO データレジスタ (SCFD0, SCFD1) および優先変換 FIFO データレジスタ (PCFD0, PCFD1) のビット配置を設定します。

- 前詰めに配置:変換結果を前詰めに配置します (チャンネル情報あり、優先 A/D 起動要因情報あり (優先変換のみ))。
- 後ろ詰めに配置：変換結果を LSB 側に 6 ビットシフトし、後ろ詰めに配置します (チャンネル情報なし、優先 A/D 起動要因情報なし (優先変換のみ))。変換結果は bit9 ~ bit0 に配置されます。

書込み値	説明
0	変換結果を前詰めに配置します。
1	変換結果を後ろ詰めに配置します

このビットとスキャン変換 FIFO データレジスタ (SCFD0, SCFD1) および優先変換 FIFO データレジスタ (PCFD0, PCFD1) の関係を図 25.4-3 に示します。

図 25.4-3 スキャン変換 FIFO データレジスタ (SCFD0, SCFD1) / 優先変換 FIFO データレジスタ (PCFD0, PCFD1) との関係



< 注意事項 >

- このビットに "1" を書き込んで後ろ詰め配置を選択すると、変換結果が LSB 側へ 6 ビットシフトするため、変換したチャンネルの情報 (図 25.4-3 の SC4 ビット ~ SC0 ビット / PC4 ~ PC0 ビット) が失われます。1 チャンネルのみの変換など、変換結果にチャンネル情報が必要ないときにのみ、後ろ詰め配置を利用してください。
- A/D 優先変換時に、このビットに "1" を書き込んで後ろ詰め配置を選択すると、A/D 優先変換の起動要因情報 (図 25.4-3 の RS ビット) が失われます。優先度 1 または優先度 2 どちらか一方の A/D 優先変換を利用する場合にのみ、後ろ詰め配置を利用してください。

[bit5 ~ bit3] : 未定義ビット

書込み時	無視されます。
読出し時	値は不定です。

[bit2] : PCNS (優先変換保留フラグビット)

優先度 2 の A/D 優先変換が保留中であることを示します。

優先度 1 の A/D 優先変換中に優先度 2 の A/D 優先変換を起動した場合や、優先度 2 の A/D 優先変換中に優先度 1 の A/D 優先変換を起動すると、このビットが"1"に変わります。

読出し値	説明
0	優先度 2 の A/D 優先変換は保留されていません。
1	優先度 2 の A/D 優先変換が保留されています。

[bit1] : PCS (優先変換ステータスフラグビット)

優先度 1 または優先度 2 の A/D 優先変換中であることを示します。

読出し値	説明
0	A/D 優先変換は停止しています。
1	A/D 優先変換中です。

[bit0] : SCS (スキャン変換ステータスフラグビット)

A/D スキャン変換中であることを示します。

読出し値	説明
0	A/D スキャン変換は停止しています。
1	A/D スキャン変換中です。

25.4.3 スキャン変換コントロールレジスタ (SCCR0, SCCR1)

A/D スキャン変換の動作を制御するレジスタです。

スキャン変換コントロールレジスタ (SCCR0, SCCR1) のビット構成を図 25.4-4 に示します。

図 25.4-4 スキャン変換コントロールレジスタ (SCCR0, SCCR1) のビット構成

bit	7	6	5	4	3	2	1	0
	SEMP	SFUL	SOVR	SFCLR	未定義	RPT	SHEN	SSTR
属性	R	R	R/W	R/W	-	R/W	R/W	R/W
初期値	1	0	0	0	X	0	0	0

R/W : リード / ライト可能
R : リードオンリ
- : 未定義
X : 不定

< 注意事項 >

このレジスタはワードでアクセスしないでください。

スキャン変換 FIFO データレジスタ (SCFD0, SCFD1) は、SEMP ビットが "0" のときに読み出す必要があります。

[bit7] : SEMP (スキャン変換用 FIFO エンプティフラグビット)

A/D スキャン変換用の FIFO が空 (エンプティ) になったことを示します。

読出し値	説明
0	A/D スキャン変換用 FIFO にデータがあります。
1	A/D スキャン変換用 FIFO が空 (エンプティ) です。

スキャン変換 FIFO データレジスタ (SCFD0, SCFD1) にデータが格納されると、このビットは "0" にクリアされます。

[bit6] : SFUL (スキャン変換用 FIFO フルビット)

A/D スキャン変換用の FIFO が満杯 (フル) になったことを示します。

読出し値	説明
0	A/D スキャン変換用 FIFO に空きがあります。
1	A/D スキャン変換用 FIFO が満杯 (フル) です。

SFCLR ビットに "1" を書き込むか、スキャン変換 FIFO データレジスタ (SCFD0, SCFD1) を読み出すと、このビットは "0" にクリアされます。

[bit5] : SOVR (スキャン変換オーバーランフラグビット)

A/D スキャン変換用の FIFO が満杯 (フル) 時に書き込みが行われようとした (オーバーランが発生した) ことを示します。

このビットが "1" のときに A/DC コントロールレジスタ (ADCR0, ADCR1) の OVRIE ビットが "1" に設定されていると、FIFO オーバーラン割込み要求が発生します。

SOVR	読出し時	書き込み時
0	オーバーランは発生していません。	このビットを "0" にクリアします。
1	オーバーランが発生しました。	無視されます。

< 注意事項 >

- リードモディファイライト系命令では "1" が読み出されます。
- FIFO 満杯 (フル) 時に、FIFO に対して書き込みが行われても FIFO 内の変換データは上書きされません。

[bit4] : SFCLR (スキャン変換用 FIFO クリアビット)

A/D スキャン変換用の FIFO をクリアします。

SFCLR	書き込み時	読出し時
0	無視されます。	"0" が読み出されます。
1	A/D スキャン変換用 FIFO をクリアします。	

< 注意事項 >

このビットに "1" を書き込むと、A/D スキャン変換用の FIFO は空 (エンプティ) になります。そのため、SEMP ビットが "1" に変わります。

[bit3] : 未定義ビット

書き込み時	無視されます。
読出し時	値は不定です。

[bit2] : RPT (スキャン変換リピートビット)

A/D スキャン変換のモードを設定します。

- シングル変換モード：スキャン変換入力選択レジスタ (SCIS30 ~ SCIS00/SCIS31 ~ SCIS01) に設定したチャンネルを 1 回だけ変換するモードです。
- リピート変換モード：スキャン変換入力選択レジスタ (SCIS30 ~ SCIS00/SCIS31 ~ SCIS01) に設定したチャンネルを繰り返し変換するモードです。

書込み値	説明
0	シングル変換モード
1	リピート変換モード

< 注意事項 >

- リピート変換モードで変換中にこのビットに "0" を書き込むと、スキャン変換入力選択レジスタ (SCIS30 ~ SCIS00/SCIS31 ~ SCIS01) に設定したチャンネルを変換後、変換動作が停止します。
- リピート変換モードを設定する場合は、A/DC ステータスレジスタ (ADSR0, ADSR1) の SCS ビットで A/D スキャン変換が停止 (SCS=0) していることを確認してから、このビットに "1" を書き込んでください。
ただし、リピート変換モードの設定と同時に SSTR ビットで A/D スキャン変換を開始 (SSTR=1) する場合は、このビットと同時に SSTR ビットも書き込みます。

[bit1] : SHEN (スキャン変換タイマ起動許可ビット)

ベースタイマの ch.0/ch.4 の TOUT 信号で立上りエッジを検出したときに A/D スキャン変換を起動するかどうかを設定します。

書込み値	説明
0	ベースタイマ (ch.0/ch.4) での A/D スキャン変換の起動を禁止します。
1	ベースタイマ (ch.0/ch.4) での A/D スキャン変換の起動を許可します。

< 注意事項 >

- SSTR ビットに "1" を書き込んだ場合は、このビットの設定にかかわらず A/D スキャン変換が起動します。
- このビットに "1" を書き込んだ場合でも、ベースタイマ (ch.0/ch.4) での起動のタイミングと同時に SSTR ビットに "1" が書き込まれると、ソフトウェア起動が優先されベースタイマでの起動は無視されます。
- TOUT 信号については、「第 23 章 ベースタイマ」を参照してください。

[bit0] : SSTR (スキャン変換スタートビット)

A/D スキャン変換をソフトウェアで起動します。

変換中に "1" を書き込むと、変換動作を停止し、再度変換を開始します。

SSTR	書込み時	読出し時
0	無視されます。	"0" が読み出されます。
1	A/D スキャン変換を起動 / 再起動します。	

25.4.4 スキャン変換 FIFO 段数設定レジスタ
(SFNS0, SFNS1)

A/D スキャン変換時に、A/D スキャン変換用 FIFO のどの段数まで変換結果が格納されたら、スキャン変換割り込み要求を発生させるかを設定するレジスタです。

スキャン変換 FIFO 段数設定レジスタ (SFNS0, SFNS1) のビット構成を図 25.4-5 に示します。

図 25.4-5 スキャン変換 FIFO 段数設定レジスタ (SFNS0, SFNS1) のビット構成

bit	7	6	5	4	3	2	1	0
	未定義	未定義	未定義	未定義	SFS3	SFS2	SFS1	SFS0
属性	-	-	-	-	R/W	R/W	R/W	R/W
初期値	X	X	X	X	0	0	0	0

R/W：リード / ライト可能
-：未定義
X：不定

< 注意事項 >

このレジスタはワードでアクセスしないでください。

[bit7 ~ bit4]：未定義ビット

書込み時	無視されます。
読出し時	値は不定です。

[bit3 ~ bit0] : SFS3 ~ SFS0 (スキャン変換 FIFO 段数設定ビット)

A/D スキャン変換時に、A/D スキャン変換用 FIFO のどの段数まで変換結果が格納されたら、スキャン変換割込み要求を発生させるかを設定します。

このビットで設定した段数まで FIFO にデータが格納されると、A/DC コントロールレジスタ (ADCR0, ADCR1) の SCIF ビットが "1" に変わります。

SFS3	SFS2	SFS1	SFS0	説明
0	0	0	0	1 段目
0	0	0	1	2 段目
0	0	1	0	3 段目
0	0	1	1	4 段目
0	1	0	0	5 段目
0	1	0	1	6 段目
0	1	1	0	7 段目
0	1	1	1	8 段目
1	0	0	0	9 段目
1	0	0	1	10 段目
1	0	1	0	11 段目
1	0	1	1	12 段目
1	1	0	0	13 段目
1	1	0	1	14 段目
1	1	1	0	15 段目
1	1	1	1	16 段目

25.4.5 スキャン変換 FIFO データレジスタ (SCFD0, SCFD1)

A/D スキャン変換の変換結果を格納するレジスタです。16 段の FIFO で構成されています。このレジスタから FIFO のデータを順番に読み出せます。

このレジスタは A/DC ステータスレジスタ (ADSR0, ADSR1) の FDAS ビットの設定によって、ビット構成が異なります。

< 注意事項 >

- このレジスタは、必ずスキャン変換コントロールレジスタ (SCCR0, SCCR1) の SEMP ビットで A/D スキャン変換用 FIFO にデータがあることを確認してから (SEMP=0) 読み出してください。
A/D スキャン変換用 FIFO が空 (エンプティ) (SEMP=1) のときに、このレジスタを読み出すと、読み出したデータが有効なのか無効なのかを判断できません。詳しくは、「25.6.3 FIFO の動作」の「A/D スキャン変換時の動作」を参照してください。
- このレジスタはワードでアクセスしないでください。
- このレジスタにバイトアクセスする場合は、下位バイト (bit7 ~ bit0) 上位バイト (bit15 ~ bit8) の順番にアクセスしてください。上位バイトを読み出すと、FIFO のデータがシフトします。

■ 前詰め配置の場合 (FDAS=0)

A/DC ステータスレジスタ (ADSR0, ADSR1) の FDAS ビットで前詰め配置 (FDAS=0) に設定している場合のスキャン変換 FIFO データレジスタ (SCFD0, SCFD1) のビット構成を図 25.4-6 に示します。

図 25.4-6 スキャン変換 FIFO データレジスタ (SCFD0, SCFD1) のビット構成

	bit	15	14	13	12	11	10	9	8
		SD9	SD8	SD7	SD6	SD5	SD4	SD3	SD2
属性		R	R	R	R	R	R	R	R
初期値		X	X	X	X	X	X	X	X
	bit	7	6	5	4	3	2	1	0
		SD1	SD0	未定義	SC4	SC3	SC2	SC1	SC0
属性		R	R	-	R	R	R	R	R
初期値		X	X	X	X	X	X	X	X

R : リードオンリ
- : 未定義
X : 不定

[bit15 ~ bit6] : SD9 ~ SD0 (A/D スキャン変換結果ビット)

A/D スキャン変換の変換結果を格納します。

[bit5] : 未定義ビット

"0" が読み出されます。

[bit4 ~ bit0] : SC4 ~ SC0 (変換チャンネルビット)

SD9 ~ SD0 ビットのデータが、どのチャンネルのアナログ入力を変換したものなのかを示します。

SC4	SC3	SC2	SC1	SC0	説明
0	0	0	0	0	ch.0 (AN0 端子)
0	0	0	0	1	ch.1 (AN1 端子)
0	0	0	1	0	ch.2 (AN2 端子)
0	0	0	1	1	ch.3 (AN3 端子)
0	0	1	0	0	ch.4 (AN4 端子)
0	0	1	0	1	ch.5 (AN5 端子)
0	0	1	1	0	ch.6 (AN6 端子)
0	0	1	1	1	ch.7 (AN7 端子)
0	1	0	0	0	ch.8 (AN8 端子)
0	1	0	0	1	ch.9 (AN9 端子)
0	1	0	1	0	ch.10 (AN10 端子)
0	1	0	1	1	ch.11 (AN11 端子)
0	1	1	0	0	ch.12 (AN12 端子)
0	1	1	0	1	ch.13 (AN13 端子)
0	1	1	1	0	ch.14 (AN14 端子)
0	1	1	1	1	ch.15 (AN15 端子)
1	0	0	0	0	ch.16 (AN16 端子)
1	0	0	0	1	ch.17 (AN17 端子)
1	0	0	1	0	ch.18 (AN18 端子)
1	0	0	1	1	ch.19 (AN19 端子)
1	0	1	0	0	ch.20 (AN20 端子)
1	0	1	0	1	ch.21 (AN21 端子)
1	0	1	1	0	ch.22 (AN22 端子)
1	0	1	1	1	ch.23 (AN23 端子)
1	1	0	0	0	ch.24 (AN24 端子)
1	1	0	0	1	ch.25 (AN25 端子)
1	1	0	1	0	ch.26 (AN26 端子)
1	1	0	1	1	ch.27 (AN27 端子)
1	1	1	0	0	ch.28 (AN28 端子)
1	1	1	0	1	ch.29 (AN29 端子)
1	1	1	1	0	ch.30 (AN30 端子)
1	1	1	1	1	設定禁止

■ 後ろ詰め配置の場合 (FDAS=1)

A/DC ステータスレジスタ (ADSR0, ADSR1) の FDAS ビットで後ろ詰め配置 (FDAS=1) に設定している場合のスキャン変換 FIFO データレジスタ (SCFD0, SCFD1) のビット構成を図 25.4-7 に示します。

図 25.4-7 スキャン変換 FIFO データレジスタ (SCFD0, SCFD1) のビット構成

bit	15	14	13	12	11	10	9	8
	未定義	未定義	未定義	未定義	未定義	未定義	SD9	SD8
属性	-	-	-	-	-	-	R	R
初期値	X	X	X	X	X	X	X	X

bit	7	6	5	4	3	2	1	0
	SD7	SD6	SD5	SD4	SD3	SD2	SD1	SD0
属性	R	R	R	R	R	R	R	R
初期値	X	X	X	X	X	X	X	X

R : リードオンリ
- : 未定義
X : 不定

[bit15 ~ bit10] : 未定義ビット

"0" が読み出されます。

[bit9 ~ bit0] : SD9 ~ SD0 (A/D スキャン変換結果ビット)

A/D スキャン変換の変換結果を格納します。

< 注意事項 >

後ろ詰め配置では、変換したチャンネルの情報は保存されていません。後ろ詰め配置は、1 チャンネルのみの変換など、変換結果にチャンネル情報が必要ないときに使用してください。

SCIS30 ~ SCIS00/SCIS31 ~ SCIS01:AN30 ~ AN0 (アナログ入力選択ビット)

"1" を書き込んだビットに対応するチャンネルが変換されます。

AN30 ビットが ch.30 (AN30 端子), AN29 ビットが ch.29 (AN29 端子) ... AN1 ビットが ch.1 (AN1 端子), AN0 ビットが ch.0 (AN0 端子) に対応します。

このレジスタで複数のチャンネルを選択した場合は, 番号の若いチャンネルから順番に変換されます。例えば, AN3 ビット, AN5 ビット, AN10 ビット, AN23 ビットに "1" を書き込むと次の順番で変換されます。

ch.3 ch.5 ch.10 ch.23

< 注意事項 >

- このレジスタは A/D 変換が停止中に書き込んでください。
 - 本製品には, ユニット 0 およびユニット 1 の 2 つの 10 ビット A/D コンバータが内蔵されています。各ユニットで変換するチャンネルは次のレジスタで設定します。このとき, ユニット 0 とユニット 1 で同じチャンネルを選択しないでください。
 - ユニット 0
 - スキャン変換入力選択レジスタ 30 ~ 00 (SCIS30 ~ SCIS00)
 - 優先変換入力選択レジスタ 0 (PCIS0)
 - ユニット 1
 - スキャン変換入力選択レジスタ 31 ~ 01 (SCIS31 ~ SCIS01)
 - 優先変換入力選択レジスタ 1 (PCIS1)
-

25.4.7 優先変換コントロールレジスタ (PCCR0, PCCR1)

A/D 優先変換の動作を制御するレジスタです。また，優先度のレベルを 2 レベルから設定できます。

優先変換コントロールレジスタ (PCCR0, PCCR1) のビット構成を図 25.4-9 に示します。

図 25.4-9 優先変換コントロールレジスタ (PCCR0, PCCR1) のビット構成

bit	7	6	5	4	3	2	1	0
	PEMP	PFUL	POVR	PFCLR	予約	PEEN	PHEN	PSTR
属性	R	R	R/W	R/W	R/W	R/W	R/W	R/W
初期値	1	0	0	0	0	0	0	0
R/W：リード / ライト可能								
R：リードオンリ								

< 注意事項 >

このレジスタはワードでアクセスしないでください。
優先変換 FIFO データレジスタ (PCFD0, PCFD1) は，SEMP ビットが "0" のときに読み出す必要があります。

[bit7]：PEMP (優先変換用 FIFO エンプティフラグビット)

A/D 優先変換用の FIFO が空 (エンプティ) になったことを示します。

読出し値	説明
0	A/D 優先変換用 FIFO にデータがあります。
1	A/D 優先変換用 FIFO が空 (エンプティ) です。

優先変換 FIFO データレジスタ (PCFD0, PCFD1) にデータが格納されると，このビットは "0" にクリアされます。

[bit6]：PFUL (優先変換用 FIFO フルビット)

A/D 優先変換用の FIFO が満杯 (フル) になったことを示します。

読出し値	説明
0	A/D 優先変換用 FIFO に空きがあります。
1	A/D 優先変換用 FIFO が満杯 (フル) です。

PFCLR ビットに "1" を書き込むか優先変換 FIFO データレジスタ (PCFD0, PCFD1) を読み出すと，このビットは "0" にクリアされます。

[bit5] : POVR (優先変換オーバーランフラグビット)

A/D 優先変換用の FIFO が満杯 (フル) 時に書込みが行われようとした (オーバーランが発生した) ことを示します。

このビットが "1" のときに A/DC コントロールレジスタ (ADCR0, ADCR1) の OVRIE ビットが "1" に設定されていると、FIFO オーバーラン割込み要求が発生します。

POVR	読出し時	書込み時
0	オーバーランは発生していません。	このビットを "0" にクリアします。
1	オーバーランが発生しました。	無視されます。

< 注意事項 >

- リードモディファイライト系命令では "1" が読み出されます。
- FIFO 満杯 (フル) 時に、FIFO に対して書込みが行われても FIFO 内の変換データは上書きされません。

[bit4] : PFCLR (優先変換用 FIFO クリアビット)

A/D 優先変換用の FIFO をクリアします。

PFCLR	書込み時	読出し時
0	無視されます。	"0" が読み出されます。
1	A/D 優先変換用 FIFO をクリアします。	

< 注意事項 >

このビットに "1" を書き込むと、A/D 優先変換用の FIFO は空 (エンプティ) になります。そのため、PEMP ビットが "1" に変わります。

[bit3] : 予約ビット

書込み時	必ず "0" を書き込んでください。
読出し時	値は不定です。

[bit2] : PEEN (優先変換外部起動許可ビット)

ADTRG0 端子から立下りエッジが検出されたときに、優先度 1 の A/D 優先変換を起動するかどうかを設定します。優先度 1 > 優先度 2 となり、優先度 1 が最優先になります。

書込み値	説明
0	優先度 1 の A/D 優先変換の起動を禁止します。
1	優先度 1 の A/D 優先変換の起動を許可します。

< 注意事項 >

ADTRG0 端子として使用できる端子は、本デバイスに 4 本用意されています。それぞれのユニットで ADTRG0 端子として使用する端子を 1 本ずつ指定してください。

端子の設定方法は、「第 14 章 I/O ポート」を参照してください。

[bit1] : PHEN (優先変換タイマ起動許可ビット)

ベースタイマの ch.2/ch.6 の TOUT 信号で立上りエッジを検出したときに、優先度 2 の A/D 優先変換を起動するかどうかを設定します。優先度 2 < 優先度 1 になります。

書込み値	説明
0	優先度 2 の A/D 優先変換の起動を禁止します。
1	優先度 2 の A/D 優先変換の起動を許可します。

< 注意事項 >

- PSTR ビットに "1" を書き込んだ場合は、このビットの設定にかかわらず優先度 2 の A/D 優先変換が起動します。
- TOUT 信号については、「第 23 章 ベースタイマ」を参照してください。

[bit0] : PSTR (優先変換スタートビット)

優先度 2 の A/D 優先変換をソフトウェアで起動します。優先度 2 < 優先度 1 になります。

PSTR	書込み時	読出し時
0	無視されます。	"0" が読み出されます。
1	優先度 2 の A/D 優先変換を起動します。	

< 注意事項 >

A/D 変換中にこのビットに "1" を書き込んでも A/D 変換は再起動できません。

25.4.8

優先変換 FIFO 段数設定レジスタ (PFNS0, PFNS1)

A/D 優先変換時に，A/D 優先変換用 FIFO のどの段数まで変換結果が格納されたら，優先変換割込み要求を発生させるかを設定するレジスタです。

優先変換 FIFO 段数設定レジスタ (PFNS0, PFNS1) のビット構成を図 25.4-10 に示します。

図 25.4-10 優先変換 FIFO 段数設定レジスタ (PFNS0, PFNS1) のビット構成

bit	7	6	5	4	3	2	1	0
	未定義	未定義	未定義	未定義	未定義	未定義	PFS1	PFS0
属性	-	-	-	-	-	-	R/W	R/W
初期値	X	X	X	X	X	X	0	0

R/W：リード / ライト可能
-：未定義
X：不定

< 注意事項 >

このレジスタはワードでアクセスしないでください。

優先変換 FIFO データレジスタ (PCFD0, PCFD1) は，PEMP ビットが "0" のときに読み出す必要があります。

[bit7 ~ bit2]：未定義ビット

書込み時	無視されます。
読出し時	値は不定です。

[bit1, bit0]：PFS1, PFS0 (優先変換 FIFO 段数設定ビット)

A/D 優先変換時に，A/D 優先用 FIFO のどの段数まで変換結果が格納されたら，優先変換割込み要求を発生させるかを設定します。

このビットに設定した段数に変換結果が格納されると，A/DC コントロールレジスタ (ADCR0, ADCR1) の PCIF ビットが "1" に変わります。

PFS1	PFS0	説明
0	0	1 段目
0	1	2 段目
1	0	3 段目
1	1	4 段目

25.4.9 優先変換 FIFO データレジスタ (PCFD0, PCFD1)

A/D 優先変換の変換結果を格納するレジスタです。4 段の FIFO で構成されています。このレジスタから FIFO のデータを順番に読み出せます。

このレジスタは A/DC ステータスレジスタ (ADSR0, ADSR1) の FDAS ビットの設定によって、ビット構成が異なります。

< 注意事項 >

- このレジスタは、必ず優先変換コントロールレジスタ (PCCR0, PCCR1) の PEMP ビットで A/D 優先変換用 FIFO にデータがあることを確認してから (PEMP=0) 読み出してください。
A/D 優先変換用 FIFO が空 (エンプティ) (PEMP=1) のときに、このレジスタを読み出すと、読み出したデータが有効なのか無効なのかを判断できません。詳しくは、「25.6.3 FIFO の動作」の「A/D 優先変換時の動作」を参照してください。
- このレジスタにはワードでアクセスしないでください。
- このレジスタにバイトアクセスする場合は、下位バイト (bit7 ~ bit0) 上位バイト (bit15 ~ bit8) の順番にアクセスしてください。上位バイトを読み出すと、FIFO のデータがシフトします。

■ 前詰め配置の場合 (FDAS=0)

A/DC ステータスレジスタ (ADSR0, ADSR1) の FDAS ビットで前詰め配置 (FDAS=0) に設定している場合の優先変換 FIFO データレジスタ (PCFD0, PCFD1) のビット構成を図 25.4-11 に示します。

図 25.4-11 優先変換 FIFO データレジスタ (PCFD0, PCFD1) のビット構成

	bit	15	14	13	12	11	10	9	8
		PD9	PD8	PD7	PD6	PD5	PD4	PD3	PD2
属性		R	R	R	R	R	R	R	R
初期値		X	X	X	X	X	X	X	X
	bit	7	6	5	4	3	2	1	0
		PD1	PD0	RS	PC4	PC3	PC2	PC1	PC0
属性		R	R	R	R	R	R	R	R
初期値		X	X	X	X	X	X	X	X
R : リードオンリ									
X : 不定									

[bit15 ~ bit6] : PD9 ~ PD0 (A/D 優先変換結果ビット)

A/D 優先変換の変換結果を格納します。

[bit5] : RS (優先 A/D 起動要因ビット)

PD9 ~ PD0 ビットのデータが、優先度 2 で変換されたデータなのか優先度 1 で変換されたデータなのか (A/D 優先変換の起動要因) を示します。

読出し値	説明
0	優先度 2 (ソフトウェア / ベースタイマでの起動)
1	優先度 1 (外部トリガでの起動)

< 注意事項 >

優先度 2 の A/D 優先変換の起動要因がソフトウェアなのかベースタイマなのかを区別することはできません。

[bit4 ~ bit0] : PC4 ~ PC0 (変換チャンネルビット)

PD9 ~ PD0 ビットのデータが、どのチャンネルのアナログ入力を変換したものなのかを示します。

PC4	PC3	PC2	PC1	PC0	説明
0	0	0	0	0	ch.0 (AN0 端子)
0	0	0	0	1	ch.1 (AN1 端子)
0	0	0	1	0	ch.2 (AN2 端子)
0	0	0	1	1	ch.3 (AN3 端子)
0	0	1	0	0	ch.4 (AN4 端子)
0	0	1	0	1	ch.5 (AN5 端子)
0	0	1	1	0	ch.6 (AN6 端子)
0	0	1	1	1	ch.7 (AN7 端子)
0	1	0	0	0	ch.8 (AN8 端子)
0	1	0	0	1	ch.9 (AN9 端子)
0	1	0	1	0	ch.10 (AN10 端子)
0	1	0	1	1	ch.11 (AN11 端子)
0	1	1	0	0	ch.12 (AN12 端子)
0	1	1	0	1	ch.13 (AN13 端子)
0	1	1	1	0	ch.14 (AN14 端子)
0	1	1	1	1	ch.15 (AN15 端子)
1	0	0	0	0	ch.16 (AN16 端子)
1	0	0	0	1	ch.17 (AN17 端子)
1	0	0	1	0	ch.18 (AN18 端子)
1	0	0	1	1	ch.19 (AN19 端子)
1	0	1	0	0	ch.20 (AN20 端子)
1	0	1	0	1	ch.21 (AN21 端子)
1	0	1	1	0	ch.22 (AN22 端子)
1	0	1	1	1	ch.23 (AN23 端子)
1	1	0	0	0	ch.24 (AN24 端子)
1	1	0	0	1	ch.25 (AN25 端子)
1	1	0	1	0	ch.26 (AN26 端子)
1	1	0	1	1	ch.27 (AN27 端子)
1	1	1	0	0	ch.28 (AN28 端子)
1	1	1	0	1	ch.29 (AN29 端子)
1	1	1	1	0	ch.30 (AN30 端子)
1	1	1	1	1	設定禁止

< 注意事項 >

優先度 1 の A/D 優先変換は ch.0 ~ ch.7 にのみ行えます。

■ 後ろ詰め配置の場合 (FDAS=1)

A/DC ステータスレジスタ (ADSR0, ADSR1) の FDAS ビットで後ろ詰め配置 (FDAS=1) に設定している場合の優先変換 FIFO データレジスタ (PCFD0, PCFD1) のビット構成を図 25.4-12 に示します。

図 25.4-12 優先変換 FIFO データレジスタ (PCFD0, PCFD1) のビット構成

	bit	15	14	13	12	11	10	9	8
		未定義	未定義	未定義	未定義	未定義	未定義	PD9	PD8
属性		-	-	-	-	-	-	R	R
初期値		X	X	X	X	X	X	X	X
	bit	7	6	5	4	3	2	1	0
		PD7	PD6	PD5	PD4	PD3	PD2	PD1	PD0
属性		R	R	R	R	R	R	R	R
初期値		X	X	X	X	X	X	X	X
R : リードオンリ									
- : 未定義									
X : 不定									

[bit15 ~ bit10] : 未定義ビット

書込み時	無視されます。
読出し時	値は不定です。

[bit9 ~ bit0] : PD9 ~ PD0 (A/D 優先変換結果ビット)

A/D 優先変換の変換結果を格納します。

< 注意事項 >

後ろ詰め配置では、A/D 優先変換の起動要因（優先度）と、変換したチャンネルの情報は保存されません。後ろ詰め配置は、優先度 1 または優先度 2 どちらか一方の A/D 優先変換を利用し、1 チャンネルのみの変換など、変換結果にチャンネル情報が必要ない場合にのみ、利用してください。

25.4.10 優先変換入力選択レジスタ (PCIS0, PCIS1)

A/D 優先変換をするチャンネルを選択するレジスタです。

優先度 2 で変換を行うチャンネルを 31 チャンネルの中から、優先度 1 で変換を行うチャンネルを ch.0 ~ ch.7 の中から、それぞれ 1 チャンネル選択します。

優先変換入力選択レジスタ (PCIS0, PCIS1) のビット構成を図 25.4-13 に示します。

図 25.4-13 優先変換入力選択レジスタ (PCIS0, PCIS1) のビット構成

bit	7	6	5	4	3	2	1	0
	P2A4	P2A3	P2A2	P2A1	P2A0	P1A2	P1A1	P1A0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

R/W : リード / ライト可能

< 注意事項 >

本製品には、ユニット 0 およびユニット 1 の 2 つの 10 ビット A/D コンバータが内蔵されています。各ユニットで変換するチャンネルは次のレジスタで設定します。このとき、ユニット 0 とユニット 1 で同じチャンネルを選択しないでください。

- ユニット 0
 - スキャン変換入力選択レジスタ 30 ~ 00 (SCIS30 ~ SCIS00)
 - 優先変換入力選択レジスタ 0 (PCIS0)
- ユニット 1
 - スキャン変換入力選択レジスタ 31 ~ 01 (SCIS31 ~ SCIS01)
 - 優先変換入力選択レジスタ 1 (PCIS1)

[bit7 ~ bit3] : P2A4 ~ P2A0 (優先度 2 アナログ入力選択ビット)

優先度 2 の A/D 優先変換を行うチャンネルを選択します。優先度 2 < 優先度 1 になります。

P2A4	P2A3	P2A2	P2A1	P2A0	説明
0	0	0	0	0	ch.0 (AN0 端子)
0	0	0	0	1	ch.1 (AN1 端子)
0	0	0	1	0	ch.2 (AN2 端子)
0	0	0	1	1	ch.3 (AN3 端子)
0	0	1	0	0	ch.4 (AN4 端子)
0	0	1	0	1	ch.5 (AN5 端子)
0	0	1	1	0	ch.6 (AN6 端子)
0	0	1	1	1	ch.7 (AN7 端子)
0	1	0	0	0	ch.8 (AN8 端子)
0	1	0	0	1	ch.9 (AN9 端子)
0	1	0	1	0	ch.10 (AN10 端子)
0	1	0	1	1	ch.11 (AN11 端子)
0	1	1	0	0	ch.12 (AN12 端子)
0	1	1	0	1	ch.13 (AN13 端子)
0	1	1	1	0	ch.14 (AN14 端子)
0	1	1	1	1	ch.15 (AN15 端子)
1	0	0	0	0	ch.16 (AN16 端子)
1	0	0	0	1	ch.17 (AN17 端子)
1	0	0	1	0	ch.18 (AN18 端子)
1	0	0	1	1	ch.19 (AN19 端子)
1	0	1	0	0	ch.20 (AN20 端子)
1	0	1	0	1	ch.21 (AN21 端子)
1	0	1	1	0	ch.22 (AN22 端子)
1	0	1	1	1	ch.23 (AN23 端子)
1	1	0	0	0	ch.24 (AN24 端子)
1	1	0	0	1	ch.25 (AN25 端子)
1	1	0	1	0	ch.26 (AN26 端子)
1	1	0	1	1	ch.27 (AN27 端子)
1	1	1	0	0	ch.28 (AN28 端子)
1	1	1	0	1	ch.29 (AN29 端子)
1	1	1	1	0	ch.30 (AN30 端子)
1	1	1	1	1	設定禁止

[bit2 ~ bit0] : P1A2 ~ P1A0 (優先度 1 アナログ入力選択ビット)

優先度 1 の A/D 優先変換を行うチャネルを選択します。優先度 1 の A/D 優先変換は ch.0 ~ ch.7 に対してのみ行えます。優先度 2 < 優先度 1 になります。

P1A2	P1A1	P1A0	説明
0	0	0	ch.0 (AN0 端子)
0	0	1	ch.1 (AN1 端子)
0	1	0	ch.2 (AN2 端子)
0	1	1	ch.3 (AN3 端子)
1	0	0	ch.4 (AN4 端子)
1	0	1	ch.5 (AN5 端子)
1	1	0	ch.6 (AN6 端子)
1	1	1	ch.7 (AN7 端子)

25.4.11 A/D 比較値設定レジスタ (CMPD0, CMPD1)

比較機能使用時に、A/D 変換の結果と比較する値を設定するレジスタです。変換結果の上位 8 ビットがこのレジスタに設定した値と比較されます。比較結果が A/D 比較コントロールレジスタ (CMPCR0, CMPCR1) に設定された条件を満たしていると、A/DC コントロールレジスタ (ADCR0, ADCR1) の CMPIF ビットが "1" に変わります。

A/D 比較値設定レジスタ (CMPD0, CMPD1) のビット構成を図 25.4-14 に示します。

図 25.4-14 A/D 比較値設定レジスタ (CMPD0, CMPD1) のビット構成

bit	7	6	5	4	3	2	1	0
	CMAD9	CMAD8	CMAD7	CMAD6	CMAD5	CMAD4	CMAD3	CMAD2
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0
R/W : リード / ライト可能								

< 注意事項 >

このレジスタに設定した値と A/D 変換結果の上位 8 ビット (bit9 ~ bit2) が比較されます。
A/D 変換結果の LSB 側 2 ビット (bit1, bit0) は比較されません。

25.4.12 A/D 比較コントロールレジスタ
(CMPCR0, CMPCR1)

比較機能を制御するレジスタです。比較機能使用時，A/D 変換結果が A/D 比較値設定レジスタ (CMPD0, CMPD1) に設定した値と比較され，このレジスタに設定した条件を満たしているとき，A/DC コントロールレジスタ (ADCR0, ADCR1) の CMPIF ビットが "1" に変わります。

A/D 比較コントロールレジスタ (CMPCR0, CMPCR1) のビット構成を図 25.4-15 に示します。

図 25.4-15 A/D 比較コントロールレジスタ (CMPCR0, CMPCR1) のビット構成

bit	7	6	5	4	3	2	1	0
	CMPEN	CMD1	CMD0	CCH4	CCH3	CCH2	CCH1	CCH0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0
R/W：リード / ライト可能								

[bit7] : CMPEN (比較機能動作許可ビット)

比較機能を使用するかどうかを設定します。

書込み値	説明
0	比較機能を利用しません。
1	比較機能を利用します。

[bit6] : CMD1 (比較モード 1 ビット)

変換割込み要求を発生させる条件を設定します。

書込み値	説明
0	A/D 変換結果が A/D 比較値設定レジスタ (CMPD0, CMPD1) に設定した値より小さい場合に A/D 変換結果割込み要求を発生させます。
1	A/D 変換結果が A/D 比較値設定レジスタ (CMPD0, CMPD1) に設定した値と同じか大きい場合に A/D 変換結果割込み要求を発生させます。

[bit5] : CMD0 (比較モード 0 ビット)

比較対象を次のいずれかから選択します。

- CCH4 ~ CCH0 ビットで設定したチャンネルの変換結果と A/D 比較値設定レジスタ (CMPD0, CMPD1) に設定した値を比較
- すべてのチャンネルの変換結果と A/D 比較値設定レジスタ (CMPD0, CMPD1) に設定した値を比較

書込み値	説明
0	CCH4 ~ CCH0 ビットで設定したチャンネルの変換結果を比較します。
1	すべてのチャンネルの変換結果を比較します。

< 注意事項 >

このビットに "1" を書き込むと , CCH4 ~ CCH0 ビットの設定は無効になります。

[bit4 ~ bit0] : CCH4 ~ CCH0 (比較対象アナログ入力チャネルビット)

CMD0 ビットが "0" のときに , A/D 比較値設定レジスタ (CMPD0, CMPD1) に設定した値と比較するチャネルを設定します。

CCH4	CCH3	CCH2	CCH1	CCH0	説明
0	0	0	0	0	ch.0 (AN0 端子)
0	0	0	0	1	ch.1 (AN1 端子)
0	0	0	1	0	ch.2 (AN2 端子)
0	0	0	1	1	ch.3 (AN3 端子)
0	0	1	0	0	ch.4 (AN4 端子)
0	0	1	0	1	ch.5 (AN5 端子)
0	0	1	1	0	ch.6 (AN6 端子)
0	0	1	1	1	ch.7 (AN7 端子)
0	1	0	0	0	ch.8 (AN8 端子)
0	1	0	0	1	ch.9 (AN9 端子)
0	1	0	1	0	ch.10 (AN10 端子)
0	1	0	1	1	ch.11 (AN11 端子)
0	1	1	0	0	ch.12 (AN12 端子)
0	1	1	0	1	ch.13 (AN13 端子)
0	1	1	1	0	ch.14 (AN14 端子)
0	1	1	1	1	ch.15 (AN15 端子)
1	0	0	0	0	ch.16 (AN16 端子)
1	0	0	0	1	ch.17 (AN17 端子)
1	0	0	1	0	ch.18 (AN18 端子)
1	0	0	1	1	ch.19 (AN19 端子)
1	0	1	0	0	ch.20 (AN20 端子)
1	0	1	0	1	ch.21 (AN21 端子)
1	0	1	1	0	ch.22 (AN22 端子)
1	0	1	1	1	ch.23 (AN23 端子)
1	1	0	0	0	ch.24 (AN24 端子)
1	1	0	0	1	ch.25 (AN25 端子)
1	1	0	1	0	ch.26 (AN26 端子)
1	1	0	1	1	ch.27 (AN27 端子)
1	1	1	0	0	ch.28 (AN28 端子)
1	1	1	0	1	ch.29 (AN29 端子)
1	1	1	1	0	ch.30 (AN30 端子)
1	1	1	1	1	設定禁止

< 注意事項 >

CMD0 ビットで , すべてのチャネルの変換結果を比較する (CMD0=1) 設定にしている場合は , このビットの設定は無視されます。

25.4.13 サンプリング時間設定レジスタ (ADST00, ADST10/ADST01, ADST11)

A/D 変換開始後，入力電圧がサンプル & ホールド回路でサンプリング（標本化）が開始され保持されるまでの時間（サンプリング時間）を設定します。A/D 変換時間はサンプリング時間とコンペア時間で構成されています。

サンプリング時間を設定するため，1 ユニットに対しこのレジスタが 2 つずつ用意されています。それぞれのレジスタにサンプリング時間を設定し，サンプリング時間選択レジスタ (ADSS30 ~ ADSS00/ADSS31 ~ ADSS01) でどちらのレジスタに設定したサンプリング時間を使用するかをチャンネルごとに選択できます。

ADST00, ADST10 がユニット 0 に，ADST01, ADST11 がユニット 1 に対応しています。

サンプリング時間設定レジスタ (ADST00, ADST10/ADST01, ADST11) のビット構成を図 25.4-16 に示します。

図 25.4-16 サンプリング時間設定レジスタ (ADST00, ADST10/ADST01, ADST11) のビット構成

サンプリング時間設定レジスタ 00, 01 (ADST00, ADST01)								
bit	15	14	13	12	11	10	9	8
	STX01	STX00	ST05	ST04	ST03	ST02	ST01	ST00
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	1	0	0	0	0	0
サンプリング時間設定レジスタ 10, 11 (ADST10, ADST11)								
bit	7	6	5	4	3	2	1	0
	STX11	STX10	ST15	ST14	ST13	ST12	ST11	ST10
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	1	0	0	0	0	0
R/W : リード / ライト可能								

< 注意事項 >

- このレジスタは A/D 変換が停止中に書き込んでください。
- サンプリング時間については，「25.6 動作説明と設定手順例」の「A/D 変換時間」を参照してください。

● サンプルング時間設定レジスタ 00, 01 (ADST00, ADST01)

1 つ目のサンプルング時間を設定します。

[bit15, bit14] : STX01, STX00 (サンプルング時間 N 倍設定ビット)

ST05 ~ ST00 ビットで設定した値を N 倍します。

STX01	STX00	説明
0	0	設定値 × 1 倍
0	1	設定値 × 4 倍
1	0	設定値 × 8 倍
1	1	設定値 × 16 倍

[bit13 ~ bit8] : ST05 ~ ST00 (サンプルング時間設定ビット)

サンプルング時間を決定するための値を設定します。

このビットに書き込んだ値から次の計算式でサンプルング時間が決定されます。

サンプルング時間 = 周辺クロック (PCLK) の周期 × (ST+1) × STX

ST : ST05 ~ ST00 の設定値

STX : STX01, STX00 ビットでの設定倍数

例 : ST05 ~ ST00=9, STX01, STX00=01 (4 倍), 周辺クロック (PCLK) =20MHz (50ns)

サンプルング時間 = 50ns × (9+1) × 4 = 2μs

< 注意事項 >

- STX01, STX00 ビットを "00" (設定値 × 1 倍) に設定した場合は , このビットが "3" 以上になるように設定してください。
- サンプルング時間については , 「 25.6 動作説明と設定手順例 」の「 A/D 変換時間 」を参照してください。
- サンプルング時間設定レジスタ 00, 01 (ADST00, ADST01) は電気的特性のサンプルング時間を満たすように設定してください。電気的特性については , 『データシート』を参照してください。

● サンプルング時間設定レジスタ 10, 11 (ADST10, ADST11)

2 つ目のサンプルング時間を設定します。

[bit7, bit6] : STX11, STX10 (サンプルング時間 N 倍設定ビット)

ST15 ~ ST10 ビットで設定した値を N 倍します。

STX11	STX10	説明
0	0	設定値 × 1 倍
0	1	設定値 × 4 倍
1	0	設定値 × 8 倍
1	1	設定値 × 16 倍

[bit5 ~ bit0] : ST15 ~ ST10 (サンプルング時間設定ビット)

サンプルング時間を決定するための値を設定します。

このビットに書き込んだ値から次の計算式でサンプルング時間が決定されます。

サンプルング時間 = 周辺クロック (PCLK) の周期 × (ST+1) × STX

ST : ST15 ~ ST10 ビットの設定値

STX : STX11, STX10 ビットでの設定倍数

例 : ST15 ~ ST10=9, STX11, STX10=01 (4 倍), 周辺クロック (PCLK) =20MHz (50ns)

サンプルング時間 = 50ns × (9+1) × 4 = 2μs

< 注意事項 >

- STX11, STX10 ビットを "00" (設定値 × 1 倍) に設定した場合は , このビットが "3" 以上になるように設定してください。
 - サンプルング時間については , 「 25.6 動作説明と設定手順例 」の「 A/D 変換時間 」を参照してください。
 - サンプルング時間設定レジスタ 10, 11(ADST10, ADST11) は電気的特性のサンプルング時間を満たすように設定してください。電気的特性については , 『データシート』を参照してください。
-

< 注意事項 >
このレジスタは A/D 変換が停止中に書き込んでください。

ADSS30, ADSS31 [bit7] : 未定義ビット

書込み時	必ず "0" を書き込んでください。
読出し時	"0" が読み出されます。

ADSS30 ~ ADSS00/ADSS31 ~ ADSS01 : TS30 ~ TS0
(サンプルング時間選択ビット)

サンプルング時間設定レジスタ 00, 01 (ADST00, ADST01) に設定したサンプルング時間を使用するか, サンプルング時間設定レジスタ 10, 11 (ADST10, ADST11) に設定したサンプルング時間を使用するかをチャンネルごとに設定します。

書込み値	説明
0	サンプルング時間設定レジスタ 00, 01 (ADST00, ADST01) に設定したサンプルング時間を使用します。
1	サンプルング時間設定レジスタ 10, 11 (ADST10, ADST11) に設定したサンプルング時間を使用します。

TS30 ビットが ch.30 (AN30 端子), TS29 ビットが ch.29 (AN29 端子) ...TS1 ビットが ch.1 (AN1 端子), TS0 ビットが ch.0 (AN0 端子) に対応します。

25.4.15 コンペア時間設定レジスタ (ADCT0, ADCT1)

A/D 変換時間のコンペア時間を設定するレジスタです。A/D 変換時間はサンプリング時間とコンペア時間で構成されています。

コンペア時間設定レジスタ (ADCT0, ADCT1) のビット構成を図 25.4-18 に示します。

図 25.4-18 コンペア時間設定レジスタ (ADCT0, ADCT1) のビット構成

bit	7	6	5	4	3	2	1	0
	未定義	未定義	未定義	未定義	未定義	CT2	CT1	CT0
属性	-	-	-	-	-	R/W	R/W	R/W
初期値	X	X	X	X	X	1	1	1

R/W : リード / ライト可能
- : 未定義
X : 不定

< 注意事項 >

このレジスタは A/D 変換が停止中に書き込んでください。

[bit7 ~ bit3] : 未定義ビット

書込み時	無視されます。
読出し時	値は不定です。

[bit2 ~ bit0] : CT2 ~ CT0 (コンペア時間設定ビット)

コンペア時間を決定するための値を設定します。

このビットに書き込んだ値から次の計算式でコンペア時間が決定されます。

コンペア時間 = { (CT+1) × 10+4 } × 周辺クロック (PCLK) の周期

CT : このビット設定値

例 : CT=1, 周辺クロック (PCLK) =20MHz (50ns)

コンペア時間 = { (1+1) × 10+4 } × 50ns=1.2μs

< 注意事項 >

コンペア時間については、「25.6 動作説明と設定手順例」の「A/D 変換時間」を参照してください。

25.5 割り込み

次の場合に割り込み要求を発生できます。

- A/D スキャン変換時に設定した段数の FIFO にデータが格納された (スキャン変換割り込み要求)
- A/D 優先変換時に設定した段数の FIFO にデータが格納された (優先変換割り込み要求)
- FIFO が満杯 (フル) のときに、次の変換結果を格納しようとした (FIFO オーバラン割り込み要求)
- 比較機能利用時に、変換結果が割り込み要求を発生する条件を満たした (変換結果比較割り込み要求)

■ A/D スキャン変換時の割り込み要求

A/D スキャン変換時の割り込み要求について表 25.5-1 に示します。

表 25.5-1 A/D スキャン変換時の割り込み要求

割り込み要求	割り込み要求フラグ	割り込み要求許可	割り込み要求のクリア
スキャン変換割り込み要求	ADCR の SCIF=1	ADCR の SCIE=1	ADCR の SCIF ビットに "0" を書き込む
FIFO オーバラン割り込み要求	SCCR の SOVR=1	ADCR の OVRIE=1	SCCR の SOVR ビットに "0" を書き込む
変換結果比較割り込み要求	ADCR の CMPIF=1	ADCR の CMPIE=1	ADCR の CMPIF ビットに "0" を書き込む

ADCR : A/DC コントロールレジスタ (ADCR0, ADCR1)

SCCR : スキャン変換コントロールレジスタ (SCCR0, SCCR1)

■ A/D 優先変換時の割り込み要求

A/D 優先変換時の割り込み要求について表 25.5-2 に示します。

表 25.5-2 A/D 優先変換時の割り込み要求

割り込み要求	割り込み要求フラグ	割り込み要求許可	割り込み要求のクリア
優先変換割り込み要求	ADCR の PCIF=1	ADCR の PCIE=1	ADCR の PCIF ビットに "0" を書き込む
FIFO オーバラン割り込み要求	PCCR の POVR=1	ADCR の OVRIE=1	PCCR の POVR ビットに "0" を書き込む
変換結果比較割り込み要求	ADCR の CMPIF=1	ADCR の CMPIE=1	ADCR の CMPIF ビットに "0" を書き込む

ADCR : A/DC コントロールレジスタ (ADCR0, ADCR1)

PCCR : 優先変換コントロールレジスタ (PCCR0, PCCR1)

< 注意事項 >

- 割込み要求フラグが"1"のときに割込み要求の発生を許可すると割込みを許可した時点で、割込み要求が発生します。
割込み要求の発生を許可する場合は、次のいずれかの処理を行ってください。
 - 割込み要求の発生を許可する前に割込み要求をクリアする。
 - 割込み許可と同時に割込み要求をクリアする。
 - 各割込み要求の割込みベクタ番号については、「付録 C 割込みベクタ」を参照してください。
 - 割込みベクタ番号に対応する割込みレベルは、割込みコントロールレジスタ (ICR00 ~ ICR47) で設定します。割込みレベルの設定については、「第 10 章 割込みコントローラ」を参照してください。
-

■ 割込みによる DMA 転送の起動

次の割込み要求の発生により DMA 転送を起動できます。

- スキャン変換割込み要求
- 優先変換割込み要求

DMA 転送については「25.6.4 DMA コントローラ (DMAC) の起動」を参照してください。

25.6 動作説明と設定手順例

10 ビット A/D コンバータの動作について説明します。また、動作状態を設定するための手順例も示します。

■ 概要

10 ビット A/D コンバータは A/D チャンnelイネーブルレジスタ (ADCHE) の各ビットに対応する端子からのアナログ信号入力を許可することで A/D 変換が可能になります。

A/D チャンnelイネーブルレジスタ (ADCHE) については、「第 14 章 I/O ポート」の「14.4.6 A/D チャンnelイネーブルレジスタ (ADCHE)」を参照してください。

10 ビット A/D コンバータには、次の 2 種類の変換動作があります。

- A/D スキャン変換

変換するチャンネルを任意に選択して変換します。

選択したチャンネルを 1 回だけ変換するシングル変換モードと、選択したチャンネルを繰り返して変換するリピート変換モードを利用できます。

- A/D 優先変換

優先度の高い A/D 変換の起動要因が発生すると、A/D スキャン変換を中断して優先的に変換します。優先度 1 と優先度 2 の 2 レベルの優先度が用意されています。優先度 1 > 優先度 2 になります。

A/D スキャン変換と A/D 優先変換の違いを表 25.6-1 に示します。

表 25.6-1 A/D スキャン変換と A/D 優先変換の違い

	A/D スキャン変換	A/D 優先変換	
		優先度 1	優先度 2
対応チャンネル	31 チャンネルすべての中から最大で 31 チャンネルまで任意に選択	ch.0 ~ ch.7 の中から 1 チャンネル指定	31 チャンネルの中から 1 チャンネル指定
変換起動要因	ソフトウェアベースタイマの ch.0/ch.4 の TOUT 信号で立上りエッジ検出	ADTRG0 端子で立下りエッジを検出	ソフトウェアベースタイマの ch.2/ch.6 の TOUT 信号で立上りエッジ検出
再起動	可能	不可能	
FIFO	16 段	4 段	

< 注意事項 >

本製品には、ユニット 0 およびユニット 1 の 2 つの 10 ビット A/D コンバータが内蔵されています。各ユニットで変換するチャンネルは次のレジスタで設定します。このとき、ユニット 0 とユニット 1 で同じチャンネルを選択しないでください。

- ユニット 0
 - スキャン変換入力選択レジスタ 30 ~ 00 (SCIS30 ~ SCIS00)
 - 優先変換入力選択レジスタ 0 (PCIS0)
- ユニット 1
 - スキャン変換入力選択レジスタ 31 ~ 01 (SCIS31 ~ SCIS01)
 - 優先変換入力選択レジスタ 1 (PCIS1)

■ 優先順位と状態遷移

A/D 変換の優先順位を表 25.6-2 に示します。

表 25.6-2 A/D 変換の優先順位

優先順位	A/D 変換の種類
1	優先度 1 の A/D 優先変換
2	優先度 2 の A/D 優先変換
3	A/D スキャン変換

A/D 動作中に優先順位の異なる A/D 変換が起動された場合の動作は次のとおりです。

- **A/D 変換中に優先順位の高い A/D 変換が起動した場合**

実行中の A/D 変換動作を中断し、優先順位の高い A/D 変換を行います。

優先順位の高い変換動作が終わると、中断していた A/D 変換を再開します。

例：A/D スキャン変換中に A/D 優先変換の起動要因が発生

A/D スキャン変換を中断し、A/D 優先変換を開始します。A/D 優先変換が終了すると、A/D スキャン変換を中断したチャンネルから変換が開始されます。

例：優先度 2 の A/D 優先変換中に優先度 1 の A/D 優先変換の起動要因が発生

優先度 2 の A/D 優先変換を中断し、優先度 1 の A/D 優先変換を開始します。優先度 1 の A/D 優先変換が終了すると、優先度 2 の A/D 優先変換が開始されます。

- **A/D 変換中に優先順位の低い A/D 変換が起動した場合**

優先順位の低い A/D 変換の起動要因を保持し、実行中の A/D 変換動作を継続します。実行中の A/D 変換が終了すると、起動要因を保持していた A/D 変換が自動的に開始されます。

例：優先度 1 の A/D 優先変換中に優先度 2 の A/D 優先変換の起動要因が発生

優先度 2 の起動要因を保持し、優先度 1 の A/D 優先変換を継続します。

優先度 1 の A/D 優先変換が終了すると、優先度 2 の A/D 優先変換が自動的に開始されます。

例：優先度 1 の A/D 優先変換中に A/D スキャン変換の起動要因が発生

A/D スキャン変換の起動要因を保持し、優先度 1 の A/D 優先変換を継続します。
優先度 1 の A/D 優先変換が終了すると、A/D スキャン優先変換が自動的に開始されます。

例：優先度 2 の A/D 優先変換中に A/D スキャン変換の起動要因が発生

A/D スキャン変換の起動要因を保持し、優先度 2 の A/D 優先変換を継続します。
優先度 2 の A/D 優先変換が終了すると、A/D スキャン優先変換が自動的に開始されます。

- A/D 優先変換中に優先度が同じ A/D 変換が起動した場合

同一優先順位の起動要因は無視されます。(再起動はかかりません。)

10 ビット A/D コンバータの状態遷移を図 25.6-1 に示します。

図 25.6-1 10 ビット A/D コンバータの状態遷移

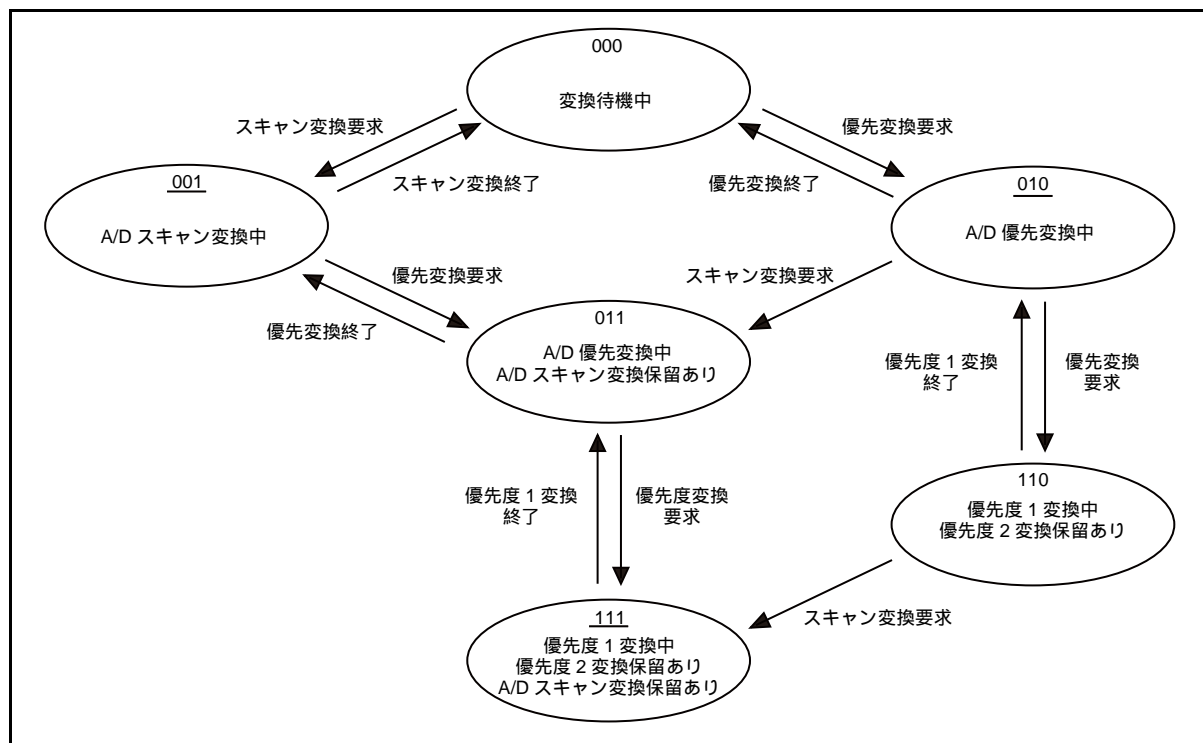


図 25.6-1 に示したように、10 ビット A/D コンバータの状態は A/DC ステータスレジスタ (ADSR0, ADSR1) の PCNS ビット、PCS ビット、SCS ビットで確認できます。

ビットと動作状態の対応を表 25.6-3 に示します。

表 25.6-3 ビットと動作状態の対応

PCNS	PCS	SCS	説明
0	0	0	変換待機中
0	0	1	A/D スキャン変換中
0	1	0	A/D 優先変換中
0	1	1	A/D 優先変換中, A/D スキャン変換保留あり
1	1	0	優先度 1 の A/D 優先変換中, 優先度 2 の変換保留あり
1	1	1	優先度 1 の A/D 優先変換中, 優先度 2 とスキャン変換保留あり

■ A/D 比較機能利用時の動作

A/D 比較機能とは, A/D 変換の変換結果の上位 8 ビット (bit9 ~ bit2) を A/D 比較値設定レジスタ (CMPD0, CMPD1) に設定した値と比較し, 比較結果が A/D 比較コントロールレジスタ (CMPCR0, CMPCR1) で設定した条件を満たしているとき, 変換結果比較割込み要求を発生させる機能です。

変換動作を開始する前に, A/D 比較コントロールレジスタ (CMPCR0, CMPCR1) の CMPEN ビットで比較機能の動作を許可 (CMPEN=1) してください。

比較動作は A/D 変換結果が FIFO に格納される前に行われますので, FIFO が満杯 (フル) の場合でも比較機能を利用できます。

比較機能については, 「25.4.11 A/D 比較値設定レジスタ (CMPD0, CMPD1)」および「25.4.12 A/D 比較コントロールレジスタ (CMPCR0, CMPCR1)」を参照してください。

■ A/D 変換時間

A/D 変換時間は、サンプリング時間とコンペア時間で構成されています。

A/D 変換時間を算出するにはサンプリング時間とコンペア時間を加算してください。

● サンプリング時間

サンプリング時間設定レジスタ (ADST00, ADST10/ADST01, ADST11) でそれぞれのレジスタにサンプリング時間を設定します。

サンプリング時間選択レジスタ (ADSS30 ~ ADSS00/ADSS31 ~ ADSS01) で、チャンネルごとに、どちらのレジスタに設定したサンプリング時間を利用するかを選択できるので、異なった外部インピーダンスのチャンネルに対し個別にサンプリング時間を設定できます。

サンプリング時間の計算方法は次のとおりです。

サンプリング時間 = 周辺クロック (PCLK) の周期 × (ST+1) × STX

ST : サンプリング時間設定レジスタ (ADST00, ADST10/ADST01, ADST11) の ST05 ~ ST00/ST15 ~ ST10 ビットの設定値

STX : サンプリング時間設定レジスタ (ADST00, ADST10/ADST01, ADST11) の STX01, STX00/STX11, STX10 ビットでの設定倍数

< 注意事項 >

- STX01, STX00 ビットを "00" (設定値 × 1 倍) に設定した場合は、ST05 ~ ST00/ST15 ~ ST10 ビットが "3" 以上になるように設定してください。
 - サンプリング時間設定レジスタ 00, 01 (ADST00, ADST01) は電気的特性のサンプリング時間を満たすように設定してください。電気的特性については、『データシート』を参照してください。
-

サンプリング時間の設定例を表 25.6-4 と表 25.6-5 に示します。

表 25.6-4 サンプリング時間の設定例 (STX01, STX00/STX11, STX10 ビット =00 の場合)

レジスタ値 (N) STx5 ~ STx0	サンプリング時間 [μs]				最大外部インピーダンス [KΩ]			
	PCLK= 30MHz	PCLK= 32MHz	PCLK= 33MHz	PCLK= 40MHz	PCLK= 30MHz	PCLK= 32MHz	PCLK= 33MHz	PCLK= 40MHz
0	設定禁止	設定禁止	設定禁止	設定禁止	-	-	-	-
1	設定禁止	設定禁止	設定禁止	設定禁止	-	-	-	-
2	設定禁止	設定禁止	設定禁止	設定禁止	-	-	-	-
3	設定禁止	設定禁止	設定禁止	設定禁止	-	-	-	-
4	設定禁止	設定禁止	設定禁止	設定禁止	-	-	-	-
5	設定禁止	設定禁止	設定禁止	設定禁止	-	-	-	-
6	設定禁止	設定禁止	設定禁止	設定禁止	-	-	-	-
7	設定禁止	設定禁止	設定禁止	設定禁止	-	-	-	-
8	設定禁止	設定禁止	設定禁止	設定禁止	-	-	-	-
9	設定禁止	設定禁止	設定禁止	設定禁止	-	-	-	-
10	設定禁止	設定禁止	設定禁止	設定禁止	-	-	-	-
11	0.400	設定禁止	設定禁止	設定禁止	1.400	-	-	-
12	0.433	0.406	設定禁止	設定禁止	1.400	1.400	-	-
13	0.467	0.438	0.424	設定禁止	1.563	1.400	1.400	-
14	0.500	0.469	0.455	設定禁止	2.053	1.593	1.400	-
15	0.533	0.500	0.485	0.400	2.543	2.053	1.830	1.400
16	0.567	0.531	0.515	0.425	3.033	2.513	2.276	1.400
17	0.600	0.563	0.545	0.450	3.524	2.972	2.721	1.400
18	0.633	0.594	0.576	0.475	4.014	3.432	3.167	1.685
19	0.667	0.625	0.606	0.500	4.504	3.891	3.613	2.053
20	0.700	0.656	0.636	0.525	4.994	4.351	4.058	2.421
...
36	1.233	1.156	1.121	0.925	12.837	11.704	11.188	8.303
37	1.267	1.188	1.152	0.950	13.327	12.163	11.634	8.671
38	1.300	1.219	1.182	0.975	13.818	12.623	12.080	9.038
...
42	1.433	1.344	1.303	1.075	15.778	14.461	13.862	10.509
43	1.467	1.375	1.333	1.100	16.269	14.921	14.308	10.876
...
52	1.767	1.656	1.606	1.325	20.680	19.057	18.319	14.185
53	1.800	1.688	1.636	1.350	21.171	19.516	18.764	14.553
...
62	2.100	1.969	1.909	1.575	25.582	23.652	22.775	17.862
63	2.133	2.000	1.939	1.600	26.073	24.112	23.220	18.229

PCLK: 周辺クロック (PCLK) の周波数

表 25.6-5 サンプルング時間の設定例 (STX01, STX00/STX11, STX10 ビット =10 の場合)

レジスタ値 (N) STx5 ~ STx0	サンプルング時間 [μ s]				最大外部インピーダンス [K Ω]			
	PCLK= 30MHz	PCLK= 32MHz	PCLK= 33MHz	PCLK= 40MHz	PCLK= 30MHz	PCLK= 32MHz	PCLK= 33MHz	PCLK= 40MHz
0	設定禁止	設定禁止	設定禁止	設定禁止	-	-	-	-
1	0.533	0.500	0.485	0.400	2.543	2.053	1.830	1.400
2	0.800	0.750	0.727	0.600	6.465	5.729	5.395	3.524
3	1.067	1.000	0.970	0.800	10.386	9.406	8.960	6.465
4	1.333	1.250	1.212	1.000	14.308	13.082	12.525	9.406
5	1.600	1.500	1.455	1.200	18.229	16.759	16.090	12.347
6	1.867	1.750	1.697	1.400	22.151	20.435	19.655	15.288
7	2.133	2.000	1.939	1.600	26.073	24.112	23.220	18.229
8	2.400	2.250	2.182	1.800	29.994	27.788	26.786	21.171
9	2.667	2.500	2.424	2.000	33.916	31.465	30.351	24.112
10	2.933	2.750	2.667	2.200	37.837	35.141	33.916	27.053
11	3.200	3.000	2.909	2.400	41.759	38.818	37.481	29.994
12	3.467	3.250	3.152	2.600	45.680	42.494	41.046	32.935
13	3.733	3.500	3.394	2.800	49.602	46.171	44.611	35.876
14	4.000	3.750	3.636	3.000	53.524	49.847	48.176	38.818
15	4.267	4.000	3.879	3.200	57.445	53.524	51.741	41.759
16	4.533	4.250	4.121	3.400	61.367	57.200	55.306	44.700
17	4.800	4.500	4.364	3.600	65.288	60.876	58.871	47.641
18	5.067	4.750	4.606	3.800	69.210	64.553	62.436	50.582
19	5.333	5.000	4.848	4.000	73.131	68.229	66.001	53.524
20	5.600	5.250	5.091	4.200	77.053	71.906	69.566	56.465
...
36	9.867	9.250	8.970	7.400	139.798	130.729	126.607	103.524
37	10.133	9.500	9.212	7.600	143.720	134.406	130.172	106.465
38	10.400	9.750	9.455	7.800	147.641	138.082	133.737	109.406
...
42	11.467	10.750	10.424	8.600	163.327	152.788	147.998	121.171
43	11.733	11.000	10.667	8.800	167.249	156.465	151.563	124.112
...
52	14.133	13.250	12.848	10.600	202.543	189.553	183.648	150.582
53	14.400	13.500	13.091	10.800	206.465	193.229	187.213	153.524
...
62	16.800	15.750	15.273	12.600	241.759	226.318	219.299	179.994
63	17.067	16.000	15.515	12.800	245.680	229.994	222.864	182.935

PCLK: 周辺クロック (PCLK) の周波数

● コンペア時間

コンペア時間設定レジスタ (ADCT0, ADCT1) で設定されます。

コンペア時間の計算方法は、次のとおりです。

コンペア時間 = { (CT+1) × 10+4 } × 周辺クロック (PCLK) の周期

CT : コンペア時間設定レジスタ (ADCT0, ADCT1) の CT2 ~ CT0 ビットの設定値

コンペア時間の設定例を表 25.6-6 に示します。

表 25.6-6 コンペア時間の設定例

レジスタ値 (N) CT2 ~ CT0	コンペア時間			
	PCLK=30MHz	PCLK=32MHz	PCLK=33MHz	PCLK=40MHz
0	設定禁止	設定禁止	設定禁止	設定禁止
1	0.80 μs	0.75 μs	0.73 μs	設定禁止
2	1.13 μs	1.06 μs	1.03 μs	0.85 μs
3	1.47 μs	1.38 μs	1.33 μs	1.10 μs
4	1.80 μs	1.69 μs	1.64 μs	1.35 μs
5	2.13 μs	2.00 μs	1.94 μs	1.60 μs
6	2.47 μs	2.31 μs	2.24 μs	1.85 μs
7(初期値)	2.80 μs	2.63 μs	2.55 μs	2.10 μs

PCLK : 周辺クロック (PCLK) の周波数

* この表はコンペア時間のみを示します。

25.6.1 A/D スキャン変換時の動作

スキャン変換入力選択レジスタ (SCIS30 ~ SCIS00/SCIS31 ~ SCIS01) で選択したチャンネルを順番に変換します。

■ 概要

A/D スキャン変換は、次の 2 種類の変換モードがあります。

- シングル変換モード
スキャン変換入力選択レジスタ (SCIS30 ~ SCIS00/SCIS31 ~ SCIS01) に設定したチャンネルを 1 回だけ変換するモードです。
- リピート変換モード
スキャン変換入力選択レジスタ (SCIS30 ~ SCIS00/SCIS31 ~ SCIS01) に設定したチャンネルを繰り返し変換するモードです。

また、スキャン変換入力選択レジスタ (SCIS30 ~ SCIS00/SCIS31 ~ SCIS01) で 1 チャンネルだけ選択した場合と複数のチャンネルを選択した場合とでも動作が異なります。
変換モードごとの変換順序を表 25.6-7 に示します。

表 25.6-7 変換モードと変換順序

変換モード	選択チャンネル	変換順序			
シングル変換モード (SCCR の RPT=0)	ch.3	ch.3	変換停止		
	ch.3, ch.5, ch.10, ch.23	ch.3	ch.5	ch.10	ch.23 変換停止
リピート変換モード (SCCR の RPT=1)	ch.3	ch.3	ch.3	ch.3	ch.3
		ch.3	ch.3	ch.3	ch.3
	ch.3, ch.5, ch.10, ch.23	ch.3	ch.5	ch.10	ch.23
		ch.23	ch.10	ch.5	ch.3

SCCR スキャン変換コントロールレジスタ (SCCR0, SCCR1)

< 注意事項 >

10 ビット A/D コンバータは、初めに A/D チャンネルイネーブルレジスタ (ADCHE) でアナログ信号入力を許可することで A/D 変換が可能になります。
A/D チャンネルイネーブルレジスタ (ADCHE) については、「第 14 章 I/O ポート」の「14.4.6 A/D チャンネルイネーブルレジスタ (ADCHE)」を参照してください。

■ シングル変換モード時の動作

スキャン変換コントロールレジスタ (SCCR0, SCCR1) の RPT ビットに "0" を書き込むと、シングル変換モードが設定されます。
このモードでは、スキャン変換入力選択レジスタ (SCIS30 ~ SCIS00/SCIS31 ~ SCIS01) で設定したチャンネルを 1 回だけ変換します。

● 起動

スキャン変換入力選択レジスタ (SCIS30 ~ SCIS00/SCIS31 ~ SCIS01) で変換するチャンネルを選択し、10 ビット A/D コンバータを次のいずれかの方法で起動します。

- スキャン変換コントロールレジスタ (SCCR0, SCCR1) の SSTR ビットに "1" を書き込む
- スキャン変換コントロールレジスタ (SCCR0, SCCR1) の SHEN ビットでタイマ起動を許可 (SHEN=1) し、ベースタイマの ch.0/ch.4 の TOUT 信号で立上りエッジを入力する

A/D スキャン変換中に、上記の起動動作が行われると A/D スキャン変換を直ちに停止 / 初期化し、再度 A/D スキャン変換が行われます (再起動動作)。

● 単一チャンネル変換動作

スキャン変換入力選択レジスタ (SCIS30 ~ SCIS00/SCIS31 ~ SCIS01) で変換するチャンネルを 1 つだけ選択します。

10 ビット A/D コンバータが起動すると、選択したチャンネルに対して変換動作を開始し、A/DC ステータスレジスタ (ADSR0, ADSR1) の SCS ビットが "1" に変わります。

選択したチャンネルの変換が終了すると、変換結果と変換したチャンネルの情報を A/D スキャン変換用 FIFO の 1 段目に格納し、変換動作を停止します。このとき、A/DC ステータスレジスタ (ADSR0, ADSR1) の SCS ビットが "0" にクリアされます。

FIFO に格納された変換結果は、スキャン変換 FIFO データレジスタ (SCFD0, SCFD1) から読み出せます。

● 複数チャンネル変換動作

スキャン変換入力選択レジスタ (SCIS30 ~ SCIS00/SCIS31 ~ SCIS01) で変換するチャンネルを複数選択します。

10 ビット A/D コンバータが起動すると、選択したチャンネルの中で一番若い番号のチャンネルから順番に変換動作を開始します。このとき、A/DC ステータスレジスタ (ADSR0, ADSR1) の SCS ビットが "1" に変わります。

1 チャンネル変換が終わると、変換結果と変換したチャンネルの情報を A/D スキャン変換用 FIFO の 1 段目に格納し、次のチャンネルの変換を開始します。

(スキャン変換入力選択レジスタ (SCIS30 ~ SCIS00/SCIS31 ~ SCIS01) で選択していないチャンネルの変換は行われません。)

変換するチャンネルが変わるごとに変換結果と変換したチャンネルの情報を保存する A/D スキャン変換用 FIFO の段数も 1 段ずつ変わります。

スキャン変換入力選択レジスタ (SCIS30 ~ SCIS00/SCIS31 ~ SCIS01) で選択したチャンネルをすべて変換し終わると、10 ビット A/D コンバータの動作を停止します。このとき、A/DC ステータスレジスタ (ADSR0, ADSR1) の SCS ビットが "0" にクリアされます。

FIFO に格納された変換結果は、スキャン変換 FIFO データレジスタ (SCFD0, SCFD1) から順番に読み出せます。読出しについては、「25.6.3 FIFO の動作」の「A/D スキャン変換時の動作」を参照してください。

■ リピート変換モード時の動作

スキャン変換コントロールレジスタ (SCCR0, SCCR1) の RPT ビットに "1" を書き込むと、リピート変換モードが設定されます。

このモードでは、スキャン変換入力選択レジスタ (SCIS30 ~ SCIS00/SCIS31 ~ SCIS01) で設定したチャンネルを繰り返し変換します。

シングル変換モード時と同様に、チャンネルを選択し、10 ビット A/D コンバータを起動してください。

● 単一チャンネル変換動作

スキャン変換入力選択レジスタ (SCIS30 ~ SCIS00/SCIS31 ~ SCIS01) で変換するチャンネルを 1 つだけ選択します。

10 ビット A/D コンバータが起動すると、選択したチャンネルに対して変換動作を開始し、A/DC ステータスレジスタ (ADSR0, ADSR1) の SCS ビットが "1" に変わります。

変換が終了すると、変換結果と変換したチャンネルの情報を A/D スキャン変換用 FIFO の 1 段目に格納し、再度同じチャンネルの変換を開始します。

変換を停止するには、スキャン変換コントロールレジスタ (SCCR0, SCCR1) の RPT ビットに "0" を書き込んでください。

FIFO に格納された変換結果は、スキャン変換 FIFO データレジスタ (SCFD0, SCFD1) から順番に読み出せます。読み出しについては、「25.6.3 FIFO の動作」の「A/D スキャン変換時の動作」を参照してください。

● 複数チャンネル変換動作

スキャン変換入力選択レジスタ (SCIS30 ~ SCIS00/SCIS31 ~ SCIS01) で変換するチャンネルを複数選択します。

10 ビット A/D コンバータが起動すると、選択したチャンネルの中で一番若い番号のチャンネルから順番に変換動作を開始します。このとき、A/DC ステータスレジスタ (ADSR0, ADSR1) の SCS ビットが "1" に変わります。

1 チャンネル変換が終わると、変換結果と変換したチャンネルの情報を A/D スキャン変換用 FIFO の 1 段目に格納し、次のチャンネルの変換を開始します。

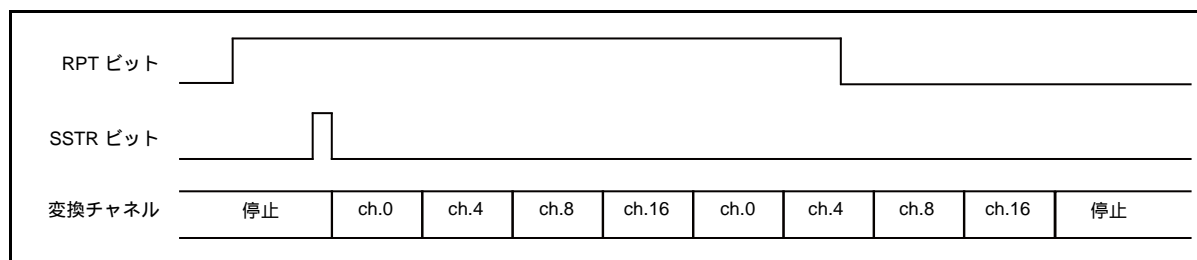
(スキャン変換入力選択レジスタ (SCIS30 ~ SCIS00/SCIS31 ~ SCIS01) で選択していないチャンネルの変換は行われません。)

選択したチャンネルをすべて変換し終わると、再度一番若い番号のチャンネルから 2 巡目の変換動作を開始します。

変換を停止するには、スキャン変換コントロールレジスタ (SCCR0, SCCR1) の RPT ビットに "0" を書き込んでください。スキャン変換入力選択レジスタ (SCIS30 ~ SCIS00/SCIS31 ~ SCIS01) で選択したチャンネルをすべて変換し終わった時点で変換動作が停止します。

複数チャンネル変換時の停止タイミングを図 25.6-2 に示します。

図 25.6-2 複数チャンネル変換時の停止タイミング



FIFO に格納された変換結果は、スキャン変換 FIFO データレジスタ (SCFD0, SCFD1) から順番に読み出せます。読出しについては、「25.6.3 FIFO の動作」の「A/D スキャン変換時の動作」を参照してください。

25.6.2 A/D 優先変換時の動作

優先度の高い A/D 変換の起動要因が発生すると、A/D スキャン変換を中断して優先的に変換します。優先度は 2 レベル用意されています。

■ 概要

起動要因によって優先度を 2 レベルから設定できます。優先度 1 が優先度 2 より優先されます。

設定できるチャンネルは優先度によって異なります。

優先度とチャンネルや起動要因の対応を表 25.6-8 に示します。

表 25.6-8 優先度とチャンネルや起動要因の対応

	優先度 1	優先度 2
優先順位	1	2
対応チャンネル	ch.0 ~ ch.7の中から1チャンネル指定	31 チャンネルの中から 1 チャンネル指定
起動要因	ADTRG0端子で立下りエッジを検出	ソフトウェアベースタイマの ch.2/ch.6 の TOUT 信号で立上りエッジ検出

< 注意事項 >

- 10 ビット A/D コンバータは、初めに A/D チャンネルイネーブルレジスタ (ADCHE) でアナログ信号入力を許可することで A/D 変換が可能になります。
A/D チャンネルイネーブルレジスタ (ADCHE) については、「第 14 章 I/O ポート」の「14.4.6 A/D チャンネルイネーブルレジスタ (ADCHE)」を参照してください。
- A/D 優先変換は優先度にかかわらず、A/D 変換を再起動することはできません。
- A/D 優先変換で変換できるチャンネルは 1 チャンネルのみです。

■ 優先度 1 の変換動作

最も優先度の高い変換動作です。優先度 1 の起動要因が発生すると A/D スキャン変換や優先度 2 の A/D 優先変換が動作中でも、変換動作を直ちに中止し、優先度 1 の変換が開始されます。

● チャンネル選択方法

優先変換入力選択レジスタ (PCIS0, PCIS1) の P1A2 ~ P1A0 ビットで、ch.0 ~ ch.7 の中から変換するチャンネルを 1 チャンネルだけ選択します。

● 変換動作

優先変換コントロールレジスタ (PCCR0, PCCR1) の PEEN ビットで外部起動を許可 (PEEN =1) した状態で、ADTRG0 端子で立下りエッジを検出すると、優先度 1 の A/D 優先変換の起動要因が発生します。

このとき、A/D スキャン変換や優先度 2 の A/D 優先変換が実行されていると、それらの変換を直ちに中断し、優先度 1 で指定したチャンネルの変換が開始されます。また、A/DC ステータスレジスタ (ADSR0, ADSR1) の PCS ビットが "1" に変わります。

変換が終了すると、変換結果と変換したチャンネルの情報が A/D 優先変換用 FIFO に格納され、A/DC ステータスレジスタ (ADSR0, ADSR1) の PCS ビットが "0" にクリアされます。また、中断していた変換が再度開始されます。

FIFO に格納された A/D 優先変換の変換結果は、優先変換 FIFO データレジスタ (PCFD0, PCFD1) から読み出せます。読出しについては、「25.6.3 FIFO の動作」の「A/D 優先変換時の動作」を参照してください。

また、優先度 1 の A/D 優先変換実行中に、他の優先度の起動要因が発生した場合の動作については、「25.6 動作説明と設定手順例」の「優先順位と状態遷移」を参照してください。

< 注意事項 >

優先度 1 の A/D 優先変換を実行中に、同じレベル (優先度 1) の A/D 変換の起動要因が発生した場合は、実行中の変換動作を継続し、後から発生した起動要因は無視されます。

■ 優先度 2 の変換動作

2 番目に優先度の高い変換動作です。優先度 2 の起動要因が発生すると A/D スキャン変換が動作中でも、変換動作を直ちに中止し、優先度 2 の変換が開始されます。

● チャンネル選択方法

優先変換入力選択レジスタ (PCIS0, PCIS1) の P2A4 ~ P2A0 ビットで、すべてのチャンネル (31 チャンネル) の中から変換するチャンネルを 1 チャンネルだけ選択します。

● 変換動作

次のいずれかの方法で優先度 2 の起動要因を発生させます。

- 優先変換コントロールレジスタ (PCCR0, PCCR1) の PSTR ビットに "1" を書き込む
- 優先変換コントロールレジスタ (PCCR0, PCCR1) の PHEN ビットでタイマ起動を許可 (PHEN=1) し、ベースタイマの ch.2/ch.6 の TOUT 信号で立上りエッジ検出

起動要因が発生すると次のように優先度 2 の A/D 優先変換が起動し、A/DC ステータスレジスタ (ADSR0, ADSR1) の PCS ビットが "1" に変わります。

- 10 ビット A/D コンバータ未起動時: 10 ビット A/D コンバータを起動し、優先度 2 で指定したチャンネルの変換を開始します。
- A/D スキャン変換実行時: A/D スキャン変換を直ちに中断し、優先度 2 で指定したチャンネルの変換を開始します。
- 優先度 1 の A/D 優先変換実行時: 優先度 2 の起動要因を保持し、優先度 1 の A/D 優先変換終了後に優先度 2 の A/D 優先変換を開始します。

優先度 2 の A/D 優先変換が終了すると、変換結果と変換したチャンネルの情報が A/D 優先変換用 FIFO に格納され、A/DC ステータスレジスタ (ADSR0, ADSR1) の PCS ビットが "0" にクリアされます。また、中断していた変換が再度開始されます。

FIFO に格納された A/D 優先変換の変換結果は、優先変換 FIFO データレジスタ (PCFD0, PCFD1) から読み出せます。読出しについては、「25.6.3 FIFO の動作」の「A/D 優先変換時の動作」を参照してください。

また、優先度 2 の A/D 優先変換実行中に、他の優先度の起動要因が発生した場合の動作については、「25.6 動作説明と設定手順例」の「優先順位と状態遷移」を参照してください。

< 注意事項 >

A/D 優先変換中は変換動作を再起動することはできません。優先度 2 の A/D 優先変換を実行中に、同じレベル (優先度 2) の A/D 変換の起動要因が発生した場合は、実行中の変換動作を継続し、後から発生した起動要因は無視されます。

例: ソフトウェアで優先度 2 の A/D 優先変換を起動し、変換動作中にベースタイマの ch.2/ch.6 の TOUT 信号で立上りエッジを検出しても、実行中の変換動作が継続されません。

25.6.3 FIFO の動作

10 ビット A/D コンバータは、A/D スキャン変換用に 16 段、A/D 優先変換用に 4 段の FIFO が用意されています。あらかじめ、設定した FIFO の段数にデータが格納されるとスキャン変換割込み要求 / 優先変換割込み要求を発生させることができます。

FIFO の動作と割込み要求の発生について説明します。

■ A/D スキャン変換時の動作

● A/D 変換中の動作

リセット解除後は A/D スキャン変換用 FIFO にはデータがない (エンプティ) ため、スキャン変換コントロールレジスタ (SCCR0, SCCR1) の SEMP ビットは "1" になっています。

A/D スキャン変換が開始され、1 チャンネル分の変換結果が FIFO の 1 段目に格納されると、SEMP ビットが "0" に変わります。

次のデータの変換が終了すると変換結果は FIFO の 2 段目に格納されます。以降、1 チャンネル分の変換が終了するたびに、変換結果が FIFO の次の段に格納されます。

16 段すべてに変換結果が書き込まれると、A/D スキャン変換用 FIFO が満杯 (フル) になり、スキャン変換コントロールレジスタ (SCCR0, SCCR1) の SFUL ビットが "1" に変わります。

この状態で、さらに A/D スキャン変換が行われると、オーバランが発生しスキャン変換コントロールレジスタ (SCCR0, SCCR1) の SOVR ビットが "1" に変わります。この場合、変換結果は FIFO には格納されず破棄されます。

● 読出し動作

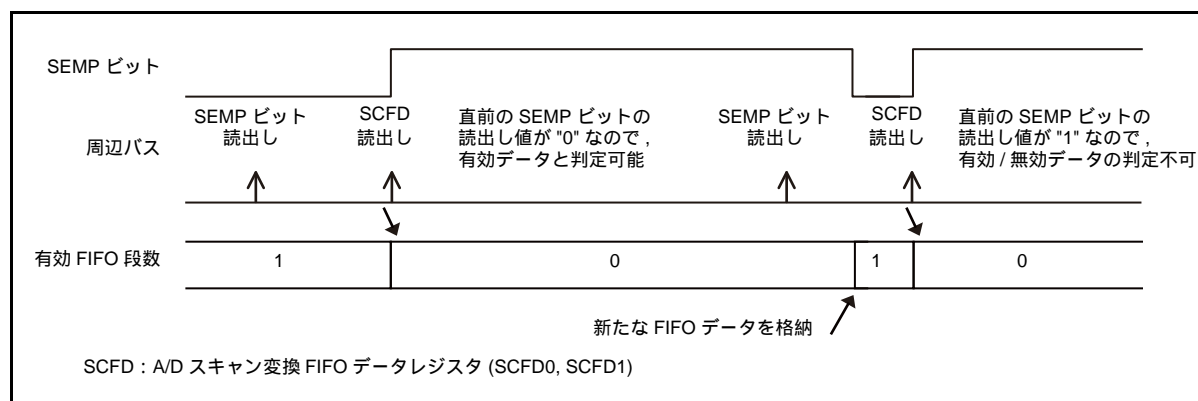
A/D スキャン変換用 FIFO に格納されたデータは、スキャン変換 FIFO データレジスタ (SCFD0, SCFD1) を読み出すことで順番に取り出すことができます。

ただし、スキャン変換 FIFO データレジスタ (SCFD0, SCFD1) は、必ずスキャン変換コントロールレジスタ (SCCR0, SCCR1) の SEMP ビットで A/D スキャン変換用 FIFO にデータがあることを確認してから (SEMP=0) 読み出してください。

A/D スキャン変換用 FIFO が空 (エンプティ) (SEMP=1) の状態で読出しを行うと、(読出しの直前に変換結果がスキャン変換 FIFO データレジスタ (SCFD0, SCFD1) に格納されることがあるため) 読み出したデータが有効なのか無効なのかが判断できず、有効なデータを読み捨てる可能性があります。

SEMP ビットと読出しデータの関係を図 25.6-3 に示します。

図 25.6-3 SEMP ビットと読出しデータの関係



< 注意事項 >

- 次のレジスタはアドレスが並んで配置されていますが、これらのレジスタにワードで一度にアクセスすると、スキャン変換コントロールレジスタ (SCCR0, SCCR1) の SEMP ビットの状態にかかわらず、このレジスタを読み出してしまいます。これらのレジスタにはワードでアクセスしないでください。
 - スキャン変換コントロールレジスタ (SCCR0, SCCR1)
 - スキャン変換 FIFO 段数設定レジスタ (SFNS0, SFNS1)
 - スキャン変換 FIFO データレジスタ (SCFD0, SCFD1)
- スキャン変換 FIFO データレジスタ (SCFD0, SCFD1) はバイトアクセスできます。上位バイト (bit15 ~ bit8) 読み出すと、FIFO のデータがシフトします。下位バイト (bit7 ~ bit0) を読み出しても FIFO のデータはシフトしません。

● クリア動作

スキャン変換コントロールレジスタ (SCCR0, SCCR1) の SFCLR ビットに "1" を書き込むと、A/D スキャン変換用 FIFO がクリアされ、スキャン変換コントロールレジスタ (SCCR0, SCCR1) の SEMP ビットが "1" に変わります。

● スキャン変換割込み要求

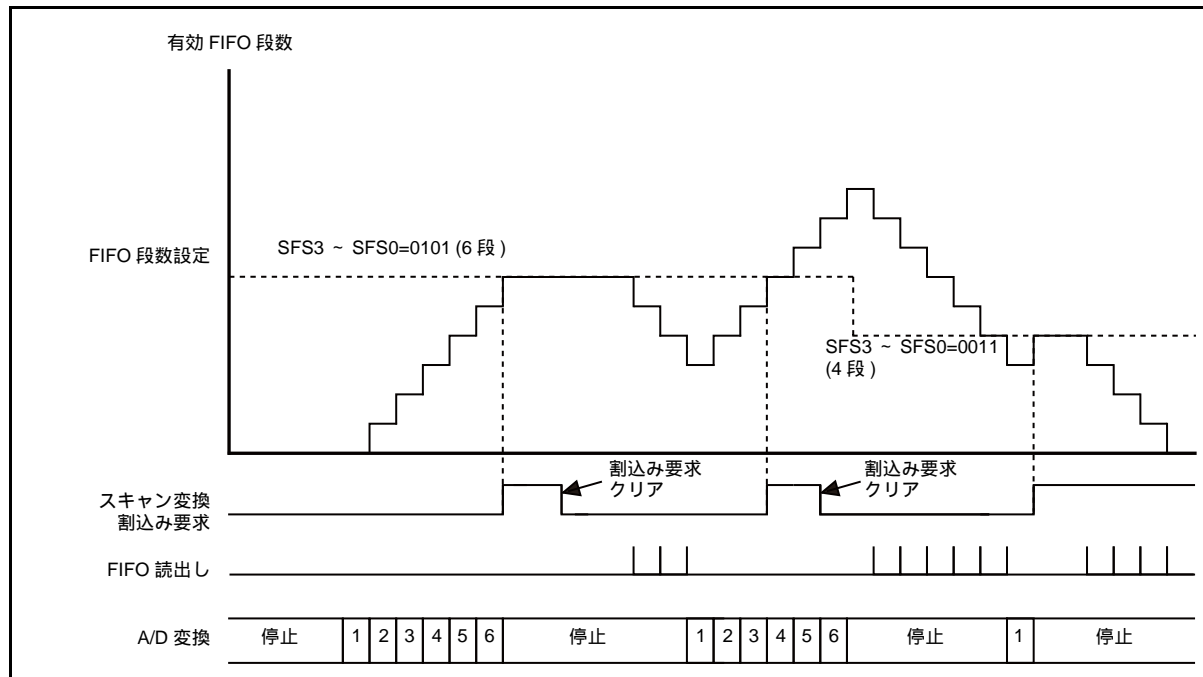
設定した FIFO の段数まで変換結果が格納されたとき (A/DC コントロールレジスタ (ADCR0, ADCR1) の SCIF ビット =1) に、スキャン変換割込み要求が発生させることができます。

A/D スキャン変換割込み要求を発生させるには、次の処理を行ってください。

- スキャン変換 FIFO 段数設定レジスタ (SFNS0, SFNS1) の SFS3 ~ SFS0 ビットで、割込み要求を発生させる段数を設定
- A/DC コントロールレジスタ (ADCR0, ADCR1) の SCIE ビットでスキャン変換割込み要求の発生を許可 (SCIE=1)

FIFO の動作を図 25.6-4 に示します。

図 25.6-4 FIFO の動作



変換モードごとに設定する段数と割込み要求の発生例を示します。スキャン変換 FIFO 段数設定レジスタ (SFNS0, SFNS1) の SFS3 ~ SFS0 ビットで段数を設定してください。

- **シングル変換モードで単一チャネル変換時**

スキャン変換割込み要求を発生させる段数を 1 段に設定 ($SFS3 \sim SFS0=0000$) すると、変換終了時にスキャン変換割込み要求が発生します。2 段以上に設定 ($SFS3 \sim SFS0=0001$ 以上) すると、設定したチャネルの変換が終了しても割込み要求は発生しません。

- **シングル変換モードで複数チャネル変換時**

変換するチャネル数と同じ段数を設定すると、変換終了時にスキャン変換割込み要求が発生します。

例：3 チャネル変換後、スキャン変換割込み要求を発生させるとき

スキャン変換割込み要求を発生させる段数を 3 段に設定 ($SFS3 \sim SFS0=0010$)

また、変換するチャネル数よりも少ない段数でスキャン変換割込み要求が発生するように設定すると、A/D スキャン変換が終了する前に任意のタイミングでスキャン変換割込み要求を発生できます。

- **リピート変換モードで単一チャネル変換時**

スキャン変換割込み要求を発生させる段数を 1 段に設定 ($SFS3 \sim SFS0=0000$) すると、1 巡目の変換終了時にスキャン変換割込み要求が発生します。

設定したチャネルを何度か変換してからスキャン変換割込み要求を発生させる場合は、変換回数と段数の設定を同じにしてください。

例：単一チャネルを 4 回変換後、スキャン変換割込み要求を発生させるとき

スキャン変換割込み要求を発生させる段数を 4 段に設定 ($SFS3 \sim SFS0=0011$)

- リピート変換モードで複数チャネル変換時

スキャン変換割込み要求の発生を次のように任意に選択できます。

例：リピート変換モードで 8 チャネル変換するとき

- 1 巡目の変換終了後にスキャン変換割込み要求を発生させる
スキャン変換割込み要求を発生させる段数を 8 段に設定 (SFS3 ~ SFS0=0111)
- 2 巡目の変換終了後に割込み要求を発生させる
スキャン変換割込み要求を発生させる段数を 16 段 (変換するチャネルの 2 倍) に設定 (SFS3 ~ SFS0=1111)

< 注意事項 >

スキャン変換割込み要求の発生時に FIFO 内のデータを DMA 転送することができます。DMA 転送については、「25.6.4 DMA コントローラ (DMAC) の起動」を参照してください。

● FIFO オーバラン割込み要求

FIFO の 16 段すべてにデータが格納され、FIFO が満杯 (フル) になると、スキャン変換コントロールレジスタ (SCCR0, SCCR1) の SFUL ビットが "1" に変わります。

A/DC コントロールレジスタ (ADCR0, ADCR1) の OVRIE ビットで FIFO オーバラン割込み要求の発生が許可 (OVRIE =1) されていると、SFUL ビットが "1" のときに次の変換結果が FIFO に格納されようとする、オーバーラン割込み要求が発生します。

< 注意事項 >

- FIFO が満杯 (フル) のときに、次の変換結果を格納しようとしても、FIFO 内のデータは書き換えられません。格納しようとした変換結果は破棄されます。
 - スキャン変換コントロールレジスタ (SCCR0, SCCR1) の SFCLR ビットで FIFO をクリア (SFCLR=1) すると FIFO が空になり、スキャン変換コントロールレジスタ (SCCR0, SCCR1) の SEMP ビットが "1" に変わります。
-

■ A/D 優先変換時の動作

● A/D 変換中の動作

リセット解除後は A/D 優先変換用 FIFO にはデータがない (エンプティ) ため、A/D 優先変換制御レジスタ (PCCR0, PCCR1) の PEMP ビットは "1" になっています。

A/D 優先変換が開始され、1 チャネル分の変換結果が FIFO の 1 段目に格納されると、PEMP ビットが "0" に変わります。

次の A/D 優先変換が終了すると変換結果は FIFO の 2 段目に格納されます。以降、A/D 優先変換が終了するたびに、変換結果が FIFO の次の段に格納されます。

4 段すべてに変換結果が書き込まれると、A/D 優先変換用 FIFO が満杯 (フル) になり、優先変換コントロールレジスタ (PCCR) の PFUL ビットが "1" に変わります。

この状態で、さらに A/D 優先変換が行われると、オーバーランが発生し優先変換コント

ロールレジスタ (PCCR0, PCCR1) の POVR ビットが "1" に変わります。この場合、変換結果は FIFO には格納されず破棄されます。

● 読出し動作

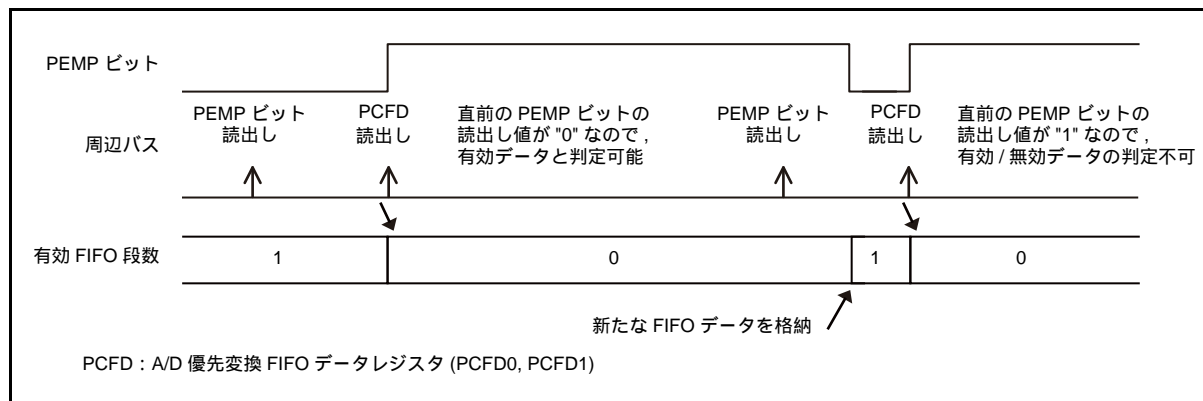
A/D 優先変換用 FIFO に格納されたデータは、優先変換 FIFO データレジスタ (PCFD0, PCFD1) を読み出すことで順番に取り出すことができます。

ただし、優先変換 FIFO データレジスタ (PCFD0, PCFD1) は、必ず優先変換コントロールレジスタ (PCCR0, PCCR1) の PEMP ビットで A/D 優先変換用 FIFO にデータがあることを確認してから (PEMP=0) 読み出してください。

A/D 優先変換用 FIFO が空 (エンプティ) (PEMP=1) の状態で読出しを行うと、(読出しの直前に変換結果が優先変換 FIFO データレジスタ (PCFD0, PCFD1) に格納されることがあるため) 読み出したデータが有効なのか無効なのかが判断できず、有効なデータを読み捨てる可能性があります。

PEMP ビットと読出しデータの関係を図 25.6-5 に示します。

図 25.6-5 PEMP ビットと読出しデータの関係



< 注意事項 >

- 次のレジスタはアドレスが並んで配置されていますが、これらのレジスタにワードで一度にアクセスすると、優先変換コントロールレジスタ (PCCR0, PCCR1) の PEMP ビットの状態にかかわらず、このレジスタを読み出してしまいます。これらのレジスタにはワードでアクセスしないでください。
 - 優先変換コントロールレジスタ (PCCR0, PCCR1)
 - 優先変換 FIFO 段数設定レジスタ (PFNS0, PFNS1)
 - 優先変換 FIFO データレジスタ (PCFD0, PCFD1)
- 優先変換 FIFO データレジスタ (PCFD0, PCFD1) はバイトアクセスできます。上位バイト (bit15 ~ bit8) 読み出すと、FIFO のデータがシフトします。下位バイト (bit7 ~ bit0) を読み出しても FIFO のデータはシフトしません。

● クリア動作

優先変換コントロールレジスタ (PCCR0, PCCR1) の PFCLR ビットに "1" を書き込むと、A/D 優先変換用 FIFO がクリアされ、A/D 優先変換制御レジスタ (PCCR0, PCCR1) の PEMP ビットが "1" に変わります。

● 優先変換割込み要求

設定した FIFO の段数まで変換結果が格納されたとき (A/DC コントロールレジスタ (ADCR0, ADCR1) の PCIF ビット =1) に、優先変換割込み要求が発生させることができます。

A/D 優先変換割込み要求を発生させるには、次の処理を行ってください。

- 優先変換FIFO段数設定レジスタ (PFNS0, PFNS1) のPFS1, PFS0ビットで、割込み要求を発生させる段数を設定
- A/DCコントロールレジスタ (ADCR0, ADCR1) のPCIEビットで優先変換割込み要求の発生を許可 (PCIE=1)

優先変換割込み要求を発生させる段数を 1 段に設定 (PFS1, PFS0=00) すると、変換終了時に優先変換割込み要求が発生します。

< 注意事項 >

- 優先割込み要求を発生させる段数を 2 段以上に設定 (PFS1, PFS0=01 以上) すると、A/D 優先変換が終了しても、優先変換割込み要求は発生しません。
- 優先変換割込み要求の発生時に FIFO 内のデータを DMA 転送することができます。DMA 転送については、「25.6.4 DMA コントローラ (DMAC) の起動」を参照してください。

● FIFO オーバラン割込み要求

FIFO の 4 段すべてにデータが格納され、FIFO が満杯 (フル) になると、優先変換コントロールレジスタ (PCCR) の PFUL ビットが "1" に変わります。

A/DC コントロールレジスタ (ADCR0, ADCR1) の OVRIE ビットで FIFO オーバラン割込み要求の発生が許可 (OVRIE =1) されていると、PFUL ビットが "1" のときに次の変換結果が FIFO に格納されようとする、オーバーラン割込み要求が発生します。

< 注意事項 >

- FIFO が満杯 (フル) のときに、次の変換結果を格納しようとしても、FIFO 内のデータは書き換えられません。格納しようとした変換結果は破棄されます。
- 優先変換コントロールレジスタ (PCCR0, PCCR1) の PFCLR ビットで FIFO をクリア (PFCLR=1) すると FIFO が空になり、優先変換コントロールレジスタ (PCCR0, PCCR1) の PEMP ビットが "1" に変わります。

25.6.4 DMA コントローラ (DMAC) の起動

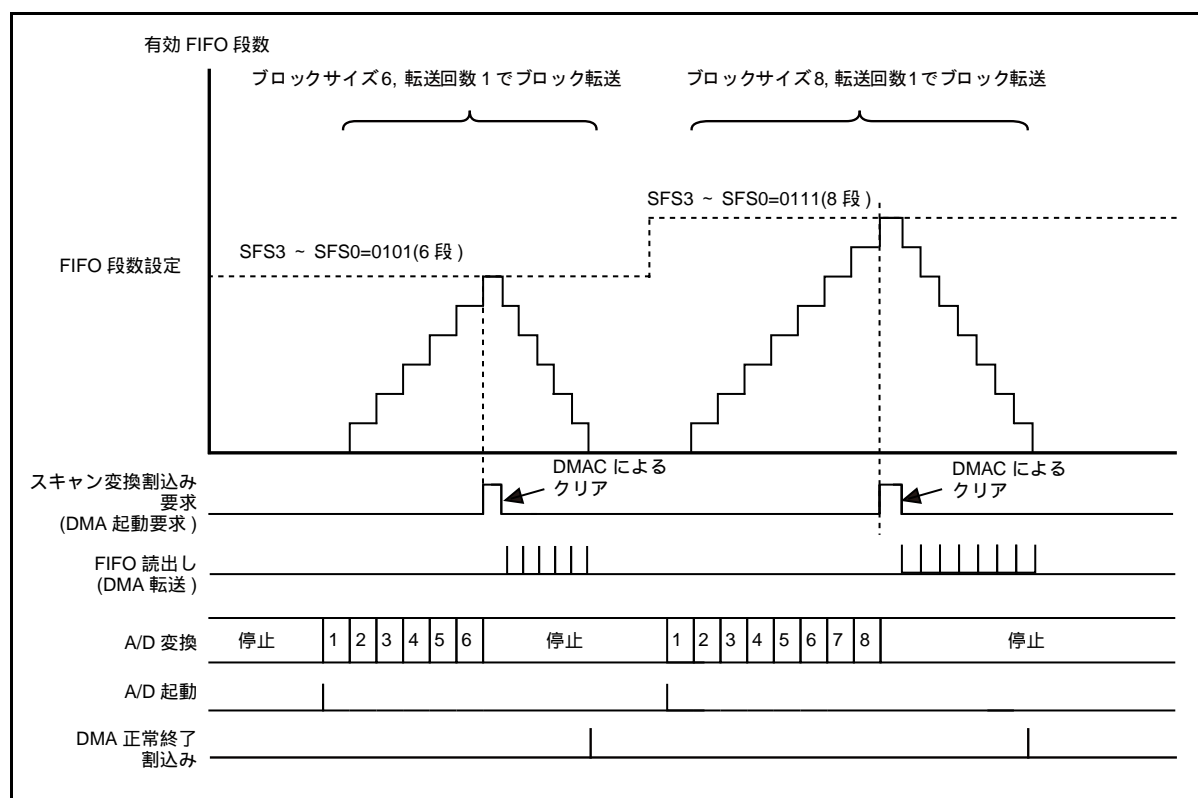
10 ビット A/D コンバータのスキャン変換割込み要求と優先変換割込み要求の発生を利用して、FIFO 内のデータを DMA 転送できます。

スキャン変換割込み要求/優先変換割込み要求を発生させる段数と DMA 転送させるバイト数を同じに設定すると、A/D スキャン変換と連動して、FIFO のデータを DMA 転送できます。DMA 転送させるバイト数の設定については、「第 28 章 DMA コントローラ (DMAC)」を参照してください。

- シングル変換モード時DMA転送する場合、DMA ブロックサイズと割込み発生FIFO 段数を同じ値に設定し、DMA 完了後に次の A/D 起動を行ってください。
- リピート変換モード時DMA転送する場合、DMA のブロックサイズを 1、割込み発生 FIFO 段数は 1 段に設定してください。

DMA 転送動作を図 25.6-6 に示します。

図 25.6-6 DMA 転送動作 (スキャン変換割込み要求の場合)



< 注意事項 >

DMA のブロックサイズと割込み発生 FIFO 段数は同じ値を設定してください。
また、すべての FIFO のデータを DMA 転送したあとに次の A/D 起動を行ってください。

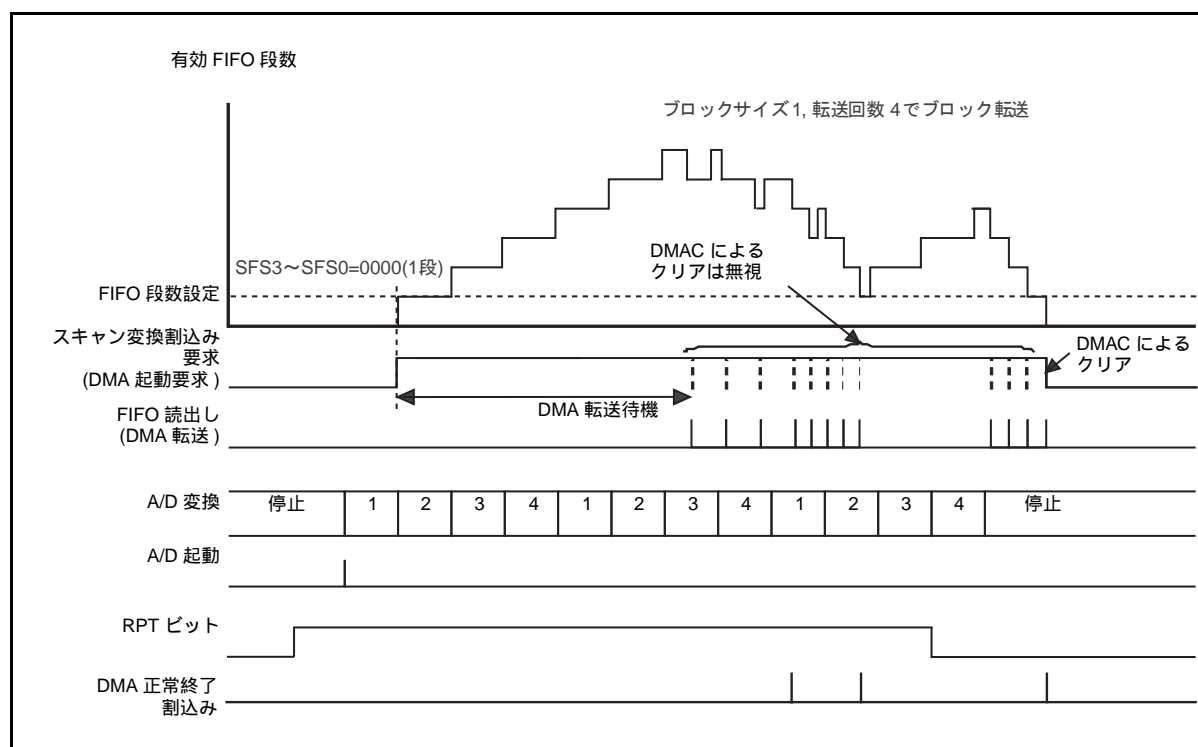
ただし、リピート変換モードなど繰り返し A/D 変換行っている場合、次の状態が発生すると、設定したバイト数分のデータを DMA 転送後も、スキャン変換割り込み要求 / 優先変換割り込み要求を発生させる段数以上のデータが FIFO 内に格納されている可能性があります。

- 変換結果を DMA 転送し終わる前に、次のチャンネルの A/D 変換が開始された
(他の DMA 転送が起動され、変換結果の DMA 転送が待機された場合など)

このため、割り込み要求を発生させる段数以上に、データが格納されている場合は、DMA コントローラ (DMAC) によるクリアは無視され、再度 DMA 転送を行います。

DMA 再転送動作を図 25.6-7 に示します。

図 25.6-7 DMA 再転送動作



< 注意事項 >

DMA のブロックサイズを 1、割り込み発生 FIFO 段数を 1 段に設定してください。

第 26 章 8 ビット D/A コンバータ

8 ビット D/A コンバータの機能と動作について説明します。

- 26.1 概要
- 26.2 構成
- 26.3 端子
- 26.4 レジスタ
- 26.5 動作説明と設定手順例

26.1 概要

8 ビット D/A コンバータは、デジタル信号をアナログ信号に変換する周辺機能です。
本製品は 8 ビット D/A コンバータを 3 チャンネル内蔵しています。

■ 概要

- パワーダウン機能
D/A コンバータからの出力が禁止されているときに、電力を落とすパワーダウン機能を内蔵しています。
- チャンネル独立制御
3 チャンネルの D/A コンバータからの出力を個別に制御できます。

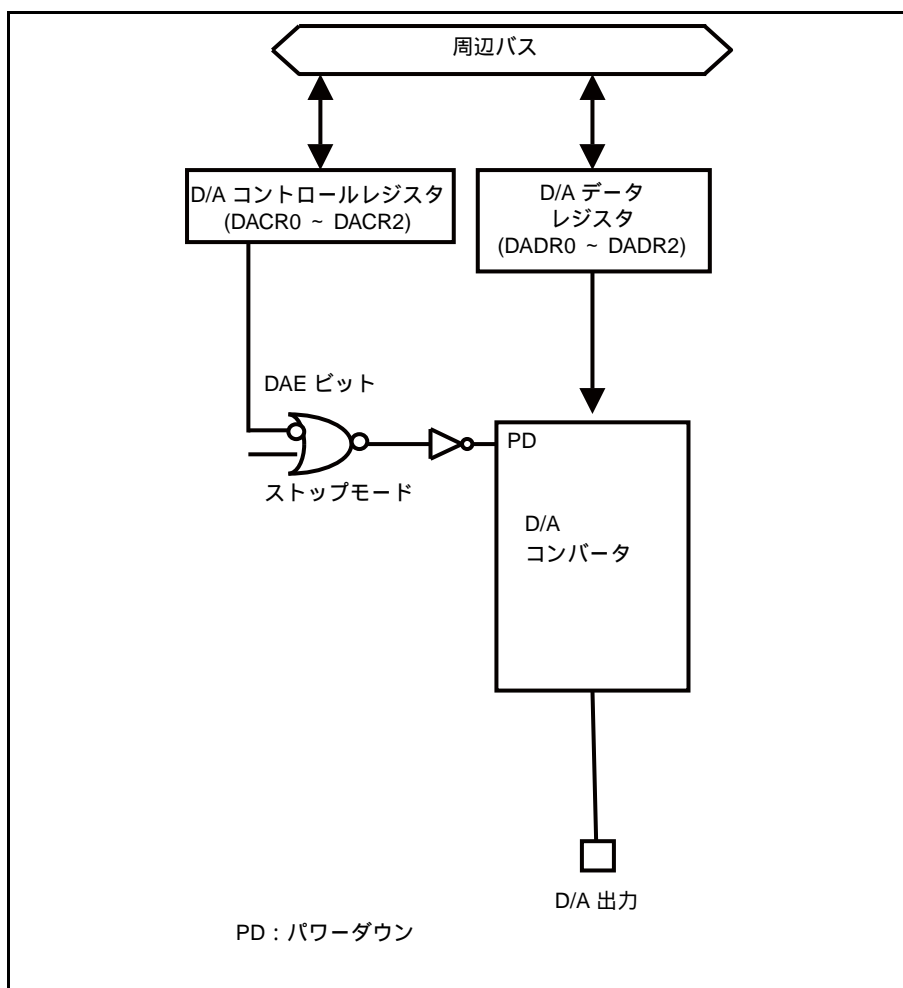
26.2 構成

8 ビット D/A コンバータの構成を示します。

■ 8 ビット D/A コンバータのブロックダイアグラム

8 ビット D/A コンバータのブロックダイアグラムを図 26.2-1 に示します。

図 26.2-1 8 ビット D/A コンバータのブロックダイアグラム



- D/A コントロールレジスタ (DACR0~DACR2)
8 ビット D/A コンバータからの出力を制御するレジスタです。
- D/A データレジスタ (DADR0~DADR2)
D/A コンバータの出力電圧を設定するレジスタです。
- 8 ビット D/A コンバータ
デジタル値をアナログ値に変換します。

■ クロック

8 ビット D/A コンバータで使用するクロックを表 26.2-1 に示します。

表 26.2-1 8 ビット D/A コンバータで使用するクロック

クロック名	内容
動作クロック	周辺クロック (PCLK)

26.3 端子

8 ビット D/A コンバータで使用する端子について説明します。

■ 概要

8 ビット D/A コンバータには次の端子があります。

- DA0 ~ DA2 端子

8 ビット D/A コンバータのアナログ出力端子です。

この端子は兼用端子です。8 ビット D/A コンバータの DA0 ~ DA2 端子として使用するには、「2.4 端子の設定方法」を参照してください。

■ 端子とチャネルの対応

チャネルと端子の対応を表 26.3-1 に示します。

表 26.3-1 チャネルと端子の対応

チャネル	アナログ出力端子
0	DA0
1	DA1
2	DA2

26.4 レジスタ

8 ビット D/A コンバータで使用するレジスタの構成と機能について説明します。

■ 8 ビット D/A コンバータのレジスタ一覧

8 ビット D/A コンバータのレジスタ一覧を表 26.4-1 に示します。

表 26.4-1 8 ビット D/A コンバータのレジスタ一覧

チャンネル	レジスタ略称	レジスタ名	参照先
0	DADR0	D/A データレジスタ 0	26.4.1
	DACR0	D/A コントロールレジスタ 0	26.4.2
1	DADR1	D/A データレジスタ 1	26.4.1
	DACR1	D/A コントロールレジスタ 1	26.4.2
2	DADR2	D/A データレジスタ 2	26.4.1
	DACR2	D/A コントロールレジスタ 2	26.4.2

26.4.1 D/A データレジスタ (DADR0~DADR2)

DA0 ~ DA2 端子からの出力電圧を設定するレジスタです。このレジスタに格納された値を元に D/A コンバータからの出力電圧が算出されます。

D/A データレジスタ (DADR0 ~ DADR2) のビット構成を図 26.4-1 に示します。

図 26.4-1 D/A データレジスタ (DADR0 ~ DADR2) のビット構成

	bit							
	7	6	5	4	3	2	1	0
	DA7	DA6	DA5	DA4	DA3	DA2	DA1	DA0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	X	X	X	X	X	X	X	X
R/W : リード / ライト可能								
X : 不定								

このレジスタの設定値と出力電圧の対応を表 26.4-2 に示します。

表 26.4-2 設定値と出力電圧の対応

DA7 ~ DA0	出力電圧
0000 0000	$0/256 \times AV_{CC}$
0000 0001	$1/256 \times AV_{CC}$
0000 0010	$2/256 \times AV_{CC}$
~	~
1111 1101	$253/256 \times AV_{CC}$
1111 1110	$254/256 \times AV_{CC}$
1111 1111	$255/256 \times AV_{CC}$

AV_{CC} : AV_{CC} 端子からの入力電圧

< 注意事項 >

このレジスタはリセットしても初期化されません。

26.4.2 D/A コントロールレジスタ (DACR0~DACR2)

8 ビット D/A コンバータからの出力を制御するレジスタです。
D/A コントロールレジスタ (DACR0~DACR2) のビット構成を図 26.4-2 に示します。

図 26.4-2 D/A コントロールレジスタ (DACR0~DACR2) のビット構成

bit	7	6	5	4	3	2	1	0
	未定義	未定義	未定義	未定義	未定義	未定義	未定義	DAE
属性	-	-	-	-	-	-	-	R/W
初期値	X	X	X	X	X	X	X	0

R/W：リード / ライト可能
-：未定義
X：不定

[bit7 ~ bit1]：未定義ビット

書込み時	無視されます。
読出し時	値は不定です。

[bit0]：DAE (D/A 出力許可ビット)

8 ビット D/A コンバータからの出力を許可 / 禁止します。

書込み値	説明
0	D/A コンバータからの出力を禁止します。
1	D/A コンバータからの出力を許可します。

26.5 動作説明と設定手順例

8 ビット D/A コンバータの動作について説明します。また、動作状態を設定するための手順例も示します。

26.5.1 8 ビット D/A コンバータの動作

8 ビット D/A コンバータは、D/A データレジスタ (DADR0~DADR2) に書き込まれた値を元に出力電圧を算出し、DA0 ~ DA2 端子からアナログ電圧を出力します。

D/A データレジスタ (DADR0 ~ DADR2) の DA7 ~ DA0 ビットに値を書き込み、D/A コントロールレジスタ (DACR0~DACR 2) の DAE ビットに "1" を書き込むと、8 ビット D/A コンバータからアナログ信号が出力されます。

D/A コントロールレジスタ (DACR0~DACR 2) の DAE ビットに "0" を書き込んだ場合は、D/A コンバータからは 0.0V が出力されます。また、DAE ビットに "0" を書き込んだ場合は、CPU がストップモードの場合も D/A コンバータからは 0.0V が出力されます。

< 注意事項 >

- AV_{CC} 端子は、10 ビット A/D コンバータと共用されています。
 - この D/A コンバータはバッファアンプを内蔵していません。特性については、『データシート』を参照してください。
-

第 27 章 マルチファンク ションシリアル インタフェース

マルチファンクションシリアルインタフェースの
機能と動作について説明します。

- 27.1 マルチファンクションシリアルインタフェースの特長
- 27.2 UART(非同期シリアルインタフェース)
- 27.3 UART(非同期シリアルインタフェース)の概要
- 27.4 UART(非同期シリアルインタフェース)のレジスタ
- 27.5 UARTの割込み
- 27.6 UARTの動作
- 27.7 専用ボーレートジェネレータ
- 27.8 動作モード0(非同期ノーマルモード)設定手順とプログラムフロー
- 27.9 動作モード1(非同期マルチプロセッサモード)設定手順とプログラムフロー
- 27.10 UARTモードの注意事項
- 27.11 CSIO(クロック同期シリアルインタフェース)
- 27.12 CSIO(クロック同期シリアルインタフェース)の概要
- 27.13 CSIO(クロック同期シリアルインタフェース)のレジスタ
- 27.14 CSIO(クロック同期シリアルインタフェース)の割込み
- 27.15 CSIO(クロック同期シリアルインタフェース)の動作
- 27.16 専用ボーレートジェネレータ
- 27.17 CSIO(クロック同期シリアルインタフェース)設定手順とプログラムフロー
- 27.18 CSIOモードの注意事項
- 27.19 I²C インタフェース
- 27.20 I²C インタフェースの概要
- 27.21 I²C インタフェースのレジスタ
- 27.22 I²C インタフェースの割込み
- 27.23 専用ボーレートジェネレータ
- 27.24 I²C モードの注意事項

27.1 マルチファンクションシリアルインタフェースの特長

マルチファンクションシリアルインタフェースには以下の特長があります。

■ インタフェースモード

マルチファンクションシリアルインタフェースは動作モードの設定により、以下のインタフェースモードを選択可能です。

- UART0 (非同期ノーマルシリアルインタフェース)
- UART1 (非同期マルチプロセッサシリアルインタフェース)
- CSIO (クロック同期式シリアルインタフェース) (SPI に対応可能)
- I²C (I²C バスインタフェース)

■ インタフェースモードの切換え

各シリアルインタフェースで通信を行う場合には、表 27.1-1 のシリアルモードレジスタ (SMR) で動作モードを設定してから通信を開始します。

表 27.1-1 インタフェースモードの切換え

MD2	MD1	MD0	インタフェースモード
0	0	0	UART0 (非同期ノーマルシリアルインタフェース)
0	0	1	UART1 (非同期マルチプロセッサシリアルインタフェース)
0	1	0	CSIO (クロック同期式シリアルインタフェース) (SPI に対応可能)
1	0	0	I ² C (I ² C バスインタフェース)

(注意事項) 上記以外は設定禁止です。

< 注意事項 >

- 1つのシリアルインタフェースで送信あるいは受信動作中にモードの切換えを行った場合の送受信に関する動作の保証はできません。
- 動作モードを変更すると、ほかのレジスタは初期化されますので動作モードは最初に設定してください。ただし、16 ビット書込みで SCR と SMR を同時に書き込んだとき、SCR には書き込んだ内容が反映されます。

■ チャネル数

本製品はマルチファンクションシリアルインタフェースを 12 チャネル内蔵しています。

ch.0 には I²C 機能はありません。

■ 送受信 FIFO

16 バイトの送信用 FIFO と 16 バイトの受信用 FIFO を搭載しています。以降の説明における FIFO 段数は 16 バイトに読み換えてください。

ch.0 ~ ch.7 には FIFO はありません。

27.2 UART(非同期シリアルインタフェース)

マルチファンクションシリアルインタフェースの機能のうち , 動作モード 0, 1 でサポートしている UART 機能について説明します。

- UART(非同期シリアルインタフェース)
- UART(非同期シリアルインタフェース) の概要
- UART(非同期シリアルインタフェース) のレジスタ
 - シリアル制御レジスタ (SCR)
 - シリアルモードレジスタ (SMR)
 - シリアルステータスレジスタ (SSR)
 - 拡張通信制御レジスタ (ESCR)
 - 受信データレジスタ / 送信データレジスタ (RDR/TDR)
 - ボーレートジェネレータレジスタ 1, 0 (BGR1, BGR0)
 - FIFO 制御レジスタ 1(FCR1)
 - FIFO 制御レジスタ 0(FCR0)
 - FIFO バイトレジスタ (FBYTE1/FBYTE2)
- UART の割込み
 - 受信割込み発生とフラグセットのタイミング
 - 受信 FIFO 使用時の割込み発生とフラグセットの タイミング
 - 送信割込み発生とフラグセットのタイミング
 - 送信 FIFO 使用時の割込み発生とフラグセットの タイミング
- UART の動作
- 専用ボーレートジェネレータ
 - ボーレート設定
- 動作モード 0 (非同期 ノーマルモード) 設定手順と プログラムフロー
- 動作モード 1 (非同期マルチプロセッサモード) 設定手順とプログラムフロー

27.3 UART(非同期シリアルインタフェース) の概要

UART(非同期シリアルインタフェース) は , 外部装置と非同期通信 (調歩同期) をするための汎用のシリアルデータ通信インタフェースです。双方向通信機能 (ノーマルモード) , マスタ / スレーブ型通信機能 (マルチプロセッサモード : マスタ / スレーブ両方サポート) をサポートしています。また , 送信 / 受信用の FIFO を搭載しています。

■ UART(非同期シリアルインタフェース) の機能

		機能
1	データ	<ul style="list-style-type: none"> 全二重ダブルバッファ (FIFO 未使用時) 送信 / 受信 FIFO (サイズ最大各 16 バイト) (FIFO 使用時) *1
2	シリアル入力	3 回オーバーサンプリングを行い , サンプル値の多数決により受信値を決定します。
3	転送形式	非同期
4	ボーレート	<ul style="list-style-type: none"> 専用ボーレートジェネレータ (15 ビットリロードカウンタ構成) 外部クロック入力をリロードカウンタで調節可能。
5	データ長	5 ビット ~ 9 ビット (ノーマルモード時) , 7 ビット , 8 ビット (マルチプロセッサモード時)
6	信号方式	NRZ (Non Return to Zero) , 反転 NRZ
7	スタートビット検出	<ul style="list-style-type: none"> スタートビット立下りエッジに同期 (NRZ 方式の場合) スタートビット立上りエッジに同期 (反転 NRZ 方式の場合)
8	受信エラー検出	<ul style="list-style-type: none"> フレーミングエラー オーバランエラー パリティエラー *2
9	割込み要求	<ul style="list-style-type: none"> 受信割込み (受信完了 , フレーミングエラー , オーバランエラー , パリティエラー *2) 送信割込み (送信データエンプティ , 送信バスアイドル) 送信 FIFO 割込み (送信 FIFO がエンプティのとき) 送受信 DMA 転送サポート機能あり
10	マスタ / スレーブ型通信機能 (マルチプロセッサモード)	1 (マスタ) 対 n (スレーブ) 間の通信が可能 (マスタとスレーブシステムの両方をサポート)
11	FIFO オプション	<ul style="list-style-type: none"> 送受信 FIFO 搭載 (最大容量 : 送信 FIFO 16 バイト , 受信 FIFO 16 バイト) *1 送信 FIFO と受信 FIFO を選択可能 送信データ再送可能 受信 FIFO 割込みタイミングをソフトで変更可能 独立して FIFO リセットサポート

*1: ch.0 ~ ch.7 には FIFO はありません。

*2: パリティエラーはノーマルモード時のみ。

27.4 UART(非同期シリアルインタフェース) のレジスタ

UART(非同期シリアルインタフェース) のレジスタ一覧を示します。

■ UART(非同期シリアルインタフェース) のレジスタ一覧

表 27.4-1 UART(非同期シリアルインタフェース) のレジスタ一覧 (1 / 3)

チャンネル	レジスタ略称	レジスタ名	参照先
0	SCR0	シリアル制御レジスタ 0	27.4.1
	SMR0	シリアルモードレジスタ 0	27.4.2
	ESCR0	拡張通信制御レジスタ 0	27.4.4
	BGR0	ボーレートジェネレータレジスタ 0	27.4.6
	SSR0	シリアルステータスレジスタ 0	27.4.3
	RDR0	受信データレジスタ 0	27.4.5
	TDR0	送信データレジスタ 0	27.4.5
1	SCR1	シリアル制御レジスタ 1	27.4.1
	SMR1	シリアルモードレジスタ 1	27.4.2
	ESCR1	拡張通信制御レジスタ 1	27.4.4
	BGR1	ボーレートジェネレータレジスタ 1	27.4.6
	SSR1	シリアルステータスレジスタ 1	27.4.3
	RDR1	受信データレジスタ 1	27.4.5
	TDR1	送信データレジスタ 1	27.4.5
2	SCR2	シリアル制御レジスタ 2	27.4.1
	SMR2	シリアルモードレジスタ 2	27.4.2
	ESCR2	拡張通信制御レジスタ 2	27.4.4
	BGR2	ボーレートジェネレータレジスタ 2	27.4.6
	SSR2	シリアルステータスレジスタ 2	27.4.3
	RDR2	受信データレジスタ 2	27.4.5
	TDR2	送信データレジスタ 2	27.4.5
3	SCR3	シリアル制御レジスタ 3	27.4.1
	SMR3	シリアルモードレジスタ 3	27.4.2
	ESCR3	拡張通信制御レジスタ 3	27.4.4
	BGR3	ボーレートジェネレータレジスタ 3	27.4.6
	SSR3	シリアルステータスレジスタ 3	27.4.3
	RDR3	受信データレジスタ 3	27.4.5
	TDR3	送信データレジスタ 3	27.4.5

表 27.4-1 UART(非同期シリアルインタフェース) のレジスタ一覧 (2 / 3)

チャネル	レジスタ略称	レジスタ名	参照先
4	SCR4	シリアル制御レジスタ 4	27.4.1
	SMR4	シリアルモードレジスタ 4	27.4.2
	ESCR4	拡張通信制御レジスタ 4	27.4.4
	BGR4	ボーレートジェネレータレジスタ 4	27.4.6
	SSR4	シリアルステータスレジスタ 4	27.4.3
	RDR4	受信データレジスタ 4	27.4.5
	TDR4	送信データレジスタ 4	27.4.5
5	SCR5	シリアル制御レジスタ 5	27.4.1
	SMR5	シリアルモードレジスタ 5	27.4.2
	ESCR5	拡張通信制御レジスタ 5	27.4.4
	BGR5	ボーレートジェネレータレジスタ 5	27.4.6
	SSR5	シリアルステータスレジスタ 5	27.4.3
	RDR5	受信データレジスタ 5	27.4.5
	TDR5	送信データレジスタ 5	27.4.5
6	SCR6	シリアル制御レジスタ 6	27.4.1
	SMR6	シリアルモードレジスタ 6	27.4.2
	ESCR6	拡張通信制御レジスタ 6	27.4.4
	BGR6	ボーレートジェネレータレジスタ 6	27.4.6
	SSR6	シリアルステータスレジスタ 6	27.4.3
	RDR6	受信データレジスタ 6	27.4.5
	TDR6	送信データレジスタ 6	27.4.5
7	SCR7	シリアル制御レジスタ 7	27.4.1
	SMR7	シリアルモードレジスタ 7	27.4.2
	ESCR7	拡張通信制御レジスタ 7	27.4.4
	BGR7	ボーレートジェネレータレジスタ 7	27.4.6
	SSR7	シリアルステータスレジスタ 7	27.4.3
	RDR7	受信データレジスタ 7	27.4.5
	TDR7	送信データレジスタ 7	27.4.5
8	SCR8	シリアル制御レジスタ 8	27.4.1
	SMR8	シリアルモードレジスタ 8	27.4.2
	ESCR8	拡張通信制御レジスタ 8	27.4.4
	BGR8	ボーレートジェネレータレジスタ 8	27.4.6
	SSR8	シリアルステータスレジスタ 8	27.4.3
	RDR8	受信データレジスタ 8	27.4.5
	TDR8	送信データレジスタ 8	27.4.5
	FCR18	FIFO 制御レジスタ 18	27.4.7
	FCR08	FIFO 制御レジスタ 08	27.4.8
	FBYTE18	FIFO1 バイトレジスタ 8	27.4.9
	FBYTE28	FIFO2 バイトレジスタ 8	27.4.9

表 27.4-1 UART(非同期シリアルインタフェース) のレジスタ一覧 (3 / 3)

チャンネル	レジスタ略称	レジスタ名	参照先
9	SCR9	シリアル制御レジスタ 9	27.4.1
	SMR9	シリアルモードレジスタ 9	27.4.2
	ESCR9	拡張通信制御レジスタ 9	27.4.4
	BGR9	ボーレートジェネレータレジスタ 9	27.4.6
	SSR9	シリアルステータスレジスタ 9	27.4.3
	RDR9	受信データレジスタ 9	27.4.5
	TDR9	送信データレジスタ 9	27.4.5
	FCR19	FIFO 制御レジスタ 19	27.4.7
	FCR09	FIFO 制御レジスタ 09	27.4.8
	FBYTE19	FIFO1 バイトレジスタ 9	27.4.9
	FBYTE29	FIFO2 バイトレジスタ 9	27.4.9
10	SCR10	シリアル制御レジスタ 10	27.4.1
	SMR10	シリアルモードレジスタ 10	27.4.2
	ESCR10	拡張通信制御レジスタ 10	27.4.4
	BGR10	ボーレートジェネレータレジスタ 10	27.4.6
	SSR10	シリアルステータスレジスタ 10	27.4.3
	RDR10	受信データレジスタ 10	27.4.5
	TDR10	送信データレジスタ 10	27.4.5
	FCR110	FIFO 制御レジスタ 110	27.4.7
	FCR010	FIFO 制御レジスタ 010	27.4.8
	FBYTE110	FIFO1 バイトレジスタ 10	27.4.9
	FBYTE210	FIFO2 バイトレジスタ 10	27.4.9
11	SCR11	シリアル制御レジスタ 11	27.4.1
	SMR11	シリアルモードレジスタ 11	27.4.2
	ESCR11	拡張通信制御レジスタ 11	27.4.4
	BGR11	ボーレートジェネレータレジスタ 11	27.4.6
	SSR11	シリアルステータスレジスタ 11	27.4.3
	RDR11	受信データレジスタ 11	27.4.5
	TDR11	送信データレジスタ 11	27.4.5
	FCR111	FIFO 制御レジスタ 111	27.4.7
	FCR011	FIFO 制御レジスタ 011	27.4.8
	FBYTE111	FIFO1 バイトレジスタ 11	27.4.9
	FBYTE211	FIFO2 バイトレジスタ 11	27.4.9

表 27.4-2 UART (非同期シリアルインタフェース) ビット配置

<div></div>	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
SCR/SMR	UPCL	-	-	RIE	TIE	TBIE	RXE	TXE	MD2	MD1	MD0	-	SBL	BDS	SCKE	SOE
SSR/ ESCR	REC	-	PE	FRE	ORE	RDRF	TDRE	TBI	-	ESBL	INV	PEN	P	L2	L1	L0
RDR/TDR	-							D8 (AD)	D7	D6	D5	D4	D3	D2	D1	D0
BGR1/ BGR0	EXT	B14	B13	B12	B11	B10	B9	B8	B7	B6	B5	B4	B3	B2	B1	B0
-	-								-							
FCR1/ FCR0	-	-	-	FLSTE	FRIIE	FDRQ	FTIE	FSEL	-	FLST	FLD	FSET	FCL2	FCL1	FE2	FE1
FBYTE2/ FBYTE1	FD15	FD14	FD13	FD12	FD11	FD10	FD9	FD8	FD7	FD6	FD5	FD4	FD3	FD2	FD1	FD0

■ 動作モード

UART(非同期シリアルインタフェース)は、2つの異なるモードで動作します。シリアルモードレジスタ (SMR) の MD2, MD1, MD0 によって決定されます。

表 27.4-3 UART(非同期シリアルインタフェース)の動作モード

動作モード	MD2	MD1	MD0	種類
0	0	0	0	UART0 (非同期ノーマルモード)
1	0	0	1	UART1 (非同期マルチプロセッサモード)

27.4.1 シリアル制御レジスタ (SCR)

シリアル制御レジスタ (SCR) は、送受信の許可 / 禁止、送受信割込みの許可 / 禁止、送信バスアイドル割込みの許可 / 禁止、UART リセットをすることができます。

■ シリアル制御レジスタ (SCR)

図 27.4-1 にシリアル制御レジスタ (SCR) のビット構成を、表 27.4-4 に各ビットの機能を示します。

図 27.4-1 シリアル制御レジスタ (SCR) のビット構成

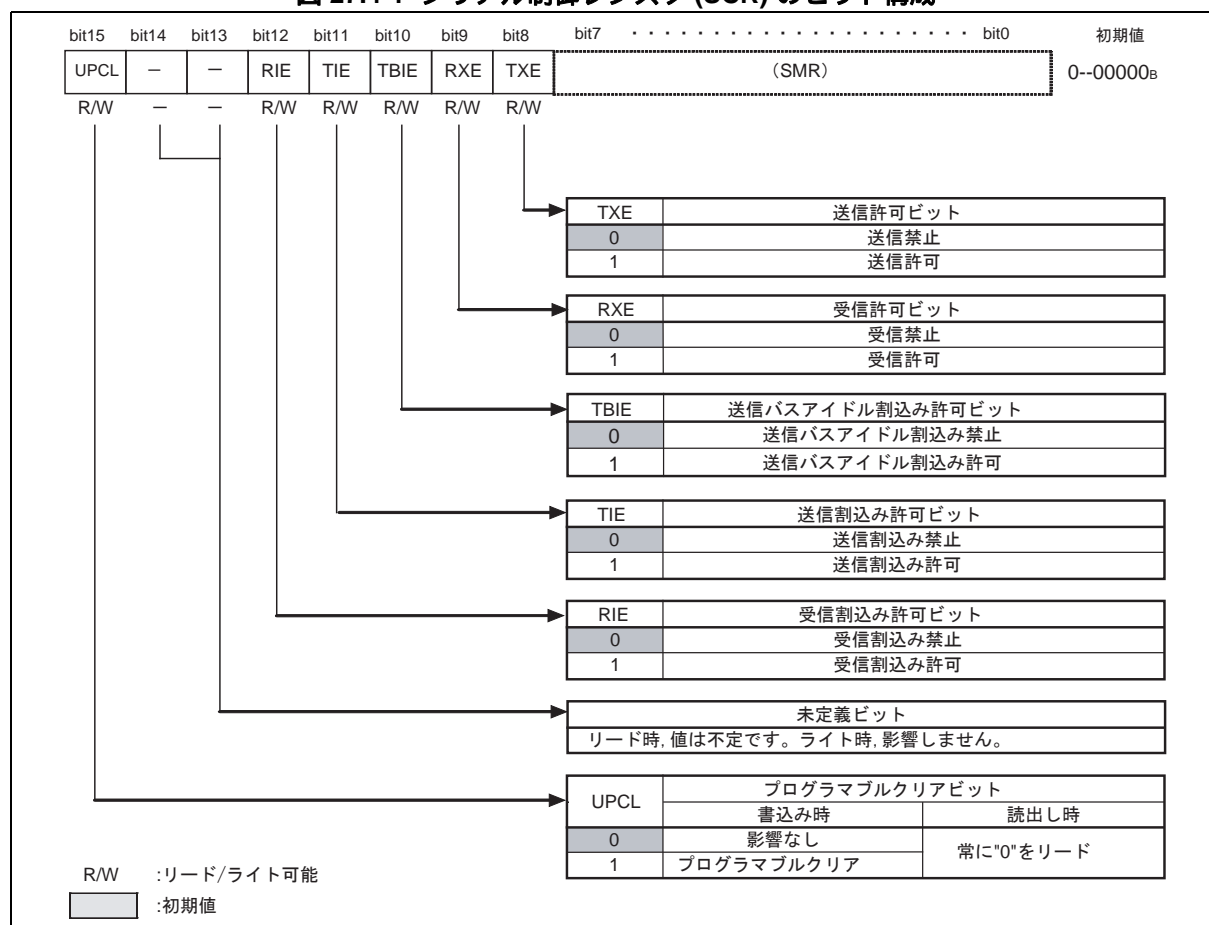


表 27.4-4 シリアル制御レジスタ (SCR) の各ビットの機能説明 (1 / 2)

ビット名		機能
bit15	UPCL : プログラマブル クリアビット	<p>UART の内部状態を初期化するビットです。</p> <p>"1" を設定した場合 :</p> <ul style="list-style-type: none"> UART を直接リセット (ソフトウェアリセット) します。ただし、レジスタの設定は維持されます。その際、送受信状態のものは直ちに切断されます。 ボーレートジェネレータは、BGR1/BGR0 レジスタの設定値をリロードし、再スタートします。 すべての送受信割込み要因 (PE, FRE, ORE, RDRF, TDRE, TBI) は初期化 (000011_B) されます。 <p>"0" を設定した場合 : 影響ありません。</p> <p>リード時は、常に "0" が読み出されます。</p> <p>(注意事項) 割込み禁止に設定した後に、プログラマブルクリアを実行してください。</p> <p>FIFO 使用時は、FIFO 禁止 (FE2, FE1=0) にしてからプログラマブルクリアを実行してください。</p>
bit14, bit13	未定義ビット	<p>リードした場合 : 値は未定です。</p> <p>ライトした場合 : 影響しません。</p>
bit12	RIE : 受信割込み 許可ビット	<ul style="list-style-type: none"> CPU への受信割込み要求出力を許可 / 禁止するビットです。 RIE ビットと受信データフラグビット (RDRF) が "1" の場合、またはエラーフラグビット (PE, ORE, FRE) のいずれかが "1" の場合に受信割込み要求を出力します。
bit11	TIE : 送信割込み 許可ビット	<ul style="list-style-type: none"> CPU への送信割込み要求出力を許可 / 禁止するビットです。 TIE ビットと TDRE ビットが "1" の場合、送信割込み要求を出力します。
bit10	TBIE : 送信バス アイドル割込み 許可ビット	<ul style="list-style-type: none"> CPU への送信バスアイドル割込み要求出力を許可 / 禁止するビットです。 TBIE ビットと TBI ビットが "1" のとき、送信バスアイドル割込み要求を出力します。
bit9	RXE : 受信許可ビット	<p>UART の受信動作を許可 / 禁止します。</p> <ul style="list-style-type: none"> "0" に設定した場合 : 受信動作が禁止されます。 "1" に設定した場合 : 受信動作が許可されます。 <p>(注意事項) 受信動作許可 (RXE=1) にしても、スタートビットの立下りエッジ (NRZ フォーマット (INV=0) の場合) が入力されないと受信動作を開始しません (反転 NRZ フォーマット (INV=1) の場合は、立上りエッジが入力されるまで受信動作を開始しません)。</p> <p>受信中に受信動作を禁止 (RXE=0) した場合には、直ちに受信動作を停止します。</p>

表 27.4-4 シリアル制御レジスタ (SCR) の各ビットの機能説明 (2 / 2)

ビット名		機能
bit8	TXE : 送信許可ビット	UART の送信動作を許可 / 禁止します。 <ul style="list-style-type: none">• "0" に設定した場合：送信動作が禁止されます。• "1" に設定した場合：送信動作が許可されます。 (注意事項) 送信中に送信動作を禁止 (TXE=0) した場合には、直ちに送信動作を停止します。

27.4.2 シリアルモードレジスタ (SMR)

シリアルモードレジスタ (SMR) は、動作モードの設定、転送方向、データ長、ストップビット長の選択、およびシリアルデータとシリアルクロックの端子への出力許可 / 禁止の設定を行います。

■ シリアルモードレジスタ (SMR)

図 27.4-2 にシリアルモードレジスタ (SMR) のビット構成を、表 27.4-5 に各ビットの機能を示します。

図 27.4-2 シリアルモードレジスタ (SMR) のビット構成

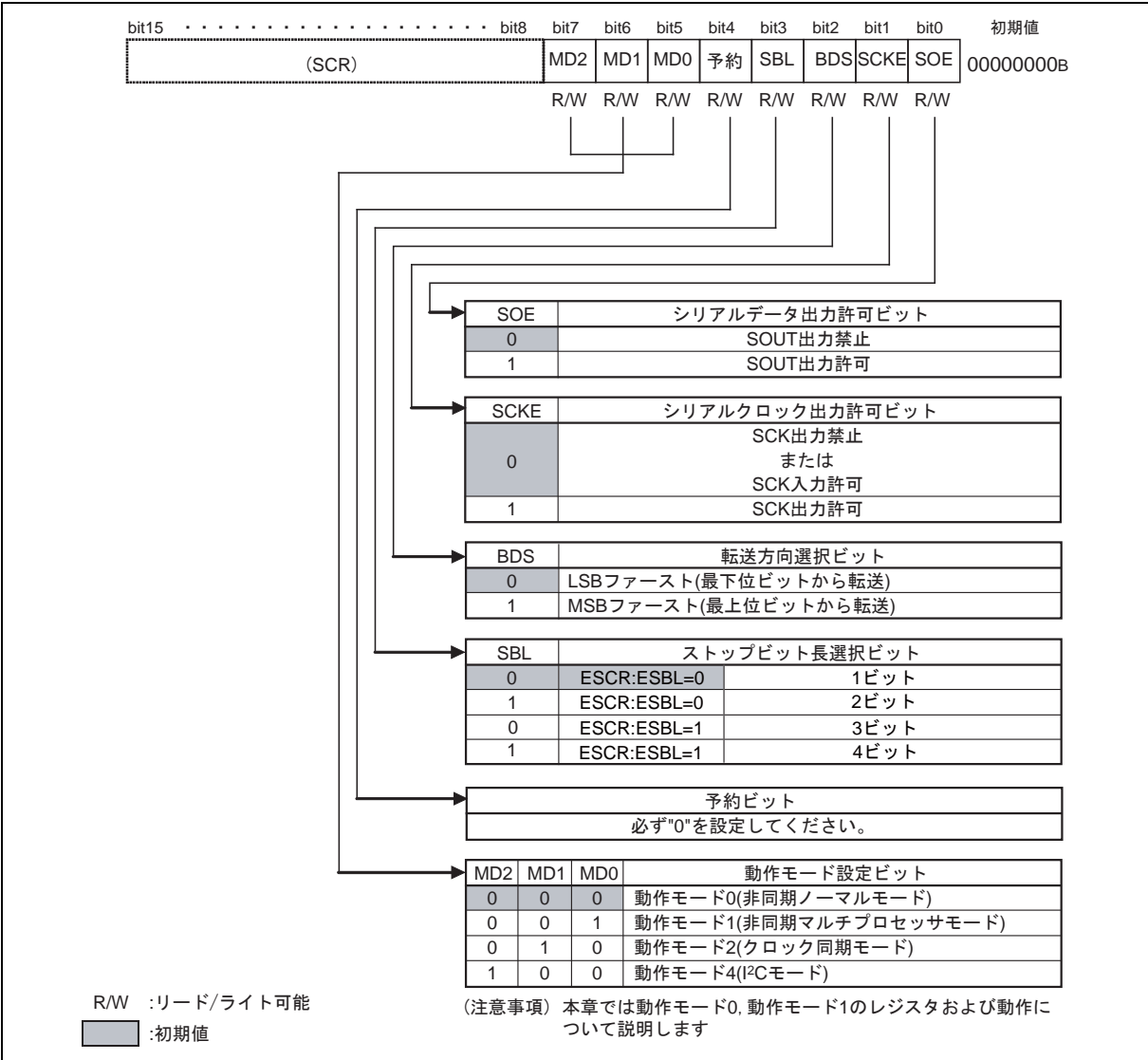


表 27.4-5 シリアルモードレジスタ (SMR) の各ビットの機能説明

ビット名		機能
bit7 ~ bit5	MD2, MD1, MD0 : 動作モード 設定ビット	<p>非同期シリアルインタフェースの動作モードを設定します。</p> <p>"000_B" : 動作モード 0 (非同期 ノーマルモード) に設定されます。</p> <p>"001_B" : 動作モード 1 (非同期マルチプロセッサモード) に設定されます。</p> <p>"010_B" : 動作モード 2 (クロック同期モード) に設定されます。</p> <p>"100_B" : 動作モード 4 (I²C モード) に設定されます。</p> <p>本章では動作モード 0 (非同期 ノーマルモード), 動作モード 1 (非同期マルチプロセッサモード) のレジスタまたは動作について説明します。</p> <p>(注意事項) 上記の設定以外は禁止です。</p> <p>動作モードを切り換える場合は, プログラマブルクリア実行 (SCR:UPCL=1) 後, 動作モードを切り換えてください。動作モード設定後, 各レジスタを設定してください。</p>
bit4	予約ビット	必ず "0" を設定してください。
bit3	SBL : ストップ ビット長選択 ビット	<p>ストップビット (送信データのフレームエンドマーク) のビット長を設定します。</p> <p>SBL=0, ESCR:ESBL=0 に設定した場合 : ストップビットは 1 ビットに設定されます。</p> <p>SBL=1, ESCR:ESBL=0 に設定した場合 : ストップビットは 2 ビットに設定されます。</p> <p>SBL=0, ESCR:ESBL=1 に設定した場合 : ストップビットは 3 ビットに設定されます。</p> <p>SBL=1, ESCR:ESBL=1 に設定した場合 : ストップビットは 4 ビットに設定されます。</p> <p>(注意事項)</p> <ul style="list-style-type: none"> 受信時は, 常にストップビットの 1 ビット目だけを検出します。 本ビットは送信が禁止 (TXE=0) のときに設定してください。
bit2	BDS : 転送方向選択 ビット	<p>転送シリアルデータを最下位ビット側から先に転送するか (LSB ファースト, BDS=0) 最上位ビット側から先に転送するか (MSB ファースト, BDS=1) を選択するビットです。</p> <p>(注意事項) 本ビットは, 送受信が禁止 (TXE=RXE=0) のときに設定してください。</p>
bit1	SCKE: シリアル クロック出力 許可ビット	<p>シリアルクロックの入出力ポートを制御するビットです。</p> <p>"0" に設定した場合 :</p> <p>SCK "H" 出力, または SCK 入力許可となります。SCK 入力として使う場合は汎用入出力ポートを入力ポートに設定してください。また, 外部クロック選択ビットによって外部クロックを選択 (BGR:EXT=1) してください。</p> <p>"1" に設定した場合 : SCK 出力許可となります。</p>
bit0	SOE: シリアル データ出力 許可ビット	<p>シリアルデータの出力を許可 / 禁止するビットです。</p> <p>"0" に設定した場合 : 出力禁止です。</p> <p>"1" に設定した場合 : SOUT 出力許可となります。</p>

< 注意事項 >

動作モードを変更すると、ほかのレジスタは初期化されますので動作モードは最初に設定してください。ただし、16 ビット書込みで SCR と SMR を同時に書き込んだとき、SCR には書き込んだ内容が反映されます。

27.4.3 シリアルステータスレジスタ (SSR)

シリアルステータスレジスタ (SSR) は、送受信の状態の確認、受信エラーフラグの確認、また、受信エラーフラグをクリアします。

■ シリアルステータスレジスタ (SSR)

図 27.4-3 にシリアルステータスレジスタ (SSR) のビット構成を、表 27.4-6 に各ビットの機能を示します。

図 27.4-3 シリアルステータスレジスタ (SSR) のビット構成

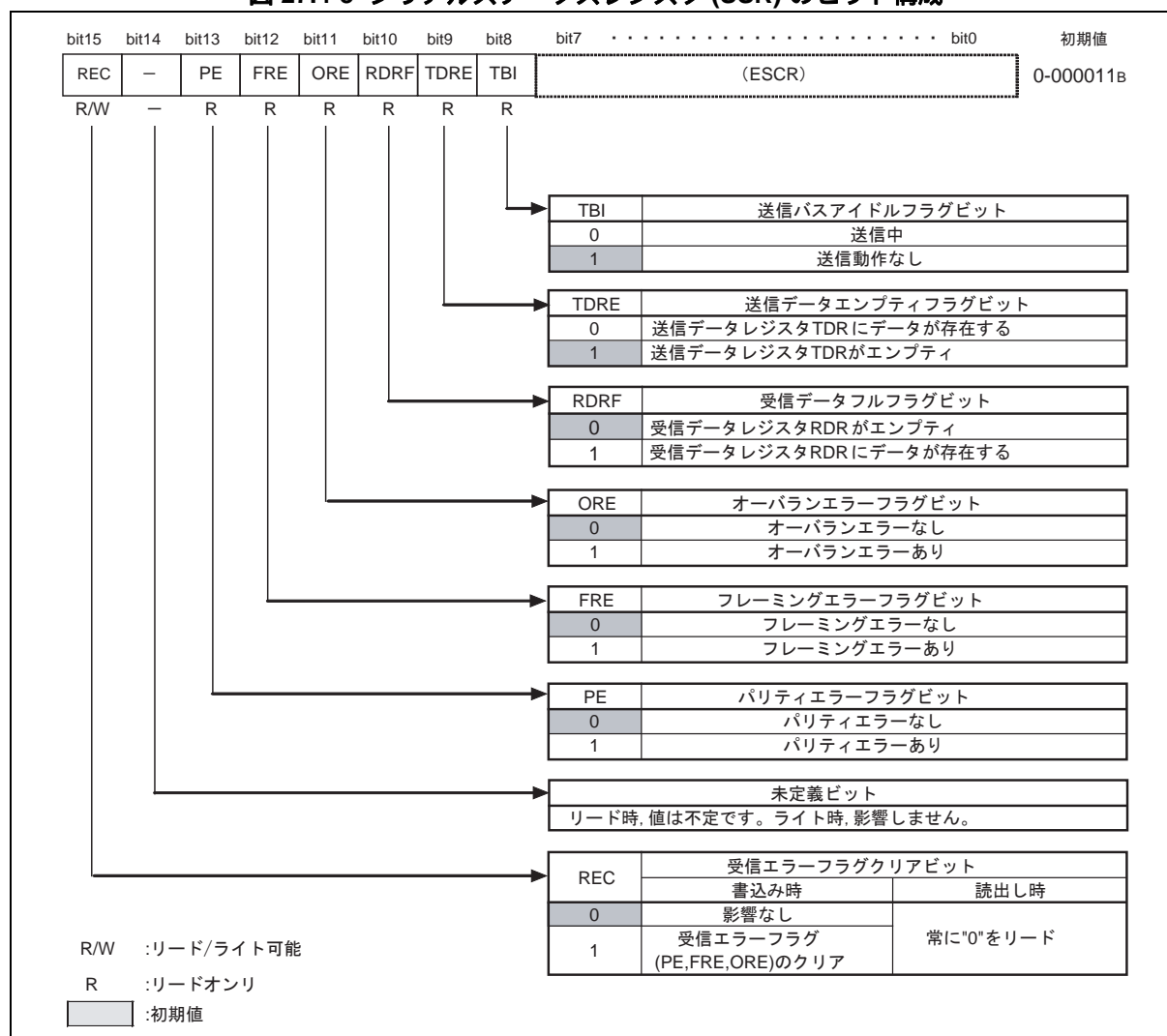


表 27.4-6 シリアルステータスレジスタ (SSR) の各ビットの機能説明 (1 / 2)

ビット名		機能
bit15	REC : 受信エラー フラグクリア ビット	シリアルステータスレジスタ (SSR) の PE, FRE, ORE フラグをクリアするビットです。 <ul style="list-style-type: none"> • "1" 書込みで、エラーフラグがクリアされます。 • "0" 書込みは、影響しません。 リードした場合、常に "0" が読み出されます。
bit14	未定義ビット	リードした場合 : 値は不定です。 ライトした場合 : 影響しません。
bit13	PE : パリティエラー フラグビット (動作モード 0 のみ機能)	<ul style="list-style-type: none"> • ESCR: PEN=1 で受信時にパリティエラーが発生すると "1" にセットされ、シリアルステータスレジスタ (SSR) の REC ビットに "1" を書き込むとクリアされます。 • PE ビットと SCR: RIE ビットが "1" の場合、受信割込み要求を出力します。 • 本フラグがセットされた場合は、受信データレジスタ (RDR) のデータは無効です。 • 受信 FIFO 使用時に本フラグがセットされた場合は、受信 FIFO の許可ビットがクリアされ、受信データは受信 FIFO には格納されません。
bit12	FRE : フレーミング エラーフラグ ビット	<ul style="list-style-type: none"> • 受信時にフレーミングエラーが発生すると "1" にセットされ、シリアルステータスレジスタ (SSR) の REC ビットに "1" を書き込むとクリアされます。 • FRE ビットと RIE ビットが "1" の場合、受信割込み要求を出力します。 • 本フラグがセットされた場合は、受信データレジスタ (RDR) のデータは無効です。 • 受信 FIFO 使用時に本フラグがセットされた場合は、受信 FIFO の許可ビットがクリアされ、受信データは受信 FIFO には格納されません。
bit11	ORE : オーバラン エラーフラグ ビット	<ul style="list-style-type: none"> • 受信時にオーバランが発生すると "1" にセットされ、シリアルステータスレジスタ (SSR) の REC ビットに "1" を書き込むとクリアされます。 • ORE ビットと RIE ビットが "1" の場合、受信割込み要求を出力します。 • 本フラグがセットされた場合は、受信データレジスタ (RDR) のデータは無効です。 • 受信 FIFO 使用時に本フラグがセットされた場合は、受信 FIFO の許可ビットがクリアされ、受信データは受信 FIFO には格納されません。

表 27.4-6 シリアルステータスレジスタ (SSR) の各ビットの機能説明 (2 / 2)

ビット名		機能
bit10	RDRF : 受信データ フルフラグ ビット	<ul style="list-style-type: none"> 受信データレジスタ (RDR) の状態を示すフラグです。 RDR に受信データがロードされると "1" にセットされ、受信データレジスタ (RDR) を読み出すと "0" にクリアされます。 RDRF ビットと RIE ビットが "1" の場合、受信割込み要求を出力します。 受信 FIFO 使用時は、受信 FIFO に所定のデータ数を受信したら RDRF が "1" にセットされます。 受信 FIFO 使用時に、受信 FIFO アイドル検出許可ビット (FCR1:FR1IE) が "1" で、受信 FIFO に所定のデータ数を受信せずに受信 FIFO にデータが残っていて受信アイドル状態がボーレートクロックで 8 クロック以上続いた場合、RDRF が "1" にセットされます。8 クロックカウント中、RDR を読み出すとそのカウンタは "0" にリセットされ、再度 8 クロックをカウントします。 受信 FIFO 使用時は、受信 FIFO がエンプティになると "0" にクリアされます。
bit9	TDRE : 送信データ エンプティ フラグビット	<ul style="list-style-type: none"> 送信データレジスタ (TDR) の状態を示すフラグです。 TDR に送信データを書き込むと "0" となり、TDR に有効なデータが存在していることを示します。データが送信シフトレジスタにロードされて送信が開始されると "1" になり、TDR に有効なデータが存在していないことを示します。 TDRE ビットと TIE ビットが "1" の場合、送信割込み要求を出力します。 シリアル制御レジスタ (SCR) の UPCL ビットに "1" をセットすると、TDRE ビットは "1" になります。 送信 FIFO 使用時の TDRE ビットのセット / リセットタイミングは、「27.5.4 送信 FIFO 使用時の割込み発生とフラグセットのタイミング」を参照してください。
bit8	TBI : 送信バス アイドルフラグ ビット	<ul style="list-style-type: none"> UART が送信動作をしていないことを示すビットです。 送信データレジスタ (TDR) へ送信データを書き込んだ場合に本ビットは "0" になります。 送信データレジスタがエンプティ (TDRE=1) で、送信動作をしていない場合に本ビットは "1" になります。 シリアル制御レジスタ (SCR) の UPCL ビットに "1" をセットすると TBI ビットは "1" になります。 本ビットが "1" で、送信バスアイドル割込みが許可 (SCR:TBIE=1) されていると送信割込み要求を出力します。

27.4.4 拡張通信制御レジスタ (ESCR)

拡張通信制御レジスタ (ESCR) は、送受信データ長の設定、ストップビット長の選択、パリティビットの許可/禁止、パリティビットの選択、シリアルデータフォーマットの反転の設定ができます。

■ 拡張通信制御レジスタ (ESCR) のビット構成

図 27.4-4 に拡張通信制御レジスタ (ESCR) のビット構成を、表 27.4-7 に各ビットの機能を示します。

図 27.4-4 拡張通信制御レジスタ (ESCR) のビット構成

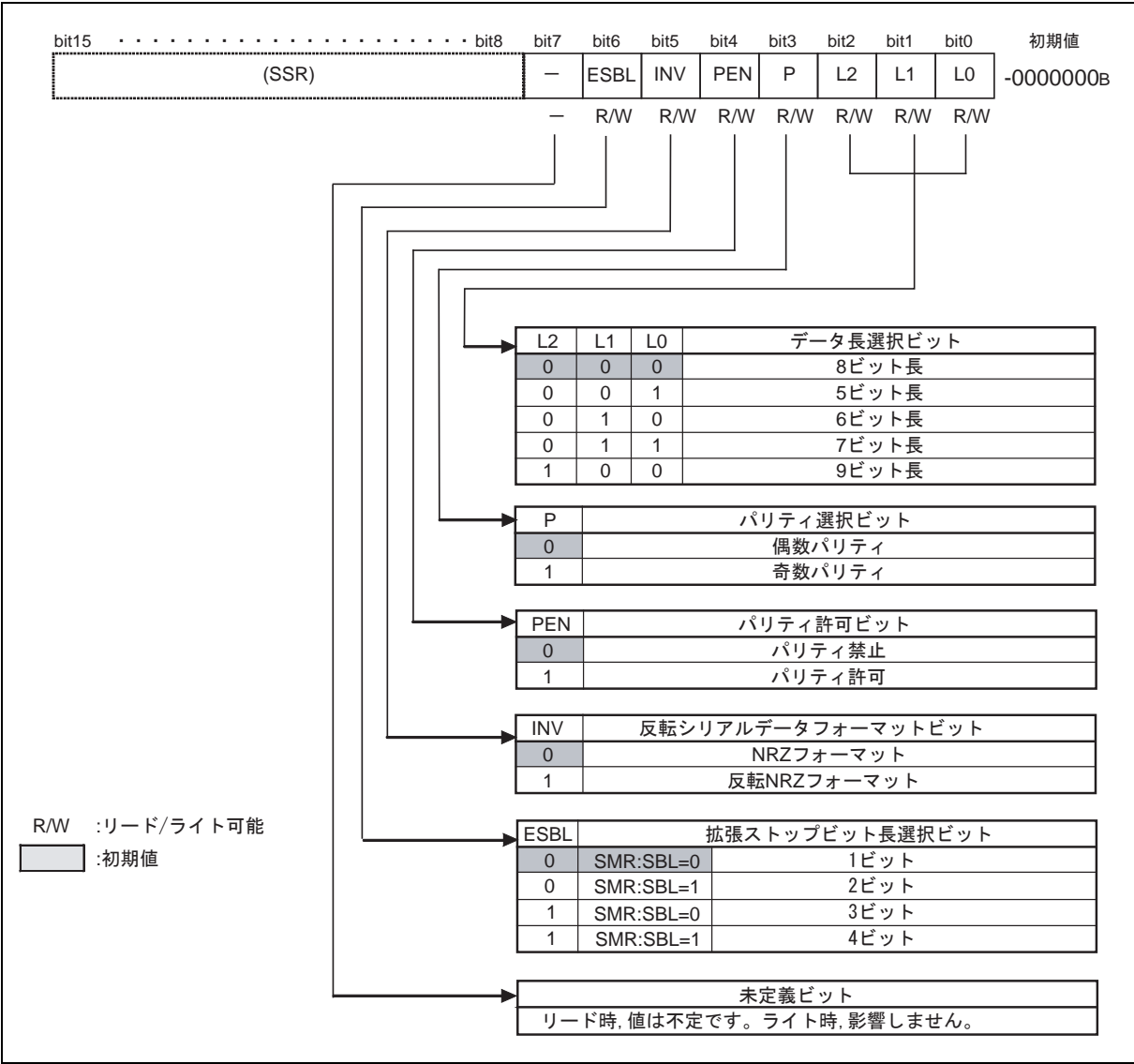


表 27.4-7 拡張通信制御レジスタ (ESCR) の各ビットの機能説明

ビット名		機能
bit7	未定義ビット	リードした場合：値は不定です。 ライトした場合：影響しません。
bit6	ESBL : 拡張ストップビット 長選択ビット	ストップビット (送信データのフレームエンドマーク) のビット 長を設定します。 SMR:SBL=0, ESBL=0 に設定した場合 : ストップビットは 1 ビットに設定されます。 SMR:SBL=1, ESBL=0 に設定した場合 : ストップビットは 2 ビットに設定されます。 SMR:SBL=0, ESBL=1 に設定した場合 : ストップビットは 3 ビットに設定されます。 SMR:SBL=1, ESBL=1 に設定した場合 : ストップビットは 4 ビットに設定されます。 (注意事項) <ul style="list-style-type: none"> 受信時は、常にストップビットの 1 ビット目だけを検出します。 本ビットは送信が禁止 (TXE=0) のときに設定してください。
bit5	INV : 反転シリアルデータ フォーマットビット	シリアルデータフォーマットを NRZ フォーマットまたは反転 NRZ フォーマットを選択します。
bit4	PEN : パリティ許可ビット (動作モード 0 のみ 機能)	パリティビットの付加 (送信時) と検出 (受信時) を行うかどう かを設定します。 <ul style="list-style-type: none"> "0" に設定した場合：パリティビットは付加されません。 "1" に設定した場合：パリティビットは付加されます。 (注意事項) 動作モード 1 のときは、本ビットは内部で "0" に固定されます。
bit3	P : パリティ選択ビット (動作モード 0 のみ 機能)	パリティあり (ESCR : PEN=1) に設定した場合に、奇数パリティ "1" か偶数パリティ "0" のいずれかに設定します。 <ul style="list-style-type: none"> "0" に設定した場合：偶数パリティに設定されます。 "1" に設定した場合：奇数パリティに設定されます。
bit2 ~ bit0	L2, L1, L0: データ長選択ビット	送受信データのデータ長を指定します。 <ul style="list-style-type: none"> "000_B" に設定した場合：データ長は、8 ビットに設定されます。 "001_B" に設定した場合：データ長は、5 ビットに設定されます。 "010_B" に設定した場合：データ長は、6 ビットに設定されます。 "011_B" に設定した場合：データ長は、7 ビットに設定されます。 "100_B" に設定した場合：データ長は、9 ビットに設定されます。 (注意事項) 上記以外の設定は禁止です。 動作モード 1 では、データ長を 7, 8 ビットに設定し てください。その他の設定は禁止です。

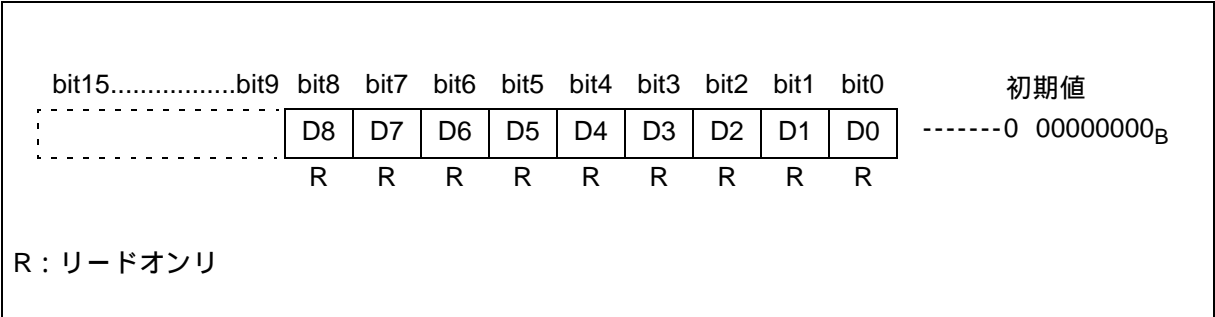
27.4.5 受信データレジスタ / 送信データレジスタ
(RDR/TDR)

受信データと送信データレジスタは同一アドレスに配置されています。読み出した場合は受信データレジスタとして機能し、書き込んだ場合は送信データレジスタとして機能します。
FIFO 動作許可の場合、RDR/TDR アドレスは FIFO 読出し、書込みアドレスとなります。

■ 受信データレジスタ (RDR)

図 27.4-5 にシリアル受信レジスタ (RDR) のビット構成を示します。

図 27.4-5 受信データレジスタ (RDR) のビット構成



受信データレジスタ (RDR) は、シリアルデータ受信用の 9 ビットのデータバッファレジスタです。

- シリアル入力端子 (SIN 端子) に送られてきたシリアルデータ信号がシフトレジスタで変換されて、受信データレジスタ (RDR) に格納されます。
- データ長に応じ、以下のように上位ビットに "0" が入ります。

データ長	D8	D7	D6	D5	D4	D3	D2	D1	D0
9 ビット	X	X	X	X	X	X	X	X	X
8 ビット	0	X	X	X	X	X	X	X	X
7 ビット	0	0	X	X	X	X	X	X	X
6 ビット	0	0	0	X	X	X	X	X	X
5 ビット	0	0	0	0	X	X	X	X	X

(X は受信データビット)

- 受信データが受信データレジスタ (RDR) に格納されると、受信データフルフラグビット (SSR : RDRF) が "1" にセットされます。受信割込みが許可されている場合 (SSR : RIE=1)、受信割込み要求が発生します。
- 受信データレジスタ (RDR) は、受信データフルフラグビット (SSR : RDRF) が "1" の状態で読み出してください。受信データフルフラグビット (SSR : RDRF) は、受信データレジスタ (RDR) を読み出すと自動的に "0" にクリアされます。

- 受信エラーが発生 (SSR : PE, ORE, FRE のいずれかが "1") した場合 , 受信データレジスタ (RDR) のデータは無効となります。
- 動作モード 1 (マルチプロセッサモード) では , 7 ビット , 8 ビット長の動作となり , 受信した AD ビットは , D8 ビットに格納されます。
- 9 ビット長転送 , および動作モード 1 の場合 , RDR の読出しは 16 ビットアクセスで行います。

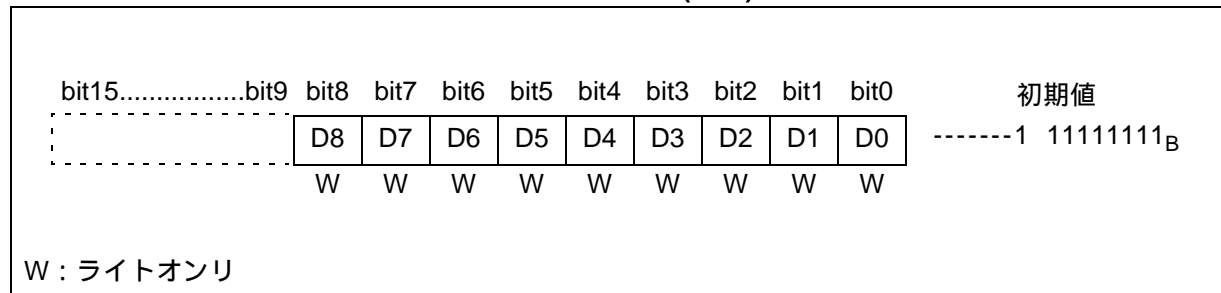
< 注意事項 >

- 受信 FIFO 使用時は , 受信 FIFO に所定のデータ数を受信したら RDRF が "1" にセットされます。
 - 受信 FIFO 使用時は , 受信 FIFO がエンプティになると RDRF が "0" にクリアされます。
 - 受信 FIFO 使用時に , 受信エラーが発生 (SSR : PE, ORE, FRE のいずれかが "1") した場合 , 受信 FIFO の許可ビットはクリアされ , 受信データは受信 FIFO には格納されません。
-

■ 送信データレジスタ (TDR)

図 27.4-6 に送信データレジスタのビット構成を示します。

図 27.4-6 送信データレジスタ (TDR) のビット構成



送信データレジスタ (TDR) は、シリアルデータ送信用の 9 ビットデータバッファレジスタです。

- 送信動作が許可されている場合に (SCR : TXE=1)、送信するデータを送信データレジスタ (TDR) に書き込むと送信データが送信用シフトレジスタに転送され、シリアルデータに変換されてシリアルデータ出力端子 (SOUT 端子) から送出されます。
- データ長に応じ、以下のように上位ビットから順に無効データとなります。

データ長	D8	D7	D6	D5	D4	D3	D2	D1	D0
9 ビット	X	X	X	X	X	X	X	X	X
8 ビット	無効	X	X	X	X	X	X	X	X
7 ビット	無効	無効	X	X	X	X	X	X	X
6 ビット	無効	無効	無効	X	X	X	X	X	X
5 ビット	無効	無効	無効	無効	X	X	X	X	X

(X は送信データビット)

- 送信データエンプティフラグ (SSR : TDRE) は、送信データが送信データレジスタ (TDR) に書き込まれると "0" クリアされます。
- 送信データエンプティフラグ (SSR : TDRE) は、送信データが送信用シフトレジスタへ転送されて送信が開始されると、送信 FIFO が禁止または送信 FIFO がエンプティの場合、"1" にセットされます。
- 送信データエンプティフラグ (SSR : TDRE) が "1" のとき、送信データを書き込むことができます。送信割込みが許可されている場合には送信割込みが発生します。送信データの書込みは、送信割込みの発生によるか、送信データエンプティフラグ (SSR : TDRE) が "1" の状態で行ってください。
- 送信データエンプティフラグ (SSR : TDRE) が "0" で送信 FIFO が禁止または送信 FIFO がフルのときは、送信データを書き込むことはできません。
- 動作モード 1 (マルチプロセッサモード) では、7 ビット、8 ビット長の動作となり、AD ビットの送信は、D8 ビットへの書込みにより行います。
- 9 ビット長転送、および動作モード 1 の場合、TDR への書込みは 16 ビットアクセスで行います。

< 注意事項 >

- 送信データレジスタは書込み専用のレジスタで、受信データレジスタは読出し専用のレジスタです。送受信レジスタは同一アドレスに配置されているため、書込み値と読出し値が異なります。したがって、INC/DEC 命令などリードモディファイライト (RMW) 系命令は使用できません。
 - 送信 FIFO 使用時の送信データエンプティフラグ (SSR:TDRE) のセットタイミングは、「27.5.4 送信 FIFO 使用時の割込み発生とフラグセットの タイミング」を参照してください。
-

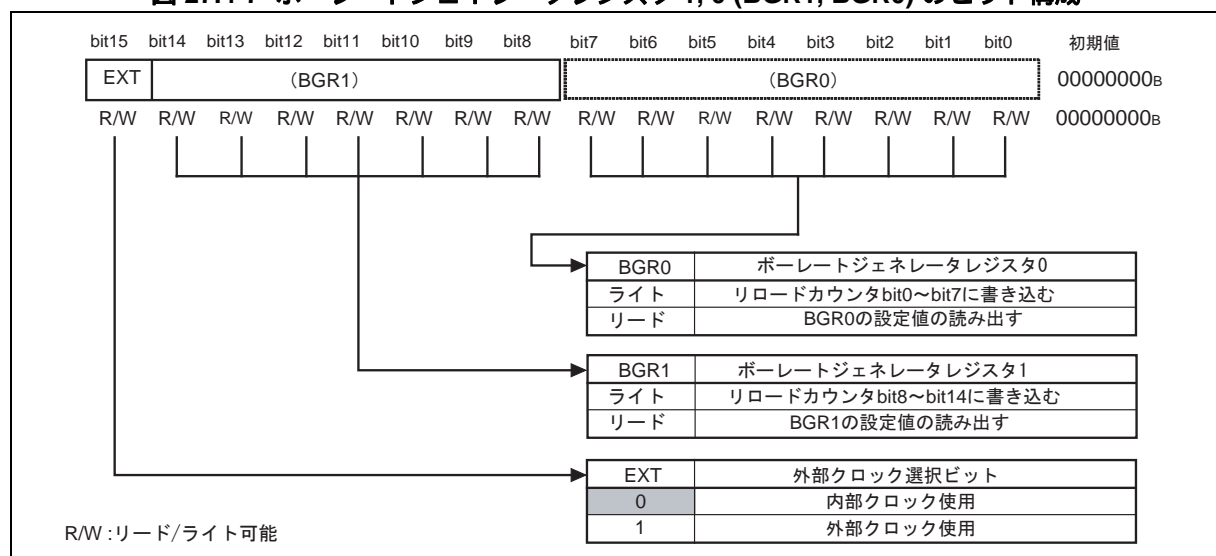
27.4.6 ポーレートジェネレータレジスタ 1, 0 (BGR1, BGR0)

ポーレートジェネレータレジスタ 1, 0 (BGR1, BGR0) は、シリアルクロックの分周比を設定します。また、リロードカウンタのクロックソースとして外部クロックを選択できます。

■ ポーレートジェネレータレジスタ 1, 0 (BGR1, BGR0) のビット構成

図 27.4-7 にポーレートジェネレータレジスタ 1, 0 (BGR1, BGR0) のビット構成を示します。

図 27.4-7 ポーレートジェネレータレジスタ 1, 0 (BGR1, BGR0) のビット構成



- ポーレートジェネレータレジスタはシリアルクロックの分周比を設定します。
- BGR1 は上位ビット、BGR0 は下位ビットに対応し、カウントするリロード値の書き込み、BGR1/BGR0 の設定値の読み出しが可能です。
- ポーレートジェネレータレジスタ 1, 0 (BGR1, BGR0) にリロード値を書き込むとリロードカウンタはカウントを開始します。
- bit15 の EXT ビットでリロードカウンタのクロックソースを内部クロックに使用するか、外部クロックを使用するかを選択します。EXT=0 に設定した場合、内部クロックを選択します。EXT=1 に設定した場合、外部クロックを選択します。

< 注意事項 >

- ボーレートジェネレータレジスタ 1, 0 (BGR1, BGR0) への書込みは, 16 ビットアクセスで行ってください。
 - ボーレートジェネレータレジスタ 1, 0 (BGR1, BGR0) の設定値を変更した場合, カウンタ値が "0000_H" になってから, 新しい設定値がリロードされます。したがって, 新しい設定値を即有効にしたい場合は, BGR1/BGR0 の設定値を変更した後, プログラムブルクリア (UPCL) を実行してください。
 - リロード値が偶数の場合, 受信シリアルクロックの "H" 幅と "L" 幅は "L" 幅の方が周辺クロック (PCLK) 1 サイクル分長くなります。奇数の場合, シリアルクロックの "H" 幅と "L" 幅は同じになります。
 - BGR1/BGR0 へは, 4 以上の値を設定してください。ただし, ボーレートの誤差とリロード値の設定によって正常にデータを受信できないことがあります。
 - ボーレートジェネレータ動作中に外部クロックの設定 (EXT=1) に変更する場合, ボーレートジェネレータ 1, 0 (BGR1, BGR0) に "0" を書き込み, プログラムクリア (UPCL) 実行後, 外部クロック (EXT=1) に設定してください。
-

27.4.7 FIFO 制御レジスタ 1(FCR1)

FIFO 制御レジスタ 1 (FCR1) は、送受信 FIFO の選択、送信 FIFO 割込み許可の設定および割込みフラグの制御を行います。

■ FIFO 制御レジスタ 1(FCR1) のビット構成

図 27.4-8 に FIFO 制御レジスタ 1 (FCR1) のビット構成を、表 27.4-8 に各ビットの機能を示します。

図 27.4-8 FIFO 制御レジスタ 1(FCR1) のビット構成

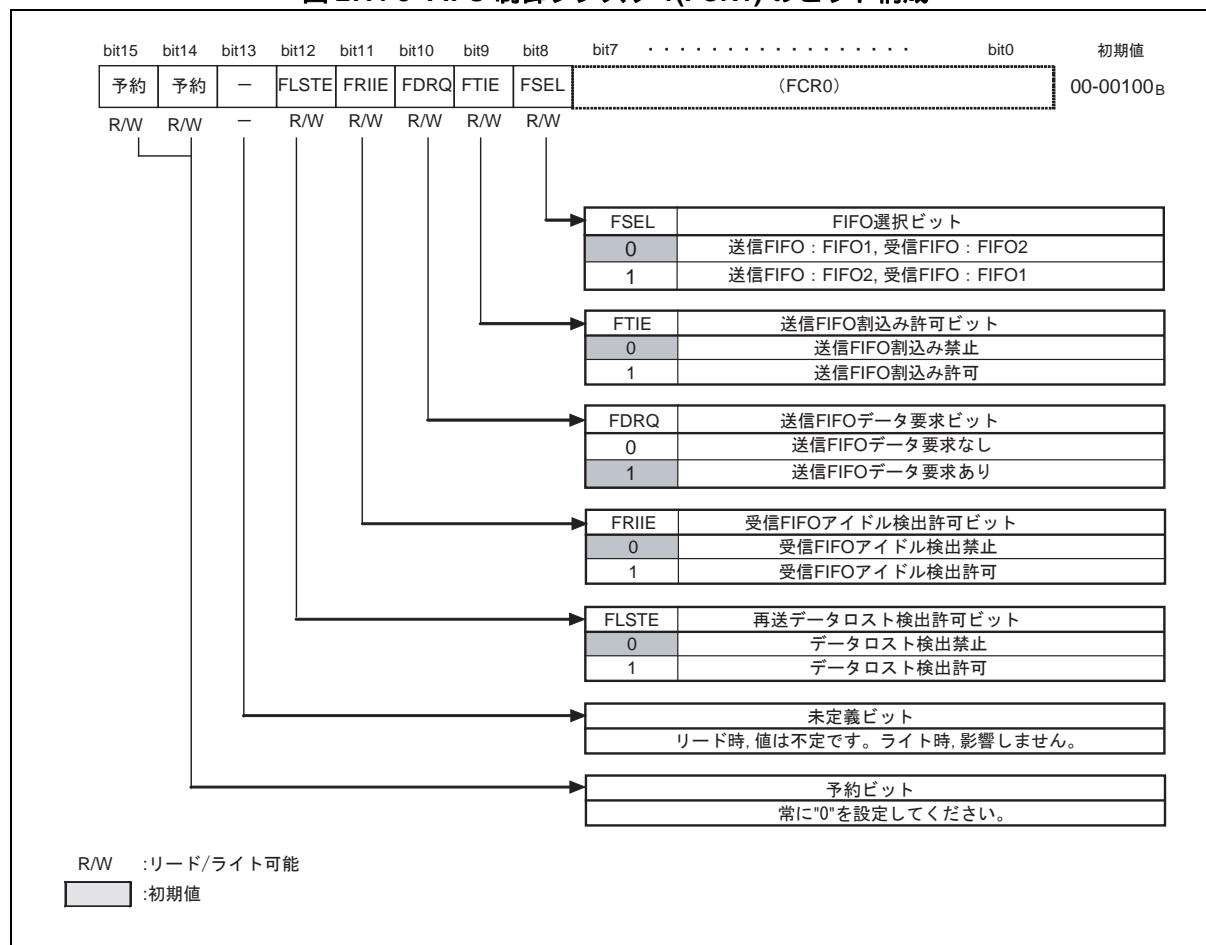


表 27.4-8 FIFO 制御レジスタ 1(FCR1) の各ビットの機能説明 (1 / 2)

ビット名		機能
bit15, bit14	予約ビット	本ビットには必ず "0" を設定してください。
bit13	未定義ビット	リードした場合：値は不定です。 ライトした場合：影響しません。
bit12	FLSTE: 再送データ ロスト検出許可 ビット	FLST ビット検出を許可するビットです。 "0" に設定した場合：FLST ビット検出禁止 "1" に設定した場合：FLST ビット検出許可 (注意事項) 本ビットに "1" を設定する場合、FSET ビットに "1" を 設定してから本ビットに "1" を設定してください。
bit11	FRIIE: 受信 FIFO アイドル 検出許可ビット	受信 FIFO に有効なデータが存在した状態でボーレートクロックで 8 クロック以上の受信アイドル状態を検出するかどうかを設定する ビットです。受信割込みが許可 (SCR:RIE=1) されているときに受信 アイドル状態が検出されると受信割込みが発生します。 "0" に設定した場合：受信アイドル状態検出禁止 "1" に設定した場合：受信アイドル状態検出許可
bit10	FDRQ : 送信 FIFO データ要求 ビット	送信 FIFO のデータ要求ビットです。 本ビットが "1" のとき、送信データを要求していることを示します。 このとき、送信 FIFO 割込みが許可 (FTIE=1) されていると、FIFO 送 信割込み要求を出力します。 FDRQ セット条件 FBYTE1/FBYTE2(送信用)=0 (送信 FIFO がエンプティ) FDRQ リセット条件 <ul style="list-style-type: none"> • 本ビットへの "0" 書込み • 送信 FIFO がフルになった場合 (注意事項) 送信 FIFO 許可のときに "0" 書込みは有効です。 FBYTE1/FBYTE2(送信用)=0 のときに本ビットへの "0" 書込みは禁止です。 本ビットに "1" を設定した場合、動作に影響を与えま せん。 リードモディファイライト (RMW) 系命令時には、"1" が読み出されます。
bit9	FTIE : 送信 FIFO 割込み許可 ビット	送信 FIFO の割込み許可ビットです。本ビットに "1" を設定すると FDRQ ビットが "1" のときに割込みが発生します。

表 27.4-8 FIFO 制御レジスタ 1(FCR1) の各ビットの機能説明 (2 / 2)

ビット名		機能
bit8	FSEL : FIFO 選択 ビット	<p>送受信 FIFO を選択するビットです。</p> <p>"0" に設定した場合：送信 FIFO：FIFO1, 受信 FIFO：FIFO2 に割り当てられます。</p> <p>"1" に設定した場合：送信 FIFO：FIFO2, 受信 FIFO：FIFO1 に割り当てられます。</p> <p>(注意事項) 本ビットは, FIFO リセット (FCL2, FCL1=1) ではクリアされません。</p> <p>本ビットを変更する場合は, FIFO 動作禁止 (FCR0 : FE2, FE1=0) にしてから行ってください。</p>

27.4.8 FIFO 制御レジスタ 0(FCR0)

FIFO 制御レジスタ 0(FCR0) は、FIFO 動作の許可 / 禁止、FIFO リセット、リードポインタの保存、再送信設定を行います。

■ FIFO 制御レジスタ 0(FCR0) のビット構成

図 27.4-9 に FIFO 制御レジスタ 0 (FCR0) のビット構成を、表 27.4-9 に各ビットの機能を示します。

図 27.4-9 FIFO 制御レジスタ 0(FCR0) のビット構成

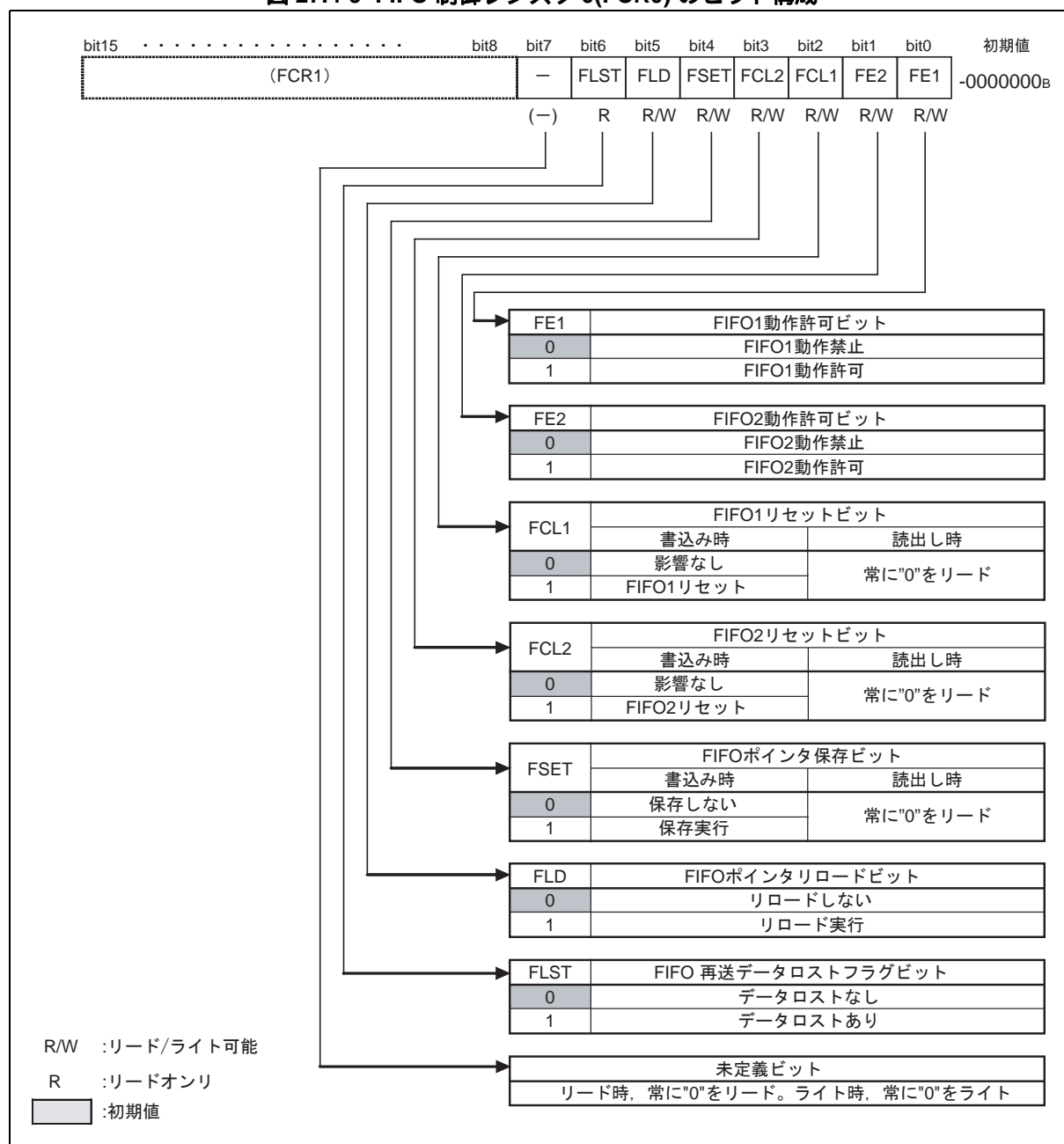


表 27.4-9 FIFO 制御レジスタ 0(FCR0) の各ビットの機能説明 (1 / 2)

ビット名		機能
bit7	未定義ビット	リードした場合：常に "0" が読み出されます。 ライトした場合：常に "0" を書き込んでください。
bit6	FLST : FIFO 再送 データロス フラグビット	送信 FIFO の再送データが失われたことを示すビットです。 FLST セット条件 FIFO 制御レジスタ 1(FCR1) の FLSTE ビットが "1" で送信 FIFO のラ イトポイントと FSET ビットによって保存したリードポイントが一 致しているときに FIFO へ書き込んだ (上書きした) 場合 FLST リセット条件 <ul style="list-style-type: none"> • FIFO リセット (FCL への "1" 書込み) • FSET ビットへの "1" 書込み 本ビットに "1" が設定されると FSET ビットで保存したリードポイン タが示すデータを上書きしてしまい、エラーが発生しても FLD ビッ トによって再送の設定ができません。本ビットに "1" が設定された状 態で再送を行う場合には FIFO リセットを実施し、再度 FIFO にデー タを書き込んでください。
bit5	FLD : FIFO ポインタ リロード ビット	送信 FIFO に FSET ビットによって保存したデータをリードポインタ にリロードするビットです。本ビットは通信エラーなどが発生し再送 するときに使用します。 再送設定が完了した場合、本ビットは "0" になります。 (注意事項) 本ビットが "1" にセットされている間、リードポインタ へのリロード中なので FIFO リセット以外の書込みは行 わないでください。 FIFO 許可状態または送信中に本ビットに "1" を設定す ることは禁止です。 TIE ビットと TBIE ビットは "0" にしてから本ビットに "1" を書き込み、送信 FIFO 許可後、TIE ビットと TBIE ビットを "1" にしてください。
bit4	FSET : FIFO ポインタ 保存ビット	送信 FIFO のリードポインタを保存するビットです。 通信前にリードポインタを保存すると、通信エラーなどが発生した場 合、FLST ビットが "0" であれば再送可能となります。 "1" に設定した場合：現在のリードポインタの値を保存します。 "0" に設定した場合：影響しません。 (注意事項) 送信バイト数 (FBYTE1/FBYTE2) が "0" を示している ときに本ビットを "1" に設定してください。
bit3	FCL2 : FIFO2 リセット ビット	FIFO2 をリセットするビットです。 本ビットを "1" に設定すると、FIFO2 の内部状態を初期化します。 FCR0:FLST ビットのみ初期化され、FCR1/FCR0 レジスタのほかの ビットは保持されます。 (注意事項) 送受信を禁止してから、FIFO2 リセットを実行してくだ さい。 送信 FIFO 割込み許可ビットを "0" にしてから実行して ください。 FBYTE2 レジスタの有効データ数は "0" になります。

表 27.4-9 FIFO 制御レジスタ 0(FCR0) の各ビットの機能説明 (2 / 2)

ビット名		機能
bit2	FCL1 : FIFO1 リセット ビット	<p>FIFO1 をリセットするビットです。 本ビットを "1" に設定すると、FIFO1 の内部状態を初期化します。 FCR0:FLST ビットのみ初期化され、FCR1/FCR0 レジスタのほかのビットは保持されます。 (注意事項) 送受信を禁止してから、FIFO1 リセットを実行してください。 送信 FIFO 割込み許可ビットを "0" にしてから実行してください。 FBYTE1 レジスタの有効データ数は "0" になります。</p>
bit1	FE2 : FIFO2 動作許可 ビット	<p>FIFO2 の動作を許可 / 禁止するビットです。</p> <ul style="list-style-type: none"> FIFO2 を使用する場合、本ビットに "1" を設定してください。 FIFO2 を送信 FIFO に設定し (FCR1:FSEL=1)、本ビットに "1" を書き込んだときに FIFO2 にデータが存在し、UART が送信許可 (TXE=1) のとき、直ちに送信を開始します。このとき、TIE ビットと TBIE ビットを "0" にしてから本ビットに "1" を書き込み、TIE ビットと TBIE ビットを "1" にしてください。 FSEL ビットによって受信 FIFO として選択された場合、受信エラーが発生すると本ビットは "0" にクリアされ、受信エラーがクリアされない限り、本ビットに "1" を設定することはできません。 送信 FIFO で使用する場合には送信バッファがエンプティ (TDRE=1) のとき、受信 FIFO で使用する場合には受信バッファがエンプティ (RDRF=0) のときに本ビットに "1" または "0" を設定してください。 FIFO2 を禁止にしても FIFO2 の状態は保持されます。
bit0	FE1 : FIFO1 動作許可 ビット	<p>FIFO1 の動作を許可 / 禁止するビットです。</p> <ul style="list-style-type: none"> FIFO1 を使用する場合、本ビットに "1" を設定してください。 FIFO1 を送信 FIFO に設定し (FCR1:FSEL=0)、本ビットに "1" を書き込んだときに FIFO1 にデータが存在し、UART が送信許可 (TXE=1) のとき、直ちに送信を開始します。このとき、TIE ビットと TBIE ビットを "0" にしてから本ビットに "1" を書き込み、TIE ビットと TBIE ビットを "1" にしてください。 FSEL ビットによって受信 FIFO として選択された場合、受信エラーが発生すると本ビットは "0" にクリアされ、受信エラーがクリアされない限り、本ビットに "1" を設定することはできません。 送信 FIFO で使用する場合には送信バッファがエンプティ (TDRE=1) のとき、受信 FIFO で使用する場合には受信バッファがエンプティ (RDRF=0) のときに本ビットに "1" または "0" を設定してください。 FIFO1 を禁止にしても FIFO1 の状態は保持されます。

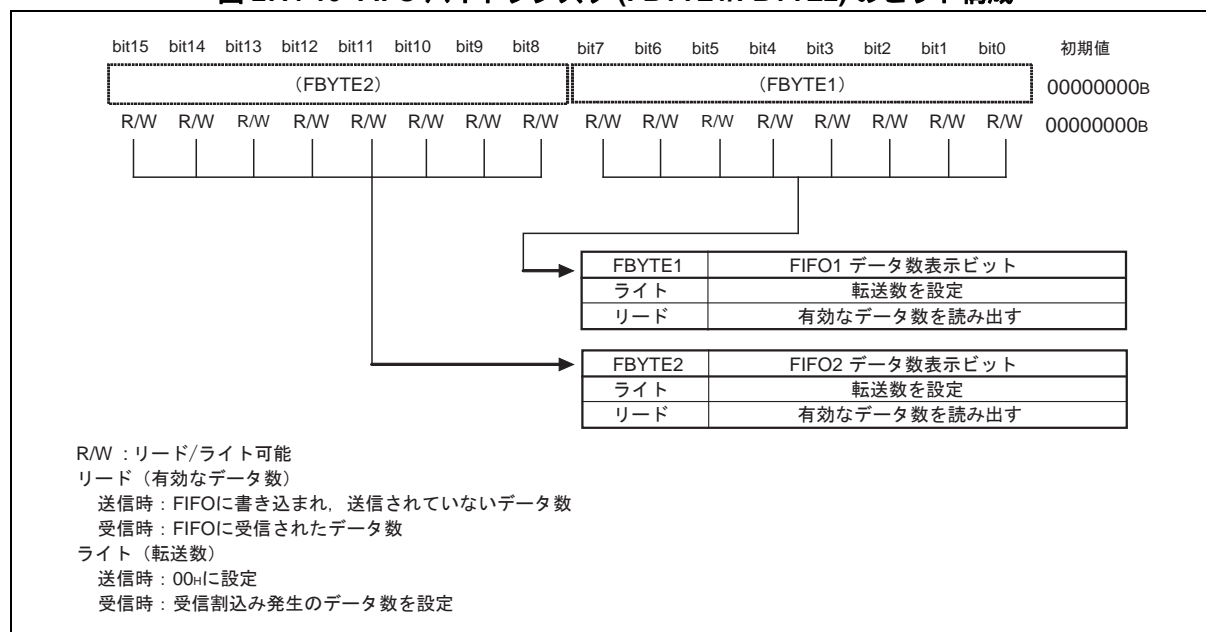
27.4.9 FIFO バイトレジスタ (FBYTE1/FBYTE2)

FIFO バイトレジスタ (FBYTE1/FBYTE2) は、FIFO の有効なデータ数を示します。また、受信 FIFO で所定のデータ数を受信したときに受信割込みを発生させるかを設定できます。

■ FIFO バイトレジスタ (FBYTE1/FBYTE2) のビット構成

図 27.4-10 に FIFO バイトレジスタ (FBYTE1/FBYTE2) のビット構成を示します。

図 27.4-10 FIFO バイトレジスタ (FBYTE1/FBYTE2) のビット構成



FBYTE レジスタは、FIFO に書き込みまたは受信した有効なデータ数を示し、FCR1:FSEL ビットの設定によって以下ようになります。

表 27.4-10 データ数表示

FSEL	FIFO 選択	データ数表示
0	FIFO2 : 受信 FIFO, FIFO1 : 送信 FIFO	FIFO2 : FBYTE2, FIFO1 : FBYTE1
1	FIFO2 : 送信 FIFO, FIFO1 : 受信 FIFO	FIFO2 : FBYTE2, FIFO1 : FBYTE1

- FBYTE1/FBYTE2 レジスタの転送数の初期値は "08_H" です。
- 受信 FIFO の FBYTE1/FBYTE2 に受信割込みフラグを発生させるデータ数を設定します。その設定された転送数と FBYTE1/FBYTE2 レジスタのデータ数表示が一致すると割込みフラグ (SSR:RDRF) が "1" にセットされます。

- 受信 FIFO アイドル検出許可ビット (FRIIE) が "1" で受信 FIFO に存在するデータ数が転送数に達しない場合、受信アイドル状態がボーレートクロックで 8 クロック以上続くと割込みフラグ (RDRF) が "1" にセットされます。8 クロックカウント中、RDR を読み出すとそのカウンタは "0" にリセットされ、再度 8 クロックをカウントします。受信 FIFO が禁止されるとそのカウンタは "0" にリセットされます。受信 FIFO にデータが残っている状態で受信 FIFO を許可すると再度、カウントを開始します。

< 注意事項 >

- 送信 FIFO の FBYTE1/FBYTE2 レジスタには "00_H" を設定してください。
 - 受信 FIFO の FBYTE1/FBYTE2 は "1" 以上のデータを設定してください。
 - 受信を禁止してから本レジスタを変更してください。
 - 本レジスタはリードモディファイライト (RMW) 系命令を使用することはできません。
 - FIFO 容量を超える設定は禁止です。
-

27.5 UART の割込み

UART には、送受信割込みがあります。次に示す要因で割込み要求を発生させることができます。

- 受信データが受信データレジスタ (RDR) にセットされた場合、または受信エラーが発生した場合
 - 送信データが送信データレジスタ (TDR) から送信用シフトレジスタに転送され、送信が開始された場合
 - 送信バスアイドル (送信動作なし)
 - 送信 FIFO データ要求
-

■ UART の割込み

UART の割込み制御ビットと割込み要因は表 27.5-1 のようになっています。

表 27.5-1 UART の割込み制御ビットと割込み要因

割込みの種類	割込み要求フラグビット	フラグレジスタ	動作モード		割込み要因	割込み要因許可ビット	割込み要求フラグのクリア
			0	1			
受信	RDRF	SSR			1 バイト受信	SCR:RIE	受信データ (RDR) の読出し
					FBYTE1/ FBYTE2 設定値分受信		受信 FIFO がエンプティになるまでの受信データ (RDR) の読出し
					FRIIE ビットが "1" で受信 FIFO に有効なデータが存在した状態でポーレートクロックで 8 クロック以上の受信アイドル状態検出		
	ORE	SSR			オーバランエラー		受信エラーフラグクリアビット (SSR:REC) への "1" 書込み
	FRE	SSR			フレーミングエラー		
	PE	SSR		×	パリティエラー		
送信	TDRE	SSR			送信レジスタがエンプティ	SCR:TIE	送信データ (TDR) への書込み, または送信 FIFO 動作許可ビットが "0" で送信 FIFO に有効なデータが存在しているときに送信 FIFO 動作許可ビットへの "1" 書込み (送信再送) *
	TBI	SSR			送信動作なし	SCR:TBIE	送信データ (TDR) への書込み, または送信 FIFO 動作許可ビットが "0" で送信 FIFO に有効なデータが存在しているときに送信 FIFO 動作許可ビットへの "1" 書込み (送信再送) *
	FDRQ	FCR1			送信 FIFO がエンプティ	FCR1:FTIE	FIFO 送信データ要求ビット (FCR1:FDRQ) への "0" 書込みまたは送信 FIFO がフル

*: TDRE ビットが "0" になってから TIE ビットを "1" にしてください。

27.5.1 受信割込み発生とフラグセットのタイミング

受信時の割込みとしては、受信完了 (SSR:RDRF) および受信エラーの発生 (SSR: PE, ORE, FRE) があります。

■ 受信割込み発生とフラグセットのタイミング

最初のストップビットが検出されることにより、受信データが受信データレジスタ (RDR) に格納されます。受信が完了したとき (SSR:RDRF=1) または受信エラーが発生 (SSR:PE, ORE, FRE=1) すると各フラグがセットされます。そのとき、受信割込みが許可 (SSR:RIE=1) されていると受信割込みが発生します。

< 注意事項 >

受信エラーが発生した場合は、受信データレジスタ (RDR) のデータは無効となります。

図 27.5-1 RDRF(受信データフル) フラグビットのセットタイミング

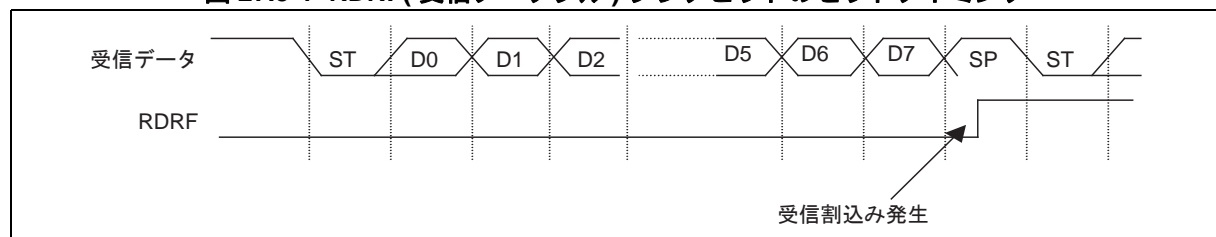


図 27.5-2 FRE (フレーミングエラー) フラグビットのセットタイミング

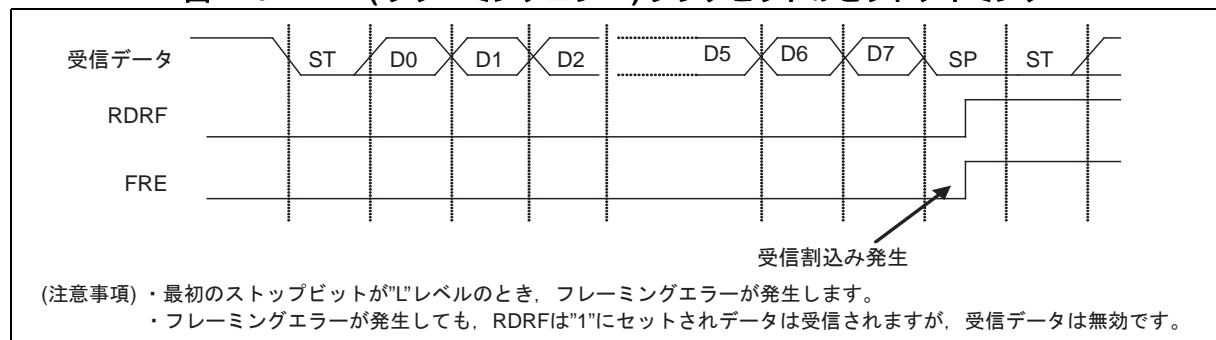
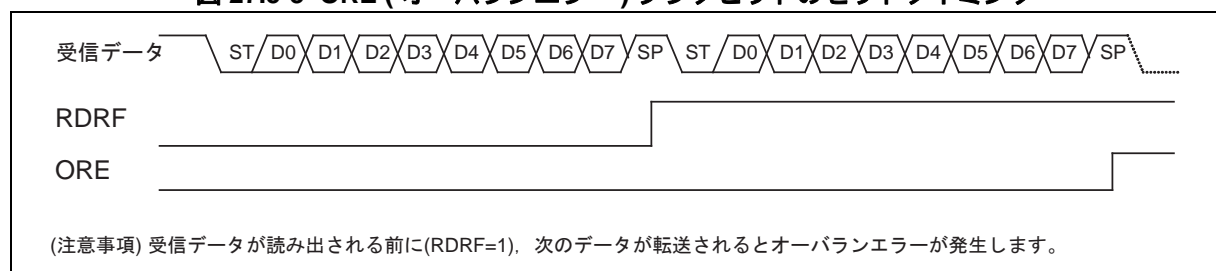


図 27.5-3 ORE (オーバランエラー) フラグビットのセットタイミング



27.5.2 受信 FIFO 使用時の割込み発生とフラグセットのタイミング

受信 FIFO 使用時の割込みは、FBYTE レジスタ (FBYTE1/FBYTE2) の設定値分受信すると発生します。

■ 受信 FIFO 使用時の受信割込み発生とフラグセットのタイミング

受信 FIFO 使用時の割込み発生は、FBYTE1/FBYTE2 レジスタの設定値によって決定されます。

- FBYTE1/FBYTE2 レジスタの転送数設定分のデータを受信するとシリアルステータスレジスタの受信データフルフラグ (SSR:RDRF) が "1" にセットされます。このとき、受信割込みが許可 (SCR:RIE) されていると受信割込みを発生します。
- 受信 FIFO アイドル検出許可ビット (FRIIE) が "1" で受信 FIFO に存在するデータ数が転送数に達しない場合、受信アイドル状態がボーレートクロックで 8 クロック以上続くと割込みフラグ (RDRF) が "1" にセットされます。8 クロックカウント中、RDR を読み出すとそのカウンタは "0" にリセットされ、再度 8 クロックをカウントします。受信 FIFO が禁止されるとそのカウンタは "0" にリセットされます。受信 FIFO にデータが残っている状態で受信 FIFO を許可すると再度、カウントを開始します。
- 受信 FIFO がエンプティになるまで受信データ (RDR) を読み出すと、受信データフルフラグ (SSR:RDRF) はクリアされます。
- 受信有効データ数表示が FIFO 容量を示した状態で、次のデータを受信するとオーバーランエラー (SSR:ORE=1) が発生します。

図 27.5-4 受信 FIFO 使用時の受信割込み発生タイミング

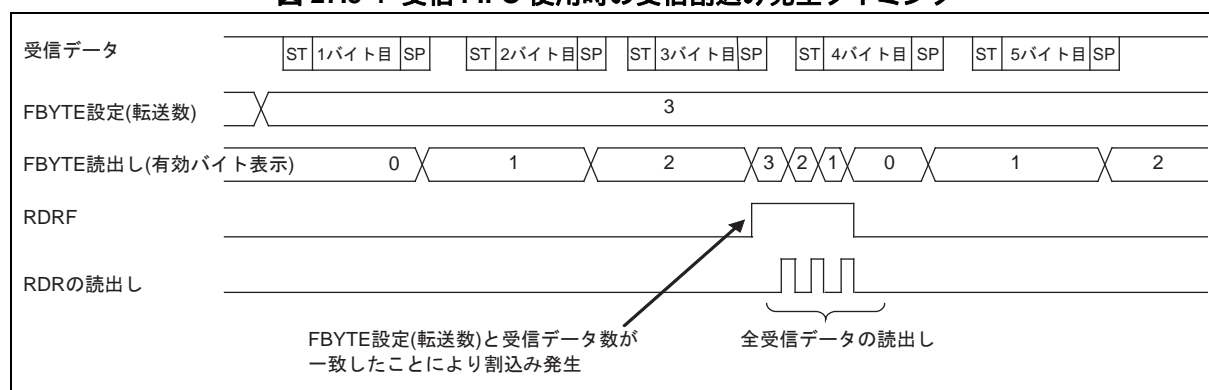
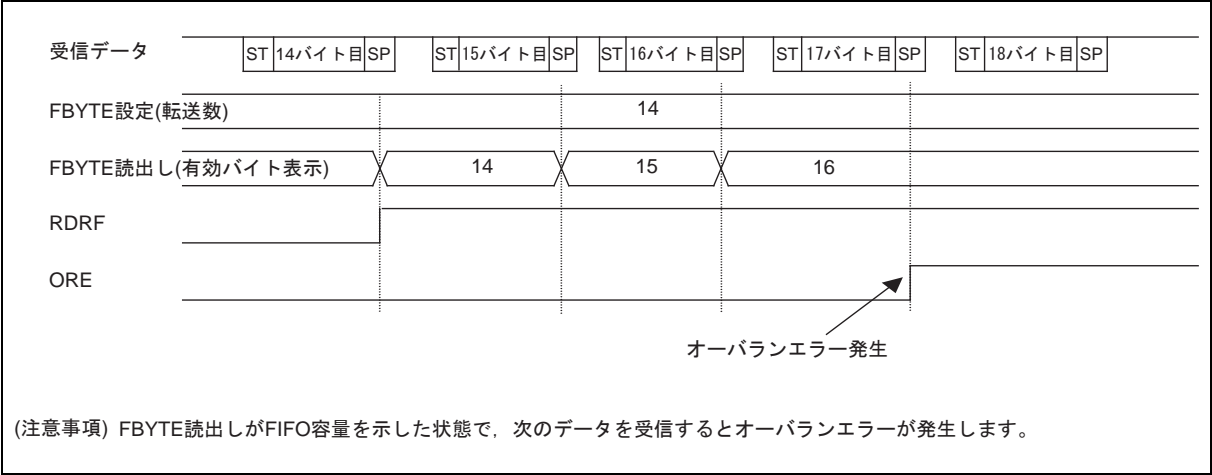


図 27.5-5 ORE (オーバランエラー) フラグビットのセットタイミング



27.5.3 送信割込み発生とフラグセットのタイミング

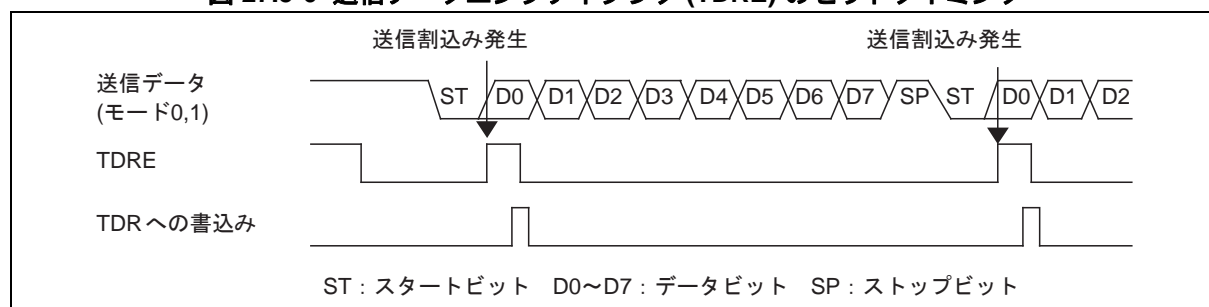
送信時の割込みとしては、送信データが送信データレジスタ (TDR) から送信用シフトレジスタに転送され (SSR : TDRE=1) で送信が開始された場合と送信動作をしていない場合 (SSR : TBI=1) に発生します。

■ 送信割込み発生とフラグセットのタイミング

● 送信データエンプティフラグ (TDRE) のセットタイミング

送信データレジスタ (TDR) に書き込まれたデータが送信シフトレジスタに転送されると、次のデータの書き込みが可能な状態 (SSR:TDRE=1) になります。そのとき、送信割込みが許可 (SCR:TIE=1) されていると、送信割込みが発生します。TDRE ビットはリードオンリビットなので、送信データレジスタ (TDR) へのデータ書き込みにより "0" にクリアされます。

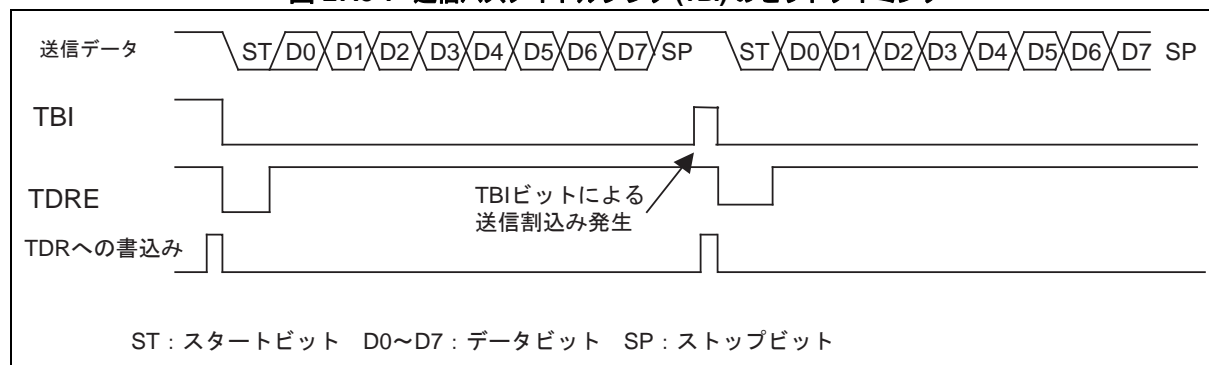
図 27.5-6 送信データエンプティフラグ (TDRE) のセットタイミング



● 送信バスアイドルフラグ (TBI) のセットタイミング

送信データレジスタが空 (TDRE=1) で送信動作をしていないとき、SSR : TBI ビットは "1" にセットされます。このとき、送信バスアイドル割込みが許可 (SCR : TBIE=1) されていると、送信割込みが発生します。送信データレジスタ (TDR) に送信データをセットすると TBI ビットおよび送信割込み要求はクリアされます。

図 27.5-7 送信バスアイドルフラグ (TBI) のセットタイミング



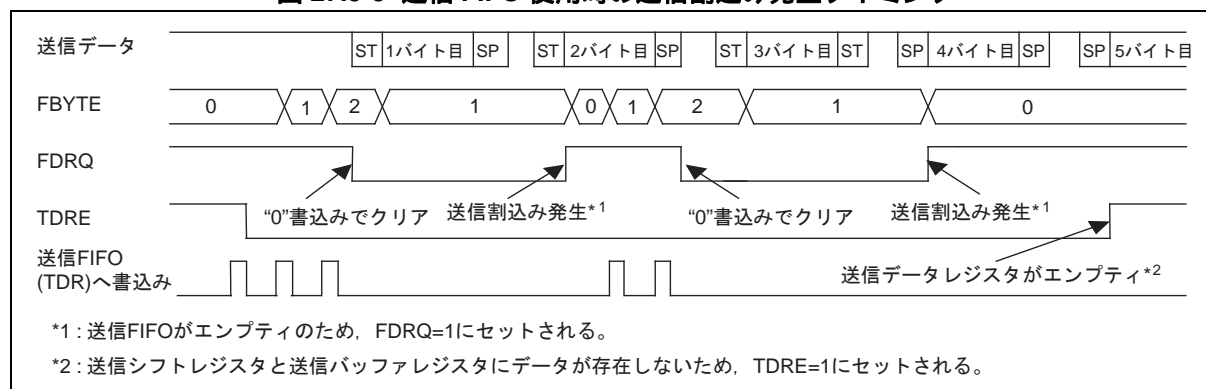
27.5.4 送信 FIFO 使用時の割込み発生とフラグセットのタイミング

送信 FIFO 使用時の割込みは、送信 FIFO にデータが存在しないときに発生します。

■ 送信 FIFO 使用時の送信割込み発生とフラグセットのタイミング

- 送信 FIFO にデータが存在しない場合、FIFO 送信データ要求ビット (FCR1 : FDRQ) が "1" にセットされます。
このとき、FIFO 送信割込みが許可 (FCR1 : FTIE=1) されていると送信割込みが発生します。
- 送信割込みが発生して送信 FIFO に必要なデータを書き込んだら、FIFO 送信データ要求ビット (FCR1 : FDRQ) に "0" を書き込んで割込み要求をクリアしてください。
- 送信 FIFO がフルになると FIFO 送信データ要求ビット (FCR1:FDRQ) は "0" になります。
- 送信 FIFO のデータの存在確認は、FIFO バイトレジスタ (FBYTE1/FBYTE2) を読み出すことで確認できます。
FBYTE1/FBYTE2 = 00_H のときは、送信 FIFO にデータが存在していないことを示します。

図 27.5-8 送信 FIFO 使用時の送信割込み発生タイミング



27.6 UART の動作

UART は、モード 0 の双方向シリアル非同期通信、モード 1 のマスタ/スレーブマルチプロセッサ通信で動作します。

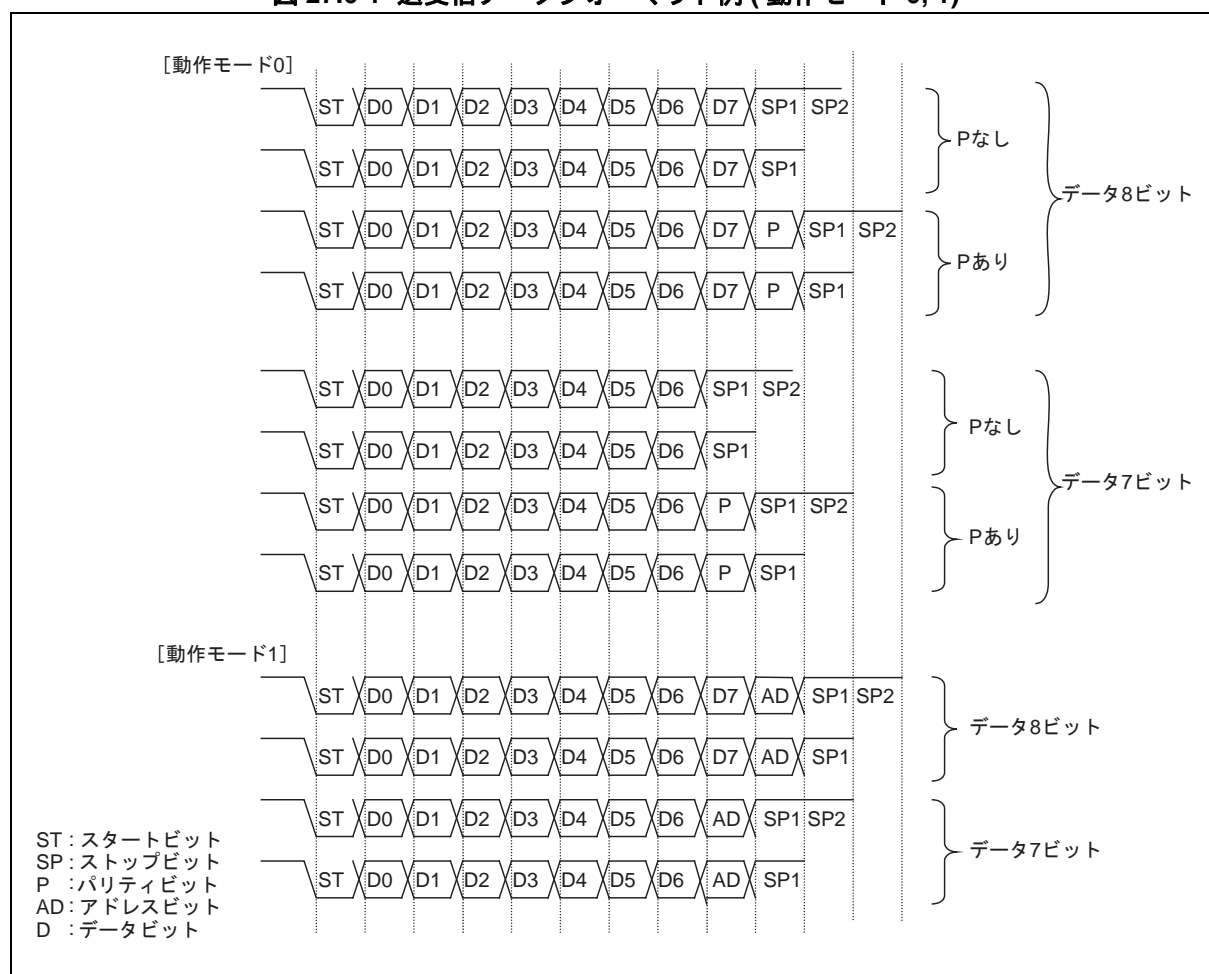
■ UART の動作

● 送受信データフォーマット

- 送受信データは、必ずスタートビットから始まり、指定されたデータビット長の送受信が行われ、少なくとも 1 ビットのストップビットで終了します。
- データ転送方向 (LSB ファーストまたは MSB ファースト) は、シリアルモードレジスタ (SMR) の BDS ビットで決定されます。パリティありの場合、パリティビットは常に最終データビットと最初のストップビットの間に置かれます。
- 動作モード 0 (通常モード) では、パリティはあり / なしの選択ができます。
- 動作モード 1 (マルチプロセッサモード) ではパリティは付加されず、AD ビットが付加されます。

動作モード 0, 1 の送受信データフォーマットを図 27.6-1 に示します。

図 27.6-1 送受信データフォーマット例 (動作モード 0, 1)



< 注意事項 >

- 図 27.6-1 は、データ長 7 ビット、8 ビットに設定した場合を示しています (データ長は、動作モード 0 の場合、5 ビット ~ 9 ビットまで設定できます)。
- シリアルモードレジスタ (SMR) の BDS ビットを "1" (MSB ファースト) に設定した場合、ビットは D7, D6, D5, . . . , D1, D0(P) の順で処理されます。
- データ長を X ビット長に設定した場合、送受信データレジスタ (RDR/TDR) の下位 X ビットが有効になります。

● 送信動作

- シリアルステータスレジスタ (SSR) の送信データエンプティフラグビット (TDRE) が "1" であれば、送信データレジスタ (TDR) に送信データを書き込むことができます (送信 FIFO が許可されている場合には TDRE=0 でも送信データを書くことは可能)。
- 送信データを送信データレジスタ (TDR) に書き込むと、送信データエンプティフラグビット (TDRE) は "0" になります。
- シリアル制御レジスタの送信動作許可ビット (SCR : TXE) を "1" に設定すると、送信データは送信シフトレジスタにロードされてスタートビットから順に送信が開始されます。
- 送信が開始されると、送信データエンプティフラグビット (TDRE) は再び "1" にセットされます。このとき、送信割込みが許可 (SCR : TIE=1) されていると送信割込みが発生します。割込み処理において、次の送信データを送信データレジスタに書き込むことができます。

< 注意事項 >

- 送信データエンプティフラグビット (SSR : TDRE) は初期値が "1" のため、送信割込みが許可 (SCR : TIE=1) されると直ちに送信割込みが発生します。
- FIFO 送信データ要求ビット (FCR1 : FDRQ) は初期値が "1" のため、FIFO 送信割込みが許可 (FCR1 : FTIE=1) されると直ちに送信割込みが発生します。

● 受信動作

- 受信動作が許可 (SCR : RXE=1) されると受信動作を行います。
- スタートビットを検出すると、拡張通信制御レジスタ (ESCR: PEN, P, L2, L1, L0), およびシリアルモードレジスタ (SMR : BDS) に設定されているデータフォーマットに従って 1 フレームデータの受信が行われます。
- 1 フレームの受信が完了すると、受信データフルフラグビット (SSR : RDRF) が "1" にセットされます。このとき、受信割込みが許可 (SCR : RIE=1) されている場合、受信割込みが発生します。
- 受信データを読み出す際には、1 フレームデータの受信完了後に受信データを読み出し、シリアルステータスレジスタ (SSR) のエラーフラグの状態を確認してください。受信エラーが発生している場合には、エラー処理を行ってください。
- 受信データの読出しで、受信データフルフラグビット (SSR : RDRF) は "0" にクリアされます。
- 受信 FIFO が許可されている場合、受信 FBYTE1/FBYTE2 に設定された分のフレームを受信すると受信データフルフラグビット (SSR:RDRF) は "1" にセットされます。
- 受信 FIFO アイドル検出許可ビット (FRIIE) が "1" で受信 FIFO に存在するデータ数が転送数に達しない場合、受信アイドル状態がボーレートクロックで 8 クロック以上続くと割込みフラグ (RDRF) が "1" にセットされます。8 クロックカウント中、RDR を読み出すとそのカウンタは "0" にリセットされ、再度 8 クロックをカウントします。受信 FIFO が禁止されると、そのカウンタは "0" にリセットされます。受信 FIFO にデータが残っている状態で受信 FIFO を許可すると再度、カウントを開始します。
- 受信 FIFO が許可されている場合、シリアルステータスレジスタ (SSR) のエラーフラグが "1" にセットされると受信 FIFO にはそのエラーが発生したデータは受信 FIFO に格納しません。また、そのとき受信データフルフラグビット (SSR : RDRF) を "1" にセットしません (ただし、オーバランエラーの場合は RDRF フラグは "1" にセットされます)。受信 FBYTE1/FBYTE2 の表示はエラーが発生する前に正常に受信したデータ数を示しています。シリアルステータスレジスタ (SSR) のエラーフラグが "0" にクリアされないで受信 FIFO は許可されません。
- 受信 FIFO が許可されている場合、受信 FIFO にデータがなくなると受信データフルフラグビット (SSR : RDRF) は "0" にクリアされます。

< 注意事項 >

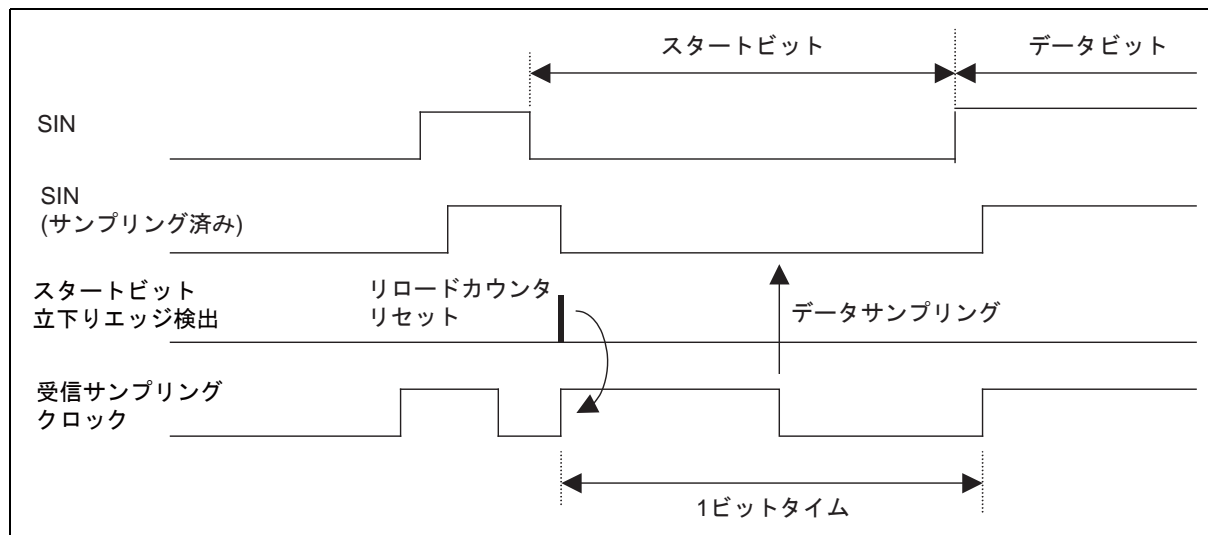
受信データレジスタ (RDR) のデータは、受信データレジスタフルフラグビット (SSR : RDRF) が "1" にセットされ、受信エラーが発生しなかった場合 (SSR : PE, ORE, FRE=0) に有効となります。

● クロック選択

- 内部クロック、または外部クロックを使用できます。
- 外部クロックを使用する場合は、BGR:EXT=1 に設定します。この場合、外部クロックがボーレートジェネレータで分周されます。

● スタートビット検出

- 非同期モード時は、SIN 信号の立下りエッジによってスタートビットを認識します。このため受信動作を許可 (SCR:RXE=1) しても、SIN 信号の立下りエッジが入力されない受信動作を開始しません。
- スタートビットの立下りエッジを検出すると、ボーレートジェネレータの受信リロードカウンタはリセットされ、再リロードしカウントダウンを開始します。これによって、常にデータの中でサンプリングします。



● ストップビット

- 1 ビットから 4 ビット長を選択できます。
- 受信データフルフラグビット (SSR:RDRF) は、最初のストップビットを検出すると "1" にセットされます。

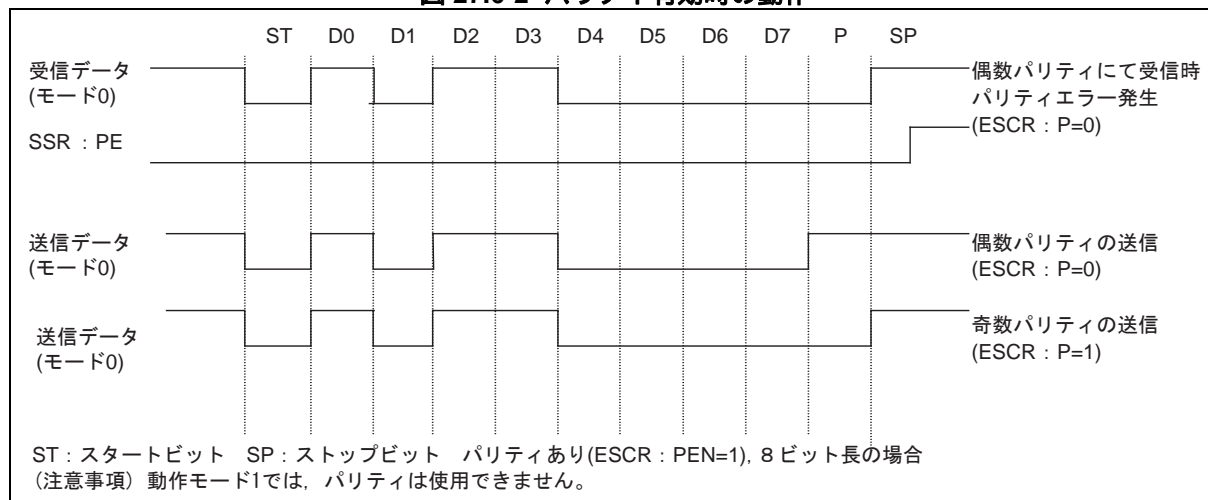
● エラー検出

- 動作モード 0 では、パリティエラー、オーバランエラー、フレームエラーを検出できます。
- 動作モード 1 では、オーバランエラー、フレームエラーを検出できます。パリティエラーは検出できません。

● パリティビット

- パリティビットの付加は、動作モード 0 の場合のみ設定できます。パリティ許可ビット (ESCR : PEN) でパリティの有無を、パリティ選択ビット (ESCR : P) で偶数パリティ / 奇数パリティを設定できます。
 - 動作モード 1 では、パリティを使用できません。
- パリティ有効時の送受信データを図 27.6-2 に示します。

図 27.6-2 パリティ有効時の動作

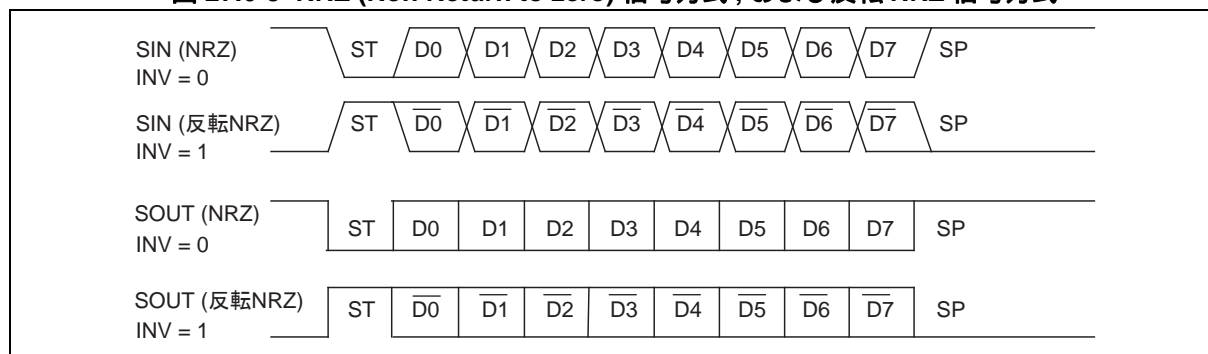


● データ信号方式

拡張通信制御レジスタの INV ビットの設定によって、NRZ (Non Return to Zero) 信号方式 (ESCR : INV=0), または反転 NRZ 信号方式 (ESCR : INV=1) を選択できます。

NRZ 信号方式および反転 NRZ 信号方式を図 27.6-3 に示します。

図 27.6-3 NRZ (Non Return to zero) 信号方式、および反転 NRZ 信号方式



● データ転送方式

データビット転送方法を LSB ファーストまたは MSB ファーストから選択できます。

27.7 専用ボーレートジェネレータ

UART の送受信クロックソースは、次のいずれかを選択できます。

- 専用ボーレートジェネレータ (リロードカウンタ)
- 外部クロックをボーレートジェネレータに入力 (リロードカウンタ)

■ UART ボーレート選択

ボーレートは次の 2 種類の中から 1 種類を選択できます。

- 専用ボーレートジェネレータ (リロードカウンタ) で内部クロックを分周して得られるボーレート

2つの内部リロードカウンタがあり、それぞれ送受信シリアルクロックに対応しています。ボーレートジェネレータレジスタ 1, 0 (BGR1, BGR0) で 15 ビットのリロード値を設定することにより、ボーレートを選択できます。

リロードカウンタは、設定された値で内部クロックを分周します。

クロックソースの設定は、内部クロックを選択 (BGR:EXT=0) してください。

- 専用ボーレートジェネレータ (リロードカウンタ) で外部クロックを分周して得られるボーレート

リロードカウンタのクロックソースに外部クロックを使用します。

ボーレートジェネレータレジスタ 1, 0 (BGR1, BGR0) で 15 ビットのリロード値を設定することにより、ボーレートを選択できます。

リロードカウンタは、設定された値で外部クロックを分周します。

クロックソースの設定は、外部クロックとボーレートジェネレータクロックの使用を選択 (BGR:EXT=1) してください。

本モードは特殊な周波数の発振子を分周して使用するケースを想定して用意されています。

< 注意事項 >

- 外部クロックの設定 (EXT=1) は、リロードカウンタが停止した状態 (BGR1/BGR0=15'h00)で行ってください。
- 外部クロックに設定 (EXT=1) した場合、外部クロックの "H" 幅、"L" 幅は 2 周辺クロック (PCLK) 以上必要です。

27.7.1 ボーレート設定

ボーレートの設定を示します。また、シリアルクロック周波数の計算結果を示します。

■ ボーレートの計算

2 つの 15 ビットリロードカウンタは、ボーレートジェネレータレジスタ 1, 0 (BGR1, BGR0) で設定します。

ボーレートの計算式を以下に示します。

(1) リロード値：

$$V = \phi / b - 1$$

V：リロード値

b：ボーレート

ϕ ：周辺クロック (PCLK), 外部クロック周波数

(2) 計算例

周辺クロック (PCLK) 16MHz, 内部クロック使用, ボーレート 19200bps に設定する場合のリロード値は、次のようになります。

リロード値：

$$V = (16 \times 1000000) / 19200 - 1 = 832$$

よって、ボーレートは、

$$b = (16 \times 1000000) / (832 + 1) = 19208 \text{ bps}$$

(3) ボーレートの誤差

ボーレートの誤差は次の式によって求められます。

$$\text{誤差 (\%)} = (\text{計算値} - \text{目標値}) / \text{目標値} \times 100$$

(例) 周辺クロック (PCLK) 20MHz, 目標ボーレート 153600bps に設定する場合

$$\text{リロード値} = (20 \times 1000000) / 153600 - 1 = 129$$

$$\text{ボーレート (計算値)} = (20 \times 1000000) / (129 + 1) = 153846 \text{ (bps)}$$

$$\text{誤差 (\%)} = (153846 - 153600) / 153600 \times 100 = 0.16 \text{ (\%)}$$

< 注意事項 >

- リロード値を "0" に設定するとリロードカウンタは停止します。
- リロード値が偶数の場合、受信シリアルクロックの "H" 幅と "L" 幅は "L" 幅の方が周辺クロック (PCLK) 1 サイクル分長くなります。奇数の場合、シリアルクロックの "H" 幅と "L" 幅は同じになります。
- リロード値は 4 以上を設定してください。ただし、ボーレートの誤差とリロード値の設定によって正常にデータを受信できないことがあります。

■ 各周辺クロック (PCLK) 周波数に対するリロード値とボーレート

表 27.7-1 リロード値とボーレート

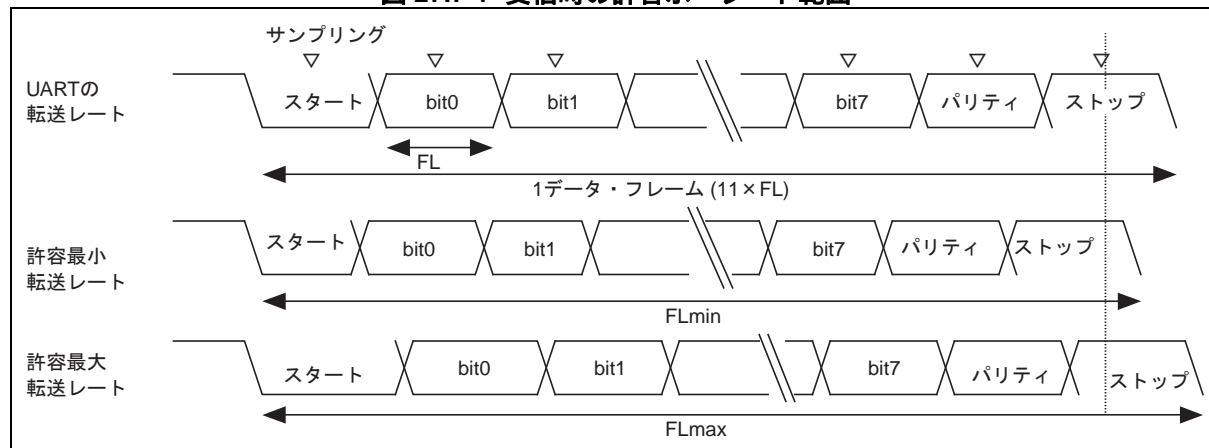
ボーレート (bps)	8 MHz		10 MHz		16 MHz		20 MHz		24 MHz		32MHz	
	Value	ERR	Value	ERR	Value	ERR	Value	ERR	Value	ERR	Value	ERR
4M	-	-	-	-	-	0	4	0	5	0	7	0
2.5M	-	-	-	0	-	-	-	-	-	-	-	-
2M	-	0	4	0	7	0	9	0	11	0	15	0
1M	7	0	9	0	15	0	19	0	23	0	31	0
500000	15	0	19	0	31	0	39	0	47	0	63	0
460800	-	-	-	-	-	-	-	-	51	- 0.16	-	-
250000	31	0	39	0	63	0	79	0	95	0	127	0
230400	-	-	-	-	-	-	-	-	103	- 0.16	-	-
153600	51	- 0.16	64	- 0.16	103	- 0.16	129	- 0.16	155	- 0.16	207	- 0.16
125000	63	0	79	0	127	0	159	0	191	0	255	0
115200	68	- 0.64	86	0.22	138	0.08	173	0.22	207	- 0.16	277	0.08
76800	103	- 0.16	129	- 0.16	207	- 0.16	259	- 0.16	311	- 0.16	416	0.08
57600	138	0.08	173	0.22	277	0.08	346	- 0.16	416	0.08	555	0.08
38400	207	- 0.16	259	- 0.16	416	0.08	520	0.03	624	0	832	- 0.04
28800	277	0.08	346	< 0.01	554	- 0.01	693	- 0.06	832	- 0.03	1110	- 0.01
19200	416	0.08	520	0.03	832	- 0.03	1041	0.03	1249	0	1666	0.02
10417	767	< 0.01	959	< 0.01	1535	< 0.01	1919	< 0.01	2303	< 0.01	3071	< 0.01
9600	832	0.04	1041	0.03	1666	0.02	2083	0.03	2499	0	3332	- 0.01
7200	1110	< 0.01	1388	< 0.01	2221	< 0.01	2777	< 0.01	3332	< 0.01	4443	- 0.01
4800	1666	0.02	2082	- 0.02	3332	< 0.01	4166	< 0.01	4999	0	6666	< 0.01
2400	3332	< 0.01	4166	< 0.01	6666	< 0.01	8332	< 0.01	9999	0	13332	< - 0.01
1200	6666	< 0.01	8334	0.02	13332	< 0.01	16666	< 0.01	19999	0	26666	< 0.01
600	13332	< 0.01	16666	< 0.01	26666	< 0.01	-	-	-	-	-	-
300	26666	< 0.01	-	-	-	-	-	-	-	-	-	-

- Value : BGR1/BGR0 レジスタの設定値 (10 進)
- ERR : ボーレート誤差 (%)

■ 受信時の許容ボーレート範囲

受信の際に、送信先のボーレートのずれがどの程度まで許容できるかを次に示します。
受信時のボーレート誤差は下記に示す算出式を使用して、必ず許容誤差範囲内になるように設定してください。

図 27.7-1 受信時の許容ボーレート範囲



図に示すように、スタートビット検出後はBGR1/BGR0レジスタで設定したカウンタにより、受信データのサンプリング・タイミングが決定されます。このサンプリング・タイミングに最終データ（ストップビット）までが間に合えば正常に受信できます。

これを 11 ビット受信にあてはめると理論上、次のようになります。

サンプリング・タイミングのマージンを周辺クロック (PCLK) (ϕ) の 2 クロック分とすると、

許容最小転送レート (FLmin) は次のようになります。

$$FLmin = (11 \text{ ビット} \times (V+1) - (V+1)/2 + 2)/\phi = (21V+25)/2\phi \text{ (s)}$$

V: リロード値 ϕ : 周辺クロック (PCLK)

したがって、受信可能な送信先の最大ボーレート (BGmax) は次のようになります。

$$BGmax = 11/FLmin = 22\phi/(21V+25) \text{ (bps)}$$

V: リロード値 ϕ : 周辺クロック (PCLK)

同様に、許容最大転送レート (FLmax) を求めると、次のようになります。

$$FLmax = (11 \text{ ビット} \times (V+1) + (V+1)/2 - 2)/\phi = (23V+19)/2\phi \text{ (s)}$$

V: リロード値 ϕ : 周辺クロック (PCLK)

したがって、受信可能な送信先の最小ボーレート (BGmin) は次のようになります。

$$BGmin = 11/FLmax = 22\phi/(23V+19) \text{ (bps)}$$

V: リロード値 ϕ : 周辺クロック (PCLK)

前述の最小 / 最大ボーレート値の算出式から , UART と送信先とのボーレートの許容誤差を求めると次のようになります。

表 27.7-2 ボーレートの許容誤差

リロード値 (V)	許容最大ボーレート誤差	許容最小ボーレート誤差
3	0%	0
10	+2.98%	-2.81%
50	+4.37%	-4.02%
100	+4.56%	-4.18%
200	+4.66%	-4.26%
32767	+4.76%	-4.35%

< 注意事項 >

受信の精度は , 1 フレームのビット数 , 周辺クロック (PCLK), リロード値に依存します。周辺クロック (PCLK) が高く , 分周比が高くなるほど精度は高くなります。

■ 外部クロック

ボーレートジェネレータレジスタ 1,0 (BGR1, BGR0) の EXT ビットに "1" を書き込むと , ボーレートジェネレータで外部クロックを分周します。

< 注意事項 >

外部クロック信号は UART で内部クロックに同期します。したがって , 同期化不可能な外部クロックの場合には動作が不安定になります

■ リロードカウンタの機能

リロードカウンタには , 送信リロードカウンタと受信リロードカウンタがあり , 専用ボーレートジェネレータとして機能します。リロード値に対する 15 ビットレジスタから構成されており , 外部クロックまたは内部クロックより送受信クロックを生成します。

■ カウントの開始

ボーレートジェネレータレジスタ 1,0 (BGR1, BGR0) にリロード値を書き込むと , リロードカウンタはカウントを開始します。

■ 再スタート

リロードカウンタは下記の条件で再スタートします。

- 送信 / 受信リロードカウンタ共通
プログラマブルリセット (SCR:UPCL ビット)
- 受信リロードカウンタ
非同期モードでのスタートビット立下りエッジ検出

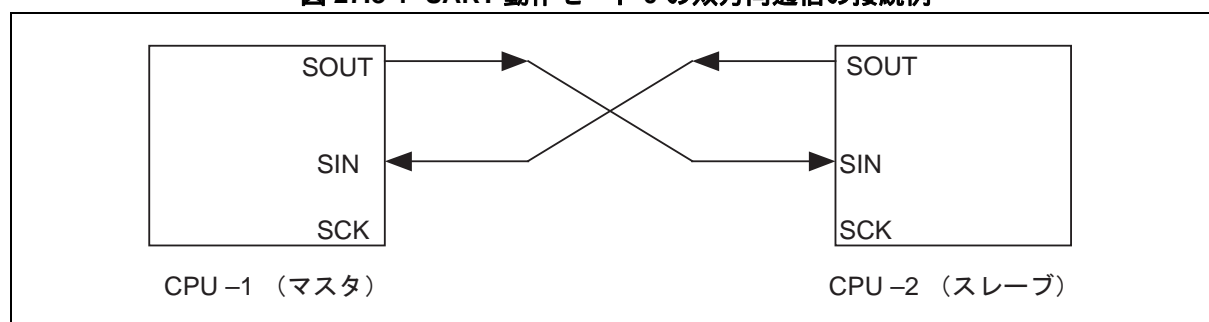
27.8 動作モード 0 (非同期ノーマルモード) 設定手順とプログラムフロー

動作モード 0 では、非同期シリアル双方向通信をすることができます。

■ CPU 間接続

動作モード 0 (通常モード) では、双方向通信を選択します。図 27.8-1 に示すように 2 つの CPU を相互に接続します。

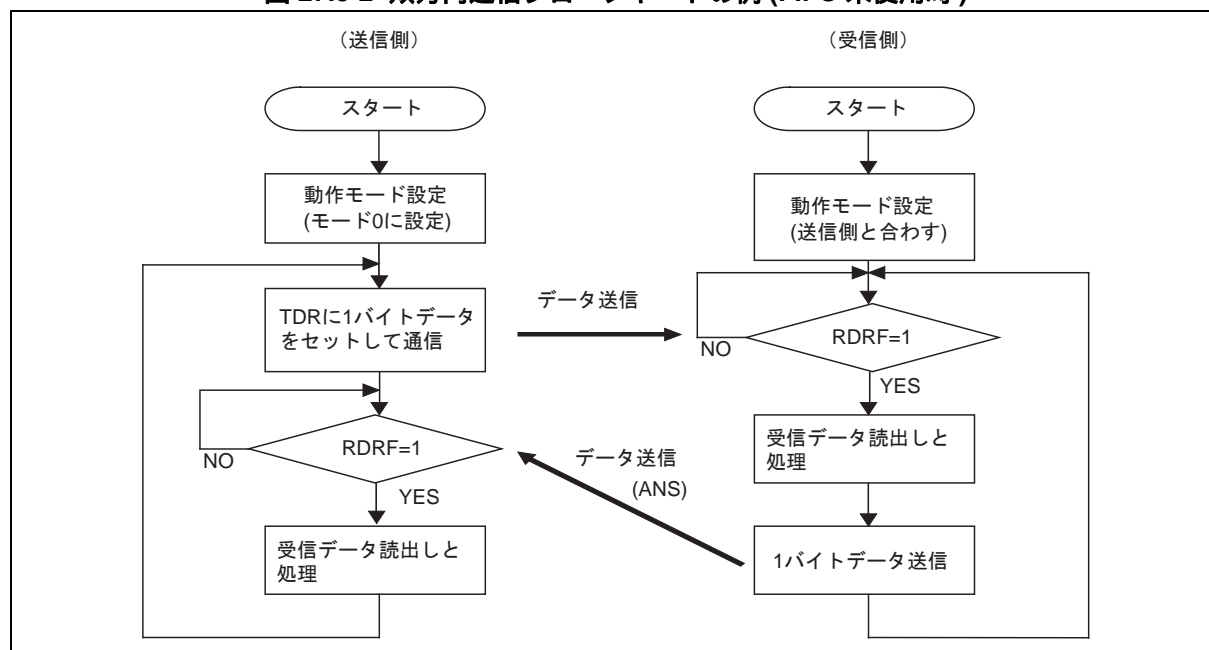
図 27.8-1 UART 動作モード 0 の双方向通信の接続例



■ フローチャート

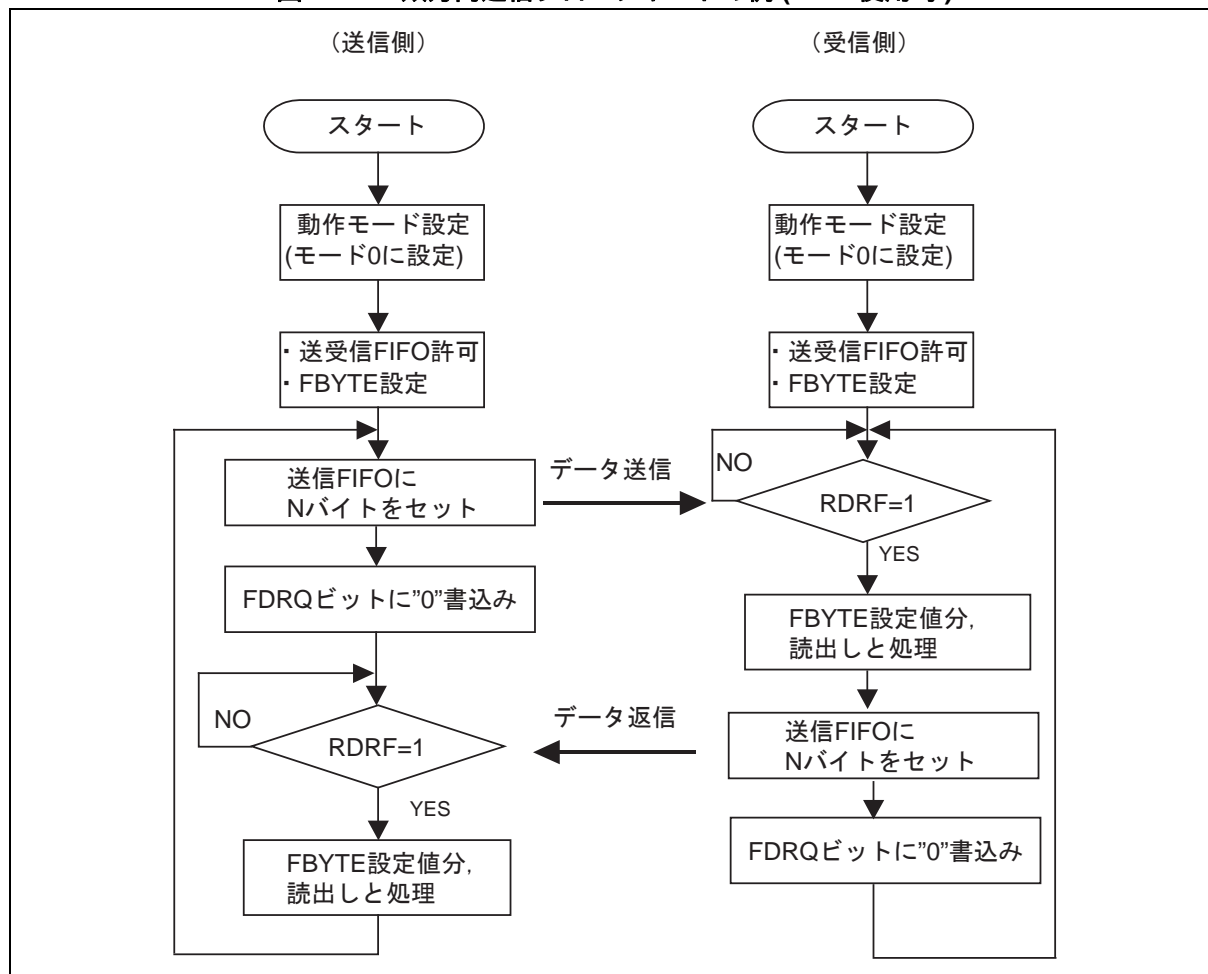
- FIFO 未使用時

図 27.8-2 双方向通信フローチャートの例 (FIFO 未使用時)



● FIFO 使用時

図 27.8-3 双方向通信フローチャートの例 (FIFO 使用時)



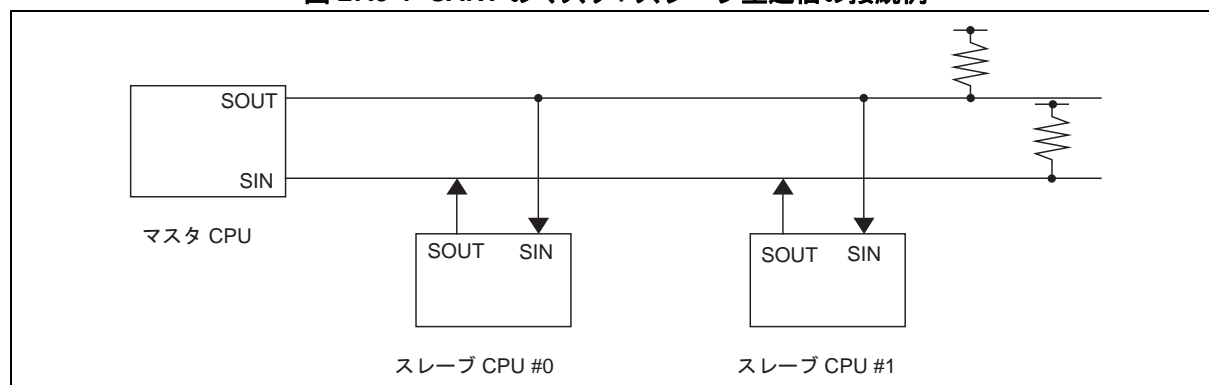
27.9 動作モード 1 (非同期マルチプロセッサモード) 設定手順とプログラムフロー

動作モード 1(マルチプロセッサモード)では、複数 CPU のマスタ/スレーブ接続による通信が可能です。マスタ/スレーブとして使用できます。

■ CPU 間接続

マスタ/スレーブ型通信では、図 27.9-1 に示すように 2 本の共通通信ラインに 1 つのマスタ CPU と複数のスレーブ CPU を接続して通信システムを構成します。UART はマスタまたはスレーブのどちらでも使用できます。

図 27.9-1 UART のマスタ/スレーブ型通信の接続例



■ 機能選択

マスタ/スレーブ型通信では、表 27.9-1 に示すように動作モードとデータ転送方式を選択してください。

表 27.9-1 マスタ/スレーブ型通信機能の選択

	動作モード		データ	パリティ	ストップビット	ビット方向
	マスタ CPU	スレーブ CPU				
アドレス送受信	モード 1 (AD ビット送信)	モード 1 (AD ビット受信)	AD = 1 + 7 ビットまたは 8 ビットアドレス	なし	1 ビット ~ 4 ビット	LSB ファースト または、 MSB ファースト
データ送受信			AD = 0 + 7 ビットまたは 8 ビットデータ			

< 注意事項 >

動作モード 1 では送受信データ (RDR/TDR) はハーフワードアクセスで行ってください。

● 通信手順

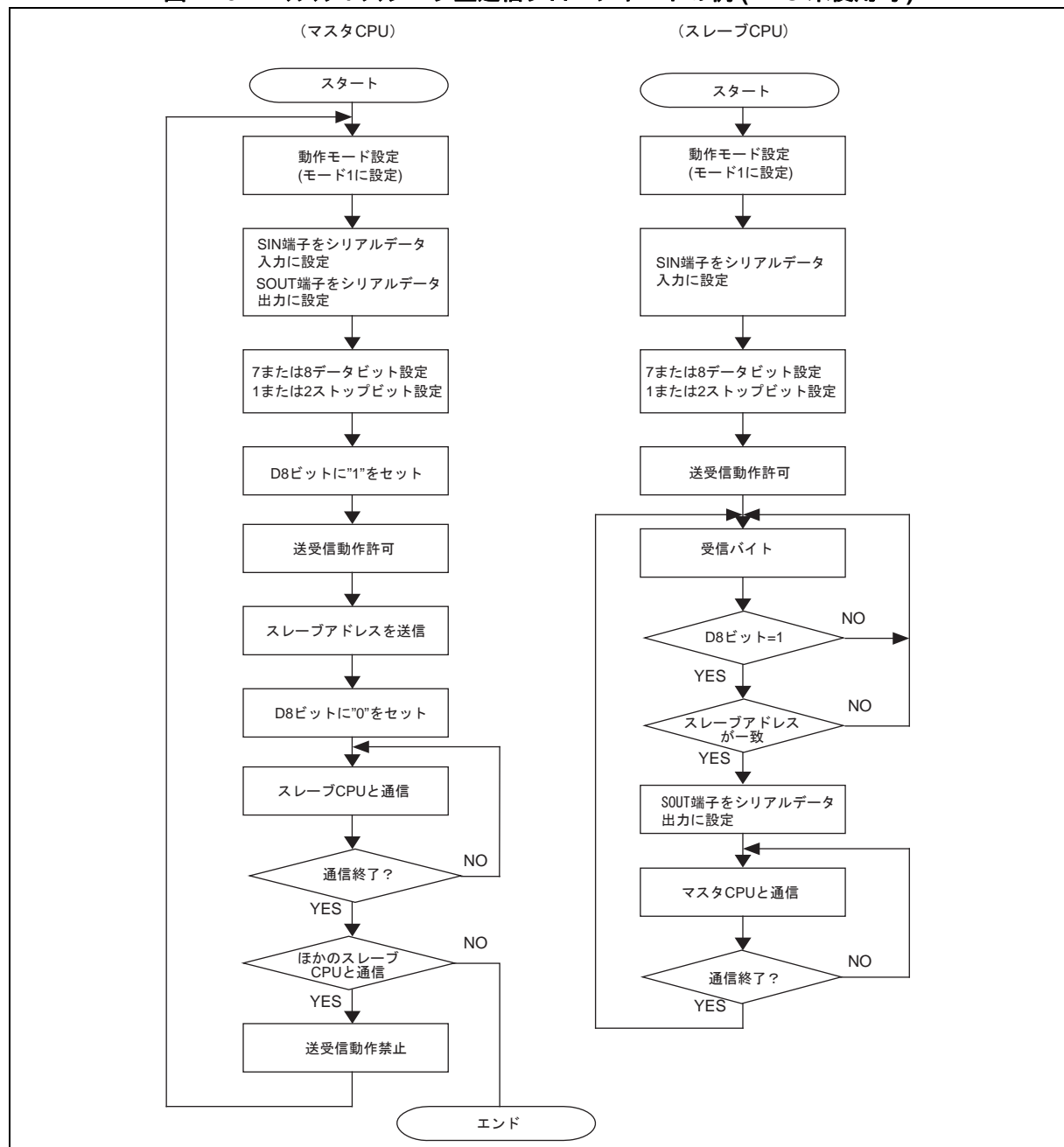
通信は、マスタ CPU がアドレスデータを送信することによって始まります。アドレスデータとは D8 ビットを "1" としたデータで、通信先となるスレーブ CPU を選択します。各スレーブ CPU はプログラムでアドレスデータを判断し、割り当てられたアドレスと一致した場合にマスタ CPU との通信（通常データ）をします。

図 27.9-2、図 27.9-3 に、マスタ / スレーブ型通信（マルチプロセッサモード）のフローチャートを示します。

■ フローチャート

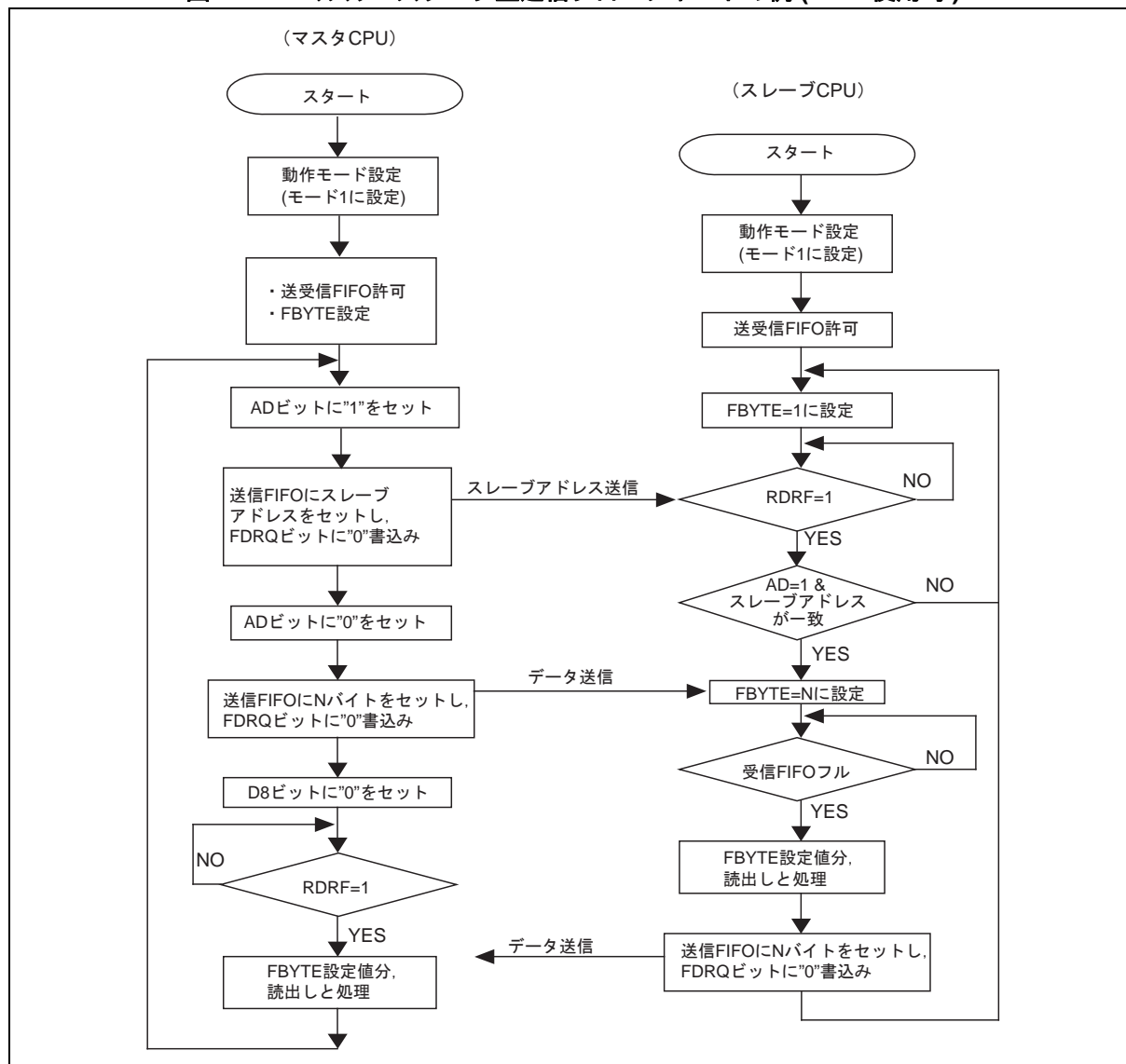
● FIFO 未使用時

図 27.9-2 マスタ / スレーブ型通信フローチャートの例 (FIFO 未使用時)



● FIFO 使用時

図 27.9-3 マスタ/スレーブ型通信フローチャートの例 (FIFO 使用時)



27.10 UART モードの注意事項

UART モードの注意事項を下記に示します。

- FIFO 付きチャネルで DMA 転送要求する場合 , FIFO は使用できません。FIFO 動作禁止の設定としてください。
- DMA 転送要求する場合 , DMA のブロックサイズを 1 回に設定してください。

27.11 CSIO(クロック同期シリアルインタフェース)

マルチファンクションシリアルインタフェースの機能のうち、動作モード 2 でサポートしている CSIO 機能について説明します。

- UART モードの注意事項
- CSIO(クロック同期シリアルインタフェース) の概要
- CSIO(クロック同期シリアルインタフェース) の レジスタ
 - シリアル制御レジスタ (SCR)
 - シリアルモードレジスタ (SMR)
 - シリアルステータスレジスタ (SSR)
 - 拡張通信制御レジスタ (ESCR)
 - 受信データレジスタ / 送信データレジスタ (RDR/TDR)
 - ボーレートジェネレータレジスタ 1, 0 (BGR1, BGR0)
 - FIFO 制御レジスタ 1(FCR1)
 - FIFO 制御レジスタ 0(FCR0)
 - FIFO バイトレジスタ (FBYTE1/FBYTE2)
 - シリアルモード選択レジスタ (SSEL0123, SSEL4567)
 - 受信データミラーレジスタ / 送信データミラーレジスタ (RDRM/TDRM)
- CSIO(クロック同期シリアルインタフェース) の割込み
 - 受信割込み発生とフラグセットのタイミング
 - 受信 FIFO 使用時の割込み発生とフラグセットの タイミング
 - 送信割込み発生とフラグセットのタイミング
 - 送信 FIFO 使用時の割込み発生とフラグセットの タイミング
- CSIO(クロック同期シリアルインタフェース) の 動作
 - 専用ボーレートジェネレータ
 - ボーレート設定
 - CSIO(クロック同期シリアルインタフェース) 設定手順とプログラムフロー

27.12 CSIO(クロック同期シリアルインタフェース) の概要

CSIO(クロック同期シリアルインタフェース) は , 外部装置と同期通信をするための汎用のシリアルデータ通信インタフェースです (SPI に対応します)。また , 送信 / 受信 (最大 各 16 バイト) の FIFO を搭載しています。

■ CSIO (クロック同期シリアルインタフェース) の機能

		機能
1	データバッファ	<ul style="list-style-type: none"> 全二重ダブルバッファ (FIFO 未使用時) 送信 / 受信 FIFO (最大各 16 バイト) (FIFO 使用時) *
2	転送形式	<ul style="list-style-type: none"> クロック同期 (スタートビット / ストップビットなし) マスタ / スレーブ機能 SPI に対応 (マスタ / スレーブ両方サポート)
3	ボーレート	<ul style="list-style-type: none"> 専用ボーレートジェネレータあり (15 ビットリロードカウンタから構成 , マスタ動作時) 外部クロック入力可能 (スレーブ動作時)
4	データ長	5 ビット ~ 9 ビットに可変可能
5	受信エラー検出	オーバランエラー
6	割込み要求	<ul style="list-style-type: none"> 受信割込み (受信完了 , オーバランエラー) 送信割込み (送信データエンプティ , 送信バスアイドル) 送信 FIFO 割込み (送信 FIFO がエンプティのとき) 送受信 DMA 転送サポート機能あり
7	同期モード	マスタまたはスレーブ機能
8	端子アクセス	シリアルデータ出力端子を "H" に設定可能
9	4 チャンネル同時通信	ch.0 ~ ch.3 と ch.4 ~ ch.7 を 4 チャンネル同時通信可能
10	FIFO オプション	<ul style="list-style-type: none"> 送受信 FIFO 搭載 (最大容量 : 送信 FIFO 16 バイト , 受信 FIFO 16 バイト) * 送信 FIFO と受信 FIFO を選択可能 送信データ再送可能 受信 FIFO 割込みタイミングをソフトで変更可能 独立して FIFO リセットサポート

*: ch.0 ~ ch.7 には FIFO はありません。

27.13 CSIO(クロック同期シリアルインタフェース) のレジスタ

CSIO(クロック同期シリアルインタフェース) のレジスタ一覧を示します。

■ CSIO(クロック同期シリアルインタフェース) のレジスタ一覧

表 27.13-1 CSIO(クロック同期シリアルインタフェース) のレジスタ一覧 (1 / 4)

チャンネル	レジスタ略称	レジスタ名	参照先
0 ~ 3 共通	SSEL0123	シリアルモード選択レジスタ 0123	27.13.10
4 ~ 7 共通	SSEL4567	シリアルモード選択レジスタ 4567	27.13.10
0	SCR0	シリアル制御レジスタ 0	27.13.1
	SMR0	シリアルモードレジスタ 0	27.13.2
	ESCR0	拡張通信制御レジスタ 0	27.13.4
	BGR0	ボーレートジェネレータレジスタ 0	27.13.6
	SSR0	シリアルステータスレジスタ 0	27.13.3
	RDR0	受信データレジスタ 0	27.13.5
	TDR0	送信データレジスタ 0	27.13.5
	RDRM0	受信データミラーレジスタ 0	27.13.11
	TDRM0	送信データミラーレジスタ 0	27.13.11
1	SCR1	シリアル制御レジスタ 1	27.13.1
	SMR1	シリアルモードレジスタ 1	27.13.2
	ESCR1	拡張通信制御レジスタ 1	27.13.4
	BGR1	ボーレートジェネレータレジスタ 1	27.13.6
	SSR1	シリアルステータスレジスタ 1	27.13.3
	RDR1	受信データレジスタ 1	27.13.5
	TDR1	送信データレジスタ 1	27.13.5
	RDRM1	受信データミラーレジスタ 1	27.13.11
	TDRM1	送信データミラーレジスタ 1	27.13.11
2	SCR2	シリアル制御レジスタ 2	27.13.1
	SMR2	シリアルモードレジスタ 2	27.13.2
	ESCR2	拡張通信制御レジスタ 2	27.13.4
	BGR2	ボーレートジェネレータレジスタ 2	27.13.6
	SSR2	シリアルステータスレジスタ 2	27.13.3
	RDR2	受信データレジスタ 2	27.13.5
	TDR2	送信データレジスタ 2	27.13.5
	RDRM2	受信データミラーレジスタ 2	27.13.11
	TDRM2	送信データミラーレジスタ 2	27.13.11

表 27.13-1 CSIO(クロック同期シリアルインタフェース) のレジスタ一覧 (2 / 4)

チャンネル	レジスタ略称	レジスタ名	参照先
3	SCR3	シリアル制御レジスタ 3	27.13.1
	SMR3	シリアルモードレジスタ 3	27.13.2
	ESCR3	拡張通信制御レジスタ 3	27.13.4
	BGR3	ボーレートジェネレータレジスタ 3	27.13.6
	SSR3	シリアルステータスレジスタ 3	27.13.3
	RDR3	受信データレジスタ 3	27.13.5
	TDR3	送信データレジスタ 3	27.13.5
	RDRM3	受信データミラーレジスタ 3	27.13.11
	TDRM3	送信データミラーレジスタ 3	27.13.11
4	SCR4	シリアル制御レジスタ 4	27.13.1
	SMR4	シリアルモードレジスタ 4	27.13.2
	ESCR4	拡張通信制御レジスタ 4	27.13.4
	BGR4	ボーレートジェネレータレジスタ 4	27.13.6
	SSR4	シリアルステータスレジスタ 4	27.13.3
	RDR4	受信データレジスタ 4	27.13.5
	TDR4	送信データレジスタ 4	27.13.5
	RDRM4	受信データミラーレジスタ 4	27.13.11
	TDRM4	送信データミラーレジスタ 4	27.13.11
5	SCR5	シリアル制御レジスタ 5	27.13.1
	SMR5	シリアルモードレジスタ 5	27.13.2
	ESCR5	拡張通信制御レジスタ 5	27.13.4
	BGR5	ボーレートジェネレータレジスタ 5	27.13.6
	SSR5	シリアルステータスレジスタ 5	27.13.3
	RDR5	受信データレジスタ 5	27.13.5
	TDR5	送信データレジスタ 5	27.13.5
	RDRM5	受信データミラーレジスタ 5	27.13.11
	TDRM5	送信データミラーレジスタ 5	27.13.11
6	SCR6	シリアル制御レジスタ 6	27.13.1
	SMR6	シリアルモードレジスタ 6	27.13.2
	ESCR6	拡張通信制御レジスタ 6	27.13.4
	BGR6	ボーレートジェネレータレジスタ 6	27.13.6
	SSR6	シリアルステータスレジスタ 6	27.13.3
	RDR6	受信データレジスタ 6	27.13.5
	TDR6	送信データレジスタ 6	27.13.5
	RDRM6	受信データミラーレジスタ 6	27.13.11
	TDRM6	送信データミラーレジスタ 6	27.13.11

表 27.13-1 CSIO(クロック同期シリアルインタフェース) のレジスタ一覧 (3 / 4)

チャンネル	レジスタ略称	レジスタ名	参照先
7	SCR7	シリアル制御レジスタ 7	27.13.1
	SMR7	シリアルモードレジスタ 7	27.13.2
	ESCR7	拡張通信制御レジスタ 7	27.13.4
	BGR7	ボーレートジェネレータレジスタ 7	27.13.6
	SSR7	シリアルステータスレジスタ 7	27.13.3
	RDR7	受信データレジスタ 7	27.13.5
	TDR7	送信データレジスタ 7	27.13.5
	RDRM7	受信データミラーレジスタ 7	27.13.11
	TDRM7	送信データミラーレジスタ 7	27.13.11
8	SCR8	シリアル制御レジスタ 8	27.13.1
	SMR8	シリアルモードレジスタ 8	27.13.2
	ESCR8	拡張通信制御レジスタ 8	27.13.4
	BGR8	ボーレートジェネレータレジスタ 8	27.13.6
	SSR8	シリアルステータスレジスタ 8	27.13.3
	RDR8	受信データレジスタ 8	27.13.5
	TDR8	送信データレジスタ 8	27.13.5
	FCR18	FIFO 制御レジスタ 18	27.13.7
	FCR08	FIFO 制御レジスタ 08	27.13.8
	FBYTE18	FIFO1 バイトレジスタ 8	27.13.9
	FBYTE28	FIFO2 バイトレジスタ 8	27.13.9
9	SCR9	シリアル制御レジスタ 9	27.13.1
	SMR9	シリアルモードレジスタ 9	27.13.2
	ESCR9	拡張通信制御レジスタ 9	27.13.4
	BGR9	ボーレートジェネレータレジスタ 9	27.13.6
	SSR9	シリアルステータスレジスタ 9	27.13.3
	RDR9	受信データレジスタ 9	27.13.5
	TDR9	送信データレジスタ 9	27.13.5
	FCR19	FIFO 制御レジスタ 19	27.13.7
	FCR09	FIFO 制御レジスタ 09	27.13.8
	FBYTE19	FIFO1 バイトレジスタ 9	27.13.9
	FBYTE29	FIFO2 バイトレジスタ 9	27.13.9

表 27.13-1 CSIO(クロック同期シリアルインタフェース) のレジスタ一覧 (4 / 4)

チャンネル	レジスタ略称	レジスタ名	参照先
10	SCR10	シリアル制御レジスタ 10	27.13.1
	SMR10	シリアルモードレジスタ 10	27.13.2
	ESCR10	拡張通信制御レジスタ 10	27.13.4
	BGR10	ボーレートジェネレータレジスタ 10	27.13.6
	SSR10	シリアルステータスレジスタ 10	27.13.3
	RDR10	受信データレジスタ 10	27.13.5
	TDR10	送信データレジスタ 10	27.13.5
	FCR110	FIFO 制御レジスタ 110	27.13.7
	FCR010	FIFO 制御レジスタ 010	27.13.8
	FBYTE110	FIFO1 バイトレジスタ 10	27.13.9
	FBYTE210	FIFO2 バイトレジスタ 10	27.13.9
11	SCR11	シリアル制御レジスタ 11	27.13.1
	SMR11	シリアルモードレジスタ 11	27.13.2
	ESCR11	拡張通信制御レジスタ 11	27.13.4
	BGR11	ボーレートジェネレータレジスタ 11	27.13.6
	SSR11	シリアルステータスレジスタ 11	27.13.3
	RDR11	受信データレジスタ 11	27.13.5
	TDR11	送信データレジスタ 11	27.13.5
	FCR111	FIFO 制御レジスタ 111	27.13.7
	FCR011	FIFO 制御レジスタ 011	27.13.8
	FBYTE111	FIFO1 バイトレジスタ 11	27.13.9
	FBYTE211	FIFO2 バイトレジスタ 11	27.13.9

表 27.13-2 CSIO (クロック同期シリアルインタフェース) ビット配置

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
SCR/ SMR	UPCL	MS	SPI	RIE	TIE	TBIE	RXE	TXE	MD2	MD1	MD0	-	SCINV	BDS	SCKE	SOE
SSR/ ESCR	REC	-	-	-	ORE	RDRF	TDRE	TBI	SOP	-	-	WT1	WT0	L2	L1	L0
RDR/ TDR	-							D8	D7	D6	D5	D4	D3	D2	D1	D0
BGR1/ BGR0	-	B14	B13	B12	B11	B10	B9	B8	B7	B6	B5	B4	B3	B2	B1	B0
-	-								-							
FCR1/ FCR0	-	-	-	FLSTE	FRIIE	FDRQ	FTIE	FSEL	-	FLST	FLD	FSET	FCL2	FCL1	FE2	FE1
FBYTE2/ FBYTE1	FD15	FD14	FD13	FD12	FD11	FD10	FD9	FD8	FD7	FD6	FD5	FD4	FD3	FD2	FD1	FD0

27.13.1 シリアル制御レジスタ (SCR)

シリアル制御レジスタ (SCR) は、送受信割込みの許可 / 禁止、送信アイドル割込みの許可 / 禁止、送受信動作の許可 / 禁止の設定を行います。また、SPI に接続するための設定、CSIO をリセットすることが可能です。

■ シリアル制御レジスタ (SCR)

図 27.13-1 にシリアル制御レジスタ (SCR) のビット構成を、表 27.13-3 に各ビットの機能を示します。

図 27.13-1 シリアル制御レジスタ (SCR) のビット構成

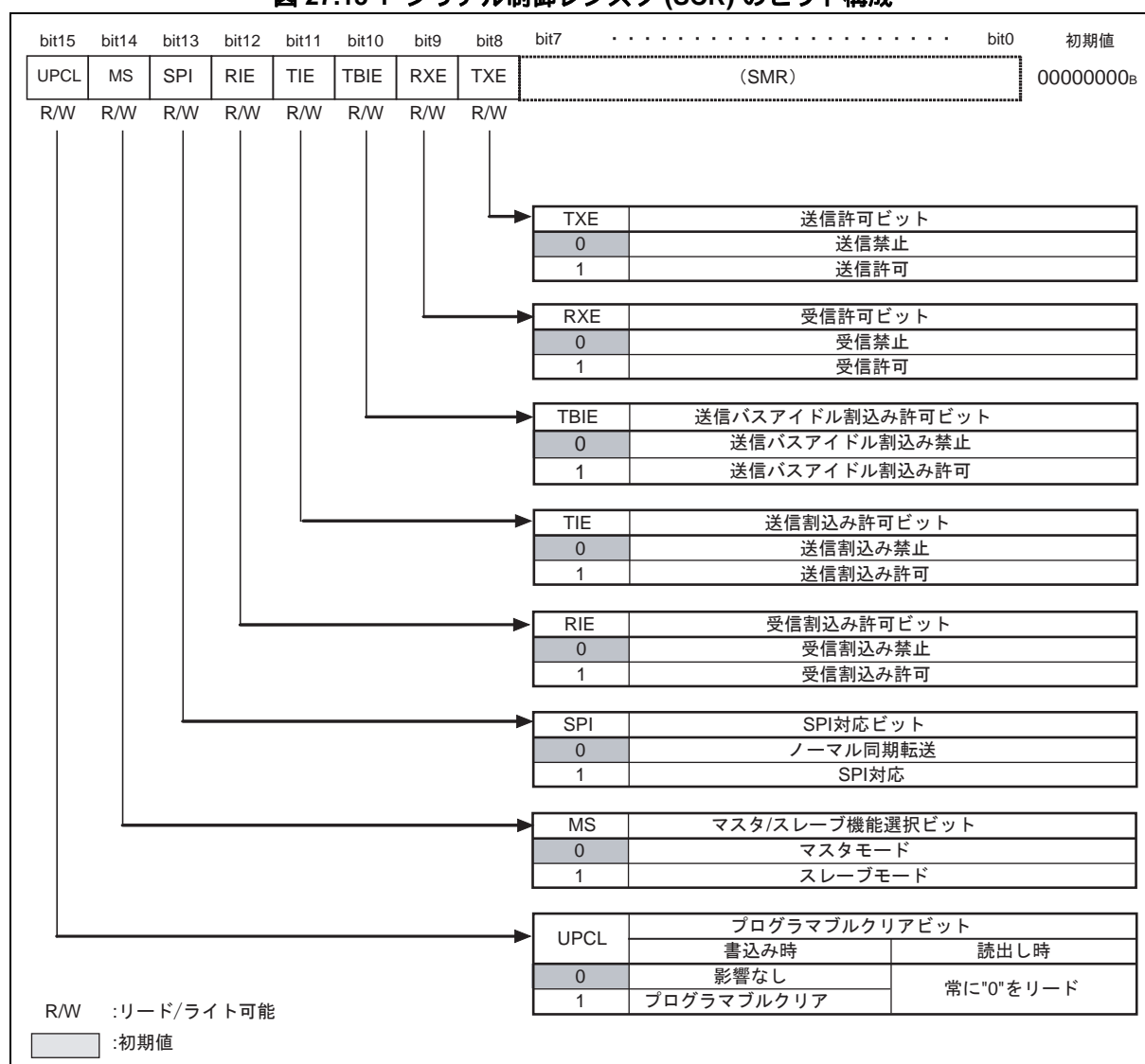


表 27.13-3 シリアル制御レジスタ (SCR) の各ビットの機能説明 (1 / 2)

ビット名		機能
bit15	UPCL : プログラマブル クリアビット	<p>CSIO の内部状態を初期化するビットです。 "1" を設定した場合 :</p> <ul style="list-style-type: none"> CSIO を直接リセット (ソフトウェアリセット) します。ただし、レジスタの設定は保持されます。その際、送受信状態のものは直ちに切断されます。 ボーレートジェネレータは、BGR1/BGR0 レジスタの設定値をリロードし、再スタートします。 すべての送受信割込み要因 (TDRE, TBI, RDRF, ORE) は初期化 ("1100_B") されます。 "0" を設定した場合 : 動作に影響を及ぼしません。 リード時は、常に "0" が読み出されます。 <p>(注意事項) 割込み禁止に設定した後に、プログラマブルクリアを実行してください。 FIFO 使用時は、FIFO 禁止 (FE2, FE1=0) にしてからプログラマブルクリアを実行してください。</p>
bit14	MS : マスタ / スレーブ機能 選択ビット	<p>マスタまたはスレーブモードを選択します。 "0" に設定した場合 : マスタモードに設定されます。 "1" に設定した場合 : スレーブモードに設定されます。 (注意事項) スレーブモードを選択した場合、SMR:SCKE=0 であれば、外部クロックが直接入力されます。</p>
bit13	SPI : SPI 対応 ビット	<p>本ビットは、SPI に対応した通信をさせるためのビットです。 "0" に設定した場合 : ノーマル同期通信を行います。 "1" に設定した場合 : SPI に対応します。</p>
bit12	RIE : 受信割込み 許可ビット	<ul style="list-style-type: none"> CPU への受信割込み要求出力を許可 / 禁止するビットです。 RIE ビットと受信データフラグビット (RDRF) が "1" の場合、またはエラーフラグビット (ORE) のいずれかが "1" の場合、受信割込み要求を出力します。
bit11	TIE : 送信割込み 許可ビット	<ul style="list-style-type: none"> CPU への送信割込み要求出力を許可 / 禁止するビットです。 TIE ビットと TDRE ビットが "1" の場合、送信割込み要求を出力します。
bit10	TBIE : 送信バス アイドル 割込み許可 ビット	<ul style="list-style-type: none"> CPU への送信バスアイドル割込み要求出力を許可 / 禁止するビットです。 TBIE ビットと TBI ビットが "1" のとき、送信バスアイドル割込み要求を出力します。

表 27.13-3 シリアル制御レジスタ (SCR) の各ビットの機能説明 (2 / 2)

ビット名		機能
bit9	RXE : 受信許可ビット	CSIO の受信動作を許可 / 禁止します。 "0" に設定した場合：データフレーム受信動作が禁止されます。 "1" に設定した場合：データフレーム受信動作が許可されます。 (注意事項) 受信中に受信動作を禁止 (RXE=0) した場合には , 直ちに受信動作を停止します。
bit8	TXE : 送信許可ビット	CSIO の送信動作を許可 / 禁止します。 "0" に設定した場合：データフレーム送信動作が禁止されます。 "1" に設定した場合：データフレーム送信動作が許可されます。 (注意事項) 送信中に送信動作を禁止 (TXE=0) した場合には , 直ちに送信動作を停止します。

27.13.2 シリアルモードレジスタ (SMR)

シリアルモードレジスタ (SMR) は、動作モードの設定、転送方向、シリアルクロックの反転、およびシリアルデータとクロックの端子への出力許可 / 禁止の設定を行います。

■ シリアルモードレジスタ (SMR)

図 27.13-2 にシリアルモードレジスタ (SMR) のビット構成を、表 27.13-4 に各ビットの機能を示します。

図 27.13-2 シリアルモードレジスタ (SMR) のビット構成

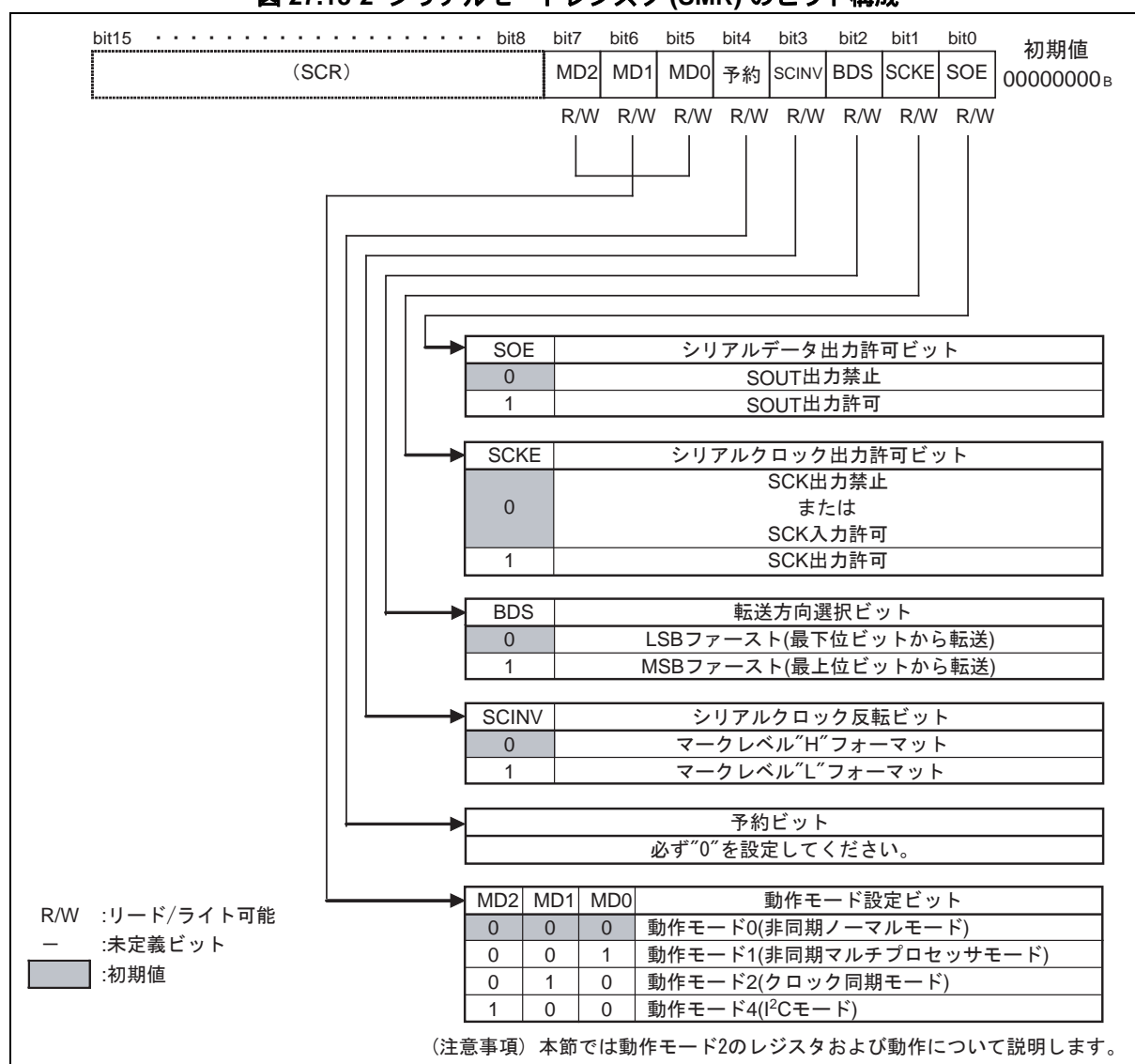


表 27.13-4 シリアルモードレジスタ (SMR) の各ビットの機能説明 (1 / 2)

ビット名		機能
bit7 ~ bit5	MD2 ~ MD0 : 動作モード 設定ビット	<p>動作モードを設定します。</p> <p>"000_B" : 動作モード 0(非同期ノーマルモード) に設定されます。</p> <p>"001_B" : 動作モード 1(非同期マルチプロセッサモード) に設定されます。</p> <p>"010_B" : 動作モード 2(クロック同期モード) に設定されます。</p> <p>"100_B" : 動作モード 4(I²C モード) に設定されます。</p> <p>動作モード 2(クロック同期モード) のレジスタおよび動作について説明します。</p> <p>(注意事項) 上記の設定以外は禁止です。</p> <p>動作モードを切り換える場合には、プログラマブルクリア実行 (SCR:UPCL=1) 後、動作モードを切り換えてください。</p> <p>動作モード設定後、各レジスタを設定してください。</p>
bit4	予約ビット	必ず "0" を設定してください。
bit3	SCINV : シリアル クロック反転 ビット	<p>シリアルクロックフォーマットを反転するビットです。</p> <p>"0" に設定した場合 :</p> <ul style="list-style-type: none"> シリアルクロック出力のマークレベルを "H" にします。 送信データは、ノーマル転送ではシリアルクロックの立下りエッジ、SPI 転送ではシリアルクロックの立上りエッジに同期して出力します。 受信データは、ノーマル転送ではシリアルクロックの立上りエッジ、SPI 転送ではシリアルクロックの立下りエッジでサンプリングします。 <p>"1" に設定した場合 :</p> <ul style="list-style-type: none"> シリアルクロック出力のマークレベルを "L" にします。 送信データは、ノーマル転送ではシリアルクロックの立上りエッジ、SPI 転送ではシリアルクロックの立下りエッジに同期して出力します。 受信データは、ノーマル転送ではシリアルクロックの立下りエッジ、SPI 転送ではシリアルクロックの立上りエッジでサンプリングします。 <p>(注意事項) 本ビットは、送受信が禁止 (TXE=RXE=0) のときに設定してください。</p>
bit2	BDS : 転送方向選択 ビット	<p>転送シリアルデータを最下位ビット側から先に転送するか (LSB ファースト, BDS=0) 最上位ビット側から先に転送するか (MSB ファースト, BDS=1) を選択するビットです。</p> <p>(注意事項) 本ビットは、送受信が禁止 (TXE=RXE=0) のときに設定してください。</p>

表 27.13-4 シリアルモードレジスタ (SMR) の各ビットの機能説明 (2 / 2)

ビット名		機能
bit1	SCKE: シリアル クロック出力 許可ビット	シリアルクロックの入出力ポートを制御するビットです。 "0" に設定した場合： SCK"H" 出力, または SCK 入力許可となります。SCK 入力として使う場合は汎用入出力ポートを入力ポートに設定してください。 "1" に設定した場合：SCK 出力許可となります。
bit0	SOE: シリアル データ出力 許可ビット	シリアルデータの出力を許可 / 禁止するビットです。 "0" に設定した場合：SOUT"H" 出力となります。 "1" に設定した場合：SOUT 出力許可となります。

< 注意事項 >

動作モードを変更すると, ほかのレジスタは初期化されますので動作モードを最初に設定してください。ただし, 16 ビット書込みで SCR と SMR を同時に書き込んだとき, SCR には書き込んだ内容が反映されます。

27.13.3 シリアルステータスレジスタ (SSR)

シリアルステータスレジスタ (SSR) は、送受信状態の確認、受信エラーフラグの確認、また、受信エラーフラグをクリアします。

■ シリアルステータスレジスタ (SSR)

図 27.13-3 にシリアルステータスレジスタ (SSR) のビット構成を、表 27.13-5 に各ビットの機能を示します。

図 27.13-3 シリアルステータスレジスタ (SSR) のビット構成

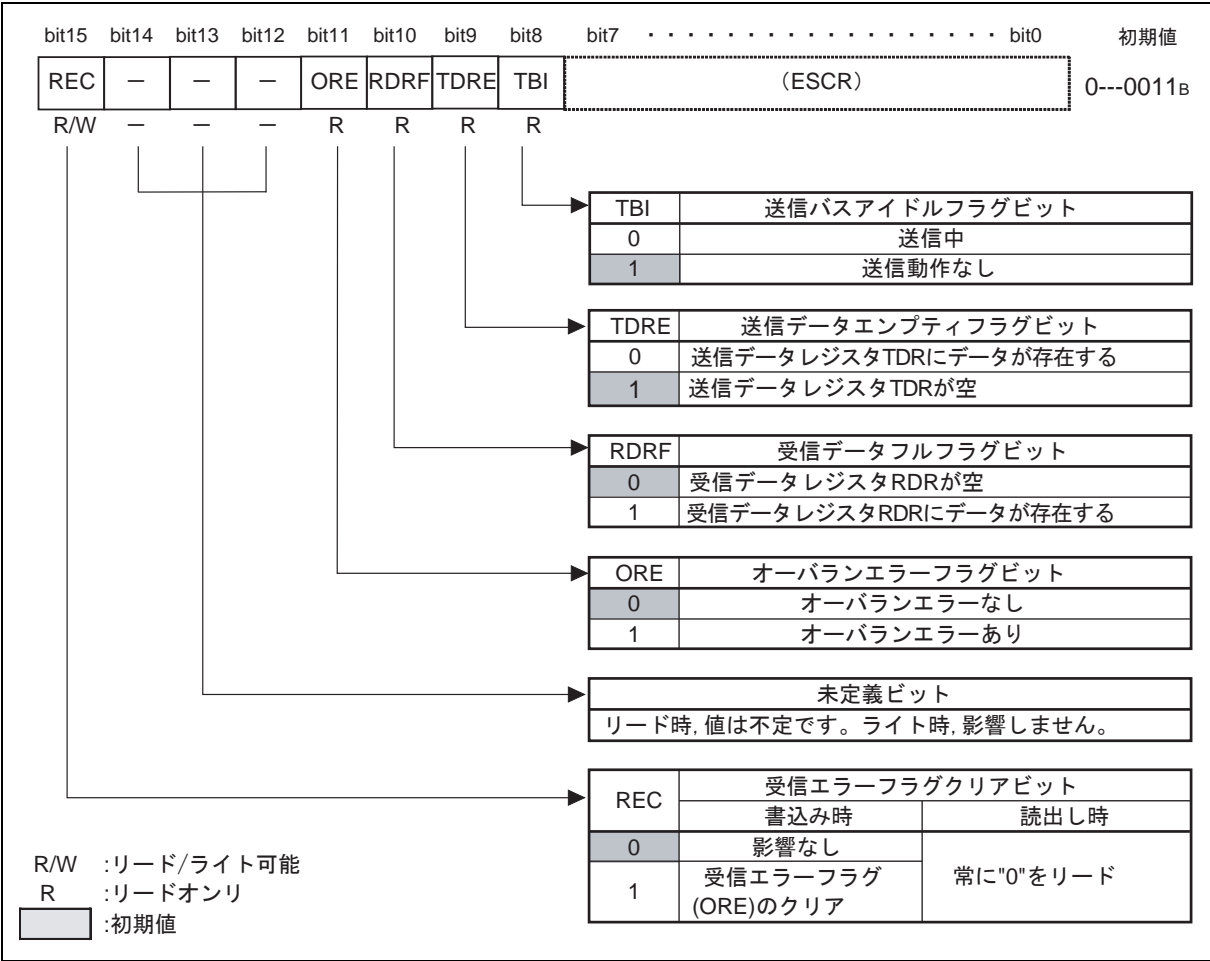


表 27.13-5 シリアルステータスレジスタ (SSR) の各ビットの機能説明 (1 / 2)

ビット名		機能
bit15	REC : 受信エラー フラグクリア ビット	シリアルステータスレジスタ (SSR) の ORE フラグをクリアするビットです。 <ul style="list-style-type: none"> • "1" 書込みで、エラーフラグがクリアされます。 • "0" 書込みは、影響しません。 リードした場合、常に "0" が読み出されます。
bit14 ~ bit12	未定義ビット	リードした場合 : 値は不定です。 ライトした場合 : 影響しません。
bit11	ORE : オーバラン エラーフラグ ビット	<ul style="list-style-type: none"> • 受信時にオーバランが発生すると "1" にセットされ、シリアルステータスレジスタ (SSR) の REC ビットに "1" を書き込むとクリアされます。 • ORE ビットと RIE ビットが "1" の場合、受信割込み要求を出力します。 • 本フラグがセットされた場合は、受信データレジスタ (RDR) のデータは無効です。 • 受信 FIFO 使用時に本フラグがセットされた場合は、受信 FIFO の許可ビットがクリアされ、受信データは受信 FIFO には格納されません。
bit10	RDRF : 受信データ フルフラグ ビット	<ul style="list-style-type: none"> • 受信データレジスタ (RDR) の状態を示すフラグです。 • RDR に受信データがロードされると "1" にセットされ、受信データレジスタ (RDR) を読み出すと "0" にクリアされます。 • RDRF ビットと RIE ビットが "1" の場合、受信割込み要求を出力します。 • 受信 FIFO 使用時は、受信 FIFO に所定のデータ数を受信したら RDRF が "1" にセットされます。 • 受信 FIFO 使用時は、受信 FIFO に所定のデータ数を受信せずに受信 FIFO にデータが残っていて受信アイドル状態がボーレートクロックで 8 クロック以上続いた場合、RDRF が "1" にセットされます。8 クロックカウント中、RDR を読み出すとそのカウンタは "0" にリセットされ、再度 8 クロックをカウントします。 • 受信 FIFO 使用時は、受信 FIFO がエンプティになると "0" にクリアされます。

表 27.13-5 シリアルステータスレジスタ (SSR) の各ビットの機能説明 (2 / 2)

ビット名		機能
bit9	TDRE : 送信データ エンプティ フラグビット	<ul style="list-style-type: none">送信データレジスタ (TDR) の状態を示すフラグです。TDR に送信データを書き込むと "0" となり, TDR に有効なデータが存在していることを示します。データが送信シフトレジスタにロードされて送信が開始されると "1" になり, TDR に有効なデータが存在していないことを示します。TDRE ビットと TIE ビットが "1" の場合, 送信割込み要求を出力します。シリアル制御レジスタ (SCR) の UPCL ビットに "1" をセットすると, TDRE ビットは "1" になります。送信 FIFO 使用時の TDRE ビットのセット / リセットタイミングは「27.14.4 送信 FIFO 使用時の割込み発生とフラグセットの タイミング」を参照してください。
bit8	TBI : 送信バス アイドル フラグビット	<ul style="list-style-type: none">CSIO が送信動作をしていないことを示すビットです。送信データレジスタ (TDR) へデータを書き込んだ場合に本ビットは "0" になります。送信データレジスタ (TDR) がエンプティ (TDRE=1) で, 送信動作をしていない場合に本ビットが "1" になります。シリアル制御レジスタ (SCR) の UPCL ビットに "1" をセットすると TDRE ビットは "1" になります。本ビットが "1" で, 送信バスアイドル割込みが許可 (SCR:TBIE=1) されていると送信割込み要求を出力します。

27.13.4 拡張通信制御レジスタ (ESCR)

拡張通信制御レジスタ (ESCR) は、送受信データ長の設定、データ送受信ウェイト選択、シリアル出力を "H" 固定の設定ができます。

■ 拡張通信制御レジスタ (ESCR) のビット構成

図 27.13-4 に拡張通信制御レジスタ (ESCR) のビット構成を、表 27.13-6 に各ビットの機能を示します。

図 27.13-4 拡張通信制御レジスタ (ESCR) のビット構成

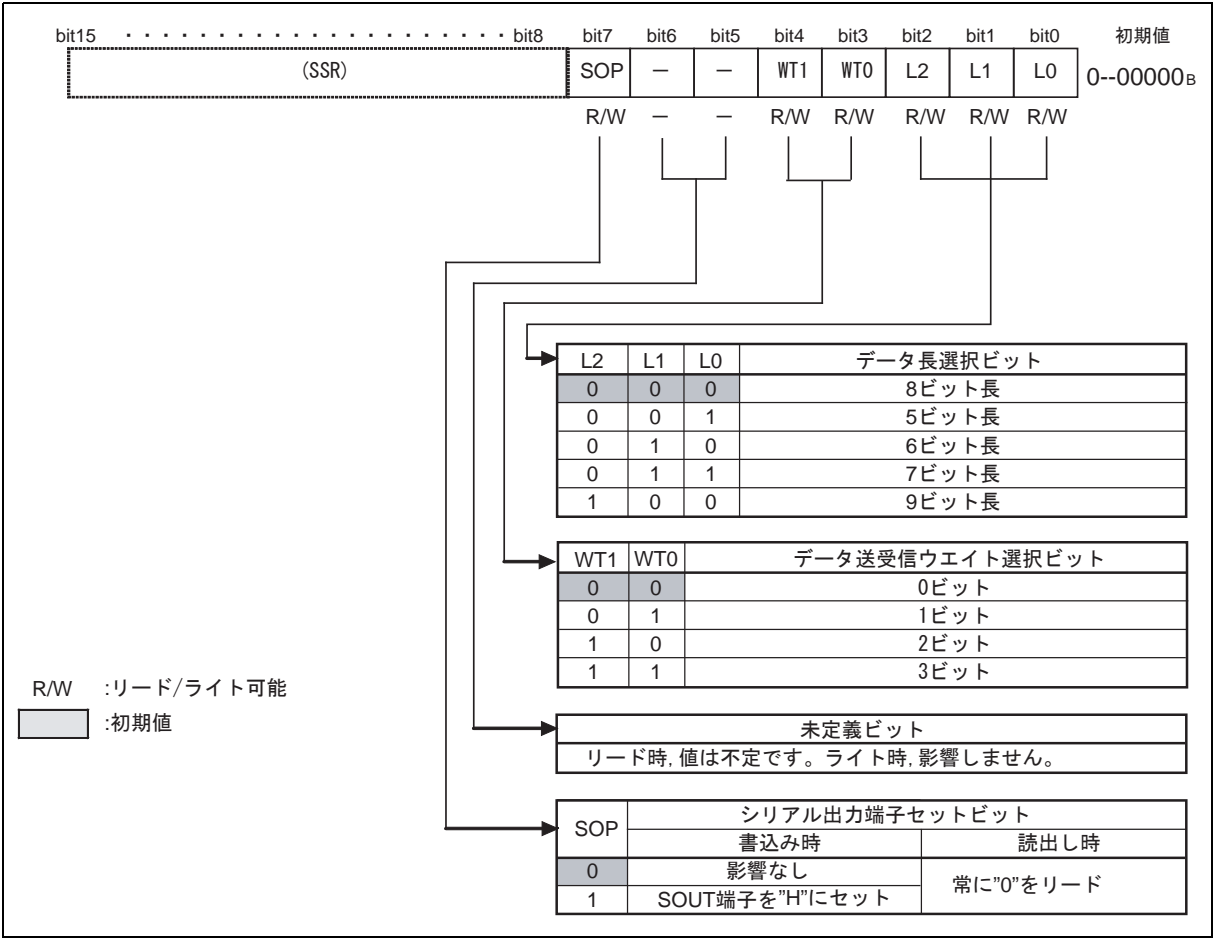


表 27.13-6 拡張通信制御レジスタ (ESCR) の各ビットの機能説明

ビット名		機能
bit7	SOP : シリアル出力 端子セット ビット	<ul style="list-style-type: none"> シリアル出力端子を "H" にセットするビットです。本ビットに "1" を書いたときに SOUT 端子を "H" にしますが、その後、本ビットに "0" を書く必要はありません。 リードした場合、常に "0" が読み出されます。 <p>(注意事項) シリアルデータ送信中に、本ビットの設定をしないでください。</p>
bit6, bit5	未定義ビット	<p>リードした場合：値は不定です。 ライトした場合：影響しません。</p>
bit4, bit3	WT1, WT0 : データ送受信 ウェイト選択 ビット	<p>マスタ時、連続データの送信または受信に対し、ウェイト数を指定します。 スレーブ時は "00" の動作になります。</p> <ul style="list-style-type: none"> "00" に設定した場合：連続的に SCK が出力されます。 "01" に設定した場合：1 ビット時間ウェイト後、SCK が出力されます。 "10" に設定した場合：2 ビット時間ウェイト後、SCK が出力されます。 "11" に設定した場合：3 ビット時間ウェイト後、SCK が出力されます。
bit2 ~ bit0	L2 ~ L0: データ長選択 ビット	<p>送受信データのデータ長を指定します。</p> <p>"000_B" に設定した場合：データ長は、8 ビットに設定されます。</p> <p>"001_B" に設定した場合：データ長は、5 ビットに設定されます。</p> <p>"010_B" に設定した場合：データ長は、6 ビットに設定されます。</p> <p>"011_B" に設定した場合：データ長は、7 ビットに設定されます。</p> <p>"100_B" に設定した場合：データ長は、9 ビットに設定されます。</p> <p>(注意事項) 上記の設定以外は禁止です。</p>

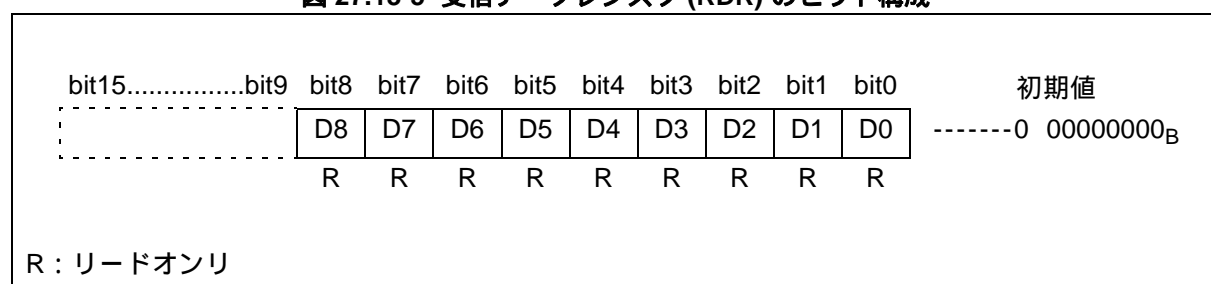
27.13.5 受信データレジスタ / 送信データレジスタ (RDR/TDR)

受信データと送信データレジスタは同一アドレスに配置されています。読み出した場合は受信データレジスタとして機能し、書き込んだ場合は送信データレジスタとして機能します。

■ 受信データレジスタ (RDR)

図 27.13-5 にシリアル受信レジスタ (RDR) のビット構成を示します。

図 27.13-5 受信データレジスタ (RDR) のビット構成



受信データレジスタ (RDR) は、シリアルデータ受信用の 9 ビットのデータバッファレジスタです。

- シリアル入力端子 (SIN 端子) に送られてきたシリアルデータ信号がシフトレジスタで変換されて、受信データレジスタ (RDR) に格納されます。
- データ長に応じ、以下のように上位ビットから順に "0" となります。

データ長	D8	D7	D6	D5	D4	D3	D2	D1	D0
9 ビット	X	X	X	X	X	X	X	X	X
8 ビット	0	X	X	X	X	X	X	X	X
7 ビット	0	0	X	X	X	X	X	X	X
6 ビット	0	0	0	X	X	X	X	X	X
5 ビット	0	0	0	0	X	X	X	X	X

(X は受信データビット)

- 受信データが受信データレジスタ (RDR) に格納されると、受信データフルフラグビット (SSR : RDRF) が "1" にセットされます。受信割込みが許可されている場合は (SSR : RIE=1)、受信割込み要求を発生します。
- 受信データレジスタ (RDR) は、受信データフルフラグビット (SSR : RDRF) が "1" の状態で読み出してください。受信データフルフラグビット (SSR : RDRF) は、シリアル受信データレジスタ (RDR) を読み出すと自動的に "0" にクリアされます。
- 受信エラーが発生 (SSR : ORE) した場合、受信データレジスタ (RDR) のデータは無効となります。
- 9 ビット長転送の場合の RDR の読出しは 16 ビットアクセスで行います。

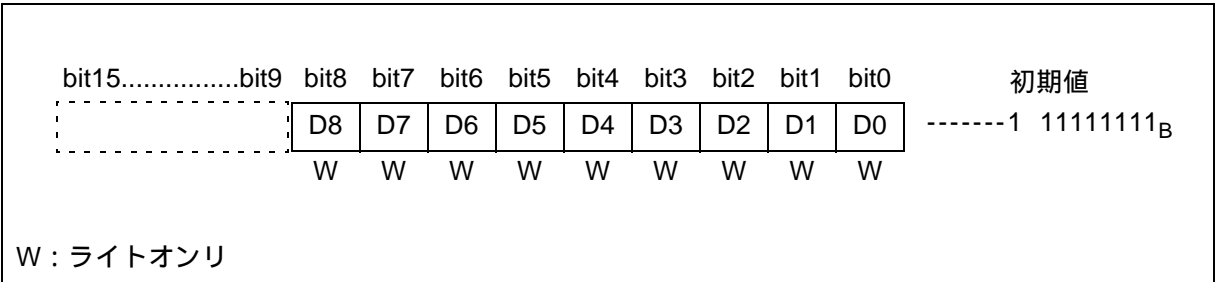
< 注意事項 >

- 受信 FIFO 使用時は、受信 FIFO に所定のデータ数を受信したら RDRF が "1" にセットされます。
- 受信 FIFO 使用時は、受信 FIFO がエンプティになると RDRF が "0" にクリアされます。
- 受信 FIFO 使用時に、受信エラーが発生 (SSR : ORE が "1") した場合、受信 FIFO の許可ビットはクリアされ、受信データを受信 FIFO には格納しません。

■ 送信データレジスタ (TDR)

図 27.13-6 に送信データレジスタのビット構成を示します。

図 27.13-6 送信データレジスタ (TDR) のビット構成



送信データレジスタ (TDR) は、シリアルデータ送信用の 9 ビットデータバッファレジスタです。

- 送信動作が許可されている場合に (SCR : TXE=1)、送信するデータを送信データレジスタ (TDR) に書き込むと送信データが送信用シフトレジスタに転送され、シリアルデータに変換されてシリアルデータ出力端子 (SOUT 端子) から送出されます。
- データ長に応じ、以下のように上位ビットから順に無効データとなります。

データ長	D8	D7	D6	D5	D4	D3	D2	D1	D0
9 ビット	X	X	X	X	X	X	X	X	X
8 ビット	無効	X	X	X	X	X	X	X	X
7 ビット	無効	無効	X	X	X	X	X	X	X
6 ビット	無効	無効	無効	X	X	X	X	X	X
5 ビット	無効	無効	無効	無効	X	X	X	X	X

(X は送信データビット)

- 送信データエンプティフラグ (SSR : TDRE) は、送信データが送信データレジスタ (TDR) に書き込まれると "0" にクリアされます。
- 送信データエンプティフラグ (SSR : TDRE) は、送信データが送信用シフトレジスタへ転送されて送信が開始されると、送信 FIFO が禁止または送信 FIFO がエンプティの場合、"1" にセットされます。

- 送信データエンプティフラグ (SSR : TDRE) が "1" の場合は、次の送信用データを書き込むことができます。送信割込みが許可されている場合には送信割込みが発生します。次の送信データの書き込みは、送信割込みの発生によるか、送信データエンプティフラグ (SSR : TDRE) が "1" の状態で行ってください。
- 送信データエンプティフラグ (SSR : TDRE) が "0" で送信 FIFO が禁止または送信 FIFO がフルのときは、送信データレジスタ (TDR) に送信データを書き込むことはできません。
- 9 ビット長転送の場合、TDR への書き込みは 16 ビットアクセスで行います。

< 注意事項 >

- 送信データレジスタは書き込み専用のレジスタで、受信データレジスタは読み出し専用のレジスタです。2 つのレジスタは同一アドレスに配置されているため、書き込み値と読み出し値が異なります。したがって、INC/DEC 命令などリードモディファイライト (RMW) 系命令は使用できません。
 - 送信 FIFO 使用時の送信データエンプティフラグ (SSR:TDRE) のセットタイミングは、「27.14.4 送信 FIFO 使用時の割込み発生とフラグセットの タイミング」を参照してください。
-

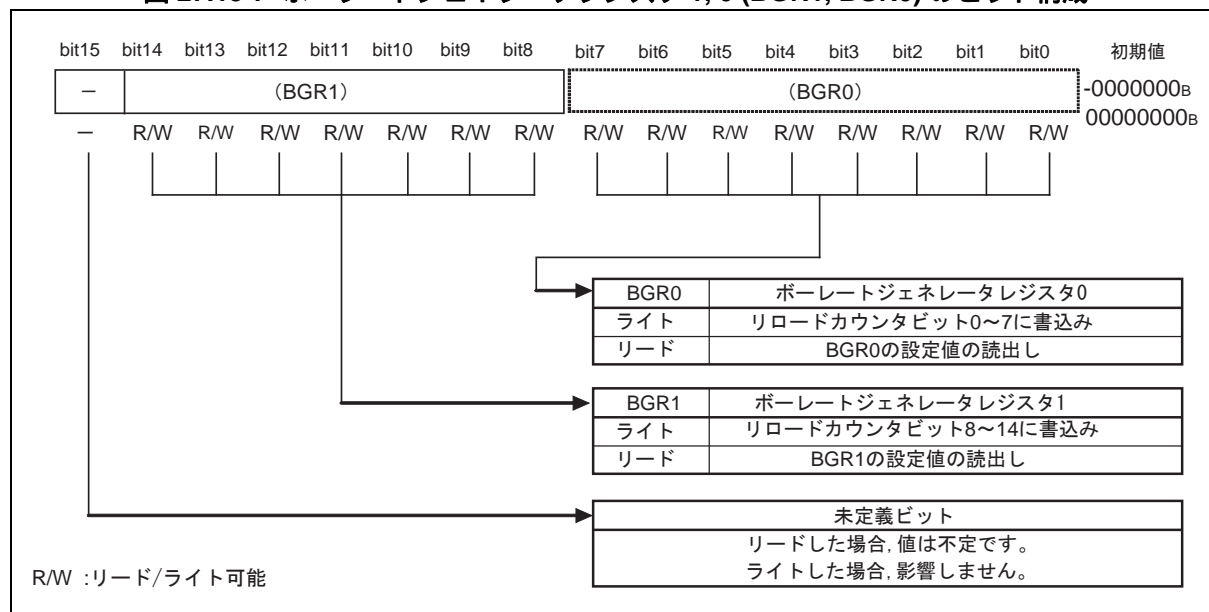
27.13.6 ポーレートジェネレータレジスタ 1, 0 (BGR1, BGR0)

ポーレートジェネレータレジスタ 1, 0 (BGR1, BGR0) は、シリアルクロックの分周比を設定します。

■ ポーレートジェネレータレジスタ 1, 0 (BGR1, BGR0) のビット構成

図 27.13-7 にポーレートジェネレータレジスタ 1, 0 (BGR1, BGR0) のビット構成を示します。

図 27.13-7 ポーレートジェネレータレジスタ 1, 0 (BGR1, BGR0) のビット構成



- ポーレートジェネレータレジスタ 1, 0 (BGR1, BGR0) に値を設定します。
- BGR0 は下位ビット, BGR1 は上位ビットに対応し, カウントするリロード値の書き込み, BGR0/BGR1 の設定値の読出しが可能です。
- ポーレートジェネレータレジスタ 1, 0 (BGR1, BGR0) にリロード値を書き込むとリロードカウンタはカウントを開始します。

< 注意事項 >

- ボーレートジェネレータレジスタ 1, 0 (BGR1, BGR0) への書込みは, 16 ビットアクセスで行ってください。
 - リロード値が偶数の場合, シリアルクロックの "H" 幅と "L" 幅は SCINV ビットの設定によって以下のようになります。奇数の場合, シリアルクロックの "H" 幅と "L" 幅は同じになります。
 - SCINV=0 のとき, シリアルクロックの "H" 幅が周辺クロック (PCLK) 1 サイクル分長くなります。
 - SCINV=1 のとき, シリアルクロックの "L" 幅が周辺クロック (PCLK) 1 サイクル分長くなります。
 - リロード値は 1 以上を設定してください。ただし, 本 CSIO どうしをマスタとスレーブに使用する場合には, マスタとなる CSIO のリロード値は 3 以上を設定してください。
 - ボーレートジェネレータレジスタ 1, 0 (BGR1, BGR0) の設定値を変更した場合, カウンタ値が "0000_H" になってから, 新しい設定値がリロードされます。したがって, 新しい設定値を即有効にしたい場合は, BGR0/BGR1 の設定値を変更した後, CSIO リセット (UPCL) を実行してください。
 - 受信 FIFO 使用時, 受信 FIFO アイドル検出許可ビット (FCR1:FRIIE) を "1" に設定してスレーブモードで動作させる場合, BGR0/BGR1 にボーレートを設定してください。
-

27.13.7 FIFO 制御レジスタ 1(FCR1)

FIFO 制御レジスタ 1 (FCR1) は、送受信 FIFO の選択、送信 FIFO 割込み許可の設定および割込みフラグの制御を行います。

■ FIFO 制御レジスタ 1(FCR1) のビット構成

図 27.13-8 に FIFO 制御レジスタ 1 (FCR1) のビット構成を、表 27.13-7 に各ビットの機能を示します。

図 27.13-8 FIFO 制御レジスタ 1(FCR1) のビット構成

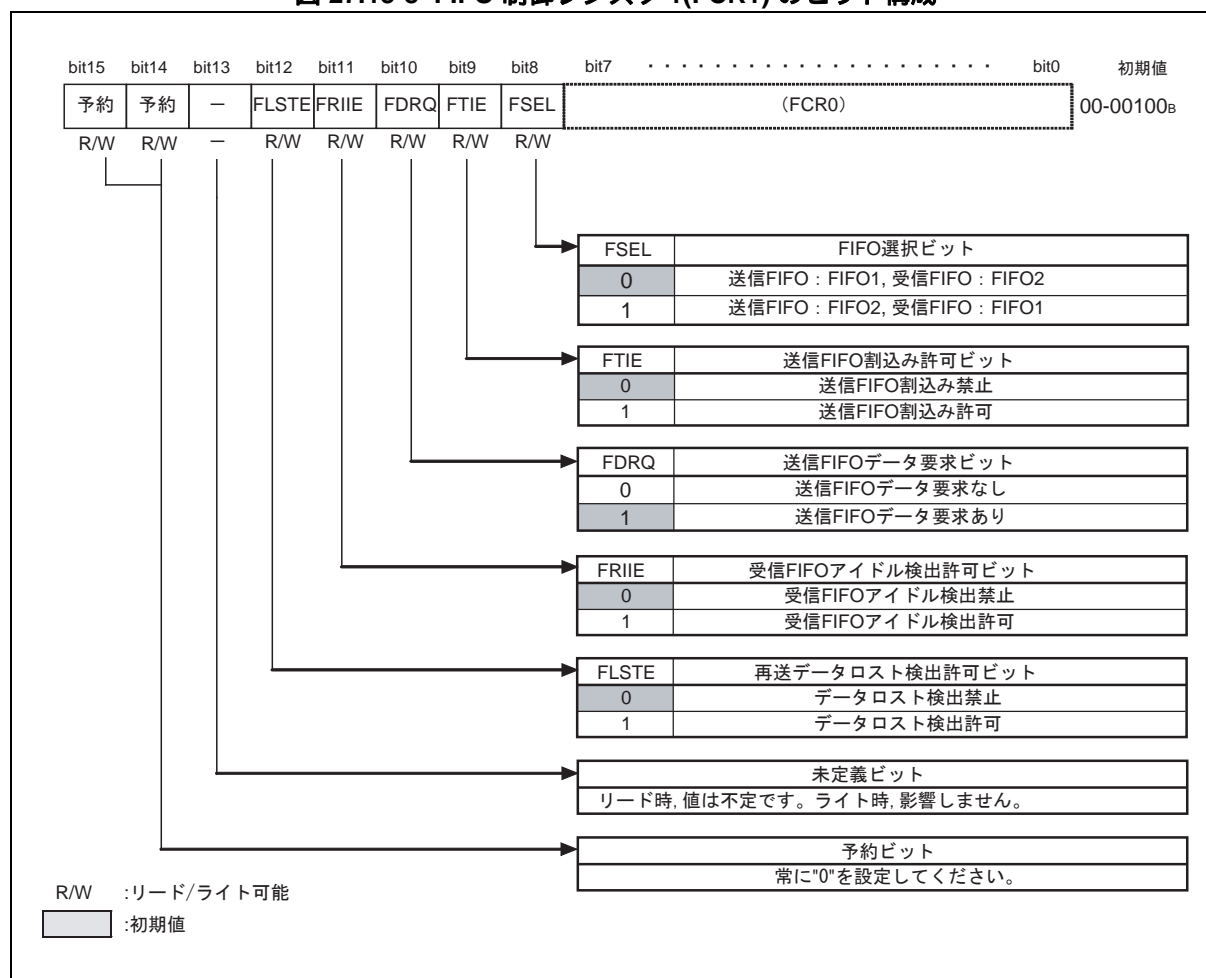


表 27.13-7 FIFO 制御レジスタ 1(FCR1) の各ビットの機能説明 (1 / 2)

ビット名		機能
bit15, bit14	予約ビット	本ビットには必ず "00 _B " を設定してください。
bit13	未定義ビット	リードした場合：値は不定です。 ライトした場合：影響しません。
bit12	FLSTE： 再送データ ロス検出 許可ビット	FLST ビット検出を許可するビットです。 "0" に設定した場合：FLST ビット検出禁止 "1" に設定した場合：FLST ビット検出許可 (注意事項) 本ビットに "1" を設定する場合、FSET ビットに "1" を設定してから本ビットに "1" を設定してください。
bit11	FRIIE: 受信 FIFO アイドル検出 許可ビット	受信 FIFO に有効なデータが存在した状態でボーレートクロックで 8 クロック以上の受信アイドル状態を検出するかどうかを設定する ビットです。受信割込みが許可 (SCR:RIE=1) されていると、受信ア イドル状態が検出されると受信割込みが発生します。 "0" に設定した場合：受信アイドル状態検出禁止 "1" に設定した場合：受信アイドル状態検出許可
bit10	FDRQ： 送信 FIFO データ要求 ビット	送信 FIFO のデータ要求ビットです。 本ビットが "1" のとき、送信データを要求していることを示しま す。このとき、送信 FIFO 割込みが許可 (FTIE=1) されていると、送 信 FIFO 割込み要求を出力されます。 FDRQ セット条件 <ul style="list-style-type: none"> • FBYTE1/FBYTE2(送信用)=0 (送信 FIFO がエンプティ) • 送信 FIFO のリセット FDRQ リセット条件 <ul style="list-style-type: none"> • 本ビットへの "0" 書込み • 送信 FIFO がフルになった場合 (注意事項) FBYTE1/FBYTE2(送信用)=0 のときに本ビットへの "0" 書込みは禁止です。 本ビットが "0" のときに FSEL ビットの変更は禁止 です。 本ビットに "1" を設定した場合、動作に影響を与えま せん。 リードモディファイライト (RMW) 系命令時、"1" が 読み出されます。
bit9	FTIE： 送信 FIFO 割込み 許可ビット	送信 FIFO の割込み許可ビットです。本ビットに "1" を設定すると FDRQ ビットが "1" のときに割込みが発生します。

表 27.13-7 FIFO 制御レジスタ 1(FCR1) の各ビットの機能説明 (2 / 2)

ビット名		機能
bit8	FSEL : FIFO 選択 ビット	送受信 FIFO を選択するビットです。 "0" に設定した場合：送信 FIFO：FIFO1, 受信 FIFO：FIFO2 に割り 当てられます。 "1" に設定した場合：送信 FIFO：FIFO2, 受信 FIFO：FIFO1 に割り 当てられます。 (注意事項) 本ビットは , FIFO リセット (FCL2, FCL1=1) ではクリ アされません。 本ビットを変更する場合は , FIFO 動作禁止 (FCR0: FE2, FE1=0) にしてから行ってください。

27.13.8 FIFO 制御レジスタ 0(FCR0)

FIFO 制御レジスタ 0(FCR0) は, FIFO 動作の許可 / 禁止, FIFO リセット, リードポインタの保存, 再送信設定を行います。

■ FIFO 制御レジスタ 0(FCR0) のビット構成

図 27.13-9 に FIFO 制御レジスタ 0 (FCR0) のビット構成を, 表 27.13-8 に各ビットの機能を示します。

図 27.13-9 FIFO 制御レジスタ 0(FCR0) のビット構成

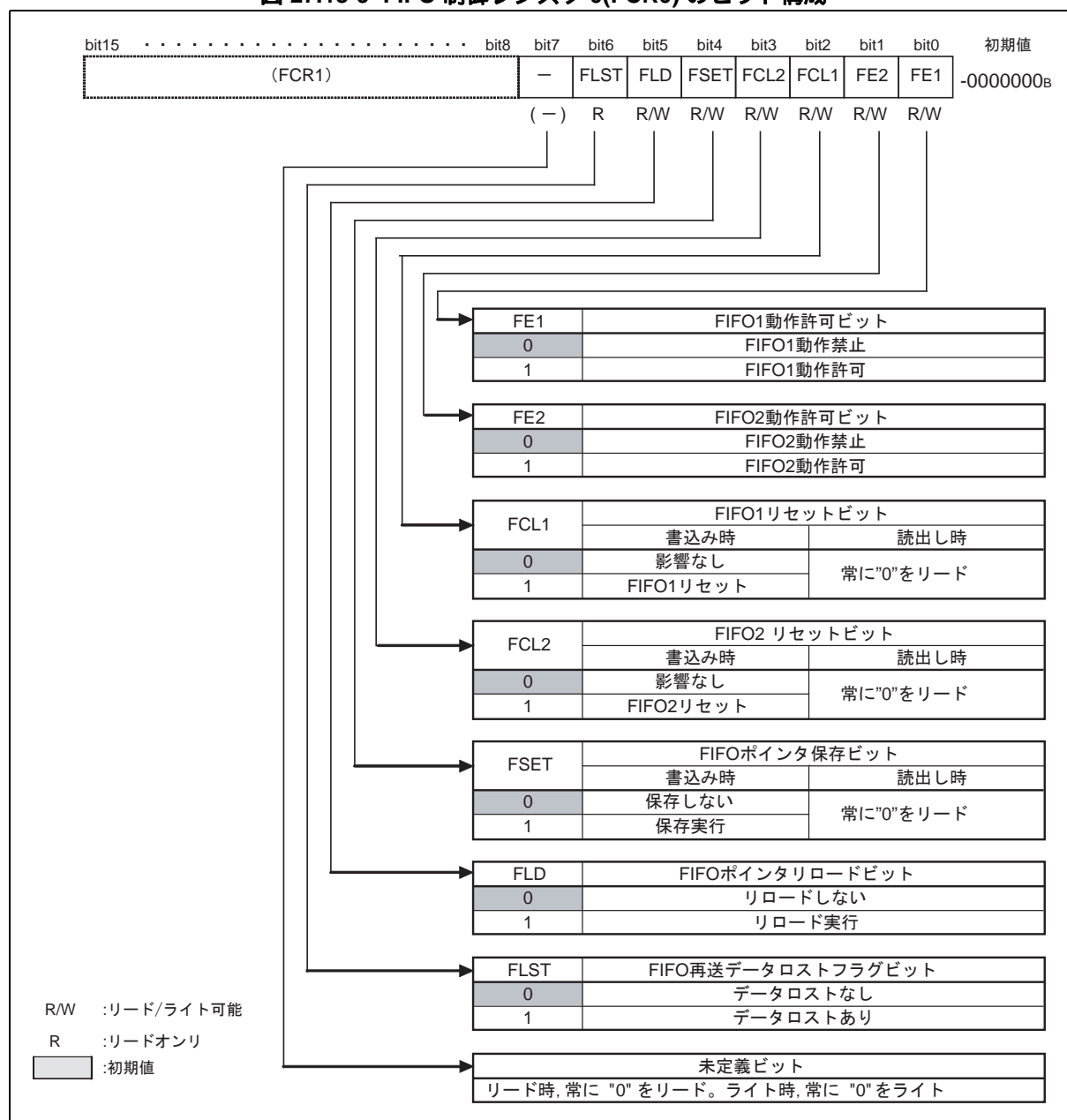


表 27.13-8 FIFO 制御レジスタ 0(FCR0) の各ビットの機能説明 (1 / 2)

ビット名		機能
bit7	未定義ビット	リードした場合：常に "0" が読み出されます。 ライトした場合：常に "0" を書き込んでください。
bit6	FLST : FIFO 再送 データロス フラグビット	送信 FIFO の再送データが失われたことを示すビットです。 FLST セット条件 <ul style="list-style-type: none"> • FIFO 制御レジスタ 1(FCR1) の FLSTE ビットが "1" で送信 FIFO のライトポインタと FSET ビットによって保存したリードポインタが一致しているときに FIFO へ書き込んだ場合 FLST リセット条件 <ul style="list-style-type: none"> • FIFO リセット (FCL への "1" 書込み) • FLST ビットへの "1" 書込み 本ビットに "1" が設定されると FSET ビットで保存したリードポインタが示すデータを上書きしてしまい、エラーが発生しても FLD ビットによって再送の設定ができません。本ビットに "1" が設定された状態で再送を行う場合には FIFO リセットを実施し、再度 FIFO にデータを書き込んでください。
bit5	FLD : FIFO ポインタ リロード ビット	送信 FIFO に FSET ビットによって保存したデータをリードポインタにリロードするビットです。本ビットは通信エラーなどが発生して再送するとき使用します。 再送設定が完了した場合、本ビットは "0" になります。 (注意事項) 本ビットが "1" にセットされている間、リードポインタへのリロード中なので FIFO リセット以外の書込みは行わないでください。 FIFO 許可状態または送信中、本ビットに "1" を設定することは禁止です。 TIE ビットと TBIE ビットは "0" にしてから本ビットに "1" を書き込み、送信 FIFO 許可後、TIE ビットと TBIE ビットを "1" にしてください。
bit4	FSET : FIFO ポインタ 保存ビット	送信 FIFO のリードポインタを保存するビットです。 送信前にリードポインタを保存すると、通信エラーなどが発生した場合、FLST ビットが "0" であれば再送可能となります。 "1" に設定した場合：現在のリードポインタの値を保存します。 "0" に設定した場合：影響しません。 (注意事項) 送信バイト数 (FBYTE1/FBYTE2) が "0" を示しているときに本ビットを "1" に設定してください。
bit3	FCL2 : FIFO2 リセット ビット	FIFO2 をリセットするビットです。 本ビットを "1" に設定すると、FIFO2 の内部状態を初期化します。 FCR0:FLST ビットのみ初期化され、FCR1/FCR0 レジスタのほかのビットは保持されます。 (注意事項) 送受信を禁止してから、FIFO2 リセットを実行してください。 送信 FIFO 割込み許可ビットを "0" にしてから実行してください。 FBYTE2 レジスタの有効データ数は "0" になります。

表 27.13-8 FIFO 制御レジスタ 0(FCR0) の各ビットの機能説明 (2 / 2)

ビット名		機能
bit2	FCL1 : FIFO1 リセット ビット	<p>FIFO1 をリセットするビットです。 本ビットを "1" に設定すると、FIFO1 の内部状態を初期化します。 FCR0: FLST ビットのみ初期化され、FCR1/FCR0 レジスタのほかのビットは保持されます。 (注意事項) 送受信を禁止してから、FIFO1 リセットを実行してください。 送信 FIFO 割込み許可ビットを "0" にしてから実行してください。 FBYTE1 レジスタの有効データ数は "0" になります。</p>
bit1	FE2 : FIFO2 動作 許可ビット	<p>FIFO2 の動作を許可 / 禁止するビットです。</p> <ul style="list-style-type: none"> • FIFO2 を使用する場合、本ビットに "1" を設定してください。 • FIFO2 を送信 FIFO に設定し (FCR1:FSEL=1), 本ビットに "1" を書き込んだときに FIFO2 にデータが存在し、UART が送信許可 (TXE=1) のとき、直ちに送信を開始します。このとき、TIE ビットと TBIE ビットを "0" にしてから本ビットに "1" を書き込み、TIE ビットと TBIE ビットを "1" にしてください。 • FSEL ビットによって受信 FIFO として選択された場合、受信エラーが発生すると本ビットは "0" にクリアされ、受信エラーがクリアされない限り、本ビットに "1" を設定することはできません。 • 送信 FIFO で使用する場合には送信バッファがエンプティ (TDRE=1), 受信 FIFO で使用する場合には受信バッファがエンプティ (RDRF=0) のときに本ビットに "1" または "0" を設定してください。 • FIFO2 を禁止にしても FIFO2 の状態は保持されます。
bit0	FE1 : FIFO1 動作 許可ビット	<p>FIFO1 の動作を許可 / 禁止するビットです。</p> <ul style="list-style-type: none"> • FIFO1 を使用する場合、本ビットに "1" を設定してください。 • FIFO1 を送信 FIFO に設定し (FCR1:FSEL=0), 本ビットに "1" を書き込んだときに FIFO1 にデータが存在し、UART が送信許可 (TXE=1) のとき、直ちに送信を開始します。このとき、TIE ビットと TBIE ビットを "0" にしてから本ビットに "1" を書き込み、TIE ビットと TBIE ビットを "1" にしてください。 • FSEL ビットによって受信 FIFO として選択された場合、受信エラーが発生すると本ビットは "0" にクリアされ、受信エラーがクリアされない限り、本ビットに "1" を設定することはできません。 • 送信 FIFO で使用する場合には送信バッファがエンプティ (TDRE=1), 受信 FIFO で使用する場合には受信バッファがエンプティ (RDRF=0) のときに本ビットに "1" または "0" を設定してください。 • FIFO1 を禁止にしても FIFO1 の状態は保持されます。

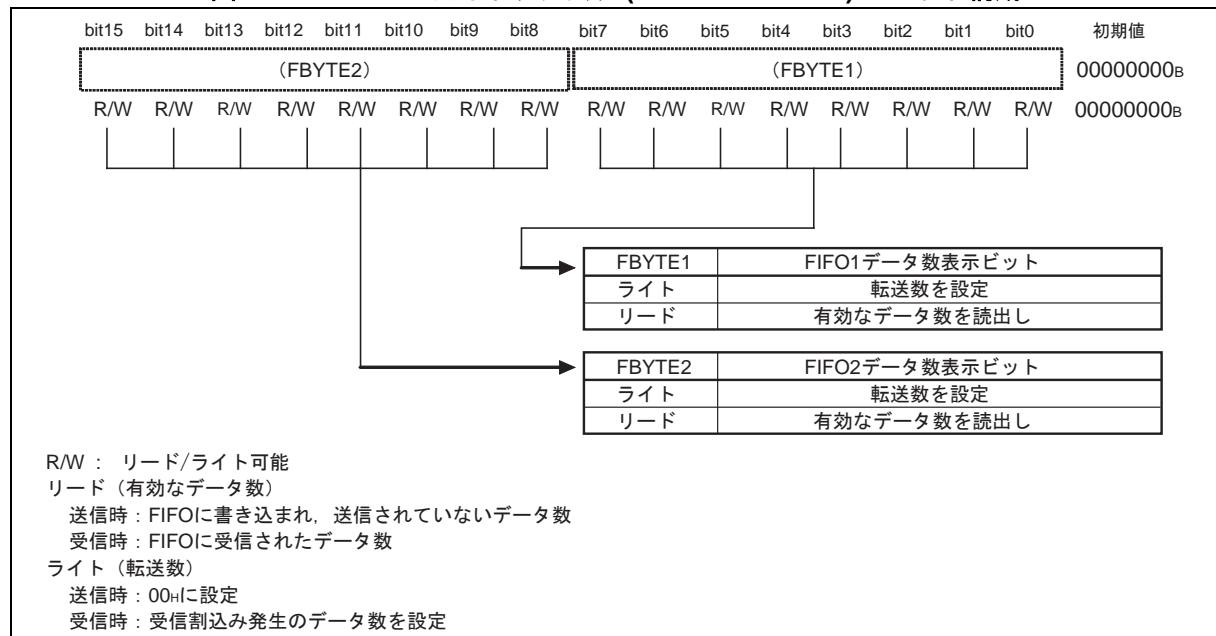
27.13.9 FIFO バイトレジスタ (FBYTE1/FBYTE2)

FIFO バイトレジスタ (FBYTE1/FBYTE2) は、FIFO の有効なデータ数を示します。

■ FIFO バイトレジスタ (FBYTE1/FBYTE2) のビット構成

図 27.13-10 に FIFO バイトレジスタ (FBYTE1/FBYTE2) のビット構成を示します。

図 27.13-10 FIFO バイトレジスタ (FBYTE1/FBYTE2) のビット構成



FBYTE1/FBYTE2 レジスタは、FIFO の有効なデータ数を示し、FCR1:FSEL ビットの設定によって以下ようになります。

表 27.13-9 データ数表示

FSEL	FIFO 選択	バイト数表示
0	FIFO2 : 受信 FIFO, FIFO1 : 送信 FIFO	FIFO2 : FBYTE2, FIFO1 : FBYTE1
1	FIFO2 : 送信 FIFO, FIFO1 : 受信 FIFO	FIFO2 : FBYTE2, FIFO1 : FBYTE1

- FBYTE レジスタの転送数の初期値は "08_H" です。
- 受信 FIFO の FBYTE に受信割込みフラグを発生させるデータ数を設定します。その設定された転送数と FBYTE レジスタのデータ表示が一致すると割込みフラグ (RDRF) が "1" にセットされます。
- 受信 FIFO アイドル検出許可ビット (FRIIE) が "1" で受信 FIFO に存在するデータ数が転送数に達しない場合、受信アイドル状態がボーレートクロックで8クロック以上続くと割込みフラグ (RDRF) が "1" にセットされます。8クロックカウント中、RDRを読み出すとそのカウンタは "0" にリセットされ、再度8クロックをカウントします。受信 FIFO が禁止されるとそのカウンタは "0" にリセットされます。受信 FIFO にデータが残っている状態で受信 FIFO を許可すると再度、カウントを開始します。

- マスタ動作でデータを受信する場合 (マスタ受信), TIE ビットと TBIE ビットを "0" にして送信 FIFO の FBYTE1/FBYTE2 レジスタに受信データ数を設定し, FDRQ ビットに "0" を書きます。その後, TXE ビットが "1" のときに設定データ分のシリアルクロックが出力され, 設定値分データを受信することができます。TIE ビット, TBIE ビットに "1" を設定したい場合には FDRQ が "1" になった後に "1" に設定してください。

< 注意事項 >

- マスタ動作で, データを受信するとき以外, 送信 FIFO の FBYTE1/FBYTE2 には "00_H" を設定してください。
 - マスタ動作でデータを受信するときの送信データ数の設定は送信FIFOがエンプティで TIE ビット, TBIE ビットが "0" のときに行ってください。
 - マスタ動作でデータを受信中に受信禁止 (RXE=0) にする場合には, 送信 FIFO を禁止にしてから送受信を禁止にしてください。
 - 受信 FIFO の FBYTE1/FBYTE2 には "1" 以上のデータを設定してください。
 - 受信 FIFO の FBYTE1/FBYTE2 の変更は受信を禁止してから変更してください。
 - 本レジスタはリードモディファイライト (RMW) 系命令を使用することはできません。
 - FIFO 容量を超えた設定は禁止です。
-

27.13.10 シリアルモード選択レジスタ (SSEL0123, SSEL4567)

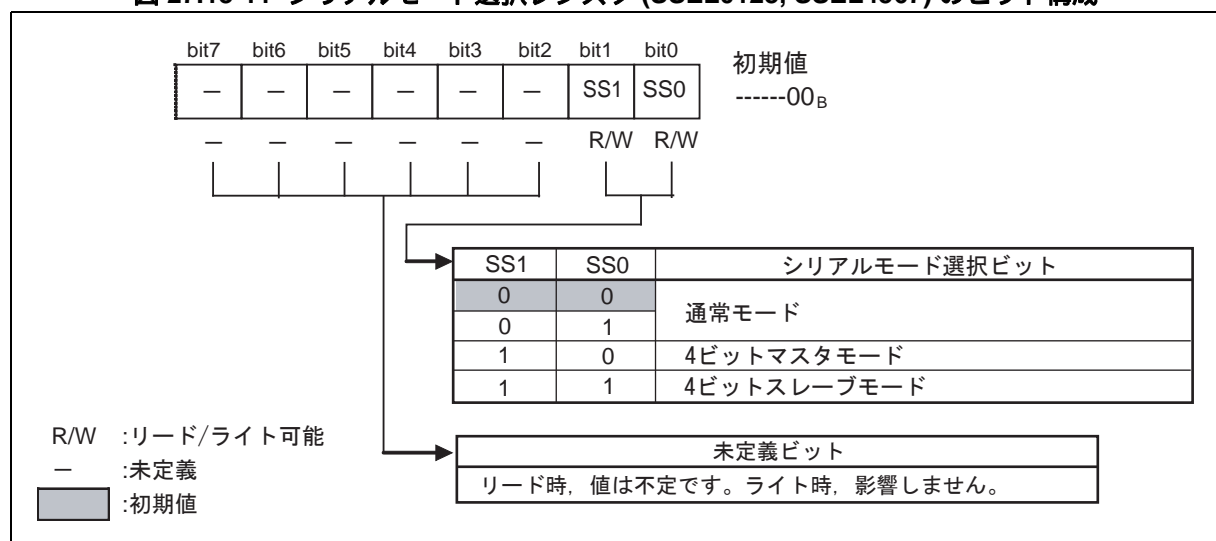
4 チャンルの CSIO を 1 つのクロックで同時に動作させ、4 ビットのシリアル通信を行うことができます。

4 チャンル同時通信ができるのは、ch.0 ~ ch.3 の組合せと ch.4 ~ ch.7 の組合せになります。

■ シリアルモード選択レジスタ (SSEL0123, SSEL4567) のビット構成

図 27.13-11 にシリアルモード選択レジスタ (SSEL0123, SSEL4567) のビット構成を示します。

図 27.13-11 シリアルモード選択レジスタ (SSEL0123, SSEL4567) のビット構成



< 注意事項 >

このレジスタは CSIO の動作が停止しているときに設定してください。

[bit7 ~ bit2] : 未定義ビット

書込み時	無視されます。
読出し時	値は不定です。

[bit1, bit0] : SS1, SS0 (シリアルモード選択ビット)

CSIO を 4 チャンネル同時に通信させるかどうかを選択します。また、4 チャンネル同時通信させる場合は、動作モードも選択します。

動作モードは次の通りです。

- 通常モード : 4 チャンネル同時通信を利用しないモードです。
- 4 ビットマスタモード : ch.0 ~ ch.3 または ch.4 ~ ch.7 をマスタモードで 4 チャンネル同時に通信します。
- 4 ビットスレーブモード : ch.0 ~ ch.3 または ch.4 ~ ch.7 をスレーブモードで 4 チャンネル同時に通信します。

SS1	SS0	説明
0	0	通常モードに設定します。
0	1	
1	0	4 ビットマスタモードに設定します。
1	1	4 ビットスレーブモードに設定します。

< 注意事項 >

- 4 ビットマスタモードに設定する場合は、シリアル制御レジスタ (SCR0 ~ SCR7) の MS ビットで次の設定をしてください。
 - ch.0 ~ ch.2/ch.4 ~ ch.6: スレーブモード
 - ch.3/ch.7: マスタモード
 - 4 ビットスレーブモードに設定する場合は、シリアル制御レジスタ (SCR0 ~ SCR7) の MS ビットで同時通信するすべてのチャンネルをスレーブモードにしてください。
-

27.13.11 受信データミラーレジスタ/送信データミラーレジスタ (RDRM/TDRM)

受信データミラーレジスタ (RDRM) は、受信データレジスタ (RDR) の下位 8 ビットのミラーレジスタです。

送信データミラーレジスタ (TDRM) は、送信データレジスタ (TDR) の下位 8 ビットのミラーレジスタです。

このレジスタにアクセスすると受信データレジスタ (RDR) の下位 8 ビット / 送信データレジスタ (TDR) の下位 8 ビットにアクセスできます。

4 チャンネル同時通信を利用するときに、このレジスタを使用してください。

■ 受信データミラーレジスタ (RDRM)

受信データミラーレジスタ 0 (RDRM0) が受信データレジスタ 0 (RDR0) の下位 8 ビットに、受信データミラーレジスタ 7 (RDRM7) が受信データレジスタ 7 (RDR7) の下位 8 ビットに対応しています。

ch.0 ~ ch.3 や ch.4 ~ ch.7 の受信データミラーレジスタ (RDRM0 ~ RDRM7) は並んで配置されているため、ワードアクセスすることで、一度に読み出すことができます。DMA 転送などに利用してください。

詳しくは、「27.15 CSIO(クロック同期シリアルインタフェース)の動作」の「4 チャンネル同時通信モード時の動作」を参照してください。

< 注意事項 >

4 チャンネル同時通信を使用する場合は、9 ビット長のデータは使用できません。

■ 送信データミラーレジスタ (TDRM)

送信データミラーレジスタ 0 (TDRM0) が送信データレジスタ 0 (TDR0) の下位 8 ビットに、送信データミラーレジスタ 7 (TDRM7) が送信データレジスタ 7 (TDR7) の下位 8 ビットに対応しています。

ch.0 ~ ch.3 や ch.4 ~ ch.7 の送信データミラーレジスタ (TDRM0 ~ TDRM7) は並んで配置されているため、ワードアクセスすることで、一度に書き込むことができます。DMA 転送などに利用してください。

詳しくは、「27.15 CSIO(クロック同期シリアルインタフェース)の動作」の「4 チャンネル同時通信モード時の動作」を参照してください。

< 注意事項 >

4 チャンネル同時通信を使用する場合は、9 ビット長のデータは使用できません。

27.14 CSIO(クロック同期シリアルインタフェース) の割込み

CSIO (クロック同期シリアルインタフェース) の割込みには受信割込みと送信割込みがあり、次に示す要因で割込み要求を発生させることができます。

- 受信データが受信データレジスタ (RDR) にセットされた場合、または受信エラーが発生した場合
- 送信データが送信データレジスタ (TDR) から送信用シフトレジスタに転送され、送信が開始された場合
- 送信バスアイドル (送信動作なし)
- 送信 FIFO データ要求

■ CSIO の割込み

CSIO の割込み制御ビットと割込み要因は表 27.14-1 のようになっています。

表 27.14-1 CSIO の割込み制御ビットと割込み要因

割込みの種類	割込み要求フラグビット	フラグレジスタ	割込み要因	割込み要因許可ビット	割込み要求フラグのクリア
受信	RDRF	SSR	1 バイト受信	SCR:RIE	受信データ (RDR) の読出し
			FBYTE1/FBYTE2 設定値分受信		受信 FIFO がエンプティになるまでの受信データ (RDR) の読出し
			FRIIE ビットが "1" で受信 FIFO に有効なデータが存在した状態でボーレートクロックで 8 クロック以上の受信アイドル状態検出		
	ORE	SSR	オーバランエラー		受信エラーフラグクリアビット (SSR:REC) への "1" 書込み
送信	TDRE	SSR	送信レジスタがエンプティ	SCR:TIE	送信データ (TDR) への書込み、または送信 FIFO 動作許可ビットが "0" で送信 FIFO に有効なデータが存在しているときに送信 FIFO 動作許可ビットへの "1" 書込み (送信再送) *
	TBI	SSR	送信動作なし	SCR:TBIE	送信データ (TDR) への書込み、または送信 FIFO 動作許可ビットが "0" で送信 FIFO に有効なデータが存在しているときに送信 FIFO 動作許可ビットへの "1" 書込み (送信再送) *
	FDRQ	FCR1	送信 FIFO がエンプティ	FCR1:FTIE	FIFO 送信データ要求ビット (FCR1:FDRQ) への "0" 書込みまたは送信 FIFO がフル

*: TDRE ビットが "0" になってから TIE ビットを "1" にしてください。

27.14.1 受信割り込み発生とフラグセットのタイミング

受信時の割り込みとしては、受信完了 (SSR:RDRF) および受信エラーの発生 (SSR : ORE) があります。

■ 受信割り込み発生とフラグセットのタイミング

最終データビットが検出されることにより、受信データが受信データレジスタ (RDR) に格納されます。受信が完了したとき (SSR:RDRF=1) または受信エラーが発生 (SSR : ORE=1) すると各フラグがセットされます。そのとき、受信割り込みが許可 (SSR : RIE=1) されていると受信割り込みが発生します。

< 注意事項 >

受信エラーが発生した場合は、受信データレジスタ (RDR) のデータは無効となります。

図 27.14-1 受信動作とフラグセットのタイミング

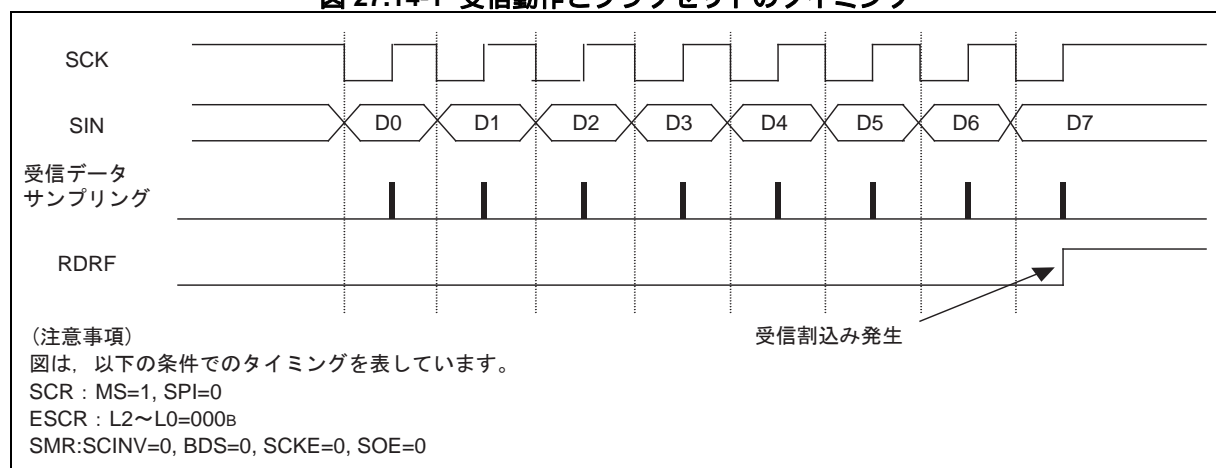
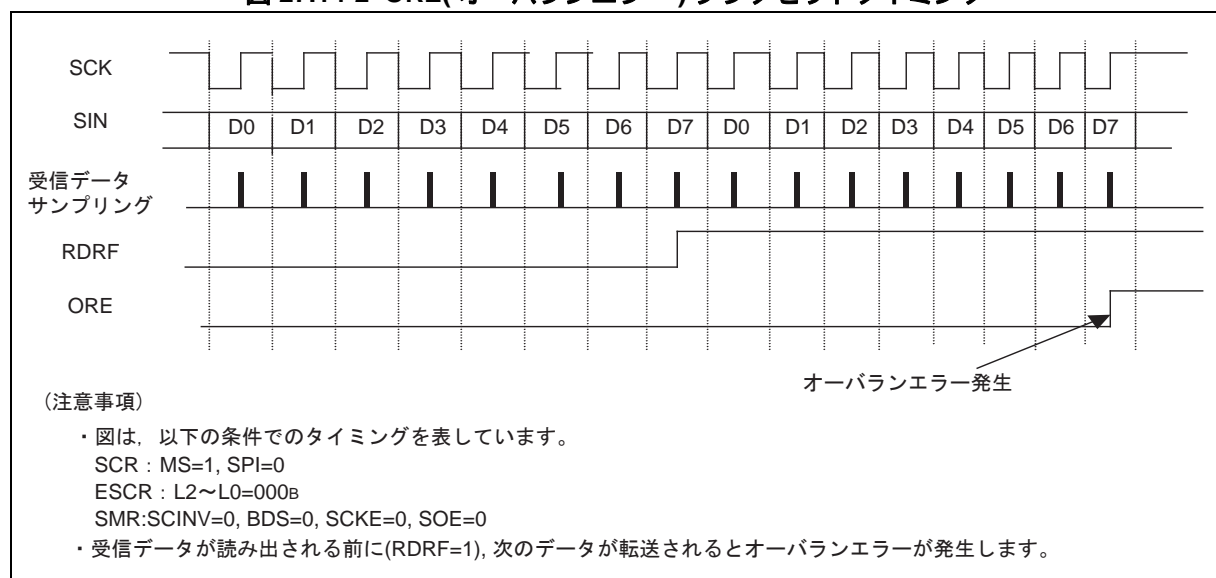


図 27.14-2 ORE(オーバランエラー) フラグセットタイミング



27.14.2 受信 FIFO 使用時の割込み発生とフラグセットのタイミング

受信 FIFO 使用時の割込みは、FBYTE1/FBYTE2 レジスタ (FBYTE1/FBYTE2) の設定値分のデータを受信すると発生します。

■ 受信 FIFO 使用時の受信割込み発生とフラグセットのタイミング

受信 FIFO 使用時の割込み発生は、FBYTE1/FBYTE2 レジスタの設定値によって決定されます。

- FBYTE1/FBYTE2 レジスタの転送数設定分のデータを受信するとシリアルステータスレジスタの受信データフルフラグ (SSR:RDRF) が "1" にセットされます。このとき、受信割込みが許可 (SCR:RIE) されていると受信割込みが発生します。
- 受信 FIFO アイドル検出許可ビット (FRIIE) が "1" で受信 FIFO に存在するデータ数が転送数に達しない場合、受信アイドル状態がボーレートクロックで 8 クロック以上続くと割込みフラグ (RDRF) が "1" にセットされます。8 クロックカウント中、RDR を読み出すとそのカウンタは "0" にリセットされ、再度 8 クロックをカウントします。受信 FIFO が禁止されるとそのカウンタは "0" にリセットされます。受信 FIFO にデータが残っている状態で受信 FIFO を許可すると再度、カウントを開始します。
- 受信 FIFO がエンプティになるまで受信データ (RDR) を読み出すと、受信データフルフラグ (SSR:RDRF) はクリアされます。
- 受信有効データ数表示が FIFO 容量を示した状態で、次のデータを受信するとオーバーランエラー (SSR:ORE=1) が発生します。

図 27.14-3 受信 FIFO 使用時の受信割込み発生タイミング

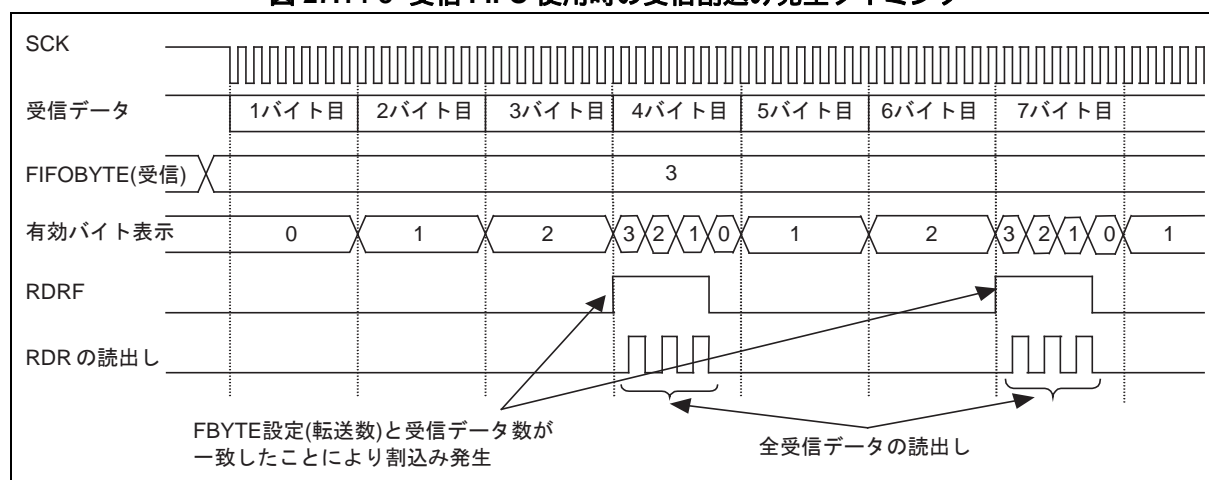
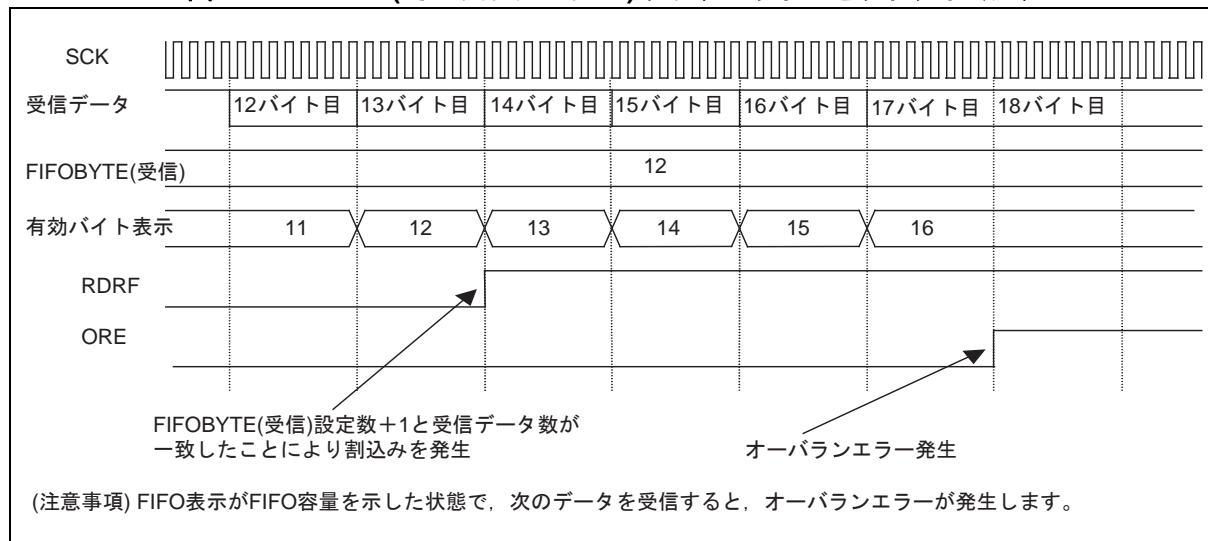


図 27.14-4 ORE (オーバランエラー) フラグビットのセットタイミング



27.14.3 送信割込み発生とフラグセットのタイミング

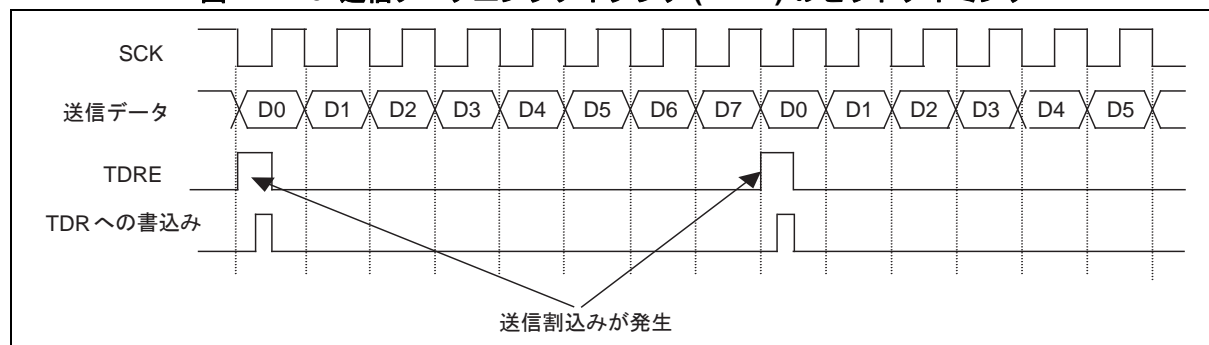
送信時の割込みとしては、送信データが送信データレジスタ (TDR) から送信用シフトレジスタに転送され (SSR : TDRE=1) で送信が開始された場合と、送信動作をしていないとき (SSR : TBI=1) に発生します。

■ 送信割込み発生とフラグセットのタイミング

● 送信データエンプティフラグ (TDRE) のセットタイミング

送信データレジスタ (TDR) に書き込まれたデータが送信シフトレジスタに転送されると、次のデータの書き込みが可能な状態 (SSR:TDRE=1) になります。そのとき、送信割込みが許可 (SCR:TIE=1) されていると送信割込みが発生します。TDRE ビットはリードオンリビットなので、送信データレジスタ (TDR) へのデータ書き込みにより "0" にクリアされます。

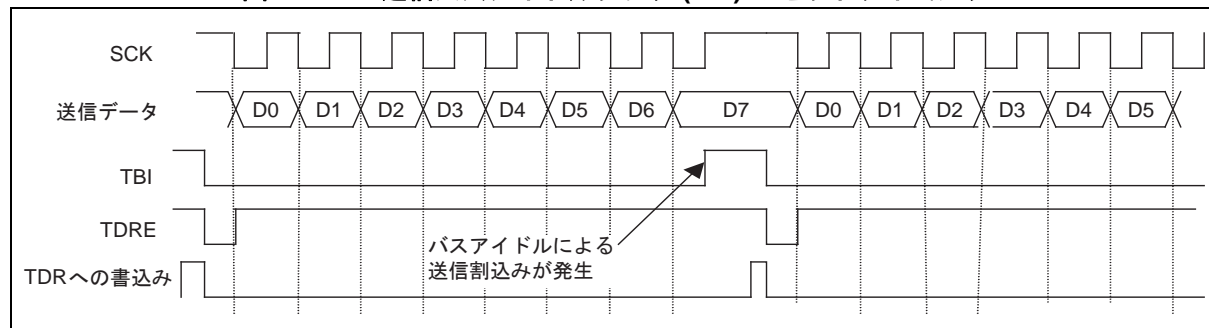
図 27.14-5 送信データエンプティフラグ (TDRE) のセットタイミング



● 送信バスアイドルフラグ (TBI) のセットタイミング

送信データレジスタがエンプティ (TDRE=1) で送信動作をしていないとき、SSR : TBI ビットは "1" にセットされます。このとき、送信バスアイドル割込みが許可 (SCR : TBIE=1) されていると送信割込みが発生します。送信データレジスタ (TDR) に送信データをセットすると、TBI ビットおよび送信割込み要求はクリアされます。

図 27.14-6 送信バスアイドルフラグ (TBI) のセットタイミング



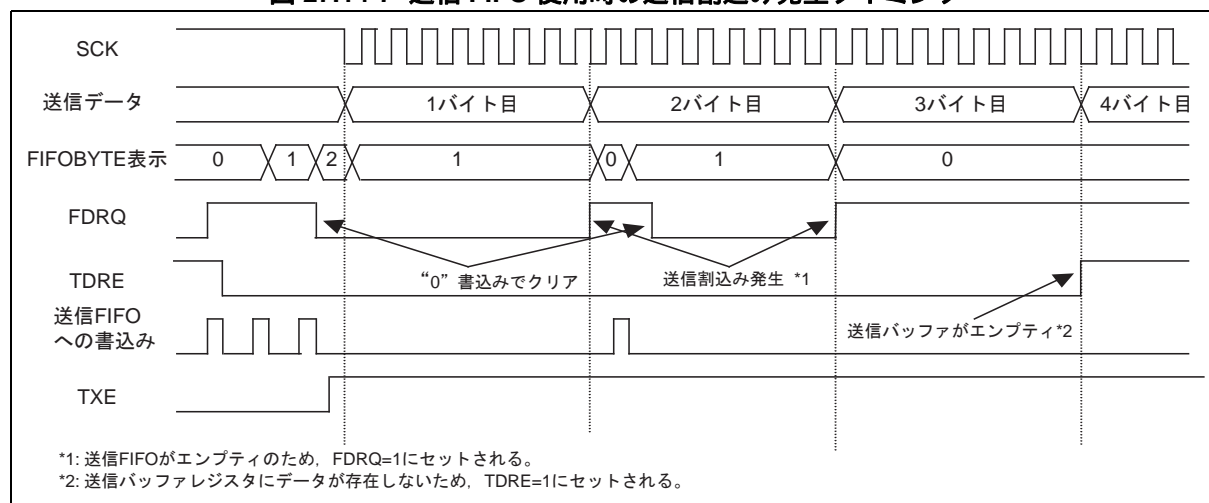
27.14.4 送信 FIFO 使用時の割込み発生とフラグセットのタイミング

送信 FIFO 使用時の割込みは、送信 FIFO にデータが存在しないときに発生します。

■ 送信 FIFO 使用時の送信割込み発生とフラグセットのタイミング

- 送信 FIFO にデータが存在しない場合、FIFO 送信データ要求ビット (FCR1 : FDRQ) が "1" にセットされます。このとき、FIFO 送信割込みが許可 (FCR1 : FTIE=1) されていると送信割込みが発生します。
- 送信割込みが発生して送信 FIFO に必要なデータを書き込んだら、FIFO 送信データ要求ビット (FCR1 : FDRQ) に "0" を書き込んで割込み要求をクリアしてください。
- 送信 FIFO がフルになると FIFO 送信データ要求ビット (FCR1:FDRQ) は "0" になります。
- 送信 FIFO のデータの存在は、FIFO バイトレジスタ (FBYTE1/FBYTE2) を読み出すことで確認できます。
FBYTE1/FBYTE2 = 00_H のときは、送信 FIFO にデータが存在していないことを示します。

図 27.14-7 送信 FIFO 使用時の送信割込み発生タイミング



27.15 CSIO(クロック同期シリアルインタフェース) の動作

転送方式はクロック同期式となります。

■ CSIO (クロック同期シリアルインタフェース) の動作

■ ノーマル転送 (I)

● 特長

表 27.15-1 ノーマル転送 (I) の特長

	項目	説明
1	シリアルクロック (SCK) のマークレベル	"H"
2	送信データ出力タイミング	SCK の立下りエッジ
3	受信データのサンプリング	SCK の立上りエッジ
4	データ長	5 ビット ~ 9 ビット

● レジスタ設定

ノーマル転送 (I) に必要なレジスタの設定値を以下に示します。

表 27.15-2 ノーマル転送 (I) レジスタ設定

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
SCR/ SMR	UPCL	MS	SPI	RIE	TIE	TBIE	RXE	TXE	MD2	MD1	MD0	-	SCINV	BDS	SCKE	SOE
	0	1/0	0	*	*	*	*	*	0	1	0	0	0	*	1/0	*
SSR/ ESCR	REC	-	-	-	ORE	RDRF	TDRE	TBI	SOP	-	-	WT1	WT0	L2	L1	L0
	0	-	-	-	-	-	-	-	0	-	-	*	*	*	*	*
RDR/ TDR	-							D8	D7	D6	D5	D4	D3	D2	D1	D0
	-							*	*	*	*	*	*	*	*	*
BGR1/ BGR0	-	B14	B13	B12	B11	B10	B9	B8	B7	B6	B5	B4	B3	B2	B1	B0
	-	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*

1 : "1" を設定

0 : "0" を設定

* : ユーザが決める設定

< 注意事項 >

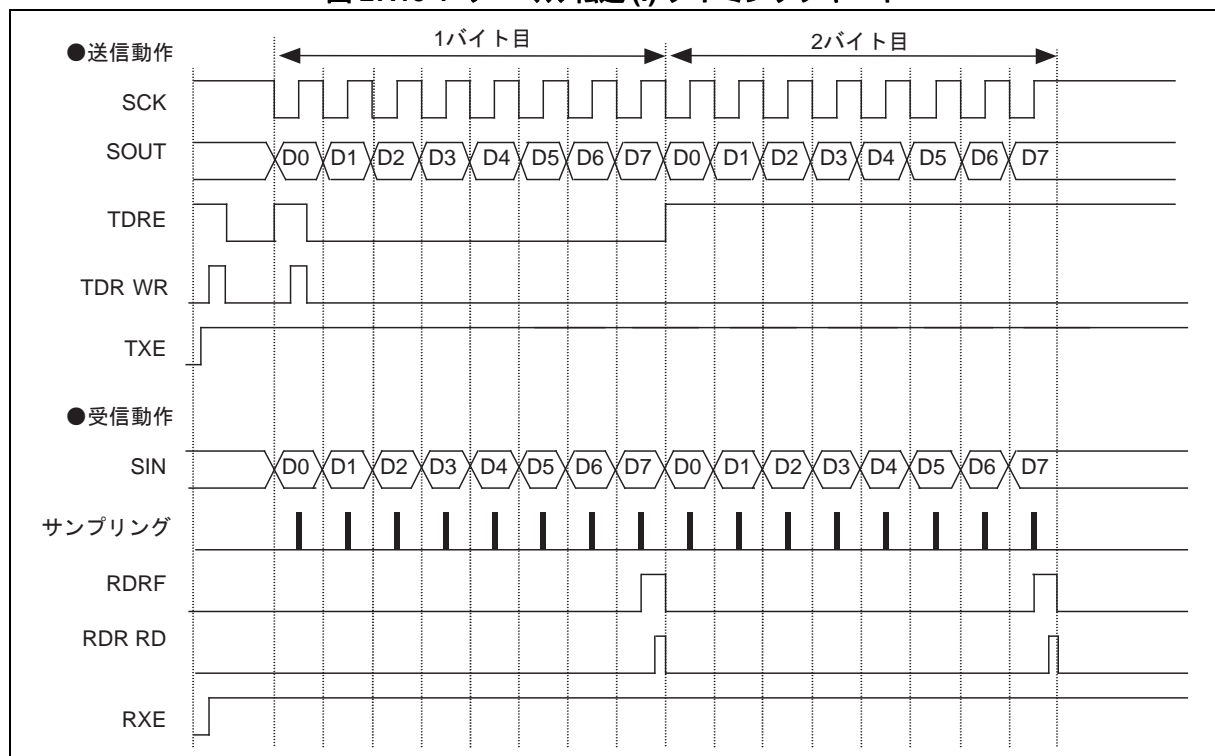
上記ビットの設定値 (1/0) は、マスタ動作、スレーブ動作で異なります。以下のように設定してください。

マスタ動作時 : SCR:MS=0, SMR:SCKE=1

スレーブ動作時 : SCR:MS=1, SMR:SCKE=0

● ノーマル転送 (I) タイミングチャート

図 27.15-1 ノーマル転送 (I) タイミングチャート



● 動作説明

(1) マスタ動作 (SCR:MS=0, SMR:SCKE=1 に設定します)

• 送信動作

シリアルデータ出力許可 (SMR:SOE=1), 送信動作許可 (SCR:TXE=1) および受信動作禁止 (SCR:RXE=0) にして TDR に送信データを書き込むと SSR:TDRE=0 となり、シリアルクロック (SCK) 出力の立下りエッジに同期して送信データを出力します。

最初の 1 ビット目の送信データが出力されると SSR:TDRE=1 となり、送信割込みが許可 (SCR:TIE=1) されていると送信割込み要求を出力します。このとき、2 バイト目の送信データを書き込むことができます。

- 受信動作

シリアルデータ出力禁止 (SMR:SOE=0), 送信動作許可 (SCR:TXE=1) および受信動作許可 (SCR:RXE=1) にして TDR にダミーデータを書き込むと, シリアルクロック出力 (SCK) の立上りエッジで受信データをサンプリングします。

最後のビットを受信すると SSR:RDRF=1 となり, 受信割込み許可 (SCR:RIE=1) されていると受信割込み要求を出力します。このとき, 受信データ (RDR) を読み出すことができます。

受信データ (RDR) を読み出すと, SSR:RDRF は "0" にクリアされます。

< 注意事項 >

- 受信動作のみを行う場合, シリアルクロック (SCK) を出力させるために TDR にダミーデータを書いてください。
 - 送受信 FIFO 許可時は, 転送させたいフレーム分のバイト数を FBYTE1/FBYTE2 レジスタに設定することで, 設定値分のフレームのシリアルクロック (SCK) が出力されます。
-

- 送受信動作

送受信動作を同時に行う場合は, シリアルデータ出力許可 (SMR:SOE=1), 送受信動作許可 (SCR:TXE, RXE=1) にします。

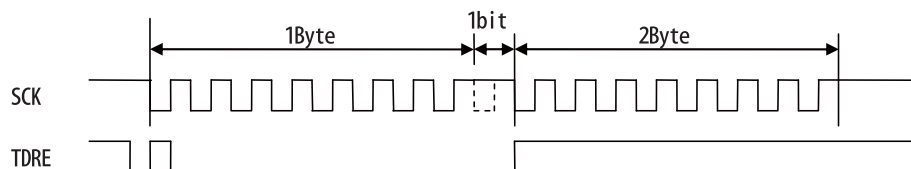
TDR に送信データを書き込むと, SSR:TDRE=0 となりシリアルクロック (SCK) 出力の立下りエッジに同期して, 送信データを出力します。最初の 1 ビット目の送信データが出力されると SSR:TDRE=1 となり, 送信割込み許可 (SCR:TIE=1) されていると送信割込み要求を出力します。この時, 2 バイト目の送信データを書き込むことができます。

受信データをシリアルクロック (SCK) 出力の立上りエッジでサンプリングします。受信データの最後のビットを受信すると SSR:RDRF=1 となり, 受信割込み許可 (SCR:RIE=1) されていると, 受信割込み要求を出力します。この時, 受信データ (RDR) を読み出すことができます。受信データを読み出すと SSR:RDRF は "0" にクリアされます。

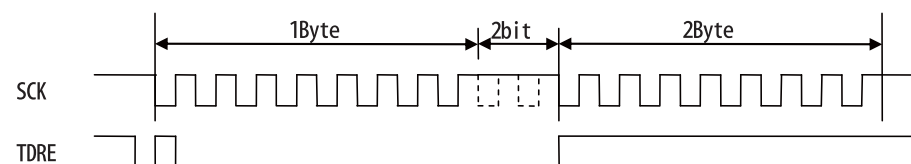
- 連続データ送信または受信ウェイト動作

連続データ送信または受信に対し, (ESCR:WT1, ESCR:WT0)= (0, 0) 以外を設定した場合フレーム間にウェイトが挿入されます。

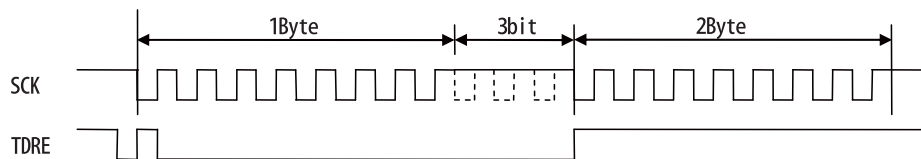
- ESCR:WT1=0, ESCR:WT0=1(マスタ時)



- ESCR:WT1=1, ESCR:WT0=0(マスタ時)



- ESCR:WT1=1, ESCR:WT0=1(マスタ時)



(2) スレーブ動作 (SCR:MS=1, SMR:SCKE=0 に設定します)

- 送信動作

シリアルデータ出力許可 (SMR:SOE=1) および送信動作許可 (SCR:TXE=1) にして TDR に送信データを書き込むと SSR:TDRE=0 となり, シリアルクロック (SCK) 入力の立下りエッジに同期して送信データを出力します。

最初の 1 ビット目の送信データが出力されると SSR:TDRE=1 となり, 送信割込みが許可 (SCR:TIE=1) されていると送信割込み要求を出力します。このとき, 2 バイト目の送信データを書き込むことができます。

- 受信動作

シリアルデータ出力禁止 (SMR:SOE=0) および受信動作許可 (SCR:RXE=1) にすると, シリアルクロック入力 (SCK) の立上りエッジで受信データをサンプリングします。

最後のビットを受信すると SSR:RDRF=1 となり, 受信割込み許可 (SCR:RIE=1) されていると受信割込み要求を出力します。このとき, 受信データ (RDR) を読み出すことができます。

受信データ (RDR) を読み出すと, SSR:RDRF は "0" にクリアされます。

- 送受信動作

送受信動作を同時に行う場合は, シリアルデータ出力許可 (SMR:SOE=1), 送受信動作許可 (SCR:TXE, RXE=1) にします。

TDR に送信データを書き込むと, SSR:TDRE=0 となりシリアルクロック (SCK) 入力の立下りエッジに同期して, 送信データを出力します。最初の 1 ビット目の送信データが出力されると SSR:TDRE=1 となり, 送信割込み許可 (SCR:TIE=1) されていると送信割込み要求を出力します。この時, 2 バイト目の送信データを書き込むことができます。

受信データをシリアルクロック (SCK) 入力の立上りエッジでサンプリングします。受信データの最後のビットを受信すると SSR:RDRF=1 となり, 受信割込み許可 (SCR:RIE=1) されていると, 受信割込み要求を出力します。この時, 受信データ (RDR) を読み出すことができます。受信データを読み出すと SSR:RDRF は "0" にクリアされます。

■ ノーマル転送 (II)

- 特長

表 27.15-3 ノーマル転送 (II) の特長

項目	説明
1 シリアルクロック (SCK) のマークレベル	"L"
2 送信データ出力タイミング	SCK の立上りエッジ
3 受信データのサンプリング	SCK の立下りエッジ
4 データ長	5 ビット ~ 9 ビット

● レジスタ設定

ノーマル転送 (II) に必要なレジスタの設定値を以下に示します。

表 27.15-4 ノーマル転送 (II) レジスタ設定

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8	bit07	bit6	bit5	bit4	bit3	bit2	bit1	bit0
SCR/ SMR	UPCL	MS	SPI	RIE	TIE	TBIE	RXE	TXE	MD2	MD1	MD0	-	SCINV	BDS	SCKE	SOE
	0	1/0	0	*	*	*	*	*	0	1	0	0	1	*	1/0	*
SSR/ ESCR	REC	-	-	-	ORE	RDRF	TDRE	TBI	SOP	-	-	WT1	WT0	L2	L1	L0
	0	-	-	-	-	-	-	-	0	-	-	*	*	*	*	*
RDR/ TDR	-							D8	D7	D6	D5	D4	D3	D2	D1	D0
	-							*	*	*	*	*	*	*	*	*
BGR1/ BGR0	-	B14	B13	B12	B11	B10	B9	B8	B7	B6	B5	B4	B3	B2	B1	B0
	-	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*

1 : "1" を設定

0 : "0" を設定

* : ユーザが決める設定

< 注意事項 >

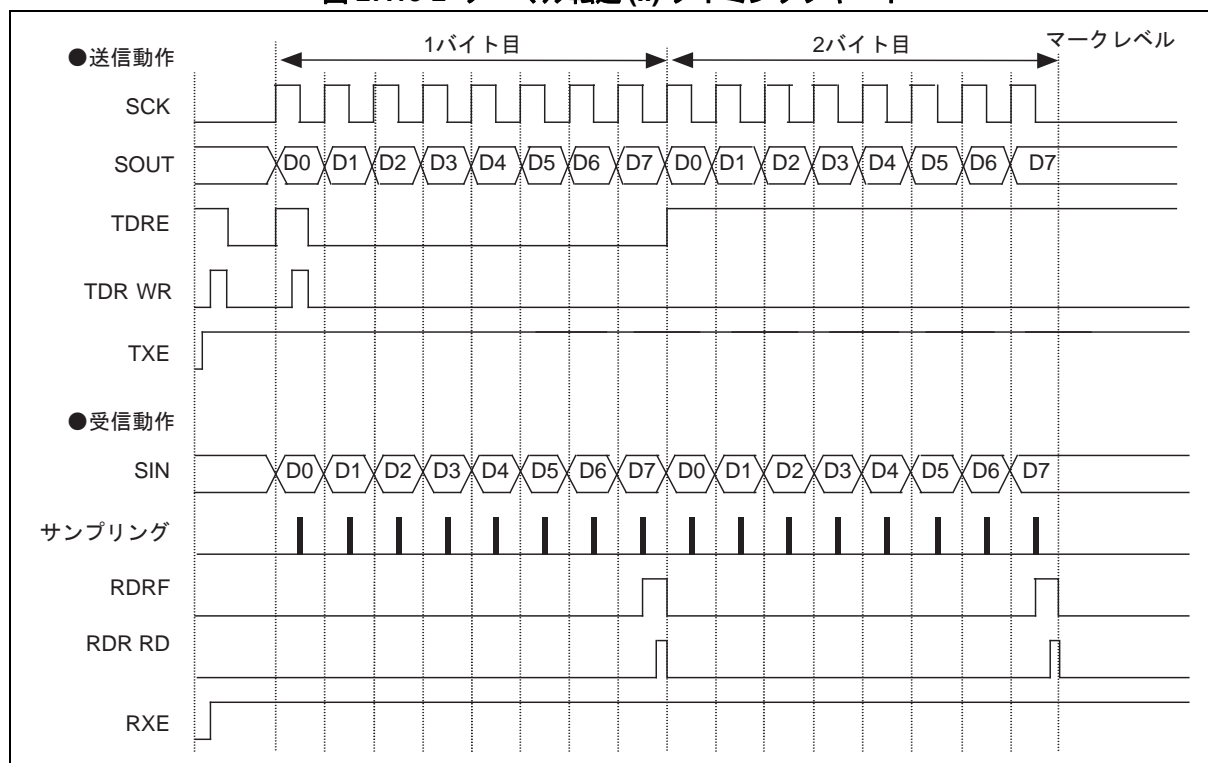
上記ビットの設定値 (1/0) は、マスタ動作、スレーブ動作で異なります。以下のように設定してください。

マスタ動作時 : SCR:MS=0, SMR:SCKE=1

スレーブ動作時 : SCR:MS=1, SMR:SCKE=0

ノーマル転送 (II) タイミングチャート

図 27.15-2 ノーマル転送 (II) タイミングチャート



● 動作説明

(1) マスタ動作 (SCR:MS=0, SMR:SCKE=1 に設定します)

- 送信動作

シリアルデータ出力許可 (SMR:SOE=1), 送信動作許可 (SCR:TXE=1) および受信動作禁止 (SCR:RXE=0) にし, TDR に送信データを書き込むと SSR:TDRE=0 となり, シリアルクロック (SCK) 出力の立上りエッジに同期して送信データを出力します。

最初の 1 ビット目の送信データが出力されると SSR:TDRE=1 となり, 送信割込みが許可 (SCR:TIE=1) されていると送信割込み要求を出力します。このとき, 2 バイト目の送信データを書き込むことができます。

- 受信動作

シリアルデータ出力禁止 (SMR:SOE=0), 送信動作許可 (SCR:TXE=1) および受信動作許可 (SCR:RXE=1) にし, TDR にダミーデータを書き込むとシリアルクロック出力 (SCK) の立下りエッジで受信データをサンプリングします。

最後のビットを受信すると SSR:RDRF=1 となり, 受信割込みが許可 (SCR:RIE=1) されていると受信割込み要求を出力します。このとき, 受信データ (RDR) を読み出すことができます。

受信データ (RDR) を読み出すと, SSR:RDRF は "0" にクリアされます。

< 注意事項 >

- 受信動作のみを行う場合、シリアルクロック (SCK) を出力させるために TDR にダミーデータを書いてください。
- 送受信 FIFO 許可時、転送させたいフレーム分のバイト数を FBYTE1/FBYTE2 レジスタに設定することで、設定値分のフレームのシリアルクロック (SCK) が出力されます。

• 送受信動作

送受信動作を同時に行う場合は、シリアルデータ出力許可 (SMR:SOE=1), 送受信動作許可 (SCR:TXE, RXE=1) にします。

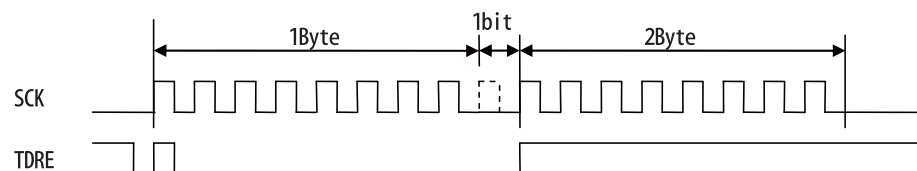
TDR に送信データを書き込むと、SSR:TDRE=0 となりシリアルクロック (SCK) 出力の立上りエッジに同期して、送信データを出します。最初の 1 ビット目の送信データが出力されると SSR:TDRE=1 となり、送信割込み許可 (SCR:TIE=1) されていると送信割込み要求を出します。この時、2 バイト目の送信データを書き込むことができます。

受信データをシリアルクロック (SCK) 出力の立下りエッジでサンプリングします。受信データの最後のビットを受信すると SSR:RDRF=1 となり、受信割込み許可 (SCR:RIE=1) されていると、受信割込み要求を出します。この時、受信データ (RDR) を読み出すことができます。受信データを読み出すと SSR:RDRF は "0" にクリアされます。

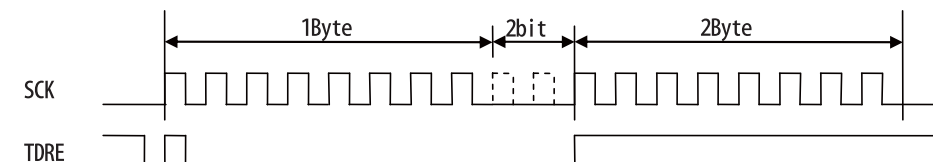
• 連続データ送信または受信ウェイト動作

連続データ送信または受信に対し、(ESCR:WT1, ESCR:WT0)=(0, 0) 以外を設定した場合フレーム間にウェイトが挿入されます。

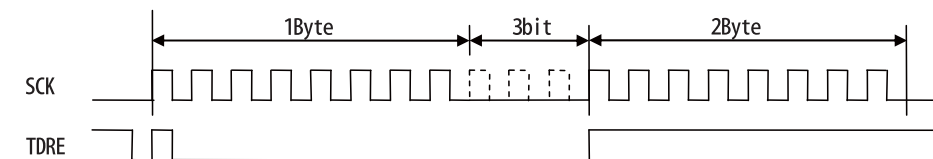
- ESCR:WT1=0, ESCR:WT0=1(マスタ時)



- ESCR:WT1=1, ESCR:WT0=0(マスタ時)



- ESCR:WT1=1, ESCR:WT0=1(マスタ時)



(2) スレーブ動作 (SCR:MS=1, SMR:SCKE=0 に設定します)

- 送信動作

シリアルデータ出力許可 (SMR:SOE=1) および送信動作許可 (SCR:TXE=1) にし、TDR に送信データを書き込むと SSR:TDRE=0 となり、シリアルクロック (SCK) 入力の立上りエッジに同期して送信データを出力します。

最初の 1 ビット目の送信データが出力されると SSR:TDRE=1 となり、送信割込みが許可 (SCR:TIE=1) されていると送信割込み要求を出力します。このとき、2 バイト目の送信データを書き込むことができます。

- 受信動作

シリアルデータ出力禁止 (SMR:SOE=0) および受信動作許可 (SCR:RXE=1) にすると、シリアルクロック入力 (SCK) の立下りエッジで受信データをサンプリングします。

最後のビットを受信すると SSR:RDRF=1 となり、受信割込みが許可 (SCR:RIE=1) されていると受信割込み要求を出力します。このとき、受信データ (RDR) を読み出すことができます。

受信データ (RDR) を読み出すと、SSR:RDRF は "0" にクリアされます。

- 送受信動作

送受信動作を同時に行う場合は、シリアルデータ出力許可 (SMR:SOE=1)、送受信動作許可 (SCR:TXE, RXE=1) にします。

TDR に送信データを書き込むと、SSR:TDRE=0 となりシリアルクロック (SCK) 入力の立上りエッジに同期して、送信データを出力します。最初の 1 ビット目の送信データが出力されると SSR:TDRE=1 となり、送信割込み許可 (SCR:TIE=1) されていると送信割込み要求を出力します。この時、2 バイト目の送信データを書き込むことができます。

受信データをシリアルクロック (SCK) 入力の立下りエッジでサンプリングします。受信データの最後のビットを受信すると SSR:RDRF=1 となり、受信割込み許可 (SCR:RIE=1) されていると、受信割込み要求を出力します。この時、受信データ (RDR) を読み出すことができます。受信データを読み出すと SSR:RDRF は "0" にクリアされます。

■ SPI 転送 (I)

- 特長

表 27.15-5 SPI 転送 (I) の特長

	項目	説明
1	シリアルクロック (SCK) のマークレベル	"H"
2	送信データ出力タイミング	SCK の立上りエッジ
3	受信データのサンプリング	SCK の立下りエッジ
4	データ長	5 ビット ~ 9 ビット

● レジスタ設定

SPI 転送 (I) に必要なレジスタの設定値を以下に示します。

表 27.15-6 SPI 転送 (I) レジスタ設定

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
SCR/ SMR	UPCL	MS	SPI	RIE	TIE	TBIE	RXE	TXE	MD2	MD1	MD0	-	SCINV	BDS	SCKE	SOE
	0	1/0	1	*	*	*	*	*	0	1	0	0	0	*	1/0	*
SSR/ ESCR	REC	-	-	-	ORE	RDRF	TDRE	TBI	SOP	-	-	WT1	WT0	L2	L1	L0
	0	-	-	-	-	-	-	-	0	-	-	*	*	*	*	*
RDR/ TDR	-							D8	D7	D6	D5	D4	D3	D2	D1	D0
	-							*	*	*	*	*	*	*	*	*
BGR1/ BGR0	-	B14	B13	B12	B11	B10	B9	B8	B7	B6	B5	B4	B3	B2	B1	B0
	-	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*

1 : "1" を設定

0 : "0" を設定

* : ユーザが決める設定

< 注意事項 >

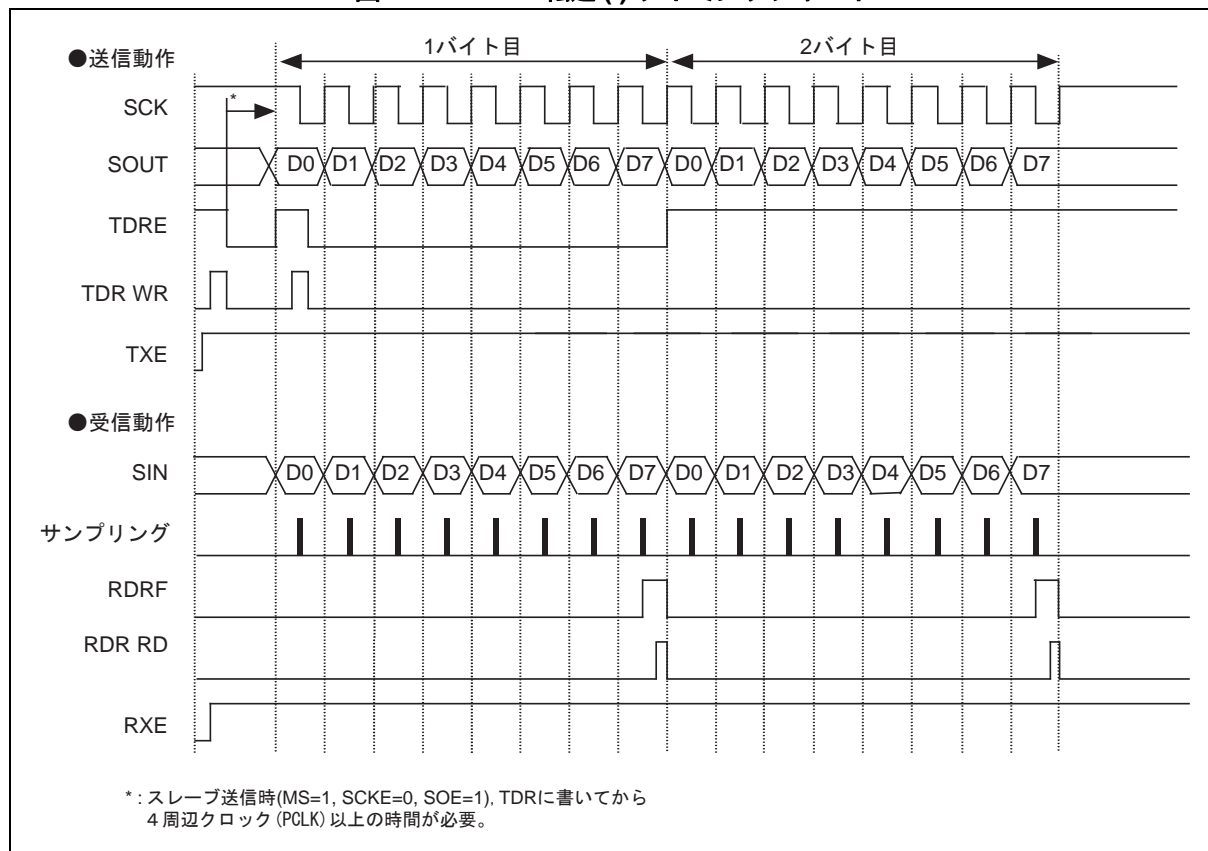
上記ビットの設定値 (1/0) は、マスタ動作、スレーブ動作で異なります。以下のように設定してください。

マスタ動作時 : SCR:MS=0, SMR:SCKE=1

スレーブ動作時 : SCR:MS=1, SMR:SCKE=0

● SPI 転送 (I) タイミングチャート

図 27.15-3 SPI 転送 (I) タイミングチャート



● 動作説明

(1) マスタ動作 (SCR:MS=0, SMR:SCKE=1 に設定します)

● 送信動作

シリアルデータ出力許可 (SMR:SOE=1), 送信動作許可 (SCR:TXE=1) および受信動作禁止 (SCR:RXE=0) にし, TDR に送信データを書き込むと SSR:TDRE=0 となり, 1 ビット目が出力されます。その後, シリアルクロック (SCK) 出力の立上りエッジに同期して送信データを出力します。

最初のシリアルクロック (SCK) 出力の立下りエッジの半サイクル前で SSR:TDRE=1 となり, 送信割込みが許可 (SCR:TIE=1) されていると送信割込み要求を出力します。このとき, 2 バイト目の送信データを書き込むことができます。

● 受信動作

シリアルデータ出力禁止 (SMR:SOE=0), 送信動作許可 (SCR:TXE=1) および受信動作許可 (SCR:RXE=1) にし, TDR にダミーデータを書き込むとシリアルクロック出力 (SCK) の立下りエッジで受信データをサンプリングします。

最後のビットを受信すると SSR:RDRF=1 となり, 受信割込み許可 (SCR:RIE=1) されていると受信割込み要求を出力します。このとき, 受信データ (RDR) を読み出すことができます。

受信データ (RDR) を読み出すと, SSR:RDRF は "0" にクリアされます。

< 注意事項 >

- 受信動作のみを行う場合、シリアルクロック (SCK) を出力させるために TDR にダミーデータを書いてください。
- 送受信 FIFO 許可時、転送させたいフレーム分のバイト数を FBYTE1/FBYTE2 レジスタに設定することで、設定値分のフレームのシリアルクロック (SCK) が出力されます。

• 送受信動作

送受信動作を同時に行う場合は、シリアルデータ出力許可 (SMR:SOE=1), 送受信動作許可 (SCR:TXE, RXE=1) にします。

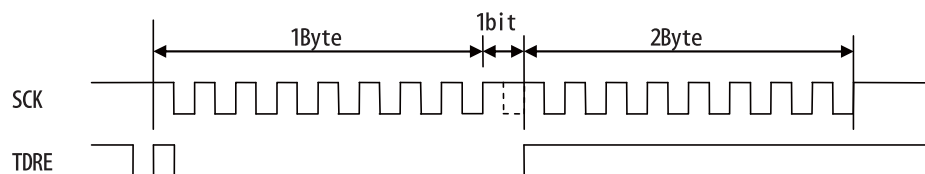
TDR に送信データを書き込むと、SSR:TDRE=0 となり 1 ビット目が出力されます。その後、シリアルクロック (SCK) 出力の立上りエッジに同期して、送信データを出力します。最初のシリアルクロック (SCK) 出力の立下りエッジの半サイクル前で SSR:TDRE=1 となり、送信割込み許可 (SCR:TIE=1) されていると送信割込み要求を出力します。この時、2 バイト目の送信データを書き込むことができます。

受信データをシリアルクロック (SCK) 出力の立下りエッジでサンプリングします。受信データの最後のビットを受信すると SSR:RDRF=1 となり、受信割込み許可 (SCR:RIE=1) されていると、受信割込み要求を出力します。この時、受信データ (RDR) を読み出すことができます。受信データを読み出すと SSR:RDRF は "0" にクリアされます。

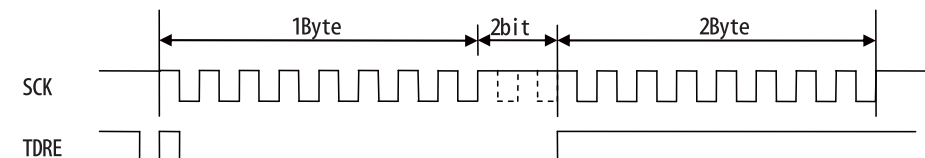
• 連続データ送信または受信ウェイト動作

連続データ送信または受信に対し、(ESCR:WT1, ESCR:WT0)= (0, 0) 以外を設定した場合フレーム間にウェイトが挿入されます。

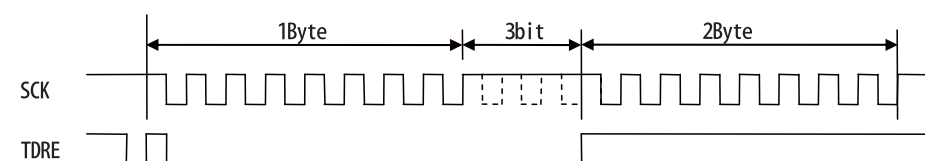
- ESCR:WT1=0, ESCR:WT0=1(マスタ時)



- ESCR:WT1=1, ESCR:WT0=0(マスタ時)



- ESCR:WT1=1, ESCR:WT0=1(マスタ時)



(2) スレーブ動作 (SCR:MS=1, SMR:SCKE=0 に設定します)

- 送信動作

シリアルデータ出力許可 (SMR:SOE=1) および送信動作許可 (SCR:TXE=1) にし、TDR に送信データを書き込むと SSR:TDRE=0 となり、1 ビット目が出力されます。その後、シリアルクロック (SCK) 出力の立上りエッジに同期して送信データを出力します。

最初のシリアルクロックの立下りエッジの半サイクル前で SSR:TDRE=1 となり、送信割込みが許可 (SCR:TIE=1) されていると送信割込み要求を出力します。このとき、2 バイト目の送信データを書き込むことができます。

- 受信動作

シリアルデータ出力禁止 (SMR:SOE=0) および受信動作許可 (SCR:RXE=1) にすると、シリアルクロック入力 (SCK) の立下りエッジで受信データをサンプリングします。

最後のビットを受信すると SSR:RDRF=1 となり、受信割込みが許可 (SCR:RIE=1) されていると受信割込み要求を出力します。このとき、受信データ (RDR) を読み出すことができます。

受信データ (RDR) を読み出すと、SSR:RDRF は "0" にクリアされます。

- 送受信動作

送受信動作を同時に行う場合は、シリアルデータ出力許可 (SMR:SOE=1)、送受信動作許可 (SCR:TXE, RXE=1) にします。

TDR に送信データを書き込むと、SSR:TDRE=0 となり 1 ビット目が出力されます。その後、シリアルクロック (SCK) 入力の立上りエッジに同期して、送信データを出力します。最初の 1 ビット目の送信データが出力されると SSR:TDRE=1 となり、送信割込み許可 (SCR:TIE=1) されていると送信割込み要求を出力します。この時、2 バイト目の送信データを書き込むことができます。

受信データをシリアルクロック (SCK) 入力の立下りエッジでサンプリングします。受信データの最後のビットを受信すると SSR:RDRF=1 となり、受信割込み許可 (SCR:RIE=1) されていると、受信割込み要求を出力します。この時、受信データ (RDR) を読み出すことができます。受信データを読み出すと SSR:RDRF は "0" にクリアされます。

■ SPI 転送 (II)

- 特長

表 27.15-7 SPI 転送 (II) の特長

	項目	説明
1	シリアルクロック (SCK) のマークレベル	"L"
2	送信データ出力タイミング	SCK の立下りエッジ
3	受信データのサンプリング	SCK の立上りエッジ
4	データ長	5 ビット ~ 9 ビット

● レジスタ設定

SPI 転送 (II) に必要なレジスタの設定値を以下に示します。

表 27.15-8 SPI 転送 (II) レジスタ設定

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
SCR/ SMR	UPCL	MS	SPI	RIE	TIE	TBIE	RXE	TXE	MD2	MD1	MD0	-	SCINV	BDS	SCKE	SOE
	0	1/0	1	*	*	*	*	*	0	1	0	0	1	*	1/0	*
SSR/ ESCR	REC	-	-	-	ORE	RDRF	TDRE	TBI	SOP	-	-	WT1	WT0	L2	L1	L0
	0	-	-	-	-	-	-	-	0	-	-	*	*	*	*	*
RDR/ TDR	-							D8	D7	D6	D5	D4	D3	D2	D1	D0
	-							*	*	*	*	*	*	*	*	*
BGR1/ BGR0	-	B14	B13	B12	B11	B10	B9	B8	B7	B6	B5	B4	B3	B2	B1	B0
	-	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*

1 : "1" を設定

0 : "0" を設定

* : ユーザが決める設定

< 注意事項 >

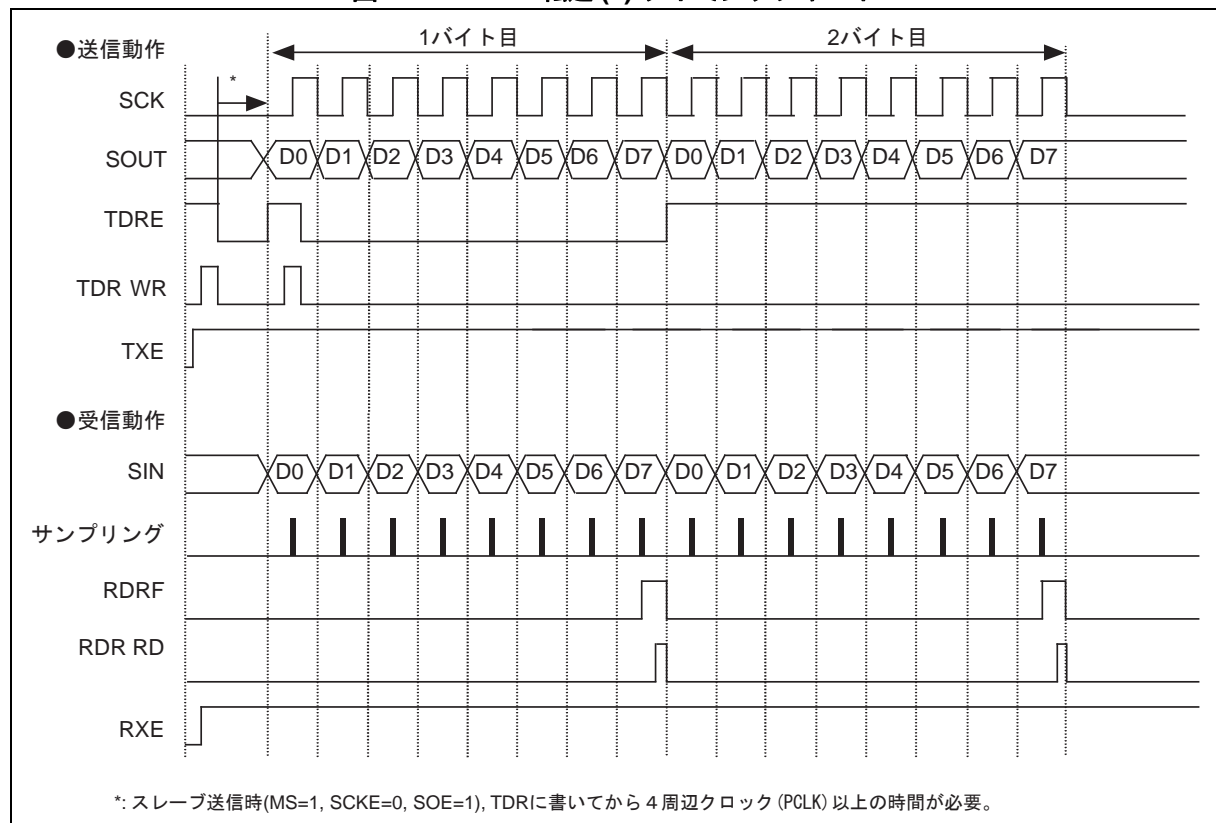
上記ビットの設定値 (1/0) は、マスタ動作、スレーブ動作で異なります。以下のように設定してください。

マスタ動作時 : SCR:MS=0, SMR:SCKE=1

スレーブ動作時 : SCR:MS=1, SMR:SCKE=0

● SPI 転送 (II) タイミングチャート

図 27.15-4 SPI 転送 (II) タイミングチャート



● 動作説明

(1) マスタ動作 (SCR:MS=0, SMR:SCKE=1 に設定します)

● 送信動作

シリアルデータ出力許可 (SMR:SOE=1), 送信動作許可 (SCR:TXE=1) および受信動作禁止 (SCR:RXE=0) にし, TDR に送信データを書き込むと SSR:TDRE=0 となり, 1 ビット目が出力されます。その後, シリアルクロック (SCK) 出力の立下りエッジに同期して送信データを出力します。

最初のシリアルクロック (SCK) 出力の立上りエッジの半サイクル前で SSR:TDRE=1 となり, 送信割込みが許可 (SCR:TIE=1) されていると送信割込み要求を出力します。このとき, 2 バイト目の送信データを書き込むことができます。

● 受信動作

シリアルデータ出力禁止 (SMR:SOE=0), 送信動作許可 (SCR:TXE=1) および受信動作許可 (SCR:RXE=1) にし, TDR にダミーデータを書き込むとシリアルクロック出力 (SCK) の立上りエッジで受信データをサンプリングします。

最後のビットを受信すると SSR:RDRF=1 となり, 受信割込みが許可 (SCR:RIE=1) されていると受信割込み要求を出力します。このとき, 受信データ (RDR) を読み出すことができます。

受信データ (RDR) を読み出すと, SSR:RDRF は "0" にクリアされます。

< 注意事項 >

- 受信動作のみを行う場合、シリアルクロック (SCK) を出力させるために TDR にダミーデータを書いてください。
- 送受信 FIFO 許可時、転送させたいフレーム分のバイト数を FBYTE1/FBYTE2 レジスタに設定することで、設定値分のフレームのシリアルクロック (SCK) が出力されます。

• 送受信動作

送受信動作を同時に行う場合は、シリアルデータ出力許可 (SMR:SOE=1), 送受信動作許可 (SCR:TXE, RXE=1) にします。

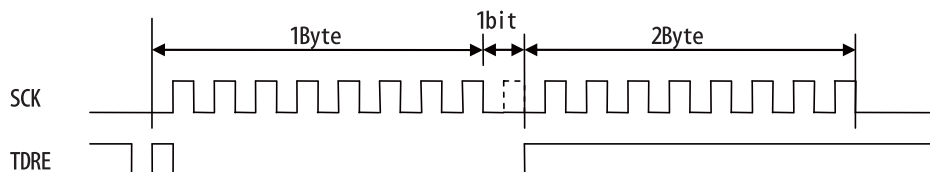
TDR に送信データを書き込むと、SSR:TDRE=0 となり 1 ビット目が出力されます。その後、シリアルクロック (SCK) 出力の立下りエッジに同期して、送信データを出力します。最初のシリアルクロック (SCK) 出力の立上りエッジの半サイクル前で SSR:TDRE=1 となり、送信割込み許可 (SCR:TIE=1) されていると送信割込み要求を出力します。この時、2 バイト目の送信データを書き込むことができます。

受信データを送信クロックの立上りエッジでサンプリングします。受信データの最後のビットを受信すると SSR:RDRF=1 となり、受信割込み許可 (SCR:RIE=1) されていると、受信割込み要求を出力します。この時、受信データ (RDR) を読み出すことができます。受信データを読み出すと SSR:RDRF は "0" にクリアされます。

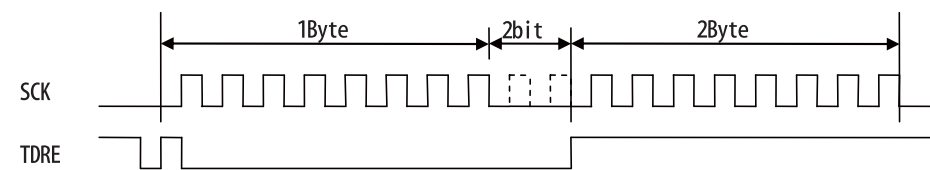
• 連続データ送信または受信ウェイト動作

連続データ送信または受信に対し、(ESCR:WT1, ESCR:WT0)=(0, 0) 以外を設定した場合フレーム間にウェイトが挿入されます。

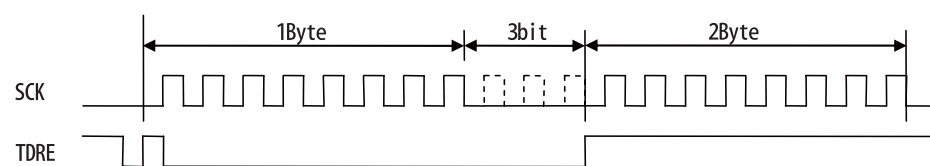
- ESCR:WT1=0, ESCR:WT0=1(マスタ時)



- ESCR:WT1=1, ESCR:WT0=0(マスタ時)



- ESCR:WT1=1, ESCR:WT0=1(マスタ時)



(2) スレーブ動作 (SCR:MS=1, SMR:SCKE=0 に設定します)

- 送信動作

シリアルデータ出力許可 (SMR:SOE=1) および送信動作許可 (SCR:TXE=1) にし、TDR に送信データを書き込むと SSR:TDRE=0 となり、1 ビット目が出力されます。その後、シリアルクロック (SCK) 入力の立下りエッジに同期して送信データを出力します。

最初の 1 ビット目の送信データが出力されると SSR:TDRE=1 となり、送信割込みが許可 (SCR:TIE=1) されていると送信割込み要求を出力します。このとき、2 バイト目の送信データを書き込むことができます。

- 受信動作

シリアルデータ出力禁止 (SMR:SOE=0) および受信動作許可 (SCR:RXE=1) にすると、シリアルクロック入力 (SCK) の立上りエッジで受信データをサンプリングします。

最後のビットを受信すると SSR:RDRF=1 となり、受信割込みが許可 (SCR:RIE=1) されていると受信割込み要求を出力します。このとき、受信データ (RDR) を読み出すことができます。

受信データ (RDR) を読み出すと、SSR:RDRF は "0" にクリアされます。

- 送受信動作

送受信動作を同時に行う場合は、シリアルデータ出力許可 (SMR:SOE=1)、送受信動作許可 (SCR:TXE, RXE=1) にします。

TDR に送信データを書き込むと、SSR:TDRE=0 となり 1 ビット目が出力されます。その後、シリアルクロック (SCK) 入力の立下りエッジに同期して、送信データを出力します。最初の 1 ビット目の送信データが出力されると SSR:TDRE=1 となり、送信割込み許可 (SCR:TIE=1) されていると送信割込み要求を出力します。この時、2 バイト目の送信データを書き込むことができます。

受信データをシリアルクロック (SCK) 入力の立上りエッジでサンプリングします。受信データの最後のビットを受信すると SSR:RDRF=1 となり、受信割込み許可 (SCR:RIE=1) されていると、受信割込み要求を出力します。この時、受信データ (RDR) を読み出すことができます。受信データを読み出すと SSR:RDRF は "0" にクリアされます。

■ 4 チャンネル同時通信モード時の動作

ch.0~ch.3 の 4 チャンネルまたは ch.4 ~ ch.7 の 4 チャンネルの CSIO を同時に通信させ、一度に 4 ビットのデータを送受信できます。

4 チャンネルをマスタモードでも、スレーブモードで利用できます。4 チャンネル同時通信モード時の動作を説明します。

● 概要

4 チャンネル同時に通信するには、シリアルモード選択レジスタ (SSEL0123, SSEL4567) の SS1, SS0 ビットで設定します。

また、マスタモードで通信するかスレーブモードで通信するかで必要な設定が異なります。

4 チャンネル同時通信モード時に必要な設定を表 27.15-9 に示します。

表 27.15-9 4 チャンネル同時通信モード時の設定

モード	設定		ch.0/ch.4	ch.1/ch.5	ch.2/ch.6	ch.3/ch.7
4 ビットマスタ	SSEL	SS1/SS0 ビット	10	10	10	10
	SCR	MS ビット	1	1	1	0
4 ビットスレーブ	SSEL	SS1/SS0 ビット	11	11	11	11
	SCR	MS ビット	1	1	1	1

SSEL：シリアルモード選択レジスタ (SSEL0123, SSEL4567)

SCR：シリアル制御レジスタ (SCR0 ~ SCR7)

4 ビットマスタモード時と 4 ビットスレーブモード時は、シリアルクロックの入力方法が異なります。

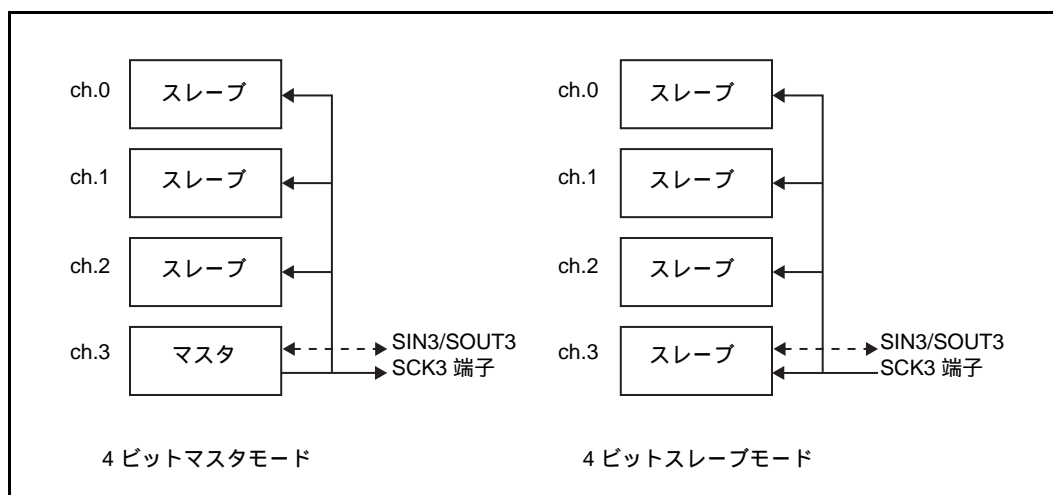
シリアルクロックの入力元を表 27.15-10 に示します。

表 27.15-10 シリアルクロックの入力元

モード	ch.0 /ch.4	ch.1/ch.5	ch.2/ch.6	ch.3/ch.7
4 ビットマスタ (SS1, SS0=10)	ch.3/ch.7 からの出力	ch.3/ch.7 からの出力	ch.3/ch.7 からの出力	SCK3/SCK7 端子
4 ビットスレーブ (SS1, SS0=11)	SCK3/SCK7 端子	SCK3/SCK7 端子	SCK3/SCK7 端子	SCK3/SCK7 端子

4 ビットマスタモード時と 4 ビットスレーブモード時のシリアルクロック入力元を図 27.15-5 に示します。

図 27.15-5 シリアルクロックの入力元



4 チャンネル同時通信モード時の使用可能端子組合せを , 表 27.15-11 に示します。

表 27.15-11 使用可能端子組合せ

	ch.0 / ch.4	ch.1 / ch.5	ch.2 / ch.6	ch.3 / ch.7
組合せ 1	SCK0_1 SIN0_1 SOUT0_1	SCK1 SIN1 SOUT1	SCK2 SIN2 SOUT2	SCK3 SIN3 SOUT3
組合せ 2	SCK4 SIN4 SOUT4	SCK5 SIN5 SOUT5	SCK6 SIN6 SOUT6	SCK7 SIN7 SOUT7
組合せ 3	SCK0_2 SIN0_2 SOUT0_2	SCK1_1 SIN1_1 SOUT1_1	SCK2_1 SIN2_1 SOUT2_1	SCK3_1 SIN3_1 SOUT3_1

● 動作

4 チャンネル同時通信モード利用時の受信動作 / 送信動作は、1 チャンネル動作時と同様です。

ただし、4 ビット同時に送受信するために、次のレジスタが用意されています。

- 受信データミラーレジスタ (RDRM0 ~ RDRM7)
- 送信データミラーレジスタ (TDRM0 ~ TDRM7)

これらのレジスタにアクセスすると、受信データレジスタ (RDR) の下位 8 ビットや送信データレジスタ (TDR) の下位 8 ビットにアクセスされます。

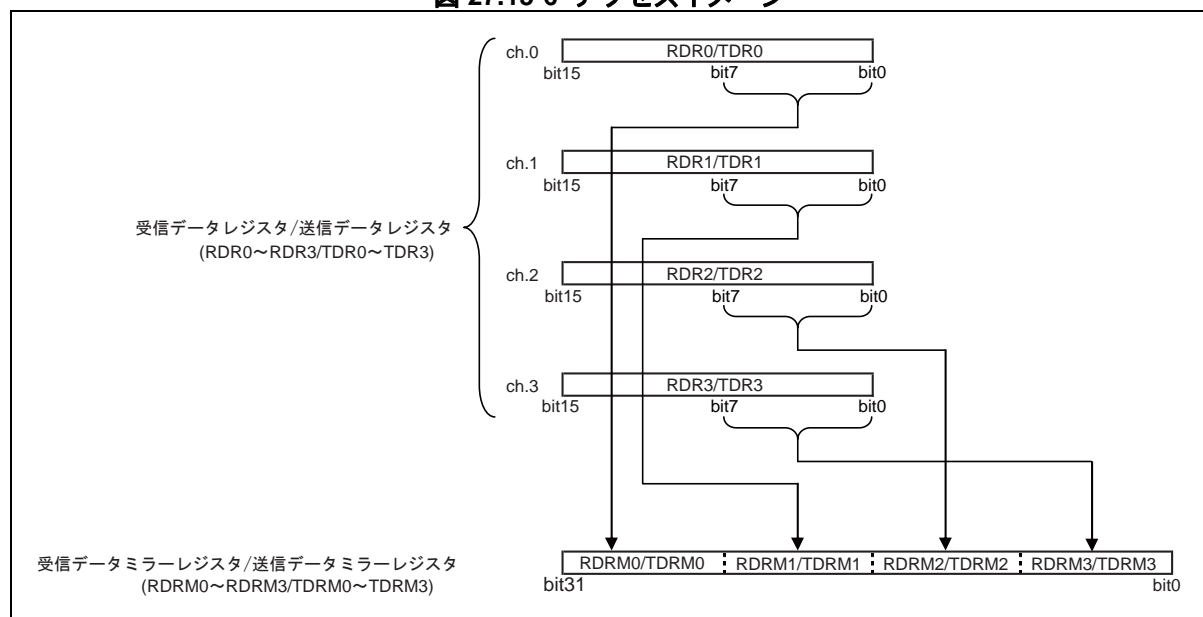
また、ch.0 ~ ch.3 や ch.4 ~ ch.7 の受信データミラーレジスタ (RDRM0 ~ RDRM7) / 送信データミラーレジスタ (TDRM0 ~ TDRM7) は並んで配置されているため、ワードアクセスすることで、一度に書き込むことができます。DMA 転送などに利用してください。

< 注意事項 >

4 チャンネル同時起動時の割込みは 4ch 中 1ch のみを使用許可することを推奨致します。

受信データミラーレジスタ (RDRM0 ~ RDRM3) / 送信データミラーレジスタ (TDRM0 ~ TDRM3) のイメージを図 27.15-6 に示します。

図 27.15-6 アクセスイメージ



< 注意事項 >

4 チャンネル同時通信を使用する場合は、9 ビット長のデータは使用できません。

27.16 専用ボーレートジェネレータ

専用ボーレートジェネレータは、マスタ動作時のみ機能します。ただし、受信 FIFO を使用する場合にはスレーブ動作時でも専用ボーレートジェネレータを設定してください。

■ CSIO(クロック同期シリアルインタフェース) ボーレート選択

専用ボーレートジェネレータの設定は、マスタ動作時とスレーブ動作時では異なります。

● マスタ動作時

専用ボーレートジェネレータで内部クロックを分周させてボーレートを選択します。

- 2 つの内部リロードカウンタがあり、それぞれ送受信シリアルクロックに対応しています。ボーレートジェネレータレジスタ 1, 0 (BGR1, BGR0) で 15 ビットのリロード値を設定することにより、ボーレートを選択できます。
- リロードカウンタは設定された値で内部クロックを分周します。

● スレーブ動作時

スレーブ動作時 (SCR:MS=1) は、専用ボーレートジェネレータは機能しません (クロック入力端子 SCK から入力された 外部クロックを直接使用します)。

< 注意事項 >

受信 FIFO を使用する場合にはスレーブ動作時でも専用ボーレートジェネレータを設定してください。

27.16.1 ボーレート設定

ボーレートの設定を示します。また、シリアルクロック周波数の計算結果を示します。

■ ボーレートの計算

2 つの 15 ビットリロードカウンタは、ボーレートジェネレータレジスタ 1, 0 (BGR1, BGR0) で設定します。

ボーレートの計算式を以下に示します。

(1) リロード値：

$$V = \phi / b - 1$$

V：リロード値

b：ボーレート

ϕ ：周辺クロック (PCLK) 周波数

(2) 計算例

周辺クロック (PCLK) 16MHz, 内部クロック使用, ボーレート 19200bps に設定する場合のリロード値は、次のようになります。

リロード値：

$$V = (16 \times 1000000) / 19200 - 1 = 832$$

よって、ボーレートは、

$$b = (16 \times 1000000) / (832 + 1) = 19208 \text{ bps}$$

(3) ボーレートの誤差

ボーレートの誤差は次の式によって求められます。

$$\text{誤差 (\%)} = (\text{計算値} - \text{目標値}) / \text{目標値} \times 100$$

(例) 周辺クロック (PCLK) 20MHz, 目標ボーレート 153600bps に設定する場合

$$\text{リロード値} = (20 \times 1000000) / 153600 - 1 = 129$$

$$\text{ボーレート (計算値)} = (20 \times 1000000) / (129 + 1) = 153846 \text{ (bps)}$$

$$\text{誤差 (\%)} = (153846 - 153600) / 153600 \times 100 = 0.16 \text{ (\%)}$$

< 注意事項 >

- リロード値を "0" に設定するとリロードカウンタは停止します。
- リロード値が偶数の場合、シリアルクロックの "H" 幅と "L" 幅は SCINV ビットの設定によって以下ようになります。奇数の場合、シリアルクロックの "H" 幅と "L" 幅は同じになります。
 - SCINV=0 のとき、シリアルクロックの "H" 幅が周辺クロック (PCLK) 1 サイクル分長くなります。
 - SCINV=1 のとき、シリアルクロックの "L" 幅が周辺クロック (PCLK) 1 サイクル分長くなります。
- リロード値は "3" 以上を設定してください。

■ 各周辺クロック (PCLK) 周波数に対するリロード値とボーレート

表 27.16-1 リロード値とボーレート

ボーレート (bps)	8 MHz		10 MHz		16 MHz		20 MHz		24 MHz		32MHz	
	Value	ERR	Value	ERR	Value	ERR	Value	ERR	Value	ERR	Value	ERR
8M	-	-	-	-	-	-	-	-	-	-	3	0
6M	-	-	-	-	-	-	-	-	3	0	-	-
5M	-	-	-	-	-	-	3	0	-	-	-	-
4M	-	-	-	-	3	0	4	0	5	0	7	0
2.5M	-	-	3	0	-	-	-	-	-	-	-	-
2M	3	0	4	0	7	0	9	0	11	0	15	0
1M	7	0	9	0	15	0	19	0	23	0	31	0
500000	15	0	19	0	31	0	39	0	47	0	63	0
460800	-	-	-	-	-	-	-	-	51	- 0.16	-	-
250000	31	0	39	0	63	0	79	0	95	0	127	0
230400	-	-	-	-	-	-	-	-	103	- 0.16	-	-
153600	51	- 0.16	64	- 0.16	103	- 0.16	129	- 0.16	155	- 0.16	207	- 0.16
125000	63	0	79	0	127	0	159	0	191	0	255	0
115200	68	- 0.64	86	0.22	138	0.08	173	0.22	207	- 0.16	277	0.08
76800	103	- 0.16	129	- 0.16	207	- 0.16	259	- 0.16	311	- 0.16	416	0.08
57600	138	0.08	173	0.22	277	0.08	346	- 0.16	416	0.08	555	0.08
38400	207	- 0.16	259	- 0.16	416	0.08	520	0.03	624	0	832	- 0.04
28800	277	0.08	346	< 0.01	554	- 0.01	693	- 0.06	832	- 0.03	1110	- 0.01
19200	416	0.08	520	0.03	832	- 0.03	1041	0.03	1249	0	1666	0.02
10417	767	< 0.01	959	< 0.01	1535	< 0.01	1919	< 0.01	2303	< 0.01	3071	< 0.01
9600	832	0.04	1041	0.03	1666	0.02	2083	0.03	2499	0	3332	- 0.01
7200	1110	< 0.01	1388	< 0.01	2221	< 0.01	2777	< 0.01	3332	< 0.01	4443	- 0.01
4800	1666	0.02	2082	- 0.02	3332	< 0.01	4166	< 0.01	4999	0	6666	< 0.01
2400	3332	< 0.01	4166	< 0.01	6666	< 0.01	8332	< 0.01	9999	0	13332	< - 0.01
1200	6666	< 0.01	8334	0.02	13332	< 0.01	16666	< 0.01	19999	0	26666	< 0.01
600	13332	< 0.01	16666	< 0.01	26666	< 0.01	-	-	-	-	-	-
300	26666	< 0.01	-	-	-	-	-	-	-	-	-	-

- Value : BGR1/BGR0 レジスタの設定値
- ERR : ボーレート誤差 (%)

■ リロードカウンタの機能

リロードカウンタには送信リロードカウンタと受信リロードカウンタがあり、専用ボーレートジェネレータとして機能します。リロード値に対する 15 ビットレジスタから構成されており、内部クロックより送受信クロックを生成します。

■ カウントの開始

ボーレートジェネレータレジスタ 1, 0 (BGR1, BGR0) にリロード値を書き込むと、リロードカウンタはカウントを開始します。

■ 再スタート

リロードカウンタは下記の条件で再スタートします。

- 送信 / 受信リロードカウンタ共通

プログラマブルリセット (SCR:UPCL ビット)

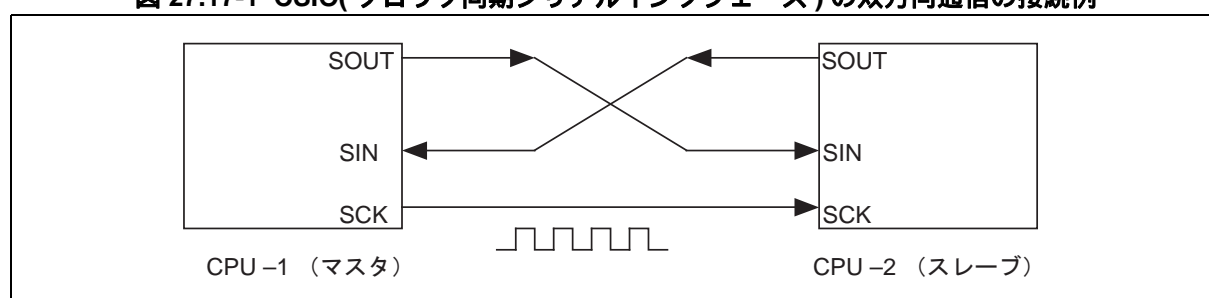
27.17 CSIO(クロック同期シリアルインタフェース) 設定手順とプログラムフロー

CSIO(クロック同期シリアルインタフェース) では、シリアル双方向同期通信をすることができます。

■ CPU 間接続

CSIO(クロック同期シリアルインタフェース) では、双方向通信を選択します。図 27.17-1 に示すように 2 つの CPU を相互に接続します。

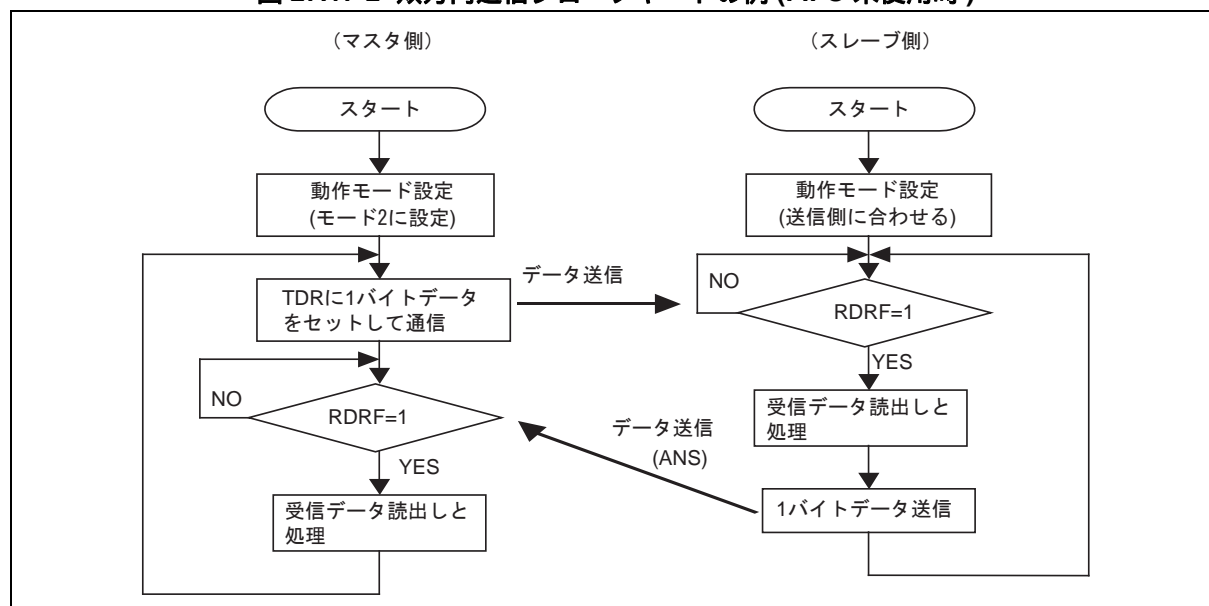
図 27.17-1 CSIO(クロック同期シリアルインタフェース) の双方向通信の接続例



■ フローチャート

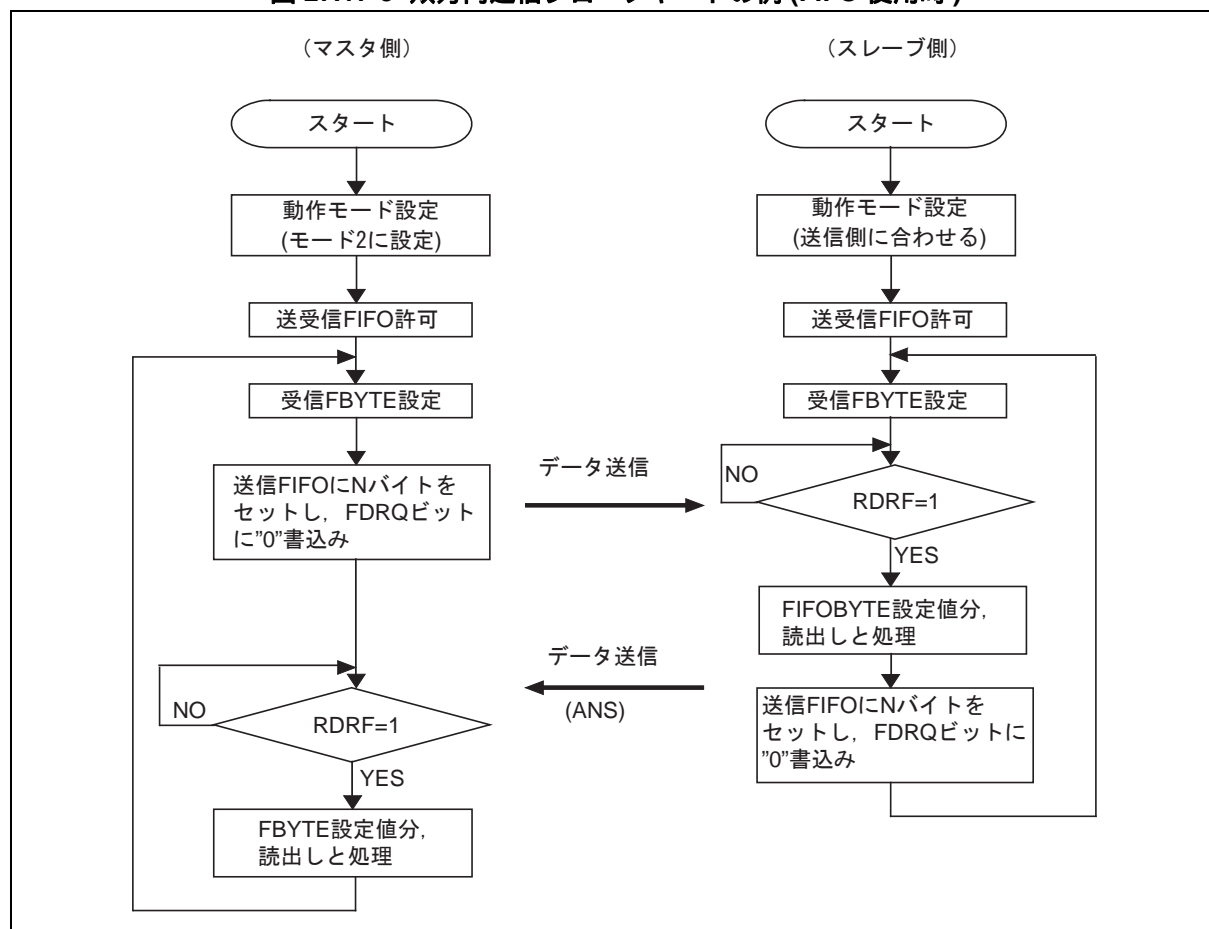
● FIFO 未使用時

図 27.17-2 双方向通信フローチャートの例 (FIFO 未使用時)



● FIFO 使用時

図 27.17-3 双方向通信フローチャートの例 (FIFO 使用時)



27.18 CSIO モードの注意事項

CSIO モードの注意事項を下記に示します。

- FIFO 付きチャンネルで DMA 転送要求する場合 , FIFO は使用できません。FIFO 動作禁止の設定としてください。
- DMA 転送要求する場合 , DMA のブロックサイズを 1 回に設定してください。
- マスタ受信およびスレーブ受信時には , データ受信用の DMA 転送と , ダミーデータ送信用の DMA 転送が必要なため , DMA を 2 チャンネル使用する必要があります。

27.19 I²C インタフェース

マルチファンクションシリアルインタフェースの機能のうち、動作モード 4 でサポートしている I²C インタフェースについて説明します。

- CSIO モードの注意事項
- I²C インタフェースの概要
- I²C インタフェースのレジスタ
 - I²C バス制御レジスタ (IBCR)
 - シリアルモードレジスタ (SMR)
 - I²C バスステータスレジスタ (IBSR)
 - シリアルステータスレジスタ (SSR)
 - 受信データレジスタ / 送信データレジスタ (RDR/TDR)
 - 7 ビットスレーブアドレスマスクレジスタ (ISMK)
 - 7 ビットスレーブアドレスレジスタ (ISBA)
 - ボーレートジェネレータレジスタ 1, 0 (BGR1, BGR0)
 - FIFO 制御レジスタ 1 (FCR1)
 - FIFO 制御レジスタ 0 (FCR0)
 - FIFO バイトレジスタ (FBYTE1/FBYTE2)
- I²C インタフェースの割込み
 - I²C インタフェース通信の動作
 - マスタモード
 - スレーブモード
 - バスエラー
- 専用ボーレートジェネレータ
 - I²C のフローチャート例

27.20 I²C インタフェースの概要

I²C インタフェースは IC 間バスをサポートし、I²C バス上のマスタ / スレーブデバイスとして動作します。また、送信 / 受信 (最大 各 16 バイト) の FIFO を搭載しています。ch.0 には I²C 機能はありません。

■ I²C インタフェースの機能

I²C インタフェースには、以下の機能があります。

- マスタ / スレーブ送受信機能
- 調停機能
- クロック同期機能
- 転送方向検出機能
- 反復スタート条件の発生と検出機能
- バスエラー検出機能
- ゼネラルコールアドレッシング機能
- マスタおよびスレーブとしての 7 ビットアドレッシング
- 転送およびバスエラー時に割込み発生可能
- 10 ビットアドレッシング機能は、プログラムで対応可能

■ FIFO の機能

FIFO には、以下の機能があります。

- 送受信 FIFO 搭載 (最大容量：送信 FIFO 16 バイト、受信 FIFO 16 バイト)*
- 送信 FIFO と受信 FIFO を選択可能
- 送信データの再送信が可能
- 受信 FIFO 割込みタイミングをソフトで変更可能
- 独立して FIFO リセットをサポート

*: ch.0 ~ ch.7 には FIFO はありません。

27.21 I²C インタフェースのレジスタ

I²C インタフェースのレジスタ一覧を示します。

■ I²C インタフェースのレジスタ一覧

表 27.21-1 I²C インタフェースのレジスタ一覧 (1 / 4)

チャンネル	レジスタ略称	レジスタ名	参照先
1	IBCR1	I ² C バス制御レジスタ 1	27.21.1
	SMR1	シリアルモードレジスタ 1	27.21.2
	IBSR1	I ² C バスステータスレジスタ 1	27.21.3
	BGR1	ボーレートジェネレータレジスタ 1	27.21.8
	SSR1	シリアルステータスレジスタ 1	27.21.4
	RDR1	受信データレジスタ 1	27.21.5
	TDR1	送信データレジスタ 1	27.21.5
	ISMK1	7 ビットスレーブアドレスマスクレジスタ 1	27.21.6
	ISBA1	7 ビットスレーブアドレスレジスタ 1	27.21.7
2	IBCR2	I ² C バス制御レジスタ 2	27.21.1
	SMR2	シリアルモードレジスタ 2	27.21.2
	IBSR2	I ² C バスステータスレジスタ 2	27.21.3
	BGR2	ボーレートジェネレータレジスタ 2	27.21.8
	SSR2	シリアルステータスレジスタ 2	27.21.4
	RDR2	受信データレジスタ 2	27.21.5
	TDR2	送信データレジスタ 2	27.21.5
	ISMK2	7 ビットスレーブアドレスマスクレジスタ 2	27.21.6
	ISBA2	7 ビットスレーブアドレスレジスタ 2	27.21.7
3	IBCR3	I ² C バス制御レジスタ 3	27.21.1
	SMR3	シリアルモードレジスタ 3	27.21.2
	IBSR3	I ² C バスステータスレジスタ 3	27.21.3
	BGR3	ボーレートジェネレータレジスタ 3	27.21.8
	SSR3	シリアルステータスレジスタ 3	27.21.4
	RDR3	受信データレジスタ 3	27.21.5
	TDR3	送信データレジスタ 3	27.21.5
	ISMK3	7 ビットスレーブアドレスマスクレジスタ 3	27.21.6
	ISBA3	7 ビットスレーブアドレスレジスタ 3	27.21.7

表 27.21-1 I²C インタフェースのレジスタ一覧 (2 / 4)

チャンネル	レジスタ略称	レジスタ名	参照先
4	IBCR4	I ² C バス制御レジスタ 4	27.21.1
	SMR4	シリアルモードレジスタ 4	27.21.2
	IBSR4	I ² C バスステータスレジスタ 4	27.21.3
	BGR4	ポーレートジェネレータレジスタ 4	27.21.8
	SSR4	シリアルステータスレジスタ 4	27.21.4
	RDR4	受信データレジスタ 4	27.21.5
	TDR4	送信データレジスタ 4	27.21.5
	ISMK4	7 ビットスレーブアドレスマスクレジスタ 4	27.21.6
	ISBA4	7 ビットスレーブアドレスレジスタ 4	27.21.7
5	IBCR5	I ² C バス制御レジスタ 5	27.21.1
	SMR5	シリアルモードレジスタ 5	27.21.2
	IBSR5	I ² C バスステータスレジスタ 5	27.21.3
	BGR5	ポーレートジェネレータレジスタ 5	27.21.8
	SSR5	シリアルステータスレジスタ 5	27.21.4
	RDR5	受信データレジスタ 5	27.21.5
	TDR5	送信データレジスタ 5	27.21.5
	ISMK5	7 ビットスレーブアドレスマスクレジスタ 5	27.21.6
	ISBA5	7 ビットスレーブアドレスレジスタ 5	27.21.7
6	IBCR6	I ² C バス制御レジスタ 6	27.21.1
	SMR6	シリアルモードレジスタ 6	27.21.2
	IBSR6	I ² C バスステータスレジスタ 6	27.21.3
	BGR6	ポーレートジェネレータレジスタ 6	27.21.8
	SSR6	シリアルステータスレジスタ 6	27.21.4
	RDR6	受信データレジスタ 6	27.21.5
	TDR6	送信データレジスタ 6	27.21.5
	ISMK6	7 ビットスレーブアドレスマスクレジスタ 6	27.21.6
	ISBA6	7 ビットスレーブアドレスレジスタ 6	27.21.7
7	IBCR7	I ² C バス制御レジスタ 7	27.21.1
	SMR7	シリアルモードレジスタ 7	27.21.2
	IBSR7	I ² C バスステータスレジスタ 7	27.21.3
	BGR7	ポーレートジェネレータレジスタ 7	27.21.8
	SSR7	シリアルステータスレジスタ 7	27.21.4
	RDR7	受信データレジスタ 7	27.21.5
	TDR7	送信データレジスタ 7	27.21.5
	ISMK7	7 ビットスレーブアドレスマスクレジスタ 7	27.21.6
	ISBA7	7 ビットスレーブアドレスレジスタ 7	27.21.7

表 27.21-1 I²C インタフェースのレジスタ一覧 (3 / 4)

チャンネル	レジスタ略称	レジスタ名	参照先
8	IBCR8	I ² C バス制御レジスタ 8	27.21.1
	SMR8	シリアルモードレジスタ 8	27.21.2
	IBSR8	I ² C バスステータスレジスタ 8	27.21.3
	BGR8	ポーレートジェネレータレジスタ 8	27.21.8
	SSR8	シリアルステータスレジスタ 8	27.21.4
	RDR8	受信データレジスタ 8	27.21.5
	TDR8	送信データレジスタ 8	27.21.5
	FCR18	FIFO 制御レジスタ 18	27.21.9
	FCR08	FIFO 制御レジスタ 08	27.21.10
	FBYTE18	FIFO1 バイトレジスタ 8	27.21.11
	FBYTE28	FIFO2 バイトレジスタ 8	27.21.11
	ISMK8	7 ビットスレーブアドレスマスクレジスタ 8	27.21.6
	ISBA8	7 ビットスレーブアドレスレジスタ 8	27.21.7
9	IBCR9	I ² C バス制御レジスタ 9	27.21.1
	SMR9	シリアルモードレジスタ 9	27.21.2
	IBSR9	I ² C バスステータスレジスタ 9	27.21.3
	BGR9	ポーレートジェネレータレジスタ 9	27.21.8
	SSR9	シリアルステータスレジスタ 9	27.21.4
	RDR9	受信データレジスタ 9	27.21.5
	TDR9	送信データレジスタ 9	27.21.5
	FCR19	FIFO 制御レジスタ 19	27.21.9
	FCR09	FIFO 制御レジスタ 09	27.21.10
	FBYTE19	FIFO1 バイトレジスタ 9	27.21.11
	FBYTE29	FIFO2 バイトレジスタ 9	27.21.11
	ISMK9	7 ビットスレーブアドレスマスクレジスタ 9	27.21.6
	ISBA9	7 ビットスレーブアドレスレジスタ 9	27.21.7
10	IBCR10	I ² C バス制御レジスタ 10	27.21.1
	SMR10	シリアルモードレジスタ 10	27.21.2
	IBSR10	I ² C バスステータスレジスタ 10	27.21.3
	BGR10	ポーレートジェネレータレジスタ 10	27.21.8
	SSR10	シリアルステータスレジスタ 10	27.21.4
	RDR10	受信データレジスタ 10	27.21.5
	TDR10	送信データレジスタ 10	27.21.5
	FCR110	FIFO 制御レジスタ 110	27.21.9
	FCR010	FIFO 制御レジスタ 010	27.21.10
	FBYTE110	FIFO1 バイトレジスタ 10	27.21.11
	FBYTE210	FIFO2 バイトレジスタ 10	27.21.11
	ISMK10	7 ビットスレーブアドレスマスクレジスタ 10	27.21.6
	ISBA10	7 ビットスレーブアドレスレジスタ 10	27.21.7

表 27.21-1 I²C インタフェースのレジスタ一覧 (4 / 4)

チャンネル	レジスタ略称	レジスタ名	参照先
11	IBCR11	I ² C バス制御レジスタ 11	27.21.1
	SMR11	シリアルモードレジスタ 11	27.21.2
	IBSR11	I ² C バスステータスレジスタ 11	27.21.3
	BGR11	ボーレートジェネレータレジスタ 11	27.21.8
	SSR11	シリアルステータスレジスタ 11	27.21.4
	RDR11	受信データレジスタ 11	27.21.5
	TDR11	送信データレジスタ 11	27.21.5
	FCR111	FIFO 制御レジスタ 111	27.21.9
	FCR011	FIFO 制御レジスタ 011	27.21.10
	FBYTE111	FIFO1 バイトレジスタ 11	27.21.11
	FBYTE211	FIFO2 バイトレジスタ 11	27.21.11
	ISMK11	7 ビットスレーブアドレスマスクレジスタ 11	27.21.6
	ISBA11	7 ビットスレーブアドレスレジスタ 11	27.21.7

表 27.21-2 I²C インタフェースのビット配置

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
IBCR/ SMR	MSS	ACT/ SCC	ACKE	WSEL	CNDE	INTE	BER	INT	MD2	MD1	MD0	-	RIE	TIE	-	-
SSR/ IBSR	REC	TSET	-	-	ORE	RDRF	TDRE	-	FBT	RACK	RSA	TRX	AL	RSC	SPC	BB
RDR/ TDR	-	-	-	-	-	-	-	-	D7	D6	D5	D4	D3	D2	D1	D0
BGR1/ BGR0	-	B14	B13	B12	B11	B10	B9	B8	B7	B6	B5	B4	B3	B2	B1	B0
ISMK/ ISBA	EN	SM6	SM5	SM4	SM3	SM2	SM1	SM0	SAEN	SA6	SA5	SA4	SA3	SA2	SA1	SA0
FCR1/ FCR0	-	-	-	FLSTE	FRIIE	FDRQ	FTIE	FSEL	-	FLST	FLD	FSET	FCL2	FCL1	FE2	FE1
FBYTE2/ FBYTE1	FD15	FD14	FD13	FD12	FD11	FD10	FD9	FD8	FD7	FD6	FD5	FD4	FD3	FD2	FD1	FD0

27.21.1 I²C バス制御レジスタ (IBCR)

I²C バス制御レジスタ (IBCR) は、マスタ/スレーブモード選択、反復スタート条件の発生、アクノリッジ許可、割込み許可設定、バスエラー検出、割込みフラグを表示します。

■ I²C バス制御レジスタ (IBCR)

図 27.21-1 に I²C バス制御レジスタ (IBCR) のビット構成を、表 27.21-3 に各ビットの機能を示します。

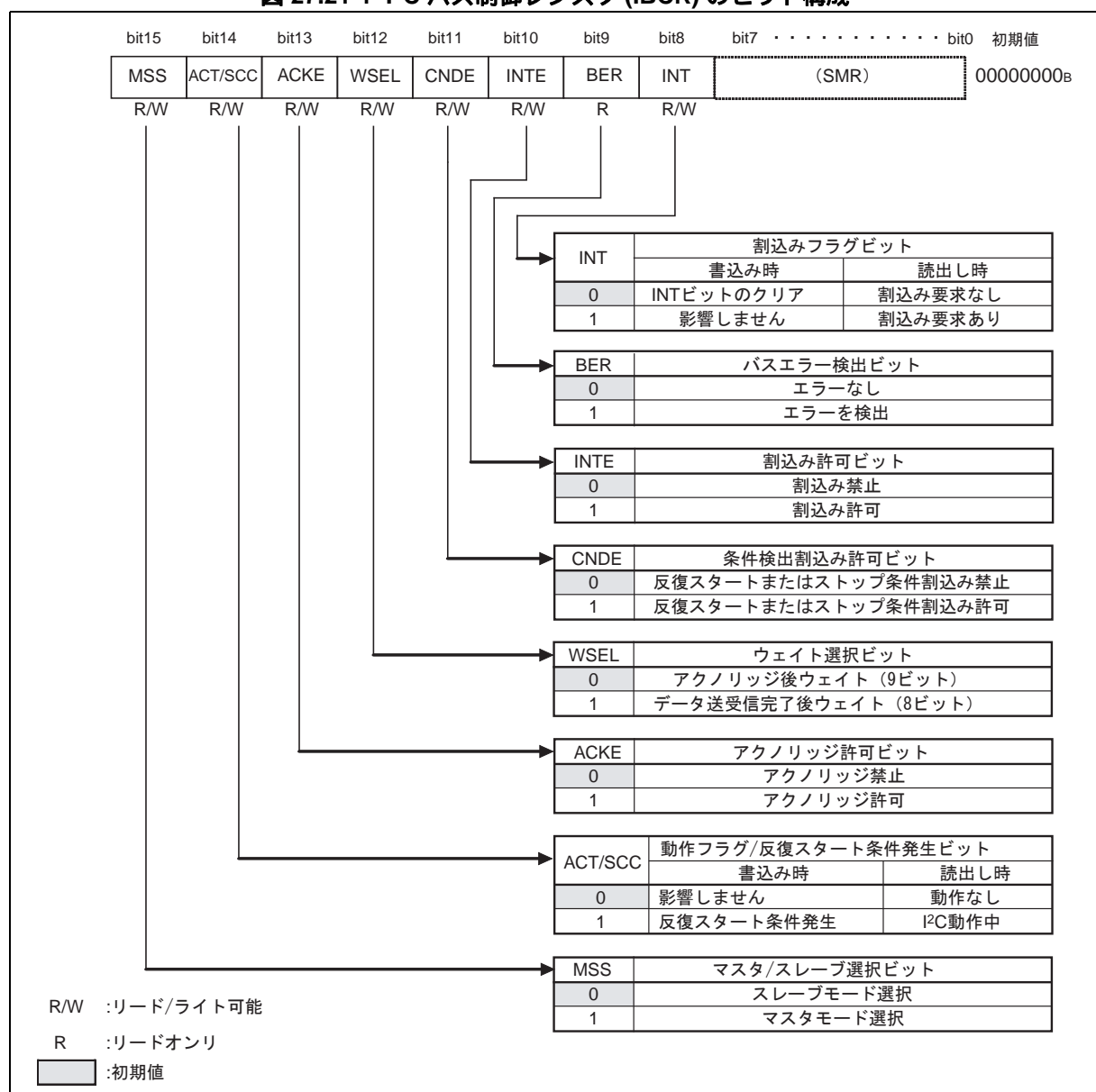
図 27.21-1 I²C バス制御レジスタ (IBCR) のビット構成

表 27.21-3 I²C バス制御レジスタ (IBCR) の各ビットの機能説明 (1 / 5)

ビット名		機能															
bit15	MSS : マスタ/ スレーブ 選択 ビット	<ul style="list-style-type: none"> 本ビットに "1" を設定すると I²C バスがアイドル状態 (EN=1, BB=0) のとき , マスタモードとなります。 IBSR レジスタの BB ビットが "1" のとき , このビットに "1" を設定すると BB ビットが "0" になるまでスタート条件の発生をウェイトします。そのウェイト中にスレーブアドレスが一致してスレーブとして動作する場合には本ビットは "0" になり , IBSR レジスタの AL ビットが "1" になります。 マスタ動作中 (MSS=1, ACT=1) で割込みフラグ (INT) が "1" のとき , 本ビットに "0" を書き込むとストップ条件が発生します。 <p>MSS ビットは以下の条件でクリアされます。</p> <ul style="list-style-type: none"> I²C インタフェースの禁止 (EN ビット =0) アービトラクションロスト発生時 バスエラー検出 (BER ビット =1) INT=1 のとき , MSS ビットへの "0" 書込み <p>MSS ビットと ACT ビットの間係を以下に示します。</p> <table border="1"> <thead> <tr> <th>MSS ビット</th><th>ACT ビット</th><th>状態</th></tr> </thead> <tbody> <tr> <td>0</td><td>0</td><td>アイドル</td></tr> <tr> <td>0</td><td>1</td><td>スレーブアドレス一致または予約アドレスに対し ACK 応答 * し , スレーブ動作中 (スレーブモード)</td></tr> <tr> <td>1</td><td>0</td><td>マスタ動作待機中</td></tr> <tr> <td>1</td><td>1</td><td>マスタ動作中 (マスタモード)</td></tr> </tbody> </table> <p>*:ACK 応答 : アクノリッジ区間に I²C バスの SDA が "L" であることを指します。</p> <p>(注意事項) MSS ビットが "1" に設定されていて MSS ビットを "0" に変更する場合 , MSS ビット =1, INT ビット =1 のときに行ってください。ACT ビットが "1" のときに MSS ビットに "0" を書き込むと INT ビットも "0" にクリアされます。 マスタ動作中 , MSS ビットに "0" を書き込んでも ACT ビットが "1" の間は "1" が読み出されます。</p>	MSS ビット	ACT ビット	状態	0	0	アイドル	0	1	スレーブアドレス一致または予約アドレスに対し ACK 応答 * し , スレーブ動作中 (スレーブモード)	1	0	マスタ動作待機中	1	1	マスタ動作中 (マスタモード)
MSS ビット	ACT ビット	状態															
0	0	アイドル															
0	1	スレーブアドレス一致または予約アドレスに対し ACK 応答 * し , スレーブ動作中 (スレーブモード)															
1	0	マスタ動作待機中															
1	1	マスタ動作中 (マスタモード)															

表 27.21-3 I²C バス制御レジスタ (IBCR) の各ビットの機能説明 (2 / 5)

ビット名		機能				
bit14	ACT/SCC : 動作フラグ / 反復スタート 条件発生ビット	<p>このビットは、読出しと書込みで意味が異なります。</p> <table><tr><td>読出し</td><td>書込み</td></tr><tr><td>ACT ビット</td><td>SCC ビット</td></tr></table> <p>ACT ビットはマスタモードまたはスレーブモードとして動作していることを示します。 ACT ビットのセット条件：</p> <ul style="list-style-type: none">・ スタート条件を I²C バスに出力したとき（マスタモード）・ スレーブアドレスとマスタから送信されたアドレスが一致したとき（スレーブモード）・ 予約アドレスを検出し、それに対しアクノリッジ応答したとき（MSS=0 のときスレーブモードとなる） <p>ACT ビットのリセット条件：</p> <p>< マスタモード ></p> <ul style="list-style-type: none">・ ストップ条件検出・ アービトレーションロスト検出・ バスエラー検出・ I²C インタフェースの禁止 (EN ビット =0) <p>< スレーブモード ></p> <ul style="list-style-type: none">・ （反復）スタート条件検出・ ストップ条件検出・ 予約アドレス検出状態 (RSA ビット =1) でアクノリッジ応答しなかったとき・ I²C インタフェースの禁止 (EN ビット =0)・ バスエラーの発生 (BER ビット =1) <p>マスタモード時、このビットに "1" を書き込むと反復スタートを実行します。 "0" 書込みは無効です。 (注意事項) SCC ビットへの "1" 書込みは、マスタモードの割込み中 (MSS=1, ACT=1, INT=1) に行ってください。ACT ビットが "1" のときに SCC ビットに "1" を書き込むと INT ビットは "0" にクリアされます。 スレーブモード (MSS=0, ACT=1) 時、本ビットに "1" を書き込むことは禁止です。 SCC ビットに "1", MSS ビットに "0" を書き込んだ場合には、MSS ビットが優先されます。 リードモディファイライト (RMW) 系命令のリード時には SCC ビットが読み出されます。</p>	読出し	書込み	ACT ビット	SCC ビット
		読出し	書込み			
ACT ビット	SCC ビット					

表 27.21-3 I²C バス制御レジスタ (IBCR) の各ビットの機能説明 (3 / 5)

ビット名		機能
bit13	ACKE : アクノリッジ 許可 ビット	<ul style="list-style-type: none"> 本ビットに "1" を設定するとアクノリッジタイミングで "L" を出力します。 ACT=1 のときに本ビットを変更する場合、INT ビットが "1" のときに行ってください。 <p>本ビットは以下の条件では無効となります。</p> <ul style="list-style-type: none"> 予約アドレス以外のアドレスフィールドに対するアクノリッジ(自動生成) データ送信時 (RSA=0, TRX=1, FBT=0) 受信 FIFO 許可でスレーブ受信時 (FE=1, MSS=0, ACT=1), 常に ACK 応答します。 受信 FIFO 許可, WSEL が "0", マスタ受信時 (FE=1, MSS=1, ACT=1, WSEL=0), TDRE ビットが "0" のとき ACK 応答し, TDRE ビットが "1" のとき NACK 応答します。受信 FIFO 許可, WSEL="0", 予約アドレス検出してスレーブ送信時 (RSA=1, TRX=1, FBT=1), 常に ACK 応答します。NACK 応答させる場合, 予約アドレス検出後の割込み時, 受信 FIFO を禁止にして ACKE=0 にしてください。 受信 FIFO 許可, WSEL が "1", マスタ受信で送信データレジスタにデータがあるとき (FE=1, MSS=1, ACT=1, WSEL=1, TDRE=0)
bit12	WSEL : ウェイト 選択ビット	<ul style="list-style-type: none"> 本ビットはアクノリッジ前か後のどちらに割込み (INT=1) を発生させ, I²C バスをウェイトさせるかを選択するビットです。 WSEL ビットは以下の条件では無効になります。 <ul style="list-style-type: none"> 第一バイト^{*1} に対する割込み発生時 (INT=1) 予約アドレス検出時 (FBT=1, RSA=1) FIFO 使用時のデータ転送途中での NACK 応答^{*2} 検出時 (FE=1, RACK=1, ACT=1) 受信 FIFO 使用時, 受信 FIFO がフルになったとき <p>*1: 第一バイト : (反復) スタート条件後のデータを指します。 *2: NACK 応答 : アクノリッジ期間 I²C バスの SDA が "H" であることを指します。</p>
bit11	CNDE : 条件検出 割込み許可 ビット	マスタモードまたはスレーブモード時 (ACT=1), ストップ条件または反復スタート条件が検出された場合, 割込みの発生を許可するビットです。IBSR レジスタの RSC または SPC ビットが "1" で本ビットが "1" のときに割込みが発生します。
bit10	INTE : 割込み許可 ビット	マスタモードまたはスレーブモード時, データ送受信およびバスエラーに対する割込み (INT=1) を許可するビットです。

表 27.21-3 I²C バス制御レジスタ (IBCR) の各ビットの機能説明 (4 / 5)

ビット名		機能
bit9	BER: バスエラー 検出ビット	<p>本ビットは I²C バス上でエラーを検出したことを示します。</p> <p>BER ビットのセット条件：</p> <ul style="list-style-type: none">• 第一バイト * 転送中にスタート条件またはストップ条件を検出• 第二バイト以降、データの 2 ビット ~ 9 (アクノリッジ) ビット目で (反復) スタート条件またはストップ条件を検出 <p>BER ビットのリセット条件：</p> <ul style="list-style-type: none">• BER=1 のときに INT ビットへ "0" 書込みした場合• I²C インタフェースの禁止 (EN=0) の場合 <p>*: 第一バイト：(反復) スタート条件後のデータを指します。 (注意事項) 割込みフラグ (INT ビット) が "1" になったときにこのビットを確認し, "1" になっていると正常に送受信ができていませんので再送などの処理を行ってください。</p>

表 27.21-3 I²C バス制御レジスタ (IBCR) の各ビットの機能説明 (5 / 5)

ビット名	機能
bit8 INT : 割込み フラグビット	<p>本ビットはマスタモード、スレーブモード時、データ送受信の 8 ビット、9 ビット (ACK) 後、もしくはバスエラー時にこのフラグを "1" にセットします。バスエラー時以外は、INT ビットが "1" になると SCL を "L" にし、INT ビットが "0" になると SCL の "L" の状態を解除します。</p> <p>INT ビットのセット条件：</p> <p>< 8 ビット目 ></p> <ul style="list-style-type: none"> ・ 第一バイトで予約アドレスを検出した場合 ・ WSEL が "1", 第二バイト以降でアービトレーションロストを検出した場合 ・ WSEL が "1", マスタ動作中、第二バイト以降で TDRE ビットが "1" の場合 ・ WSEL が "1", スレーブ動作中、受信 FIFO 禁止、第二バイト以降で TDRE ビットが "1" の場合 ・ WSEL が "1", スレーブ送信中、第二バイト以降で TDRE ビットが "1" の場合 <p>< 9 ビット目 ></p> <ul style="list-style-type: none"> ・ 第一バイトでアービトレーションロストを検出した場合 ・ ストップ条件出力設定 (マスタ動作中の MSS ビットへの "0" 書込み) 時以外に NACK を受信した場合 ・ 第一バイトで予約アドレスを検出せずにマスタモードまたはスレーブモードの送信方向 (TRX=1) で TDRE ビットが "1" の場合 ・ 第一バイトで予約アドレスを検出せずにマスタモードまたはスレーブモードの受信方向 (TRX=0) で受信 FIFO 許可時に受信 FIFO にデータがある場合 ・ 第一バイトで予約アドレスを検出せずにマスタモードまたはスレーブモードの受信方向 (TRX=0) で受信 FIFO 禁止時に TDRE ビットが "1" の場合 ・ WSEL=0 設定時、第二バイト以降でアービトレーションロストを検出した場合 ・ WSEL=0 設定時、マスタモード動作中に第二バイト以降で TDRE ビットが "1" の場合 ・ WSEL=0 設定時、スレーブ送信中に第二バイト以降で TDRE ビットが "1" の場合 ・ WSEL=0 設定時、受信 FIFO 禁止でスレーブ受信の場合。ただし、予約アドレスを検出した第一バイトでのスレーブ受信では 9 ビット目では割込みは発生しません。 ・ 受信 FIFO 許可、スレーブ受信のときに受信 FIFO がフルになった場合 <p>< その他 ></p> <p>バスエラー検出</p> <p>INT ビットのリセット条件：</p> <ul style="list-style-type: none"> ・ INT ビットへの "0" 書込み ・ INT ビットが "1", ACT ビットが "1" のときに MSS ビットへの "0" 書込み ・ INT ビットが "1", ACT ビットが "1" のときに SCC ビットへの "1" 書込み <p>INT ビットへの "1" 書込みは無効です。</p> <p>(注意事項) EN ビットを "0" にした場合、受信タイミングによっては RDRF ビットと INT ビットが "1" になることがあります。この場合、受信データを読み出し、INT ビットをクリアしてください。</p> <p>リードモディファイライト (RMW) 系命令のリード時には "1" が読み出されます。</p> <p>受信 FIFO 許可時、マスタ受信動作で受信 FIFO がフルになっても INT ビットには "1" がセットされません。</p>

27.21.2 シリアルモードレジスタ (SMR)

シリアルモードレジスタ (SMR) は、動作モードの設定、送受信割込みの許可 / 禁止の設定を行います。

■ シリアルモードレジスタ (SMR)

図 27.21-2 にシリアルモードレジスタ (SMR) のビット構成を、表 27.21-4 に各ビットの機能を示します。

図 27.21-2 シリアルモードレジスタ (SMR) のビット構成

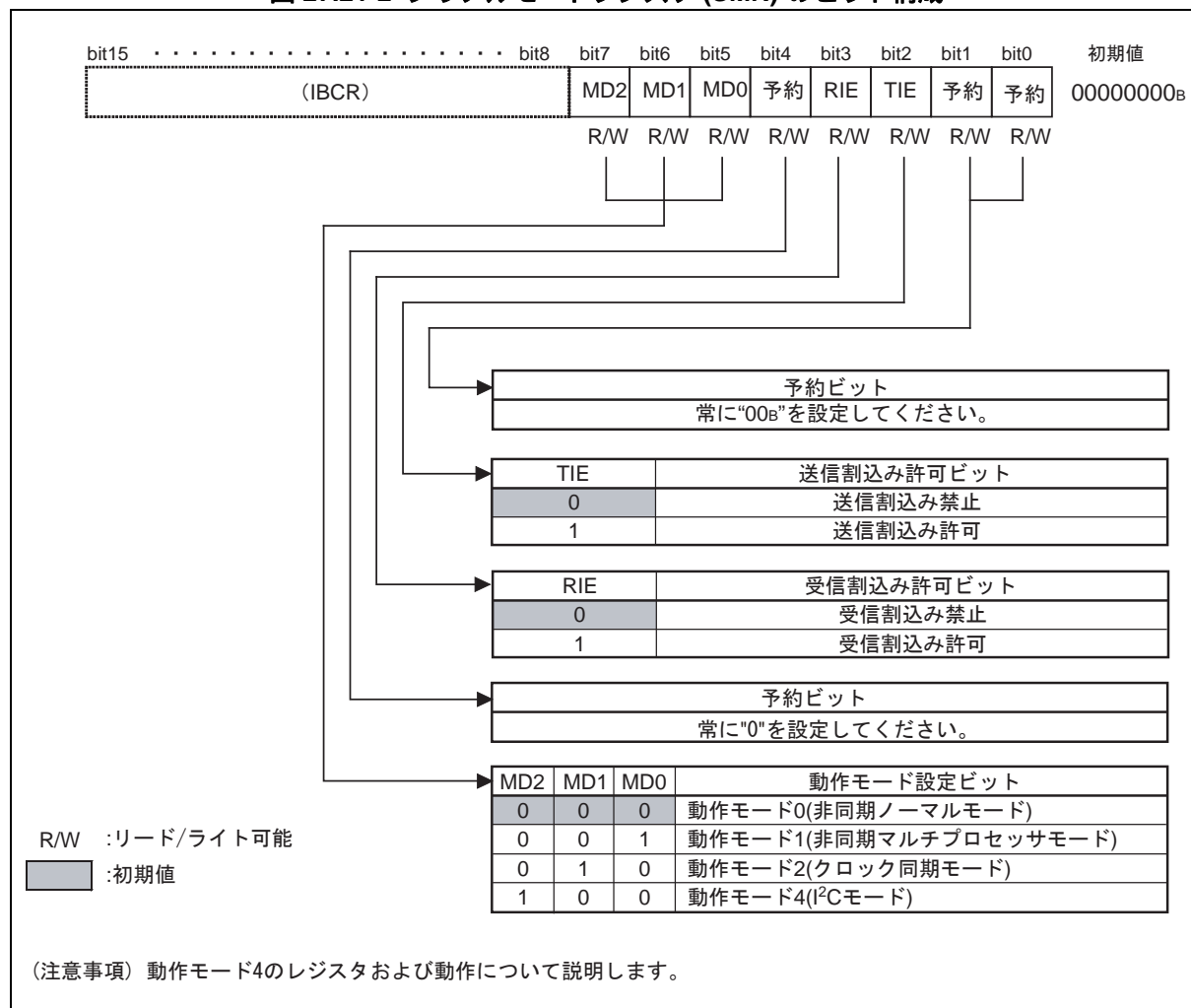


表 27.21-4 シリアルモードレジスタ (SMR) の各ビットの機能説明

ビット名		機能
bit7 ~ bit5	MD2, MD1, MD0 : 動作モード 設定ビット	<p>動作モードを設定します。</p> <p>"000_B" : 動作モード 0(非同期ノーマルモード) に設定されます。</p> <p>"001_B" : 動作モード 1(非同期マルチプロセッサモード) に設定されます。</p> <p>"010_B" : 動作モード 2(クロック同期モード) に設定されます。</p> <p>"100_B" : 動作モード 4(I²C モード) に設定されます。</p> <p>動作モード 4(I²C モード) のレジスタおよび動作について説明します。</p> <p>(注意事項) 上記の設定以外は禁止です。</p> <p>動作モードを切り換える場合は、I²C 禁止 (ISMK:EN=0) 後、動作モードを切り換えてください。</p> <p>動作モード設定後、各レジスタを設定してください。</p>
bit4	予約ビット	本ビットには、必ず "0" を設定してください。
bit3	RIE : 受信割込み 許可ビット	<ul style="list-style-type: none"> CPU への受信割込み要求出力を許可 / 禁止するビットです。 RIE ビットと受信データフラグビット (RDRF) が "1" の場合、またはエラーフラグビット (ORE) が "1" の場合、受信割込み要求を出力します。 <p>(注意事項) I²C バス制御レジスタ (IBCR) の INT ビットを使用してデータを受信する場合、本ビットを "0" にしてください。</p>
bit2	TIE : 送信割込み 許可ビット	<ul style="list-style-type: none"> CPU への送信割込み要求出力を許可 / 禁止するビットです。 TIE ビットと TDRE ビットが "1" の場合、送信割込み要求を出力します。 <p>(注意事項) I²C バス制御レジスタ (IBCR) の INT ビットを使用してデータを送信する場合、本ビットを "0" にしてください。</p>
bit1, bit0	予約ビット	本ビットには、必ず "00 _B " を設定してください。

< 注意事項 >

動作モードを変更すると、ほかのレジスタが初期化されるので動作モードは最初に設定してください。ただし、16 ビット書込みで IBCR と SMR を同時に書き込んだとき、IBCR には書き込んだ内容が反映されます。

27.21.3 I²C バスステータスレジスタ (IBSR)

I²C バスステータスレジスタ (IBSR) は、ファーストバイト、予約アドレス、反復スタート、アクノリッジ、データ方向、アービトレーションロスト、ストップ条件、I²C バス状態を検出したことを示します。

■ I²C バスステータスレジスタ (IBSR)

図 27.21-3 に I²C バスステータスレジスタ (IBSR) のビット構成を、表 27.21-5 に各ビットの機能を示します。

図 27.21-3 I²C バスステータスレジスタ (IBSR) のビット構成

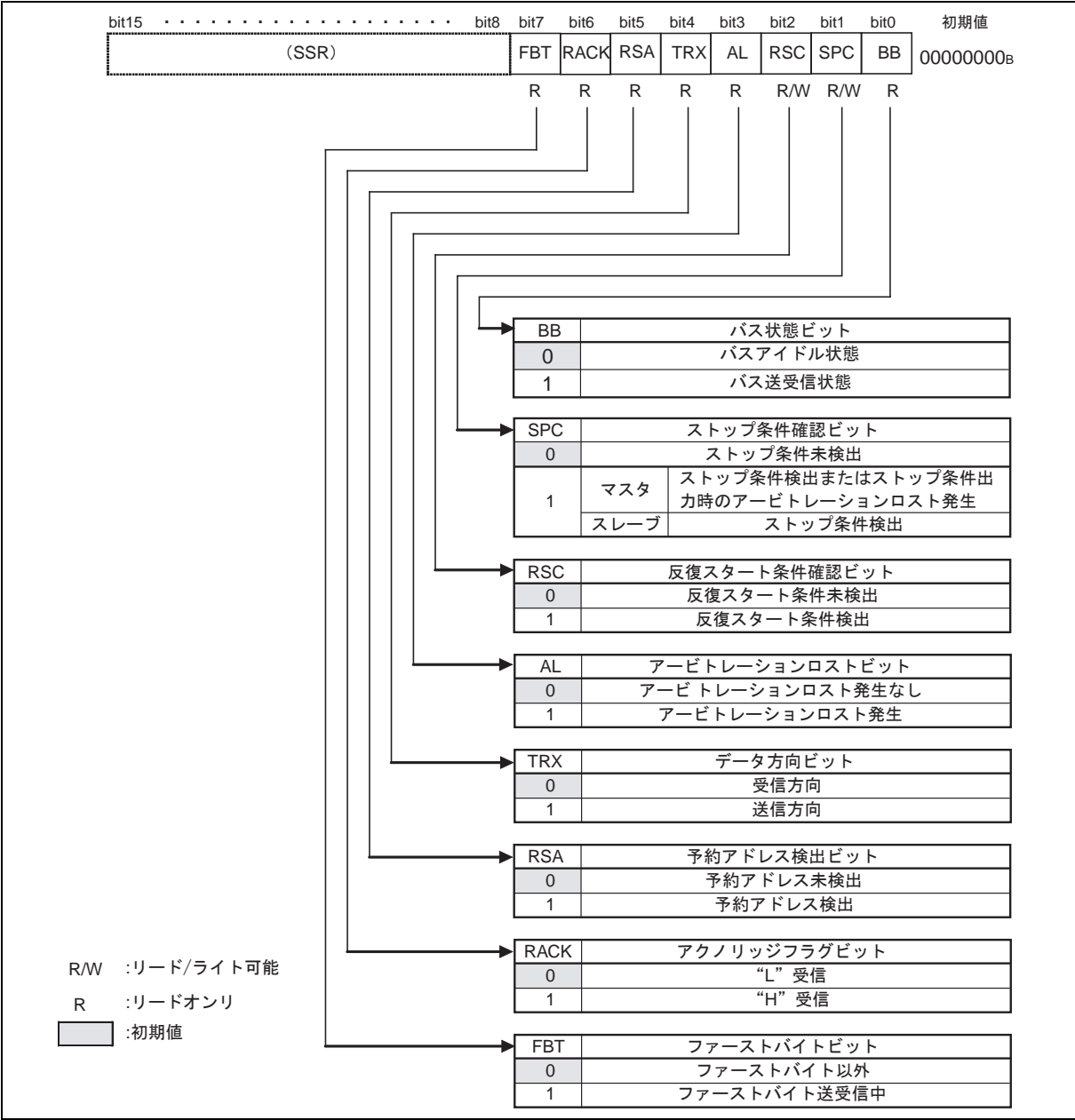


表 27.21-5 I²C バスステータスレジスタ (IBSR) の各ビットの機能説明 (1 / 3)

ビット名		機能
bit7	FBT: ファースト バイトビット	<p>第一バイトを示すビットです。 FBT ビットのセット条件： （反復）スタート条件を検出した場合 FBT ビットのクリア条件： <ul style="list-style-type: none"> • 2 バイト目の送受信 • ストップ条件検出 • I²C インタフェースの禁止 (EN ビット =0) • バスエラー検出 (BER ビット =1) </p>
bit6	RACK： アクノリッジ フラグビット	<p>第一バイト、マスタモード時またはスレーブモード時に受信したアクノリッジをこのビットに示します。 RACK ビットの更新条件 <ul style="list-style-type: none"> • ファーストバイト時のアクノリッジ • マスタモードまたはスレーブモード時のデータのアクノリッジ RACK ビットのクリア条件 (RACK ビット =0) <ul style="list-style-type: none"> • (反復) スタート条件検出 • I²C インタフェースの禁止 (EN ビット =0) • バスエラー検出 (BER ビット =1) </p>
bit5	RSA： 予約アドレス 検出ビット	<p>本ビットは予約アドレスを検出したことを示すビットです。 RSA ビットのセット条件 (RSA=1) 一バイト目が (0000XXXX_B) または (1111XXXX_B)。"X" は "0" または "1" を示します。 RSA ビットのリセット条件 (RSA=0) <ul style="list-style-type: none"> • (反復) スタート条件検出 • ストップ条件検出 • I²C インタフェースの禁止 (EN ビット =0) • バスエラー検出 (BER ビット =1) 第一バイトで RSA ビットが "1" になると、その一バイトの 8 ビット目の SCL の立下りで、FIFO 許可、禁止に関係なく割込みフラグ (INT) を "1" にして SCL を "L" にします。このとき、受信データを読み出し、スレーブとして動作させる場合には ACKE を "1" に設定し、割込みフラグ (INT) を "0" にクリアします。その後、TRX ビットが "0" であれば、スレーブとしてデータを受信します。途中でデータを受信させない場合には ACKE ビットを "0" にします。それ以降、データを受信しません。 (注意事項) データ転送中に ACKE を "0" にした場合には、ストップ条件または反復スタート条件を検出するまで ACKE を "1" にすることは禁止です。 予約アドレス検出による割込み時、スレーブ送信を確認した場合、受信 FIFO が許可になっていると ACK 応答しますので受信 FIFO を禁止にし、ACKE=0 にしてください。 </p>

表 27.21-5 I²C バスステータスレジスタ (IBSR) の各ビットの機能説明 (2 / 3)

ビット名		機能
bit4	TRX: データ方向 ビット	<p>本ビットはデータの方向を示すビットです。</p> <p>TRX ビットのセット条件：</p> <ul style="list-style-type: none"> ・ マスタモードで (反復) スタート条件を送信 ・ スレーブモードで第一バイトの 8 ビット目が "1" の場合 (スレーブとして送信方向) <p>TRX ビットのリセット条件：</p> <ul style="list-style-type: none"> ・ アービトレーションロスト発生 (AL=1) ・ スレーブモードでファーストバイトの 8 ビット目が "0" の場合 (スレーブとして受信方向) ・ マスタモードでファーストバイトの 8 ビット目が "1" の場合 (マスタとして受信方向) ・ ストップ条件検出 ・ マスタモード以外で (反復) スタート条件検出 ・ I²C インタフェースの禁止 (EN ビット =0) ・ バスエラー検出 (BER ビット =1)
bit3	AL: アービトレー ションロスト ビット	<p>本ビットはアービトレーションロストを示します。</p> <p>AL ビットのセット条件：</p> <ul style="list-style-type: none"> ・ マスタモード時, 出力しているデータと受信したデータが異なる場合 ・ MSS ビットに "1" を設定したが, スレーブとして動作している場合 ・ マスタモード時, 第二バイト目以降のデータの 1 ビット目で反復スタート条件を検出した場合 ・ マスタモード時, 第二バイト目以降のデータの 1 ビット目でストップ条件を検出した場合 ・ マスタモード時, 反復スタート条件を発生させようとして発生できない場合 ・ マスタモード時, ストップ条件を発生させようとして発生できない場合 <p>AL ビットのリセット条件：</p> <ul style="list-style-type: none"> ・ MSS ビットへの "1" 書込み ・ INT ビットへの "0" 書込み ・ AL ビット =1, SPC ビット =1 のときに SPC ビットへの "0" 書込み ・ I²C インタフェースの禁止 (EN ビット =0) ・ バスエラー検出 (BER ビット =1)

表 27.21-5 I²C バスステータスレジスタ (IBSR) の各ビットの機能説明 (3 / 3)

ビット名		機能
bit2	RSC : 反復スタート 条件確認 ビット	<p>マスタモードまたはスレーブモード時に反復スタート条件を検出したことを示すビットです。</p> <p>RSC ビットのセット条件 :</p> <p>スレーブモードまたはマスタモードで動作中にアクノリッジ後、反復スタート条件が検出された場合</p> <p>RSC ビットのリセット条件 :</p> <p>(1) RSC ビットへの "0" 書込み (2) MSS ビットへの "1" 書込み (3) I²C インタフェースの禁止 (EN ビット =0)</p> <p>本ビットへの "1" 書込みは無効となります。</p> <p>(注意事項) 予約アドレス検出によってスレーブモードとして受信動作中、アクノリッジ応答しなかった場合、スレーブモードを終了しますので次に反復スタート条件を検出しても本ビットに "1" はセットされません。</p> <p>リードモディファイライト (RMW) 系命令のリード時には "1" が読み出されます。</p>
bit1	SPC : ストップ条件 確認ビット	<p>マスタモードまたはスレーブモード時にストップ条件を検出したことを示すビットです。</p> <p>SPC ビットのセット条件 :</p> <p>(1) スレーブモードまたはマスタモードで動作中にストップ条件が検出された場合 (2) マスタモード時、ストップ条件発生動作でアービトレーションロストが発生した場合</p> <p>SPC ビットのリセット条件 :</p> <p>(1) 本ビットへの "0" 書込み (2) MSS ビットへの "1" 書込み (3) I²C インタフェースの禁止 (EN ビット =0)</p> <p>本ビットへの "1" 書込みは無効です。</p> <p>(注意事項) 予約アドレス検出によってスレーブモードとして受信動作中、アクノリッジ応答しなかった場合、スレーブモードを終了しますので次にストップ条件を検出しても本ビットに "1" はセットされません。</p> <p>リードモディファイライト (RMW) 系命令のリード時には "1" が読み出されます。</p>
bit0	BB: バス状態 ビット	<p>本ビットはバスの状態を示します。</p> <p>BB ビットのセット条件 :</p> <p>I²C バスの SDA または SCL で "L" を検出した場合</p> <p>BB ビットのリセット条件 :</p> <p>(1) ストップ条件を検出した場合 (2) I²C インタフェースの禁止 (EN ビット =0) (3) バスエラー検出 (BER ビット =1)</p>

27.21.4 シリアルステータスレジスタ (SSR)

シリアルステータスレジスタ (SSR) は、送受信状態の確認を行います。

■ シリアルステータスレジスタ (SSR)

図 27.21-4 にシリアルステータスレジスタ (SSR) のビット構成を、表 27.21-6 に各ビットの機能を示します。

図 27.21-4 シリアルステータスレジスタ (SSR) のビット構成

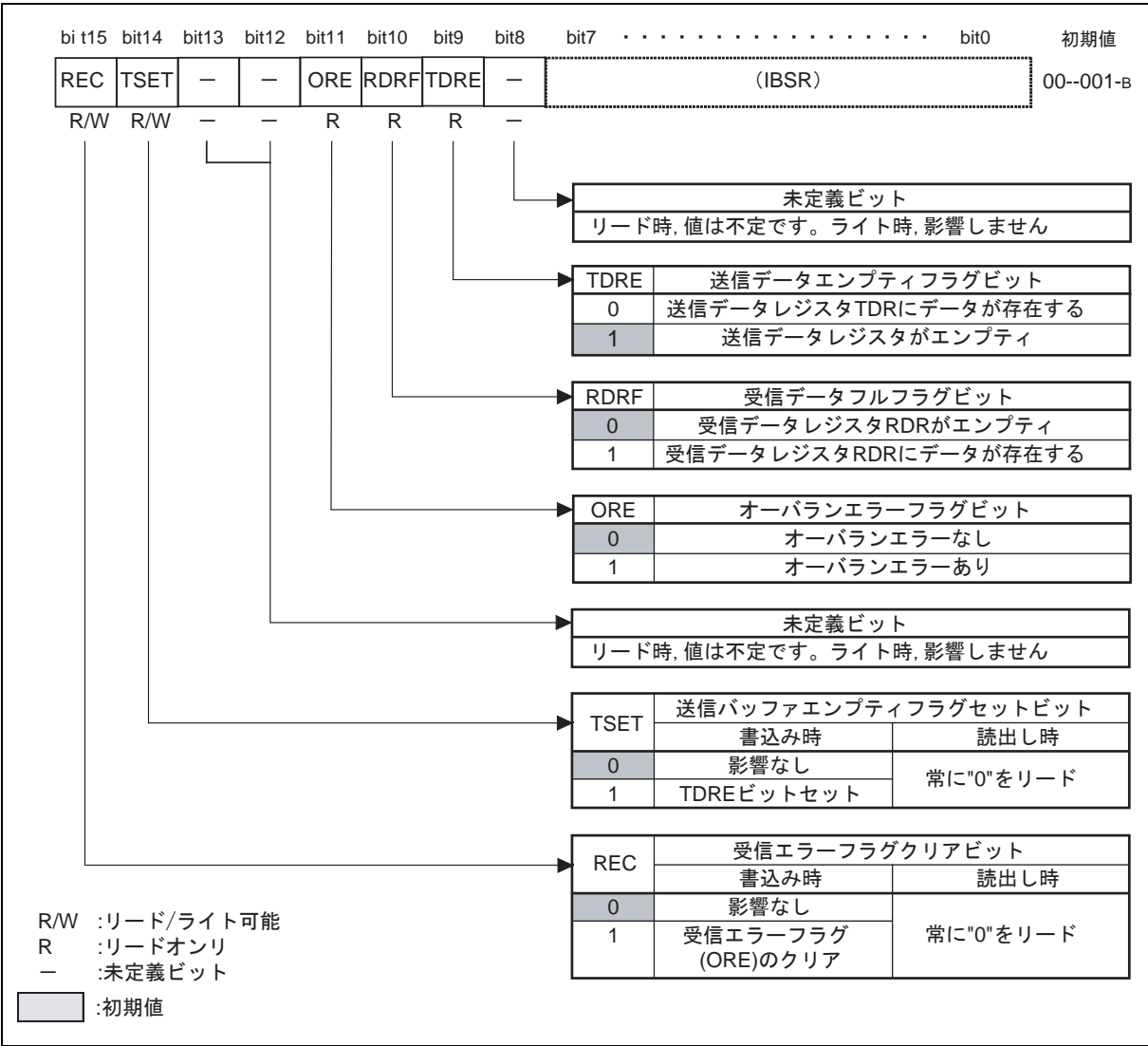


表 27.21-6 シリアルステータスレジスタ (SSR) の各ビットの機能説明 (1 / 2)

ビット名		機能
bit15	REC : 受信エラー フラグクリア ビット	シリアルステータスレジスタ (SSR) の ORE ビットをクリアするビットです。 <ul style="list-style-type: none"> • "1" 書込みで, ORE ビットがクリアされます。 • "0" 書込みは, 影響しません。 リードした場合, 常に "0" が読み出されます。
bit14	TSET : 送信バッファ エンプティ フラグセット ビット	シリアルステータスレジスタ (SSR) の TDRE ビットをセットするビットです。 <ul style="list-style-type: none"> • "1" 書込みで, TDRE ビットがセットされます。 • "0" 書込みは, 影響しません。 リードした場合, 常に "0" が読み出されます。
bit13, bit12	未定義ビット	リードした場合 : 値は不定です。 ライトした場合 : 影響しません。
bit11	ORE : オーバラン エラー フラグビット	<ul style="list-style-type: none"> • 受信時にオーバランが発生すると "1" にセットされ, シリアルステータスレジスタ (SSR) の REC ビットに "1" を書き込むとクリアされます。 • ORE ビットと RIE ビットが "1" の場合, 受信割込み要求を出力します。 • 本フラグがセットされた場合, 受信データレジスタ (RDR) は無効です。 • 受信 FIFO 使用時, 本フラグがセットされた場合には受信データは受信 FIFO には格納されません。

表 27.21-6 シリアルステータスレジスタ (SSR) の各ビットの機能説明 (2 / 2)

ビット名		機能
bit10	RDRF : 受信データ フルフラグ ビット	<ul style="list-style-type: none"> 受信データレジスタ (RDR) の状態を示すフラグです。 RIE ビットと受信データフラグビット (RDRF) が "1" の場合、受信割込み要求を出力します。 RDR に受信データがロードされると "1" にセットされ、受信データレジスタ (RDR) を読み出すと "0" にクリアされます。 データの 8 ビット目の SCL 立下りタイミングでセットされます。 NACK 応答でもセットされます。 受信 FIFO 使用時は、受信 FIFO に所定のデータ数を受信したら RDRF が "1" にセットされます。 受信 FIFO 使用時は、受信 FIFO がエンプティになると "0" にクリアされます。 受信 FIFO 使用時は、受信 FIFO に所定のデータ数を受信せずに受信 FIFO にデータが残っていて受信アイドル状態が受信ポーレートクロックで 8 クロック以上続き、BER ビットが "0" のとき RDRF が "1" にセットされます。8 クロックカウント中、RDR を読み出すとそのカウンタは "0" にリセットされ、再度 8 クロックをカウントします。 <p>(注意事項)</p> <p>NACK 応答：アクノリッジ期間、I²C バスの SDA が "H" であることを指します。</p>
bit9	TDRE : 送信データ エンプティ フラグビット	<ul style="list-style-type: none"> 送信データレジスタ (TDR) の状態を示すフラグです。 TIE ビットと TDRE ビットが "1" の場合、送信割込み要求を出力します。 TDR に送信データを書き込むと "0" となり、TDR に有効なデータが存在していることを示します。データが送信シフトレジスタにロードされて送信が開始されると "1" となり、TDR に有効なデータが存在していないことを示します。 シリアルステータスレジスタ (SSR) の TSET ビットに "1" を書き込むとセットされます。アービトレーションロスト、バスエラーなどを検出した場合、TDRE ビットを "1" にセットしたいときに使用します。
bit8	未定義ビット	<p>リードした場合 : 値は不定です。</p> <p>ライトした場合 : 影響しません。</p>

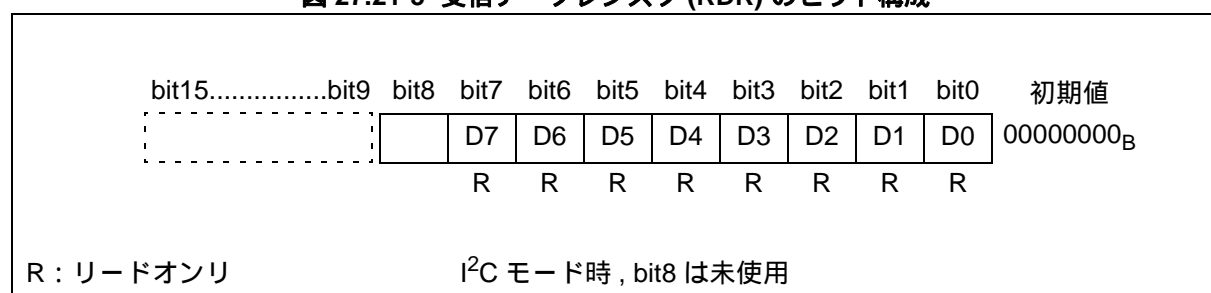
27.21.5 受信データレジスタ / 送信データレジスタ (RDR/TDR)

受信データレジスタと送信データレジスタは同一アドレスに配置されています。読み出した場合は受信データレジスタとして機能し、書き込んだ場合は送信データレジスタとして機能します。

■ 受信データレジスタ (RDR)

図 27.21-5 にシリアル受信レジスタ (RDR) のビット構成を示します。

図 27.21-5 受信データレジスタ (RDR) のビット構成



受信データレジスタ (RDR) は、シリアルデータ受信用のデータバッファレジスタです。

- シリアルデータライン (SDA 端子) に送られてきたシリアルデータ信号がシフトレジスタで変換されて、受信データレジスタ (RDR) に格納されます。
- 第一バイト^{*}を受信した場合、最下位ビット (RDR:D0) がデータ方向ビットとなります。
- 受信データが受信データレジスタ (RDR) に格納されると、受信データフルフラグビット (SSR : RDRF) が "1" にセットされます。
- 受信データフルフラグビット (SSR : RDRF) は、受信データレジスタ (RDR) を読み出すと自動的に "0" にクリアされます。

* : (反復) スタート条件後のデータを指します。

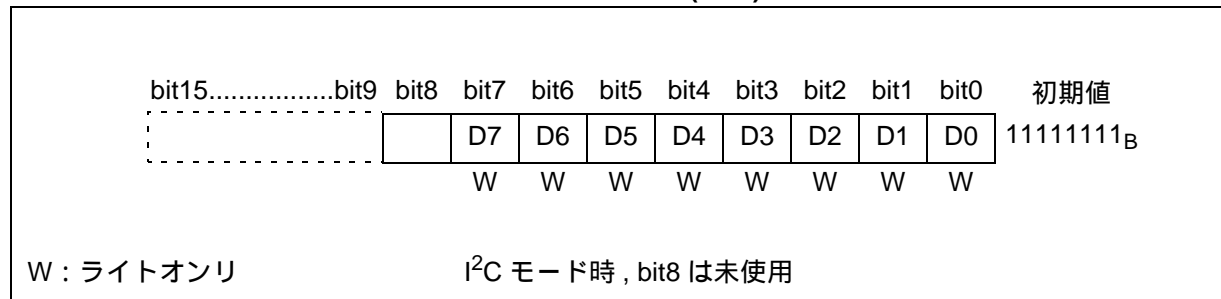
< 注意事項 >

- 受信 FIFO 使用時は、受信 FIFO に所定のデータ数を受信すると RDRF が "1" にセットされます。
- 受信 FIFO 使用時は、受信 FIFO がエンプティになると RDRF が "0" にクリアされます。

■ 送信データレジスタ (TDR)

図 27.21-6 に送信データレジスタのビット構成を示します。

図 27.21-6 送信データレジスタ (TDR) のビット構成



送信データレジスタ (TDR) は, シリアルデータ送信用のデータバッファレジスタです。

- 送信データレジスタ (TDR) の値の MSB ファーストでシリアルデータライン (SDA 端子) に出力します。
- 第一バイトを送信する場合, 最下位ビット (TDR:D0) がデータ方向ビットになります。
- 送信データエンプティフラグ (SSR : TDRE) は, 送信データが送信データレジスタ (TDR) に書き込まれると "0" にクリアされます。
- 送信データエンプティフラグ (SSR : TDRE) は, 送信用シフトレジスタへ転送されると "1" にセットされます。
- 次の送信データの書込みは, 以下の条件のときに行ってください。
 - 割込みフラグ (INT ビット) が "1"
 - バスエラーが発生していない (BER ビット = 0)
 - アクノリッジが ACK 応答 (アクノリッジとして "0" 受信)
- 送信 FIFO 禁止時, データエンプティフラグ (SSR : TDRE) が "0" のときは送信データレジスタ (TDR) に送信データを書き込むことはできません。
- 送信 FIFO 使用時, データエンプティフラグ (SSR : TDRE) が "0" であっても送信 FIFO の容量まで送信データを書き込むことが可能です。

< 注意事項 >

送信データレジスタは書込み専用のレジスタで, 受信データレジスタは読出し専用のレジスタです。2 つのレジスタは同一アドレスに配置されているため, 書込み値と読出し値が異なります。したがって, INC/DEC 命令などリードモディファイライト (RMW) 系命令は使用できません。

27.21.6 7 ビットスレーブアドレスマスクレジスタ (ISMK)

7 ビットスレーブアドレスマスクレジスタ (ISMK) は、スレーブアドレスの各ビットの比較をするか設定するレジスタです。

■ 7 ビットスレーブアドレスマスクレジスタ (ISMK)

図 27.21-7 に 7 ビットスレーブアドレスレジスタ (ISMK) のビット構成を、表 27.21-7 に各ビットの機能を示します。

図 27.21-7 7 ビットスレーブマスクレジスタ (ISMK) のビット構成

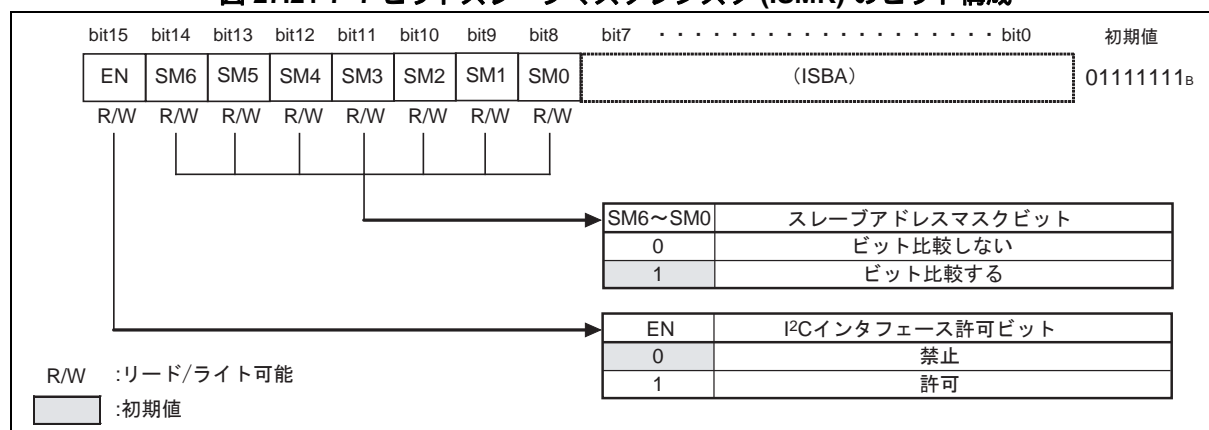


表 27.21-7 7 ビットスレーブマスクレジスタ (ISMK) の各ビットの機能説明

ビット名		機能
bit15	EN : I ² C インタ フェース 許可ビット	I ² C インタフェースの動作を許可 / 禁止するビットです。 "0" に設定した場合：I ² C インタフェースは動作禁止状態になります。 "1" に設定した場合：I ² C インタフェースが動作可能となります。 (注意事項) IBSR レジスタの BER ビットが "1" にセットされても、 本ビットは "0" にクリアされません。 本ビットが "0" のときにボーレートジェネレータを設定 してください。 本ビットが "0" のときに 7 ビットスレーブアドレスおよ び 7 ビットスレーブマスクレジスタを設定してくださ い。 送信中に EN ビットを "0" にすると I ² C バスの SDA/ SCL にパルスが発生することがあります。 FIFO 許可の場合、FIFO を禁止にして EN ビットに "0" を書いてください。
bit14 ~ bit8	SM6 ~ SM0 : スレーブ アドレス マスクビット	7 ビットスレーブアドレスと受信したアドレスに対し、比較対象外に するかどうかを設定するビットです。 "1" を設定したビット：比較する "0" を設定したビット：一致したものとして処理する (注意事項) EN ビットが "0" のときに本レジスタを設定してくださ い。

27.21.7 7 ビットスレーブアドレスレジスタ (ISBA)

7 ビットスレーブアドレスレジスタ (ISBA) は , スレーブアドレスを設定するレジスタです。

■ 7 ビットスレーブアドレスレジスタ (ISBA)

図 27.21-8 に 7 ビットスレーブアドレスレジスタ (ISBA) のビット構成を , 表 27.21-8 に各ビットの機能を示します。

図 27.21-8 7 ビットスレーブアドレスレジスタ (ISBA) のビット構成

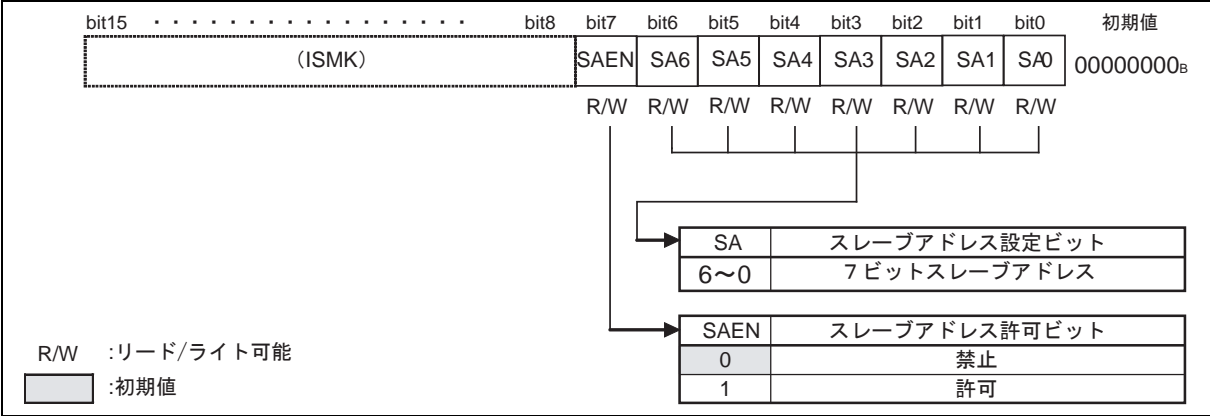


表 27.21-8 7 ビットスレーブアドレスレジスタ (ISBA) の各ビットの機能説明

ビット名		機能
bit7	SAEN : スレーブ アドレス 許可ビット	スレーブアドレスの検出許可ビットです。 "0" を設定した場合 : スレーブアドレスを検出しません。 "1" を設定した場合 : ISBA, ISMK の設定と受信した第一バイトと比較を行います。
bit6 ~ bit0	SA6 ~ SA0 : スレーブ アドレス	7 ビットスレーブアドレスレジスタ (ISBA) は , スレーブアドレス検出が許可 (SAEN=1) されていると , (反復) スタート条件検出後に受信した 7 ビットのデータが本レジスタと比較し , 全ビットが一致するとスレーブモードとして動作し , ACK を出力します。そのとき , 受信したスレーブアドレスは本レジスタにセットされます (SAEN=0 の場合は , ACK を出力しません)。 ISMK レジスタに "0" を設定したアドレスビットは比較対象外となります。 (注意事項) 予約アドレスの設定は禁止です。 本レジスタは ISMK レジスタの EN ビットが "0" のときに設定してください。

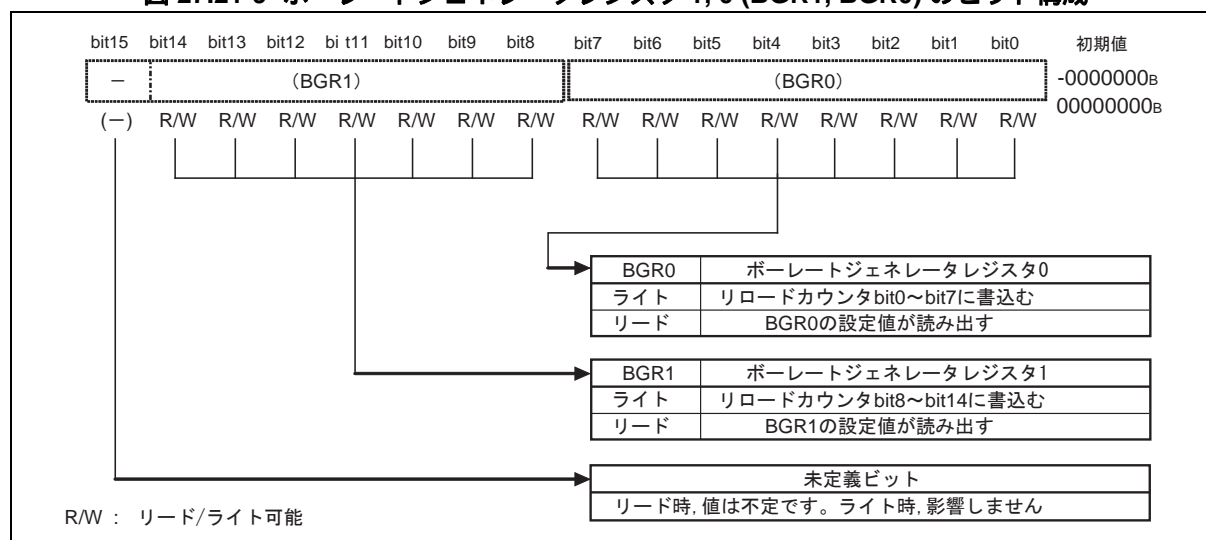
27.21.8 ポーレートジェネレータレジスタ 1, 0 (BGR1, BGR0)

ポーレートジェネレータレジスタ 1, 0 (BGR1, BGR0) は, シリアルクロックの分周比を設定します。

■ ポーレートジェネレータレジスタ 1, 0 (BGR1, BGR0) のビット構成

図 27.21-9 にポーレートジェネレータレジスタ 1, 0 (BGR1, BGR0) のビット構成を示します。

図 27.21-9 ポーレートジェネレータレジスタ 1, 0 (BGR1, BGR0) のビット構成



ポーレートジェネレータレジスタはシリアルクロックの分周比を設定します。

BGR1 は上位ビット, BGR0 は下位ビットに対応し, カウントするリロード値の書込み, BGR1/BGR0 の設定値の読出しが可能です。

ポーレートジェネレータレジスタ 1, 0 (BGR1, BGR0) にリロード値を書き込むとリロードカウンタはカウントを開始します。

< 注意事項 >

- ポーレートジェネレータレジスタ 1, 0 (BGR1, BGR0) への書込みは, 16 ビットアクセスで行ってください。
- ISMK レジスタの EN ビットが "0" のときにポーレートジェネレータレジスタの設定を行ってください。
- マスタモード, スレーブモードに関係なくポーレートを設定してください。
- 動作モード 4(I²C モード) では周辺クロック (PCLK) は 8 MHz 以上で使用し, 400kbps を超えるポーレートジェネレータの設定は禁止です。

27.21.9 FIFO 制御レジスタ 1(FCR1)

FIFO 制御レジスタ 1 (FCR1) は、送受信 FIFO の選択、送信 FIFO 割込み許可の設定および割込みフラグの制御を行います。

■ FIFO 制御レジスタ 1(FCR1) のビット構成

図 27.21-10 に FIFO 制御レジスタ 1 (FCR1) のビット構成を、表 27.21-9 に各ビットの機能を示します。

図 27.21-10 FIFO 制御レジスタ 1(FCR1) のビット構成

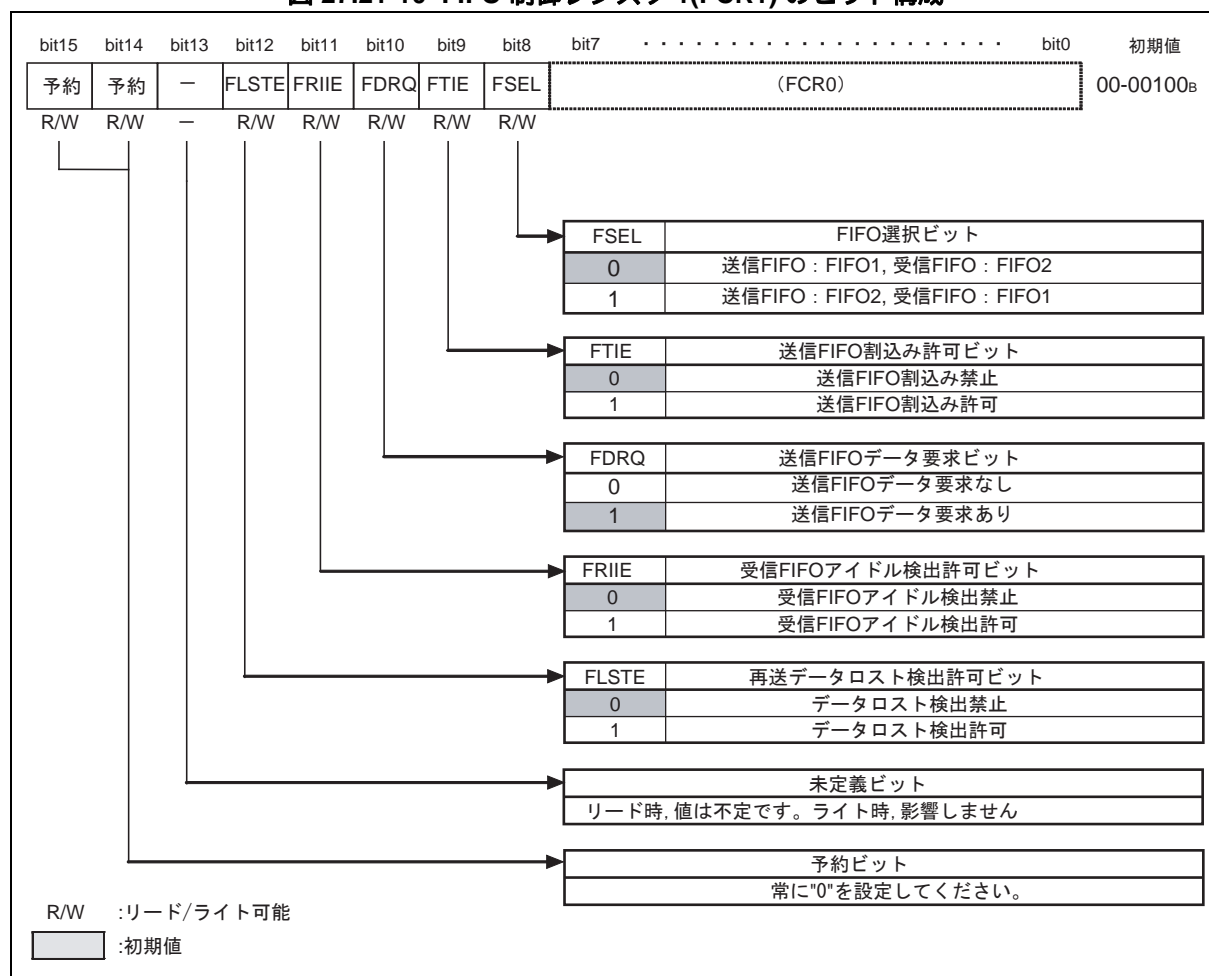


表 27.21-9 FIFO 制御レジスタ 1(FCR1) の各ビットの機能説明 (1 / 2)

ビット名		機能
bit15, bit14	予約ビット	常に "00 _B " を書き込んでください。
bit13	未定義ビット	リードした場合：値は不定です。 ライトした場合：影響しません。
bit12	FLSTE： 再送データ ロスト検出 許可ビット	FLST ビット検出を許可するビットです。 "0" に設定した場合：FLST ビット検出禁止 "1" に設定した場合：FLST ビット検出許可 (注意事項) 本ビットに "1" を設定する場合、FSET ビットに "1" を 設定してから本ビットに "1" を設定してください。
bit11	FRIIE: 受信 FIFO アイドル検出 許可ビット	受信 FIFO に有効なデータが存在した状態でボーレートクロックで 8 クロック以上の受信アイドル状態を検出するかどうかを設定するビット です。受信割込みが許可 (SCR:RIE=1) されているときに受信アイドル 状態が検出されると受信割込みが発生します。 "0" に設定した場合：受信アイドル状態検出禁止 "1" に設定した場合：受信アイドル状態検出許可
bit10	FDRQ： 送信 FIFO データ 要求ビット	送信 FIFO のデータ要求ビットです。 本ビットが "1" のとき、送信データを要求していることを示します。 このとき、送信割込みが許可 (FTIE=1) されていると送信 FIFO 割込み 要求が出力されます。 FDRQ セット条件 <ul style="list-style-type: none"> • FBYTE(送信用)=0 (送信 FIFO がエンプティ) • 送信 FIFO のリセット FDRQ リセット条件 <ul style="list-style-type: none"> • 本ビットへの "0" 書込み • 送信 FIFO が Full になった場合 (注意事項) FBYTE(送信用)=0 のときに本ビットへの "0" 書込みは 禁止です。 本ビットが "0" のときに FSEL ビットの変更は禁止で す。 本ビットに "1" を設定した場合、動作に影響を与えませ ん。 リードモディファイライト (RMW) 系命令時には、"1" が読み出されます。
bit9	FTIE： 送信 FIFO 割込み許可 ビット	送信 FIFO の割込み許可ビットです。本ビットに "1" を設定すると FDRQ ビットが "1" のときに割込みが発生します。

表 27.21-9 FIFO 制御レジスタ 1(FCR1) の各ビットの機能説明 (2 / 2)

ビット名		機能
bit8	FSEL : FIFO 選択 ビット	<p>送受信 FIFO を選択するビットです。</p> <p>"0" に設定した場合：送信 FIFO：FIFO1, 受信 FIFO：FIFO2 に割り当てられます。</p> <p>"1" に設定した場合：送信 FIFO：FIFO2, 受信 FIFO：FIFO1 に割り当てられます。</p> <p>(注意事項) 本ビットは , FIFO リセット (FCL2, FCL1=1) ではクリアされません。</p> <p>本ビットを変更する場合は , FIFO 動作禁止 (FCR0: FE2, FE1=0) にしてから行ってください。</p>

27.21.10 FIFO 制御レジスタ 0(FCR0)

FIFO 制御レジスタ 0(FCR0) は, FIFO 動作の許可 / 禁止, FIFO リセット, リードポインタの保存, 再送信設定を行います。

■ FIFO 制御レジスタ 0(FCR0) のビット構成

図 27.21-11 に FIFO 制御レジスタ 0 (FCR0) のビット構成を, 表 27.21-10 に各ビットの機能を示します。

図 27.21-11 FIFO 制御レジスタ 0(FCR0) のビット構成

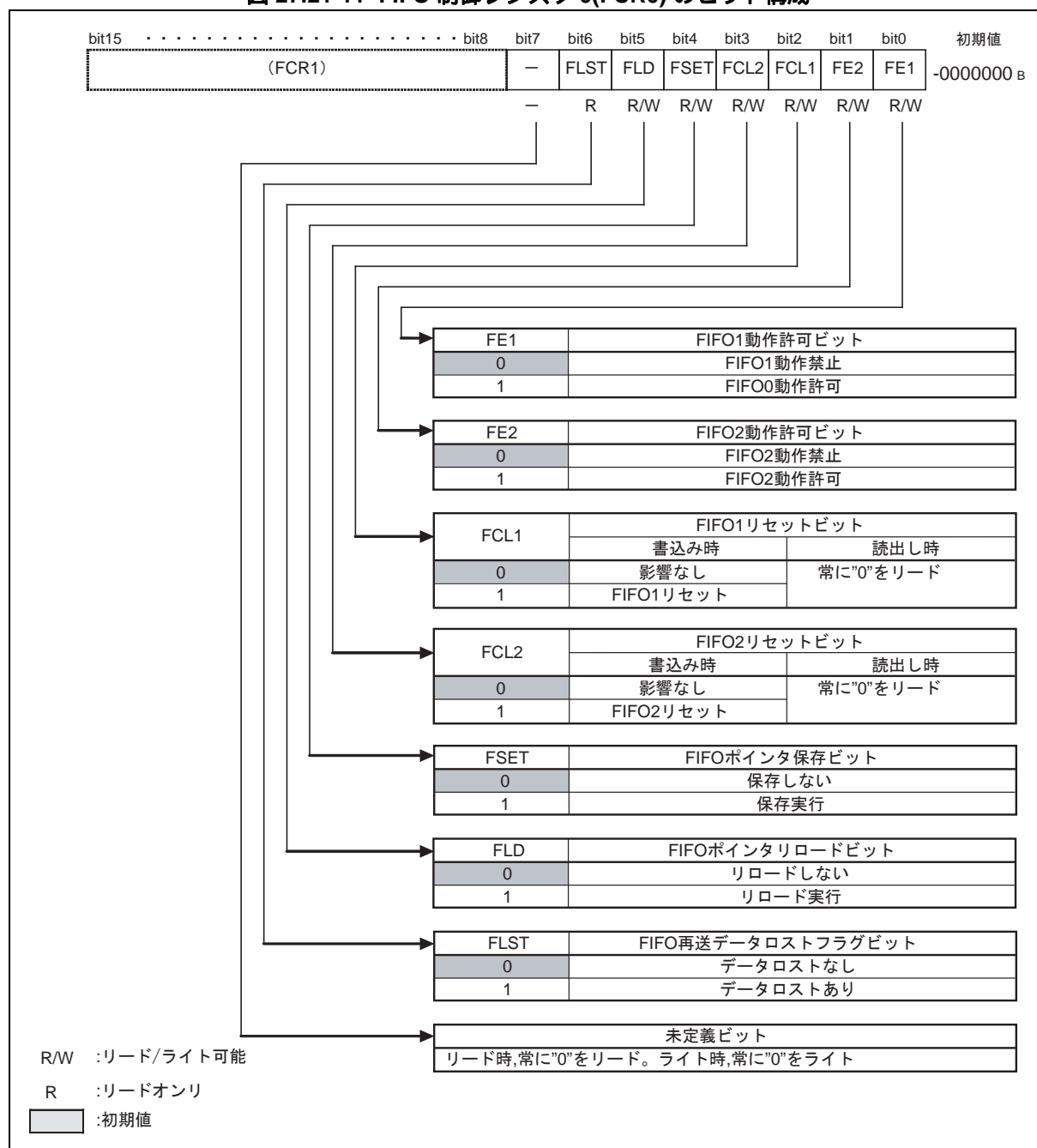


表 27.21-10 FIFO 制御レジスタ 0(FCR0) の各ビットの機能説明 (1 / 3)

ビット名		機能
bit7	未定義ビット	リードした場合：常に "0" が読み出されます。 ライトした場合：常に "0" を書いてください。
bit6	FLST : FIFO 再送 データロス フラグビット	送信 FIFO の再送データが失われたことを示すビットです。 FLST セット条件 FIFO 制御レジスタ 1(FCR1) の FLSTE ビットが "1" で送信 FIFO のライトポイントと FSET ビットによって保存したリードポイントが一致しているときに FIFO へ書き込んだ場合 FLST リセット条件 <ul style="list-style-type: none"> • FIFO リセット (FCL への "1" 書込み) • FSET ビットへの "1" 書込み 本ビットに "1" が設定されると FSET ビットで保存したリードポイントが示すデータを上書きしてしまい、エラーが発生しても FLD ビットによって再送の設定ができません。本ビットに "1" が設定された状態で再送を行う場合には FIFO リセットを実施し、再度 FIFO にデータを書き込んでください。
bit5	FLD : FIFO ポイント リロード ビット	送信 FIFO に FSET ビットによって保存したデータをリードポイントにリロードするビットです。本ビットは通信エラーなどが発生し再送するときに使用します。 再送設定が完了した場合、本ビットは "0" になります。 (注意事項) 本ビットが "1" にセットされている間、リードポイントへのリロード中なので FIFO リセット以外の書込みは行わないでください。 FIFO 許可状態または送信中、本ビットに "1" を設定することは禁止です。 TIE ビットを "0" にしてから本ビットに "1" を書き込み、送信 FIFO 許可後、TIE ビットを "1" にしてください。
bit4	FSET : FIFO ポイント 保存ビット	送信 FIFO のリードポイントを保存するビットです。 送信前にリードポイントを保存すると、通信エラーなどが発生した場合、FLST ビットが "0" であれば再送可能となります。 "1" に設定した場合：現在のリードポイントの値を保存します。 "0" に設定した場合：影響しません。 (注意事項) 送信バイト数 (FBYTE1/FBYTE2) が "0" を示しているときに本ビットを "1" に設定してください。
bit3	FCL2 : FIFO2 リセット ビット	FIFO2 をリセットするビットです。 本ビットを "1" に設定すると、FIFO2 の内部状態を初期化します。 FCR0:FLST ビットのみ初期化され、FCR1/ FCR0 レジスタのほかのビットは保持されます。 (注意事項) FIFO2 を禁止してから、FIFO2 リセットを実行してください。 送信 FIFO 割込み許可ビットを "0" にしてから実行してください。 FBYTE2 レジスタの有効データ数は "0" になります。

表 27.21-10 FIFO 制御レジスタ 0(FCR0) の各ビットの機能説明 (2 / 3)

ビット名		機能
bit2	FCL1 : FIFO1 リセット ビット	<p>FIFO1 をリセットするビットです。 本ビットを "1" に設定すると、FIFO1 の内部状態を初期化します。 FCR0:FLST ビットのみ初期化され、FCR1/FCR0 レジスタのほかのビットは保持されます。 (注意事項) FIFO1 を禁止してから、FIFO1 リセットを実行してください。 送信 FIFO 割込み許可ビットを "0" にしてから実行してください。 FBYTE1 レジスタの有効データ数は "0" になります。</p>
bit1	FE2 : FIFO2 動作 許可ビット	<p>FIFO2 の動作を許可 / 禁止するビットです。</p> <ul style="list-style-type: none"> • FIFO2 を使用する場合、本ビットに "1" を設定してください。 • FSEL ビットによって受信 FIFO として選択された場合、受信エラーが発生すると本ビットは "0" にクリアされ、受信エラーがクリアされない限り、本ビットに "1" を設定することはできません。 • 送信 FIFO で使用する場合には送信データがエンプティ (TDRE=1)、受信 FIFO で使用する場合には受信データがエンプティ (RDRF=0) のときに本ビットに "1" または "0" を設定してください。 • FIFO2 を禁止にしても FIFO2 の状態は保持されます。 <p>(注意事項) BB ビットが "0" または INT ビットが "1" のときに許可 / 禁止の変更を行ってください。 受信 FIFO として選択されていて予約アドレスを検出し、スレーブ送信として動作する場合、予約アドレス検出による割込みで本ビットを "0" にし、ACKE=0 にしてください。 受信 FIFO として使用していて本ビットを "1" から "0" に変更したときに SSR の RDRF ビットが "1" になっていると "0" になるまで受信 FIFO は禁止になりません。 送信 FIFO として使用していて FIFO2 にデータが存在し、本ビットを "0" から "1" に変更する場合、TIE ビットを "0" にしてから本ビットに "1" を書き込み、TIE ビットを "1" にしてください。</p>

表 27.21-10 FIFO 制御レジスタ 0(FCR0) の各ビットの機能説明 (3 / 3)

ビット名		機能
bit0	FE1 : FIFO1 動作 許可ビット	<p>FIFO1 の動作を許可 / 禁止するビットです。</p> <ul style="list-style-type: none">• FIFO1 を使用する場合、本ビットに "1" を設定してください。• FSEL ビットによって受信 FIFO として選択された場合、受信エラーが発生すると本ビットは "0" にクリアされ、受信エラーがクリアされない限り、本ビットに "1" を設定することはできません。• 送信 FIFO で使用する場合には送信データがエンプティ (TDRE=1)、受信 FIFO で使用する場合には受信データがエンプティ (RDRF=0) のときに本ビットに "1" または "0" を設定してください。• FIFO1 を禁止にしても FIFO1 の状態は保持されます。 <p>(注意事項) BB ビットが "0" または INT ビットが "1" のときに許可 / 禁止の変更を行ってください。</p> <p>受信 FIFO として選択されていて予約アドレスを検出し、スレーブ送信として動作する場合、予約アドレス検出による割込みで本ビットを "0" にし、ACKE=0 にしてください。</p> <p>受信 FIFO として使用していて本ビットを "1" から "0" に変更したときに SSR の RDRF ビットが "1" になっていると "0" になるまで受信 FIFO は禁止になりません。</p> <p>送信 FIFO として使用していて FIFO1 にデータが存在し、本ビットを "0" から "1" に変更する場合、TIE ビットを "0" にしてから本ビットに "1" を書き込み、TIE ビットを "1" にしてください。</p>

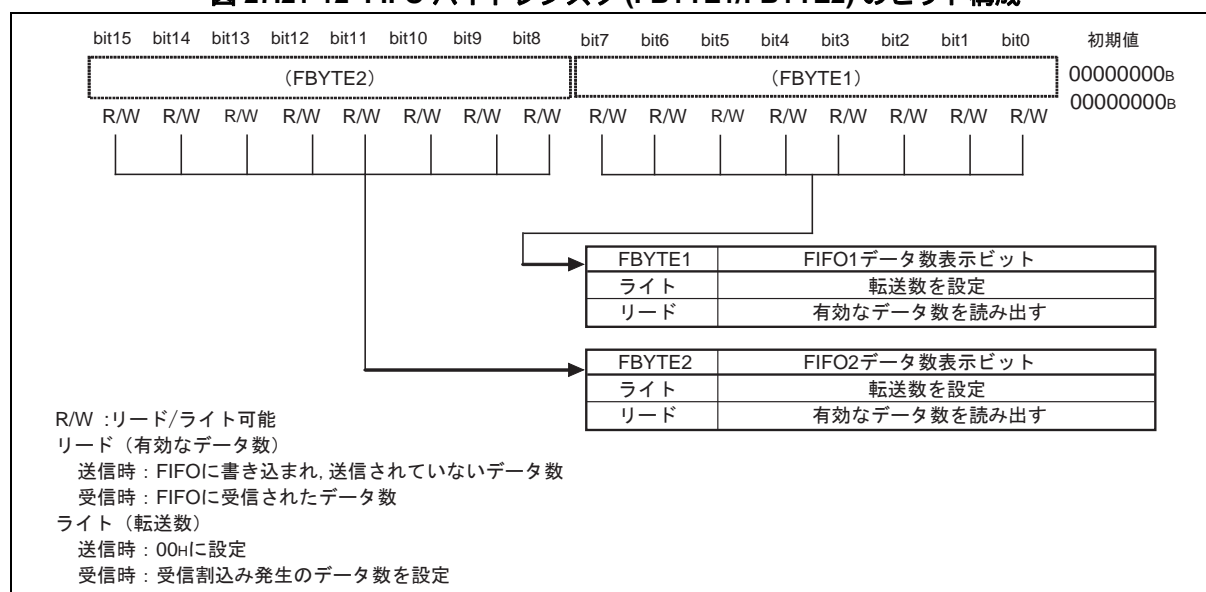
27.21.11 FIFO バイトレジスタ (FBYTE1/FBYTE2)

FIFO バイトレジスタ (FBYTE1/FBYTE2) は、FIFO の有効なデータ数を示します。また、受信 FIFO で所定のデータ数を受信したときに受信割込みを発生させるかを設定できます。

■ FIFO バイトレジスタ (FBYTE1/FBYTE2) のビット構成

図 27.21-12 に FIFO バイトレジスタ (FBYTE1/FBYTE2) のビット構成を示します。

図 27.21-12 FIFO バイトレジスタ (FBYTE1/FBYTE2) のビット構成



FBYTE レジスタは FIFO の有効なデータ数を示し、FCR1:FSEL ビットの設定によって以下ようになります。

表 27.21-11 データ数表示

FSEL	FIFO 選択	データ数表示
0	FIFO2 : 受信 FIFO, FIFO1 : 送信 FIFO	FIFO2 : FBYTE2, FIFO1 : FBYTE1
1	FIFO2 : 送信 FIFO, FIFO1 : 受信 FIFO	FIFO2 : FBYTE2, FIFO1 : FBYTE1

- FBYTE レジスタの転送数の初期値は "08_H" です。
- 受信 FIFO の FBYTE に受信割込みフラグを発生させるデータ数を設定します。その設定された転送数と FBYTE レジスタのデータ表示が一致すると割込みフラグ (RDRF) が "1" にセットされます。

- 受信 FIFO アイドル検出許可ビット (FRIIE) が "1" で受信 FIFO に存在するデータ数が転送数に達しない場合、受信アイドル状態がボーレートクロックで 8 クロック以上続くと割込みフラグ (RDRF) が "1" にセットされます。8 クロックカウント中、RDR を読み出すとそのカウンタは "0" にリセットされ、再度 8 クロックをカウントします。受信 FIFO が禁止されるとそのカウンタは "0" にリセットされます。受信 FIFO にデータが残っている状態で受信 FIFO を許可すると再度、カウントを開始します。
- マスタ動作でデータを受信する場合(マスタ受信), TIE ビットを "0" にして送信 FIFO の FBYTE レジスタに受信データ数を設定し、FDRQ ビットに "0" を書きます。設定データ分の SCL のクロックが出力され、その後、INT ビットが "1" になります。TIE ビットに "1" を設定したい場合には、FDRQ が "1" になった後に "1" に設定してください。

< 注意事項 >

- マスタ動作でデータを受信するとき以外、送信 FIFO の FBYTE は "00_H" を設定してください。
 - マスタ動作でデータを受信するときの送信データ数の設定は、送信 FIFO がエンプティで TIE ビットが "0" のときに行ってください。
 - マスタ動作でデータを受信中に I²C インタフェースを禁止 (EN=0) にする場合には、送受信 FIFO を禁止にしてから禁止してください。
 - 受信 FIFO の FBYTE には "1" 以上のデータを設定してください。
 - 送受信を禁止してから変更してください。
 - 本レジスタはリードモディファイライト (RMW) 系命令を使用することはできません。
 - FIFO 容量を超えた設定は禁止です。
-

27.22 I²C インタフェースの割込み

I²C インタフェースの割込みは、次に示す要因で割込み要求を発生させることができます。

- 第一バイト送受信後 / データ送受信後
- ストップ条件
- 反復スタート条件
- FIFO 送信データ要求
- FIFO 受信データ完了

■ I²C インタフェースの割込み

I²C インタフェースの割込み制御ビットと割込み要因は表 27.22-1 のようになっています。

表 27.22-1 I²C インタフェースの割込み制御ビットと割込み要因 (1 / 2)

割込みの種類	割込み要求フラグビット	フラグレジスタ	割込み要因	割込み要因許可ビット	割込み要求フラグのクリア
ステータス	INT	IBCR	第一バイト送受信後 *1	IBCR:INTE	割込みフラグビット (IBCR:INT) への "0" 書込み
			データ送受信後 *1		
			バスエラー検出		
			アービトレーションロスト検出		
			予約アドレス検出		受信 FIFO がエンプティになるまでの受信データ (RDR) の読出し後、割込みフラグビット (IBCR:INT) へ "0" 書込み
	SPC	IBSR	ストップ条件	IBCR:CNDE	ストップ条件検出ビット (IBSR:SPC) への "0" 書込み
	RSC	IBSR	反復スタート条件		反復スタート検出フラグビット (IBSR:RSC) への "0" 書込み

表 27.22-1 I²C インタフェースの割込み制御ビットと割込み要因 (2 / 2)

割込みの種類	割込み要求 フラグ ビット	フラグ レジスタ	割込み要因	割込み要因 許可ビット	割込み要求 フラグのクリア
受信	RDRF	SSR	予約アドレス受信後	SMR : RIE	受信データ (RDR) の読み出し
			データ受信後		
			FBYTE 設定値分受信		
			FRIIE ビットが "1" で 受信 FIFO に有効な データが存在した状態 で 8 ビット時間以上の 受信アイドル状態検出		受信 FIFO がエンプティになるま での受信データ (RDR) の読み出し
	ORE	SSR	オーバランエラー		受信エラーフラグビット (SSR:REC) への "1" 書込み
送信	TDRE	SSR	送信レジスタが エンプティ	SMR : TIE	送信データ (TDR) への書込み, ま たは送信 FIFO 動作許可ビットが "0" で送信 FIFO に有効なデータ が存在している時に送信 FIFO 動 作許可ビットへの "1" 書込み (送 信再送)*2
			送信バッファエン プティフラグセットビ ット (SSR:TSET) への "1" 書込み		
	FDRQ	FCR1	送信 FIFO が エンプティ	FCR1:FTIE	FIFO 送信データ要求ビットへの "0" 書込み, または送信 FIFO がフ ル

*1 : 正常なデータを送受信できます。TDRE が "0" の場合、割込みは発生しません。これは DMA 転送をサポートするためです。受信で DMA 転送を行う場合は、1Byte 受信ごとに送信バッファに書込みを行い TDRE を 0 にする必要があるため、DMA の別 ch で TDR にダミーライトを行ってください。受信 / 送信 / ステータス割込みの割込みベクタが別々になっている I²C の ch.1 と ch.2 での DMA 転送を推奨します。

データ送受信時に INT フラグを発生させたい場合には、INT フラグがセットされるタイミングより前に TDRE ビットが "1" である必要があります。

*2 : TDRE ビットが "0" になってから TIE ビットを "1" にしてください。

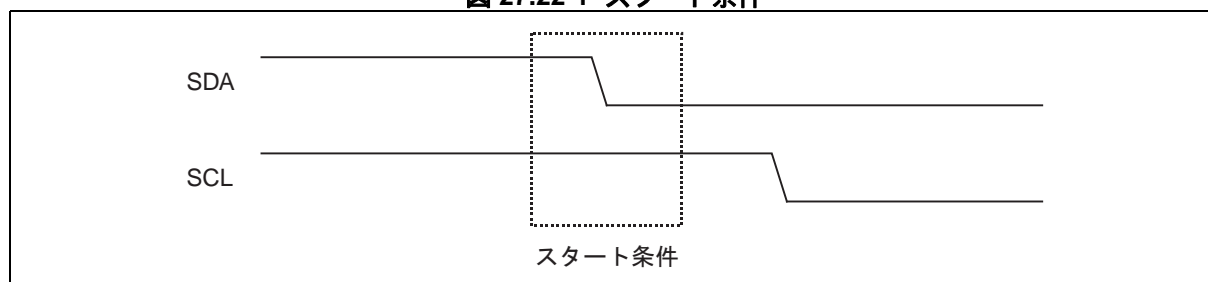
27.22.1 I²C インタフェース通信の動作

I²C インタフェースは、2 本の双方向バスライン、シリアルデータライン (SDA) およびシリアルクロックライン (SCL) を使用して通信を行います。

■ I²C バススタート条件

I²C バスの起動条件を以下に示します。

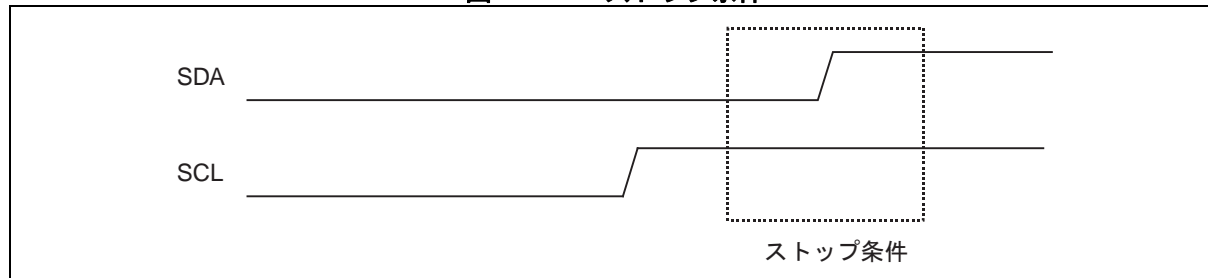
図 27.22-1 スタート条件



■ I²C バスストップ条件

I²C バスのストップ条件を以下に示します。

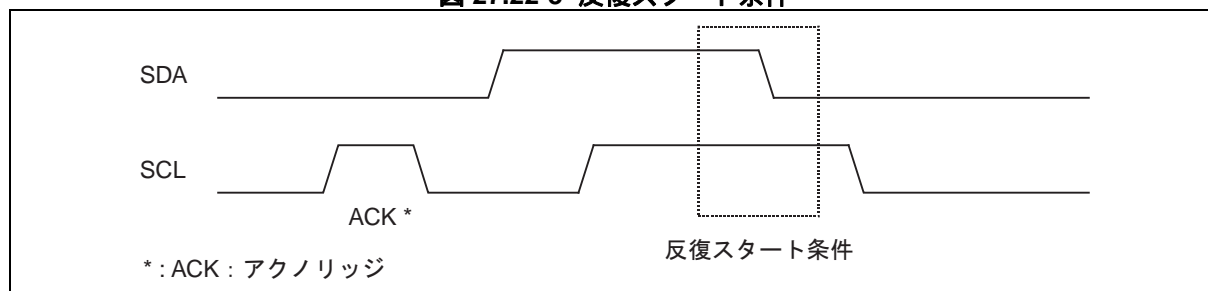
図 27.22-2 ストップ条件



■ I²C バス反復スタート条件

I²C バスの反復スタート条件を以下に示します。

図 27.22-3 反復スタート条件



27.22.2 マスタモード

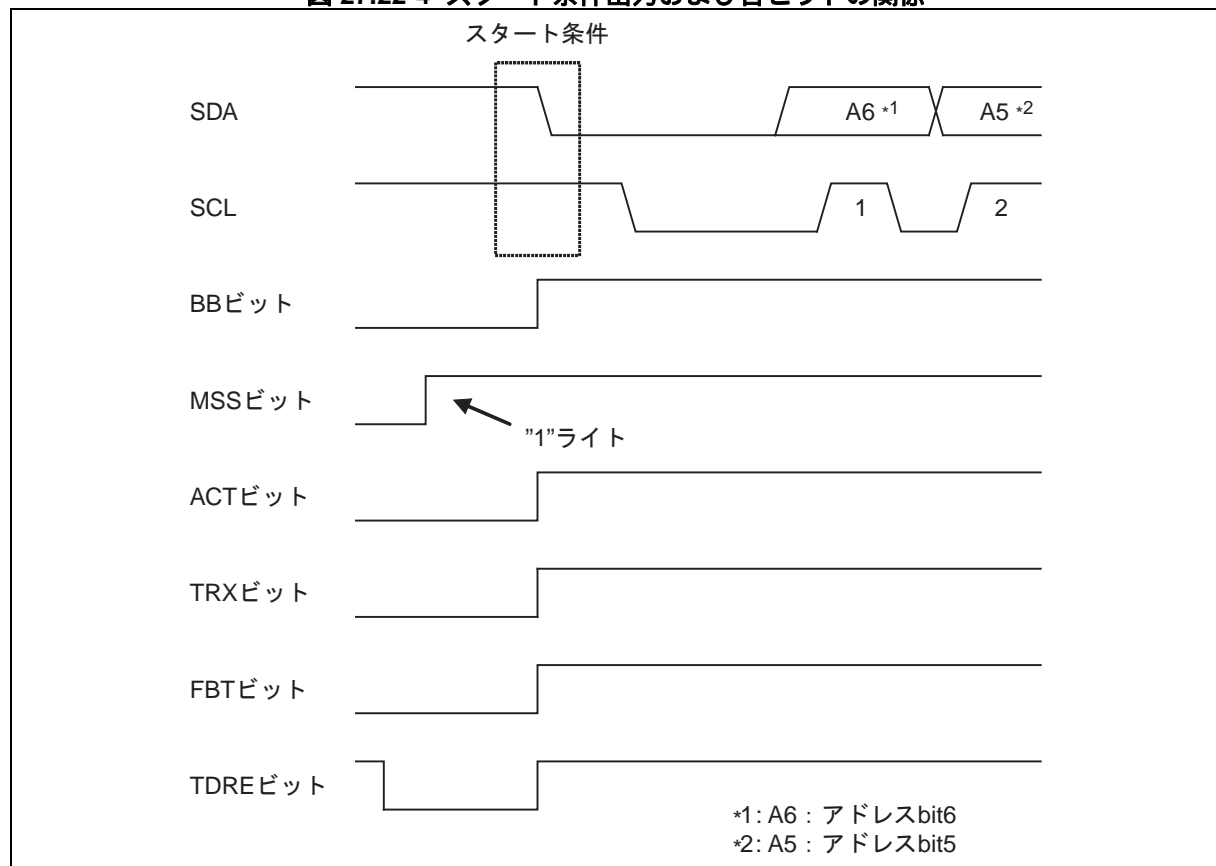
マスタモードは、I²C バスにスタート条件を発生させ、I²C バスにクロックを出力します。I²C バスがアイドル状態 (SCL="H", SDA="H") のとき、IBCR レジスタの MSS ビットに "1" を設定するとマスタモードになり、IBCR レジスタの ACT ビットが "1" になります。

■ スタート条件生成

SDA="H", SCL="H", EN=1, BB=0 のとき、MSS ビットへ "1" を書き込むとスタート条件が出力されます。

I²C バスへスタート条件を出力すると ACT ビットに "1" をセットします。その後、スタート条件を受信すると BB ビットが "1" にセットされ、I²C バスは通信中であることを示します (図 27.22-4 を参照)。

図 27.22-4 スタート条件出力および各ビットの関係



< 注意事項 >

動作モード 4(I²C モード) では周辺クロック (PCLK) は 8 MHz 以上で使用し、400kbps を超えるボーレートジェネレータの設定は禁止です。

■ スレーブアドレス出力

スタート条件を出力すると TDR レジスタに設定されたデータを bit7 からアドレスとして出力します。FIFO 許可の場合、最初書いた TDR レジスタのデータを出力します。bit0 はデータ方向ビット (R/W) として使用され、データ方向ビット (R/W) が "0" のとき、データはライト方向 (マスタ スレーブ) を示します。TDR レジスタへのアドレス設定は、MSS=1 または SCC=1 を書く前に行ってください。

アドレスおよびデータ方向の出力タイミングについて図 27.22-5、図 27.22-6 に示します。

図 27.22-5 アドレスおよびデータ方向 (FIFO 禁止の場合)

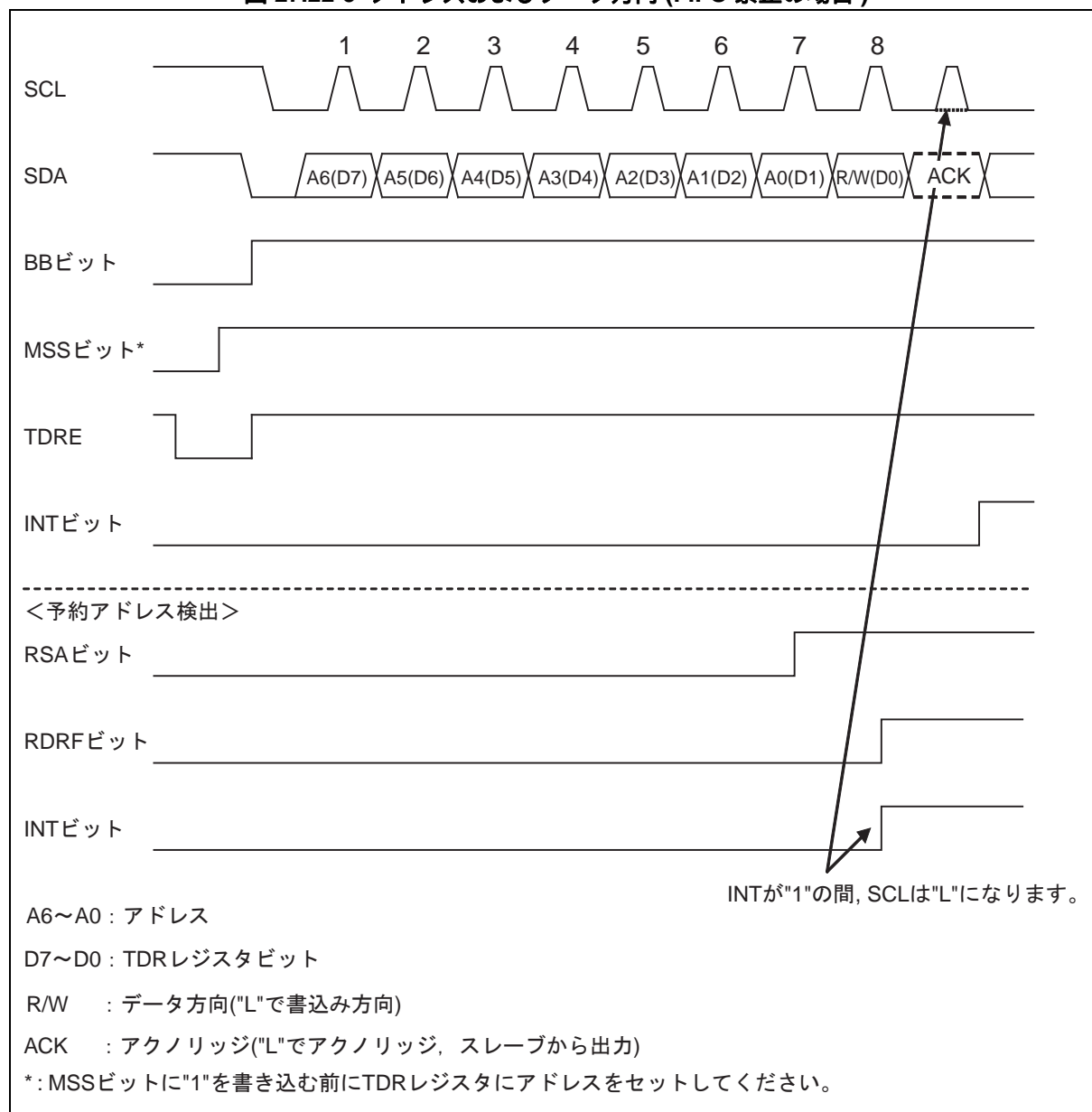
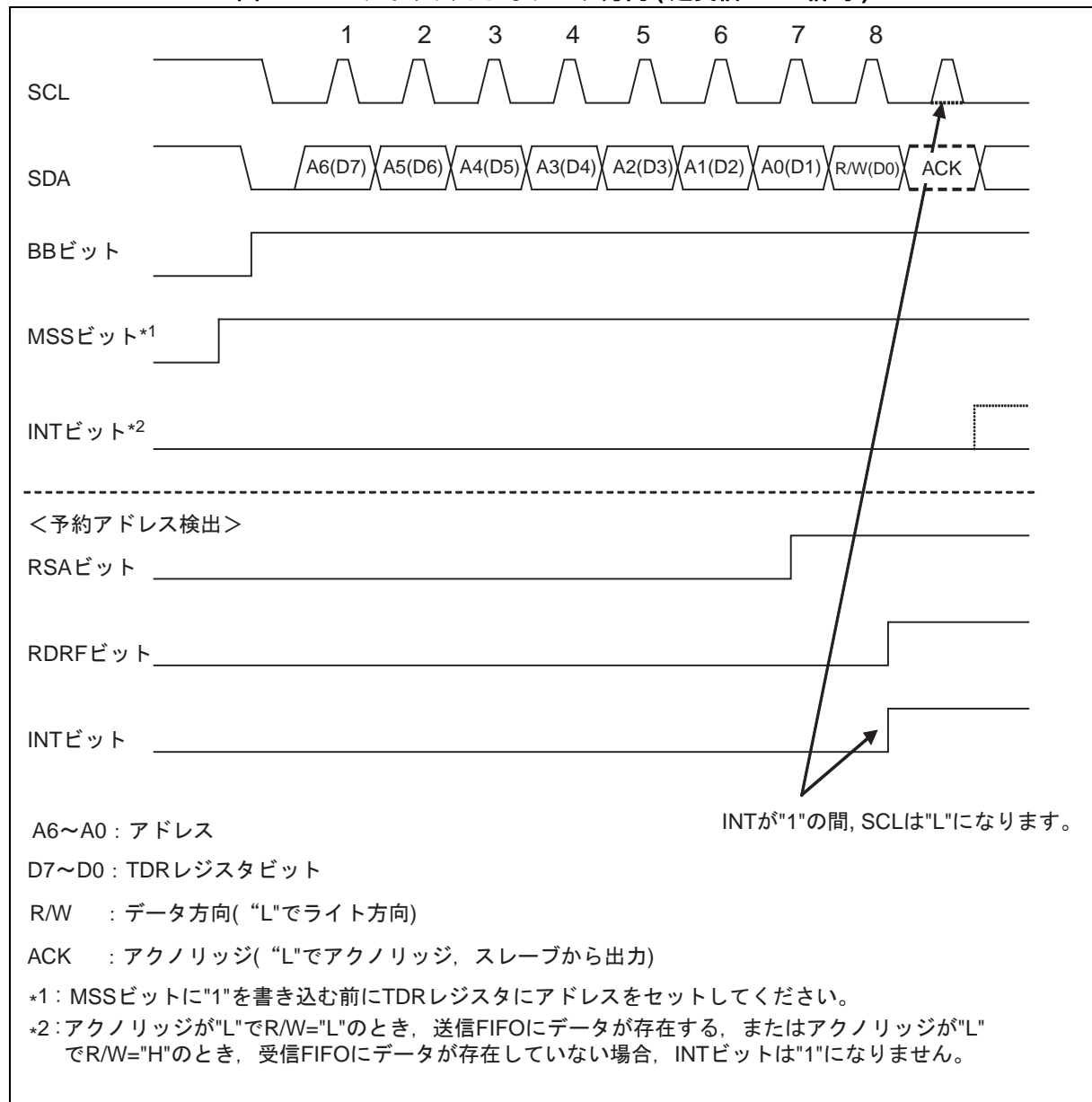


図 27.22-6 アドレスおよびデータ方向 (送受信 FIFO 許可)



■ 第一バイト送信によるアクノリッジ受信

データ方向ビット (R/W) を出力すると、I²C インタフェースはスレーブからのアクノリッジを受信します。FIFO 許可と FIFO 禁止では、以下の動作になります。

表 27.22-2 アクノリッジ受信後の動作 (RSA ビット =0)

送信 FIFO	受信 FIFO	送信 FIFO 状態	受信 FIFO 状態	データ方向 ビット (R/W)	アクノリッジ受信直後の動作	
					アクノリッジが ACK	アクノリッジ が NACK
禁止	禁止	-	-	0	TDRE ビットが "1" の場合、INT ビットを "1" にしてウェイト。TDRE ビットが "0" の場合、INT ビットは "0" のままでウェイトなし	INT ビットを "1" にしてウェイト
				1		
禁止	許可	-	データなし	0	TDRE ビットが "1" の場合、INT ビットを "1" にしてウェイト。TDRE ビットが "0" の場合、INT ビットは "0" のままでウェイトなし	INT ビットを "1" にしてウェイト
			データあり		INT ビットを "1" にしてウェイト	
			-	1	TDRE ビットが "1" の場合、INT ビットを "1" にしてウェイト。TDRE ビットが "0" の場合、INT ビットは "0" のままでウェイトなし	
許可	禁止	-	-	0	TDRE ビットが "1" の場合、INT ビットを "1" にしてウェイト。TDRE ビットが "0" の場合、INT ビットは "0" のままでウェイトなし	INT ビットを "1" にしてウェイト
				1		
許可	許可	-	データなし	0	TDRE ビットが "1" の場合、INT ビットを "1" にしてウェイト。TDRE ビットが "0" の場合、INT ビットは "0" のままでウェイトなし	INT ビットを "1" にしてウェイト
			データあり		INT ビットを "1" にしてウェイト	
			-	1	TDRE ビットが "1" の場合、INT ビットを "1" にしてウェイト。TDRE ビットが "0" の場合、INT ビットは "0" のままでウェイトなし	

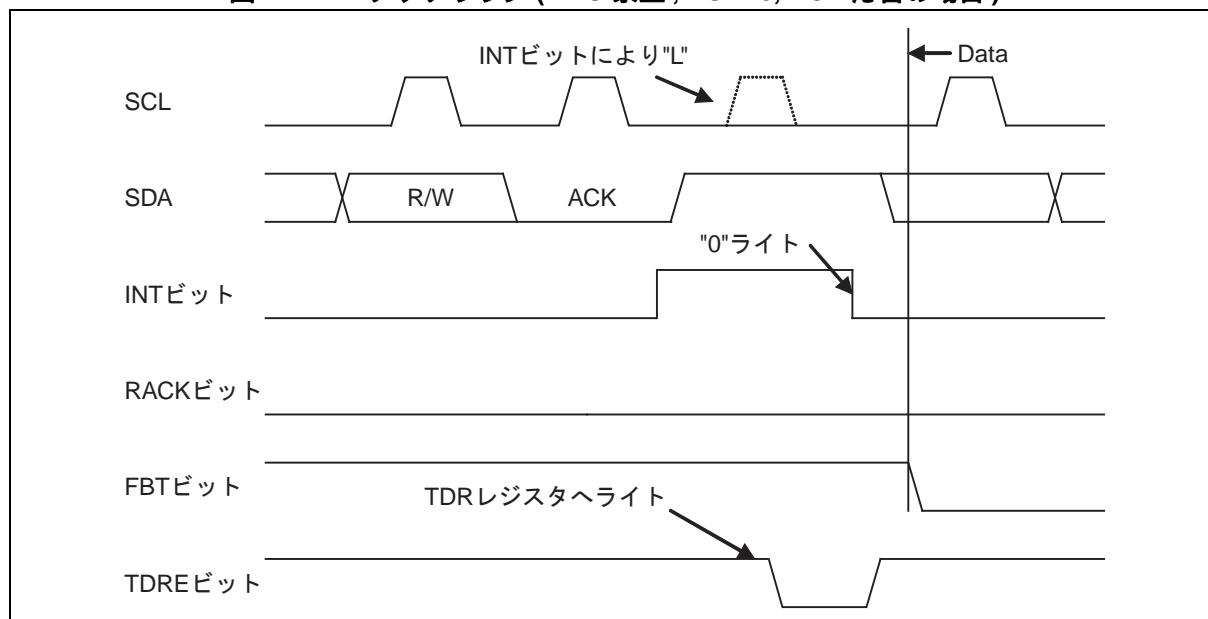
FIFO 禁止 (送信 FIFO, 受信 FIFO 両方とも禁止)

- RSA ビットが "0" の場合, アクノリッジ受信後, TDRE ビットが "1" の場合には, 割込みフラグ (INT) を "1" にセットし, SCL を "L" に保持してウェイトします。ウェイトは割込みフラグに "0" を書くと割込みフラグが "0" になってウェイトを解除します。TDRE ビットが "0" の場合には, ACK を受信すると割込みフラグを "1" にセットせずに SCL にクロックを発生します。
- RSA ビットが "1" の場合, 予約アドレス受信後 (アクノリッジ前), 割込みフラグ (INT) を "1" にセットし, SCL を "L" に保持してウェイトします。RDR レジスタ読出し後, ACKE ビット, 送信データを設定し, 割込みフラグに "0" を書くと割込みフラグが "0" になってウェイトを解除します。
- 受信したアクノリッジは RACK ビットにセットされます。ウェイト中に RACK ビットを確認し, NACK の場合には, MSS ビットに "0" または SCC ビットに "1" を書いてストップ条件または反復スタート条件を発生させます。このとき, INT ビットは自動的に "0" にクリアされます。

FIFO 許可

- MSS ビットに "1" を設定する前に FIFO に以下の設定をする必要があります。
 - スレーブへ送信する場合 (データ方向ビット =0), スレーブアドレスなどを含むデータを送信 FIFO に設定
 - スレーブからデータを受信する場合 (データ方向ビット =1), FIFO バイト数レジスタに受信数を設定し, スレーブアドレスおよびデータ方向ビットと受信したいデータ数分ダミーで送信データレジスタに書き込みを行う
- RSA ビットが "0" の場合, アクノリッジ受信後, ACK の場合には, 割込みフラグ (INT) を "1" にセットせず, データ方向ビットに従ってデータを送受信します (ウェイトなし)。NACK の場合には, 割込みフラグ (INT) を "1" にセットし, SCL を "L" に保持してウェイトします。
- 受信したアクノリッジは RACK ビットに格納されます。ウェイト中に RACK ビットを確認し, NACK の場合には, MSS ビットに "0" または SCC ビットに "1" を書いてストップ条件または反復スタート条件を発生させます。このとき, INT ビットは自動的に "0" にクリアされます。

図 27.22-7 アクノリッジ (FIFO 禁止, RSA=0, ACK 応答の場合)



アドレスに対するウェイトは

- RSA ビットが "0" の場合, アクノリッジ受信後
 - RSA ビットが "1" の場合, アクノリッジ受信前
- になります。WSEL の設定には依存しません。

図 27.22-8 アクノリッジ (FIFO 禁止, RSA=0, NACK 応答の場合)

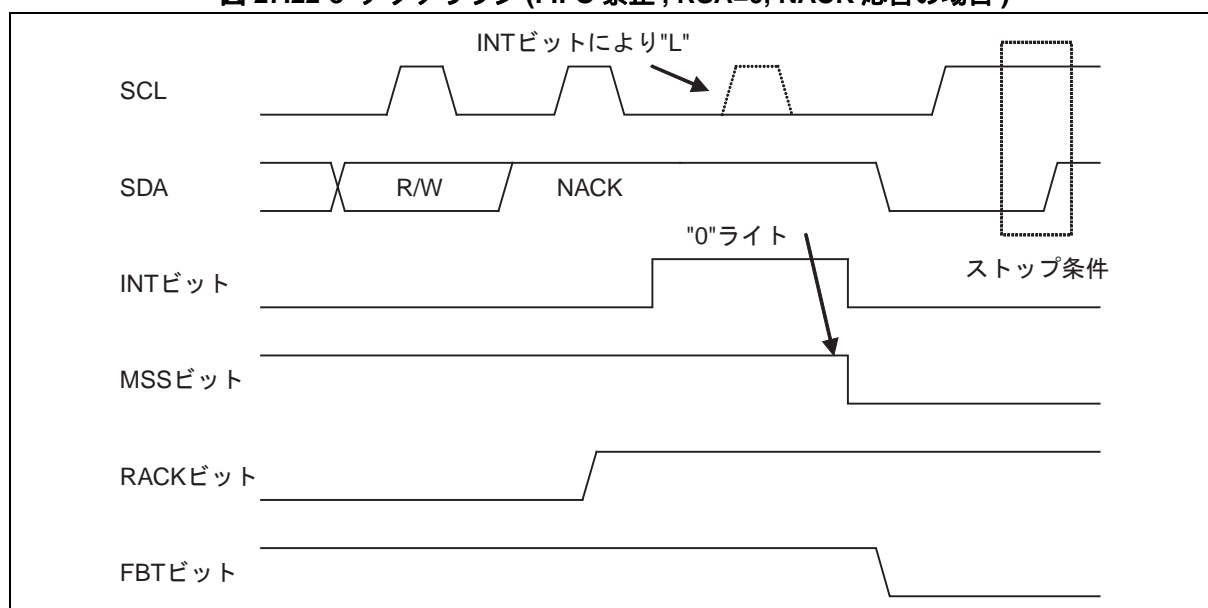


図 27.22-9 アクノリッジ (FIFO 禁止, RSA=1, ACK 応答の場合)

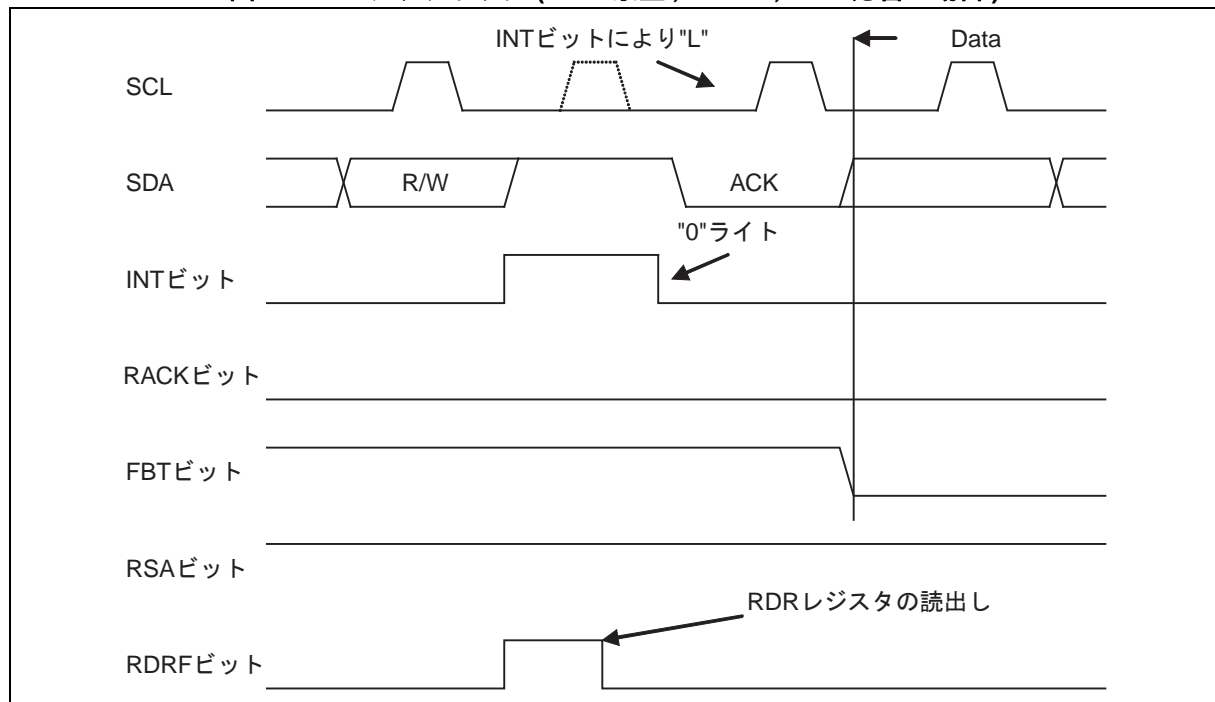


図 27.22-10 アクノリッジ (FIFO 禁止, RSA=1, NACK 応答の場合)

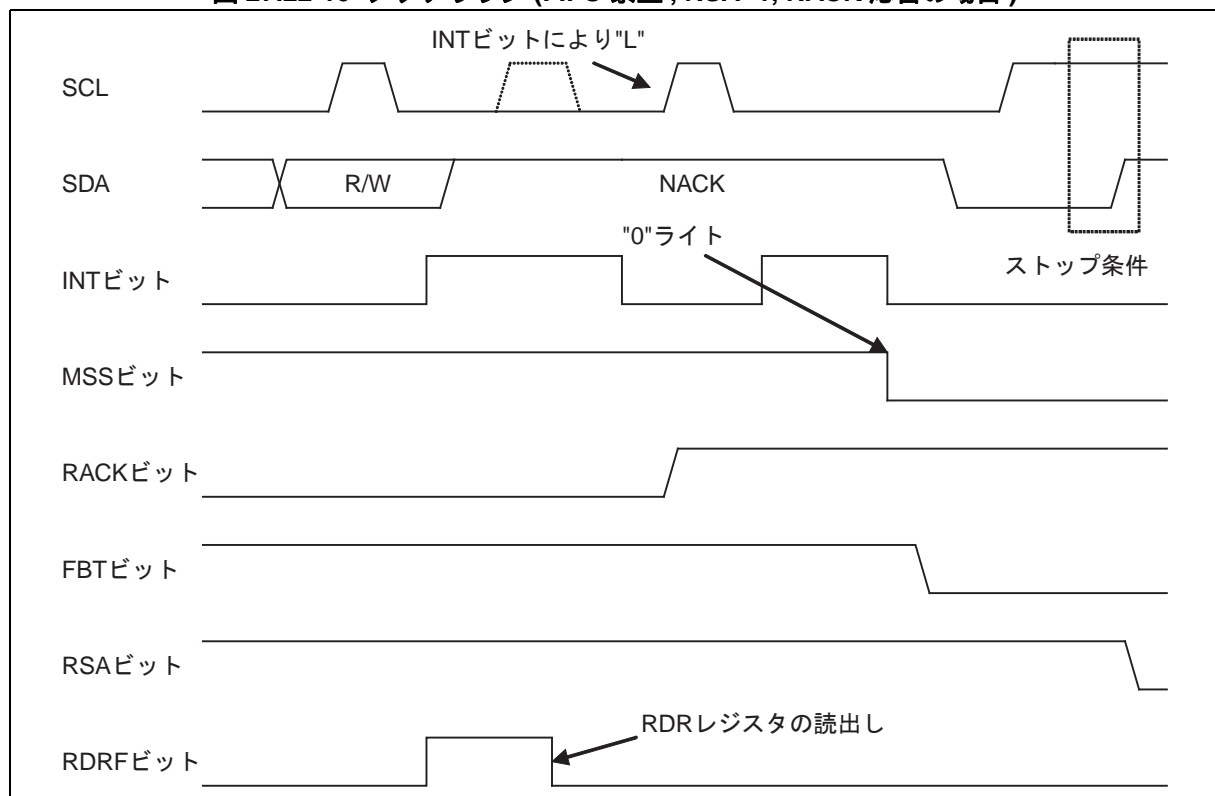
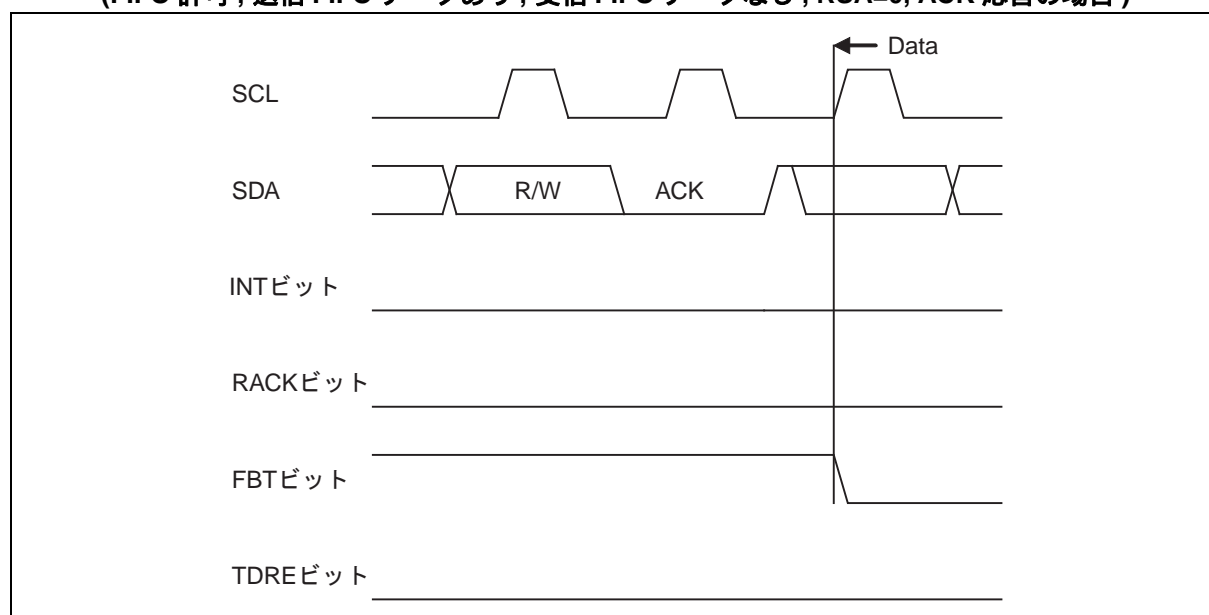


図 27.22-11 アクノリッジ
(FIFO 許可, 送信 FIFO データあり, 受信 FIFO データなし, RSA=0, ACK 応答の場合)



■ マスタによるデータ送信

データ方向ビット (R/W) が "0" の場合, データはマスタから送信します。1 バイト送信ごとにスレーブから ACK または NACK の応答があります。

WSEL ビットの設定によってウェイトの発生する場所が以下ようになります。

表 27.22-3 マスタデータ送信時の WSEL ビット

WSEL ビット	動作
0	第二バイト以降, TDRE ビットが "1" またはアービトレーションロスト検出でアクノリッジ後, 割込みフラグ (INT) を "1", SCL を "L" にしてウェイト状態にします。FIFO 許可の場合, アクノリッジ後, アービトレーションロスト検出または送信データレジスタに有効なデータがなくなった (TDRE=1) ときにアクノリッジ後, 割込みフラグ (INT) を "1" にしてウェイト状態にします。
1	第二バイト以降, TDRE ビットが "1" またはアービトレーションロスト検出でマスタが 1 バイトのデータを送信後, 割込みフラグ (INT) を "1", SCL を "L" にしてウェイト状態にします。FIFO 許可の場合, アービトレーションロスト検出または送信データレジスタに有効なデータがなくなった (TDRE=1) ときにデータ送信後, 割込みフラグ (INT) を "1" にしてウェイト状態にします。

ただし, ストップ条件設定 (MSS=0, ACT=1) 時以外に NACK を受信した場合, WSEL の設定に依存せずにアクノリッジ後に割込みフラグ (INT) をセットします。

スレーブヘータを送信する場合の手順の一例を以下に示します。

● 予約アドレス以外への送信の場合

• 送信 FIFO が禁止されている場合

スレーブアドレス (データ方向ビットも含む) を TDR レジスタにセットし, MSS ビットに "1" を書きます。

スレーブアドレス送信後に ACK を受信し, 割込みフラグ (INT) が "1" になります。

TDR レジスタに送信するデータを書きます。

WSEL ビット更新とともに割込みフラグ (INT) に "0" を書き込み, I²C バスのウェイトを解除します。

1 バイト送信後に WSEL=0 の場合にはアクノリッジ受信後, WSEL=1 の場合には 1 バイト送信直後に割込みフラグを "1" にして I²C バスをウェイトします。所定のデータ数を送信するまで ~ を繰り返します。ただし, WSEL=1 のとき, ウェイト解除後に NACK を受信した場合にはアクノリッジ受信後にもう一度割込みが発生し, バスをウェイトします。

MSS ビットに "0" または SCC ビットに "1" を設定し, ストップ条件または反復スタート条件を発生させます。

• 送信 FIFO が許可されている場合

スレーブアドレス (データ方向ビットも含む), 送信データを TDR レジスタに書きます。

WSEL ビット設定とともに MSS ビットに "1" を書きます。

送信中に NACK 受信した場合, その直後に割込みフラグ (INT) を "1" にして I²C バスをウェイトします。すべて ACK 応答を受信した場合, 最終バイト送信後, WSEL の設定に従って割込みフラグを "1" にして I²C バスをウェイトします。

MSS ビットに "0" を書いてストップ条件を生成させます。

● 予約アドレスへの送信の場合

• 送信 FIFO が禁止されている場合

スレーブアドレスとして予約アドレスを TDR レジスタにセットし, MSS ビットに "1" を書きます。

スレーブアドレス送信後, 割込みフラグ (INT) が "1" になります。

RDR レジスタを読み出し, 予約アドレスを確認します。*

TDR レジスタに送信するデータを書きます。

WSEL ビット更新とともに割込みフラグ (INT) に "0" を書き込み, I²C バスのウェイトを解除します。

1 バイト送信後に WSEL=0 の場合にはアクノリッジ受信後, WSEL=1 の場合には 1 バイト送信直後に割込みフラグを "1" にして I²C バスをウェイトします。所定のデータ数を送信するまで ~ を繰り返します。ただし, WSEL=1 のとき, ウェイト解除後に NACK を受信した場合にはアクノリッジ受信後にもう一度割込みが発生してバスをウェイトします。

MSS ビットに "0" または SCC ビットに "1" を設定し, ストップ条件または反復スタート条件を発生させます。

- 送信 FIFO が許可されている場合

スレーブアドレスとして予約アドレスを TDR レジスタにセットし、MSS ビットに "1" を書きます。

スレーブアドレス送信後、割込みフラグ (INT) が "1" になります。

RDR レジスタを読み出し、予約アドレスを確認します。*

TDR レジスタに全送信データ (送信 FIFO がフルとなる場合にはその状態になるまで) を書きます。

送信中に NACK 受信した場合、その直後に割込みフラグ (INT) を "1" にして I²C バスをウェイトします。すべて ACK 応答を受信した場合、最終バイト送信後、WSEL の設定に従って割込みフラグを "1" にして I²C バスをウェイトします。

MSS ビットに "0" または SCC ビットに "1" を設定し、ストップ条件または反復スタート条件を発生させます。

*: マルチマスタで予約アドレスがゼネラルコールの場合、アービトレーションロストが発生してスレーブとして動作する可能性がある場合、ACKE ビットを "1"、WSEL ビットを "1" にして次のデータでマスタとして動作するのか、スレーブとして動作するのかを確認する必要があります。

< 注意事項 >

- 送受信中に IBCR レジスタを変更する場合、割込みフラグ (INT) が "1" のときに変更してください。
 - WSEL ビットを変更した場合、次のデータの割込みフラグ (INT) の発生条件に使用されます。
 - データ送信中で TDRE が "1" のときに TDR レジスタへ送信データを書き込み、ACK 応答を検出すると割込みフラグ (INT) は "1" にならずにその書き込まれたデータが送信されます。
 - データ受信中に TDRE が "1" のときに TDR レジスタへ送信データを書き込み、ACK 応答した場合、割込みフラグ (INT) は "1" にならずに RDRF のみ "1" になります (受信 FIFO 許可の場合、FBYTE レジスタ設定分受信した場合)。
-

図 27.22-12 FIFO 禁止によるマスタの割込み 1(WSEL=0, RSA=0)

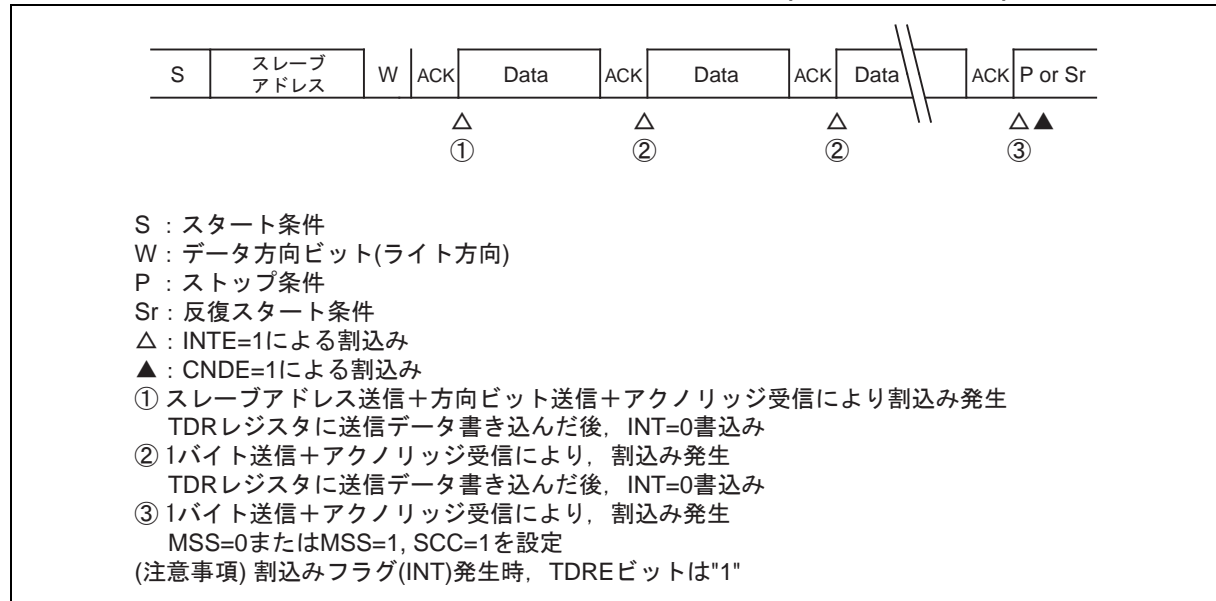


図 27.22-13 FIFO 禁止によるマスタ送信の割込み 2(WSEL=1, RSA=0, ACK 応答)

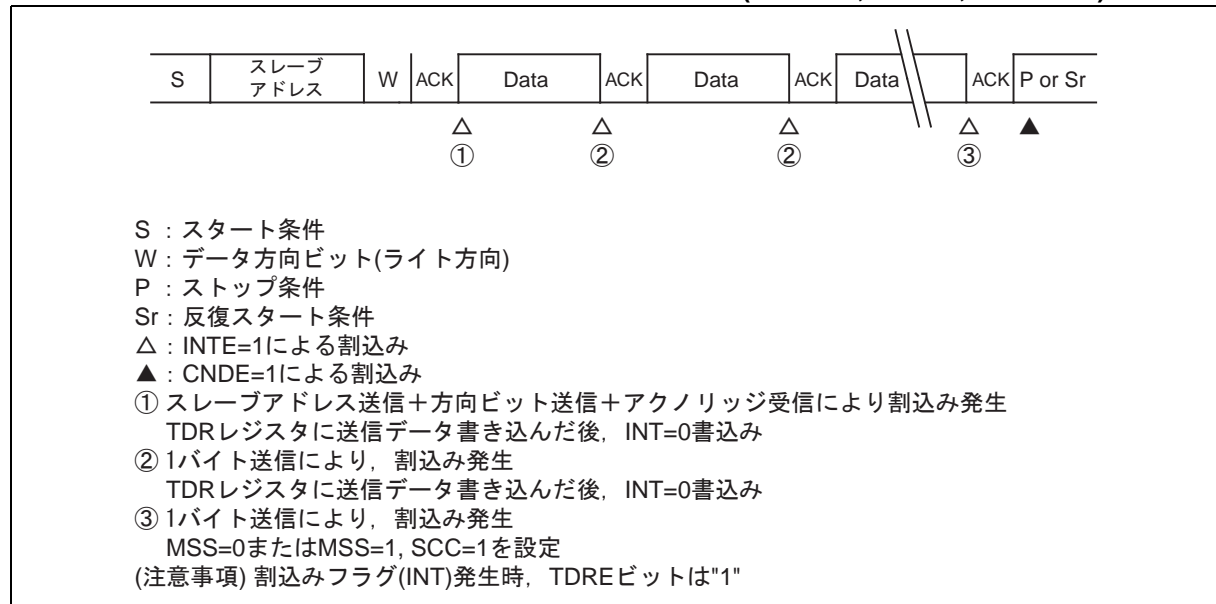


図 27.22-14 FIFO 禁止によるマスタ送信の割り込み 3(WSEL=1, RSA=0, NACK 応答)

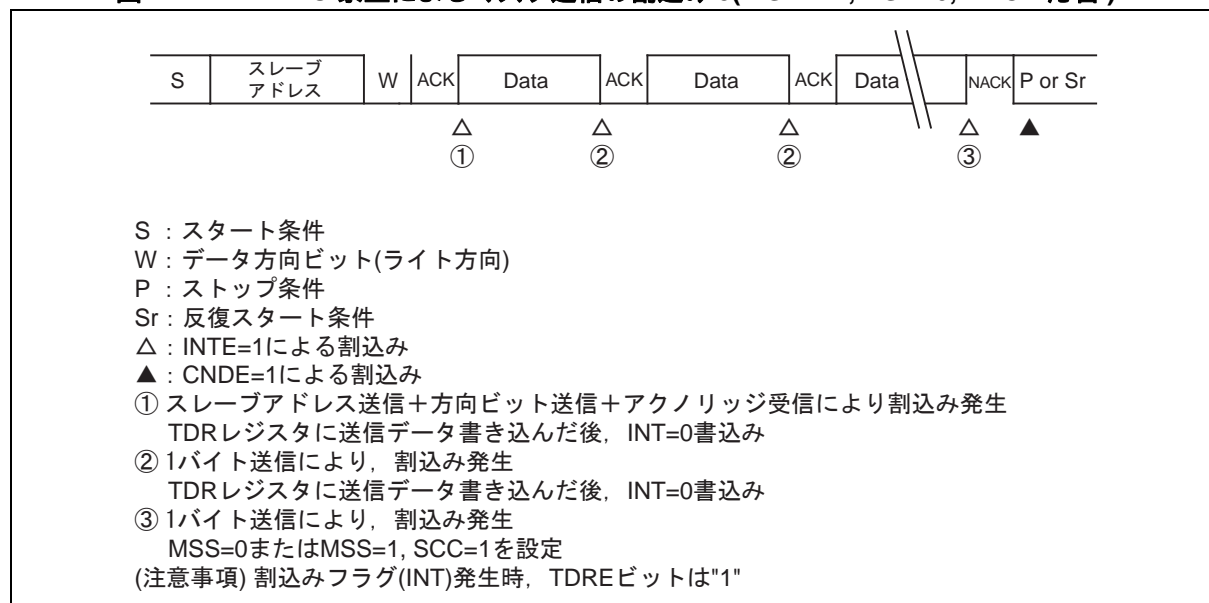


図 27.22-15 FIFO 禁止によるマスタ送信の割り込み 4(WSEL=1, RSA=0, 途中 NACK 応答)

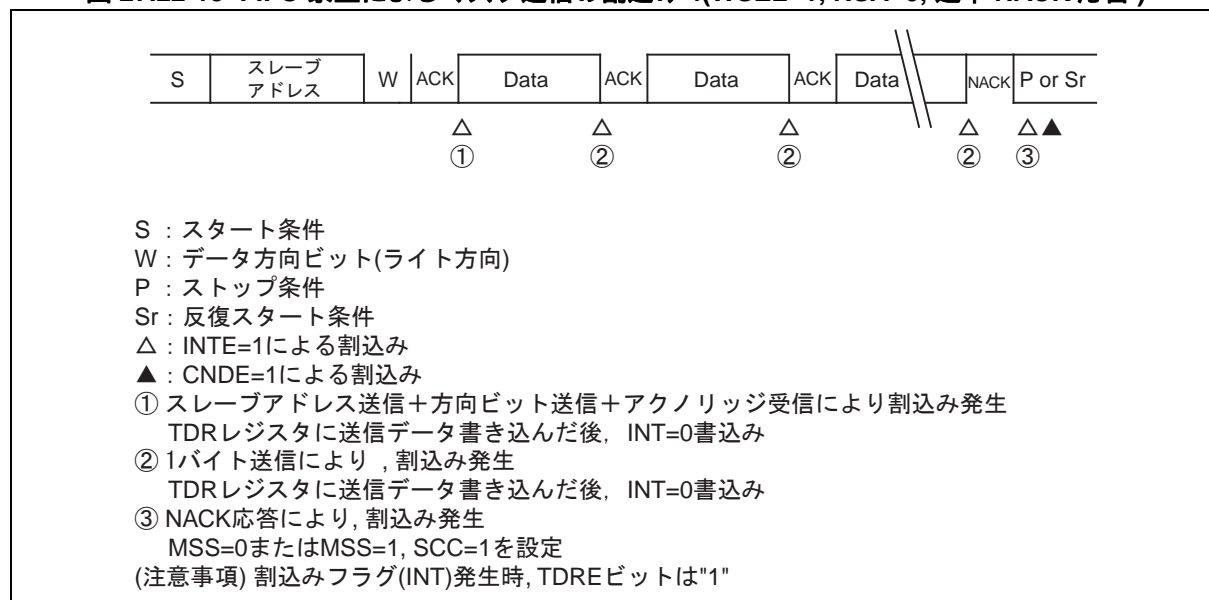


図 27.22-16 FIFO 禁止によるマスタ送信の割り込み 5(WSEL=1->0, RSA=0, ACK 応答)

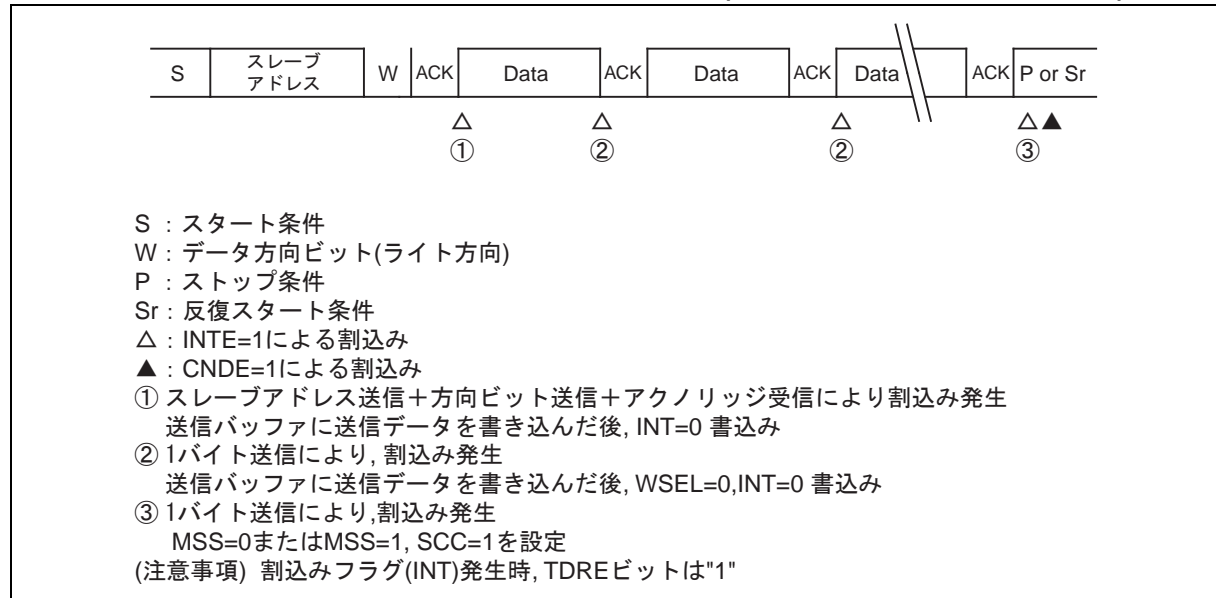


図 27.22-17 FIFO 禁止によるマスタの割り込み 6(WSEL=0, RSA=1)

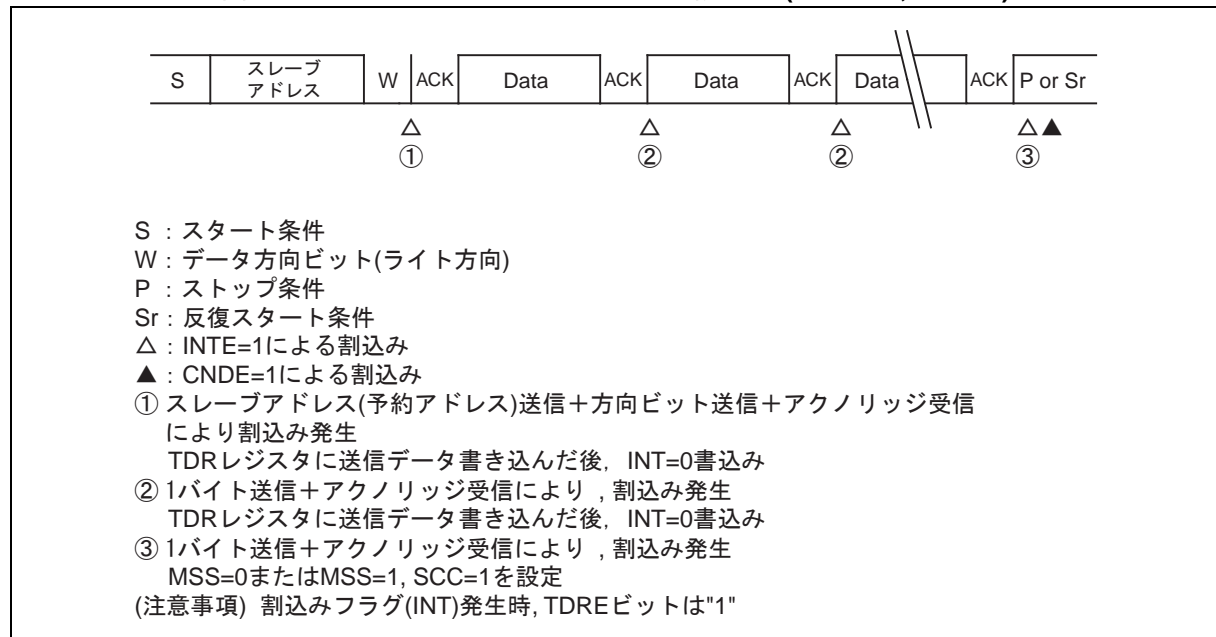


図 27.22-18 FIFO 許可によるマスタ送信の割込み 7 (WSEL=0, RSA=0, ACK 応答)

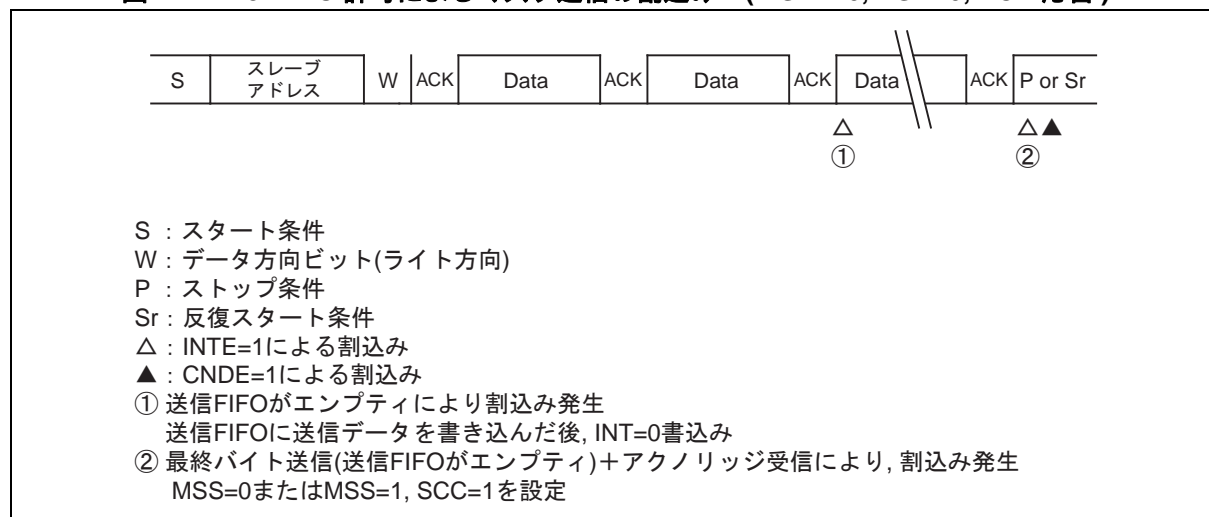


図 27.22-19 FIFO 許可によるマスタ送信の割込み 8 (WSEL=1, RSA=0)

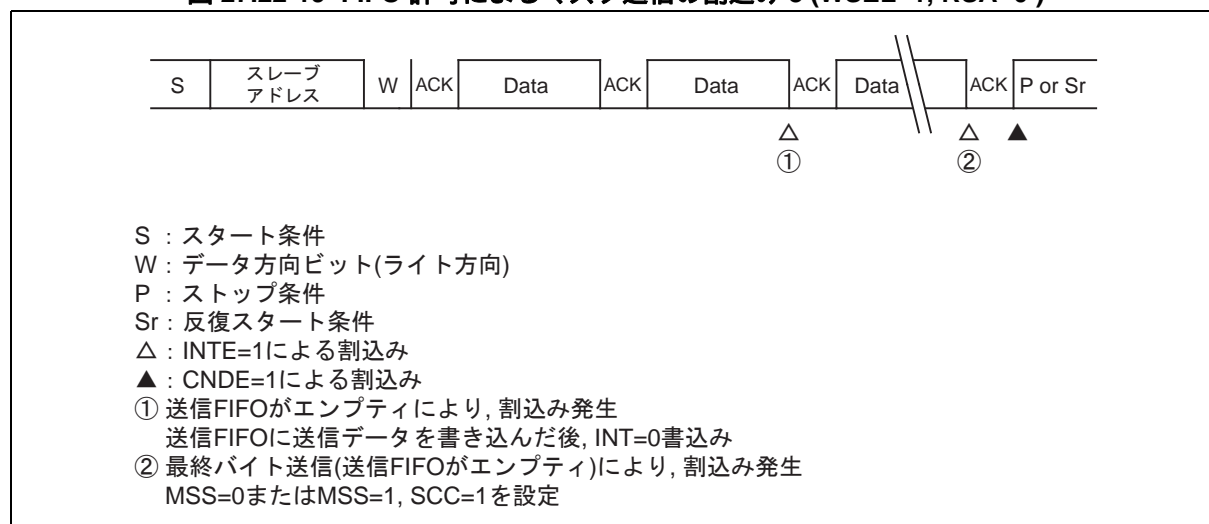
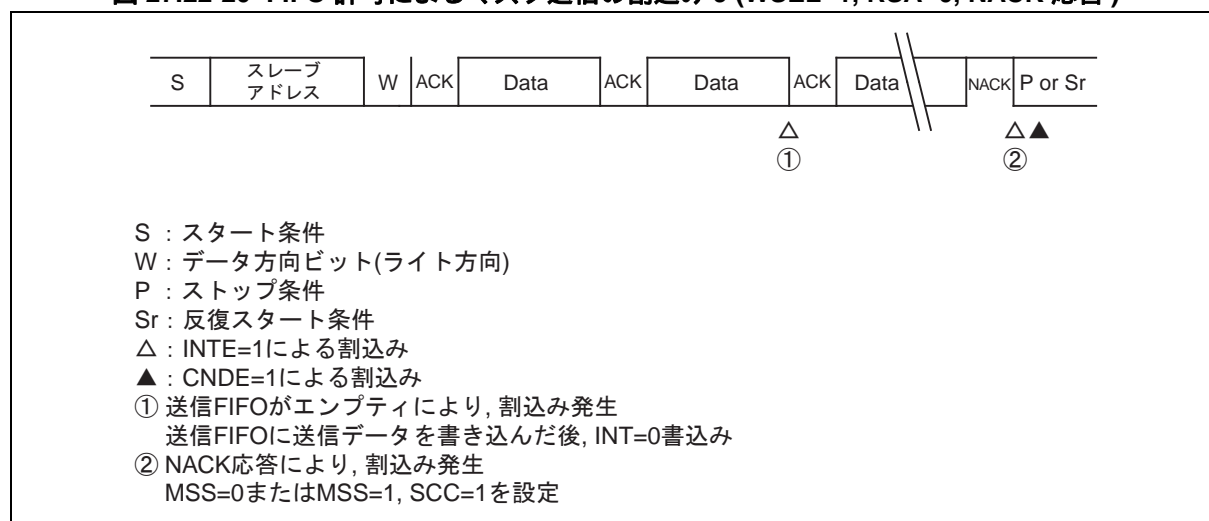


図 27.22-20 FIFO 許可によるマスタ送信の割込み 9 (WSEL=1, RSA=0, NACK 応答)



■ マスタによるデータ受信

データ方向ビット (R/W) が "1" の場合、スレーブから送信されたデータを受信します。

FIFO 禁止の場合、マスタは TDRE ビットが "1" であれば 1 バイト受信ごとにウェイトを発生 (INT=1, RDRF=1) し、WSEL ビットに従って IBCR レジスタの ACKE ビットの設定で ACK または NACK 応答します。TDRE ビットが "0" であれば、IBCR レジスタの ACKE ビットの設定で ACK 応答であればウェイトは発生せず (INT=0) に次のデータを受信し、NACK 応答であればウェイトが発生します (INT=1)。

FIFO 許可の場合、受信バイト数設定と同じバイト数分を受信すると RDRF ビットがセットされます。割込みフラグは TDRE ビットが "1" のときにセットし、 I^2C バスをウェイトします。WSEL=0 の場合、TDRE ビットが "1" になると NACK 応答して割込みフラグを "1" にします。WSEL=1 の場合、最終バイト受信後にウェイトが発生しますので、そのウェイト中に ACKE ビットを設定し、割込みフラグを "0" にクリアした後、ACKE の設定に従って ACK または NACK 応答します。NACK 出力した場合でも受信データとして受信 FIFO に格納します。

割込みによるウェイトは以下を参照してください。

表 27.22-4 マスタデータ受信時の WSEL ビット

WSEL ビット	動作
0	第二バイト以降、TDRE ビットが "1" でアクノリッジ後、割込みフラグ (INT) を "1", SCL を "L" にしてウェイト状態にします。
1	第二バイト以降、TDRE ビットが "1" でマスタが 1 バイトのデータを受信後、割込みフラグ (INT) を "1", SCL を "L" にしてウェイト状態にします。

スレーブからデータを受信する場合の手順の一例を以下に示します。

- 受信 FIFO が禁止されている場合

スレーブアドレス (データ方向ビットも含む) を TDR レジスタにセットし、MSS ビットに "1" を書きます。

スレーブアドレス送信後に ACK を受信し、割込みフラグ (INT) が "1" になります。

WSEL ビット更新とともに割込みフラグビット (INT) に "0" を書き込み、 I^2C バスのウェイトを解除します。

1 バイト受信後に WSEL=0 の場合にはアクノリッジ送信後、WSEL=1 の場合には 1 バイト受信直後、割込みフラグを "1" にして I^2C バスをウェイトします。所定のデータ数を受信するまで ~ を繰り返します。

最終データ受信後、NACK を出力し、MSS ビットに "0" または SCC ビットに "1" を設定し、ストップ条件または反復スタート条件を発生させます。

- 送受信 FIFO が許可されている場合

FBYTE レジスタに受信数を設定します。

スレーブアドレス(データ方向ビットも含む)と受信数分ダミーのデータを TDR レジスタに書きます。

MSS ビットに "1" を書きます。

TDRE ビットが "0" の間, ACK 応答し, 受信し続けます。その受信中に FBYTE に設定数分受信すると RDRF を "1" にします。RDRF が "1" になったところで RDR レジスタを読み出します。

TDRE ビットが "1" になると WSEL=0 の場合には NACK 出力後, WSEL=1 の場合には 1 バイト受信直後, 割込みフラグを "1" にして I²C バスをウェイトします。

WSEL=1 の場合, ACKE ビットを "0" に設定し, WSEL=0 の場合, ACKE ビットの設定は必要なく, MSS ビットに "0" または SCC ビットに "1" を設定し, ストップ条件または反復スタート条件を発生させます。

< 注意事項 >

- 7 ビットスレーブアドレスの検出を許可しているとき (ISBA:SAEN=1) に, マスタモード時に 7 ビットスレーブアドレスを指定することは禁止です。
- TDRE が "0" のとき, オーバランエラーが発生しても ACKE ビットの設定に従ってアクノリッジを出力し, 次の処理を行います。
- 送受信中に IBCR レジスタを変更する場合, 割込みフラグ (INT) が "1" のときに変更してください。
- マスタ受信時, TDR レジスタにダミーデータを書き込み, 割込みフラグ (INT) が "1" になるタイミングで TDRE ビットが "0" の場合, 割込みフラグ (INT) は "0" のままで次のデータを受信します。
- 受信FIFOが許可, WSEL=0のときにデータを受信する場合, 最終ビット受信後にRDRF ビットが "1" となり, ACK 送信後に割込みフラグ (INT) が "1" となります。

図 27.22-21 FIFO 禁止によるマスタ受信の割込み 1 (WSEL=0, RSA=0)



△ : INTE=1による割込み

▲ : CNDE=1による割込み

① スレーブアドレス送信+方向ビット送信+アクノリッジ受信により割込み発生
INT=0 書込みにより割込みが"0"にクリア

② 1バイト受信+アクノリッジ送信により割込み発生
受信データを読み出した後, ACKE=0に設定し, INT=0書込み

③ 1バイト受信+アクノリッジ送信したことにより割込み発生
MSS=0またはMSS=1, SCC=1を設定

(注意事項) 割込みフラグ(INT)発生時, TDREビットは"1"

図 27.22-22 FIFO 禁止によるマスタ受信の割り込み 2 (WSEL=1, RSA=0)

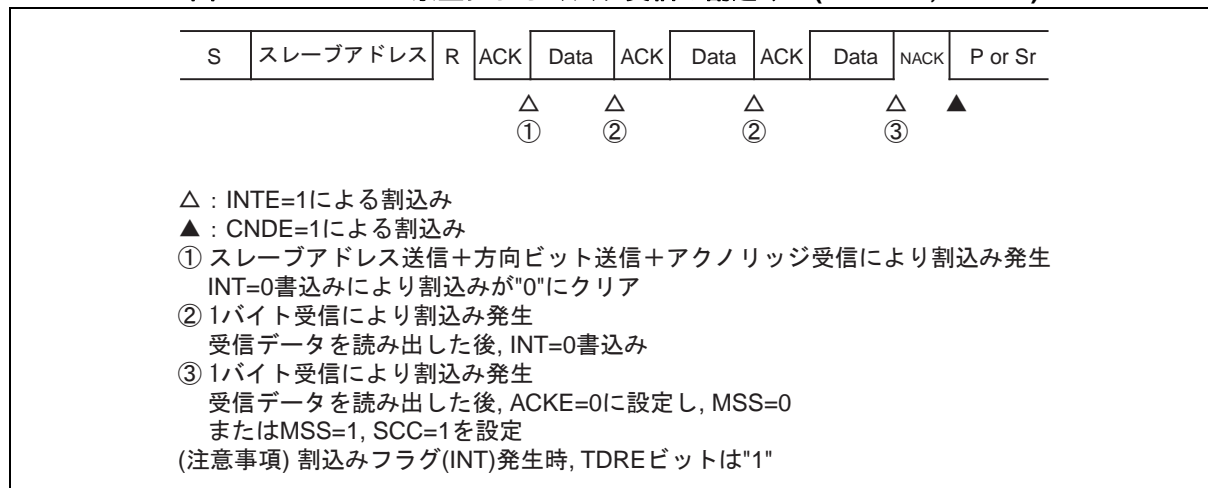


図 27.22-23 FIFO 許可によるマスタ受信の割り込み 3 (WSEL=0, ACKE=0, RSA=0)

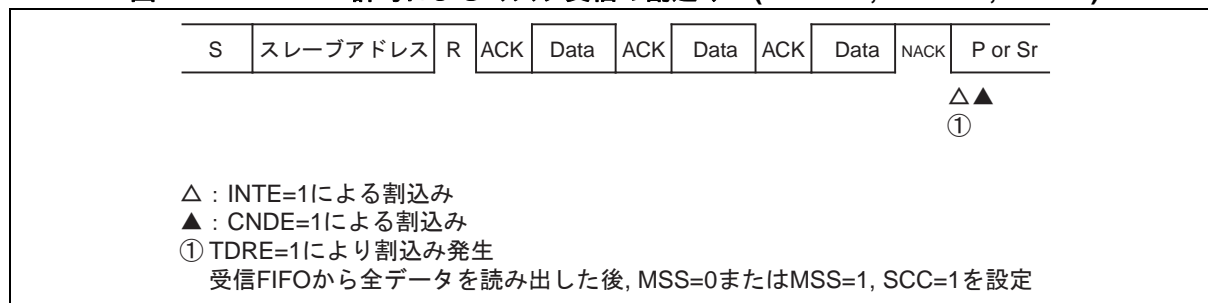
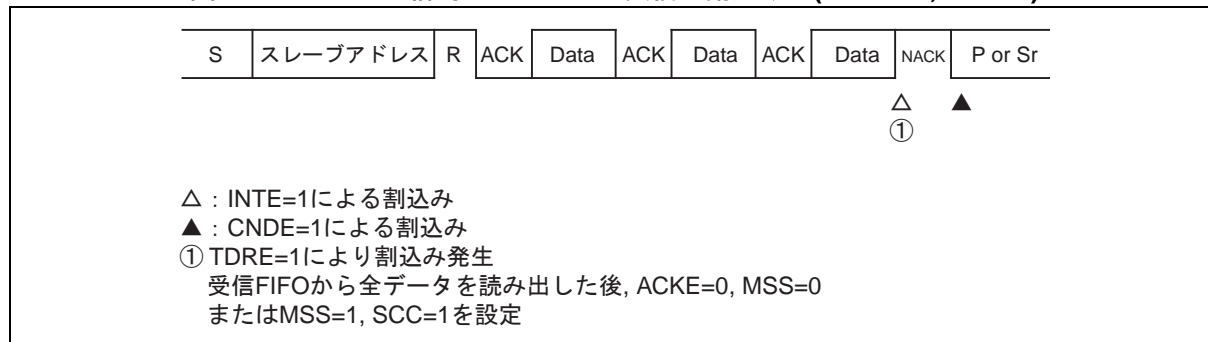


図 27.22-24 FIFO 許可によるマスタ受信の割り込み 4 (WSEL=1, RSA=0)



■ アービトレーションロスト

マスタのデータがほかのマスタからのデータと衝突し, 送信したデータと異なるデータを受信した場合, アービトレーションロストと判断して MSS ビットを "0", AL ビットを "1" にしてスレーブモードとして動作可能となります。

AL ビットは, 以下の条件で "0" にクリアすることができます。

- MSS ビットへの "1" 書込み
- INT ビットへの "0" 書込み
- AL ビット=1, SPC ビット=1 のときに SPC ビットへの "0" 書込み
- I²C インタフェースの禁止 (EN ビット=0)

アービトレーションロストが発生すると WSEL の設定に従って割り込みフラグ (INT) を "1" にし, I²C バスの SCL を "L" にします。

■ マスタモードのウェイト

BB ビットが "1" のときに MSS ビットに "1" を設定するとスレーブモードとして動作していなければ BB ビットが "1" の間、マスタモードをウェイトし、BB ビットが "0" になってからスタート条件を送信します。マスタモードがウェイト中かどうかは MSS ビットと ACT ビットで判断できます (MSS=1, ACT=0 であればウェイト状態)。MSS ビットに "1" を設定後、スレーブモードとして動作する場合、AL ビットを "1", MSS ビットを "0", ACT ビットを "1" にします。

27.22.3 スレーブモード

スレーブモードは (反復) スタート条件を検出し , ISBA レジスタと ISMK レジスタとの組合せと受信したアドレスが一致すると ACK 応答し , スレーブモードとして動作します。

■ スレーブアドレス一致検出

(反復) スタート条件を検出すると次のデータの 7 ビットをアドレスとして受信します。 ISMK レジスタで "1" がセットされているビットについて ISBA レジスタと受信アドレスの各ビットを比較し , 一致した場合に ACK を出力します。

表 27.22-5 スレーブアドレスに対するアクノリッジ出力直後の動作

送信 FIFO	受信 FIFO	送信 FIFO 状態	受信 FIFO 状態	データ 方向ビット (R/W)	アクノリッジ直後の動作	
					アクノリッジが ACK	アクノリッジ が NACK
禁止	禁止	-	-	0	TDRE ビットが "1" の場合 , INT ビットを "1" にしてウェイト。 TDRE ビットが "0" の場合 , INT ビットは "0" のままでウェイトなし	INT ビットは "0" のままでウェイトなし
				1		
禁止	許可	-	データなし	0	INT ビットは "0" のままでウェイトなし	INT ビットは "0" のままでウェイトなし
			データあり		INT ビットを "1" にしてウェイト	
			-	1	TDRE ビットが "1" の場合 , INT ビットを "1" にしてウェイト。 TDRE ビットが "0" の場合 , INT ビットは "0" のままでウェイトなし	
許可	禁止	-	-	0	TDRE ビットが "1" の場合 , INT ビットを "1" にしてウェイト。 TDRE ビットが "0" の場合 , INT ビットは "0" のままでウェイトなし	INT ビットは "0" のままでウェイトなし
				1		
許可	許可	-	データなし	0	INT ビットは "0" のままでウェイトなし	INT ビットは "0" のままでウェイトなし
			データあり		INT ビットを "1" にしてウェイト	
			-	1	TDRE ビットが "1" の場合 , INT ビットを "1" にしてウェイト。 TDRE ビットが "0" の場合 , INT ビットは "0" のままでウェイトなし	

- 予約アドレス検出

一バイト目で予約アドレス ("0000XXXX_B" または "1111XXXX_B") と一致した場合、送受信 FIFO の許可に依存せずに 8 ビット目のデータ受信後、INT ビットを "1" にして I²C バスをウェイトします。このとき受信データを読み出し、スレーブとして動作させたい場合には ACKE を "1" にセットして INT ビットをクリアします。その後、スレーブとして動作します。ACKE を "0" にした場合には、アクノリッジ出力後、スレーブとして動作を行いません。

■ データ方向ビット

アドレス受信後、データの送受信を決めるデータ方向ビットを受信します。このビットが "0" のときにマスタからの送信を示し、スレーブとしてはデータを受信します。

■ スレーブによる受信

スレーブアドレスが一致しデータ方向ビットが "0" のとき、スレーブモードによる受信を示します。スレーブモードによる受信の手順の一例は以下のようになります。

- 受信 FIFO が禁止されている場合

ACK 送信後、割込みフラグ (INT) を "1" にして I²C バスをウェイトします。MSS ビット、ACT ビットと FBT ビットでスレーブアドレス一致による割込みと判断し、ACKE ビットに "1"、割込みフラグ (INT) に "0" を書いて I²C バスのウェイトを解除します (表 27.22-5 を参照)。

1 バイトのデータを受信後、WSEL の設定に従って割込みフラグ (INT) を "1" にして I²C バスをウェイトします。

RDR レジスタから受信したデータを読み出し、ACKE ビットを設定後、割込みフラグ (INT) に "0" を書いて I²C バスのウェイトを解除します。

ストップ条件または反復スタート条件を検出するまで、を繰り返します。

- 受信 FIFO が許可されている場合

NACK の検出または 受信 FIFO がフルになると割込みフラグ (INT) は "1" になり、I²C バスをウェイトします。ストップ条件、反復スタート条件を検出した場合、SPC ビット、RSC ビットを "1" にして割込みフラグ (INT) は "1" になりません (I²C バスのウェイトなし)。受信 FIFO は FBYTE レジスタの設定値と受信したデータ数が一致すると RDRF ビットを "1" にします。そのとき、RIE ビットが "1" になっていると受信割込みが発生します。

割込みフラグ (INT) が "1" になった場合、RDR レジスタから受信したデータを読み出し、すべてのデータを読み出した後に、割込みフラグに "0" を書いて I²C バスのウェイトを解除します。ストップ条件または反復スタート条件を検出した場合、受信したデータを RDR レジスタからすべて読み出し、SPC ビットまたは RSC ビットを "0" にクリアします。

図 27.22-25 FIFO 禁止によるスレーブ受信の割り込み 1(WSEL=0, RSA=0)

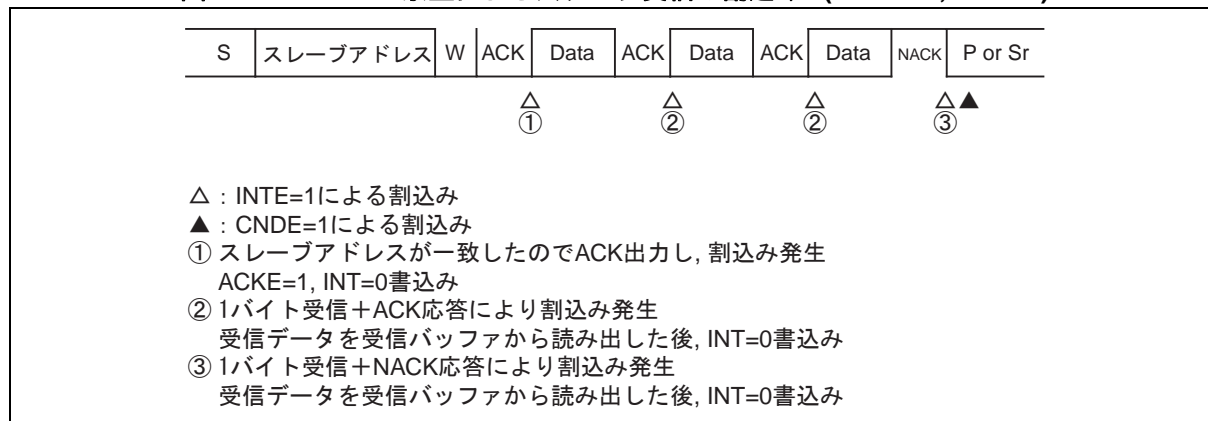


図 27.22-26 FIFO 禁止によるスレーブ受信の割り込み 2(WSEL=1, RSA=0)

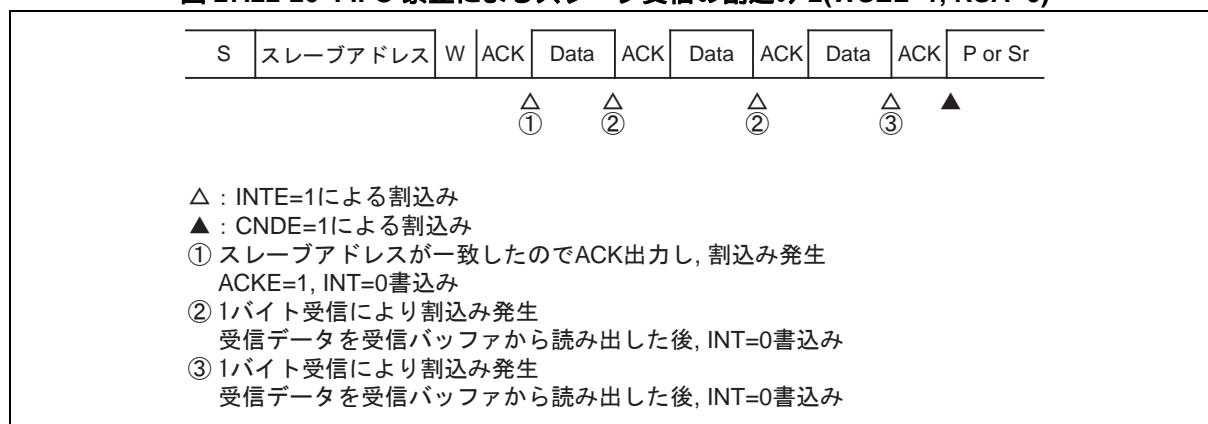


図 27.22-27 FIFO 禁止によるスレーブ受信の割り込み 3(WSEL=1, RSA=0)

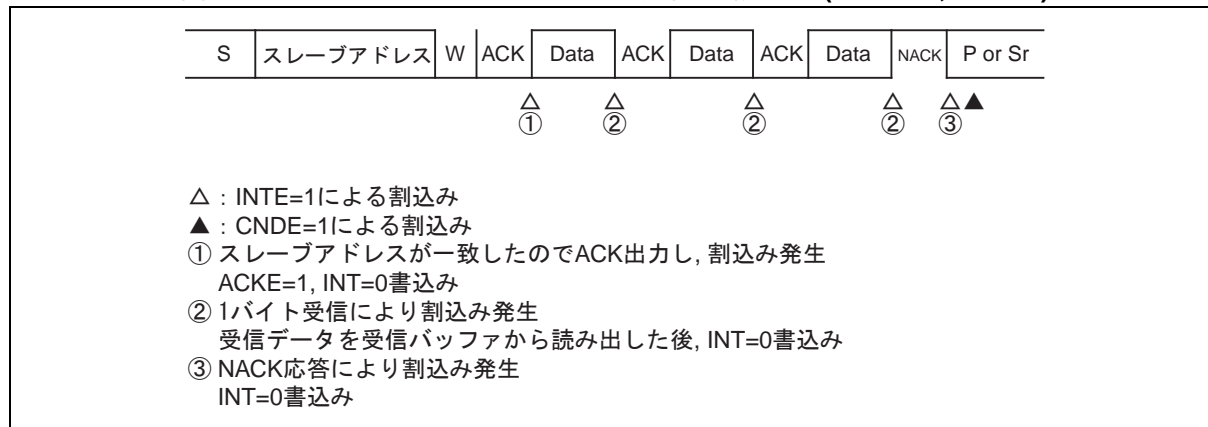


図 27.22-28 受信 FIFO 許可によるスレーブ受信の割り込み 4 (RSA=0)

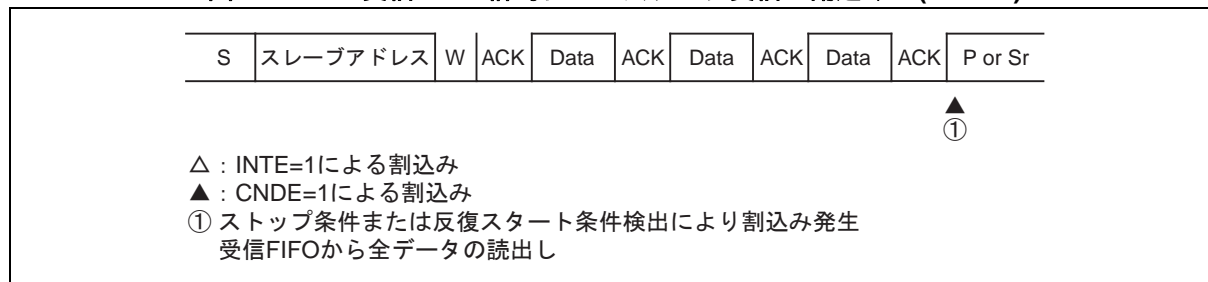


図 27.22-29 受信 FIFO 許可によるスレーブ受信の割込み 5 (RSA=0)

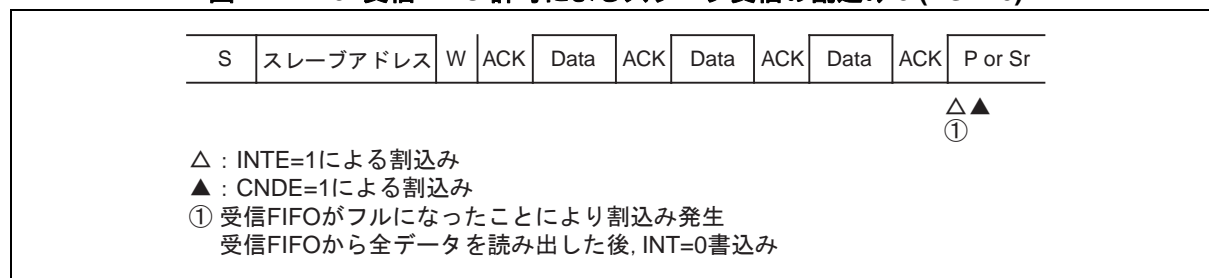
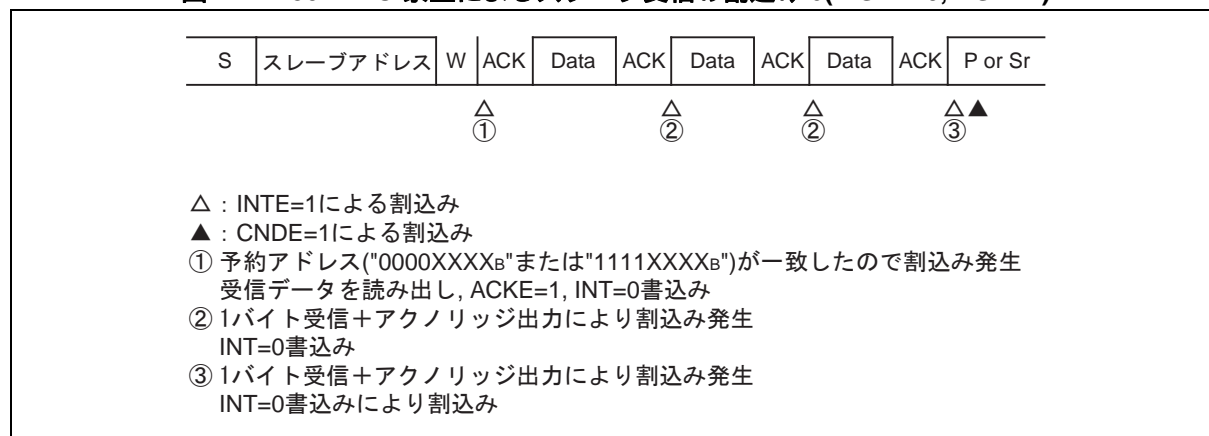


図 27.22-30 FIFO 禁止によるスレーブ受信の割込み 6 (WSEL=0, RSA=1)



■ スレーブによる送信

スレーブアドレスが一致してデータ方向ビットが"1"のとき, スレーブによる送信を示します。FIFO 禁止の場合, WSEL の設定により, 1 バイト送信後またはアクノリッジ応答後に割込みフラグ (INT) を "1" にしてウェイトを発生します (表 27.22-5 を参照)。

RACK ビットによってマスタから出力されたアクノリッジを確認することができ, マスタから NACK 応答時, マスタが正しく受信できなかったか, データ受信の終了を示します。WSEL=1 のときに NACK を検出した場合, 割込みが発生してウェイトします。

27.22.4 バスエラー

I²C バス上でデータの送受信中にストップ条件, (反復) スタート条件を検出するとバスエラーとして取り扱います。

■ バスエラー発生条件

バスエラーは以下の条件で BER ビットを "1" にします。

- 第一バイト転送中に (反復) スタート条件またはストップ条件を検出
- データの 2 ビット ~ 9 (アクノリッジ) ビット目で (反復) スタート条件またはストップ条件を検出

■ バスエラー動作

送受信による割込みフラグ (INT) が "1" になったときに BER ビットを確認し, BER ビットが "1" の場合はエラー処理を行ってください。BER ビットは INT ビットに "0" を書くことによってクリアされます。

バスエラーによって INT ビットは "1" にセットされますが, I²C バスの SCL を "L" にしてウェイト状態にはなりません。

27.23 専用ボーレートジェネレータ

専用ボーレートジェネレータは、シリアルクロックの周波数の設定を行います。

■ ボーレート選択

- 専用ボーレートジェネレータ (リロードカウンタ) で内部クロックを分周して得られるボーレート

2つの内部リロードカウンタがあり、それぞれ送受信シリアルクロックに対応しています。ボーレートジェネレータレジスタ 1,0 (BGR1, BGR0) で 15 ビットのリロード値を設定することにより、ボーレートを選択できます。

リロードカウンタは、設定された値で内部クロックを分周します。

■ ボーレートの計算

2 つの 15 ビットリロードカウンタは、ボーレートジェネレータレジスタ 1,0 (BGR1, BGR0) で設定します。

ボーレートの計算式を以下に示します。

(1) リロード値：

$$V = \phi / b - 1$$

V：リロード値 b：ボーレート ϕ ：周辺クロック (PCLK) 周波数

ただし、I²C バスの SCL の立上り時間によっては設定したボーレートが発生しませんのでリロード値を調整してください。

(2) 計算例：

周辺クロック (PCLK) 16MHz, ボーレート 400kbps に設定する場合のリロード値は、次のようになります。

リロード値：

$$V = (16 \times 1000000) / 400000 - 1 = 39$$

よって、ボーレートは、

$$b = (16 \times 1000000) / (39 + 1) = 400 \text{ kbps}$$

< 注意事項 >

- ボーレートジェネレータレジスタ 1,0 (BGR1, BGR0) への書込みは、16 ビットアクセスで行ってください。
- ISMK レジスタの EN ビットが "0" のときにボーレートジェネレータレジスタの設定を行ってください。
- 動作モード 4 (I²C モード) では周辺クロック (PCLK) は 8 MHz 以上で使用し、400kbps を超えるボーレートジェネレータの設定は禁止です。
- リロード値を "0" に設定するとリロードカウンタは停止します。

■ 各周辺クロック (PCLK) 周波数に対するリロード値とボーレート

表 27.23-1 リロード値とボーレート

ボーレート [bps]	8 MHz	10 MHz	16 MHz	20 MHz	24 MHz	32MHz
	リロード値	リロード値	リロード値	リロード値	リロード値	リロード値
400000	19	24	39	49	59	79
200000	39	49	79	99	119	159
100000	79	99	159	199	239	319

本数値は I²C バスの SCL 立上りが "0" の場合です。I²C バスの SCL 立上りが遅い場合には上記の数値より遅いボーレートになります。

■ リロードカウンタの機能

リロード値に対する 15 ビットレジスタから構成されており、内部クロックより送受信クロックを生成します。また、送信リロードカウンタのカウント値をボーレートジェネレータレジスタ 1, 0 (BGR1, BGR0) より読み出すことができます。

■ カウントの開始

ボーレートジェネレータレジスタ 1, 0 (BGR1, BGR0) にリロード値を書き込むと、リロードカウンタはカウントを開始します。

27.23.1 I²C のフローチャート例

I²C の通信フローチャート例を示します。

■ I²C マスタ受信 / スレーブ送信 FIFO 通信フロー

図 27.23-1 マスタ受信メイン設定

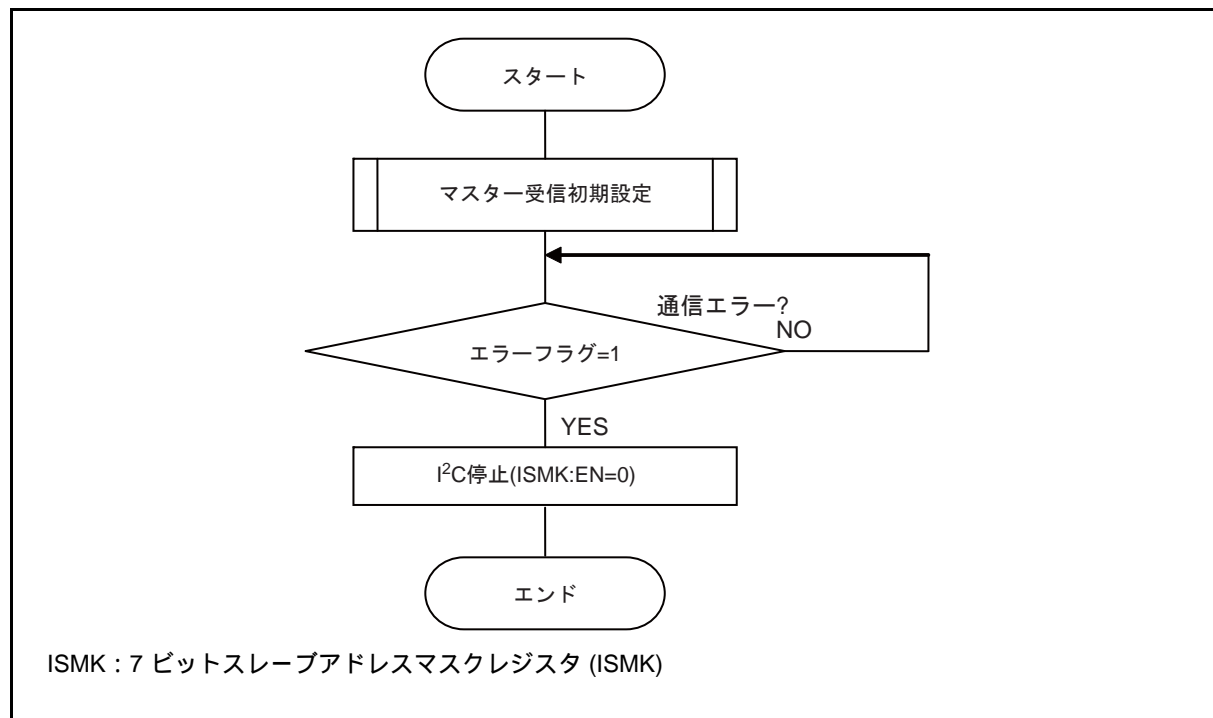


図 27.23-2 マスタ受信初期設定

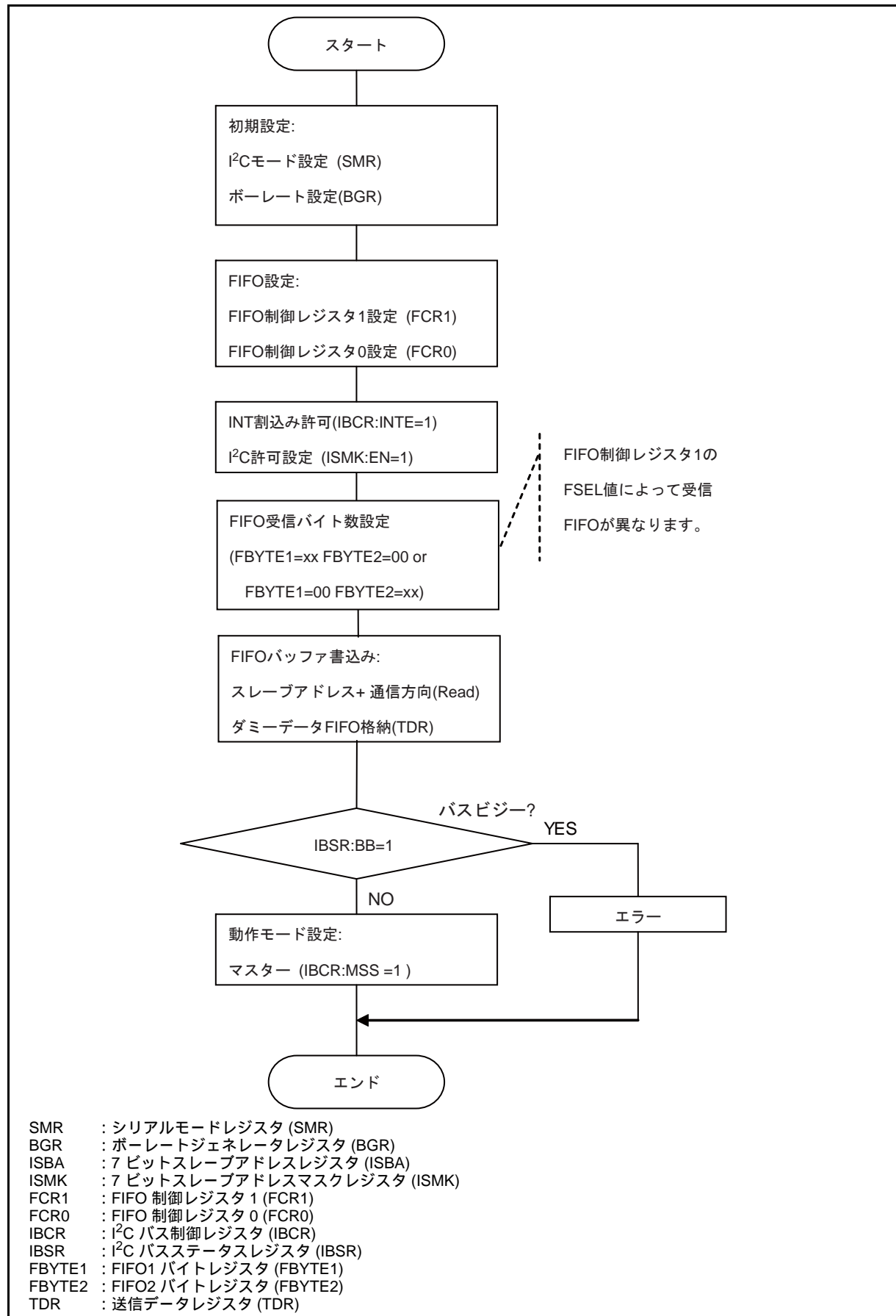
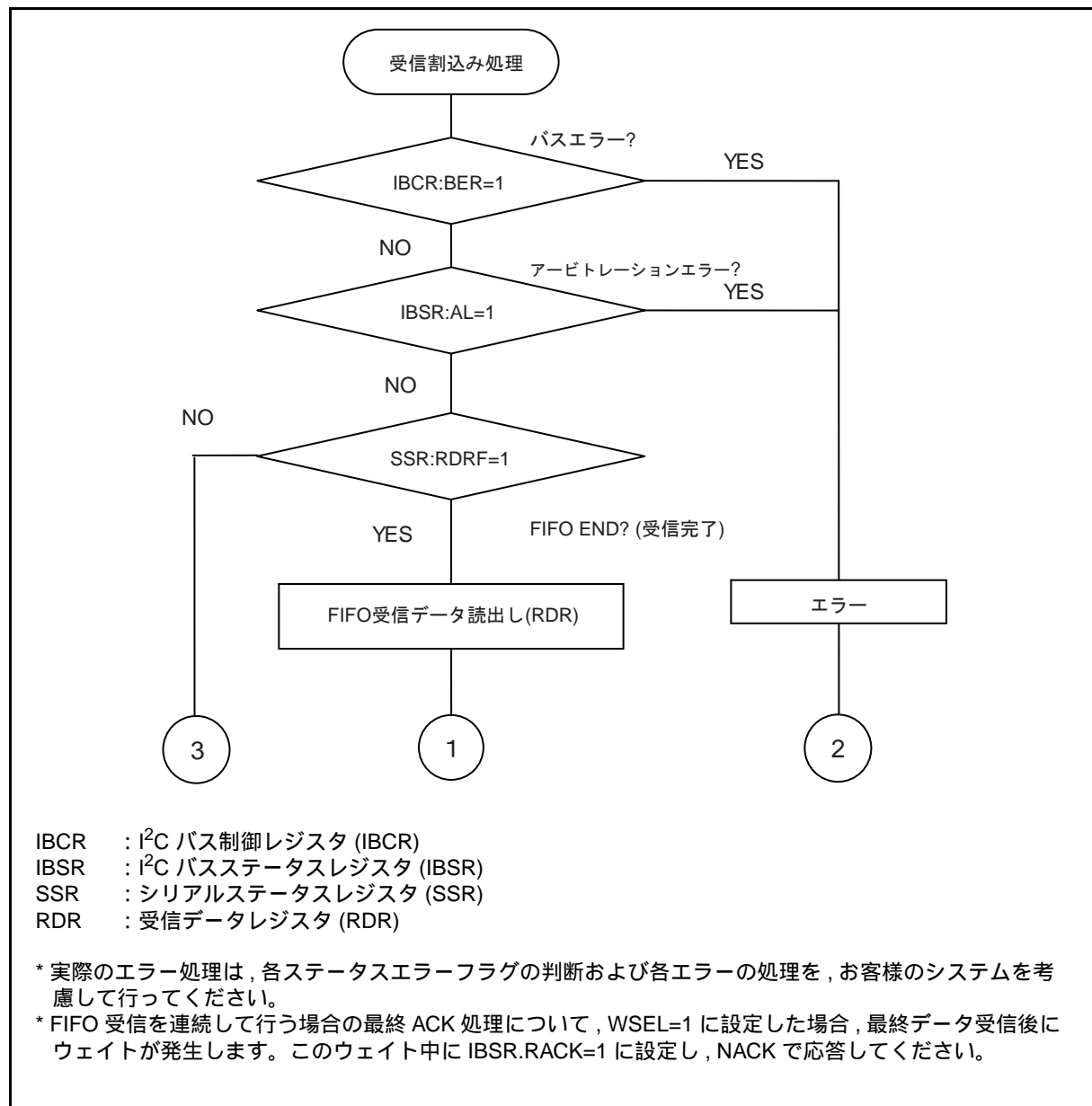


図 27.23-3 マスタ受信割込み処理



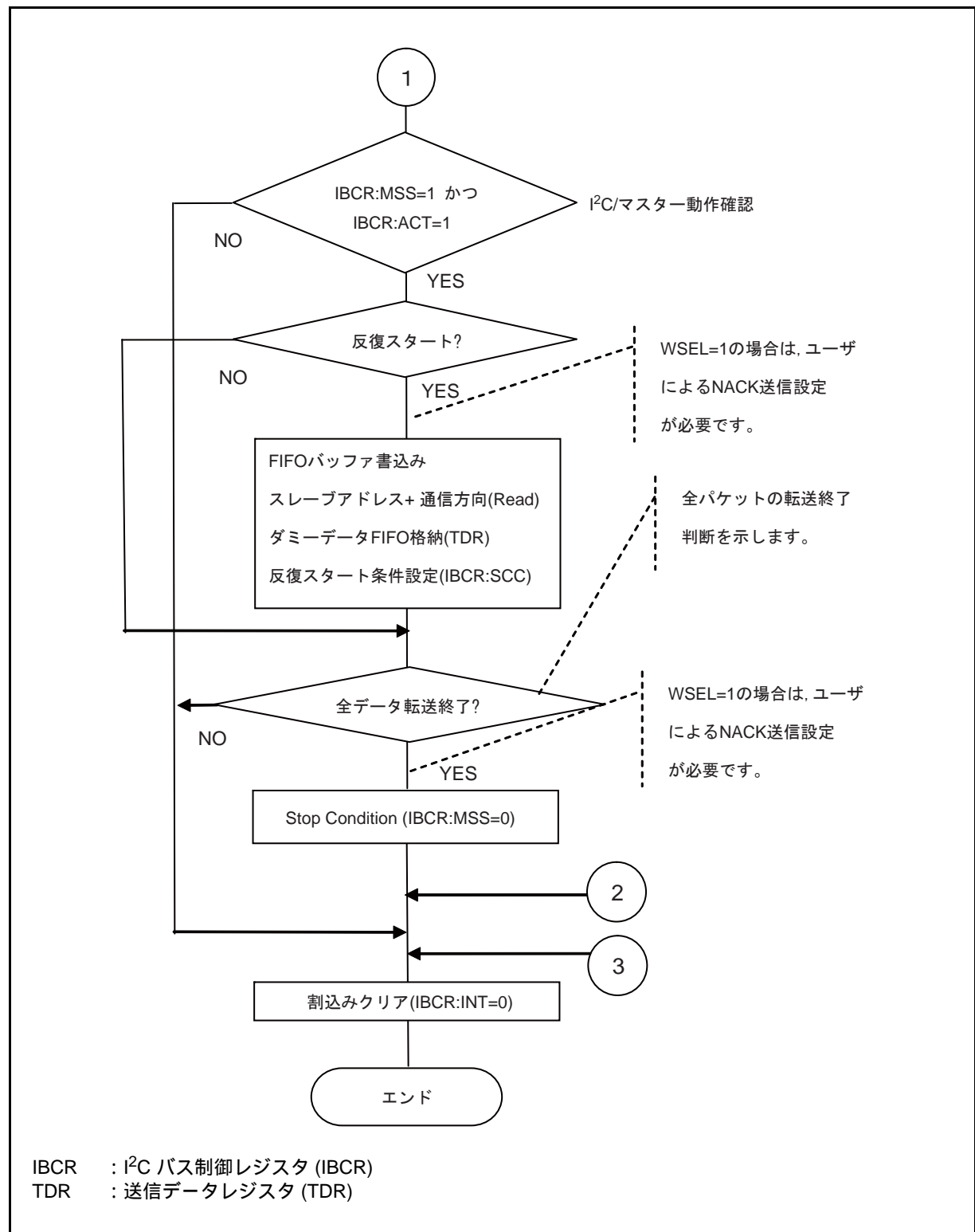


図 27.23-4 スレーブ送信メイン設定

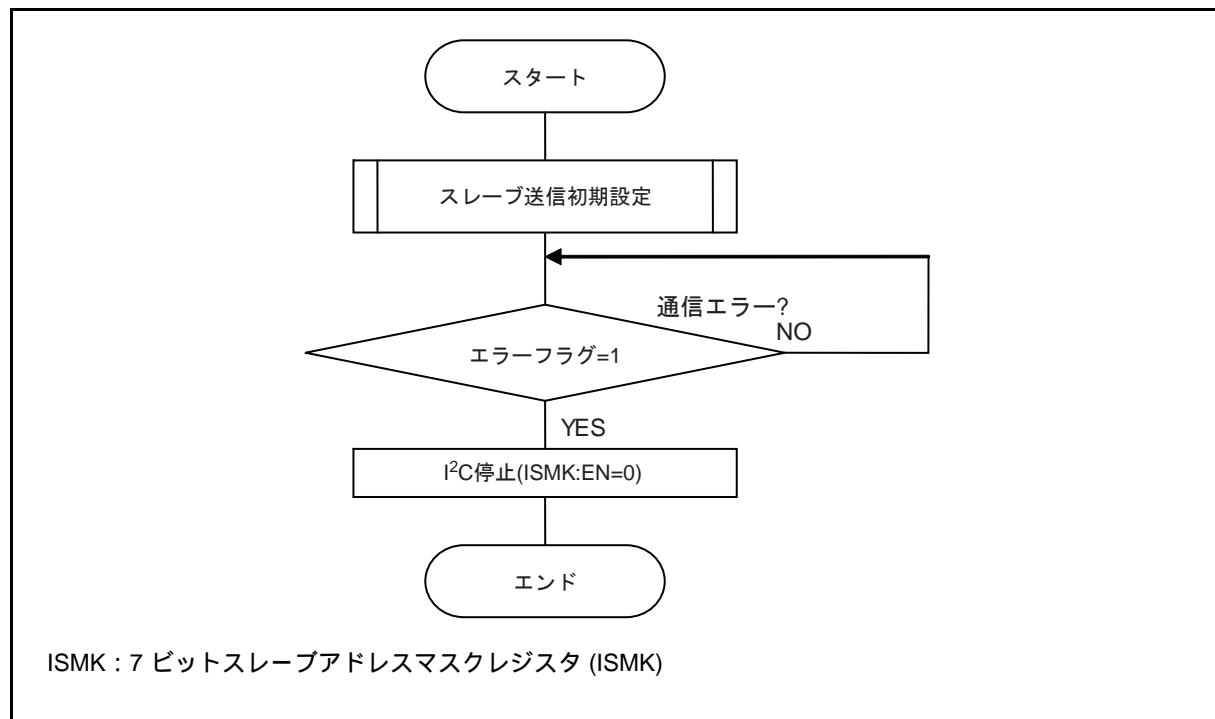


図 27.23-5 スレーブ送信初期設定

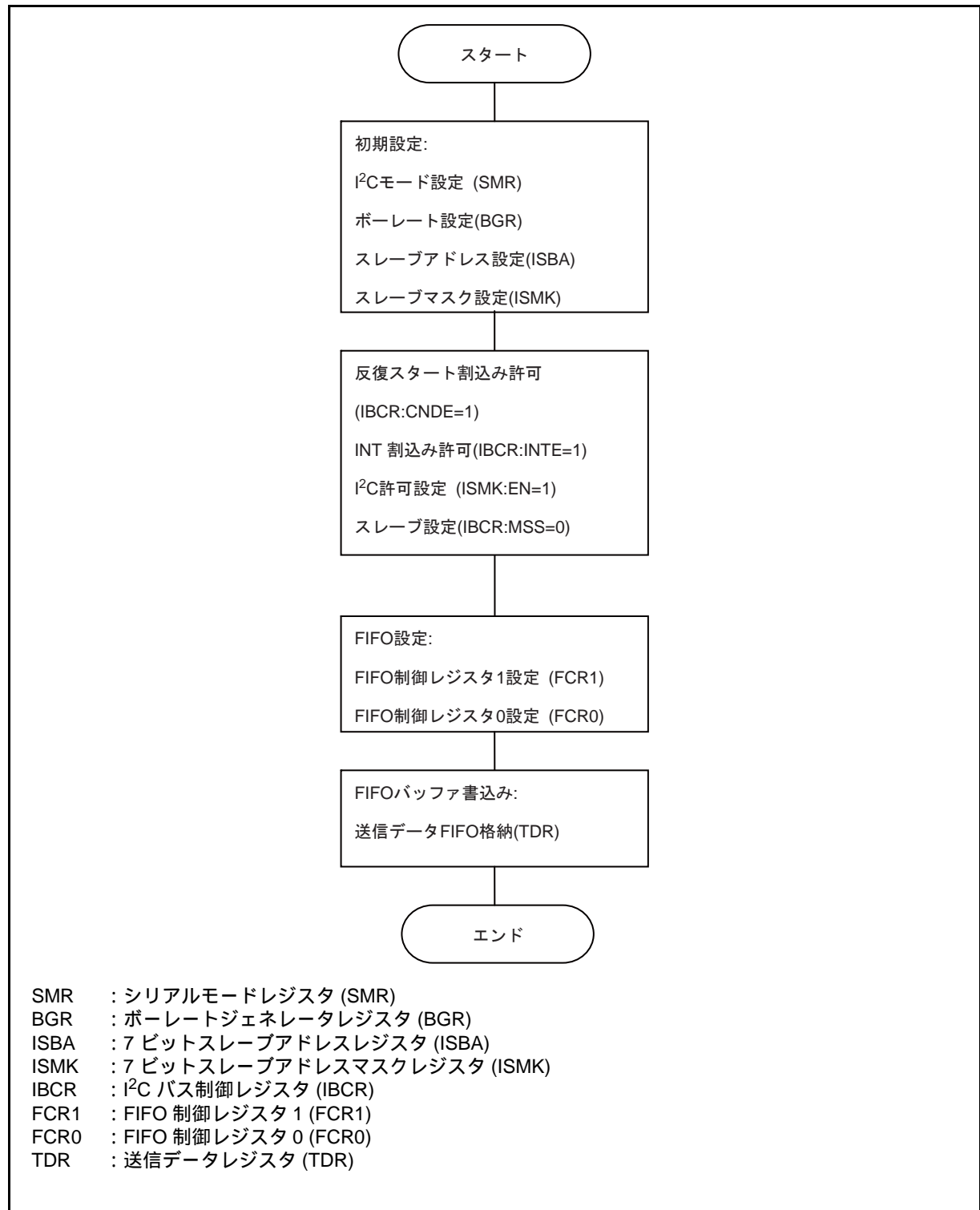
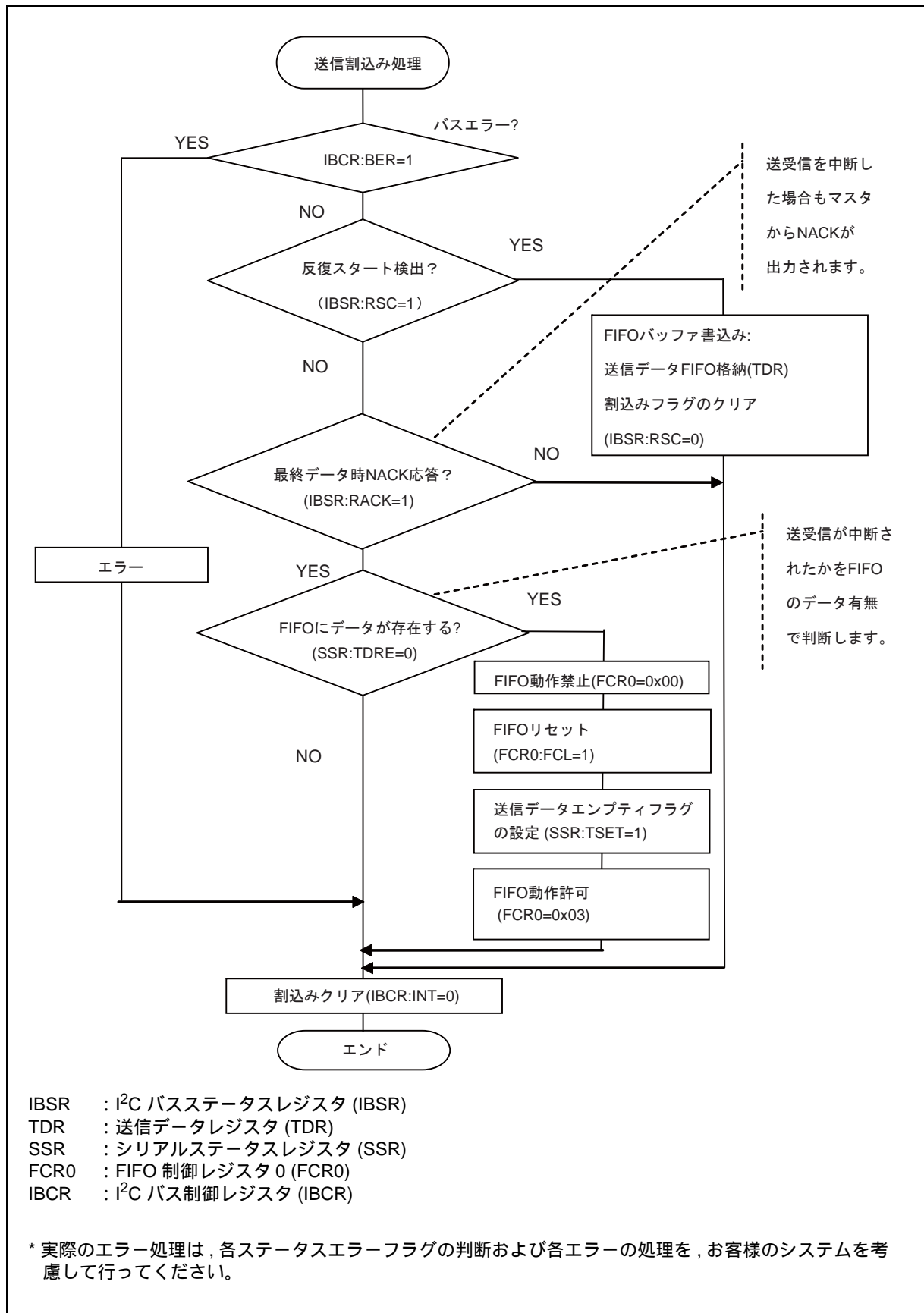


図 27.23-6 スレーブ送信割込み処理



■ I²C マスタ送信 / スレーブ受信 FIFO 通信フロー

図 27.23-7 マスタ送信メイン設定

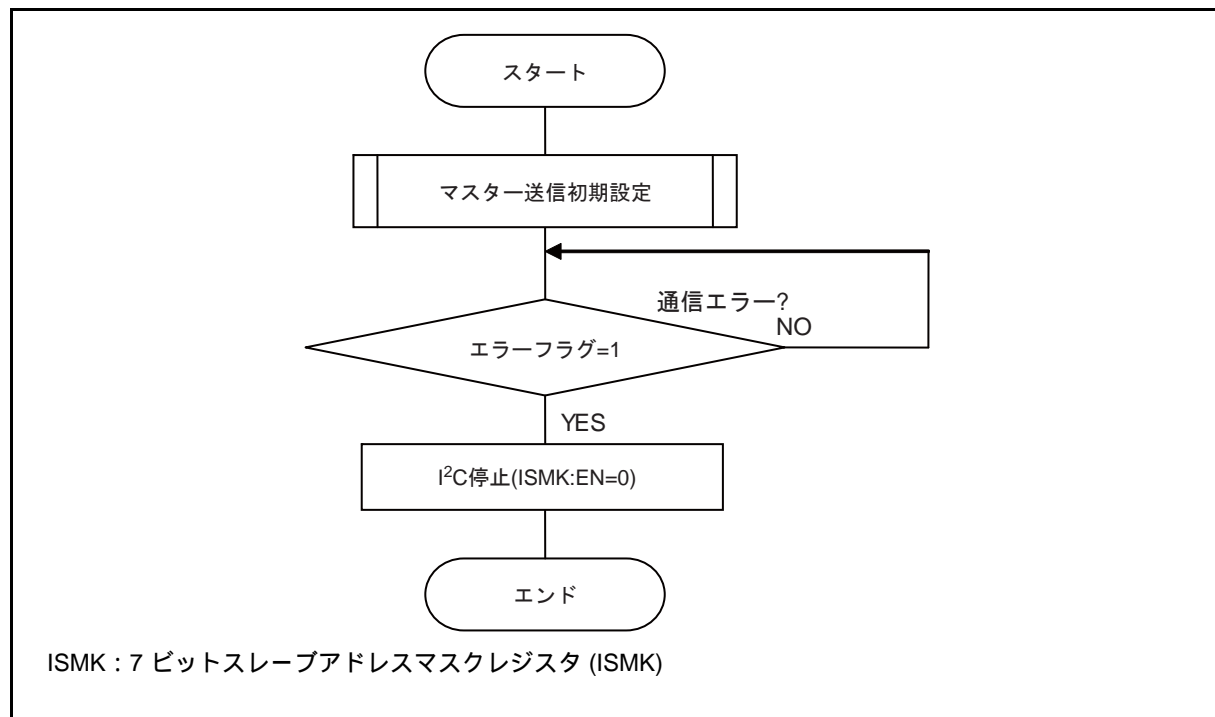


図 27.23-8 マスタ送信初期設定

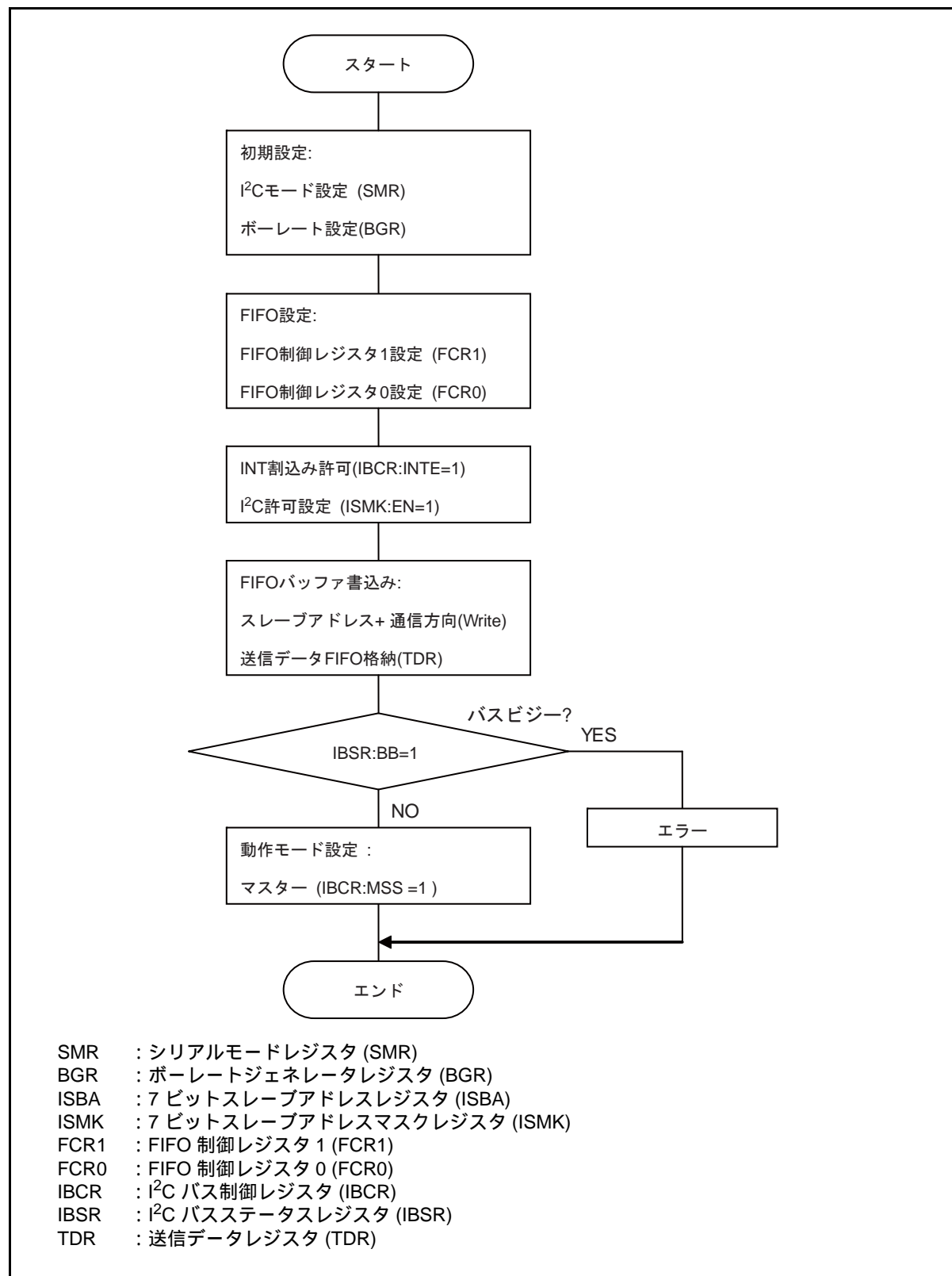
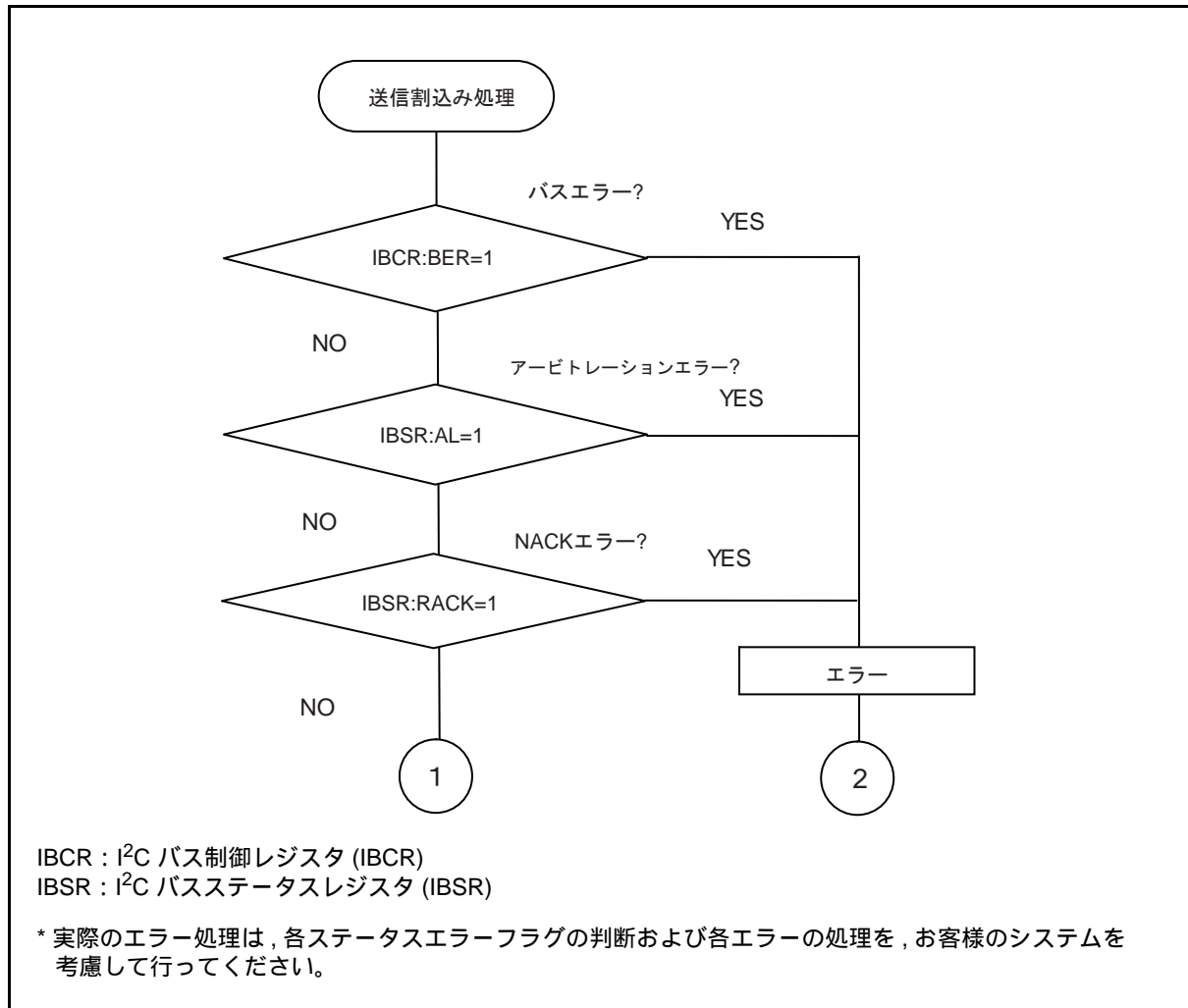


図 27.23-9 マスタ送信割込み処理



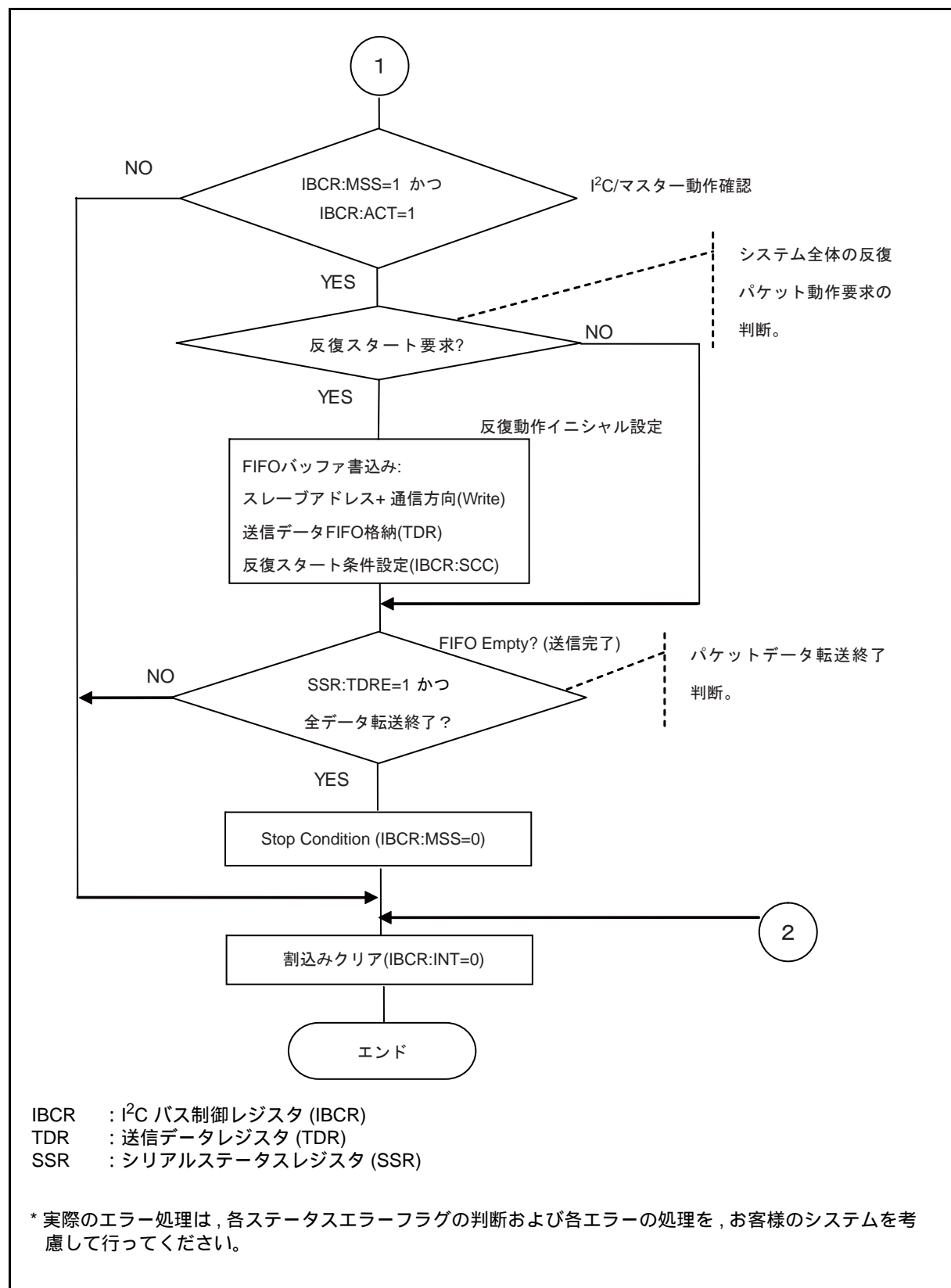


図 27.23-10 スレーブ受信メイン設定

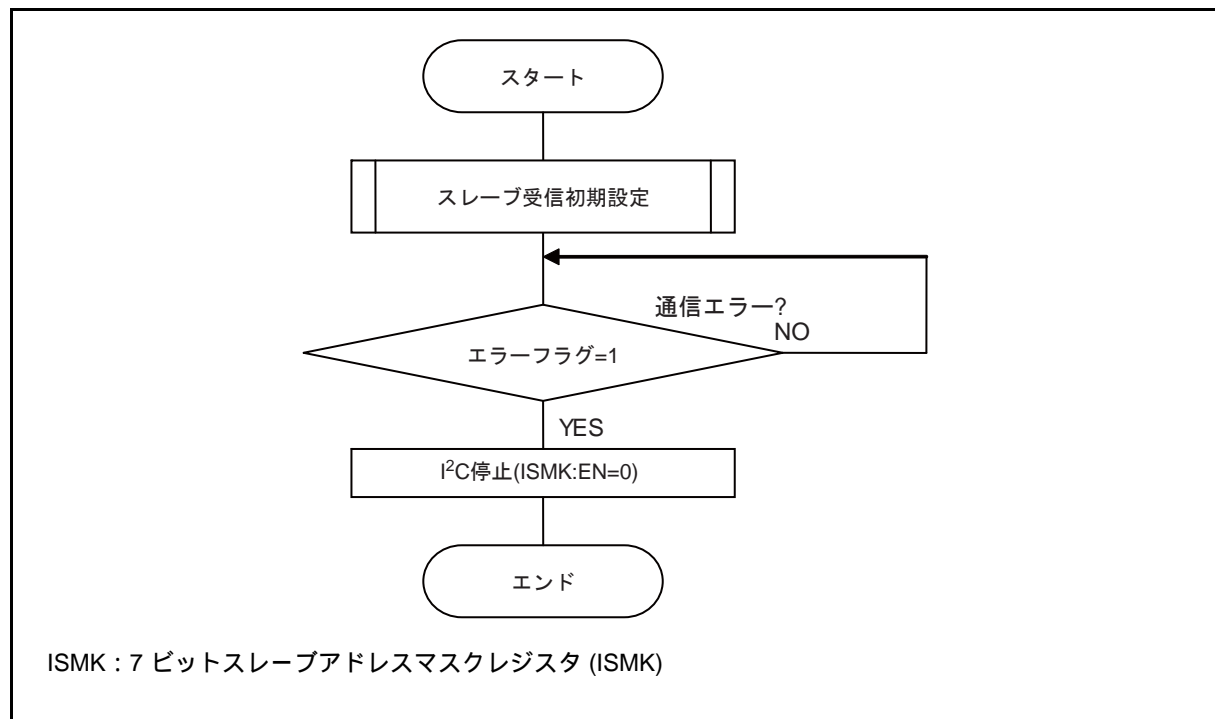


図 27.23-11 スレーブ受信初期設定

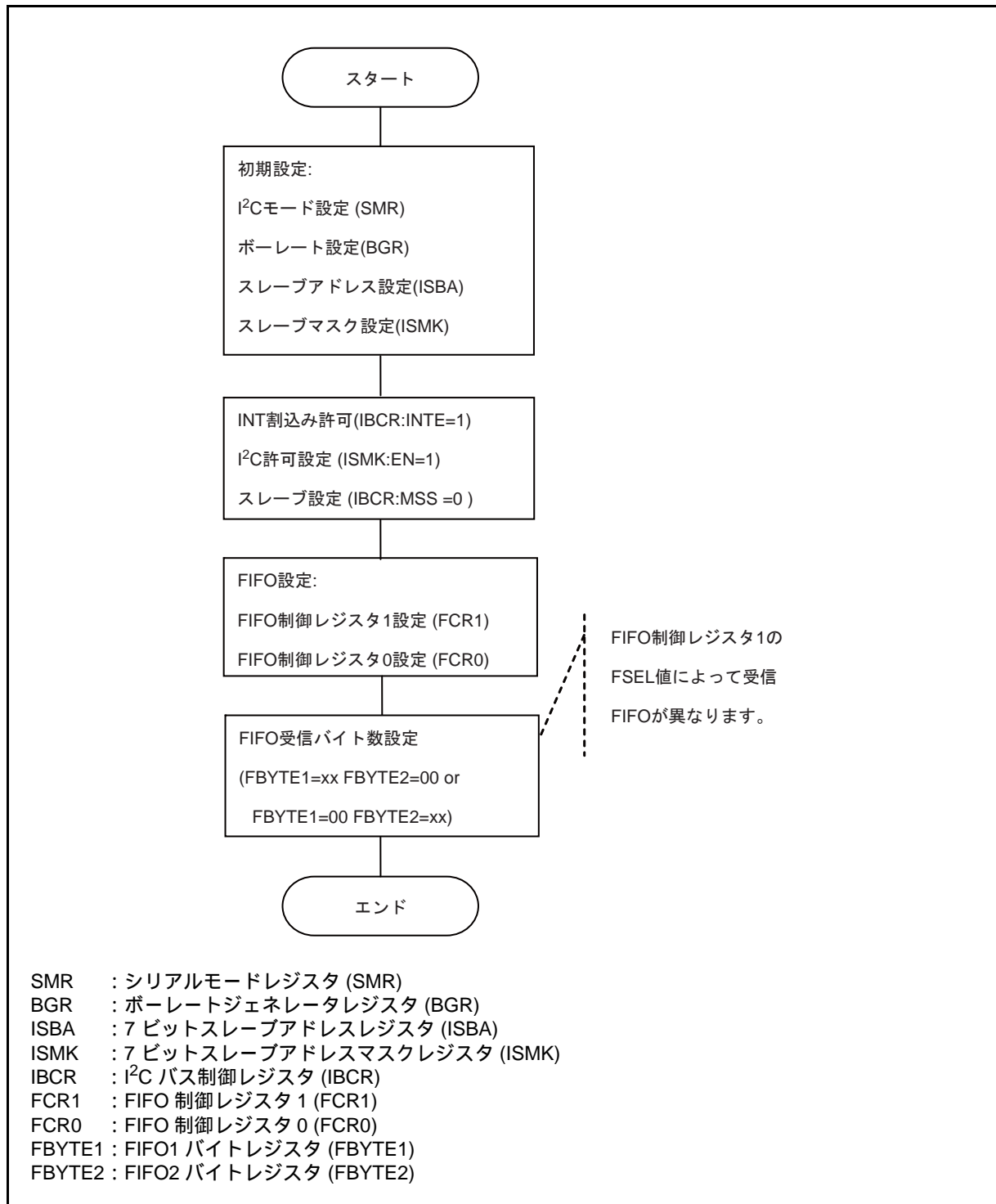
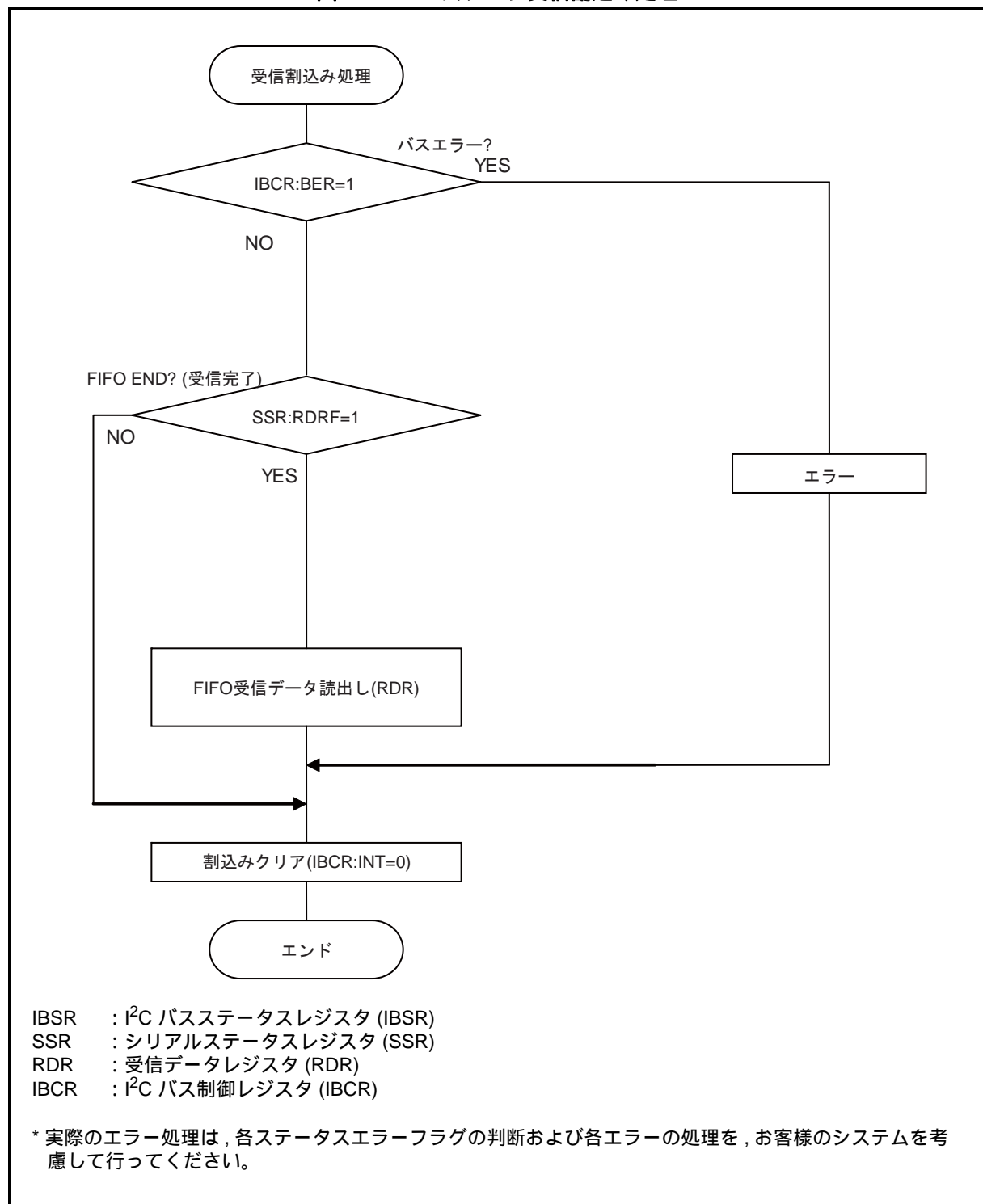


図 27.23-12 スレーブ受信割込み処理

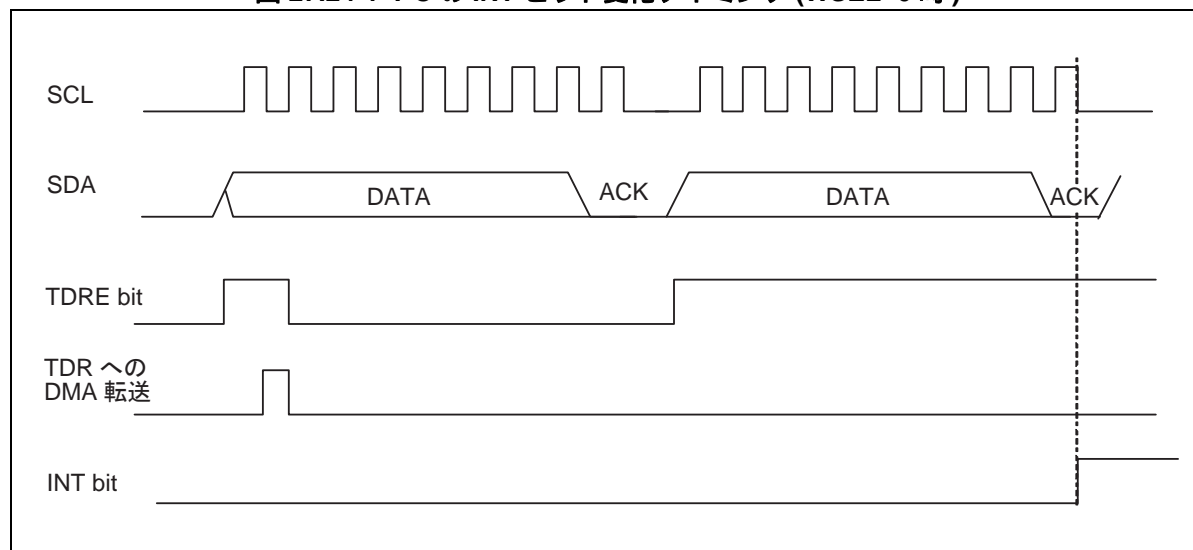


27.24 I²C モードの注意事項

I²C モードの注意事項を下記に示します。

- FIFO 付きチャンネルで DMA 転送要求する場合、FIFO は使用できません。FIFO 動作禁止の設定としてください。
- DMA 転送要求する場合、DMA のブロックサイズを 1 回に設定してください。
- マスタ受信およびスレーブ受信時には、データ受信用の DMA 転送と、ダミーデータ送信用の DMA 転送が必要なため、DMA を 2 チャンネル使用する必要があります。
- I²C モードでは、送信レジスタ (TDR) に有効なデータがなく、送信データエンティフィラグビット (TDRE) が "1" の状態で、I²C バス上のデータが 9 ビット目 (WSEL=0 時) または 8 ビット目 (WSEL=1 時) まで送信された場合、図 27.24-1 のように割り込みフラグ (INT) が "1" となります。DMA 転送中に割り込みフラグ (INT) が "1" になると、ソフトで "0" クリアしない限り、DMA 転送が継続できません。(マスタ送信、スレーブ送信、マスタ受信、スレーブ受信共)

図 27.24-1 I²C の INT ビット変化タイミング (WSEL=0 時)



上記のような仕様のため、I²C モードで DMA 転送する場合には、割り込みフラグ (INT) が "1" となる前に、TDR への DMA 転送が行われるように対応してください。I²C の DMA 転送を優先するには、以下のような対応があります。

- 優先度が高い (チャンネル番号が小さい) DMA を使用する。優先順位設定ビットを固定 (AT=0) で使用する場合に有効。
- DMA 転送抑止割り込みレベルビット (DILVR レジスタの LVL4-LVL0 ビット) を可能な限り小さい値にする。

- 送信データエンプティフラグ (SSR:TDRE) が "1" になって送信データレジスタ (TDR) に送信データを DMA 転送によって書くか、またはソフトによって送信データエンプティフラグ (SSR:TDRE) を確認して書く場合、送信データエンプティフラグ (SSR:TDRE) が "0" にならない場合があるため、ACK フィールドの SCL が立下がるまでに送信データを書いてください。ソフトによって割込みフラグ (IBCR:INT) が "1" になってから送信データを書く場合は特に制限はありません。

DMA 転送時またはソフトにて送信データエンプティフラグ (SSR:TDRE) による送信処理を行うとき、ACK フィールドの SCL が立ち下がるまでに送信データを書くのが遅れる場合には以下の設定および手順にしてください。

- 設定

割込みフラグ (IBCR:INT) が "1" になるタイミングを 8 ビット目に設定 (WSEL=1) する。

- 手順

マスタで送受信を行う場合、以下の手順で処理してください。スレーブで送受信を行う場合には、下記手順は必要ありません。

1. ソフトにて第一バイト (スレーブアドレス) を送信データレジスタに書く。
2. マスタ起動 (IBCR:MSS="1" ライト) と同時にウェイト選択を 8 ビットに設定 (IBCR:WSEL="1" ライト) する。
3. 第一バイト送信後、割込みフラグ (IBCR:INT) が "1" になるので ACK 応答 (IBSR:RACK="0") を確認後、第二バイト目をソフトによって送信データレジスタ (TDR) に書いてから DMAC の設定を行い、DMA 転送を起動し、割込みフラグ (IBCR:INT) に "0" を書く。
4. 送受信が終了した場合、マスタの終了 (IBCR:MSS="0" ライト) または再起動 (IBCR:SCC="1" ライト) を行います。

第 28 章 DMA コントローラ (DMAC)

DMA コントローラ (DMAC) の機能と動作について説明します。

- 28.1 概要
- 28.2 構成
- 28.3 端子
- 28.4 レジスタ
- 28.5 割込み
- 28.6 動作説明と設定手順例

28.1 概要

DMA コントローラ (DMAC) は、DMA (Direct Memory Access) 転送を行います。CPU を介さずにデータを高速で転送できるため、システム性能を高めることができます。

本製品は DMA コントローラ (DMAC) を 8 チャンネル内蔵しています。

■ 概要

DMA コントローラ (DMAC) の特長について説明します。

- アドレス空間：32 ビットのアドレス空間 (4G バイト)
- 転送モード：次の 3 種類から選択できます。
 - ブロック転送
転送要求が発生するとデータを 1 ブロック転送するモードです。1 ブロックのデータを転送後、再度転送要求を検出すると、次のデータを 1 ブロック転送します。これを設定した転送回数繰り返すモードです。
 - パースト転送
1 度、転送要求が発生するとすべてのデータを転送するまで、1 ブロックずつ連続で転送するモードです。
 - デマンド転送
1 度、転送要求が発生すると、転送要求が取り下げられるか転送が終了するまで連続でデータを転送するモードです。また、データ転送が終了したときに転送回数をリロードする設定になっている場合は、転送要求が取り下げられるまで転送をし続けます。
- データサイズ：転送するデータのサイズ (幅) を次の 3 種類から選択できます。
 - 8 ビット
 - 16 ビット
 - 32 ビット
- ブロックサイズ：1 ~ 16 の範囲で設定できます。
- 転送回数：1 ~ 65535 回の範囲で設定できます。
- アドレス更新：設定したデータサイズ (8ビット/16ビット/32ビット) のデータを転送するたびに転送元 / 転送先のアドレスを更新できます。更新方法を次の 3 種類から選択できます。
 - アドレス増加
 - アドレス減少
 - 更新しない (転送元 / 転送先のアドレスを固定する)

- リロード機能：設定した転送回数のデータを転送し終わった時に次の情報をリロードするかどうかを設定できます。
 - 転送元のアドレス
 - 転送先のアドレス
 - 転送回数
 - 転送要求：次の 4 種類の方法で発生できます
 - ソフトウェアで転送要求を発生
 - 周辺機能の割り込み要求の発生を検出して転送要求を発生
 - DREQ0 ~ DREQ3 端子からの入力を検出して転送要求を発生 (ch.0 ~ ch.3 のみ)
- 転送モードによって、転送要求を発生させる要因 (転送要求元) が異なります。
転送モードと転送要求元の対応を表 28.1-1 に示します。

表 28.1-1 転送モードと転送要求元の対応

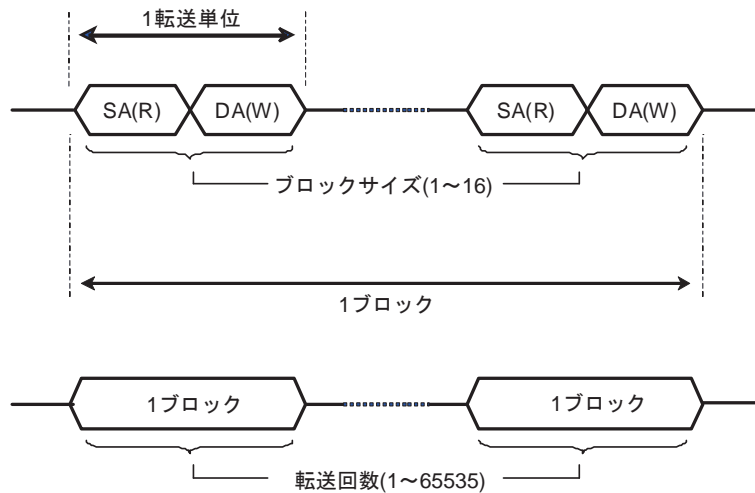
転送要求元	ブロック転送	バースト転送	デマンド転送
ソフトウェア			×
周辺機能の割り込み要求			×
DREQ0 ~ DREQ3 端子			

- 優先順位：複数の転送要求が発生したときの優先順位を次の 2 種類から選択できます。
 - 固定
チャンネルの若い番号が優先されます。
ch.0 > ch.1 > ch.2 > ch.3 > ch.4 > ch.5 > ch.6 > ch.7 の順番
 - ラウンドロビン
次のように転送を開始したチャンネルの優先順位が一番低くなり、そのチャンネルより下位にあったチャンネルの優先順位が繰り上がります。
例) ch.0 ch.1 の順に転送を行った場合
初期状態：ch.0 > ch.1 > ch.2 > ch.3 > ch.4 > ch.5 > ch.6 > ch.7
ch.0 転送後：ch.1 > ch.2 > ch.3 > ch.4 > ch.5 > ch.6 > ch.7 > ch.0
ch.1 転送後：ch.2 > ch.3 > ch.4 > ch.5 > ch.6 > ch.7 > ch.0 > ch.1
- 割り込み要求：次の場合に割り込み要求を発生できます。
 - DMA 転送の正常終了時
 - DMA 転送の異常終了時
 - 転送停止要求の発生時

■ 用語の定義

DMA コントローラ (DMAC) で使用する各用語を図 28.1-1 に示します。

図 28.1-1 DMA コントローラ (DMAC) の各用語



[1 転送単位]

転送元アドレス (SA:Source Address) 読出し (R:Read) と転送先アドレス (DA:Destination Address) 書込み (W:Write) の 1 つの最小転送のこと。

[ブロックサイズ]

DMA チャンネルコントロールレジスタ (DCCR0 ~ DCCR7) のブロックサイズビット (bit3 ~ bit0:BLK3 ~ BLK0) で設定する,「1 転送単位」の転送回数のこと。

[1 ブロック]

「1 転送単位」×「ブロックサイズ」のこと。

[転送回数]

DMA 転送回数レジスタ (DTCR0 ~ DTCR7) で設定する,「1 ブロック」の転送回数のこと。

28.2 構成

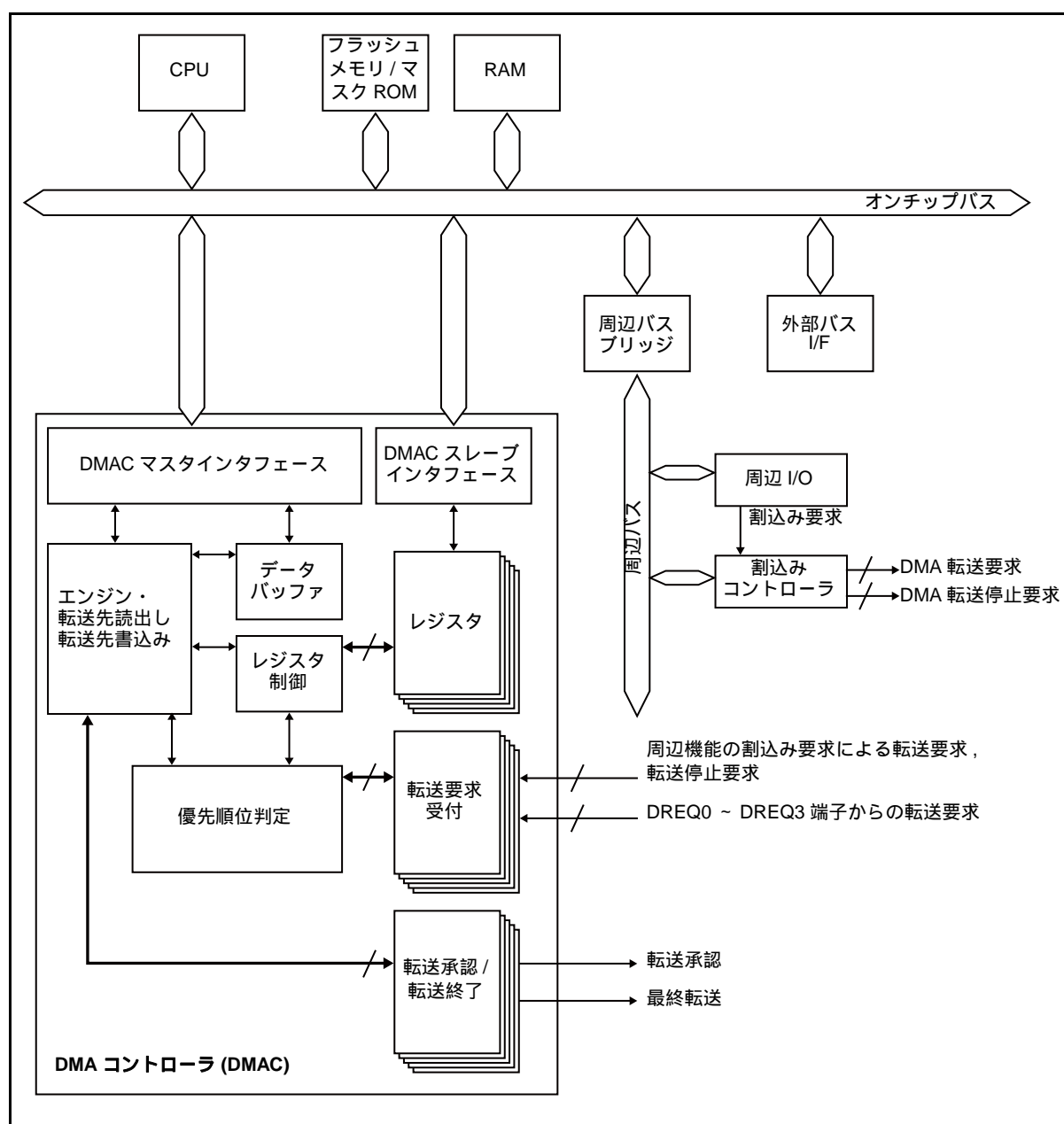
DMA コントローラ (DMAC) の構成を示します。

■ DMA コントローラ (DMAC) のブロックダイアグラム

DMA コントローラ (DMAC) のブロックダイアグラムを図 28.2-1 に示します。

DMA コントローラ (DMAC) は図 28.2-1 内の DMA コントローラ (DMAC) と記載されている部分になります。

図 28.2-1 DMA コントローラ (DMAC) のブロックダイアグラム



- エンジン・転送先読出し / 転送先書込み部
DMA転送の転送先からデータを読み出したり, 転送先にデータを書き込んだりします。
- 優先順位判定回路
DMA 転送を行うチャネルの優先順位を判定する回路です。
- 転送要求受付部
DMA 転送要求を受け付けます。
- 転送受付 / 転送終了部
転送受付や転送終了を出力します。

■ クロック

DMA コントローラ (DMAC) で使用するクロックを表 28.2-1 に示します。

表 28.2-1 DMA コントローラ (DMAC) で使用するクロック

クロック名	内容
動作クロック	オンチップバスクロック (HCLK)

28.3 端子

DMA コントローラ (DMAC) で使用する端子について説明します。

■ 概要

DMA コントローラ (DMAC) には次の端子があります。

- DREQ0 ~ DREQ3 端子

転送要求の入力端子です。

この端子についての詳細は、「第 13 章 外部バス インタフェース」を参照してください。

この端子は兼用端子です。DMA コントローラ (DMAC) の DREQ0 ~ DREQ3 端子として使用するには「2.4 端子の設定方法」を参照してください。

- DACK0 ~ DACK3 端子

転送要求受付信号の出力端子です。

この端子についての詳細は、「第 13 章 外部バス インタフェース」を参照してください。

この端子は兼用端子です。DMA コントローラ (DMAC) の DACK0 ~ DACK3 端子として使用するには「2.4 端子の設定方法」を参照してください。

- DEOP0 ~ DEOP3 端子

転送終了信号の出力端子です。

この端子についての詳細は、「第 13 章 外部バス インタフェース」を参照してください。

この端子は兼用端子です。DMA コントローラ (DMAC) の DEOP0 ~ DEOP3 端子として使用するには「2.4 端子の設定方法」を参照してください。

■ 端子とチャネルの対応

チャネルと端子の対応を表 28.3-1 に示します。

表 28.3-1 チャネルと端子の対応

チャネル	転送要求入力端子	転送要求受付信号 出力端子	転送終了信号出力端子
0	DREQ0	DACK0	DEOP0
1	DREQ1	DACK1	DEOP1
2	DREQ2	DACK2	DEOP2
3	DREQ3	DACK3	DEOP3

28.4 レジスタ

DMA コントローラ (DMAC) で使用するレジスタの構成と機能について説明します。

■ レジスタ一覧

DMA コントローラ (DMAC) のレジスタ一覧を表 28.4-1 に示します。

表 28.4-1 DMA コントローラ (DMAC) のレジスタ一覧 (1 / 2)

チャンネル	レジスタ略称	レジスタ名	参照先
共通	DMACR	DMA コントロールレジスタ	28.4.1
	DILVR	DMA 転送抑止割込みレベルレジスタ	28.4.7
0	DCCR0	DMA チャンネルコントロールレジスタ 0	28.4.5
	DCSR0	DMA チャンネルステータスレジスタ 0	28.4.6
	DTCR0	DMA 転送回数レジスタ 0	28.4.4
	DSAR0	DMA 転送元アドレスレジスタ 0	28.4.2
	DDAR0	DMA 転送先アドレスレジスタ 0	28.4.3
1	DCCR1	DMA チャンネルコントロールレジスタ 1	28.4.5
	DCSR1	DMA チャンネルステータスレジスタ 1	28.4.6
	DTCR1	DMA 転送回数レジスタ 1	28.4.4
	DSAR1	DMA 転送元アドレスレジスタ 1	28.4.2
	DDAR1	DMA 転送先アドレスレジスタ 1	28.4.3
2	DCCR2	DMA チャンネルコントロールレジスタ 2	28.4.5
	DCSR2	DMA チャンネルステータスレジスタ 2	28.4.6
	DTCR2	DMA 転送回数レジスタ 2	28.4.4
	DSAR2	DMA 転送元アドレスレジスタ 2	28.4.2
	DDAR2	DMA 転送先アドレスレジスタ 2	28.4.3
3	DCCR3	DMA チャンネルコントロールレジスタ 3	28.4.5
	DCSR3	DMA チャンネルステータスレジスタ 3	28.4.6
	DTCR3	DMA 転送回数レジスタ 3	28.4.4
	DSAR3	DMA 転送元アドレスレジスタ 3	28.4.2
	DDAR3	DMA 転送先アドレスレジスタ 3	28.4.3
4	DCCR4	DMA チャンネルコントロールレジスタ 4	28.4.5
	DCSR4	DMA チャンネルステータスレジスタ 4	28.4.6
	DTCR4	DMA 転送回数レジスタ 4	28.4.4
	DSAR4	DMA 転送元アドレスレジスタ 4	28.4.2
	DDAR4	DMA 転送先アドレスレジスタ 4	28.4.3

表 28.4-1 DMA コントローラ (DMAC) のレジスタ一覧 (2 / 2)

チャンネル	レジスタ略称	レジスタ名	参照先
5	DCCR5	DMA チャンネルコントロールレジスタ 5	28.4.5
	DCSR5	DMA チャンネルステータスレジスタ 5	28.4.6
	DTCR5	DMA 転送回数レジスタ 5	28.4.4
	DSAR5	DMA 転送元アドレスレジスタ 5	28.4.2
	DDAR5	DMA 転送先アドレスレジスタ 5	28.4.3
6	DCCR6	DMA チャンネルコントロールレジスタ 6	28.4.5
	DCSR6	DMA チャンネルステータスレジスタ 6	28.4.6
	DTCR6	DMA 転送回数レジスタ 6	28.4.4
	DSAR6	DMA 転送元アドレスレジスタ 6	28.4.2
	DDAR6	DMA 転送先アドレスレジスタ 6	28.4.3
7	DCCR7	DMA チャンネルコントロールレジスタ 7	28.4.5
	DCSR7	DMA チャンネルステータスレジスタ 7	28.4.6
	DTCR7	DMA 転送回数レジスタ 7	28.4.4
	DSAR7	DMA 転送元アドレスレジスタ 7	28.4.2
	DDAR7	DMA 転送先アドレスレジスタ 7	28.4.3

28.4.1 DMA コントロールレジスタ (DMACR)

DMA コントローラ (DMAC) 全体を制御するレジスタです。

DMA コントロールレジスタ (DMACR) のビット構成を図 28.4-1 に示します。

図 28.4-1 DMA コントロールレジスタ (DMACR) のビット構成

属性	bit	31	30	29	28	27	26	25	24
		DME	予約	予約	予約	予約	予約	予約	予約
		R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
	初期値	0	0	0	0	0	0	0	0
属性	bit	23	22	21	20	19	18	17	16
		予約	予約	予約	予約	予約	予約	予約	予約
		R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
	初期値	0	0	0	0	0	0	0	0
属性	bit	15	14	13	12	11	10	9	8
		AT	予約	予約	予約	予約	予約	予約	予約
		R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
	初期値	0	0	0	0	0	0	0	0
属性	bit	7	6	5	4	3	2	1	0
		予約	予約	予約	予約	予約	予約	予約	予約
		R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
	初期値	0	0	0	0	0	0	0	0
R/W : リード / ライト可能									

< 注意事項 >

このレジスタへは必ずワードアクセスしてください。

[bit31] : DME (DMA 動作許可ビット)

DMA コントローラ (DMAC) 全体の動作を禁止 / 許可します。

書込み値	説明
0	DMA コントローラ (DMAC) 全体の動作を禁止します。
1	DMA コントローラ (DMAC) 全体の動作を許可します。

< 注意事項 >

- このビットに "0" を書き込んで DMA コントローラ (DMAC) 全体の動作を禁止した場合は、DMA チャンネルコントロールレジスタ (DCCR0 ~ DCCR7) の CE ビットでチャンネル動作を許可 (CE=1) しても DMA 転送は行われません。
- DMA 転送中にこのビットに "0" が書き込まれると、転送中のデータを 1 ブロック転送後、転送を停止します。

[bit30 ~ bit16] : 予約ビット

書込み時	必ず "0" を書き込んでください。
読出し時	"0" が読み出されます。

[bit15] : AT (優先順位設定ビット)

複数の転送要求が発生したときの優先順位を次のいずれかに設定します。

- 固定：チャンネルの若い番号が優先されます。
- ラウンドロビン：1 ブロックのデータを転送するたびに優先順位の判定を行います。転送を開始したチャンネルの優先順位が一番低くなり、そのチャンネルより下位にあったチャンネルの優先順位が繰り上がります。

例) ch.0 ch.1 の順に転送を行った場合

初期状態：ch.0 > ch.1 > ch.2 > ch.3 > ch.4 > ch.5 > ch.6 > ch.7

ch.0 転送後：ch.1 > ch.2 > ch.3 > ch.4 > ch.5 > ch.6 > ch.7 > ch.0

ch.1 転送後：ch.2 > ch.3 > ch.4 > ch.5 > ch.6 > ch.7 > ch.0 > ch.1

書込み値	説明
0	固定
1	ラウンドロビン

< 注意事項 >

DMA チャンネルコントロールレジスタ (DCCR0 ~ DCCR7) の BLK3 ~ BLK0 ビットで設定したブロックを転送するたびに、このビットで設定した優先順位の判定が行われます。デマンド転送で転送中は優先順位の判定は行われません。

[bit14 ~ bit0] : 予約ビット

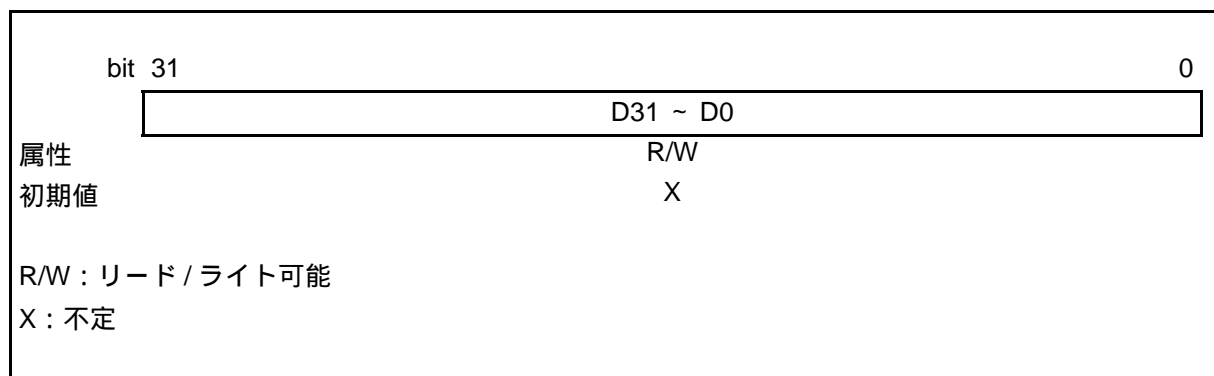
書込み時	必ず "0" を書き込んでください。
読出し時	"0" が読み出されます。

28.4.2 DMA 転送元アドレスレジスタ (DSAR0 ~ DSAR7)

転送元のアドレスを設定するレジスタです。チャンネルごとにこのレジスタが用意されています。

DMA転送元アドレスレジスタ (DSAR0 ~ DSAR7) のビット構成を図 28.4-2に示します。

図 28.4-2 DMA 転送元アドレスレジスタ (DSAR0 ~ DSAR7) のビット構成



DMA チャンネルコントロールレジスタ (DCCR0 ~ DCCR7) の SAC1, SAC0 ビットで、転送元アドレスを更新する設定 (SAC1, SAC0=00 または 01) にしておくと、TS1, TS0 ビットで設定したサイズの DMA 転送が 1 回終了するたびに、このレジスタの値 (アドレス) が更新されます。

また、DMA 転送回数レジスタ (DTCR0 ~ DTCR7) に設定したブロック数分のデータ転送が終了すると、DMA チャンネルコントロールレジスタ (DCCR0 ~ DCCR7) の SAR ビットの設定によって、このレジスタの値は次のようになります。

- SAR=0 : 転送終了後、このレジスタの値が最後にアクセスしたアドレスの次のアドレスになります。
- SAR=1 : 転送終了後、このレジスタの値が転送前に書き込んだ値に戻ります。

< 注意事項 >

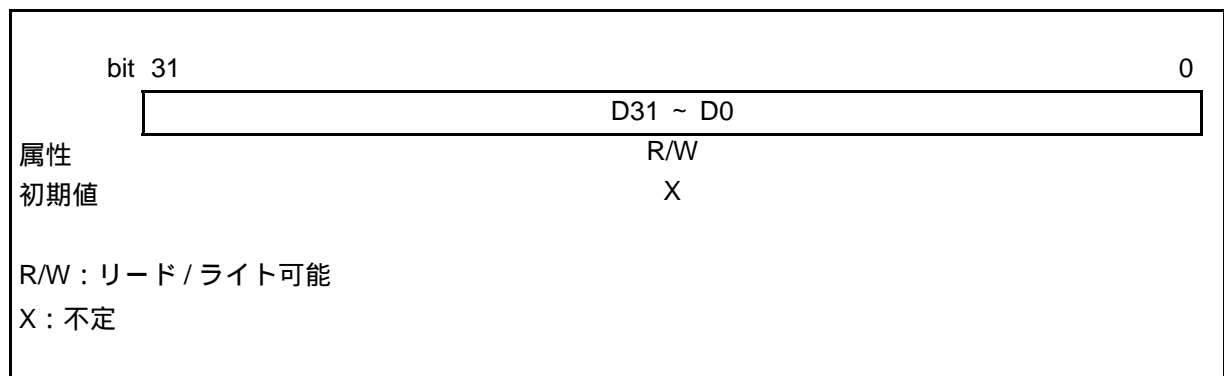
このレジスタへは必ずワードでアクセスしてください。

28.4.3 DMA 転送先アドレスレジスタ (DDAR0 ~ DDAR7)

転送先のアドレスを設定するレジスタです。チャンネルごとにこのレジスタが用意されています。

DMA 転送先アドレスレジスタ (DDAR0 ~ DDAR7) のビット構成を図 28.4-3 に示します。

図 28.4-3 DMA 転送先アドレスレジスタ (DDAR0 ~ DDAR7) のビット構成



DMA チャンネルコントロールレジスタ (DCCR0 ~ DCCR7) の DAC1, DAC0 ビットで、転送先アドレスを更新する設定 (DAC1, DAC0=00 または 01) にしておくと、TS1, TS0 ビットで設定したサイズの DMA 転送が 1 回終了するたびに、このレジスタの値 (アドレス) が更新されます。

また、DMA 転送回数レジスタ (DTCR0 ~ DTCR7) に設定したブロック数分のデータ転送が終了すると、DMA チャンネルコントロールレジスタ (DCCR0 ~ DCCR7) の DAR ビットの設定によって、このレジスタの値は次のようになります。

- DAR=0 : 転送終了後、このレジスタの値が最後にアクセスしたアドレスの次のアドレスになります。
- DAR=1 : 転送終了後、このレジスタの値が転送前に書き込んだ値に戻ります。

< 注意事項 >

このレジスタへは必ずワードでアクセスしてください。

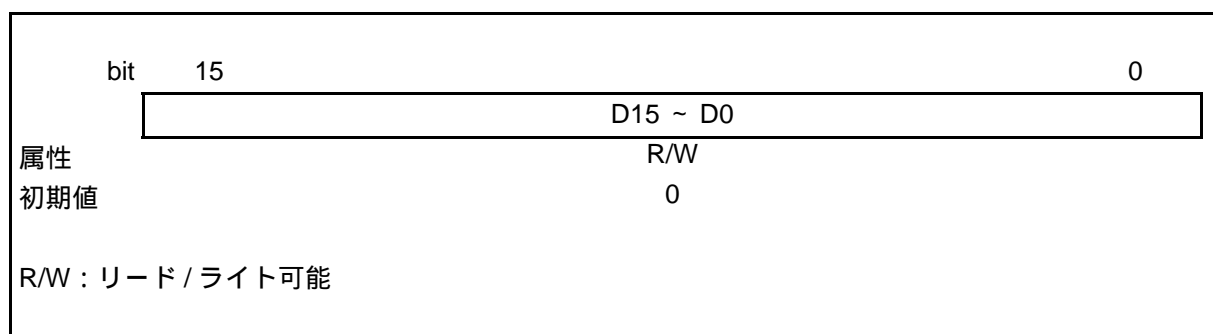
28.4.4 DMA 転送回数レジスタ (DTCR0 ~ DTCR7)

全部で何ブロックのデータを転送するかを 1 回 ~ 65535 回の範囲で設定するレジスタです。また、この値を読み出すと、残り何ブロックのデータを転送するかを知ることができます。チャンネルごとにこのレジスタが用意されています。

1 ブロック転送するたびにこのレジスタの値が 1 つ減り、このレジスタの値が "0" になると転送が終了します。

DMA 転送回数レジスタ (DTCR0 ~ DTCR7) のビット構成を図 28.4-4 に示します。

図 28.4-4 DMA 転送回数レジスタ (DTCR0 ~ DTCR7) のビット構成



このレジスタに設定したブロック数分のデータ転送が終了すると、DMA チャンネルコントロールレジスタ (DCCR0 ~ DCCR7) の TCR ビットの設定によって、このレジスタの値は次のようになります。

- TCR=0 : 転送終了後、このレジスタの値は "0" になります。
- TCR=1 : 転送終了後、このレジスタの値が転送前に書き込んだ値に戻ります。

< 注意事項 >

- このレジスタの値を "0" に設定すると、転送は行われません。
- このレジスタへは必ずハーフワードでアクセスしてください。
- DMA 転送が中断された場合や、転送が異常終了した場合は、このレジスタは残りの転送回数を示します。

MB91635A シリーズ

28.4.5 DMA チャネルコントロールレジスタ (DCCR0 ~ DCCR7)

DMA コントローラ (DMAC) のチャネルを制御するレジスタです。チャネルごとにこのレジスタが用意されています。

DMA チャネルコントロールレジスタ (DCCR0 ~ DCCR7) のビット構成を図 28.4-5 に示します。

図 28.4-5 DMA チャネルコントロールレジスタ (DCCR0 ~ DCCR7) のビット構成

属性	bit	31	30	29	28	27	26	25	24
		CE	予約	予約	予約	予約	AIE	SIE	NIE
		R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値		0	0	0	0	0	0	0	0
属性	bit	23	22	21	20	19	18	17	16
		予約	予約	RS1	RS0	予約	予約	TM1	TM0
		R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値		0	0	0	0	0	0	0	0
属性	bit	15	14	13	12	11	10	9	8
		ST	SAR	SAC1	SAC0	DT	DAR	DAC1	DAC0
		R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値		0	0	0	0	0	0	0	0
属性	bit	7	6	5	4	3	2	1	0
		TCR	予約	TS1	TS0	BLK3	BLK2	BLK1	BLK0
		R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値		0	0	0	0	0	0	0	0
R/W : リード / ライト可能									

< 注意事項 >

このレジスタへは必ずワードアクセスしてください。

[bit31] : CE (チャネル動作許可ビット)

チャネルの動作を禁止 / 許可します。

書込み値	説明
0	チャネルの動作を禁止します。
1	チャネルの動作を許可します。

RS1, RS0 ビットでDMA転送の要求元をソフトウェアに設定 (RS1, RS0=00) しているときに、このビットに "1" を書き込むと、DMA 転送を開始します。転送が終了すると、このビットは自動的に "0" にクリアされます。

RS1, RS0 ビットを "00" 以外に設定している場合は、このビットに "1" を書き込むとチャネル動作の許可のみが行われます。

この場合は、RS1, RS0 ビットで設定した転送要求を検出すると転送が開始されます。また、TCR ビットの設定によって、このビットの値が次のようになります。

- TCR=0 : 転送終了後、"0" にクリアされます。
- TCR=1 : 転送終了後も "0" にクリアされません。

< 注意事項 >

DMA 転送中にこのビットに "0" が書き込まれると、転送中のデータを 1 ブロック転送後、転送を停止します。

その場合、再びこのビットに "1" が書き込まれ、転送要求が検出されるまで転送は再開されません。

[bit30 ~ bit27] : 予約ビット

書込み時	必ず "0" を書き込んでください。
読出し時	"0" が読み出されます。

[bit26] : AIE (異常終了割込み許可ビット)

チャネルの異常終了割込みを許可している時 (AIE=1) にこのレジスタに設定禁止の値を設定すると異常終了割込み要求を出力します。

ただし、異常終了を示すフラグビット (DMA チャネルステータスレジスタ (DCSR0 ~ DCSR7) の AC ビット) はここでの設定によらず "1" に変わります。

このレジスタに設定した値が次のいずれかに当てはまると DMA 転送が異常終了したとみなされます。

- TM1, TM0 ビット =10 (設定禁止)
- SAC1, SAC0 ビット =10 (設定禁止)
- DAC1, DAC0 ビット =10 (設定禁止)
- TS1, TS0 ビット =11 (設定禁止)
- RS1, RS0 ビット =00かつ、TM1, TM0 ビット =11 (転送要求元:ソフトウェア, 転送モード: デマンド転送)

書込み値	説明
0	異常終了割り込み要求の発生を禁止します。
1	異常終了割り込み要求の発生を許可します。

< 注意事項 >

- AIE=0 のとき，AIE=1 書込みと同時にレジスタに設定禁止の値を設定すると，AIE=1，DMA チャンネルステータスレジスタ (DCSR0 ~ DCSR7) の AC=1 となりますが異常終了割り込み要求は発生しません。
- 異常終了割り込み要求発生時に AIE=0 にしても割り込み要求はクリアされません。AC=0 を書き込んで割り込み要求をクリアしてください。
- 割り込み要求クリア時の注意事項
割り込み要求発生時は，対応するチャンネルのステータスレジスタ (DCSRx) を確認してください。複数のステータスフラグ (DCSRx.AC/SP/NC) が 1 となっている場合，割り込み要求のクリア時に注意が必要です。
割り込み要求をクリアする場合，ステータスレジスタのいずれかのフラグ (DCSR.AC/SP/NC) が 1 のままだと割り込み要求はクリアされません。複数のステータスフラグが 1 となっている場合は，割り込み許可 / 禁止ビット (DCCR.AIE/SIE/NIE) の設定によらず，AC/SP/NC の 3bit 全てのフラグをクリアすることで割り込み要求をクリアしてください。

[bit25] : SIE (転送中断割り込み許可ビット)

チャンネルの転送中断割り込みを許可しているとき (SIE=1) に転送停止要求によって転送中断すると割り込み要求を出力します。

ただし，転送停止要求による転送中断を示すフラグビット (DMA チャンネルステータスレジスタ (DCSR0 ~ DCSR7) の SP ビット) は，転送停止要求が発生すると，ここでの設定によらず "1" に変わります。

書込み値	説明
0	転送中断割り込み要求の発生を禁止します。
1	転送中断割り込み要求の発生を許可します。

< 注意事項 >

- 転送中断割り込み要求発生時に SIE=0 にしても割り込み要求はクリアされません。SP=0 を書き込んで割り込み要求をクリアしてください。
- 割り込み要求クリア時の注意事項
割り込み要求発生時は，対応するチャンネルのステータスレジスタ (DCSRx) を確認してください。複数のステータスフラグ (DCSRx.AC/SP/NC) が 1 となっている場合，割り込み要求のクリア時に注意が必要です。
割り込み要求をクリアする場合，ステータスレジスタのいずれかのフラグ (DCSR.AC/SP/NC) が 1 のままだと割り込み要求はクリアされません。複数のステータスフラグが 1 となっている場合は，割り込み許可 / 禁止ビット (DCCR.AIE/SIE/NIE) の設定によらず，AC/SP/NC の 3bit 全てのフラグをクリアすることで割り込み要求をクリアしてください。

[bit24] : NIE (正常終了割込み許可ビット)

チャネルの正常終了割込みを許可しているとき (NIE=1) に DMA 転送が正常終了すると割込み要求を出力します。

ただし、正常終了を示すフラグビット (DMA チャネルステータスレジスタ (DCSR0 ~ DCSR7) の NC ビット) は、DMA 転送が正常終了すると、ここでの設定によらず "1" に変わります。

次のいずれかの場合に、DMA 転送が正常終了したとみなされます。

- DMA 転送回数レジスタ (DTCR0 ~ DTCR7) に設定した転送回数分、転送を終了したとき
- DMA 転送回数レジスタ (DTCR0 ~ DTCR7) の値が "0" のときに CE ビットでチャネル動作を許可 (CE=1) したとき

書込み値	説明
0	正常終了割込み要求の発生を禁止します。
1	正常終了割込み要求の発生を許可します。

< 注意事項 >

- 正常終了割込み要求発生時に NIE=0 にしても割込み要求はクリアされません。NC=0 を書き込んで割込み要求をクリアしてください。
- 割込み要求クリア時の注意事項
割込み要求発生時は、対応するチャネルのステータスレジスタ (DCSRx) を確認してください。複数のステータスフラグ (DCSRx.AC/SP/NC) が 1 となっている場合、割込み要求のクリア時に注意が必要です。
割込み要求をクリアする場合、ステータスレジスタのいずれかのフラグ (DCSR.AC/SP/NC) が 1 のままだと割込み要求はクリアされません。複数のステータスフラグが 1 となっている場合は、割込み許可 / 禁止ビット (DCCR.AIE/SIE/NIE) の設定によらず、AC/SP/NC の 3bit 全てのフラグをクリアすることで割込み要求をクリアしてください。

[bit23, bit22] : 予約ビット

書込み時	必ず "0" を書き込んでください。
読出し時	"0" が読み出されます。

[bit21, bit20] : RS1, RS0 (転送要求元ビット)

転送要求を発生させる要因 (転送要求元) を次の 3 種類から設定します。

ただし, DREQ0 ~ DREQ3 端子は, ch.0 ~ ch.3 でのみ選択できるため, ch.4 ~ ch.7 は "10" は設定しないでください。

- ソフトウェアで転送要求を発生
- 周辺機能で発生した割り込み要求を検出して転送要求を発生
- DREQ0 ~ DREQ3 端子からの入力を検出して転送要求を発生

RS1	RS0	説明
0	0	ソフトウェア
0	1	周辺機能の割り込み要求
1	0	DREQ0 ~ DREQ3 端子 (ch.0 ~ ch.3 のみ)
1	1	設定禁止

< 注意事項 >

- TM1, TM0 ビットで転送モードをデマンド転送に設定 (TM1, TM0=11) した場合は, 転送要求元には, DREQ0 ~ DREQ3 端子のみ設定できます。
- 転送要求元に周辺機能の割り込み要求を設定した場合は, 次のレジスタの設定が必要になります。
 - IO 転送要求設定レジスタ (IORR0 ~ IORR7)
 - ペリフェラルによる DMA 転送要求のクリア選択レジスタ (ICSEL0 ~ ICSEL14)
 「第 29 章 周辺機能による DMA 転送要求の発生 / クリア選択機能」の各レジスタを参照してください。
- 転送要求元に DREQ0 ~ DREQ3 端子を設定した場合は, 外部バスインタフェースの DMA 転送に関する設定が必要になります。「第 13 章 外部バス インタフェース」を参照してください。

[bit19, bit18] : 予約ビット

書込み時	必ず "0" を書き込んでください。
読出し時	"0" が読み出されます。

[bit17, bit16] : TM1, TM0 (転送モードビット)

転送モードを次の 3 種類から設定します。

- ブロック転送
 転送要求が発生するとデータを 1 ブロック転送します。1 ブロックのデータを転送後, 再度転送要求を検出すると, 次のデータを 1 ブロック転送します。これを設定した転送回数繰り返すモードです。
- バースト転送
 1 度, 転送要求が発生するとすべてのデータを転送するまで, 1 ブロックずつ連続でデータを転送するモードです。

- デマンド転送

1 度、転送要求が発生すると、転送要求が取り下げられるか転送が終了するまで連続でデータを転送するモードです。また、データ転送が終了したときに転送回数をリロードする設定になっている場合は、転送要求が取り下げられるまで転送を続けます。

TM1	TM0	説明
0	0	ブロック転送
0	1	バースト転送
1	0	設定禁止
1	1	デマンド転送

< 注意事項 >

デマンド転送に設定した場合は、STビットまたはDTビットを"1" にする必要があります。

[bit15] : ST (転送元タイプビット)

転送元の読み出しサイクルで、転送要求受付信号や転送終了信号を出力するかどうかを設定します。

書込み値	説明
0	出力しない
1	出力する

転送要求元に周辺機能の割り込み要求を設定し、かつその周辺を転送元に設定した場合、このビットを"1" に設定することで、転送要求受付信号が出力され、転送要求をクリアすることができます。

< 注意事項 >

TM1, TM0 ビットで転送モードをデマンド転送 (TM1, TM0=11) に設定した場合は、このビット /DT ビットの両方または一方を"1" にしてください。

[bit14] : SAR (転送元アドレスリロードビット)

DMA 転送回数レジスタ (DTCR0 ~ DTCR7) に設定した回数のデータ転送が終了したときに、DMA 転送元アドレスレジスタ (DSAR0 ~ DSAR7) の値を転送前の値に戻すかどうかを設定します (転送元アドレスのリロードを許可 / 禁止)。

書込み値	説明
0	リロードを禁止します。 転送終了後、DMA 転送元アドレスレジスタ (DSAR0 ~ DSAR7) の値は最後にアクセスしたアドレスの次のアドレスになります。
1	リロードを許可します。 転送終了後、DMA 転送元アドレスレジスタ (DSAR0 ~ DSAR7) の値が、転送前に書き込んだ値に戻ります。

[bit13, bit12] : SAC1, SAC0 (転送元アドレスカウントビット)

TS1, TS0 ビットで設定したサイズのデータ転送が終了するたびに DMA 転送元アドレスレジスタ (DSAR0 ~ DSAR7) の値を更新するかどうかを次の 3 種類から設定します。

SAC1	SAC0	説明
0	0	アドレス増加
0	1	アドレス減少
1	0	設定禁止
1	1	アドレス固定

アドレス増加 / アドレス減少を設定した場合は、TS1, TS0 ビットで設定した転送サイズによって、増加 / 減少値が異なります。

転送サイズとアドレスの増加 / 減少値の対応を表 28.4-2 に示します。

表 28.4-2 転送サイズとアドレスの増加 / 減少値の対応

転送サイズ	増加 / 減少値
8 ビット	1
16 ビット	2
32 ビット	4

[bit11] : DT (転送先タイプビット)

転送先への書込みサイクルで、転送要求受付信号や転送終了信号を出力するかどうかを設定します。

書込み値	説明
0	出力しない
1	出力する

転送要求元に周辺機能の割込み要求を設定し、かつその周辺を転送先に設定した場合、このビットを "1" に設定することで、転送要求受付信号が出力され、転送要求をクリアすることができます。

< 注意事項 >

TM1, TM0 ビットで転送モードをデマンド転送 (TM1, TM0=11) に設定した場合は, このビット /ST ビットの両方または一方を "1" にしてください。

[bit10] : DAR (転送先アドレスリロードビット)

DMA 転送回数レジスタ (DTCR0 ~ DTCR7) に設定した回数のデータ転送が終了したときに, DMA 転送先アドレスレジスタ (DDAR0 ~ DDAR7) の値を転送前の値に戻すかどうかを設定します (転送元アドレスのリロードを許可 / 禁止)。

書込み値	説明
0	リロードを禁止します。 転送終了後, DMA 転送先アドレスレジスタ (DDAR0 ~ DDAR7) の値は最後にアクセスしたアドレスの次のアドレスになります。
1	リロードを許可します。 転送終了後, DMA 転送先アドレスレジスタ (DDAR0 ~ DDAR7) の値が, 転送前に書き込んだ値に戻ります。

[bit9, bit8] : DAC1, DAC0 (転送先アドレスカウントビット)

TS1, TS0 ビットで設定したサイズのデータ転送が終了するたびに DMA 転送先アドレスレジスタ (DDAR0 ~ DDAR7) の値を更新するかどうかを次の3種類から設定します。

DAC1	DAC0	説明
0	0	アドレス増加
0	1	アドレス減少
1	0	設定禁止
1	1	アドレス固定

アドレス増加 / アドレス減少を設定した場合は, TS1, TS0 ビットで設定した転送サイズによって, 増加 / 減少値が異なります。

転送サイズとアドレスの増加 / 減少値の対応を表 28.4-3 に示します。

表 28.4-3 転送サイズとアドレスの増加 / 減少値の対応

転送サイズ	増加 / 減少値
8 ビット	1
16 ビット	2
32 ビット	4

[bit7] : TCR (転送回数リロードビット)

DMA 転送回数レジスタ (DTCR0 ~ DTCR7) に設定した回数のデータ転送が終了したときに、設定した転送回数を DMA 転送回数レジスタ (DTCR0 ~ DTCR7) にリロードするかどうかを設定します (転送回数のリロードを許可 / 禁止)。

書込み値	説明
0	リロードを禁止します。 転送終了後、DMA 転送回数レジスタ (DTCR0 ~ DTCR7) の値が "0" にクリアされます。
1	リロードを許可します。 転送終了後、DMA 転送回数レジスタ (DTCR0 ~ DTCR7) の値が転送前に書き込んだ値に戻ります。

< 注意事項 >

- このビットに "1" かつ RS1, RS0 ビットで転送要求元をソフトウェア以外に設定しているときは、転送が終了しても、CE ビットは "0" にクリアされず転送要求待ち状態になります。
- このビットに "0" を書き込んだ場合は、転送要求元にかかわらず、転送が終了すると CE ビットは自動的に "0" にクリアされます。
- このビットに "1" を書き込んでリロードを許可すると、デマンド転送では転送要求が出力されている間は、設定回数分転送が終了したかどうかにかかわらず連続して転送が行われます。

[bit6] : 予約ビット

書込み時	必ず "0" を書き込んでください。
読出し時	"0" が読み出されます。

[bit5, bit4] : TS1, TS0 (転送サイズビット)

1 回で転送するデータのサイズ (幅) を次の 3 種類から設定します。

TS1	TS0	説明
0	0	8 ビット
0	1	16 ビット
1	0	32 ビット
1	1	設定禁止

[bit3 ~ bit0] : BLK3~BLK0 (ブロックサイズビット)

1 ブロック内の 1 転送単位の回数 (サイズ) を設定します。

BLK3	BLK2	BLK1	BLK0	説明
0	0	0	0	1 回
0	0	0	1	2 回
0	0	1	0	3 回
0	0	1	1	4 回
0	1	0	0	5 回
0	1	0	1	6 回
0	1	1	0	7 回
0	1	1	1	8 回
1	0	0	0	9 回
1	0	0	1	10 回
1	0	1	0	11 回
1	0	1	1	12 回
1	1	0	0	13 回
1	1	0	1	14 回
1	1	1	0	15 回
1	1	1	1	16 回

28.4.6 DMA チャンネルステータスレジスタ (DCSR0 ~ DCSR7)

DMA コントローラ (DMAC) の状態を示すレジスタです。チャンネルごとにこのレジスタが用意されています。

DMA チャンネルステータスレジスタ (DCSR0 ~ DCSR7) のビット構成を図 28.4-6 に示します。

図 28.4-6 DMA チャンネルステータスレジスタ (DCSR0 ~ DCSR7) のビット構成

	bit	15	14	13	12	11	10	9	8
		CA	予約	予約	予約	予約	予約	予約	予約
	属性	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W
	初期値	0	0	0	0	0	0	0	0
	bit	7	6	5	4	3	2	1	0
		予約	予約	予約	予約	予約	AC	SP	NC
	属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
	初期値	0	0	0	0	0	0	0	0
R/W : リード / ライト可能									
R : リードオンリ									

< 注意事項 >

このレジスタへは必ずハーフワードでアクセスしてください。

[bit15] : CA (チャネルアクティブビット)

チャネルの動作状態を示します。

読出し値	説明
0	チャネルは動作していません。
1	チャネルが動作中です。

< 注意事項 >

- DMA チャネルコントロールレジスタ (DCCR0 ~ DCCR7) の CE ビットに "1" を書き込むと、このビットが "1" に変わります。
- 次のいずれかの場合に、このビットが "0" に変わります。
 - 転送が終了した
 - DMA チャネルコントロールレジスタ (DCCR0 ~ DCCR7) の CE ビットに "0" が書き込まれた

[bit14 ~ bit3] : 予約ビット

書込み時	必ず "0" を書き込んでください。
読出し時	"0" が読み出されます。

[bit2] : AC (異常終了状態フラグビット)

DMA 転送が異常終了したことを示します。

DMA チャネルコントロールレジスタ (DCCR0 ~ DCCR7) の値が、次のいずれかに当てはまると DMA 転送が異常終了したとみなされます。

- TM1, TM0 ビット = 10 (設定禁止)
- SAC1, SAC0 ビット = 10 (設定禁止)
- DAC1, DAC0 ビット = 10 (設定禁止)
- TS1, TS0 ビット = 11 (設定禁止)
- RS1, RS0 ビット = 00 かつ、TM1, TM0 ビット = 11 (転送要求元: ソフトウェア, 転送モード: デマンド転送)

このビットが "1" のときに、DMA チャネルコントロールレジスタ (DCCR0 ~ DCCR7) の AIE ビットに "1" が設定されていると異常終了割込み要求が発生します。

AC	読出し時	書込み時
0	異常終了は検出されていません。	このビットを "0" にクリアします。
1	異常終了が検出されました。	無視されます。

< 注意事項 >

このビットは自動的にクリアされません。DMA 転送の動作を許可する前に、このビットに "0" を書き込んで、異常終了割込み要求フラグをクリアしてください。

DMA 転送中にこのビットをクリアする場合、このビットが "1" になっていることを確認してから "0" を書き込んでクリアしてください。

[bit1] : SP (転送中断状態フラグビット)

転送要求元から転送停止要求があり転送を中断したことを示します。

このビットが "1" のときに、DMA チャンネルコントロールレジスタ (DCCR0 ~ DCCR7) の SIE ビットに "1" が設定されていると転送中断割込み要求が発生します。

SP	読出し時	書込み時
0	転送は中断されていません。	このビットを "0" にクリアします。
1	転送が中断されました。	無視されます。

< 注意事項 >

このビットは自動的にクリアされません。DMA 転送の動作を許可する前に、このビットに "0" を書き込んで、転送中断割込み要求フラグをクリアしてください。

DMA 転送中にこのビットをクリアする場合、このビットが "1" になっていることを確認してから "0" を書き込んでクリアしてください。

[bit0] : NC (正常終了状態フラグビット)

DMA 転送が正常に終了したことを示します。

次のいずれかの場合に、DMA 転送が正常終了したとみなされます。

- DMA 転送回数レジスタ (DTCR0 ~ DTCR7) に設定した転送回数分、転送を終了したとき
- DMA 転送回数レジスタ (DTCR0 ~ DTCR7) の値が "0" のときに、DMA チャンネルコントロールレジスタ (DCCR0 ~ DCCR7) の CE ビットでチャンネル動作を許可 (CE=1) したとき

このビットが "1" のときに、DMA チャンネルコントロールレジスタ (DCCR0 ~ DCCR7) の NIE ビットに "1" が設定されていると正常終了割込み要求が発生します。

NC	読出し時	書込み時
0	転送の正常終了は検出されていません。	このビットを "0" にクリアします。
1	転送の正常終了が検出されました。	無視されます。

< 注意事項 >

このビットは自動的にクリアされません。DMA 転送の動作を許可する前に、このビットに "0" を書き込んで、正常終了割込み要求フラグをクリアしてください。
DMA 転送中にこのビットをクリアする場合、このビットが "1" になっていることを確認してから "0" を書き込んでクリアしてください。

28.4.7 DMA 転送抑止割込みレベルレジスタ (DILVR)

周辺機能で割込み要求が発生したときにDMA転送を抑止するかどうかを設定するレジスタです。

DMA 転送抑止割込みレベルレジスタ (DILVR) のビット構成を図 28.4-7 に示します。

図 28.4-7 DMA 転送抑止割込みレベルレジスタ (DILVR) のビット構成

bit	7	6	5	4	3	2	1	0
	予約	予約	予約	LVL4	LVL3	LVL2	LVL1	LVL0
属性	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W
初期値	0	0	0	1	1	1	1	1
R/W : リード / ライト可能								
R : リードオンリ								

< 注意事項 >

このレジスタへは必ずバイトアクセスしてください。

[bit7 ~ bit5] : 予約ビット

書込み時	必ず "0" を書き込んでください。
読出し時	"0" が読み出されます。

[bit4 ~ bit0] : LVL4 ~ LVL0 (DMA 抑止割込みレベルビット)

DMA 転送を抑止する割込みレベルを設定します。このビットに設定した割込みレベルより高いレベルの割込み要求が周辺機能から発生すると DMA 転送が抑止されます。

LVL4	LVL3	LVL2	LVL1	LVL0	DMA 転送を抑止する割込み要求レベル
1	0	0	0	0	DMA 転送は抑止されません。
1	0	0	0	1	"11 _H " より高いレベルの割込み要求
1	0	0	1	0	"12 _H " より高いレベルの割込み要求
1	0	0	1	1	"13 _H " より高いレベルの割込み要求
1	0	1	0	0	"14 _H " より高いレベルの割込み要求
1	0	1	0	1	"15 _H " より高いレベルの割込み要求
1	0	1	1	0	"16 _H " より高いレベルの割込み要求
1	0	1	1	1	"17 _H " より高いレベルの割込み要求
1	1	0	0	0	"18 _H " より高いレベルの割込み要求
1	1	0	0	1	"19 _H " より高いレベルの割込み要求
1	1	0	1	0	"1A _H " より高いレベルの割込み要求
1	1	0	1	1	"1B _H " より高いレベルの割込み要求
1	1	1	0	0	"1C _H " より高いレベルの割込み要求
1	1	1	0	1	"1D _H " より高いレベルの割込み要求
1	1	1	1	0	"1E _H " より高いレベルの割込み要求
1	1	1	1	1	すべての割込み要求

< 注意事項 >

LVL4 ビットは "1" 固定で、LVL3 ~ LVL0 のみ設定が可能です。

28.5 割り込み

次のいずれかの状態になると割り込み要求が発生します。

- DMA 転送が正常終了したとき (正常終了割り込み要求)
- DMA 転送が異常終了したとき (異常終了割り込み要求)
- 転送停止要求が発生し DMA 転送が中断したとき (転送中断割り込み要求)

DMA コントローラ (DMAC) で使用できる割り込みについて表 28.5-1 に示します。

表 28.5-1 DMA コントローラ (DMAC) の割り込み

割り込み要求	割り込み要求フラグ	割り込み要求許可	割り込みのクリア
正常終了割り込み要求	DCSR の NC=1	DCCR の NIE=1	DCSR の NC ビットに "0" を書き込む
異常終了割り込み要求	DCSR の AC=1	DCCR の AIE=1	DCSR の AC ビットに "0" を書き込む
転送中断割り込み要求	DCSR の SP=1	DCCR の SIE=1	DCSR の SP ビットに "0" を書き込む

DCSR : DMA チャンネルステータスレジスタ (DCSR0 ~ DCSR7)

DCCR : DMA チャンネルコントロールレジスタ (DCCR0 ~ DCCR7)

< 注意事項 >

- 割り込み要求フラグは、割り込み要求の発生を禁止してからクリアするか、割り込み処理ルーチン内でクリアしてください。
- 各割り込み要求の割り込みベクタ番号については、「付録 C 割り込みベクタ」を参照してください。
- 割り込みベクタ番号に対応する割り込みレベルは、割り込みコントロールレジスタ (ICR00 ~ ICR47) で設定します。割り込みレベルの設定については、「第 10 章 割り込みコントローラ」を参照してください。
- DMA コントローラの割り込み要求発生時に割り込み許可ビット (AIE, SIE, NIE) を "0" にしても割り込み要求はクリアされません。割り込み要求フラグ (AC, SP, NC) に "0" を書き込んで割り込み要求をクリアしてください。
- 割り込み要求クリア時の注意事項
割り込み要求発生時は、対応するチャンネルのステータスレジスタ (DCSRx) を確認してください。複数のステータスフラグ (DCSRx.AC/SP/NC) が 1 となっている場合、割り込み要求のクリア時に注意が必要です。
割り込み要求をクリアする場合、ステータスレジスタのいずれかのフラグ (DCSR.AC/SP/NC) が 1 のままだと割り込み要求はクリアされません。複数のステータスフラグが 1 となっている場合は、割り込み許可 / 禁止ビット (DCCR.AIE/SIE/NIE) の設定によらず、AC/SP/NC の 3bit 全てのフラグをクリアすることで割り込み要求をクリアしてください。

28.6 動作説明と設定手順例

DMA コントローラ (DMAC) の動作について説明します。また、各転送モードを設定するための設定手順例も示します。

28.6.1 転送設定

DMA コントローラ (DMAC) を使用するのに必要な設定について説明します。

■ 概要

DMA 転送を利用する場合は、DMA コントローラ (DMAC) 全体に対する設定と、使用するチャンネルに対する設定が必要です。

また、DMA 転送の転送要求元を周辺機能の割込み要求にする場合は、割込みベクタ番号の選択や、各周辺機能での設定も必要です。詳しくは「第 29 章 周辺機能による DMA 転送要求の発生 / クリア選択機能」を参照してください。

設定する順番は次のようになります。

1. DMA コントローラ (DMAC) 全体に対する設定
「DMA コントローラ (DMAC) 全体に対する設定」を参照してください。
2. 使用するチャンネルの DMA コントローラに対する設定
「チャンネルに対する設定」を参照してください。

■ DMA コントローラ (DMAC) 全体に対する設定

DMA コントローラ (DMAC) を使用する場合、DMA コントローラ (DMAC) 全体に対する設定と、使用するチャネルに対する設定が必要になります。

ここでは、DMA コントローラ (DMAC) 全体に対して必要な設定について説明します。

- DMA コントロールレジスタ (DMACR) の DME ビットで DMA コントローラ (DMAC) の動作の許可
動作禁止：DME=0
動作許可：DME=1
- DMA コントロールレジスタ (DMACR) の AT ビット優先順位の設定
固定：AT=0
ラウンドロビン：AT=1
- DMA 転送抑止割込みレベルレジスタ (DILVR) の LVL4 ~ LVL0 ビットで DMA 転送を抑止する割込みレベルを設定
詳細については、各レジスタの説明を参照してください。

< 注意事項 >

DMA 転送要求の発生要因を周辺機能で発生した割込み要求にする場合は、DMA コントローラ (DMAC) の設定をする前に、割込みベクタ番号を選択してください。

割込みベクタ番号の選択については、「第 29 章 周辺機能による DMA 転送要求の発生 / クリア選択機能」の「29.3.1 IO 転送要求設定レジスタ (IORR0 ~ IORR7)」を参照してください。

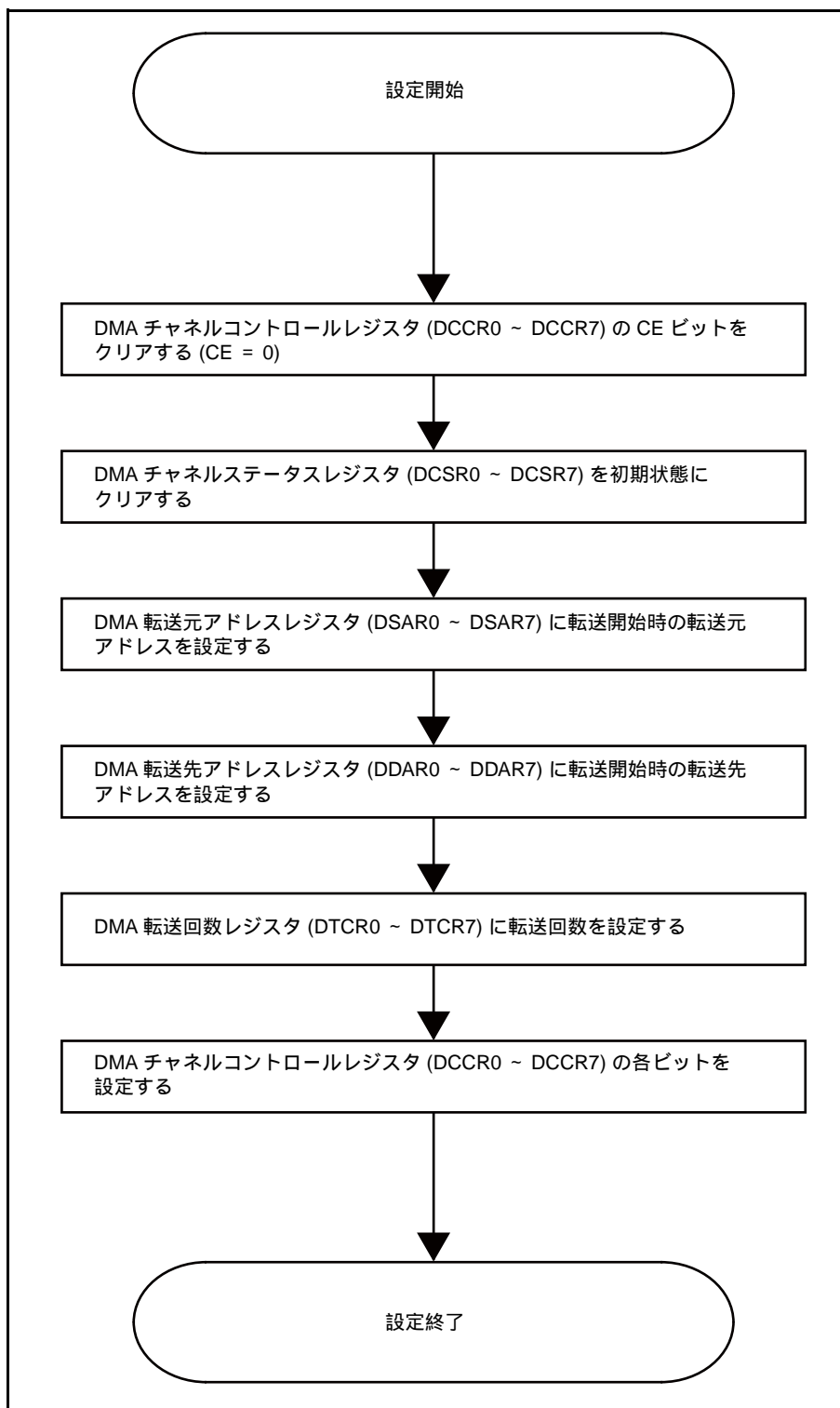
■ チャネルに対する設定

ここでは、使用するチャネルに対して必要な設定について説明します。

DMA コントローラ (DMAC) 全体に対する設定が終了したら、チャネルに対する設定を行ってください。

チャンネルに対する設定手順例を図 28.6-1 に示します。

図 28.6-1 設定手順例



1. チャンネルの動作を禁止する

DMA チャンネルコントロールレジスタ (DCCR0 ~ DCCR7) の CE ビット = 0

2. チャンネルの状態を示すフラグを初期化する
DMA チャンネルステータスレジスタ (DCSR0 ~ DCSR7) の AC ビット / SP ビット / NC ビット = 0
3. 転送元アドレスを設定する
DMA 転送元アドレスレジスタ (DSAR0 ~ DSAR7) の D31 ~ D0 ビット
4. 転送先アドレスを設定する
DMA 転送先アドレスレジスタ (DDAR0 ~ DDAR7) の D31 ~ D0 ビット
5. 転送回数を 1 回 ~ 65535 回の範囲で設定する
DMA 転送回数レジスタ (DTCR0 ~ DTCR7) の D15 ~ D0 ビット = 1 以上
6. その他の設定
DMA チャンネルコントロールレジスタ (DCCR0 ~ DCCR7) の各ビットを設定
7. DMA チャンネルコントロールレジスタ (DCCR0 ~ DCCR7) の CE ビットに "1" を書き込む
チャンネルの動作が許可されます。
転送要求元をソフトウェアにしている場合は、チャンネルの動作許可と同時に転送が開始されます。

< 注意事項 >

レジスタの設定方法については、各レジスタの説明を参照してください。

28.6.2 転送動作

DMA コントローラ (DMAC) の転送動作について説明します。

■ 転送モード

DMA コントローラ (DMAC) は、次の 3 種類の転送モードがあります。

- ブロック転送

転送要求が発生するとデータを 1 ブロック転送するモードです。1 ブロックのデータを転送後、再度転送要求を検出すると、次のデータを 1 ブロック転送します。これを設定した転送回数繰り返すモードです。

DMA チャンネルコントロールレジスタ (DCCR0 ~ DCCR7) の TS1, TS0 ビットで設定した転送サイズのデータを BLK3 ~ BLK0 ビットで設定した回数分、1 回ずつ転送します。

- バースト転送

1 度、転送要求が発生するとすべてのデータを転送するまで、1 ブロックずつ連続で転送するモードです。

DMA チャンネルコントロールレジスタ (DCCR0 ~ DCCR7) の TS1, TS0 ビットで設定した転送サイズのデータを BLK3 ~ BLK0 ビットで設定した回数分ずつ、DMA 転送回数レジスタ (DTCR0 ~ DTCR7) に設定した回数連続して転送します。

- デマンド転送

1 度、転送要求が発生すると、転送要求が取り下げられるか転送が終了するまで連続でデータを転送するモードです。また、データ転送が終了したときに転送回数をリロードする設定になっている場合は、転送要求が取り下げられるまで転送を続けます。

デマンド転送では ST/DT の両方またはどちらか一方を "1" にする必要があります。

転送モードによって、転送要求を発生させる要因が異なります。

転送モードと転送要求元の対応を表 28.6-1 に示します。

表 28.6-1 転送モードと転送要求元の対応

転送要求元	ブロック転送	バースト転送	デマンド転送
ソフトウェア			X
周辺機能の割込み要求			X
DREQ0 ~ DREQ3 端子 *			

* : ch.0 ~ ch.3 のみ使用できます。

■ 転送要求の検出

DMA 転送要求を検出することにより、転送動作が開始されます。

転送要求の検出動作は、DMA チャンネルコントロールレジスタ (DCCR0 ~ DCCR7) の RS1, RS0 ビットで設定した転送要求元によって異なります。

- 転送要求元がソフトウェアの場合

DMA チャンネルコントロールレジスタ (DCCR0 ~ DCCR7) の CE ビットに "1" を書き込むと、チャンネルの優先順位を判定し、転送が開始されます。

- 転送要求元がソフトウェア以外の場合

DMA チャンネルコントロールレジスタ (DCCR0 ~ DCCR7) の CE ビットに "1" を書き込むと、チャンネルの動作が許可されます。

その状態で、転送要求を検出すると、チャンネルの優先順位を判定し、転送が開始されます。

< 注意事項 >

- 転送要求元に周辺機能の割込み要求を設定した場合は、割込みベクタの選択が必要になります。「第 29 章 周辺機能による DMA 転送要求の発生 / クリア選択機能」の「29.3.1 IO 転送要求設定レジスタ (IORR0 ~ IORR7)」を参照してください。
- 転送要求元に周辺機能の割込み要求を設定した場合は、周辺機能で割込み要求が発生した時点での割込みレベルマスクレジスタ (ILM) と割込みコントロールレジスタ (ICR00 ~ ICR47) の値が次のようになるように設定してください。

ILM ICR

- 転送要求元に DREQ0 ~ DREQ3 端子を設定した場合は、外部バスインタフェースの DMA 転送に関する設定が必要になります。「第 13 章 外部バス インタフェース」を参照してください。
-

転送要求元と転送要求の検出条件を表 28.6-2 に示します。

表 28.6-2 転送要求元と転送要求の検出条件

転送要求元	ブロック転送 / バースト転送時	デマンド転送時
ソフトウェア	DCCR の CE ビットに "1" を書き込む	-
割込み要求	エッジ検出	-
DREQ0 ~ DREQ3 端子		1 回目：エッジ検出 2 回目以降：レベル検出

DCCR : DMA チャンネルコントロールレジスタ (DCCR0 ~ DCCR7)

< 注意事項 >

周辺機能の割込み要求はエッジ検出のため割込み要求発生中に CE=0 を 1 にしても転送開始はしません。CE=1 設定後に周辺機能の割込み許可などを行ってください。

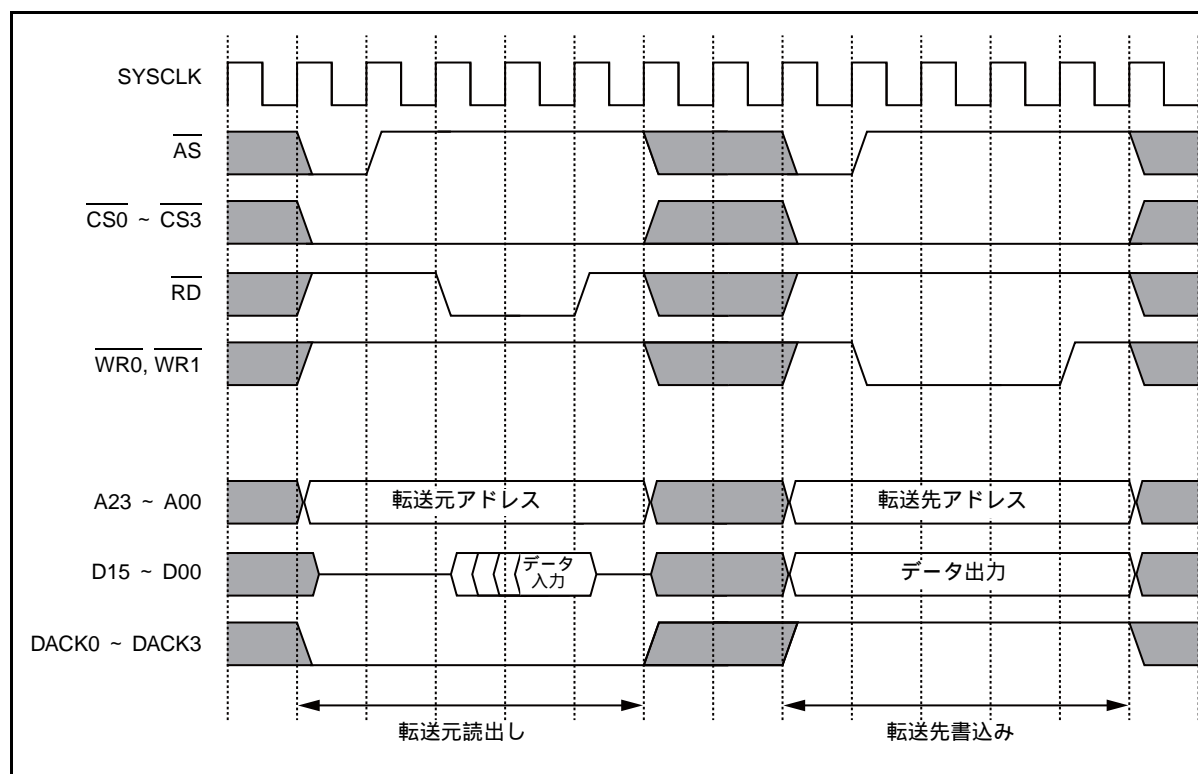
■ 動作

転送要求を検出すると、次のように転送が行われます。

1. DMA 転送元アドレスレジスタ (DSAR0 ~ DSAR7) に設定したアドレスからデータを読み出す
DMA チャンネルコントロールレジスタ (DCCR0 ~ DCCR7) の TS1, TS0 ビットで設定したビット幅のデータが読み出されます。
2. DMA 転送先アドレスレジスタ (DDAR0 ~ DDAR7) に設定したアドレスにデータを書き込む

外部メモリと外部 I/O 間の転送動作例を図 28.6-2 に示します。

図 28.6-2 転送動作例



< 注意事項 >

図 28.6-2 内の次の端子についての詳細は、「第 13 章 外部バス インタフェース」を参照してください。

- ・ \overline{AS} 端子
- ・ $\overline{CS0} \sim \overline{CS3}$ 端子
- ・ \overline{RD} 端子
- ・ $\overline{WR0}, \overline{WR1}$ 端子
- ・ $A23 \sim A00$ 端子
- ・ $D15 \sim D00$ 端子
- ・ $DACK0 \sim DACK3$ 端子

■ 優先順位

DMA 転送要求が複数発生すると、DMA コントロールレジスタ (DMACR) の AT ビットの設定にしたがって、優先順位の高いチャンネルから転送が行われます。

優先順位の判定は、1 ブロック転送することに行われます。また、転送終了時にも優先順位の判定が行われます。

< 注意事項 >

デマンド転送で転送中は優先順位の判定は行われません。

優先順位の決定方法は次のいずれかになります。

- 固定：チャンネルの若い番号が優先されます。

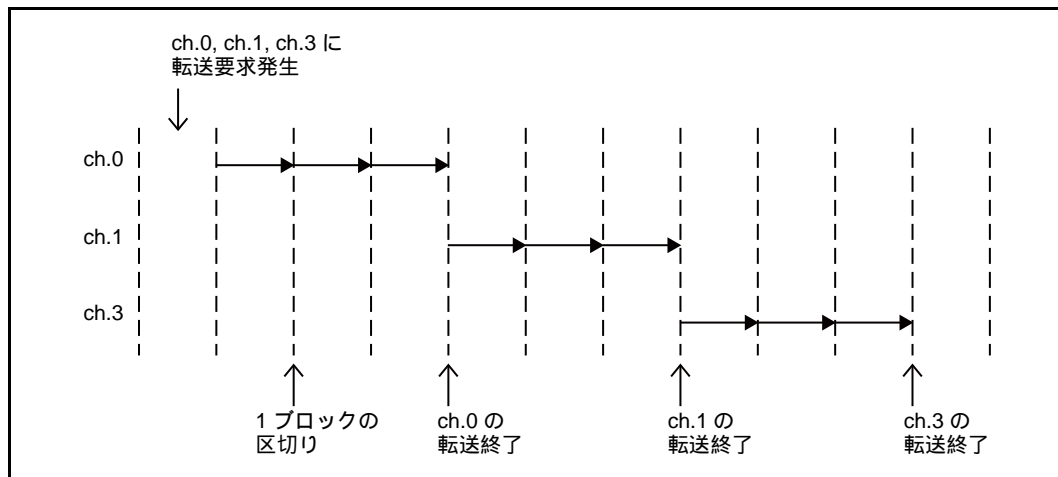
転送例 1 として次の条件での転送例を図 28.6-3 に示します。

転送要求：ch.0, ch.1, ch.3 で同時発生

転送モード：すべてチャンネルがバースト転送モード

転送回数：すべてのチャンネルが 3

図 28.6-3 転送例 1



1. 転送要求が ch.0, ch.1, ch.3 で同時に発生します。
2. ch.0 の転送が開始されます。
3. ch.0 のデータを 3 ブロック転送し終わると, ch.1 の転送が開始されます。
4. ch.1 のデータを 3 ブロック転送し終わると, ch.3 の転送が開始されます。

転送例 2 として次の条件での転送例を図 28.6-4 に示します。

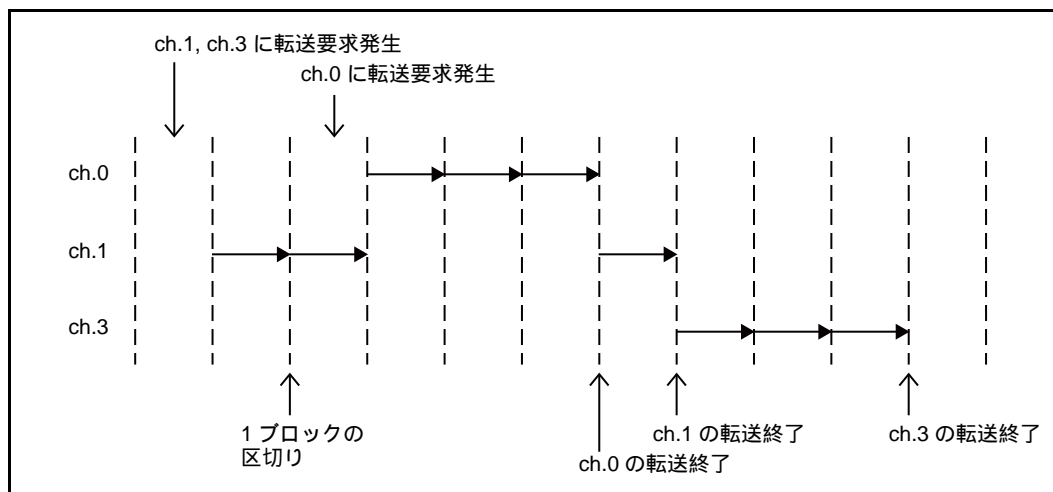
転送要求：

- ・ ch.1, ch.3 で同時発生
- ・ ch.1 の転送中に ch.0 で発生

転送モード：すべてチャンネルがバースト転送モード

転送回数：すべてのチャンネルが 3

図 28.6-4 転送例 2



1. 転送要求が ch.1, ch.3 で同時に発生します。
2. ch.1 の転送が開始されます。
3. ch.1 の転送中に ch.0 で転送要求が発生します。
4. ch.1 の転送が中断され, ch.0 の転送が開始されます。
5. ch.0 のデータを 3 ブロック転送し終わると, ch.1 の転送が開始されます。
6. ch.1 のデータを 3 ブロック転送し終わると, ch.3 の転送が開始されます。

- ラウンドロビン：転送を開始したチャンネルの優先順位が一番低くなり、そのチャンネルより下位にあったチャンネルの優先順位が 1 つずつ繰り上がります。

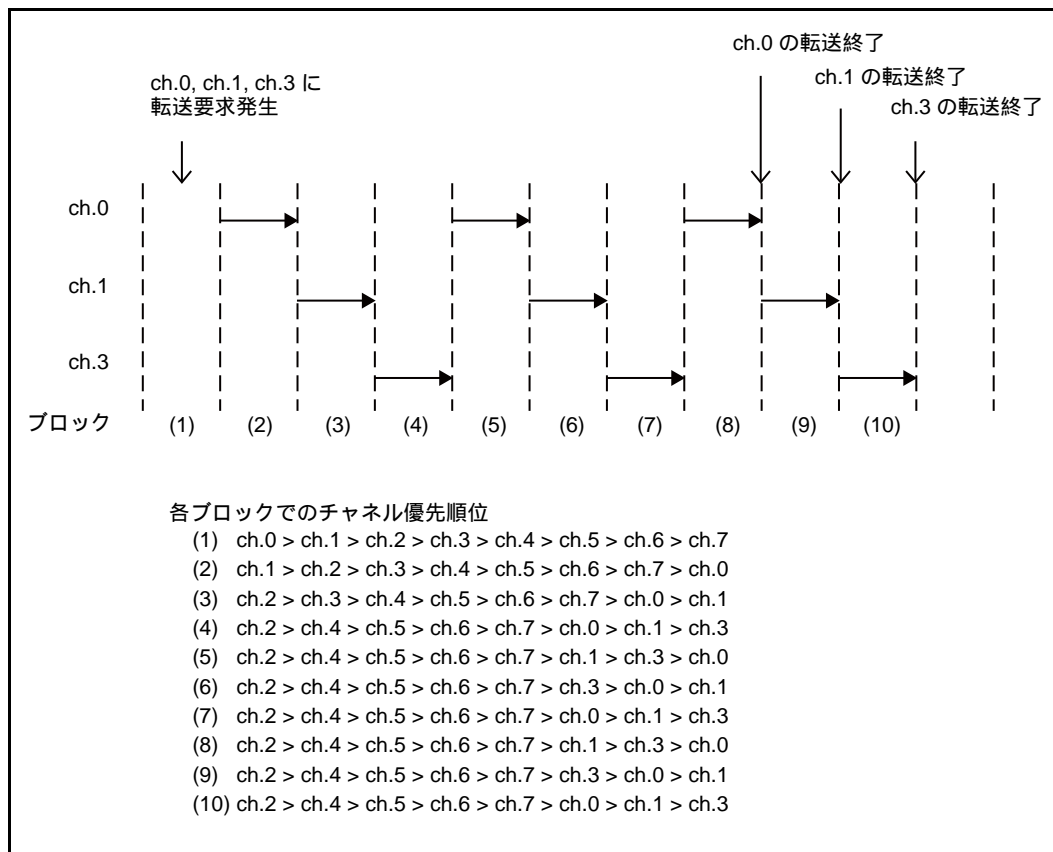
次の条件での転送例を図 28.6-5 に示します。

転送要求：ch.0, ch.1, ch.3 で同時発生

転送モード：すべてチャンネルがバースト転送モード

転送回数：すべてのチャンネルが 3

図 28.6-5 転送例



- 転送要求が ch.0, ch.1, ch.3 で同時に発生します。
- ch.0 のデータを 1 ブロック転送します。
- ch.0 のデータを 1 ブロック転送後、ch.1 のデータを 1 ブロック転送します。
- ch.1 のデータを 1 ブロック転送後、ch.3 のデータを 1 ブロック転送します。
- ch.3 のデータを 1 ブロック転送後、ch.0 のデータの 2 ブロック目を転送します。
- ch.0 のデータの 2 ブロック目を転送後、ch.1 のデータの 2 ブロック目を転送します。
- ch.1 のデータの 2 ブロック目を転送後、ch.3 のデータの 2 ブロック目を転送します。
- ch.3 のデータの 2 ブロック目を転送後、ch.0 のデータの 3 ブロック目を転送します。
ch.0 の転送が終了します。
- ch.0 のデータの 3 ブロック目を転送後、ch.1 のデータの 3 ブロック目を転送します。
ch.1 の転送が終了します。
- ch.1 のデータの 3 ブロック目を転送後、ch.3 のデータの 3 ブロック目を転送します。
ch.3 の転送が終了します。

■ 転送アドレス更新動作

DMA チャンネルコントロールレジスタ (DCCR0 ~ DCCR7) の TS1, TS0 ビットで設定したサイズのデータを転送するたびに、転送元アドレスと転送先アドレスを増加/減少させることができます。

アドレスの更新は、次のレジスタで設定できます。

- 転送元アドレス: DMA チャンネルコントロールレジスタ (DCCR0 ~ DCCR7) の SAC1, SAC0 ビット
- 転送先アドレス: DMA チャンネルコントロールレジスタ (DCCR0 ~ DCCR7) の DAC1, DAC0 ビット

また、増加/減少幅は、DMA チャンネルコントロールレジスタ (DCCR0 ~ DCCR7) の TS1, TS0 ビットで設定したサイズによって異なります。

各ビットの設定値と増加 / 減少幅の対応を表 28.6-3 に示します。

表 28.6-3 各ビットの設定値と増加 / 減少幅

転送元アドレス (SAC1, SAC0)	転送先アドレス (DAC1, DAC0)	転送サイズ (TS1, TS0)	転送元 アドレス 増減幅	転送先 アドレス 増減幅
00 (増加)	00 (増加)	00 (8 ビット)	1 増加	1 増加
		01 (16 ビット)	2 増加	2 増加
		10 (32 ビット)	4 増加	4 増加
	01 (減少)	00 (8 ビット)	1 増加	1 減少
		01 (16 ビット)	2 増加	2 減少
		10 (32 ビット)	4 増加	4 減少
	11 (固定)	00 (8 ビット)	1 増加	増減なし
		01 (16 ビット)	2 増加	増減なし
		10 (32 ビット)	4 増加	増減なし
01 (減少)	00 (増加)	00 (8 ビット)	1 減少	1 増加
		01 (16 ビット)	2 減少	2 増加
		10 (32 ビット)	4 減少	4 増加
	01 (減少)	00 (8 ビット)	1 減少	1 減少
		01 (16 ビット)	2 減少	2 減少
		10 (32 ビット)	4 減少	4 減少
	11 (固定)	00 (8 ビット)	1 減少	増減なし
		01 (16 ビット)	2 減少	増減なし
		10 (32 ビット)	4 減少	増減なし
11 (固定)	00 (増加)	00 (8 ビット)	増減なし	1 増加
		01 (16 ビット)	増減なし	2 増加
		10 (32 ビット)	増減なし	4 増加
	01 (減少)	00 (8 ビット)	増減なし	1 減少
		01 (16 ビット)	増減なし	2 減少
		10 (32 ビット)	増減なし	4 減少
	11 (固定)	00 (8 ビット)	増減なし	増減なし
		01 (16 ビット)	増減なし	増減なし
		10 (32 ビット)	増減なし	増減なし

■ 転送要求受付 / 転送終了信号の出力

● 出力タイミング

DMA チャネルコントロールレジスタ (DCCR0 ~ DCCR7) の ST ビットか DT ビットが "1" に設定されていると、転送要求受付 / 転送終了信号を出力できます。

- ST ビットが "1" の場合
 - 転送元の読み出しサイクルで転送要求に対し転送要求受付信号を出力します (毎回)。

- DMA転送回数レジスタ (DTCR0 ~ DTCR7) に設定した回数の最後の転送時, 転送元読み出しサイクルで転送終了信号を出力します (1 回のみ)。
- DT ビットが "1" の場合
 - 転送先への書き込みサイクルで転送要求に対し転送要求受付信号を出力します (毎回)。
 - DMA転送回数レジスタ (DTCR0 ~ DTCR7) に設定した回数の最後の転送時, 転送先への書き込みサイクルで転送終了信号を出力します (1 回のみ)。

< 注意事項 >

- 出力された転送要求受付 / 転送終了信号は転送元 / 転送先が外部バスインタフェースの場合のみ確認できます。
詳細については, 「第 13 章 外部バス インタフェース」を参照してください。
転送元 / 転送先が外部バスインタフェース以外の場合は, 転送要求受付 / 転送終了信号は確認できません。
- DMA チャネルコントロールレジスタ (DCCR0 ~ DCCR7) の TM1, TM0 ビットで転送モードをデマンド転送に設定 (TM1, TM0=11) した場合は, 必ず次の両方またはいずれかのビットを "1" にしてください。
 - DMA チャネルコントロールレジスタ (DCCR0 ~ DCCR7) の ST ビット
 - DMA チャネルコントロールレジスタ (DCCR0 ~ DCCR7) の DT ビット

● 注意事項

DMA チャネルコントロールレジスタ (DCCR0 ~ DCCR7) の ST ビット / DT ビットの設定により, 転送ウェイトが入ることがあります。

- ch.0 の ST ビットと DT ビットの両方を "1" に設定した場合
ch.0 の転送において, 転送元から転送先の間, また転送先から転送元の間で転送ウェイトが入ります。
- 転送先タイプを設定しているチャネルから転送元タイプを設定しているチャネルに移る場合
設定例: 転送チャネルが ch.0 から ch. 1 へ移る場合

チャネル番号	ST	DT
ch.0	0	1
ch.1	1	0

先に転送しているチャネル (ch.0) の転送先から, 次に転送するチャネル (ch.1) の転送元の間で転送ウェイトが入ります。

28.6.3 転送の中断

DMA コントローラ (DMAC) は、次の場合に DMA 転送を中断します。
DMA 転送が中断されたときの動作について説明します。

■ 概要

DMA 転送は、次の場合に中断されます。

- DMA コントロールレジスタ (DMACR) の DME ビットに "0" が書き込まれたとき
- DMA チャンネルコントロールレジスタ (DCCR0 ~ DCCR7) の CE ビットに "0" が書き込まれたとき
- 転送要求元から転送停止要求が出力されたとき

■ 転送中断 / 再開

転送の中断は、ブロック単位で行われます。そのため、転送中に中断要因が発生すると、転送中のデータを 1 ブロック転送完了後に、転送が中断されます。

また、1 度転送が中断されると、新たな転送は行わず DMA コントローラ (DMAC) は停止状態になります。

- **DMA コントロールレジスタ (DMACR) の DME ビットに "0" が書き込まれた場合**
すべてのチャンネルが停止状態になります。

DME ビットが "0" にクリアされたときに、転送を行っていたチャンネルは、転送中のデータを 1 ブロック転送し終わった時点で転送を中断します。また、すでに検出した転送要求はクリアされません。

次の手順で DMA 転送を再開してください。

1. DMA コントロールレジスタ (DMACR) の DME ビットに "1" を書き込む

- **DMA チャンネルコントロールレジスタ (DCCR0 ~ DCCR7) の CE ビットに "0" が書き込まれた場合**

対応するチャンネルが停止状態になります。

対応するチャンネルが転送中の場合は、転送中のデータを 1 ブロック転送し終わった時点で転送を中断します。また、すでに検出した転送要求もクリアされます。

次の手順で DMA 転送を再開してください。

1. 停止状態にあるチャンネルの DMA チャンネルコントロールレジスタ (DCCR0 ~ DCCR7) の CE ビットに "1" を書き込む
2. 新たに転送要求を行う

- **転送要求元からの転送停止要求による中断**

マルチファンクションシリアルインタフェースで DMA コントローラ (DMAC) を起動したときに、受信エラーが発生し、転送停止要求が発行されると、転送中のデータを 1 ブロック転送し終わった時点で転送が中断されます。

転送が中断されると次の状態が発生します。

- DMA チャンネルステータスレジスタ (DCSR0 ~ DCSR7) の SP ビットが "1" に変わる。

- DMA チャンネルコントロールレジスタ (DCCR0 ~ DCCR7) の CE ビットが "0" に変わる。
- すでに検出した転送要求がクリアされる。

転送停止要求が発行されている期間は、新たな転送要求を受け付けません。

次の手順で DMA 転送を再開してください

1. 転送停止要求を無効にする
2. 対応するチャンネルの DMA チャンネルステータスレジスタ (DCSR0 ~ DCSR7) の SP ビットに "0" を書き込む
3. DMA チャンネルコントロールレジスタ (DCCR0 ~ DCCR7) の CE ビットに "1" を書き込む
4. 新たに転送要求を行う

< 注意事項 >

DMA チャンネルステータスレジスタ (DCSR0 ~ DCSR7) の SP ビットは自動では "0" にクリアされません。クリアするには、SP ビットに "0" を書き込んでください。

■ 再開時の動作

再開手順を実施すると、DMA 転送が再開されます。再開時の動作は、DMA コントロールレジスタ (DMACR) の DME ビットに "1" を書き込んだ場合と、DMA チャンネルコントロールレジスタ (DCCR0 ~ DCCR7) の CE ビットに "1" を書き込んだ場合で異なります。また、転送モードによっても異なります。

転送再開時の動作を表 28.6-4 に示します。

表 28.6-4 転送再開時の動作

転送モード	DME ビットに "1" を書き込んだ場合	CE ビットに "1" を書き込んだ場合
ブロック転送	新たな転送要求を検出すると、優先順位にしたがって転送再開。	新たな転送要求を検出すると、優先順位にしたがって転送再開。
バースト転送	優先順位にしたがってただちに転送再開。	(デマンド転送の場合、新たに転送要求を発生させるには、DREQ0 ~ DREQ3 端子から、再び DMA 転送要求を入力する必要があります。)
デマンド転送	DME ビットに "1" を書き込んだとき、引き続き転送要求が発行されていると、優先順位判定を行わずただちに転送再開。	

< 注意事項 >

DREQ0 ~ DREQ3 端子から、DMA 転送要求を入力するタイミングについては、「第 13 章 外部バス インタフェース」を参照してください。

28.6.4 転送終了時の動作

DMA 転送の終了動作について説明します。

転送終了には、正常終了と異常終了があります。

- 正常終了

DMA 転送回数レジスタ (DTCR0 ~ DTCR7) に設定した回数の転送が終了すると、DMA 転送は正常終了します。

DMA 転送が正常終了すると、次のようになります。

1. 対応するチャンネルの DMA チャンネルステータスレジスタ (DCSR0 ~ DCSR7) の NC ビットが "1" に変わる
2. DMA チャンネルコントロールレジスタ (DCCR0 ~ DCCR7) の CE ビットが "0" に変わる。

DMA コントローラ (DMAC) が停止状態となります。

ただし、転送要求元がソフトウェア以外で転送回数のリロードが設定されている場合は、DMA チャンネルコントロールレジスタ (DCCR0 ~ DCCR7) の CE ビットはクリアされません。

また、DMA 転送回数レジスタ (DTCR0 ~ DTCR7) に設定された値が "0" のときに、対応するチャンネルの DMA チャンネルコントロールレジスタ (DCCR0 ~ DCCR7) の CE ビットに "1" を書き込むと、正常終了と同様に、対応するチャンネルの DMA チャンネルステータスレジスタ (DCSR0 ~ DCSR7) の NC ビットが "1" に変わります。

必ず DMA 転送回数レジスタ (DTCR0 ~ DTCR7) が "1" 以上になるように設定してから DMA チャンネルコントロールレジスタ (DCCR0 ~ DCCR7) の CE ビット "1" を書き込んでください。

< 注意事項 >

- 転送要求元に割り込み要求を選択した場合は、DMA 転送が終了すると、周辺機能の割り込み要求フラグが DMA コントローラ (DMAC) によってクリアされます。
- DMA チャンネルステータスレジスタ (DCSR0 ~ DCSR7) の NC ビットは自動では "0" にクリアされません。クリアするには、NC ビットに "0" を書き込んでください。

- 異常終了

DMA チャンネルコントロールレジスタ (DCCR0 ~ DCCR7) に設定禁止の値を設定すると異常終了割り込み要求を出力します。

DMA チャンネルコントロールレジスタ (DCCR0 ~ DCCR7) の値が、次のいずれかに当てはまると DMA 転送が異常終了します。

- TM1, TM0 ビット = 10 (設定禁止)
- SAC1, SAC0 ビット = 10 (設定禁止)
- DAC1, DAC0 ビット = 10 (設定禁止)
- TS1, TS0 ビット = 11 (設定禁止)
- RS1, RS0 ビット = 00 かつ、TM1, TM0 ビット = 11 (転送要求元: ソフトウェア, 転送モード: デマンド転送)

DMA 転送が異常終了すると、次のようになります。

1. 対応するチャンネルの DMA チャンネルステータスレジスタ (DCSR0 ~ DCSR7) の AC ビットが "1" に変わる。
2. DMA チャンネルコントロールレジスタ (DCCR0 ~ DCCR7) の CE ビットが "0" に変わる。

DMA コントローラ (DMAC) が停止状態となります。

< 注意事項 >

DMA チャンネルステータスレジスタ (DCSR0 ~ DCSR7) の AC ビットは自動では "0" にクリアされません。クリアするには、AC ビットに "0" を書き込んでください。

28.6.5 転送後の動作

設定された転送回数のブロックの DMA 転送後の動作について説明します。

■ リロード動作

DMA コントローラ (DMAC) は、転送前に書き込まれた転送元アドレスや転送先アドレス、転送回数を保持するリロードレジスタを搭載しています。このため、転送前に指定した転送元アドレス、転送先アドレス、転送回数を転送後にリロードすることができます。

リロードレジスタが用意されているレジスタは次のとおりです。

- DMA 転送元アドレスレジスタ (DSAR0 ~ DSAR7)
- DMA 転送先アドレスレジスタ (DDAR0 ~ DDAR7)
- DMA 転送回数レジスタ (DTCR0 ~ DTCR7)

< 注意事項 >

リロードレジスタは、対応する各レジスタに書き込まれた値を記憶するレジスタです。リロードレジスタの値を読み出すことはできません。

● 転送元アドレスのリロード動作

転送元アドレスを DMA 転送元アドレスレジスタ (DSAR0 ~ DSAR7) にリロードするかどうかは、DMA チャンネルコントロールレジスタ (DCCR0 ~ DCCR7) の SAR ビットで設定します。

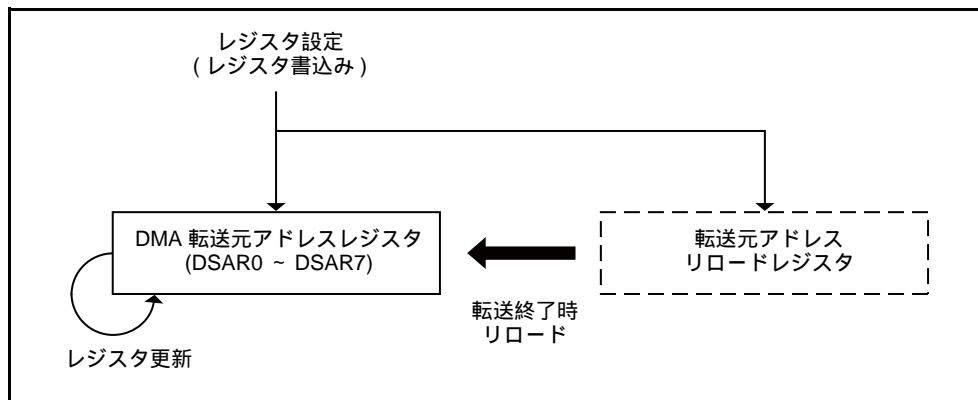
設定方法と転送後の動作を表 28.6-5 に示します。

表 28.6-5 設定方法と転送後の動作

SAR	転送後の動作
0	転送終了後、DMA 転送元アドレスレジスタ (DSAR0 ~ DSAR7) の値が最後にアクセスしたアドレスの次のアドレスになります。
1	転送終了後、DMA 転送元アドレスレジスタ (DSAR0 ~ DSAR7) の値が、転送前に書き込んだ値に戻ります。

DMA チャンネルコントロールレジスタ (DCCR0 ~ DCCR7) の SAR ビットでリロードを許可 (SAR=1) した場合の動作を図 28.6-6 に示します。

図 28.6-6 転送元アドレスリロード動作



< 注意事項 >

DMA 転送回数レジスタ (DTCR0 ~ DTCR7) に設定した転送回数の転送が終了する前に、転送の中断や異常終了が発生した場合は、DMA チャンネルコントロールレジスタ (DCCR0 ~ DCCR7) の SAR ビットでリロードを許可 (SAR=1) していても、転送元アドレスはリロードされません。

DMA 転送元アドレスレジスタ (DSAR0 ~ DSAR7) は、最後にアクセスしたアドレスの次のアドレスになります。

● 転送先アドレスのリロード動作

転送先アドレスを DMA 転送先アドレスレジスタ (DDAR0 ~ DDAR7) にリロードするかどうかは、DMA チャンネルコントロールレジスタ (DCCR0 ~ DCCR7) の DAR ビットで設定します。

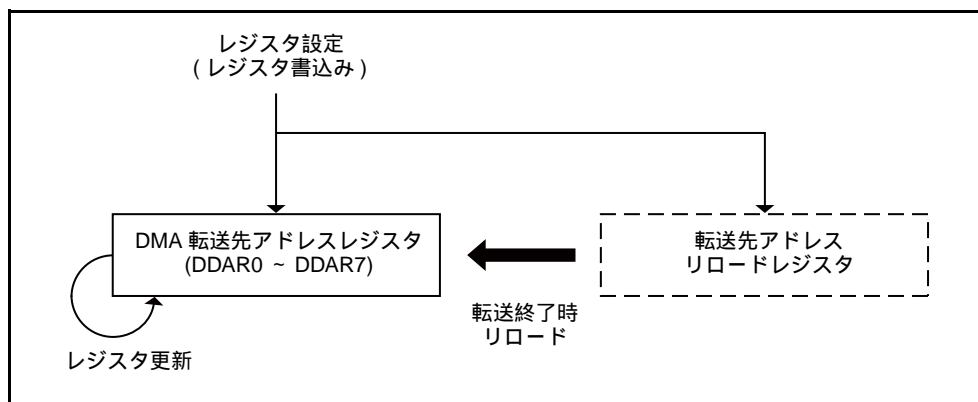
設定方法と転送後の動作を表 28.6-6 に示します。

表 28.6-6 設定方法と転送後の動作

DAR	転送後の動作
0	転送終了後、DMA 転送先アドレスレジスタ (DDAR0 ~ DDAR7) の値が最後にアクセスしたアドレスの次のアドレスになります。
1	転送終了後、DMA 転送先アドレスレジスタ (DDAR0 ~ DDAR7) の値が、転送前に書き込んだ値に戻ります。

DMA チャンネルコントロールレジスタ (DCCR0 ~ DCCR7) の DAR ビットでリロードを許可 (DAR=1) した場合の動作を図 28.6-7 に示します。

図 28.6-7 転送先アドレスリロード動作



< 注意事項 >

DMA 転送回数レジスタ (DTCR0 ~ DTCR7) に設定した転送回数の転送が終了する前に、転送の中断や異常終了が発生した場合は、DMA チャンネルコントロールレジスタ (DCCR0 ~ DCCR7) の DAR ビットでリロードを許可 (DAR=1) していても、転送先アドレスはリロードされません。

DMA 転送先アドレスレジスタ (DDAR0 ~ DDAR7) は、最後にアクセスしたアドレスの次のアドレスになります。

● 転送回数のリロード動作

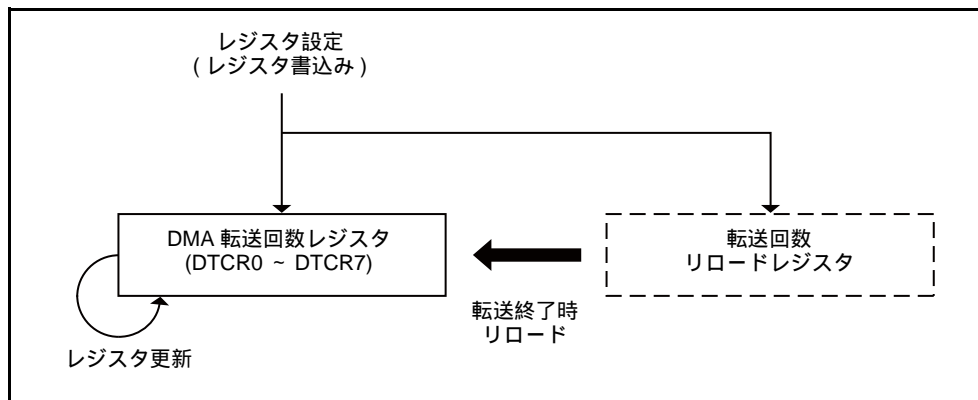
転送回数を DMA 転送回数レジスタ (DTCR0 ~ DTCR7) にリロードするかどうかは、DMA チャンネルコントロールレジスタ (DCCR0 ~ DCCR7) の TCR ビットで設定します。設定方法と転送後の動作を表 28.6-7 に示します。

表 28.6-7 設定方法と転送後の動作

TCR	転送後の動作
0	転送終了後、DMA 転送回数レジスタ (DTCR0 ~ DTCR7) の値は "0" になります。
1	転送終了後、DMA 転送回数レジスタ (DTCR0 ~ DTCR7) の値が、転送前に書き込んだ値に戻ります。

DMA チャンネルコントロールレジスタ (DCCR0 ~ DCCR7) の TCR ビットでリロードを許可 (TCR=1) した場合の動作を図 28.6-8 に示します。

図 28.6-8 転送回数リロード動作



また、DMA チャンネルコントロールレジスタ (DCCR0 ~ DCCR7) の TCR ビットの設定によって、転送終了後に DMA チャンネルコントロールレジスタ (DCCR0 ~ DCCR7) の CE ビットがクリアされるかどうかが決まります。

TCR ビットと転送終了後の CE ビットの関係を表 28.6-8 に示します。

表 28.6-8 TCR ビットと転送終了後の CE ビットの関係

TCR	転送要求元	
	ソフトウェア	ソフトウェア以外
0	CE ビットが "0" にクリアされる	CE ビットが "0" にクリアされる
1	CE ビットが "0" にクリアされる	CE ビットはクリアされない

< 注意事項 >

- DMA チャンネルコントロールレジスタ (DCCR0 ~ DCCR7) の TCR ビットで転送回数のリロードを許可 (TCR=1) した場合、デマンド転送では転送要求が出力されている間は連続して転送を行います。
- DMA 転送が中断された場合や、転送が異常終了した場合は、DMA 転送回数レジスタ (DTCR0 ~ DTCR7) は残りの転送回数を示します。

28.6.6 DMA 転送の抑止

周辺機能で割り込み要求が発生すると、DMA 転送が抑止されます。

DMA 転送の抑止はブロック単位で行われます。そのため DMA 転送抑止割り込みレベルレジスタ (DILVR) に設定した割り込みレベルより強いレベルの割り込み要求が発生すると、転送中のデータを 1 ブロック転送し終わってから、転送が抑止されます。

DMA 転送が抑止されると新たな転送は行わず、DMA コントローラ (DMAC) は抑止状態となります。

割り込み要求をクリアし、割り込みレベルが DMA 転送抑止割り込みレベルレジスタ (DILVR) の LVL4 ~ LVL0 ビットと同じか弱いレベルになると DMA 転送を再開します。

DMA 転送抑止割り込みレベルレジスタ (DILVR) の LVL4 ~ LVL0 ビットの設定と DMA 転送を抑止する割り込み要求レベルの対応を表 28.6-9 に示します。

表 28.6-9 DMA 転送を抑止する割り込み要求レベル

LVL4	LVL3	LVL2	LVL1	LVL0	DMA 転送を抑止する割り込み要求レベル
1	0	0	0	0	DMA 転送は抑止されません。
1	0	0	0	1	"11 _H " より高いレベルの割り込み要求
1	0	0	1	0	"12 _H " より高いレベルの割り込み要求
1	0	0	1	1	"13 _H " より高いレベルの割り込み要求
1	0	1	0	0	"14 _H " より高いレベルの割り込み要求
1	0	1	0	1	"15 _H " より高いレベルの割り込み要求
1	0	1	1	0	"16 _H " より高いレベルの割り込み要求
1	0	1	1	1	"17 _H " より高いレベルの割り込み要求
1	1	0	0	0	"18 _H " より高いレベルの割り込み要求
1	1	0	0	1	"19 _H " より高いレベルの割り込み要求
1	1	0	1	0	"1A _H " より高いレベルの割り込み要求
1	1	0	1	1	"1B _H " より高いレベルの割り込み要求
1	1	1	0	0	"1C _H " より高いレベルの割り込み要求
1	1	1	0	1	"1D _H " より高いレベルの割り込み要求
1	1	1	1	0	"1E _H " より高いレベルの割り込み要求
1	1	1	1	1	すべての割り込み要求

第 29 章 周辺機能による DMA 転送要求の 発生 / クリア選択 機能

周辺機能の割込み要求を利用して DMA 転送要求を発生させる方法と, DMA コントローラ (DMAC) から周辺機能の割込み要求フラグをクリアする方法を説明します。

- 29.1 概要
- 29.2 構成
- 29.3 レジスタ
- 29.4 動作説明と設定手順例

29.1 概要

本製品では、周辺機能の割り込み要求を利用して DMA 転送を起動することができます。
DMA 転送を起動する割り込み要求を選択するレジスタが DMA コントローラ (DMAC) のチャンネルごとに用意されています。

1つの割り込みベクタ番号に複数の割り込み要求が割り当てられていた場合に、どの割り込み要求フラグを DMA コントローラ (DMAC) でクリアするのも設定する必要があります。

■ 周辺機能による DMA 転送要求発生についての概要

DMA コントローラ (DMAC) のレジスタで DMA 転送要求の発生要因 (転送要求元) を周辺機能の割り込み要求に設定できます。

割り込みベクタ番号に対応する値を指定して、使用する割り込み要求を選択します。

■ 周辺機能による DMA 転送要求クリア選択機能の概要

- 割り込み要求の選択

DMA 転送要求の発生要因 (転送要求元) を周辺機能の割り込み要求にすると、その割り込み要求フラグは DMA 転送後に DMA コントローラ (DMAC) によってクリアされます。

そのため、DMA 転送要求の発生要因 (転送要求元) として選択した割り込みベクタ番号に複数の割り込み要求が割り当てられていると、DMA 転送の終了後、DMA コントローラ (DMAC) がクリアする割り込み要求フラグを選択する必要があります。

- 転送停止要求の選択

UART/CSIO/T²C ch.8 ~ ch.11 で受信時に割り込み要求が発生すると DMA コントローラ (DMAC) に対して転送停止要求を出力し、DMA 転送を中断できます。

どのチャンネルの受信割り込み要求を DMA 転送の転送停止要求として使用するかを、この機能で選択します。

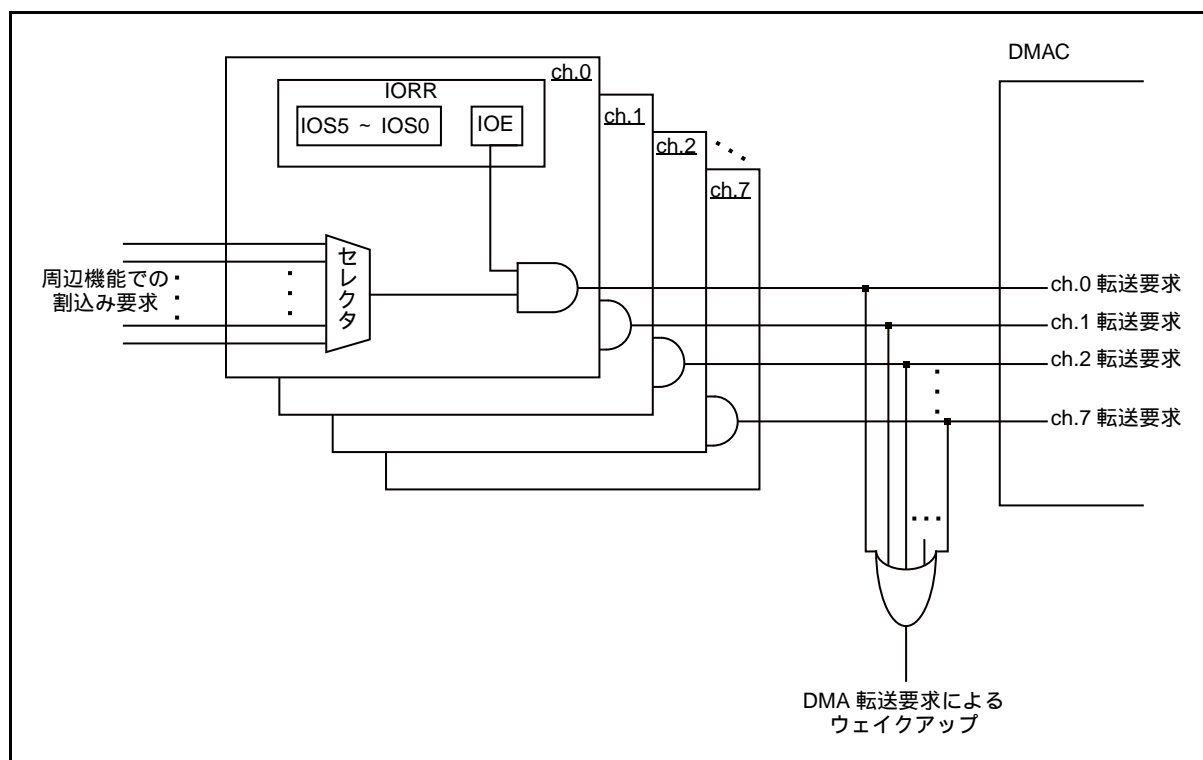
29.2 構成

周辺機能による DMA 転送要求発生部および DMA 転送要求のクリア選択機能の構成について説明します。

■ 周辺機能による DMA 転送要求発生部のブロックダイアグラム

周辺機能の割り込み要求を DMA 転送の転送要求元として使用する部分のブロックダイアグラムを図 29.2-1 に示します。

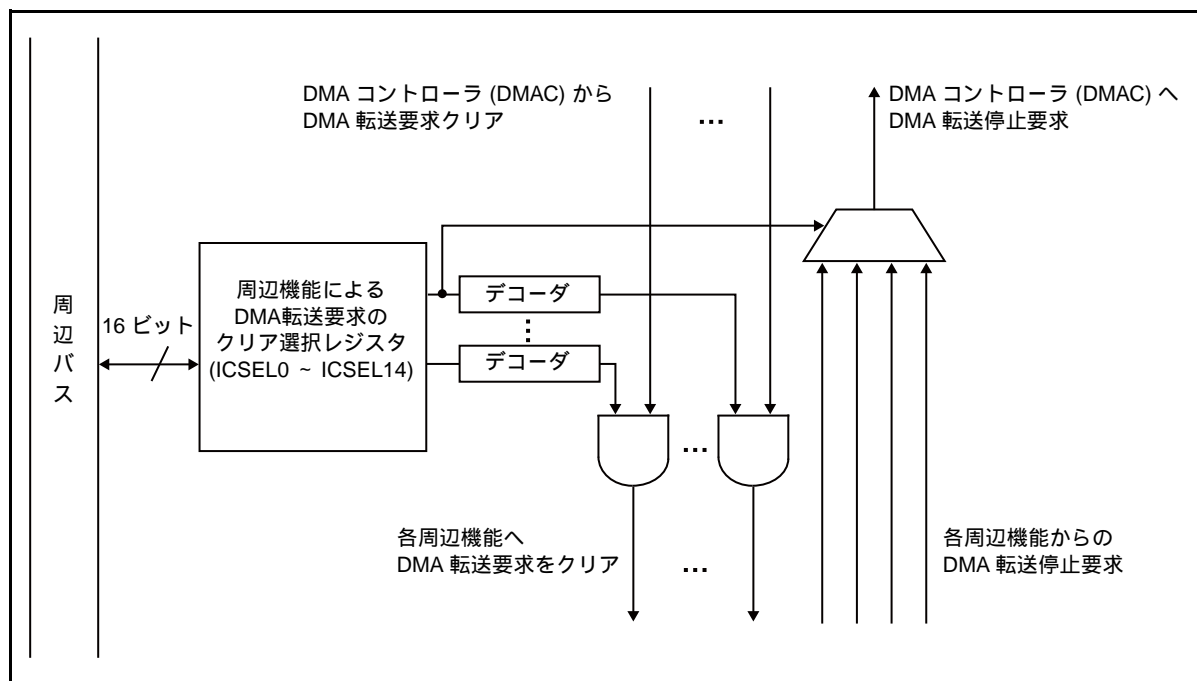
図 29.2-1 周辺機能割り込み要求利用時のブロックダイアグラム



■ DMA 転送要求のクリア選択機能のブロックダイアグラム

DMA 転送要求のクリア選択機能のブロックダイアグラムを図 29.2-2 に示します。

図 29.2-2 DMA 転送要求のクリア選択機能のブロックダイアグラム



- 周辺機能による DMA 転送要求のクリア選択レジスタ (ICSEL0 ~ ICSEL14)
DMA コントローラ (DMAC) でフラグビットをクリアする割り込み要求を選択するレジスタです。
- デコーダ

29.3 レジスタ

DMA 転送要求の発生 / クリア選択機能で使用するレジスタの構成と機能について説明します。

■ 周辺機能による DMA 転送要求発生部のレジスタ一覧

DMA 転送要求発生部のレジスタ一覧を表 29.3-1 に示します。

表 29.3-1 周辺機能による DMA 転送要求発生部のレジスタ一覧

DMAC のチャンネル	レジスタ略称	レジスタ名	参照先
0	IORR0	IO 転送要求設定レジスタ 0	29.3.1
1	IORR1	IO 転送要求設定レジスタ 1	29.3.1
2	IORR2	IO 転送要求設定レジスタ 2	29.3.1
3	IORR3	IO 転送要求設定レジスタ 3	29.3.1
4	IORR4	IO 転送要求設定レジスタ 4	29.3.1
5	IORR5	IO 転送要求設定レジスタ 5	29.3.1
6	IORR6	IO 転送要求設定レジスタ 6	29.3.1
7	IORR7	IO 転送要求設定レジスタ 7	29.3.1

■ DMA 転送要求のクリア選択機能のレジスタ一覧

DMA 転送要求のクリア選択機能のレジスタ一覧を表 29.3-2 に示します。

表 29.3-2 DMA 転送要求のクリア選択機能のレジスタ一覧

チャンネル	レジスタ略称	レジスタ名	参照先
共通	ICSEL0	周辺機能による DMA 転送要求のクリア選択レジスタ 0	29.3.2
	ICSEL1	周辺機能による DMA 転送要求のクリア選択レジスタ 1	29.3.3
	ICSEL2	周辺機能による DMA 転送要求のクリア選択レジスタ 2	29.3.4
	ICSEL3	周辺機能による DMA 転送要求のクリア選択レジスタ 3	29.3.5
	ICSEL4	周辺機能による DMA 転送要求のクリア選択レジスタ 4	29.3.6
	ICSEL5	周辺機能による DMA 転送要求のクリア選択レジスタ 5	29.3.7
	ICSEL6	周辺機能による DMA 転送要求のクリア選択レジスタ 6	29.3.8
	ICSEL7	周辺機能による DMA 転送要求のクリア選択レジスタ 7	29.3.9
	ICSEL8	周辺機能による DMA 転送要求のクリア選択レジスタ 8	29.3.10
	ICSEL9	周辺機能による DMA 転送要求のクリア選択レジスタ 9	29.3.11
	ICSEL10	周辺機能による DMA 転送要求のクリア選択レジスタ 10	29.3.12
	ICSEL11	周辺機能による DMA 転送要求のクリア選択レジスタ 11	29.3.13
	ICSEL12	周辺機能による DMA 転送要求のクリア選択レジスタ 12	29.3.14
	ICSEL13	周辺機能による DMA 転送要求のクリア選択レジスタ 13	29.3.15
	ICSEL14	周辺機能による DMA 転送要求のクリア選択レジスタ 14	29.3.16

29.3.1 IO 転送要求設定レジスタ (IORR0 ~ IORR7)

DMA 転送要求の発生要因を周辺機能の割り込み要求に設定したときに、どの周辺機能の割り込み要求を DMA 転送要求の発生要因にするかを設定するレジスタです。

DMA コントローラ (DMAC) のチャンネルごとに、このレジスタが用意されています。

IO 転送要求設定レジスタ (IORR0 ~ IORR7) のビット構成を図 29.3-1 に示します。

図 29.3-1 IO 転送要求設定レジスタ (IORR0 ~ IORR7) のビット構成

bit	7	6	5	4	3	2	1	0
	予約	IOE	IOS5	IOS4	IOS3	IOS2	IOS1	IOS0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

R/W : リード / ライト可能

< 注意事項 >

このレジスタは、DMA チャンネルコントロールレジスタ (DCCR0 ~ DCCR7) の RS1, RS0 ビットで DMA 転送要求の発生要因を周辺機能の割り込み要求に設定 (RS1, RS0=01) したときに有効になります。

[bit7] : 予約ビット

書込み時	必ず "0" を書き込んでください。
読出し時	"0" が読み出されます。

[bit6] : IOE (転送要求許可ビット)

IOS5 ~ IOS0 ビットで指定した割り込み要求が発生したときに、対応するチャンネルの DMA コントローラ (DMAC) に、DMA 転送要求を出力するかどうかを設定します。

書込み値	説明
0	DMA 転送要求を出力しません。 (周辺機能で発生した割り込み要求を DMA 転送要求として使用しません)
1	DMA 転送要求を出力します。 (周辺機能で発生した割り込み要求を DMA 転送要求として使用します)

[bit5 ~ bit0] : IOS5 ~ IOS0 (転送要求選択ビット)

このレジスタに対応するチャンネルの DMA コントローラ (DMAC) が、どの周辺機能で発生した割り込み要求を転送要求元として使用するか設定します。

IOS5 ~ IOS0	割り込みベクタ 番号		周辺機能
	10 進	16 進	
000000	16	10	外部割り込み要求 ch.0 ~ ch.7
000001	17	11	外部割り込み要求 ch.8 ~ ch.15
000010	18	12	外部割り込み要求 ch.16 ~ ch.23
000011	19	13	外部割り込み要求 ch.24 ~ ch.31
000100	20	14	16 ビットリロードタイマ ch.0 ~ ch.2
000101	21	15	UART/CSIO ch.0 の受信割り込み要求
000110	22	16	UART/CSIO ch.0 の送信割り込み要求 UART/CSIO ch.0 の送信バスアイドル割り込み要求
000111	23	17	UART/CSIO/I ² C ch.1 の受信割り込み要求
001000	24	18	UART/CSIO/I ² C ch.1 の送信割り込み要求 UART/CSIO ch.1 の送信バスアイドル割り込み要求
001001	25	19	-
001010	26	1A	UART/CSIO/I ² C ch.2 の受信割り込み要求
001011	27	1B	UART/CSIO/I ² C ch.2 の送信割り込み要求 UART/CSIO ch.2 の送信バスアイドル割り込み要求
001100	28	1C	-
001101	29	1D	UART/CSIO/I ² C ch.3 の受信割り込み要求
001110	30	1E	UART/CSIO/I ² C ch.3 の送信割り込み要求 UART/CSIO ch.3 の送信バスアイドル割り込み要求
001111	31	1F	UART/CSIO/I ² C ch.4 の受信割り込み要求
010000	32	20	UART/CSIO/I ² C ch.4 の送信割り込み要求 UART/CSIO ch.4 の送信バスアイドル割り込み要求
010001	33	21	UART/CSIO/I ² C ch.5 の受信割り込み要求
010010	34	22	UART/CSIO/I ² C ch.5 の送信割り込み要求 UART/CSIO ch.5 の送信バスアイドル割り込み要求
010011	35	23	UART/CSIO/I ² C ch.6 の受信割り込み要求
010100	36	24	UART/CSIO/I ² C ch.6 の送信割り込み要求 UART/CSIO/I ² C ch.6 の送信バスアイドル割り込み要求
010101	37	25	UART/CSIO/I ² C ch.7 の受信割り込み要求 32 ビットインプットキャプチャ ch.4 ~ ch.7 のエッジ検出割り込み要求
010110	38	26	UART/CSIO/I ² C ch.7 の送信割り込み要求 UART/CSIO ch.7 の送信バスアイドル割り込み要求
010111	39	27	UART/CSIO/I ² C ch.8 ~ ch.11 の受信割り込み要求 UART/CSIO/I ² C ch.8 ~ ch.11 の送信割り込み要求 UART/CSIO ch.8 ~ ch.11 の送信バスアイドル割り込み要求 UART/CSIO/I ² C ch.8 ~ ch.11 の送信 FIFO 割り込み要求
011000	40	28	-
011001	41	29	メインタイマ割り込み要求 サブタイマ割り込み要求 時計カウンタのアンダフロー割り込み要求

IOS5 ~ IOS0	割り込みベクタ 番号		周辺機能
	10 進	16 進	
011010	42	2A	10 ビット A/D コンバータのユニット 0 ・ A/D スキャン変換割り込み要求 ・ A/D 優先変換割り込み要求
011011	43	2B	-
011100	44	2C	32 ビットインプットキャプチャ ch.0 ~ ch.3 のエッジ検出割り込み要求
011101	45	2D	-
011110	46	2E	ベースタイマ ch.0 ・ アンダフロー割り込み要求 ・ オーバフロー割り込み要求 ・ デューティー致割り込み要求 ・ トリガ割り込み要求 ・ 測定終了割り込み要求
011111	47	2F	ベースタイマ ch.1 ・ アンダフロー割り込み要求 ・ オーバフロー割り込み要求 ・ デューティー致割り込み要求 ・ トリガ割り込み要求 ・ 測定終了割り込み要求
100000	48	30	ベースタイマ ch.2 ・ アンダフロー割り込み要求 ・ オーバフロー割り込み要求 ・ デューティー致割り込み要求 ・ トリガ割り込み要求 ・ 測定終了割り込み要求
100001	49	31	ベースタイマ ch.3 ・ アンダフロー割り込み要求 ・ オーバフロー割り込み要求 ・ デューティー致割り込み要求 ・ トリガ割り込み要求 ・ 測定終了割り込み要求
100010	50	32	ベースタイマ ch.4, ch.5 ・ アンダフロー割り込み要求 ・ オーバフロー割り込み要求 ・ デューティー致割り込み要求 ・ トリガ割り込み要求 ・ 測定終了割り込み要求
100011	51	33	ベースタイマ ch.6, ch.7 ・ アンダフロー割り込み要求 ・ オーバフロー割り込み要求 ・ デューティー致割り込み要求 ・ トリガ割り込み要求 ・ 測定終了割り込み要求
100100	52	34	ベースタイマ ch.8, ch.9 ・ アンダフロー割り込み要求 ・ オーバフロー割り込み要求 ・ デューティー致割り込み要求 ・ トリガ割り込み要求 ・ 測定終了割り込み要求

IOS5 ~ IOS0	割り込みベクタ 番号		周辺機能
	10 進	16 進	
100101	53	35	ベースタイマ ch.10, ch.11 ・ アンダフロー割り込み要求 ・ オーバフロー割り込み要求 ・ デューティ一致割り込み要求 ・ トリガ割り込み要求 ・ 測定終了割り込み要求
100110	54	36	ベースタイマ ch.12 ・ アンダフロー割り込み要求 ・ オーバフロー割り込み要求 ・ デューティ一致割り込み要求 ・ トリガ割り込み要求 ・ 測定終了割り込み要求
100111	55	37	ベースタイマ ch.13 ・ アンダフロー割り込み要求 ・ オーバフロー割り込み要求 ・ デューティ一致割り込み要求 ・ トリガ割り込み要求 ・ 測定終了割り込み要求
101000	56	38	ベースタイマ ch.14, ch.15 ・ アンダフロー割り込み要求 ・ オーバフロー割り込み要求 ・ デューティ一致割り込み要求 ・ トリガ割り込み要求 ・ 測定終了割り込み要求
101001	57	39	-
101010	58	3A	-
101011	59	3B	-
101100	60	3C	-
101101	61	3D	-
101110	62	3E	10 ビット A/D コンバータのユニット 1 ・ A/D スキャン変換割り込み要求 ・ A/D 優先変換割り込み要求
101111	63	3F	-

< 注意事項 >

- 1 つの割込みベクタ番号を複数の割込み要求で兼用している場合、DMA 転送の転送要求元として使用できる割込み要求は 1 つだけです。

DMA 転送の転送要求元にしない割込み要求の発生は禁止してください。

- 1 つの割込みベクタ番号を複数の割込み要求で兼用している場合、周辺機能による DMA 転送要求のクリア選択レジスタ (ICSEL0 ~ ICSEL14) でフラグビットをクリアする割込み要求を設定してください。
- このレジスタで選択する割込み要求は、割込みレベルマスクレジスタ (ILM) と割込みコントロールレジスタ (ICR00 ~ ICR47) の値が次のようになるよう、割込みレベルを設定してください。

ILM ICR

29.3.2 周辺機能による DMA 転送要求のクリア選択レジスタ 0 (ICSEL0)

割込みベクタ番号 16 (10 進) には, 外部割込み要求 ch.0 ~ ch.7 が割り当てられています。この中から, DMA コントローラ (DMAC) でフラグビットをクリアする割込み要求を選択するレジスタです。

周辺機能による DMA 転送要求のクリア選択レジスタ 0 (ICSEL0) のビット構成を図 29.3-2 に示します。

図 29.3-2 周辺機能による DMA 転送要求のクリア選択レジスタ 0 (ICSEL0) のビット構成

bit	7	6	5	4	3	2	1	0
	予約	予約	予約	予約	予約	EISEL02	EISEL01	EISEL00
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

R/W : リード / ライト可能

< 注意事項 >

DMA 転送中にこのレジスタを書き換えないでください。

[bit7 ~ bit3] : 予約ビット

書込み時	必ず "0" を書き込んでください。
読出し時	"0" が読み出されます。

[bit2 ~ bit0] : EISEL02 ~ EISEL00 (割込み要求選択ビット)

割込みベクタ番号 16 (10 進) に割り当てられた割込み要求の中から DMA コントローラ (DMAC) でクリアするフラグビットを選択します。

DMA コントローラ (DMAC) が割込みベクタ番号 16 (10 進) に対して、割込み要求クリア信号を出力すると、ここで選択したビットがクリアされます。

EISEL02	EISEL01	EISEL00	説明	
			割込み要求名	クリアするフラグビット
0	0	0	外部割込み要求 ch.0	EIRR0 : ER0
0	0	1	外部割込み要求 ch.1	EIRR0 : ER1
0	1	0	外部割込み要求 ch.2	EIRR0 : ER2
0	1	1	外部割込み要求 ch.3	EIRR0 : ER3
1	0	0	外部割込み要求 ch.4	EIRR0 : ER4
1	0	1	外部割込み要求 ch.5	EIRR0 : ER5
1	1	0	外部割込み要求 ch.6	EIRR0 : ER6
1	1	1	外部割込み要求 ch.7	EIRR0 : ER7

29.3.3 周辺機能による DMA 転送要求のクリア選択レジスタ 1 (ICSEL1)

割込みベクタ番号 17 (10 進) には, 外部割込み要求 ch.8 ~ ch.15 が割り当てられています。この中から, DMA コントローラ (DMAC) でフラグビットをクリアする割込み要求を選択するレジスタです。

周辺機能による DMA 転送要求のクリア選択レジスタ 1 (ICSEL1) のビット構成を図 29.3-3 に示します。

図 29.3-3 周辺機能による DMA 転送要求のクリア選択レジスタ 1 (ICSEL1) のビット構成

bit	7	6	5	4	3	2	1	0
	予約	予約	予約	予約	予約	EISEL12	EISEL11	EISEL10
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

R/W : リード / ライト可能

< 注意事項 >

DMA 転送中にこのレジスタを書き換えないでください。

[bit7 ~ bit3] : 予約ビット

書込み時	必ず "0" を書き込んでください。
読出し時	"0" が読み出されます。

[bit2 ~ bit0] : EISEL12 ~ EISEL10 (割込み要求選択ビット)

割込みベクタ番号 17 (10 進) に割り当てられた割込み要求の中から DMA コントローラ (DMAC) でフラグビットをクリアする割込み要求を選択します。

DMA コントローラ (DMAC) が割込みベクタ番号 17 (10 進) に対して、割込み要求クリア信号を出力すると、ここで選択したビットがクリアされます。

EISEL12	EISEL11	EISEL10	説明	
			割込み要求名	クリアするフラグビット
0	0	0	外部割込み要求 ch.8	EIRR1 : ER8
0	0	1	外部割込み要求 ch.9	EIRR1 : ER9
0	1	0	外部割込み要求 ch.10	EIRR1 : ER10
0	1	1	外部割込み要求 ch.11	EIRR1 : ER11
1	0	0	外部割込み要求 ch.12	EIRR1 : ER12
1	0	1	外部割込み要求 ch.13	EIRR1 : ER13
1	1	0	外部割込み要求 ch.14	EIRR1 : ER14
1	1	1	外部割込み要求 ch.15	EIRR1 : ER15

29.3.4 周辺機能による DMA 転送要求のクリア選択レジスタ 2 (ICSEL2)

割込みベクタ番号 18 (10 進) には, 外部割込み要求 ch.16 ~ ch.23 が割り当てられています。この中から, DMA コントローラ (DMAC) でフラグビットをクリアする割込み要求を選択するレジスタです。

周辺機能による DMA 転送要求のクリア選択レジスタ 2 (ICSEL2) のビット構成を図 29.3-4 に示します。

図 29.3-4 周辺機能による DMA 転送要求のクリア選択レジスタ 2 (ICSEL2) のビット構成

bit	7	6	5	4	3	2	1	0
	予約	予約	予約	予約	予約	EISEL22	EISEL21	EISEL20
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

R/W : リード / ライト可能

< 注意事項 >

DMA 転送中にこのレジスタを書き換えないでください。

[bit7 ~ bit3] : 予約ビット

書込み時	必ず "0" を書き込んでください。
読出し時	"0" が読み出されます。

[bit2 ~ bit0] : EISEL22 ~ EISEL20 (割込み要求選択ビット)

割込みベクタ番号 18 (10 進) に割り当てられた割込み要求の中から DMA コントローラ (DMAC) でフラグビットをクリアする割込み要求を選択します。

DMA コントローラ (DMAC) が割込みベクタ番号 18 (10 進) に対して、割込み要求クリア信号を出力すると、ここで選択したビットがクリアされます。

EISEL22	EISEL21	EISEL20	説明	
			割込み要求名	クリアするフラグビット
0	0	0	外部割込み要求 ch.16	EIRR2 : ER16
0	0	1	外部割込み要求 ch.17	EIRR2 : ER17
0	1	0	外部割込み要求 ch.18	EIRR2 : ER18
0	1	1	外部割込み要求 ch.19	EIRR2 : ER19
1	0	0	外部割込み要求 ch.20	EIRR2 : ER20
1	0	1	外部割込み要求 ch.21	EIRR2 : ER21
1	1	0	外部割込み要求 ch.22	EIRR2 : ER22
1	1	1	外部割込み要求 ch.23	EIRR2 : ER23

29.3.5 周辺機能による DMA 転送要求のクリア選択レジスタ 3 (ICSEL3)

割込みベクタ番号 19 (10 進) には, 外部割込み要求 ch.24 ~ ch.31 が割り当てられています。この中から, DMA コントローラ (DMAC) でフラグビットをクリアする割込み要求を選択するレジスタです。

周辺機能による DMA 転送要求のクリア選択レジスタ 3 (ICSEL3) のビット構成を図 29.3-5 に示します。

図 29.3-5 周辺機能による DMA 転送要求のクリア選択レジスタ 3 (ICSEL3) のビット構成

bit	7	6	5	4	3	2	1	0
	予約	予約	予約	予約	予約	EISEL32	EISEL31	EISEL30
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

R/W : リード / ライト可能

< 注意事項 >

DMA 転送中にこのレジスタを書き換えないでください。

[bit7 ~ bit3] : 予約ビット

書込み時	必ず "0" を書き込んでください。
読出し時	"0" が読み出されます。

[bit2 ~ bit0] : EISEL32 ~ EISEL30 (割込み要求選択ビット)

割込みベクタ番号 19 (10 進) に割り当てられた割込み要求の中から DMA コントローラ (DMAC) でフラグビットをクリアする割込み要求を選択します。

DMA コントローラ (DMAC) が割込みベクタ番号 19 (10 進) に対して、割込み要求クリア信号を出力すると、ここで選択したビットがクリアされます。

EISEL32	EISEL31	EISEL30	説明	
			割込み要求名	クリアするフラグビット
0	0	0	外部割込み要求 ch.24	EIRR3 : ER24
0	0	1	外部割込み要求 ch.25	EIRR3 : ER25
0	1	0	外部割込み要求 ch.26	EIRR3 : ER26
0	1	1	外部割込み要求 ch.27	EIRR3 : ER27
1	0	0	外部割込み要求 ch.28	EIRR3 : ER28
1	0	1	外部割込み要求 ch.29	EIRR3 : ER29
1	1	0	外部割込み要求 ch.30	EIRR3 : ER30
1	1	1	外部割込み要求 ch.31	EIRR3 : ER31

29.3.6 周辺機能による DMA 転送要求のクリア選択レジスタ 4 (ICSEL4)

割込みベクタ番号 20 (10 進) には, 16 ビットリロードタイマ ch.0 ~ ch.2 の割込み要求が割り当てられています。

この中から, DMA コントローラ (DMAC) でフラグビットをクリアする割込み要求を選択するレジスタです。

周辺機能による DMA 転送要求のクリア選択レジスタ 4 (ICSEL4) のビット構成を図 29.3-6 に示します。

図 29.3-6 周辺機能による DMA 転送要求のクリア選択レジスタ 4 (ICSEL4) のビット構成

bit	7	6	5	4	3	2	1	0
	予約	予約	予約	予約	予約	予約	RTSEL1	RTSEL0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

R/W : リード / ライト可能

< 注意事項 >

DMA 転送中にこのレジスタを書き換えないでください。

[bit7 ~ bit2] : 予約ビット

書込み時	必ず "0" を書き込んでください。
読出し時	"0" が読み出されます。

[bit1, bit0] : RTSEL1 ~ RTSEL0 (割込み要求選択ビット)

割込みベクタ番号 20 (10 進) に割り当てられた割込み要求の中から DMA コントローラ (DMAC) でフラグビットをクリアする割込み要求を選択します。

DMA コントローラ (DMAC) が割込みベクタ番号 20 (10 進) に対して, 割込み要求クリア信号を出力すると, ここで選択したビットがクリアされます。

RTSEL1	RTSEL0	説明	
		割込み要求名	クリアするフラグビット
0	0	16 ビットリロードタイマ ch.0 のアンダフロー割込み要求	TMCSR0 : UF
0	1	16 ビットリロードタイマ ch.1 のアンダフロー割込み要求	TMCSR1 : UF
1	0	16 ビットリロードタイマ ch.2 のアンダフロー割込み要求	TMCSR2 : UF
1	1		

29.3.7 周辺機能による DMA 転送要求のクリア選択レジスタ 5 (ICSEL5)

割込みベクタ番号 39 (10 進) には , UART/CSIO/I²C の ch.8 ~ ch.11 の割込み要求が割り当てられています。
この中から , DMA コントローラ (DMAC) でフラグビットをクリアする割込み要求を選択するレジスタです。
また , DMA 転送停止要求を出力するのに利用するチャンネルも選択します。

周辺機能による DMA 転送要求のクリア選択レジスタ 5 (ICSEL5) のビット構成を図 29.3-7 に示します。

図 29.3-7 周辺機能による DMA 転送要求のクリア選択レジスタ 5 (ICSEL5) のビット構成

bit	7	6	5	4	3	2	1	0
	予約	予約	予約	予約	予約	MFSSEL2	MFSSEL1	MFSSEL0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0
R/W : リード / ライト可能								

< 注意事項 >

DMA 転送中にこのレジスタを書き換えないでください。

[bit7 ~ bit3] : 予約ビット

書込み時	必ず "0" を書き込んでください。
読出し時	"0" が読み出されます。

[bit2 ~ bit0] : MFSSEL2 ~ MFSSEL0 (割込み要求選択ビット)

このビットで次の 2 点を選択します。

1. 割込みベクタ番号 39 (10 進) に割り当てられた割込み要求の中から DMA コントローラ (DMAC) でフラグビットをクリアする割込み要求を選択します。

DMA コントローラ (DMAC) が割込みベクタ番号 39 (10 進) に対して、割込み要求クリア信号を出力するとこのビットで選択した割込み要求のフラグビットがクリアされます。

2. DMA コントローラ (DMAC) に対して転送停止要求を出力するチャンネルを選択します。

このビットで選択したチャンネルで受信割込み要求が発生すると DMA コントローラ (DMAC) に対して DMA 転送停止要求が出力されます。

MFSSEL2	MFSSEL1	MFSSEL0	DMAC がクリアする割込み要求		DMA 転送停止 要求するフラグ ビット*
			割込み要求名	クリアする フラグビット	
0	0	0	UART/CSIO/I ² C ch.8 の 受信割込み要求	SSR8 : RDRF	SSR8 : ORE SSR8 : FRE SSR8 : PE
0	0	1	UART/CSIO/I ² C ch.9 の 受信割込み要求	SSR9 : RDRF	SSR9 : ORE SSR9 : FRE SSR9 : PE
0	1	0	UART/CSIO/I ² C ch.10 の 受信割込み要求	SSR10 : RDRF	SSR10 : ORE SSR10 : FRE SSR10 : PE
0	1	1	UART/CSIO/I ² C ch.11 の 受信割込み要求	SSR11 : RDRF	SSR11 : ORE SSR11 : FRE SSR11 : PE
1	0	0	UART/CSIO/I ² C ch.8 の 送信割込み要求 送信バスアイドル割込み要求 送信 FIFO 割込み要求	SSR8 : TDRE FCR18 : FDRQ	-
1	0	1	UART/CSIO/I ² C ch.9 の 送信割込み要求 送信バスアイドル割込み要求 送信 FIFO 割込み要求	SSR9 : TDRE FCR19 : FDRQ	-
1	1	0	UART/CSIO/I ² C ch.10 の 送信割込み要求 送信バスアイドル割込み要求 送信 FIFO 割込み要求	SSR10 : TDRE FCR110 : FDRQ	-
1	1	1	UART/CSIO/I ² C ch.11 の 送信割込み要求 送信バスアイドル割込み要求 送信 FIFO 割込み要求	SSR11 : TDRE FCR111 : FDRQ	-

* : RIE=1 のときにいずれかのフラグが 1 になると停止要求します。

29.3.8 周辺機能による DMA 転送要求のクリア選択レジスタ 6 (ICSEL6)

割込みベクタ番号 41 (10 進) には、次の割込み要求が割り当てられています。

- メインタイマ割込み要求
- サブタイマ割込み要求
- 時計カウンタのアンダフロー割込み要求

DMA コントローラ (DMAC) でフラグビットをクリアする割込み要求を選択するレジスタです。

周辺機能による DMA 転送要求のクリア選択レジスタ 6 (ICSEL6) のビット構成を図 29.3-8 に示します。

図 29.3-8 周辺機能による DMA 転送要求のクリア選択レジスタ 6 (ICSEL6) のビット構成

bit	7	6	5	4	3	2	1	0
	予約	予約	予約	予約	予約	予約	MWSEL1	MWSEL0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

R/W : リード / ライト可能

< 注意事項 >

DMA 転送中にこのレジスタを書き換えないでください。

[bit7 ~ bit2] : 予約ビット

書込み時	必ず "0" を書き込んでください。
読出し時	"0" が読み出されます。

[bit1, bit0] : MWSEL1, MWSEL0 (割込み要求選択ビット)

割込みベクタ番号 41 (10 進) に割り当てられた割込み要求の中から DMA コントローラ (DMAC) でフラグビットをクリアする割込み要求を選択します。

DMA コントローラ (DMAC) が割込みベクタ番号 41 (10 進) に対して、割込み要求クリア信号を出力するとこのビットで選択した割込み要求のフラグビットがクリアされます。

MWSEL1	MWSEL0	説明	
		割込み要求名	クリアするフラグビット
0	0	メインタイマ割込み要求	MTMCR : MTIF
0	1	サブタイマ割込み要求	STMCR : STIF
1	0	時計カウンタのアンダフロー	WCCR : WCIF
1	1	割込み要求	

29.3.9 周辺機能による DMA 転送要求のクリア選択レジスタ 7 (ICSEL7)

割込みベクタ番号 62 (10 進) には, 10 ビット A/D コンバータのユニット 1 の優先変換割込み要求と, スキャン変換割込み要求が割り当てられています。
割込みベクタ番号 42 (10 進) には, 10 ビット A/D コンバータのユニット 0 の優先変換割込み要求と, スキャン変換割込み要求が割り当てられています。
この中から, DMA コントローラ (DMAC) でフラグビットをクリアする割込み要求をそれぞれ選択するレジスタです。

周辺機能による DMA 転送要求のクリア選択レジスタ 7 (ICSEL7) のビット構成を図 29.3-9 に示します。

図 29.3-9 周辺機能による DMA 転送要求のクリア選択レジスタ 7 (ICSEL7) のビット構成

bit	7	6	5	4	3	2	1	0
	予約	予約	予約	予約	予約	予約	ADCSEL1	ADCSEL0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

R/W : リード / ライト可能

< 注意事項 >

DMA 転送中にこのレジスタを書き換えしないでください。

[bit7 ~ bit2] : 予約ビット

書込み時	必ず "0" を書き込んでください。
読出し時	"0" が読み出されます。

[bit1] : ADCSEL1 (割込み要求選択ビット)

割込みベクタ番号 62 (10 進) に割り当てられた割込み要求の中から DMA コントローラ (DMAC) でフラグビットをクリアする割込み要求を選択します。

DMA コントローラ (DMAC) が割込みベクタ番号 62 (10 進) に対して、割込み要求クリア信号を出力するこのビットで選択した割込み要求のフラグビットがクリアされます。

書込み値	説明	
	割込み要求名	クリアするフラグビット
0	10ビットA/Dコンバータユニット1の優先変換割込み要求	ADCR1 : PCIF
1	10ビットA/Dコンバータユニット1のスキャン変換割込み要求	ADCR1 : SCIF

[bit0] : ADCSEL0 (割込み要求選択ビット)

割込みベクタ番号 42 (10 進) に割り当てられた割込み要求の中から DMA コントローラ (DMAC) でフラグビットをクリアする割込み要求を選択します。

DMA コントローラ (DMAC) が割込みベクタ番号 42 (10 進) に対して、割込み要求クリア信号を出力するこのビットで選択した割込み要求のフラグビットがクリアされます。

書込み値	説明	
	割込み要求名	クリアするフラグビット
0	10ビットA/Dコンバータユニット0の優先変換割込み要求	ADCR0 : PCIF
1	10ビットA/Dコンバータユニット0のスキャン変換割込み要求	ADCR0 : SCIF

29.3.10 周辺機能による DMA 転送要求のクリア選択レジスタ 8 (ICSEL8)

割込みベクタ番号 44 (10 進) には, 32 ビットインプットキャプチャ ch.0 ~ ch.3 の割込み要求が割り当てられています。

DMA コントローラ (DMAC) でフラグビットをクリアする割込み要求を選択するレジスタです。

周辺機能による DMA 転送要求のクリア選択レジスタ 8 (ICSEL8) のビット構成を図 29.3-10 に示します。

図 29.3-10 周辺機能による DMA 転送要求のクリア選択レジスタ 8 (ICSEL8) のビット構成

bit	7	6	5	4	3	2	1	0
	予約	予約	予約	予約	予約	予約	ICUSEL1	ICUSEL0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

R/W : リード / ライト可能

< 注意事項 >

DMA 転送中にこのレジスタを書き換えないでください。

[bit7 ~ bit2] : 予約ビット

書込み時	必ず "0" を書き込んでください。
読出し時	"0" が読み出されます。

[bit1, bit0] : ICUSEL1, ICUSEL0 (割込み要求選択ビット)

割込みベクタ番号 44 (10 進) に割り当てられた割込み要求の中から DMA コントローラ (DMAC) でフラグビットをクリアする割込み要求を選択します。

DMA コントローラ (DMAC) が割込みベクタ番号 44 (10 進) に対して、割込み要求クリア信号を出力するこのビットで選択した割込み要求のフラグビットがクリアされます。

ICUSEL1	ICUSEL0	説明	
		割込み要求名	クリアするフラグビット
0	0	32 ビットインプットキャプチャ ch.0 のエッジ検出割込み要求	ICS01 : ICP0
0	1	32 ビットインプットキャプチャ ch.1 のエッジ検出割込み要求	ICS01 : ICP1
1	0	32 ビットインプットキャプチャ ch.2 のエッジ検出割込み要求	ICS23 : ICP2
1	1	32 ビットインプットキャプチャ ch.3 のエッジ検出割込み要求	ICS23 : ICP3

29.3.11 周辺機能による DMA 転送要求のクリア選択レジスタ 9 (ICSEL9)

割込みベクタ番号 37 (10 進) には、次の割込み要求が割り当てられています。

- 32 ビットインプットキャプチャ ch.4 ~ ch.7
- UART/CSIO/I²C の ch.7 の受信割込み要求

この中から、DMA コントローラ (DMAC) でフラグビットをクリアする割込み要求を選択するレジスタです。

周辺機能による DMA 転送要求のクリア選択レジスタ 9 (ICSEL9) のビット構成を図 29.3-11 に示します。

図 29.3-11 周辺機能による DMA 転送要求のクリア選択レジスタ 9 (ICSEL9) のビット構成

bit	7	6	5	4	3	2	1	0
	予約	予約	予約	予約	予約	ICUSEL12	ICUSEL11	ICUSEL10
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

R/W : リード / ライト可能

< 注意事項 >

DMA 転送中にこのレジスタを書き換えないでください。

[bit7 ~ bit3] : 予約ビット

書込み時	必ず "0" を書き込んでください。
読出し時	"0" が読み出されます。

[bit2 ~ bit0] : ICUSEL12 ~ ICUSEL10 (割込み要求選択ビット)

割込みベクタ番号 37 (10 進) に割り当てられた割込み要求の中から DMA コントローラ (DMAC) でフラグビットをクリアする割込み要求を選択します。

DMA コントローラ (DMAC) が割込みベクタ番号 37 (10 進) に対して、割込み要求クリア信号を出力するこのビットで選択した割込み要求のフラグビットがクリアされます。

ICUSEL12	ICUSEL11	ICUSEL10	説明		DMA 転送停止 要求する フラグビット *
			割込み要求名	クリアする フラグビット	
0	0	0	32 ビットイン プットキャプ チャ ch.4 の エッジ検出割 込み要求	ICS45 : ICP4	SSR7 : ORE SSR7 : FRE SSR7 : PE
0	0	1	32 ビットイン プットキャプ チャ ch.5 の エッジ検出割 込み要求	ICS45 : ICP5	
0	1	0	32 ビットイン プットキャプ チャ ch.6 の エッジ検出割 込み要求	ICS67 : ICP6	
0	1	1	32 ビットイン プットキャプ チャ ch.7 の エッジ検出割 込み要求	ICS67 : ICP7	
1	0	0	UART/CSIO/ I ² C ch.7 の受信 割込み要求 *	SSR7 : RDRF	
1	0	1			
1	1	0			
1	1	1			

* : RIE=1 のときにいずれかのフラグが 1 になると停止要求します。

29.3.12 周辺機能による DMA 転送要求のクリア選択レジスタ 10 (ICSEL10)

割込みベクタ番号 46 ~ 49 (10 進) には、それぞれベースタイマ ch.0 ~ ch.3 の割込み要求が割り当てられています。

この中から、DMA コントローラ (DMAC) でフラグビットをクリアする割込み要求をそれぞれ選択するレジスタです。

周辺機能による DMA 転送要求のクリア選択レジスタ 10 (ICSEL10) のビット構成を図 29.3-12 に示します。

図 29.3-12 周辺機能による DMA 転送要求のクリア選択レジスタ 10 (ICSEL10) のビット構成

bit	7	6	5	4	3	2	1	0
	予約	予約	予約	予約	BTSEL03	BTSEL02	BTSEL01	BTSEL00
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

R/W : リード / ライト可能

< 注意事項 >

DMA 転送中にこのレジスタを書き換えないでください。

[bit7 ~ bit4] : 予約ビット

書込み時	必ず "0" を書き込んでください。
読出し時	"0" が読み出されます。

[bit3] : BTSEL03 (割込み要求選択ビット)

割込みベクタ番号 49 (10 進) に割り当てられた割込み要求の中から DMA コントローラ (DMAC) でフラグビットをクリアする割込み要求を、割込み要求 0 と割込み要求 1 の中から選択します。

割込み要求 0 および割込み要求 1 に割り当てられている割込み要求は、ベースタイマの使用方法によって異なります。

ベースタイマの使用方法	割込み要求 0	割込み要求 1
16/32 ビットリロードタイマ	アンダフロー割込み要求	トリガ割込み要求
16 ビット PWM タイマ	アンダフロー割込み要求 デューティー致割込み要求	トリガ割込み要求
16/32 ビット PWC タイマ	オーバフロー割込み要求	測定終了割込み要求
16 ビット PPG タイマ	アンダフロー割込み要求	トリガ割込み要求

DMA コントローラ (DMAC) が割込みベクタ番号 49 (10 進) に対して、割込み要求クリア信号を出力するとこのビットで選択した割込み要求のフラグビットがクリアされます。

書込み値	説明	
	割込み要求名	クリアするフラグビット
0	ベースタイマ ch.3 の割込み要求 0	BT3STC : UDIR BT3STC : DTIR BT3STC : OVIR
1	ベースタイマ ch.3 の割込み要求 1	BT3STC : TGIR BT3STC : EDIR

[bit2] : BTSEL02 (割込み要求選択ビット)

割込みベクタ番号 48 (10 進) に割り当てられた割込み要求の中から DMA コントローラ (DMAC) でフラグビットをクリアする割込み要求を、割込み要求 0 と割込み要求 1 の中から選択します。

割込み要求 0 および割込み要求 1 に割り当てられている割込み要求は、ベースタイマの使用方法によって異なります。

ベースタイマの使用方法	割込み要求 0	割込み要求 1
16/32 ビットリロードタイマ	アンダフロー割込み要求	トリガ割込み要求
16 ビット PWM タイマ	アンダフロー割込み要求 デューティー致割込み要求	トリガ割込み要求
16/32 ビット PWC タイマ	オーバフロー割込み要求	測定終了割込み要求
16 ビット PPG タイマ	アンダフロー割込み要求	トリガ割込み要求

DMA コントローラ (DMAC) が割込みベクタ番号 48 (10 進) に対して、割込み要求クリア信号を出力するとこのビットで選択した割込み要求のフラグビットがクリアされます。

書込み値	説明	
	割込み要求名	クリアするフラグビット
0	ベースタイマ ch.2 の割込み要求 0	BT2STC : UDIR BT2STC : DTIR BT2STC : OVIR
1	ベースタイマ ch.2 の割込み要求 1	BT2STC : TGIR BT2STC : EDIR

[bit1] : BTSEL01 (割込み要求選択ビット)

割込みベクタ番号 47 (10 進) に割り当てられた割込み要求の中から DMA コントローラ (DMAC) でフラグビットをクリアする割込み要求を、割込み要求 0 と割込み要求 1 の中から選択します。

割込み要求 0 および割込み要求 1 に割り当てられている割込み要求は、ベースタイマの使用方法によって異なります。

ベースタイマの使用方法	割込み要求 0	割込み要求 1
16/32 ビットリロードタイマ	アンダフロー割込み要求	トリガ割込み要求
16 ビット PWM タイマ	アンダフロー割込み要求 デューティー致割込み要求	トリガ割込み要求
16/32 ビット PWC タイマ	オーバフロー割込み要求	測定終了割込み要求
16 ビット PPG タイマ	アンダフロー割込み要求	トリガ割込み要求

DMA コントローラ (DMAC) が割込みベクタ番号 47 (10 進) に対して、割込み要求クリア信号を出力するとこのビットで選択した割込み要求のフラグビットがクリアされます。

書込み値	説明	
	割込み要求名	クリアするフラグビット
0	ベースタイマ ch.1 の割込み要求 0	BT1STC : UDIR BT1STC : DTIR BT1STC : OVIR
1	ベースタイマ ch.1 の割込み要求 1	BT1STC : TGIR BT1STC : EDIR

[bit0] : BTSEL00 (割込み要求選択ビット)

割込みベクタ番号 46 (10 進) に割り当てられた割込み要求の中から DMA コントローラ (DMAC) でフラグビットをクリアする割込み要求を、割込み要求 0 と割込み要求 1 の中から選択します。

割込み要求 0 および割込み要求 1 に割り当てられている割込み要求は、ベースタイマの使用方法によって異なります。

ベースタイマの使用方法	割込み要求 0	割込み要求 1
16/32 ビットリロードタイマ	アンダフロー割込み要求	トリガ割込み要求
16 ビット PWM タイマ	アンダフロー割込み要求 デューティー致割込み要求	トリガ割込み要求
16/32 ビット PWC タイマ	オーバフロー割込み要求	測定終了割込み要求
16 ビット PPG タイマ	アンダフロー割込み要求	トリガ割込み要求

DMA コントローラ (DMAC) が割込みベクタ番号 46 (10 進) に対して、割込み要求クリア信号を出力するとこのビットで選択した割込み要求のフラグビットがクリアされます。

書込み値	説明	
	割込み要求名	クリアするフラグビット
0	ベースタイマ ch.0 の割込み要求 0	BT0STC : UDIR BT0STC : DTIR BT0STC : OVIR
1	ベースタイマ ch.0 の割込み要求 1	BT0STC : TGIR BT0STC : EDIR

29.3.13 周辺機能による DMA 転送要求のクリア選択レジスタ 11 (ICSEL11)

割込みベクタ番号 50 (10 進) には, ベースタイマ ch.4, ch.5 の割込み要求が割り当てられています。

割込みベクタ番号 51 (10 進) には, ベースタイマ ch.6, ch.7 の割込み要求が割り当てられています。

この中から, DMA コントローラ (DMAC) でフラグビットをクリアする割込み要求をそれぞれ選択するレジスタです。

周辺機能による DMA 転送要求のクリア選択レジスタ 11 (ICSEL11) のビット構成を図 29.3-13 に示します。

図 29.3-13 周辺機能による DMA 転送要求のクリア選択レジスタ 11 (ICSEL11) のビット構成

bit	7	6	5	4	3	2	1	0
	予約	予約	予約	予約	BTSEL13	BTSEL12	BTSEL11	BTSEL10
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0
R/W : リード / ライト可能								

< 注意事項 >

DMA 転送中にこのレジスタを書き換えないでください。

[bit7 ~ bit4] : 予約ビット

書込み時	必ず "0" を書き込んでください。
読出し時	"0" が読み出されます。

[bit3, bit2] : BTSEL13, BTSEL12 (割込み要求選択ビット)

割込みベクタ番号 51 (10 進) に割り当てられた割込み要求の中から, DMA コントローラ (DMAC) でフラグビットをクリアする割込み要求を, 割込み要求 0 と割込み要求 1 の中から選択します。

割込み要求 0 および割込み要求 1 に割り当てられている割込み要求は, ベースタイマの使用方法によって異なります。

ベースタイマの使用方法	割込み要求 0	割込み要求 1
16/32 ビットリロードタイマ	アンダフロー割込み要求	トリガ割込み要求
16 ビット PWM タイマ	アンダフロー割込み要求 デューティー致割込み要求	トリガ割込み要求
16/32 ビット PWC タイマ	オーバフロー割込み要求	測定終了割込み要求
16 ビット PPG タイマ	アンダフロー割込み要求	トリガ割込み要求

DMA コントローラ (DMAC) が割込みベクタ番号 51 (10 進) に対して, 割込み要求クリア信号を出力するところのビットで選択した割込み要求のフラグビットがクリアされます。

BTSEL13	BTSEL12	説明	
		割込み要求名	クリアするフラグビット
0	0	ベースタイマ ch.6 の割込み要求 0	BT6STC : UDIR BT6STC : DTIR BT6STC : OVIR
0	1	ベースタイマ ch.6 の割込み要求 1	BT6STC : TGIR BT6STC : EDIR
1	0	ベースタイマ ch.7 の割込み要求 0	BT7STC : UDIR BT7STC : DTIR BT7STC : OVIR
1	1	ベースタイマ ch.7 の割込み要求 1	BT7STC : TGIR BT7STC : EDIR

[bit1, bit0] : BTSEL11, BTSEL10 (割込み要求選択ビット)

割込みベクタ番号 50 (10 進) に割り当てられた割込み要求の中から, DMA コントローラ (DMAC) でフラグビットをクリアする割込み要求を, 割込み要求 0 と割込み要求 1 の中から選択します。

割込み要求 0 および割込み要求 1 に割り当てられている割込み要求は, ベースタイマの使用方法によって異なります。

ベースタイマの使用方法	割込み要求 0	割込み要求 1
16/32 ビットリロードタイマ	アンダフロー割込み要求	トリガ割込み要求
16 ビット PWM タイマ	アンダフロー割込み要求 デューティ一致割込み要求	トリガ割込み要求
16/32 ビット PWC タイマ	オーバフロー割込み要求	測定終了割込み要求
16 ビット PPG タイマ	アンダフロー割込み要求	トリガ割込み要求

DMA コントローラ (DMAC) が割込みベクタ番号 50 (10 進) に対して, 割込み要求クリア信号を出力するところのビットで選択した割込み要求のフラグビットがクリアされます。

BTSEL11	BTSEL10	説明	
		割込み要求名	クリアするフラグビット
0	0	ベースタイマ ch.4 の割込み要求 0	BT4STC : UDIR BT4STC : DTIR BT4STC : OVIR
0	1	ベースタイマ ch.4 の割込み要求 1	BT4STC : TGIR BT4STC : EDIR
1	0	ベースタイマ ch.5 の割込み要求 0	BT5STC : UDIR BT5STC : DTIR BT5STC : OVIR
1	1	ベースタイマ ch.5 の割込み要求 1	BT5STC : TGIR BT5STC : EDIR

29.3.14 周辺機能による DMA 転送要求のクリア選択レジスタ 12 (ICSEL12)

割込みベクタ番号 52 (10 進) には, ベースタイマ ch.8, ch.9 の割込み要求が割り当てられています。

割込みベクタ番号 53 (10 進) には, ベースタイマ ch.10, ch.11 の割込み要求が割り当てられています。

この中から, DMA コントローラ (DMAC) でフラグビットをクリアする割込み要求をそれぞれ選択するレジスタです。

周辺機能による DMA 転送要求のクリア選択レジスタ 12 (ICSEL12) のビット構成を図 29.3-14 に示します。

図 29.3-14 周辺機能による DMA 転送要求のクリア選択レジスタ 12 (ICSEL12) のビット構成

bit	7	6	5	4	3	2	1	0
	予約	予約	予約	予約	BTSEL23	BTSEL22	BTSEL21	BTSEL20
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

R/W : リード / ライト可能

< 注意事項 >

DMA 転送中にこのレジスタを書き換えないでください。

[bit7 ~ bit4] : 予約ビット

書込み時	必ず "0" を書き込んでください。
読出し時	"0" が読み出されます。

[bit3, bit2] : BTSEL23, BTSEL22 (割込み要求選択ビット)

割込みベクタ番号 53 (10 進) に割り当てられた割込み要求の中から, DMA コントローラ (DMAC) でフラグビットをクリアする割込み要求を, 割込み要求 0 と割込み要求 1 の中から選択します。

割込み要求 0 および割込み要求 1 に割り当てられている割込み要求は, ベースタイマの使用方法によって異なります。

ベースタイマの使用方法	割込み要求 0	割込み要求 1
16/32 ビットリロードタイマ	アンダフロー割込み要求	トリガ割込み要求
16 ビット PWM タイマ	アンダフロー割込み要求 デューティ一致割込み要求	トリガ割込み要求
16/32 ビット PWC タイマ	オーバフロー割込み要求	測定終了割込み要求
16 ビット PPG タイマ	アンダフロー割込み要求	トリガ割込み要求

DMA コントローラ (DMAC) が割込みベクタ番号 53 (10 進) に対して, 割込み要求クリア信号を出力するこのビットで選択した割込み要求のフラグビットがクリアされます。

BTSEL23	BTSEL22	説明	
		割込み要求名	クリアするフラグビット
0	0	ベースタイマ ch.10 の割込み要求 0	BTASTC : UDIR BTASTC : DTIR BTASTC : OVIR
0	1	ベースタイマ ch.10 の割込み要求 1	BTASTC : TGIR BTASTC : EDIR
1	0	ベースタイマ ch.11 の割込み要求 0	BTBSTC : UDIR BTBSTC : DTIR BTBSTC : OVIR
1	1	ベースタイマ ch.11 の割込み要求 1	BTBSTC : TGIR BTBSTC : EDIR

[bit1, bit0] : BTSEL21, BTSEL20 (割込み要求選択ビット)

割込みベクタ番号 52 (10 進) に割り当てられた割込み要求の中から, DMA コントローラ (DMAC) でフラグビットをクリアする割込み要求を, 割込み要求 0 と割込み要求 1 の中から選択します。

割込み要求 0 および割込み要求 1 に割り当てられている割込み要求は, ベースタイマの使用方法によって異なります。

ベースタイマの使用方法	割込み要求 0	割込み要求 1
16/32 ビットリロードタイマ	アンダフロー割込み要求	トリガ割込み要求
16 ビット PWM タイマ	アンダフロー割込み要求 デューティー致割込み要求	トリガ割込み要求
16/32 ビット PWC タイマ	オーバフロー割込み要求	測定終了割込み要求
16 ビット PPG タイマ	アンダフロー割込み要求	トリガ割込み要求

DMA コントローラ (DMAC) が割込みベクタ番号 52 (10 進) に対して, 割込み要求クリア信号を出力するところのビットで選択した割込み要求のフラグビットがクリアされます。

BTSEL21	BTSEL20	説明	
		割込み要求名	クリアするフラグビット
0	0	ベースタイマ ch.8 の割込み要求 0	BT8STC : UDIR BT8STC : DTIR BT8STC : OVIR
0	1	ベースタイマ ch.8 の割込み要求 1	BT8STC : TGIR BT8STC : EDIR
1	0	ベースタイマ ch.9 の割込み要求 0	BT9STC : UDIR BT9STC : DTIR BT9STC : OVIR
1	1	ベースタイマ ch.9 の割込み要求 1	BT9STC : TGIR BT9STC : EDIR

29.3.15 周辺機能による DMA 転送要求のクリア選択レジスタ 13 (ICSEL13)

割込みベクタ番号54 (10進) には, ベースタイマ ch.12の割込み要求が割り当てられています。
割込みベクタ番号55 (10進) には, ベースタイマ ch.13の割込み要求が割り当てられています。
この中から, DMA コントローラ (DMAC) でフラグビットをクリアする割込み要求をそれぞれ
選択するレジスタです。

周辺機能による DMA 転送要求のクリア選択レジスタ 13 (ICSEL13) のビット構成を図
29.3-15 に示します。

図 29.3-15 周辺機能による DMA 転送要求のクリア選択レジスタ 13 (ICSEL13) のビット構成

bit	7	6	5	4	3	2	1	0
	予約	予約	予約	予約	予約	BTSEL32	予約	BTSEL30
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

R/W : リード / ライト可能

< 注意事項 >

DMA 転送中にこのレジスタを書き換えないでください。

[bit7 ~ bit3] : 予約ビット

書込み時	必ず "0" を書き込んでください。
読出し時	"0" が読み出されます。

[bit2] : BTSEL32 (割込み要求選択ビット)

割込みベクタ番号 55 (10進) に割り当てられた割込み要求の中から DMA コントローラ (DMAC) でフラグビットをクリアする割込み要求を, 割込み要求 0 と割込み要求 1 の中から選択します。

割込み要求 0 および割込み要求 1 に割り当てられている割込み要求は, ベースタイマの使用方法によって異なります。

ベースタイマの使用方法	割込み要求 0	割込み要求 1
16/32 ビットリロードタイマ	アングフロー割込み要求	トリガ割込み要求
16 ビット PWM タイマ	アングフロー割込み要求 デューティー致割込み要求	トリガ割込み要求
16/32 ビット PWC タイマ	オーバフロー割込み要求	測定終了割込み要求
16 ビット PPG タイマ	アングフロー割込み要求	トリガ割込み要求

DMA コントローラ (DMAC) が割込みベクタ番号 55 (10 進) に対して、割込み要求クリア信号を出力するとこのビットで選択した割込み要求のフラグビットがクリアされます。

書込み値	説明	
	割込み要求名	クリアするフラグビット
0	ベースタイム ch.13 の割込み要求 0	BTDSTC : UDIR BTDSTC : DTIR BTDSTC : OVIR
1	ベースタイム ch.13 の割込み要求 1	BTDSTC : TGIR BTDSTC : EDIR

[bit1] : 予約ビット

書込み時	必ず "0" を書き込んでください。
読出し時	"0" が読み出されます。

[bit0] : BTSEL30 (割込み要求選択ビット)

割込みベクタ番号 54 (10 進) に割り当てられた割込み要求の中から DMA コントローラ (DMAC) でフラグビットをクリアする割込み要求を、割込み要求 0 と割込み要求 1 の中から選択します。

割込み要求 0 および割込み要求 1 に割り当てられている割込み要求は、ベースタイムの使用方法によって異なります。

ベースタイムの使用方法	割込み要求 0	割込み要求 1
16/32 ビットリロードタイム	アンダフロー割込み要求	トリガ割込み要求
16 ビット PWM タイマ	アンダフロー割込み要求 デューティー致割込み要求	トリガ割込み要求
16/32 ビット PWC タイマ	オーバフロー割込み要求	測定終了割込み要求
16 ビット PPG タイマ	アンダフロー割込み要求	トリガ割込み要求

DMA コントローラ (DMAC) が割込みベクタ番号 54 (10 進) に対して、割込み要求クリア信号を出力するとこのビットで選択した割込み要求のフラグビットがクリアされます。

書込み値	説明	
	割込み要求名	クリアするフラグビット
0	ベースタイム ch.12 の割込み要求 0	BTCSTC : UDIR BTCSTC : DTIR BTCSTC : OVIR
1	ベースタイム ch.12 の割込み要求 1	BTCSTC : TGIR BTCSTC : EDIR

29.3.16 周辺機能による DMA 転送要求のクリア選択レジスタ 14 (ICSEL14)

割込みベクタ番号 56 (10 進) には, ベースタイマ ch.14, ch.15 の割込み要求が割り当てられています。

この中から, DMA コントローラ (DMAC) でフラグビットをクリアする割込み要求をそれぞれ選択するレジスタです。

周辺機能による DMA 転送要求のクリア選択レジスタ 14 (ICSEL14) のビット構成を図 29.3-16 に示します。

図 29.3-16 周辺機能による DMA 転送要求のクリア選択レジスタ 14 (ICSEL14) のビット構成

bit	7	6	5	4	3	2	1	0
	予約	予約	予約	予約	予約	予約	BTSEL41	BTSEL40
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

R/W : リード / ライト可能

< 注意事項 >

DMA 転送中にこのレジスタを書き換えないでください。

[bit7 ~ bit2] : 予約ビット

書込み時	必ず "0" を書き込んでください。
読出し時	"0" が読み出されます。

[bit1, bit0] : BTSEL41, BTSEL40 (割込み要求選択ビット)

割込みベクタ番号 56 (10 進) に割り当てられた割込み要求の中から, DMA コントローラ (DMAC) でフラグビットをクリアする割込み要求を, 割込み要求 0 と割込み要求 1 の中から選択します。

割込み要求 0 および割込み要求 1 に割り当てられている割込み要求は, ベースタイマの使用方法によって異なります。

	割込み要求 0	割込み要求 1
16/32 ビットリロードタイマ	アンダフロー割込み要求	トリガ割込み要求
16 ビット PWM タイマ	アンダフロー割込み要求 デューティ一致割込み要求	トリガ割込み要求
16/32 ビット PWC タイマ	オーバフロー割込み要求	測定終了割込み要求
16 ビット PPG タイマ	アンダフロー割込み要求	トリガ割込み要求

DMA コントローラ (DMAC) が割込みベクタ番号 56 (10 進) に対して, 割込み要求クリア信号を出力するところのビットで選択した割込み要求のフラグビットがクリアされます。

BTSEL41	BTSEL40	説明	
		割込み要求名	クリアするフラグビット
0	0	ベースタイマ ch.14 の割込み要求 0	BTESTC : UDIR BTESTC : DTIR BTESTC : OVIR
0	1	ベースタイマ ch.14 の割込み要求 1	BTESTC : TGIR BTESTC : EDIR
1	0	ベースタイマ ch.15 の割込み要求 0	BTFSTC : UDIR BTFSTC : DTIR BTFSTC : OVIR
1	1	ベースタイマ ch.15 の割込み要求 1	BTFSTC : TGIR BTFSTC : EDIR

29.4 動作説明と設定手順例

周辺機能の割り込み要求で DMA 転送を起動する場合の動作と設定手順について説明します。

29.4.1 DMA 転送時の動作

■ 設定

DMA 転送の転送要求元を周辺機能の割り込み要求にする場合は、割り込みベクタ番号の選択や、各周辺機能での設定も必要です。

設定する順番は次のようになります。

1. 割り込みベクタ番号の選択 (IO 転送要求設定レジスタ (IORR0 ~ IORR7))
 - IOS5 ~ IOS0 ビットに割り込みベクタ番号に対応した値を書き込む
 - IOE ビットで周辺機能の割り込み要求による DMA 転送の開始を許可する (IOE=1)
2. DMA コントローラ (DMAC) でクリアする割り込み要求を選択 (周辺回路による DMA 転送要求のクリア選択レジスタ (ICSEL0 ~ ICSEL14))
3. DMA コントローラ (DMAC) の設定
詳しくは、「第 28 章 DMA コントローラ (DMAC)」を参照してください。
 - DMA 転送の転送要求元を周辺機能の割り込み要求に設定
 - DMA 転送の動作を許可して、転送要求待ち状態に設定
4. 周辺機能の設定
使用する周辺機能の章を参照してください。
 - DMA 転送に使用する割り込み要求のフラグをクリア
 - DMA 転送に使用する割り込み要求の発生を許可

< 注意事項 >

- 周辺機能の割り込み要求フラグは DMA コントローラ (DMAC) によってクリアされるため、周辺機能の割り込み要求としては使用できません。
DMA 転送の転送要求元として使用する割り込み要求は、割り込みレベルを "31" (割り込み禁止) にしてください。
割り込みレベルの設定方法については、「第 10 章 割り込みコントローラ」を参照してください。
 - 周辺機能の設定をする際は、割り込み要求フラグをクリアしてから、割り込み要求の発生を許可してください。
-

■ 動作

次のように動作します。

1. 周辺機能を起動
2. 周辺機能で DMA 転送要求元になる割込み要求が発生
3. DMA 転送要求が発生し, DMA コントローラ (DMAC) が起動
4. ブロックサイズ×転送回数分, 1 転送ごとに, DMA コントローラ (DMAC) から周辺機能の割込み要求フラグのクリアを要求
5. DMA 転送終了

< 注意事項 >

割込み要求が発生した時点での割込みレベルマスクレジスタ (ILM) と割込みコントロールレジスタ (ICR00 ~ ICR47) の値が次のようになるよう, 割込みレベルを設定してください。

ILM ICR

割込みレベルマスクレジスタ (ILM) の値が割込みコントロールレジスタ (ICR00 ~ ICR47) の値より大きいと, 周辺機能の割込み要求発生動作が成立し, DMA 転送要求も発生できますが, 割込み要求処理動作が不安定になります。

第 30 章 内蔵プログラム メモリ制御

本製品は、内蔵プログラムメモリとしてフラッシュメモリを搭載している品種とマスク ROM を搭載している品種があります。
これらの内蔵プログラムメモリを使用する場合のレジスタ設定について説明します。

30.1 内蔵プログラムメモリ制御部の概要

30.2 内蔵プログラムメモリ制御部のレジスタ

30.1 内蔵プログラムメモリ制御部の概要

本製品は、内蔵プログラムメモリとしてフラッシュメモリを搭載している品種とマスク ROM を搭載している品種があります。

■ 概要

内蔵プログラムメモリを使用するときに設定が必要なレジスタは次のレジスタです。
フラッシュメモリ品、マスク ROM 品どちらの品種を使用している場合も設定が必要です。

- FLASH 制御レジスタ (FCTLRL)

フラッシュメモリ品をご使用の場合は、「第 31 章 フラッシュメモリ」もご一読ください。

■ クロック

内蔵プログラム制御部で使用するクロックを表 30.1-1 に示します。

表 30.1-1 内蔵プログラム制御部で使用するクロック

クロック名	内容
動作クロック	ソースクロック (SRCCLK)

30.2 内蔵プログラムメモリ制御部のレジスタ

内蔵プログラムメモリ制御部のレジスタの構成と機能について説明します。

■ 内蔵プログラムメモリ制御部のレジスタ一覧

内蔵プログラムメモリ制御部のレジスタ一覧を表 30.2-1 に示します。

表 30.2-1 内蔵プログラムメモリ制御部のレジスタ一覧

レジスタ略称	レジスタ名	参照先
FCTLR	FLASH 制御レジスタ	30.2.1

30.2.1 FLASH 制御レジスタ (FCTLР)

内蔵プログラムメモリへのアクセスを制御するレジスタです。
FLASH 制御レジスタ (FCTLР) のビット構成を図 30.2-1 に示します。

図 30.2-1 FLASH 制御レジスタ (FCTLР) のビット構成

bit	15	14	13	12	11	10	9	8
	予約	FWE	未定義	未定義	FSZ1	FSZ0	FWC1	FWC0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	1	0	0	0	1	0	1	1

bit	7	0
	予約	
属性	R/W	
初期値	0	

R/W : リード / ライト可能

< 注意事項 >

内蔵プログラムメモリにアクセス中に、このレジスタを書き換えると正常にアクセスできません。このレジスタは必ず、次のように内蔵プログラムメモリにアクセスが行われていないときに書き換えてください。

- ・ 読出しアクセス時：読出し動作の直前
 - ・ コマンド発行時：FLASH ステータスレジスタ (FSTR) の FRDY ビットが "1" のとき
- また、内蔵プログラムメモリ領域のプログラムにこのレジスタの値を変更する命令を書かないでください。このレジスタは、内蔵 RAM か外部領域上のプログラムで書き換えてください。

[bit15] : 予約ビット

書込み時	必ず "1" を書き込んでください。
読出し時	"1" が読み出されます。

[bit14] : FWE (FLASH 書込み許可)

- フラッシュメモリ品の場合

フラッシュメモリへの書込みを許可/禁止することでアクセスモードを設定します。

書込み値	説明
0	書込みを禁止します。CPU ROM モードが設定されます。
1	書込みを許可します。CPU プログラミングモードが設定されます。

- マスク ROM 品の場合

予約ビットとなります。

書込み時	必ず "0" を書き込んでください。
読出し時	"0" が読み出されます。

[bit13, bit12] : 未定義ビット

書込み時	無視されます。
読出し時	"0" が読み出されます。

[bit11, bit10] : FSZ1, FSZ0 (FLASH アクセスサイズ設定ビット)

内蔵プログラムメモリにアクセスするときの、サイズ (ビット幅) を設定します。

FSZ1	FSZ0	アクセスサイズ
0	0	設定禁止
0	1	16 ビット
1	0	32 ビット
1	1	64 ビット

FCTLR の FSZ [1:0] は, "11"(64 ビット) に設定して使用してください。

内蔵プログラムメモリを読み出すときと、書き込む場合で、設定できるアクセスサイズが異なります。

	読出し	書込み
CPU ROM モード	64 ビット /32 ビット *	
CPU プログラミングモード	16 ビット	16 ビット

*: 64 ビット (FSZ1=1, FSZ0=1) に設定してください。

[bit9, bit8] : FWC1, FWC0 (FLASH ウェイト設定ビット)

内蔵プログラムメモリを読み出す場合の読出し要求間隔 (ウェイトサイクル) を設定します。

FWC1	FWC0	ウェイトサイクル
0	0	設定禁止
0	1	1
1	0	2
1	1	3

ソースクロック (SRCCLK) の周波数と設定可能な FLASH ウェイト数は以下のとおりです。

SRCCLK 周波数	設定可能ウェイト数
SRCCLK 40MHz	1/2/3 ウェイト
SRCCLK > 40MHz	2/3 ウェイト

< 注意事項 >

DIVR0 で BCLK(=CPU クロック) を分周しても, SRCCLK は分周されないため, ウェイトサイクルを下げることはできませんのでご注意ください。

[bit7 ~ bit0] : 予約ビット

書込み時	必ず "0" を書き込んでください。
読出し時	"0" が読み出されます。

第 31 章 フラッシュメモリ

フラッシュメモリの機能と動作について説明します。

- 31.1 フラッシュメモリの概要
- 31.2 フラッシュメモリの構成
- 31.3 フラッシュメモリのレジスタ
- 31.4 フラッシュメモリのアクセスモード
- 31.5 自動アルゴリズム
- 31.6 フラッシュメモリの動作説明
- 31.7 データポーリングフラグ (DQ7) の制約事項と回避方法
- 31.8 フラッシュメモリの使用上の注意

31.1 フラッシュメモリの概要

本製品に内蔵されているフラッシュメモリの容量は 256K バイトまたは 512K バイトまたは 1M バイトのいずれかになります。

CPU からデータをセクタ単位または全セクター括で消去できます。また、ハーフワード単位でデータを書き込むことができます。

■ 概要

本製品に内蔵されているフラッシュメモリは、CPU モード 2 種類と ROM ライタモードの計 3 種類の中からアクセスモードを選択できます。

- CPU モード

フラッシュメモリを CPU のプログラム / データ格納用のメモリとして使用します。次の 2 種類のモードがあります。

- CPU プログラミングモード

フラッシュメモリのデータ書き込み/消去ができるモードです(自動アルゴリズム*)。ワードアクセスできないため、このモードで動作しているときはフラッシュメモリ上のプログラムを実行することはできません。ハーフワードアクセスが可能です。

- CPU ROM モード

フラッシュメモリのデータの読出しのみを行うモードです。ワードアクセスできます。ただし、このモードでは、データ書き込み / 消去の自動アルゴリズムの起動は行えません。

- ROM ライタモード

ROM ライタからフラッシュメモリの読出し、書き込みおよび消去ができます(自動アルゴリズム*)。

*: 自動アルゴリズム =Embedded Algorithm

< 注意事項 >

本書では、フラッシュメモリを CPU モードで利用する場合について記載します。

ROM ライタからフラッシュメモリにアクセスする場合については、ご利用の ROM ライタの取扱い説明書を参照してください。

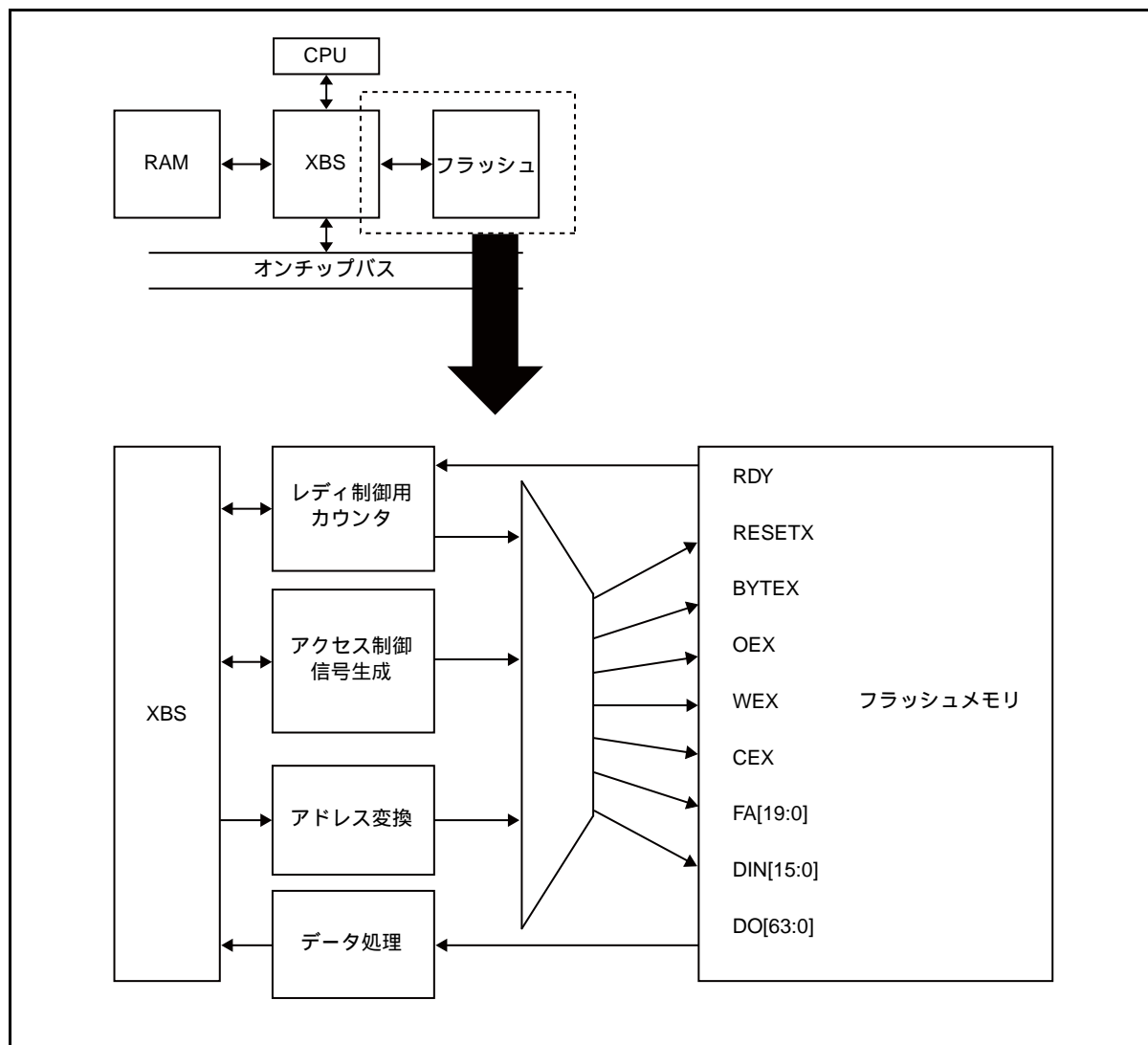
31.2 フラッシュメモリの構成

フラッシュメモリはブロック構成について説明します。

■ フラッシュメモリのブロックダイアグラム

フラッシュメモリのブロックダイアグラムを図 31.2-1 に示します。

図 31.2-1 フラッシュメモリのブロックダイアグラム



■ フラッシュメモリのセクタ構成

フラッシュメモリのセクタ構成を容量ごとに示します。

256K バイトのフラッシュメモリのメモリマップを図 31.2-2 に、512K バイトのフラッシュメモリのメモリマップを図 31.2-3 に、1M バイトのフラッシュメモリのメモリマップを図 31.2-4 に示します。

図 31.2-2 メモリマップ (256K バイトフラッシュメモリ)

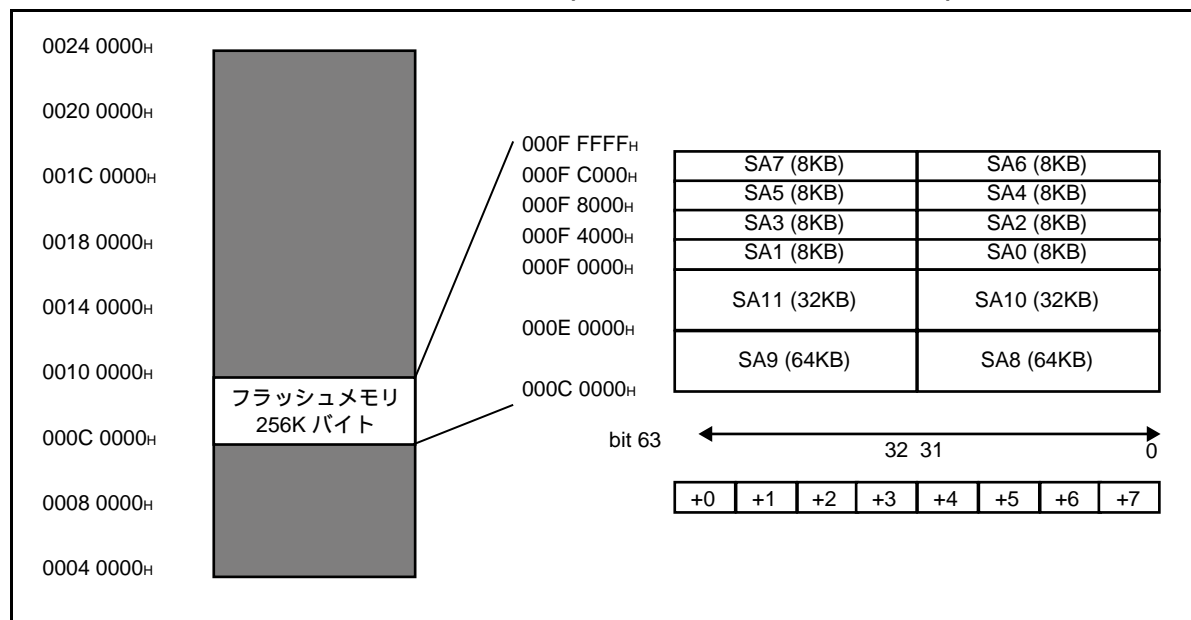


図 31.2-3 メモリマップ (512K バイトフラッシュメモリ)

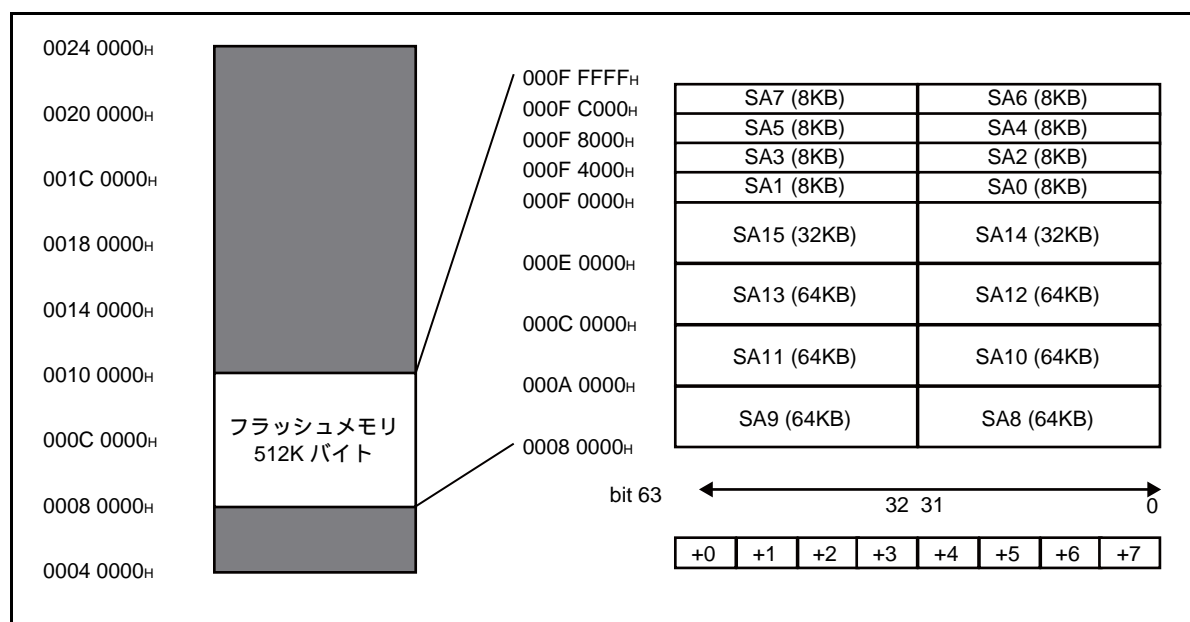
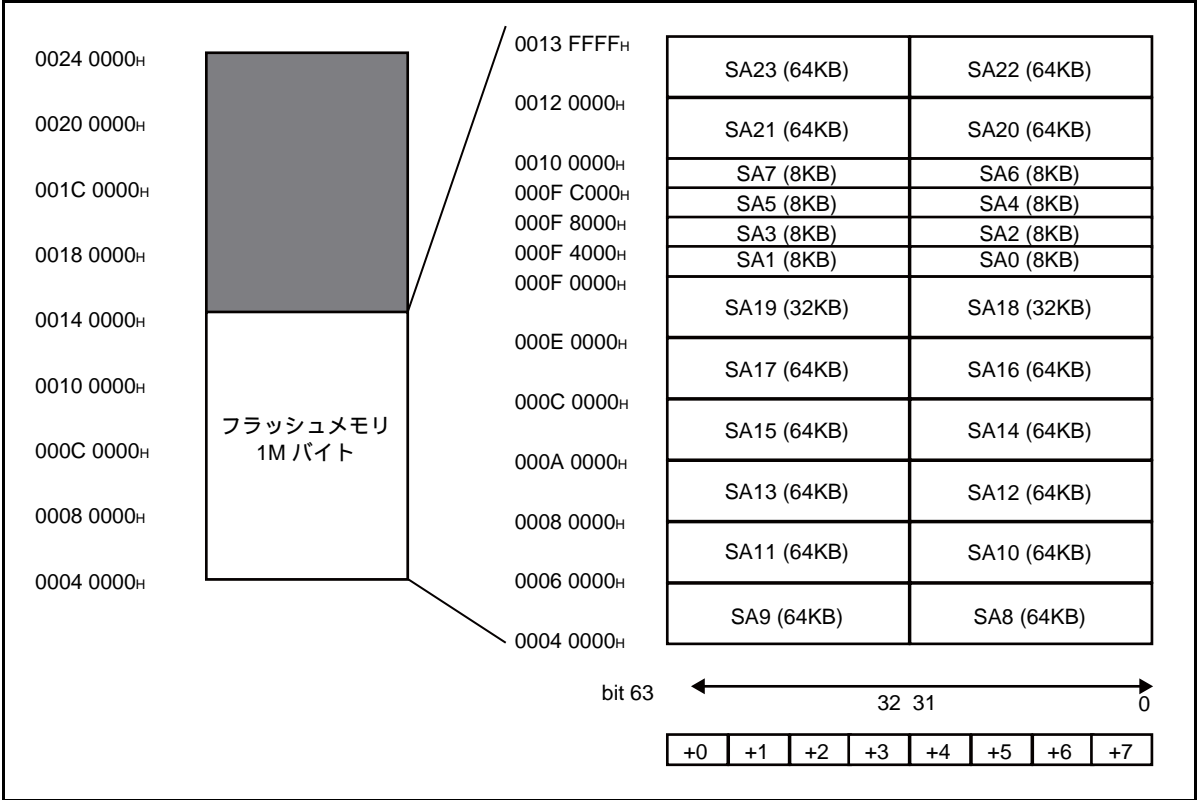


図 31.2-4 メモリマップ (1M バイトフラッシュメモリ)



■ クロック

フラッシュメモリで使用するクロックを表 31.2-1 に示します。

表 31.2-1 フラッシュメモリで使用するクロック

クロック名	内容
動作クロック	ソースクロック (SRCCLK)

31.3 フラッシュメモリのレジスタ

フラッシュメモリで使用するレジスタの構成と機能について説明します。

■ フラッシュメモリのレジスタ一覧

フラッシュメモリのレジスタ一覧を表 31.3-1 に示します。

表 31.3-1 フラッシュメモリのレジスタ一覧

レジスタ略称	レジスタ名	参照先
FSTR	FLASH ステータスレジスタ	31.3.1
FCTLR	FLASH 制御レジスタ	31.3.2

31.3.1 FLASH ステータスレジスタ (FSTR)

フラッシュメモリの状態を示すレジスタです。
FLASH ステータスレジスタ (FSTR) のビット構成を図 31.3-1 に示します。

図 31.3-1 FLASH ステータスレジスタ (FSTR) のビット構成

	bit							
	7	6	5	4	3	2	1	0
	予約	予約	予約	予約	予約	予約	予約	FRDY
属性	R	R	R	R	R	R	R	R
初期値	0	0	0	0	0	0	0	1
R : リードオンリ								

[bit7 ~ bit1] : 予約ビット

書込み時	必ず "0" を書き込んでください。
読出し時	"0" が読み出されます。

[bit0] : FRDY (フラッシュ動作ステータスビット)

自動アルゴリズムでフラッシュメモリのデータ書込み / 消去動作が実行中か完了しているかを示します。動作中の場合、フラッシュメモリへデータを書き込んだりデータを消去したりすることはできません。

読出し値	説明
0	動作中 (データ書込み / 消去不可)
1	動作完了 (データ書込み / 消去可能)

- ・マスク ROM 品の場合
常に "1" が読み出されます。

31.3.2 FLASH 制御レジスタ (FCTL R)

内蔵プログラムメモリへのアクセスを制御するレジスタです。
このレジスタについては、「第 30 章 内蔵プログラムメモリ制御」の「30.2.1 FLASH 制御
レジスタ (FCTL R)」を参照してください。

31.4 フラッシュメモリのアクセスモード

CPU からフラッシュメモリにアクセスする場合は次の 2 つのアクセスモードがあります。

- CPU プログラミングモード
 - CPU ROM モード
-

■ 概要

FLASH 制御レジスタ (FCTLR) の FWE ビットで設定できます。

- CPU ROM モード (FWE=0)

フラッシュメモリのデータの読出しのみを行うモードです。ワードアクセスできるため、32 ビット長のデータを一括で読み出せます。

ただし、このモードでは、データ書込み / 消去の自動アルゴリズムの起動は行えません。

< 注意事項 >

リセットが解除されるとこのモードが設定されます。

- CPU プログラミングモード (FWE=1)

フラッシュメモリの読出し、およびデータ書込み / 消去ができるモードです。このモードでは、ワードアクセスできないため、このモードで動作しているときはフラッシュメモリ上のプログラムを実行することはできません。動作内容は次のとおりです。

- 読出し時

ハーフワードでフラッシュメモリにアクセスして、16 ビットのデータを一括で読み出します。

- コマンド書込み時

自動アルゴリズムを起動しデータ書込み / 消去を行います。自動アルゴリズムについては、「31.5 自動アルゴリズム」を参照してください。

< 注意事項 >

CPU が動作時にリセットが解除されると CPU ROM モードが設定されます。このモードに設定したい場合は、リセット解除後 FWE ビットに "1" を書き込んでください。また、CPU プログラミングモード設定後にリセットが発生すると、FWE ビットが "0" に変わり CPU ROM モードに戻ります。

31.5 自動アルゴリズム

CPU プログラミングモードを利用する場合、フラッシュメモリへのデータ書き込み / 消去は自動アルゴリズムを起動して行います。
自動アルゴリズムについて説明します。

31.5.1 コマンドシーケンス

フラッシュメモリへ 1 回 ~ 6 回連続でハーフワード (16 ビット) のデータを書き込むと自動アルゴリズムが起動します。これをコマンドとよびます。コマンドシーケンスを表 31.5-1 に示します。

表 31.5-1 コマンドシーケンス

コマンド	書き込み回数	1 回目		2 回目		3 回目		4 回目		5 回目		6 回目	
		Addr	Data	Addr	Data	Addr	Data	Addr	Data	Addr	Data	Addr	Data
リセット	1	FXXXX _H	F0F0 _H	--	--	--	--	--	--	--	--	--	--
リセット	4	F5556 _H	AAAA _H	FAAAA _H	5555 _H	F5556 _H	F0F0 _H	--	--	--	--	--	--
データ書き込み	4	F5556 _H	AAAA _H	FAAAA _H	5555 _H	F5556 _H	A0A0 _H	PA	PD	--	--	--	--
チップ消去	6	F5556 _H	AAAA _H	FAAAA _H	5555 _H	F5556 _H	8080 _H	F5556 _H	AAAA _H	FAAAA _H	5555 _H	F5556 _H	1010 _H
セクタ消去	6	F5556 _H	AAAA _H	FAAAA _H	5555 _H	F5556 _H	8080 _H	F5556 _H	AAAA _H	FAAAA _H	5555 _H	SA	3030 _H
セクタ消去一時停止	1	FXXXX _H	B0B0 _H	--	--	--	--	--	--	--	--	--	--
セクタ消去再開	1	FXXXX _H	3030 _H	--	--	--	--	--	--	--	--	--	--

PA : 書き込みアドレス SA : セクタアドレス (*) PA : アドレス PD : 書き込みデータ

< 注意事項 >

- 必ずハーフワードで書き込んでください。(アドレスは CPU モード時のアドレスを記載しています)
- 不正なアドレスやデータを書き込んだ場合や、書き込む順番を間違えた場合はフラッシュメモリは読出しモードにリセットされます。
- セクタアドレスは下位 4 ビットが "2_H", "6_H", "A_H", "E_H" のいずれかを示す 32 ビットアドレス空間の下位側を指定してください。

■ リセットコマンド

表 31.5-1 に記載されているリセットコマンドをフラッシュメモリ領域に連続して書き込むとフラッシュメモリを読み出し / リセット状態にできます。

書込みサイクルが 1 回だけのリセットコマンドと 4 回のリセットコマンドがありますが、本質的に違いはありません。

リセットコマンドを発行すると、フラッシュメモリは、他のコマンドが発行されるまで読み出し / リセット状態を保ちます。

自動アルゴリズムの実行がタイミングリミットを超過した場合は、リセットコマンドを発行してフラッシュメモリを読み出し / リセット状態へ復帰させてください。読み出しサイクルでフラッシュメモリからデータを読み出してください。

実際の動作については、「31.6.1 リセット動作」を参照してください。

< 注意事項 >

本デバイスに電源が投入されると、フラッシュメモリは自動的に読み出し / リセット状態に設定されます。この場合は、リセットコマンドを発行する必要はありません。コマンドが正常に終了しなかった場合や自動アルゴリズムを初期化するときにリセットコマンドを発行してください。

■ プログラム (データ書込み) コマンド

表 31.5-1 に記載されているデータ書込みコマンドをフラッシュメモリ領域に 4 回連続して書き込むと自動アルゴリズムを起動してフラッシュメモリにデータを書き込みます。データの書込みはどのようなアドレスの順番でもセクタの境界を越えても行えます。

CPU プログラミングモードでは、ハーフワードで書込みを行います。

表 31.5-1 に記載されている 4 回目の書込みが終了すると、自動アルゴリズムが起動し、フラッシュメモリへのデータ書込みが開始されます。

データ書込みのコマンドシーケンスを書き込んだあと、外部からフラッシュメモリを制御する必要はありません。

実際の動作については、「31.6.2 データ書込み動作」を参照してください。

< 注意事項 >

- 4 回目の書込みコマンド (書込みデータサイクル) を奇数番地に書き込むと、書込みが正しく行われません。必ず偶数番地に書き込んでください。
- 1 回のデータ書込みのコマンドシーケンスではハーフワードのデータ 1 つしか書き込みません。複数のデータを書き込みたい場合は、1 データに 1 度データ書込みのコマンドシーケンスを発行してください。

■ チップ消去コマンド

表 31.5-1 に記載されているチップ消去コマンドをフラッシュメモリ領域に 6 回連続して書き込むとフラッシュメモリの全セクタを一括で消去できます。

表 31.5-1 に記載されている 6 回目の書込みが終了すると、自動アルゴリズムが起動しチップ消去動作が開始されます。

チップ消去の自動アルゴリズムが起動するとチップ消去する前に、フラッシュメモリがチップ内のすべてのセルに "0" を書き込んで、マージンを検証（プリプログラム）するため、チップ消去前に、フラッシュメモリに書込みを行う必要はありません。

また、マージン検証中は、外部からフラッシュメモリを制御する必要はありません。

実際の動作については、「31.6.3 チップ消去動作」を参照してください。

■ セクタ消去コマンド

表 31.5-1 に記載されているセクタ消去コマンドをフラッシュメモリ領域に 6 回連続して書き込むとフラッシュメモリのセクタを消去できます。

表 31.5-1 に記載されている 6 回目の書込みが終了し、最短で 50 μ s 経過（タイムアウト期間）すると、セクタ消去動作が開始されます。

複数のセクタを消去したい場合は、50 μ s（タイムアウト期間）以内に消去するセクタのアドレスにセクタ消去コード（3030_H）を書き込んでください。セクタ消去コードが、タイムアウト期間内に入力されず、タイムアウト期間を過ぎてから入力された場合、そのセクタ消去コードは無効になります。

セクタ消去の自動アルゴリズムが起動するとセクタ消去する前に、フラッシュメモリが消去するセクタのセルに "0" を書き込んで、マージンを検証（プリプログラム）するため、セクタ消去前に、フラッシュメモリに書込みを行う必要はありません。

また、マージン検証中は、外部からフラッシュメモリを制御する必要はありません。

実際の動作については、「31.6.4 セクタ消去動作」を参照してください。

■ セクタ消去一時停止コマンド

セクタ消去中に、表 31.5-1 に記載されているセクタ消去一時停止コマンドをフラッシュメモリ領域に書き込むとセクタ消去を一時停止し、消去中以外のセクタからデータを読み出したり、データを書き込んだりできます。

セクタ消去コマンド後のタイムアウト期間に、このコマンドが発行されると、ただちにタイムアウトを終了し消去動作を中止します。このコマンドが発行されてから実際にセクタ消去が停止するまでに最大で 20 μ s の時間がかかります。

実際の動作については、「31.6.5 セクタ消去一時停止動作」を参照してください。

< 注意事項 >

このコマンドはセクタ消去中のみ有効です。チップ消去中やデータ書込み中にこのコマンドを発行しても無視されます。

■ セクタ消去再開コマンド

表 31.5-1 に記載されているセクタ消去再開コマンドをフラッシュメモリ領域に連続して書き込むとセクタ消去一時停止状態を解除し、セクタ消去を再開できます。

実際の動作については、「31.6.6 セクタ消去再開動作」を参照してください。

< 注意事項 >

このコマンドはセクタ消去一時停止中のみ有効です。セクタ消去中にこのコマンドを発行しても無視されます。

31.5.2 自動アルゴリズムの実行状態

フラッシュメモリでは、データ書込み / 消去を自動アルゴリズムで行うため、自動アルゴリズムが実行中かどうかを FLASH ステータスレジスタ (FSTR) の FRDY ビットで、動作状態をハードウェアシーケンスフラグで確認できます。

FLASH ステータスレジスタ (FSTR) の FRDY ビットについては、「31.3.1 FLASH ステータスレジスタ (FSTR)」を参照してください。

■ ハードウェアシーケンスフラグ

自動アルゴリズムの状態を示すフラグです。FLASH ステータスレジスタ (FSTR) の FRDY ビットが "0" のときに、フラッシュメモリの任意のアドレスを読み出すと動作状態を確認できます。

ハードウェアシーケンスフラグのビット構成を図 31.5-1 に示します。

図 31.5-1 ハードウェアシーケンスフラグのビット構成

ハーフワードアクセスの場合

bit	15	14	13	12	11	10	9	8
	未定義	未定義	未定義	未定義	未定義	未定義	未定義	未定義

bit	7	6	5	4	3	2	1	0
	DPOLL	TOGG	TLOV	未定義	SETI	未定義	未定義	未定義

バイトアクセスの場合

bit	7	6	5	4	3	2	1	0
	DPOLL	TOGG	TLOV	未定義	SETI	未定義	未定義	未定義

< 注意事項 >

- ワードアクセスで読み出すことはできません。必ず、CPU プログラミングモードのときにハーフワードかバイトアクセスで読み出してください。
- CPU ROM モードで任意のアドレスを読み出しても、ハードウェアシーケンスフラグを読み出すことはできません。
- バイトアクセスで読み出すときは、奇数アドレスを読み出してください。

● 各ビットとフラッシュメモリの状態

ハードウェアシーケンスフラグの各ビットの状態とフラッシュメモリ状態の対応を表 31.5-2 に示します。

表 31.5-2 フラグとフラッシュメモリ状態の対応

状態			DPOLL	TOGG	TLOV	SETI
実行中	書込み中		反転データ ^{*1}	トグル	0	0
	セクタ消去	タイムアウト期間	1	トグル	0	1
		消去期間	0	トグル	0	1
	チップ消去		0	トグル	0	1
	セクタ消去一時停止中	読出し (消去一時停止中セクタ)	1	1	0	0
		読出し (消去一時停止中セクタ以外)	データ ^{*1}	データ ^{*1}	データ ^{*1}	データ ^{*1}
		書込み (消去一時停止中セクタ)	反転データ ^{*1}	トグル ^{*2}	1	0
タイムリミット超過	セクタ / チップ消去コマンド		反転データ ^{*1}	トグル	1	0
	セクタ消去一時停止		0	トグル	1	1
	セクタ消去一時停止中の書込み動作		0	トグル	1	1

*1: 読み出される値については、「ビット説明」を参照してください。

*2: 連続で読み出すと指定したアドレスに関係なく "1" と "0" を交互に出力するトグル動作になります。

● ビット説明

[bit15 ~ bit8]: 未定義ビット

[bit7]: DPOLL (データポーリングフラグ DQ7)

任意のアドレスを指定してハードウェアシーケンスフラグを読み出すと、データポーリング機能で自動アルゴリズムが実行中かどうかをこのビットに示します。

読み出される値は動作状態によって異なります。

• データ書込み時

- データ書込み中:

最後に書き込まれたデータの bit7 の値と逆の値 (反転データ) が読み出されます。ハードウェアシーケンスフラグを読み出すために指定したアドレスにはアクセスされません。

- データ書込み終了後:

ハードウェアシーケンスフラグを読み出すために指定したアドレスの bit7 の値が読み出されます。

- セクタ消去時
 - セクタ消去実行中：消去中のセクタから "0" が読み出されます。
 - セクタ消去後：必ず "1" が読み出されます。
- チップ消去時
 - チップ消去実行中：必ず "0" が読み出されます。
 - チップ消去後：必ず "1" が読み出されます。
- セクタ消去一時停止時

このビットとトグルビットフラグ DQ6(TOGG) を参照することでセクター一時停止中のセクタや消去中のセクタを確認できます。

 - 消去一時停止読出しモード時に消去中セクタのアドレスを指定して読み出した場合：
"1" が読み出されます。
 - 消去一時停止読出しモード時に消去中セクタ以外のアドレスを指定して読み出した場合：
指定したアドレスの bit7 の値が読み出されます。
 - 消去一時停止書込みモード時に消去中セクタのアドレスを指定して読み出した場合：
消去中セクタのデータの bit7 の値と逆の値（反転データ）が読み出されます。

< 注意事項 >

自動アルゴリズムを起動しているときは、指定したアドレスのデータを読み出すことはできません。このビットで自動アルゴリズムの動作が終了していることを確認してから、データを読み出してください。

[bit6] : TOGG (トグルビットフラグ DQ6)

任意のアドレスを指定してハードウェアシーケンスフラグを読み出すと、自動アルゴリズムが実行中かどうかをこのビットで示します。

読み出される値は動作状態によって異なります。

- データ書込み / セクタ消去 / チップ消去時
 - データ書込み / セクタ消去 / チップ消去中：
連続でこのビットを読み出すと，“1” と “0” が交互に読み出されます（トグル動作）。
ハードウェアシーケンスフラグを読み出すために指定したアドレスにはアクセスされません。
 - データ書込み / セクタ消去 / チップ消去終了後：
ハードウェアシーケンスフラグを読み出すために指定したアドレスの bit6 の値が読み出されます。
- セクタ消去一時停止時
 - 消去中セクタのアドレスを指定して読み出した場合：“1” が読み出されます。
 - 消去中セクタ以外のアドレスを指定して読み出した場合：
指定したアドレスの bit6 の値が読み出されます。

[bit5] : TLOV (タイミングリミット超過フラグ DQ5)

任意のアドレスを指定してハードウェアシーケンスフラグを読み出すと，自動アルゴリズムの実行時間がフラッシュメモリ内部で規定している時間（内部パルスの回数）を超過したかどうかをこのビットで示します。

読み出される値は動作状態によって異なります。

- データ書込み / セクタ消去 / チップ消去時
次の値が読み出されます。

読出し値	説明
0	規定時間内
1	規定時間を超過している

このビットが “1” のときに，データポーリングフラグ DQ7(DPOLL) やトグルビットフラグ DQ6(TOGG) が自動アルゴリズム実行中であることを示していると，書込みや消去に失敗したことになります。

例えば，フラッシュメモリでは “0” が書き込まれているデータを “1” に書き換えることができないため，“0” が書き込まれているアドレスに “1” を書き込もうとすると，フラッシュメモリがロックされ自動アルゴリズムが終了しません。この場合は，データポーリングフラグ DQ7(DPOLL) の値は無効のままになり，トグルビットフラグ DQ6(TOGG) からは “1” と “0” が交互に読み出され続けます。

この状態のまま規定時間を越えたときに，このビットが “1” に変わります。このビットが “1” になった場合はリセットコマンドを発行してください。

< 注意事項 >

このビットが “1” の場合は，フラッシュメモリが正しく使用されなかったことを示しています。フラッシュメモリの不良ではありません。

リセットコマンドを発行してから適切な処理を行ってください。

[bit4] : 未定義ビット**[bit3] : SETI (セクタ消去タイムフラグ (DQ3))**

セクタ消去時は、セクタ消去コマンドを発行してから実際にセクタ消去が開始されるまでには、最短で 50 μ s のタイムアウト期間が必要です。

任意のアドレスを指定してハードウェアシーケンスフラグを読み出すと、セクタ消去コマンドのタイムアウト期間中かどうかをこのビットで示します。

読み出される値は動作状態によって異なります。

- セクタ消去時：

セクタ消去時に次のセクタ消去コードを入力する前に、このビットを確認することで次のセクタ消去コードが受け付けられる状態かどうかを確認できます。

ハードウェアシーケンスフラグを読み出すために指定したアドレスにはアクセスせず、次の値が読み出されます。

読出し値	説明
0	セクタ消去タイムアウト期間中 次のセクタ消去コード (3030 _H) を受け付けられます。
1	セクタ消去タイムアウト期間を超過している *

* : このビットが "1" のときに、データポーリングフラグ DQ7(DPOLL) やトグルビットフラグ DQ6(TOGG) が自動アルゴリズム実行中であることを示していると、フラッシュメモリ内部の消去が開始されています。この場合、セクタ消去コード (3030_H) や消去一時停止コマンド以外のコマンドはフラッシュメモリ内部の消去が完了するまで無視されます。

- セクタ消去一時停止時

- 消去中セクタのアドレスを指定して読み出した場合："1" が読み出されます。
- 消去中セクタ以外のアドレスを指定して読み出した場合：
指定したアドレスの bit3 の値が読み出されます。

[bit2 ~ bit0] : 未定義ビット

31.6 フラッシュメモリの動作説明

フラッシュメモリの動作について、コマンドごとに説明します。

■ 概要

フラッシュメモリは、1 回～6 回連続して書込みを行い、コマンドシーケンスを発行することで、自動アルゴリズムを起動して以下の操作を行えます。

- リセット
- データ書込み
- チップ消去
- セクタ消去
- セクタ消去一時停止
- 消去再開

ハードウェアシーケンスフラグを利用して自動アルゴリズムの実行状態を確認できます。

コマンドおよび自動アルゴリズムの実行状態については「31.5 自動アルゴリズム」を参照してください。

31.6.1 リセット動作

フラッシュメモリの読出し / リセット状態について説明します。

リセットコマンドをフラッシュメモリ領域に連続して発行するとフラッシュメモリを読出し / リセット状態にできます。

この状態は、フラッシュメモリの初期状態です。電源を投入したときやコマンドが正常終了すると、フラッシュメモリは常に読出し / リセット状態に戻ります。電源投入時はリセットコマンドを発行する必要はありません。また、読出し / リセット状態では通常の読出しアクセスでデータを読み出したり、CPU からプログラムアクセスしたりできるため、データを読み出すときにリセットコマンドを発行する必要はありません。

リセットコマンドについては、「31.5 自動アルゴリズム」を参照してください。

31.6.2 データ書込み動作

フラッシュメモリへのデータ書込み動作について説明します。

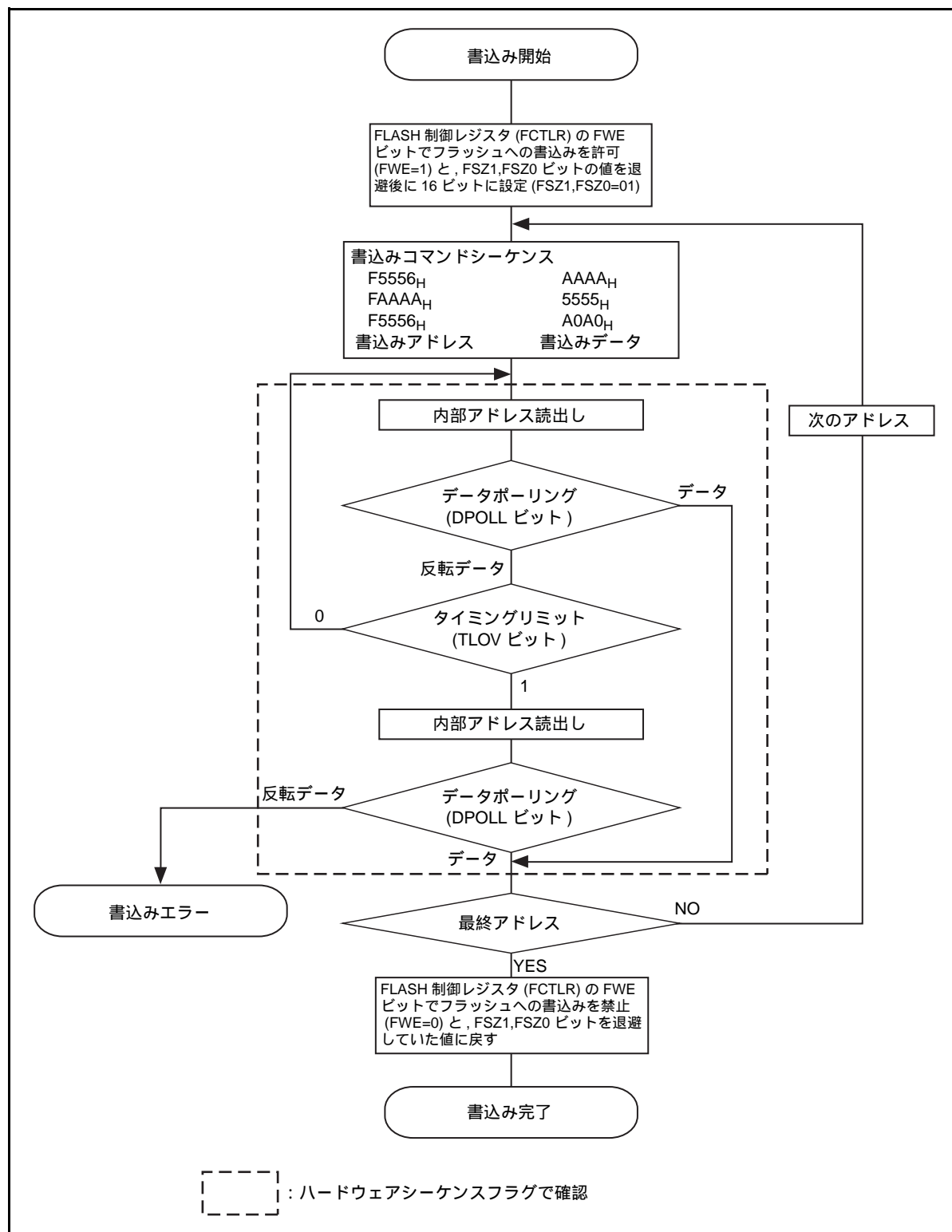
■ データ書込み動作

次の順番でデータ書込みを行います。

1. データ書込みコマンドをフラッシュメモリ領域に連続して発行する
自動アルゴリズムが起動されフラッシュメモリへデータが書き込まれます。
データ書込みコマンド発行後は外部からフラッシュメモリを制御する必要はありません。
2. データ書込みを行ったアドレスにリードアクセスする
読み出したデータはハードウェアシーケンスフラグになります。そのため、読み出したデータのデータポーリングフラグ DQ7 (DPOLL) が書き込んだ値と一致していると、フラッシュメモリへのデータ書込みが終了したことになります。
データ書込みが終了していない場合は、最後に書き込んだデータの bit7 の値と逆の値（反転データ）が読み出されます。

フラッシュメモリへのデータ書き込み動作例を図 31.6-1 に示します。

図 31.6-1 データ書き込み手順例



データ書き込みが終了すると、フラッシュメモリは読出し / リセット状態に戻ります。

< 注意事項 >

- データ書込みコマンドについては、「31.5 自動アルゴリズム」を参照してください。
- ハードウェアシーケンスフラグのデータポーリングフラグ DQ7(DPOLL) は、タイミングリミット超過フラグ DQ5(TLOV) とほぼ同時に値が変わることがあるのでタイミングリミット超過フラグ DQ5(TLOV) が "1" の場合でも再度確認する必要があります。
- ハードウェアシーケンスフラグのトグルビットフラグ DQ6(TOGG) は、タイミングリミット超過フラグ DQ5(TLOV) が "1" に変わるとほぼ同時にトグル動作を停止する場合があります。そのため、タイミングリミット超過フラグ DQ5(TLOV) が "1" の場合でもトグルビットフラグ DQ6(TOGG) を再度確認する必要があります。
- フラッシュメモリへは、どのようなアドレスの順番でも、またセクタの境界を越えても書き込めますが、1 回のデータ書込みコマンドシーケンスではハーフワードのデータ 1 つしか書き込めません。複数のデータを書き込みたい場合は、1 データに 1 度データ書込みコマンドシーケンスを発行してください。

■ データ書込み上の注意

- 一度、"0" が書き込まれたデータを "1" に戻すことはできません。"0" を "1" に書き換えると、以下のいずれかになります。
 - データポーリングアルゴリズムにより素子が不良と判定される
 - 書込み規定時間を超え、ハードウェアシーケンスフラグのタイミングリミット超過フラグ DQ5(TLOV) が "1" に変わる
 - "1" が書き込まれたように見えるただし、"1" が書き込まれたように見えた場合でも、実際のデータは '0' のままのため読出し / リセット状態でデータを読み出すと "0" が読み出されます。データを "1" に戻したい場合は、チップ消去かセクタ消去を行ってください。
- データ書込み動作中はフラッシュメモリに書き込まれたすべてのコマンドが無視されます。
- データ書込み中に本デバイスがリセットされた場合は、書き込んでいるデータは保証されません。

31.6.3 チップ消去動作

フラッシュメモリのセクタを一括して消去できます。セクタを一括して消去することをチップ消去と言います。

チップ消去コマンドをフラッシュメモリ領域に連続して書き込むと自動アルゴリズムを起動して、全セクタを一括で消去できます。

チップ消去コマンドについては、「31.5 自動アルゴリズム」を参照してください。

1. チップ消去コマンドをフラッシュメモリ領域に連続して発行する

自動アルゴリズムが起動されフラッシュメモリの全セクタの消去が開始されます。

2. 任意のアドレスにリードアクセスする

読み出したデータはハードウェアシーケンスフラグになります。そのため、読み出したデータのデータポーリングフラグ DQ7(DPOLL) が "1" だと、チップ消去が終了したことになります。

チップ消去に必要な時間は「セクタ消去時間 × 全セクタ数 + チップ書込み時間 (プリプログラム) 」となります。

チップ消去動作が終了すると、フラッシュメモリは読出し / リセット状態に戻ります。

< 注意事項 >

チップ消去の自動アルゴリズムが起動するとチップ消去する前に、フラッシュメモリがチップ内のすべてのセルに "0" を書き込んで、マージンを検証 (プリプログラム) するため、チップ消去前に、フラッシュメモリに書込みを行う必要はありません。

また、マージン検証中は外部からフラッシュメモリを制御する必要もありません。

31.6.4 セクタ消去動作

フラッシュメモリ内のセクタを選択して、選択したセクタのデータのみを消去できます。複数のセクタを同時に指定することもできます。

次の順番でセクタ消去を行います。

1. セクタ消去コマンドをフラッシュメモリ領域に連続して発行する

最短で 50 μ s 経過 (タイムアウト期間) すると、自動アルゴリズムによりセクタ消去動作が開始されます。

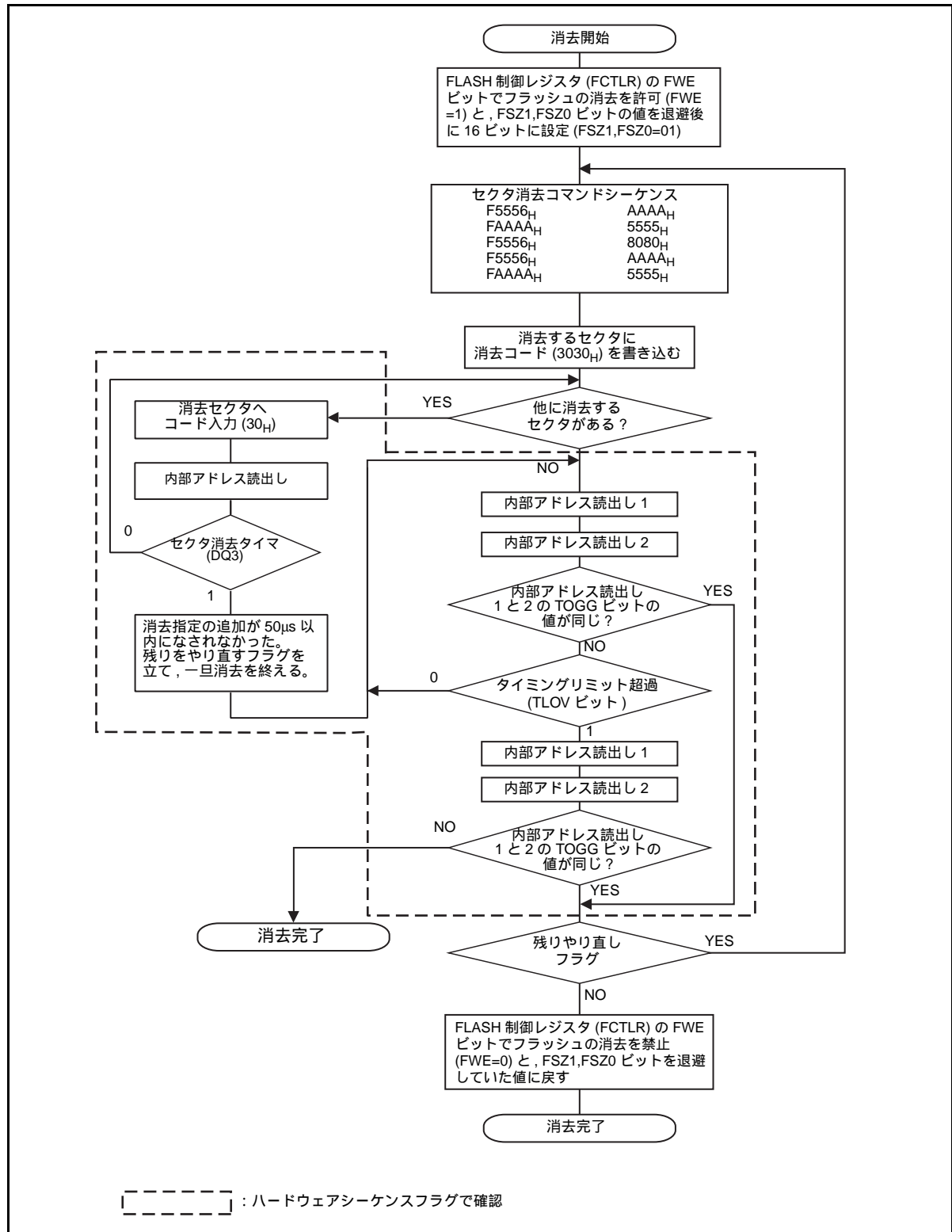
複数のセクタを消去したい場合は、50 μ s (タイムアウト期間) 以内に消去するセクタのアドレスに消去コード (3030_H) を書き込んでください。タイムアウト期間経過後に書き込むと、その消去コード (3030_H) が無効になります。

2. 任意のアドレスにリードアクセスする

読み出したデータはハードウェアシーケンスフラグになります。データポーリングフラグ DQ7(DPOLL) は、セクタ消去コマンドの書込み直後から、タイムアウト期間の間 "1" を示し、セクタ消去タイマフラグ DQ3(SETI) が "1" になるのと、ほぼ同時に "0" になります。その後、セクタ消去の自動アルゴリズムが終了すると、"1" になります。そのため、読み出したデータのデータポーリングフラグ DQ7 (DPOLL) が "1" だと、セクタ消去が終了したことになります。

また、トグルビットフラグ DQ6(TOGG) を利用してセクタ消去が完了したかどうかを確認することもできます。確認動作にトグルビットフラグ DQ6(TOGG) を使用した場合を例にとって、セクタ消去手順例を図 31.6-2 に示します。

図 31.6-2 セクタ消去手順例



セクタ消去に必要な時間は「(セクタ消去時間 + セクタ書込み時間 (プリプログラム)) × セクタ数」となります。

セクタ消去動作が終了すると、フラッシュメモリは読出し / リセット状態に戻ります。

本シリーズでは、機能上の制約により、セクタ消去コマンド発行後にデータポーリングフラグ DQ7(DPOLL) は 40 ~ 160μs の期間 "1" を示してから、"0" に変化します。セクタ消去が終了するとデータポーリングフラグ DQ7(DPOLL) は "1" を示します。

セクタ消去のときのデータポーリングフラグ DQ7(DPOLL) の制約事項の内容と回避方法については「31.7 データポーリングフラグ (DQ7) の制約事項と回避方法」を参照してください。

< 注意事項 >

- セクタ消去コマンドについては、「31.5 自動アルゴリズム」を参照してください。
 - 消去するセクタを指定するときは、下位 4 ビットが 2_H, 6_H, A_H, E_H のいずれかのアドレス (32 ビット下位側) を指定してください。
 - ハードウェアシーケンスフラグのデータポーリングフラグ DQ7(DPOLL) は、タイミングリミット超過フラグ DQ5(TLOV) とほぼ同時に値が変わることがあるのでタイミングリミット超過フラグ DQ5(TLOV) が "1" の場合でも再度確認する必要があります。
 - ハードウェアシーケンスフラグのトグルビットフラグ DQ6(TOGG) は、タイミングリミット超過フラグ DQ5(TLOV) が "1" に変わるのとほぼ同時にトグル動作を停止する場合があります。そのため、タイミングリミット超過フラグ DQ5(TLOV) が "1" の場合でもトグルビットフラグ DQ6(TOGG) を再度確認する必要があります。
 - タイムアウト期間を含むセクタ消去中に、セクタ消去コード / 消去一時停止コマンド以外のコマンドを発行すると、フラッシュメモリが読出し / リセット状態になります。
この場合、フラッシュメモリがリセットされるので、セクタ消去コマンドが無効になります。
セクタ消去を行う場合は、最初からセクタ消去コマンドを発行しなおしてください。
 - セクタ消去の自動アルゴリズムが起動すると、セクタ消去する前に、フラッシュメモリが消去するセルに "0" を書き込んで、マージンを検証 (プリプログラム) するため、セクタ消去前に、フラッシュメモリに書込みを行う必要はありません。
また、マージン検証中は外部からフラッシュメモリを制御する必要もありません。
-

31.6.5 セクタ消去一時停止動作

セクタ消去を一時停止して消去中以外のセクタ内からデータを読み出したり，データを書き込んだりできます。セクタ消去が一時停止されると，セクタ消去再開コマンドが発行されるまでセクタ消去一時停止状態を保持します。

セクタ消去停止中に，セクタ消去一時停止コマンドをフラッシュメモリ領域に書き込むと，セクタ消去を一時停止し，違うセクタからデータを読み出したり，データを書き込んだりできます。

本書では，セクタ消去一時停止中に他のセクタからデータを読み出すことをセクタ消去一時停止読出し，他のセクタにデータを書き込むことをセクタ消去一時停止書込みと言います。

■ セクタ消去一時停止動作

次の順番でセクタ消去を一時停止します。

1. セクタ消去のタイムアウト期間～セクタ消去中にセクタ消去一時停止コマンドをフラッシュメモリ領域に書き込む

タイムアウト期間中にコマンドを発行した場合は，ただちにタイムアウトを終了し，消去動作を中止します。

セクタ消去中はコマンドを発行した場合は，実際にセクタ消去が停止するまでに最大で 20 μ s の時間がかかります。

2. 書込みアドレスかセクタ消去一時停止を行ったアドレスにリードアクセスする
読み出したデータはハードウェアシーケンスフラグになります。そのため，読み出したデータのデータポーリングフラグ DQ7 (DPOLL) とトグルビットフラグ DQ6 (TOGG) から "1" が読み出されると，セクタ消去が終了したことになります。

また，セクタ消去が停止すると，FLASH ステータスレジスタ (FSTR) の FRDY ビットが "1" に変わります。

< 注意事項 >

- セクタ消去一時停止コマンドについては，「31.5 自動アルゴリズム」を参照してください。
 - 消去を一時停止できるのは，セクタ消去のタイムアウト期間～セクタ消去中のみです。チップ消去を一時停止することはできません。また，セクタ消去一時停止中に再度セクタ消去一時停止コマンドを発行しても無視されます。
-

■ セクタ消去一時停止後の状態

● セクタ消去一時停止読出しモード

セクタ消去が一時停止されると，セクタ消去一時停止中以外のセクタを通常と同じ動作で読み出すことができます。この状態をセクタ消去一時停止読出しモードと言います。

< 注意事項 >

セクタ消去一時停止中のセクタは読み出すことができません。セクタ消去一時停止中のセクタを読み出すと、ハードウェアシーケンスフラグが読み出されます。ハードウェアシーケンスフラグを読み出した場合は、読み出したデータの各ビットの値が次のようになります。

- データポーリングフラグ DQ7(DPOLL) とトグルビットフラグ DQ6(TOGG) : "1"

● セクタ消去一時停止書込みモード

セクタ消去一時停止読出しモードでプログラム (書込み) コマンドを発行すると、セクタ消去一時停止中以外のセクタにデータを書き込めるようになります。この状態をセクタ消去一時停止書込みモードと言います。

書込み動作は通常と同じです。必ずハーフワードで書き込んでください。

< 注意事項 >

- セクタ消去一時停止中のセクタに書き込むことはできません。
セクタ消去一時停止書込みモード時、セクタ消去一時停止中のセクタを読み出すと、ハードウェアシーケンスフラグが読み出されます。ハードウェアシーケンスフラグを読み出した場合は、読み出したデータの各ビットの値が次のようになります。
 - トグルビットフラグ DQ6(TOGG) : 連続で読み出すと "1" と "0" が交互に読み出されるトグル動作
- セクタ消去一時書込みモード時、セクタ消去一時停止中以外のセクタからデータを読み出すと、bit7 には実際の値の反転値が読み出されます。

31.6.6 セクタ消去再開動作

セクタ消去一時停止中にセクタ消去を再開する動作について説明します。

セクタ消去を一時停止中に、任意のアドレスにセクタ消去再開コマンドを発行するとセクタ消去を再開できます。

セクタ消去再開コマンドが発行されると、セクタ消去一時停止中のセクタの消去動作が開始されます。

セクタ消去再開コマンドについては、「31.5 自動アルゴリズム」を参照してください。

< 注意事項 >

セクタ消去再開コマンドは、セクタ消去一時停止中のみ有効です。セクタ消去中にセクタ消去再開コマンドを発行しても無視されます。

31.7 データポーリングフラグ (DQ7) の制約事項と回避方法

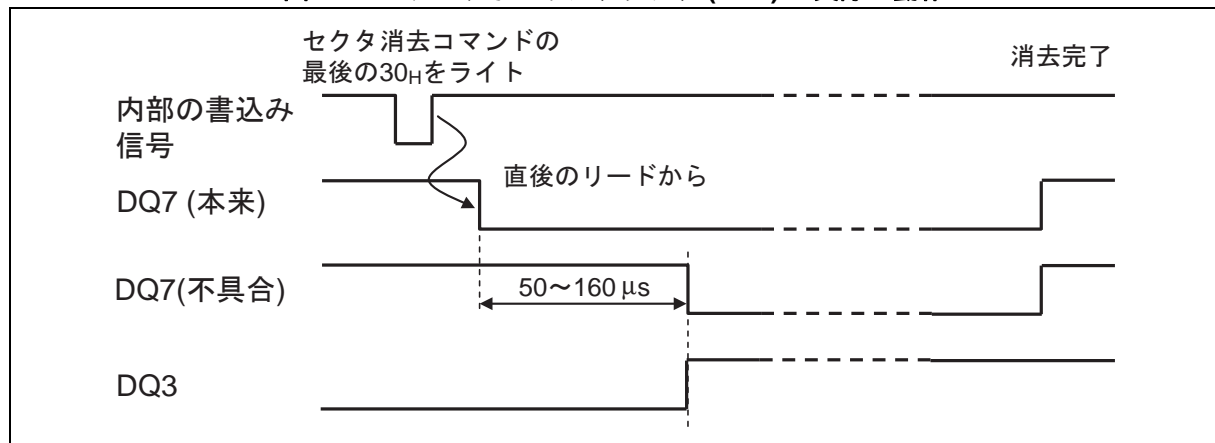
本シリーズでは、セクタ消去時の自動アルゴリズム実行時のデータポーリングフラグ (DQ7) の使用方法に制約があります。本節では、制約事項の内容と回避方法について説明します。

■ 制約事項による不具合内容

データポーリングフラグ (DQ7) は、自動アルゴリズム実行が進行中もしくは終了状態であることを、データポーリング機能によって知らせるためのフラグです。この DQ7 の本来の動作は、図 31.7-1 に示すとおり、自動アルゴリズム起動時にセクタ消去コマンド発行後、"0" を出力し、消去完了後 "1" に戻ります。DQ7 のポーリングアルゴリズムでは、この "1" 出力をもって消去完了を示します。

本シリーズでは、DQ7 はセクタ消去コマンド発行後から 50 ~ 160 μ s の間 "1" を出力し続け、その後に "0" を出力し、消去完了後 "1" に戻ります。このために、セクタ消去のポーリングを、セクタ消去コマンド発行直後の "1" 出力期間内から始めると、実際は消去開始前であるにもかかわらず、消去が完了したように誤判定する可能性があります。セクタ消去コマンド受付後、DQ7 が "1" から "0" になるタイミングは、セクタ消去タイムアウト期間を示すセクタ消去タイマフラグ (DQ3) が "0" から "1" になるタイミングと同じです。

図 31.7-1 データポーリングフラグ (DQ7) の実際の動作



消去が完了したように誤判定した結果、誤判定後の不具合動作の例としては、以下が考えられます。

- (1) CPU が命令 / データをフェッチしようとしてもフラッシュメモリからはシーケンスフラグの値が読み出されるため、正常にプログラムの値が読めず、暴走や異常動作を起こす可能性があります。
- (2) 誤ってセクタ消去完了判定した後、次のコマンドを発行すると、最初のコマンドがキャンセルされて読出し状態に戻ったり、次のコマンドが受け付けられない可能性があります。

■ 不具合の回避方法

以下のいずれかの方法で不具合を回避してください。

● トグルビットフラグ (DQ6) を用いたポーリング

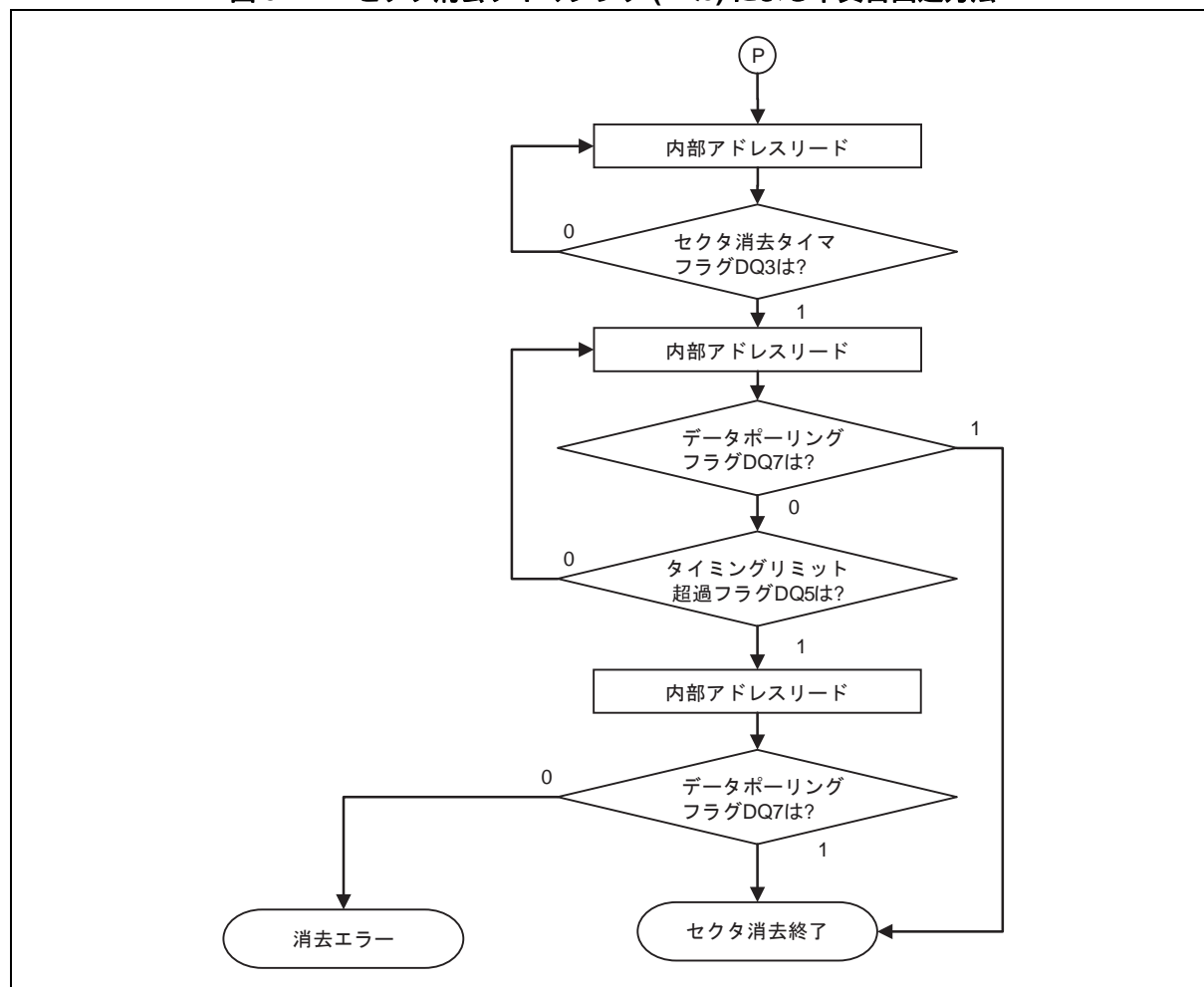
図 31.6-2 に示しますように, DQ6 を使用して自動アルゴリズムの状態を判定してください。

トグルビットフラグ (DQ6) は, データポーリングフラグ (DQ7) と同様に, 主に自動アルゴリズム実行が進行中, もしくは終了状態であることをトグルビット機能によって知らせるためのフラグです。

● セクタ消去タイムアウト期間が過ぎた後で DQ7 のポーリングを開始

セクタ消去コマンド発行後, ソフトウェアにて 160 μ s 以上待つか, DQ3=1(セクタ消去タイムアウト期間終了)を待ってから DQ7 のポーリングを開始してください。図 31.7-2 に, セクタ消去コマンド発行後に DQ3 を使用した場合の判定方法を示します。

図 31.7-2 セクタ消去タイマフラグ (DQ3) による不具合回避方法

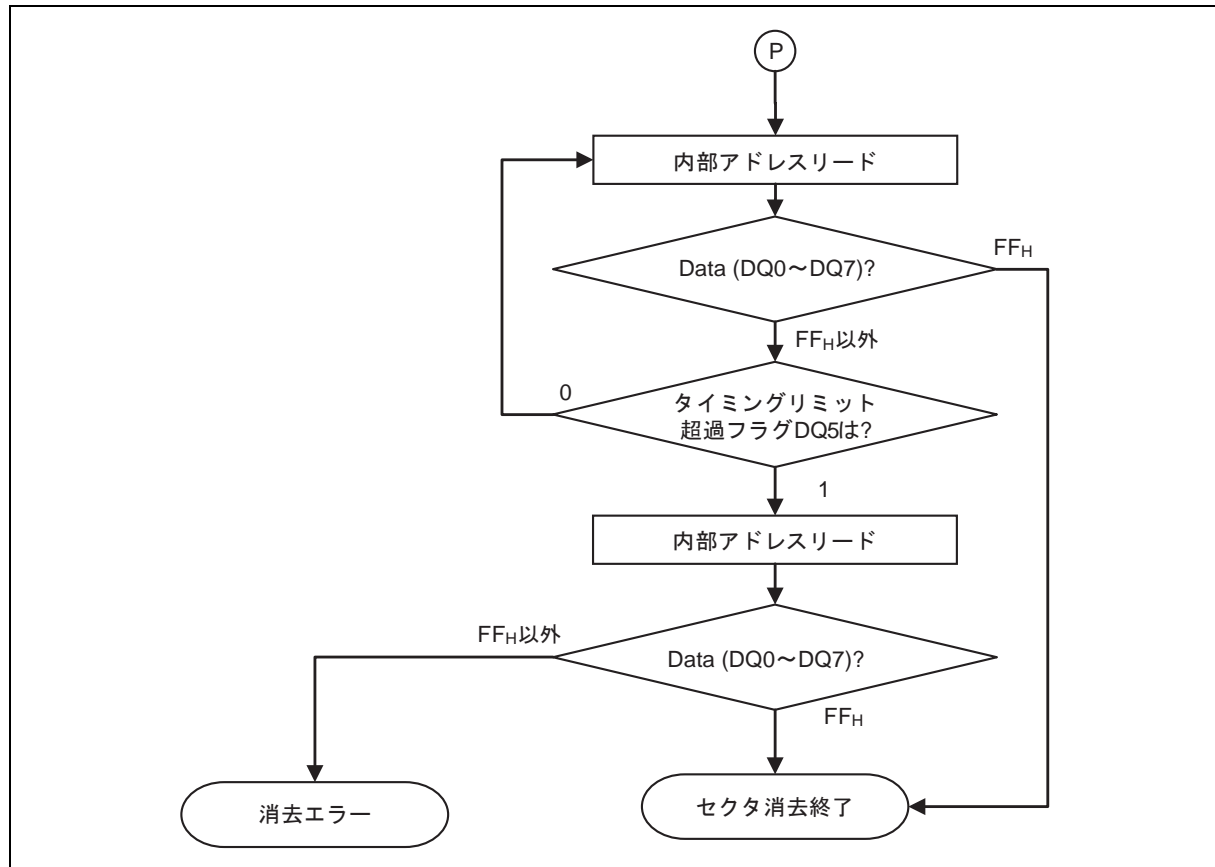


● ハードウェアシーケンスフラグの 8 ビットを使用したデータポーリング

DQ7 だけのポーリングを使って判定する代わりに、ハードウェアシーケンスフラグの 8 ビットを使ったデータポーリングによって判定してください。

図 31.7-3 に、セクタ消去コマンド発行後に 8 ビットデータポーリングを使用した場合の判定方法を示します。

図 31.7-3 8 ビットデータポーリングによる不具合回避方法



31.8 フラッシュメモリの使用上の注意

フラッシュメモリを使用する際は、次の点に注意してください。

- データ書込み中に本デバイスがリセットされた場合は、書き込んでいるデータは保証されません。
- FLASH 制御レジスタ (FCTL) の FWE ビットで CPU プログラミングモードを設定 (FWE=1) したときは、フラッシュメモリ上のプログラムを実行しないでください。正常な値を取り出せずにプログラムが暴走します。
FLASH 制御レジスタについては、「第 30 章 内蔵プログラムメモリ制御」の「30.2.1 FLASH 制御レジスタ (FCTL)」を参照してください。
- FLASH 制御レジスタ (FCTL) の FWE ビットで CPU プログラミングモードを設定 (FWE=1) し、フラッシュメモリ上に割込みベクタテーブルがある場合は、割込み要求を発生させないでください。正常な値を取り出せずにプログラムが暴走します。
FLASH 制御レジスタについては、「第 30 章 内蔵プログラムメモリ制御」の「30.2.1 FLASH 制御レジスタ (FCTL)」を参照してください。
- FLASH 制御レジスタ (FCTL) の FWE ビットで CPU プログラミングモードを設定 (FWE=1) した場合、サブランモードおよび低消費電力モードには遷移しないでください。
FLASH 制御レジスタについては、「第 30 章 内蔵プログラムメモリ制御」の「30.2.1 FLASH 制御レジスタ (FCTL)」を参照してください。
- FLASH 制御レジスタ (FCTL) の FWE ビットで CPU ROM モードを設定 (FWE=0) した場合は、フラッシュメモリに書込みを行わないでください。
FLASH 制御レジスタについては、「第 30 章 内蔵プログラムメモリ制御」の「30.2.1 FLASH 制御レジスタ (FCTL)」を参照してください。
- FLASH 制御レジスタ (FCTL) の FWE ビットで CPU プログラミングモードを設定 (FWE=1) した場合、フラッシュメモリへの書込みは必ずハーフワードで行ってください。バイト書込みはしないでください。
FLASH 制御レジスタについては、「第 30 章 内蔵プログラムメモリ制御」の「30.2.1 FLASH 制御レジスタ (FCTL)」を参照してください。
- フラッシュメモリへ連続で書込みを行わないでください。連続で書込みを行う場合は、必ず "NOP"1 命令以上あけるようにしてください。
- フラッシュメモリに書き込んだ後は、必ずダミーの読出しをしてから実際に読み出したいデータを読み出してください。書込み直後にデータを読み出しても、読出し値は保証できません。

第 32 章 ワイルドレジスタ

ワイルドレジスタの機能と動作について説明します。

32.1 ワイルドレジスタの概要

32.2 ワイルドレジスタの構成

32.3 ワイルドレジスタのレジスタ

32.4 ワイルドレジスタの動作説明と設定手順例

32.5 ワイルドレジスタの使用上の注意

32.1 ワイルドレジスタの概要

ワイルドレジスタとは、パッチ対象アドレスのデータを置換する機能です。
本製品はワイルドレジスタを 16 チャンネル内蔵しており、16 組のパッチ対象アドレスと置き換えデータを設定できます。

■ 概要

ワイルドレジスタ機能を利用すると、指定したアドレスのメモリ内容（命令コード / データ）をあらかじめ決めてあるレジスタ内のデータに置き換えて読み出せます。

この機能を利用すると、フラッシュメモリ / ROM の内容を書き換えることなく、読み出されるデータを修正できます。

32.2 ワイルドレジスタの構成

ワイルドレジスタの構成を示します。

- ワイルドレジスタアドレスレジスタ (WRAR00 ~ WRAR15)
ワイルドレジスタ機能を利用して、修正するデータがあるアドレスを指定するレジスタです。
- ワイルドレジスタデータレジスタ (WRDR00 ~ WRDR15)
置き換えるデータを設定するレジスタです。
- ワイルドレジスタデータイネーブルレジスタ (WREN)
ワイルドレジスタ機能の動作を許可 / 禁止するレジスタです。

32.3 ワイルドレジスタのレジスタ

ワイルドレジスタで使用するレジスタの構成と機能について説明します。

■ ワイルドレジスタのレジスタ一覧

ワイルドレジスタのレジスタ一覧を表 32.3-1 に示します。

表 32.3-1 ワイルドレジスタのレジスタ一覧 (1 / 2)

チャンネル	レジスタ略称	レジスタ名	参照先
共通	WREN	ワイルドレジスタデータイネーブルレジスタ	32.3.3
0	WRAR00	ワイルドレジスタアドレスレジスタ 00	32.3.1
	WRDR00	ワイルドレジスタデータレジスタ 00	32.3.2
1	WRAR01	ワイルドレジスタアドレスレジスタ 01	32.3.1
	WRDR01	ワイルドレジスタデータレジスタ 01	32.3.2
2	WRAR02	ワイルドレジスタアドレスレジスタ 02	32.3.1
	WRDR02	ワイルドレジスタデータレジスタ 02	32.3.2
3	WRAR03	ワイルドレジスタアドレスレジスタ 03	32.3.1
	WRDR03	ワイルドレジスタデータレジスタ 03	32.3.2
4	WRAR04	ワイルドレジスタアドレスレジスタ 04	32.3.1
	WRDR04	ワイルドレジスタデータレジスタ 04	32.3.2
5	WRAR05	ワイルドレジスタアドレスレジスタ 05	32.3.1
	WRDR05	ワイルドレジスタデータレジスタ 05	32.3.2
6	WRAR06	ワイルドレジスタアドレスレジスタ 06	32.3.1
	WRDR06	ワイルドレジスタデータレジスタ 06	32.3.2
7	WRAR07	ワイルドレジスタアドレスレジスタ 07	32.3.1
	WRDR07	ワイルドレジスタデータレジスタ 07	32.3.2
8	WRAR08	ワイルドレジスタアドレスレジスタ 08	32.3.1
	WRDR08	ワイルドレジスタデータレジスタ 08	32.3.2
9	WRAR09	ワイルドレジスタアドレスレジスタ 09	32.3.1
	WRDR09	ワイルドレジスタデータレジスタ 09	32.3.2
10	WRAR10	ワイルドレジスタアドレスレジスタ 10	32.3.1
	WRDR10	ワイルドレジスタデータレジスタ 10	32.3.2
11	WRAR11	ワイルドレジスタアドレスレジスタ 11	32.3.1
	WRDR11	ワイルドレジスタデータレジスタ 11	32.3.2
12	WRAR12	ワイルドレジスタアドレスレジスタ 12	32.3.1
	WRDR12	ワイルドレジスタデータレジスタ 12	32.3.2
13	WRAR13	ワイルドレジスタアドレスレジスタ 13	32.3.1
	WRDR13	ワイルドレジスタデータレジスタ 13	32.3.2
14	WRAR14	ワイルドレジスタアドレスレジスタ 14	32.3.1
	WRDR14	ワイルドレジスタデータレジスタ 14	32.3.2

表 32.3-1 ワイルドレジスタのレジスタ一覧 (2 / 2)

チャンネル	レジスタ略称	レジスタ名	参照先
15	WRAR15	ワイルドレジスタアドレスレジスタ 15	32.3.1
	WRDR15	ワイルドレジスタデータレジスタ 15	32.3.2

32.3.1 ワイルドレジスタアドレスレジスタ (WRAR00 ~ WRAR15)

ワイルドレジスタ機能を利用して、修正するデータがあるアドレスを指定するレジスタです。WRAR21 ~ WRAR2 ビットの値が実際のアドレスと比較されます。このレジスタに設定したアドレスのメモリ内容を読み出すと、実際のメモリ内容ではなく、ワイルドレジスタデータレジスタ (WRDR00 ~ WRDR15) に設定した値が読み出されます。

ワイルドレジスタアドレスレジスタ (WRAR00 ~ WRAR15) のビット構成を図 32.3-1 に示します。

図 32.3-1 ワイルドレジスタアドレスレジスタ (WRAR00 ~ WRAR15) のビット構成

	bit 31	22 21	2 1	0
	未定義		WRAR21 ~ WRAR2	未定義
属性	-		R/W	-
初期値	X		X	X

R/W : リード / ライト可能
 - : 未定義
 X : 不定

< 注意事項 >

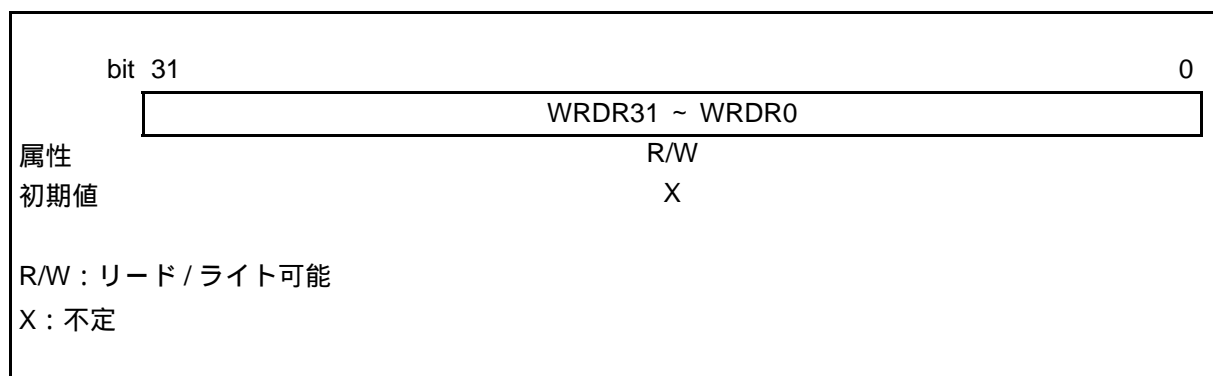
- アドレスはワード単位で指定してください。
- ワイルドレジスタの動作が許可されているときは、このレジスタは読み出せません。読み出した場合の値は不定です。
- このレジスタにアドレスを設定するプログラムは、内蔵のフラッシュメモリ /ROM 領域以外に配置してください。
- 設定するアドレスが重ならないようご注意ください。アドレスが重なった場合の読出し値は不定になります。

32.3.2 ワイルドレジスタデータレジスタ (WRDR00 ~ WRDR15)

置き換えるデータを設定するレジスタです。ワイルドレジスタアドレスレジスタ (WRAR00 ~ WRAR15) で指定したアドレスのメモリ内容を読み出すと、実際のメモリ内容ではなく、このレジスタに設定した値が読み出されます。

ワイルドレジスタデータレジスタ (WRDR00 ~ WRDR15) のビット構成を図 32.3-2 に示します。

図 32.3-2 ワイルドレジスタデータレジスタ (WRDR00 ~ WRDR15) のビット構成



< 注意事項 >

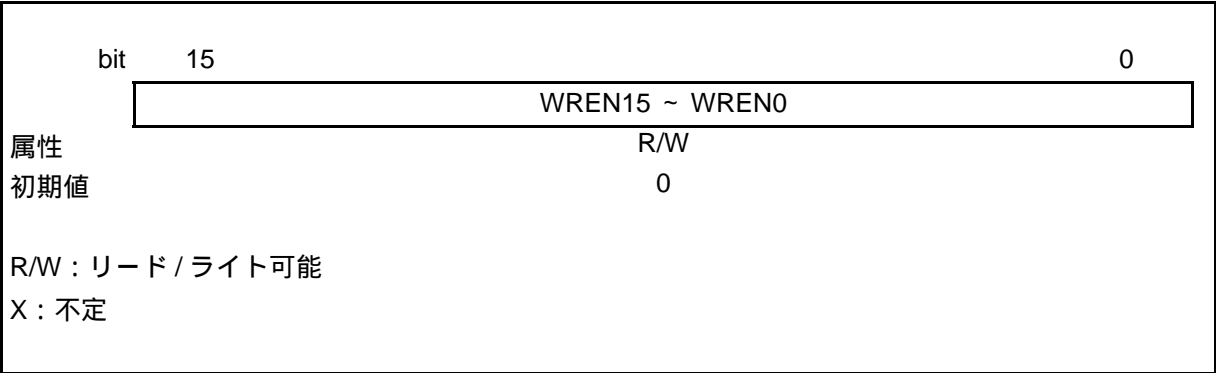
- このレジスタにはワードデータを設定してください。
- ワイルドレジスタの動作が許可されているときは、このレジスタは読み出せません。読み出した場合の値は不定です。

32.3.3 ワイルドレジスタデータタイネーブルレジスタ
(WREN)

ワイルドレジスタ機能の動作を許可 / 禁止するレジスタです。

ワイルドレジスタデータタイネーブルレジスタ (WREN) のビット構成を図 32.3-3 に示します。

図 32.3-3 ワイルドレジスタデータタイネーブルレジスタ (WREN) のビット構成



[bit15 ~ bit0] : WREN15 ~ WREN0 (動作許可ビット)

対応するチャンネルのワイルドレジスタ機能の動作を許可 / 禁止します。

WREN15 ビットが ch.15, WREN14 ビットが ch.14...WREN0 ビットが ch.0 に対応しています。

書込み値	説明
0	動作を禁止します。
1	動作を許可します。

< 注意事項 >

フラッシュメモリの自動アルゴリズム実行中は, ワイルドレジスタ機能の動作を有効にしないでください。

自動アルゴリズムが動作していることは, フラッシュステータスレジスタ (FSTR) の FRDY ビットで確認できます (FRDY=0)。

32.4 ワイルドレジスタの動作説明と設定手順例

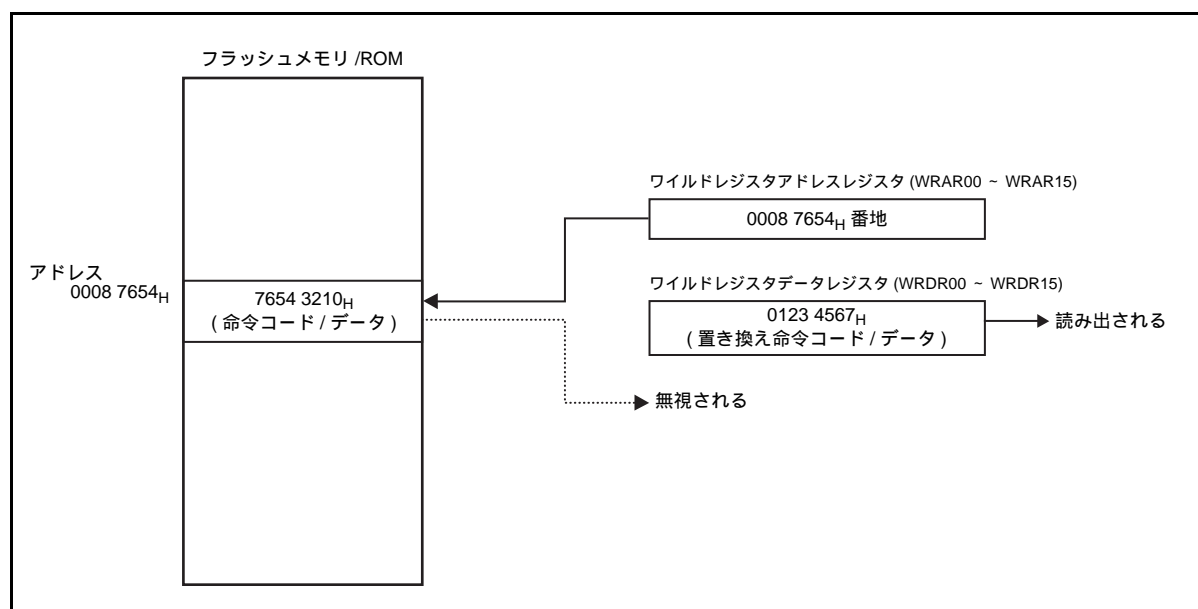
ワイルドレジスタの動作について説明します。また、動作するための設定手順例も示します。

32.4.1 ワイルドレジスタの動作

次の設定がされている場合を例に、ワイルドレジスタの動作を図 32.4-1 示します。

- ワイルドレジスタアドレスレジスタ (WRAR00 ~ WRAR15) に 0008 7654_H 番地を設定
- ワイルドレジスタデータレジスタ (WRDR00 ~ WRDR15) の値 : 0123 4567_H
- フラッシュメモリ /ROM の 0008 7654_H 番地の値 : 7654 3210_H

図 32.4-1 ワイルドレジスタの動作



CPU がフラッシュメモリ /ROM の 0008 7654_H 番地に格納されているデータを読み出そうとすると、0008 7654_H 番地の値である "7654 3210_H" の代わりに、ワイルドレジスタデータレジスタ (WRDR0 ~ WRDR15) に設定されている値 "0123 4567_H" が読み出されます。

32.5 ワイルドレジスタの使用上の注意

ワイルドレジスタを使用する際は、次の点に注意してください。

■ プログラムで設定する場合の注意

- ワイルドレジスタアドレスレジスタ (WRAR00 ~ WRAR15) にアドレスを設定するプログラムは、内蔵のフラッシュメモリ /ROM 領域以外に配置してください。
- ワイルドレジスタアドレスレジスタ (WRAR00 ~ WRAR15) に設定するアドレスが重ならないようご注意ください。アドレスが重なった場合、読出し値は不定になります。
- フラッシュメモリの自動アルゴリズム実行中は、ワイルドレジスタ機能の動作を有効にしないでください。自動アルゴリズムが動作していることは、フラッシュステータスレジスタ (FSTR) の FRDY ビットで確認できます (FRDY=0)。

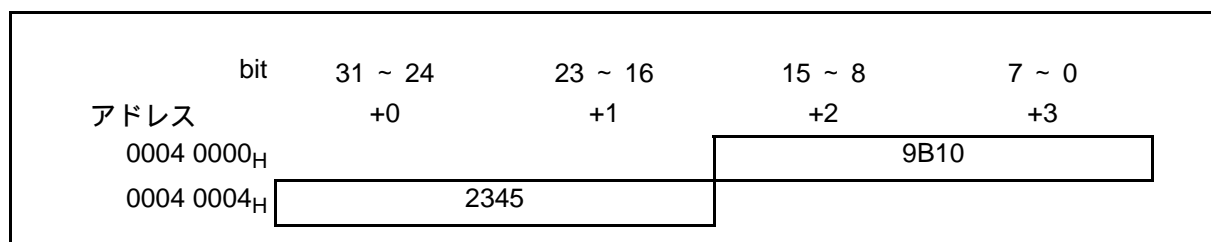
■ 動作に関する注意

- ワイルドレジスタアドレスレジスタ (WRAR00 ~ WRAR15) およびワイルドレジスタデータレジスタ (WRDR00 ~ WRDR15) はビッグエンディアン方式で読み出されます。
- 16 ビット長命令を超える命令 (32/48 ビット長命令) が配置されているアドレスにワイルドレジスタを設定すると、CPU が正しく命令を解釈せず誤動作する場合があります。32/48 ビット長命令が配置されているアドレスにワイルドレジスタを設定する場合は、命令の途中に設定しないでください。

32/48 ビット長命令の場合の動作を示します。

- 32 ビット長命令 (LDI:20) の場合 例) LDI:20 #0x12345,r0(9B102345_H)

図 32.5-1 0004 0000_H 番地に配置されている場合のメモリマップ



- ワイルドレジスタ機能をしない場合 (WREN=0000)

置換後のデータ：9B10 2345

R0 に 0001 2345_H が設定される。

- 下位 16 ビットを "INT" 命令に置換する場合

(WRAR00=0004 0004, WRDR00=1FF4 ???? , WREN=0001)

置換後のデータ：9B10 1FF4

1FF4_H を命令ではなく LDI:20 の即値データとして解釈するため, R0 に 0001 1FF4_H が設定される。

- 上位 16 ビットを INT 命令に置換する場合
(WRAR00=0004 0000, WRDR00=???? 1FF4, WREN=0001)

置換後のデータ: 1FF4 2345

1FF4_H を命令として解釈する。

次の 2345_H を LDI:20 の即値データとしてではなく, 命令として解釈する。

2. 48 ビット長命令 (LDI:32) の場合 例) LDI:32 #0x12345678, r0(9F8012345678_H)

図 32.5-2 0004 0000_H/0004 0004_H 番地に配置されている場合のメモリマップ

bit	31 ~ 24	23 ~ 16	15 ~ 8	7 ~ 0
アドレス	+0	+1	+2	+3
0004 0000 _H	9F80		1234	
0004 0004 _H	5678			

- ワイルドレジスタ機能をしない場合 (WREN = 0000)

置換後のデータ: 9F80 1234 5678

R0 に 12345678_H が設定される。

- 0004 0000_H 番地の下位 16 ビットを INT 命令に置換する場合
(WRAR00=0004 0000, WRDR00=9F80 1FF4, WREN=0001)

置換後のデータ: 9F80 1FF4 5678

1FF4_H を命令ではなく LDI:32 の即値データとして解釈するため, R0 に 1FF4 5678_H が設定される。

- 0004 0004_H 番地の上位 16 ビットを INT 命令に置換する場合
(WRAR00=0004 0004, WRDR00=1FF4 ????, WREN=0001)

置換後のデータ: 9F80 1234 1FF4

1FF4_H を命令ではなく LDI:32 の即値データとして解釈するため, R0 に 1234 1FF4_H が設定される。

- 0004 0000_H 番地の上位 16 ビットを INT 命令に置換する場合
(WRAR00=0004 0004, WRDR00=1FF4 1234, WREN=0001)

置換後のデータ: 1FF4 1234 5678

1FF4_H を命令として解釈する。

次の 1234_H と 5678_H を LDI:32 の即値データとしてではなく, 命令として解釈する。

第 33 章 シリアル書込み 接続

MB91F63xA は、フラッシュメモリのシリアルオンボード書込み (富士通マイクロエレクトロニクス標準) に対応しています。

本章では、フラッシュメモリのシリアル書込みについて、富士通マイクロエレクトロニクス製シリアルプログラマを用いた場合の基本構成を説明します。

33.1 富士通マイクロエレクトロニクス製 シリアルプログラマ

33.1 富士通マイクロエレクトロニクス製 シリアルプログラマ

富士通マイクロエレクトロニクス製シリアルプログラマ (ソフトウェア) は、富士通マイクロエレクトロニクス製のフラッシュメモリ内蔵マイコン全製品を対象にしたオンボードプログラミングツールです。

本シリアルプログラマは、PC との I/F (RS-232C, USB) により、2 種類のツールを用意していますので、環境に合わせてご利用いただけます。

■ FUJITSU MICROELECTRONICS MCU Programmer(クロック非同期 シリアル書込み) の基本構成

FUJITSU MICROELECTRONICS MCU Programmer は、パソコンとマイコンを RS-232C ケーブルで接続し、クロック非同期シリアル通信によりユーザシステムに実装されているマイコン内蔵フラッシュメモリヘデータの書込みを行います。

FUJITSU MICROELECTRONICS MCU Programmer の基本構成を図 33.1-1、システム構成を表 33.1-1 に示します。

図 33.1-1 FUJITSU MICROELECTRONICS MCU Programmer の基本構成

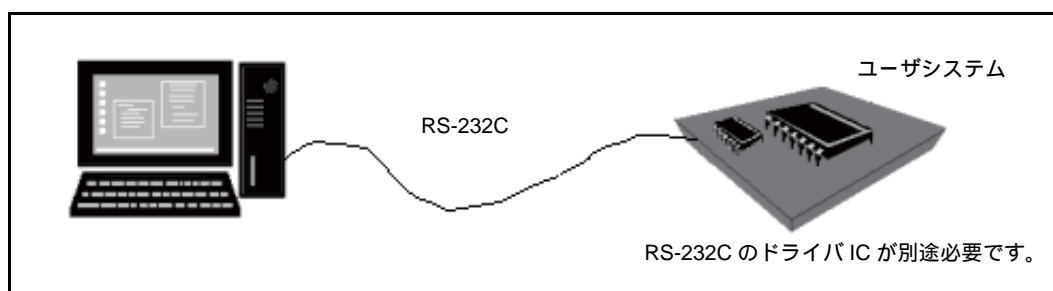


表 33.1-1 FUJITSU MICROELECTRONICS MCU Programmer のシステム構成

名称	型格	仕様
FUJITSU MICROELECTRONICS MCU Programmer	-	ソフト (Web よりダウンロード可能 (登録制)) *

*: 登録は営業部門までお問い合わせください。

接続例を図 33.1-2 に示します。

図 33.1-2 FUJITSU MICROELECTRONICS MCU Programmer の接続例

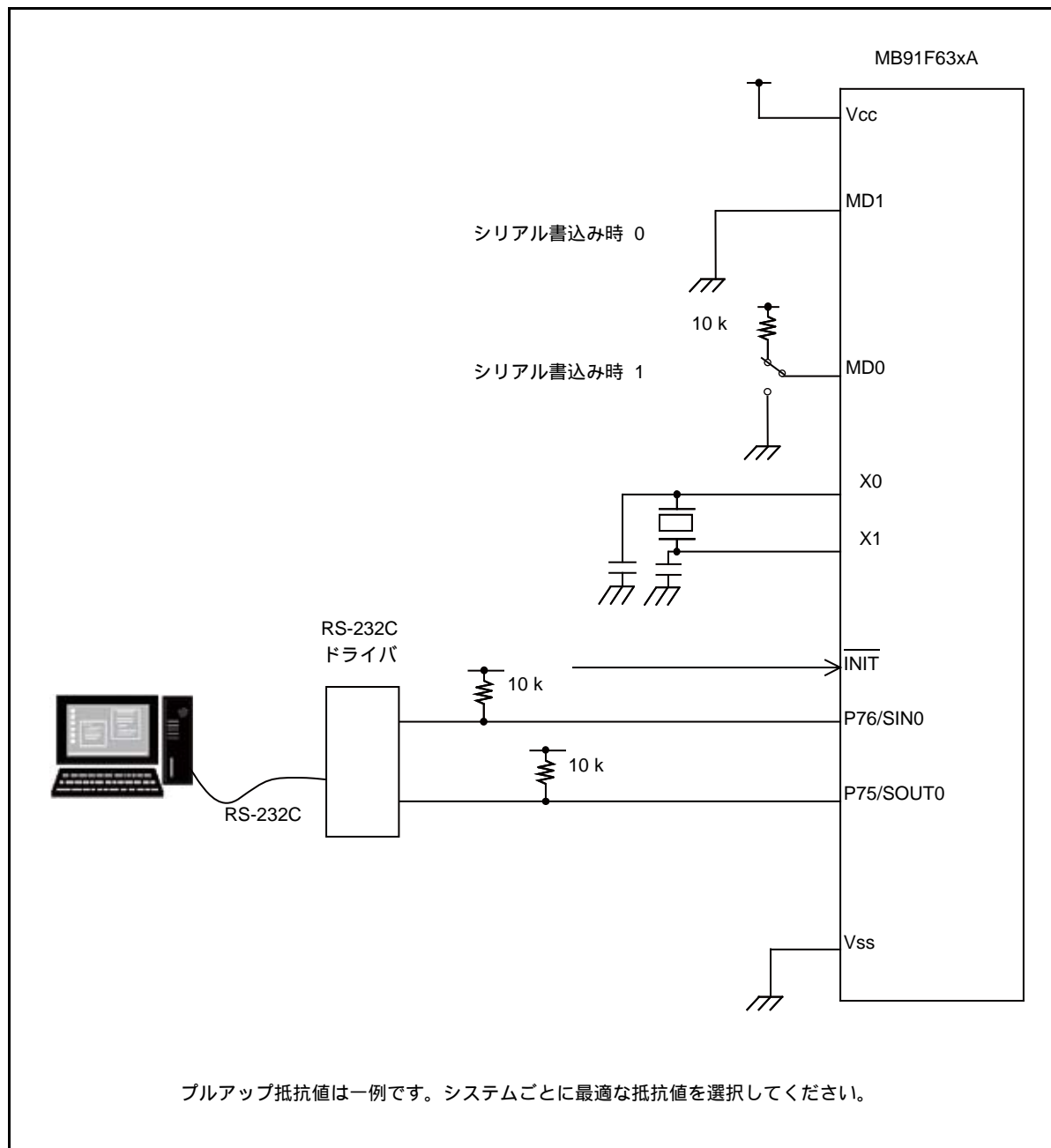


表 33.1-2 クロック非同期シリアル通信時の入力可能な発振周波数と通信ボーレート

原発振周波数	通信ボーレート
4MHz	9600bps
8MHz	19200bps
16MHz	38400bps
24MHz	57600bps
48MHz	115200bps

■ FUJITSU MICROELECTRONICS USB Programmer (クロック同期シリアル書き込み) の基本構成

FUJITSU MICROELECTRONICS USB Programmer は、パソコンとマイコンをアダプタ (MB2146-09A-E) で接続し、クロック同期シリアル通信によりマイコン内蔵フラッシュメモリヘデータの書き込みを行います。

FUJITSU MICROELECTRONICS USB Programmer の基本構成を図 33.1-3, システム構成を表 33.1-3 に示します。

図 33.1-3 FUJITSU MICROELECTRONICS USB Programmer の基本構成

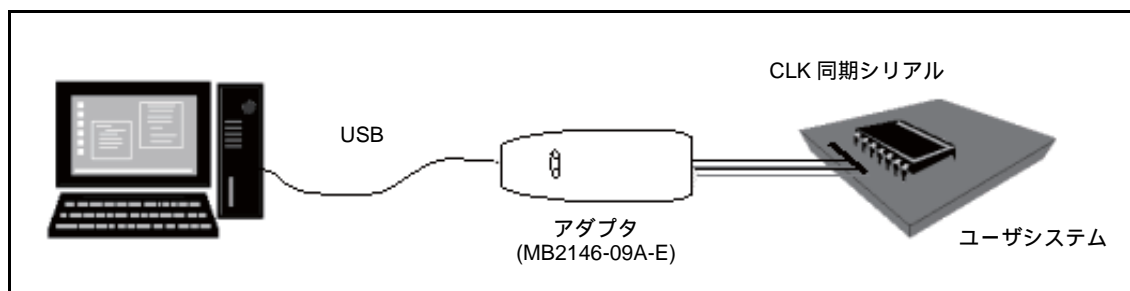


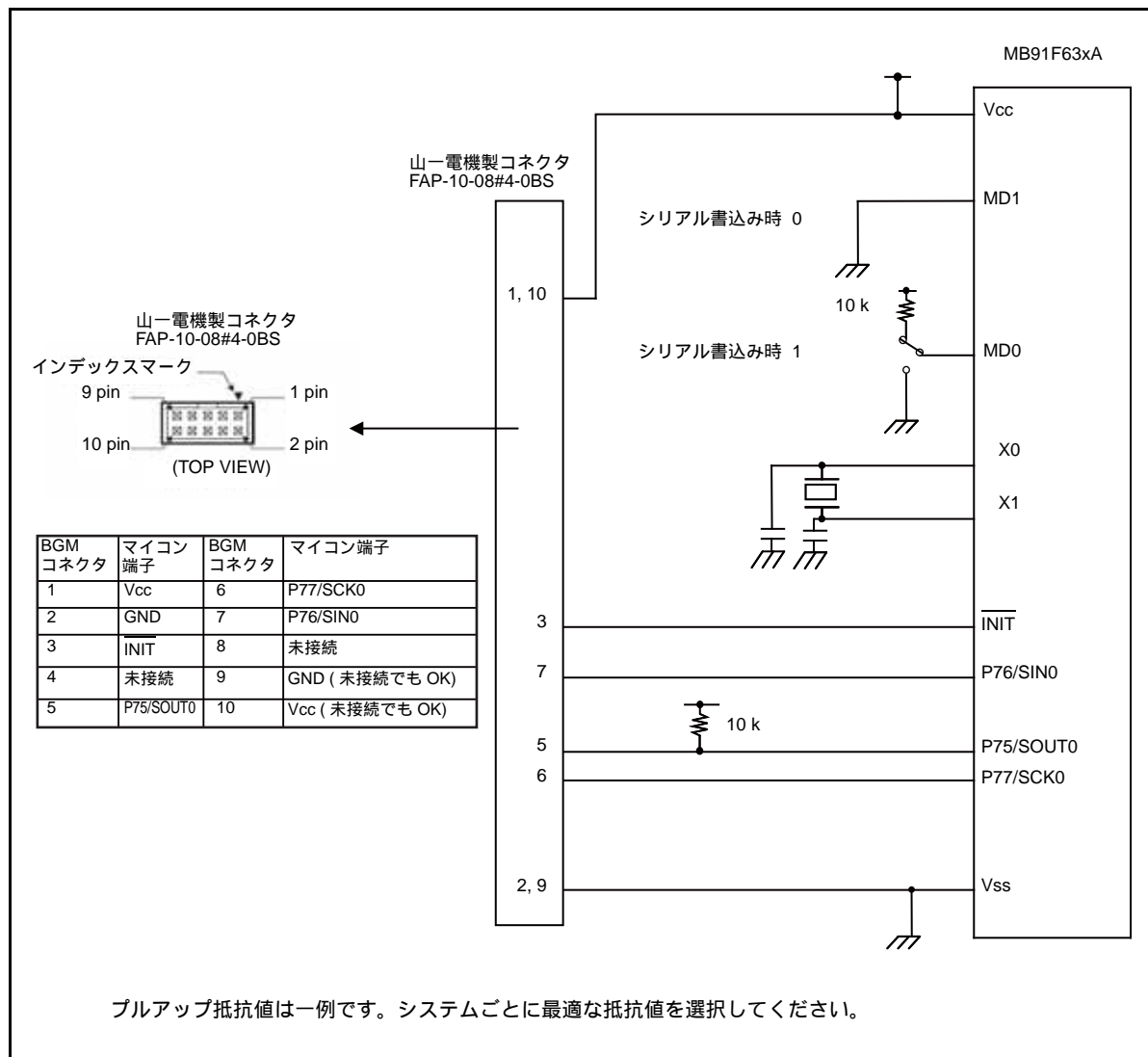
表 33.1-3 FUJITSU MICROELECTRONICS USB Programmer のシステム構成

名称	型格	仕様
FUJITSU MICROELECTRONICS USB Programmer	-	ソフト (Web よりダウンロード可能 (登録制)) *
アダプタ	MB2146-09A-E	F ² MC ファミリ BGM アダプタ (付属品 : USB ケーブル)

*: 登録は営業部門までお問い合わせください。

接続例を図 33.1-4 に示します。

図 33.1-4 FUJITSU MICROELECTRONICS USB Programmer の接続例



33.1.1 使用する端子

表 33.1-4 使用する端子

端子	機能	補足説明
MD1, MD0	モード端子	MD1=L, MD0=H に設定し, SOUT0=H の状態でリセットすると (INIT : L H), シリアル書込みモードとなります。 なお, プルアップ / プルダウン抵抗を付ける場合は, 配線の引き回しをしないでください。
X0, X1	発振用端子	シリアル書込みモード時に使用可能な原クロック周波数は『データシート』を参照してください。 (クロック非同期通信の場合は制限があります。詳細は表 33.1-2 をご確認ください。)
P75/SOUT0	シリアル書込みモード起動端子 /UART シリアルデータ出力端子	外部にプルアップ抵抗を付加し, リセット解除後にレベルを"H"にすることでシリアル書込みモードが起動します。シリアル書込みモードが起動し, 通信が開始された時点でシリアルデータ出力端子となります。
P76/SIN0	クロック同期・非同期選択端子 /UART シリアルデータ入力端子	通信を開始するまでの本端子の入力レベルを"H" にするとクロック非同期通信モードとなり, "L" にするとクロック同期通信モードとなります。シリアル書込みモードが起動し通信が開始された時点で, UART シリアルデータ入力端子として使用します。
P77/SCK0	シリアルクロック入出力端子	通信モードをクロック同期通信とした場合, シリアルクロック入出力端子となります。
INIT	リセット端子	
V _{CC}	電源電圧供給端子	書込み時マイコンの電圧はユーザシステムから供給してください。
V _{SS}	GND 端子	

第 34 章 デバイスの取扱い について

本製品の使用上の注意について説明します。

34.1 デバイス取扱い上の注意

34.1 デバイス取扱い上の注意

本製品を使用する際は、次の点に注意してください。

■ デバイスの取扱い上の注意事項

半導体デバイスは、ある確率で故障します。また、半導体デバイスの故障は、使用される条件（回路条件、環境条件 など）によっても大きく左右されます。

以下に、半導体デバイスをより信頼性の高い状態で使用していただくために、注意・配慮しなければならない事項について説明します。

1. 設計上の注意事項

ここでは、半導体デバイスを使用して電子機器の設計を行う際に注意すべき事項について述べます。

- 絶対最大定格の遵守

絶対最大定格を超えるストレス（電圧、電流、温度など）の印加は、半導体デバイスを破壊する可能性があります。したがって、定格を一項目でも超えることのないようご注意ください。

- 推奨動作条件の遵守

推奨動作条件は、半導体デバイスの正常な動作を保証する条件です。電気的特性の規格値は、すべてこの条件の範囲内で保証されます。常に推奨動作条件下で使用してください。この条件を超えて使用すると、信頼性に悪影響を及ぼすことがあります。

データシートに記載されていない項目、使用条件、論理の組合せでの使用は、保証していません。記載されている以外の条件での使用をお考えの場合は、必ず事前に営業部門までご相談ください。

- 端子の処理と保護

半導体デバイスには、電源および各種入出力端子があります。これらに対して以下の注意が必要です。

- (1) 過電圧・過電流の防止

各端子に最大定格を超える電圧・電流が印加されると、デバイスの内部に劣化が生じ、著しい場合には破壊に至ります。機器の設計の際には、このような過電圧・過電流の発生を防止してください。

- (2) 出力端子の保護

出力端子を電源端子または他の出力端子とショートしたり、大きな容量負荷を接続すると大電流が流れる場合があります。この状態が長時間続くとデバイスが劣化しますので、このような接続はしないようにしてください。

(3) 未使用入力端子の処理

インピーダンスの非常に高い入力端子は、オープン状態で使用すると動作が不安定になる場合があります。適切な抵抗を介して電源端子やグランド端子に接続してください。

• ラッチアップ

半導体デバイスは、基板上にP型とN型の領域を形成することにより構成されます。外部から異常な電圧が加えられた場合、内部の寄生PNPN接合（サイリスタ構造）が導通して、数 100 mA を超える大電流が電源端子に流れ続けることがあります。これをラッチアップとよびます。この現象が起きるとデバイスの信頼性を損ねるだけでなく、破壊に至り発熱・発煙・発火の恐れもあります。これを防止するために、以下の点にご注意ください。

(1) 最大定格以上の電圧が端子に加わることがないようにしてください。

異常なノイズ、サージなどにも注意してください。

(2) 電源投入シーケンスを考慮し、異常な電流が流れないようにしてください。

• 安全などの規制と規格の遵守

世界各国では、安全や電磁妨害などの各種規制と規格が設けられています。お客様が機器を設計するに際しては、これらの規制と規格に適合するようお願いします。

• フェイル・セーフ設計

半導体デバイスは、ある確率で故障が発生します。半導体デバイスが故障しても、結果的に人身事故、火災事故、社会的な損害を生じさせないように、お客様は、装置の冗長設計、延焼対策設計、過電流防止設計、誤動作防止設計などの安全設計をお願いします。

• 用途に関する注意

マニュアルに記載された製品は、通常の産業用、一般事務用、パーソナル用、家庭用などの一般的用途に使用されることを意図して設計・製造されています。極めて高度な安全性が要求され、仮に当該安全性が確保されない場合、社会的に重大な影響を与えかつ直接生命・身体に対する重大な危険性を伴う用途（原子力施設における核反応制御、航空機自動飛行制御、航空交通管制、大量輸送システムにおける運行制御、生命維持のための医療機器、兵器システムにおけるミサイル発射制御をいう）、ならびに極めて高い信頼性が要求される用途（海底中継器、宇宙衛星をいう）に使用されるよう設計・製造されたものではありません。当社は、これらの用途に当該製品が使用されたことにより発生した損害などについては、責任を負いかねますのでご了承ください。

2. パッケージ実装上の注意事項

パッケージには、リード挿入形と表面実装形があります。いずれの場合も、はんだ付け時の耐熱性に関する品質保証は、当社の推奨する条件での実装に対してのみ適用されます。実装条件の詳細については営業部門までお問い合わせください。

- リード挿入形

リード挿入形パッケージのプリント板への実装方法は、プリント板へ直接はんだ付けする方法とソケットを使用してプリント板に実装する方法とがあります。

プリント板へ直接はんだ付けする場合は、プリント板のスルーホールにリード挿入後、噴流はんだによるフローはんだ方法（ウェーブソルダリング法）が一般的に使用されます。この場合、はんだ付け実装時には、通常最大定格の保存温度を上回る熱ストレスがリード部分に加わります。当社の実装推奨条件で実装してください。

ソケット実装方法でご使用になる場合、ソケットの接点の表面処理とICのリードの表面処理が異なるとき、長時間経過後、接触不良を起こすことがあります。このため、ソケットの接点の表面処理とICのリードの表面処理の状態を確認してから実装することをお勧めします。

- 表面実装形

表面実装形パッケージは、リード挿入形と比較して、リードが細く薄いため、リードが変形し易い性質をもっています。また、パッケージの多ピン化に伴い、リードピッチも狭く、リード変形によるオープン不良や、はんだブリッジによるショート不良が発生しやすいため、適切な実装技術が必要となります。

当社ははんだリフロー方法を推奨し、製品ごとに実装条件のランク分類を実施しています。当社推奨のランク分類に従って実装してください。

- 鉛フリーパッケージ

BGA パッケージの Sn-Ag-Cu 系ボール品を Sn-Pb 共晶はんだにて実装した場合、使用状況により接合強度が低下することがありますのでご注意願います。

- 半導体デバイスの保管について

プラスチックパッケージは樹脂でできているため、自然の環境に放置することにより吸湿します。吸湿したパッケージに実装時の熱が加わった場合、界面剥離発生による耐湿性の低下やパッケージクラックが発生することがあります。以下の点にご注意ください。

- (1) 急激な温度変化のある所では製品に水分の結露が起こります。このような環境を避けて、温度変化の少ない場所に保管してください。
- (2) 製品の保管にはドライボックスの使用を推奨します。相対湿度 70 %RH 以下、温度 5 °C ~ 30 °C で保管をお願いします。ドライパッケージを開封した場合には湿度 40 % ~ 70 %RH を推奨いたします。
- (3) 当社では必要に応じて半導体デバイスの梱包材として防湿性の高いアルミラミネート袋を用い、乾燥剤としてシリカゲルを使用しております。半導体デバイスはアルミラミネート袋に入れて密封して保管してください。
- (4) 腐食性ガスの発生する場所や塵埃の多い場所は避けてください。

- ベーキングについて

吸湿したパッケージはベーキング（加熱乾燥）を実施することにより除湿することが可能です。ベーキングは、当社の推奨する条件で実施してください。

条件：125 °C/24 時間

- 静電気

半導体デバイスは静電気による破壊を起こしやすいため、以下の点についてご注意ください。

- (1) 作業環境の相対湿度は 40 % ~ 70 %RH にしてください。
除電装置 (イオン発生装置) の使用なども必要に応じて検討してください。
- (2) 使用するコンベア、半田槽、半田ゴテ、および周辺付帯設備は大地に接地してください。
- (3) 人体の帯電防止のため、指輪または腕輪などから高抵抗 (1 M 程度) で大地に接地したり、導電性の衣服・靴を着用し、床に導電マットを敷くなど帯電電荷を最小限に保つようにしてください。
- (4) 治具、計器類は、接地または帯電防止化を実施してください。
- (5) 組立完了基板の収納時、発泡スチロールなどの帯電し易い材料の使用は避けてください。

3. 使用環境に関する注意事項

半導体デバイスの信頼性は、前述のとおり周囲温度とそれ以外の環境条件にも依存します。ご使用にあたっては、以下の点にご注意ください。

- (1) 湿度環境

高湿度環境下での長期の使用は、デバイス自身だけでなくプリント基板などにもリーク性の不具合が発生する場合があります。高湿度が想定される場合は、防湿処理を施すなどの配慮をお願いします。

- (2) 静電気放電

半導体デバイスの直近に高電圧に帯電したものが存在すると、放電が発生し誤動作の原因となることがあります。このような場合、帯電の防止または放電の防止の処置をお願いします。

- (3) 腐食性ガス、塵埃、油

腐食性ガス雰囲気中や、塵埃、油などがデバイスに付着した状態で使用すると、化学反応によりデバイスに悪影響を及ぼす場合があります。このような環境下でご使用の場合は、防止策についてご検討ください。

- (4) 放射線・宇宙線

一般のデバイスは、設計上、放射線、宇宙線にさらされる環境を想定しておりません。したがって、これらを遮蔽してご使用ください。

- (5) 発煙・発火

樹脂モールド型のデバイスは、不燃性ではありません。発火物の近くでは、ご使用にならないでください。発煙・発火しますと、その際に毒性を持ったガスが発生する恐れがあります。

その他、特殊な環境下でのご使用をお考えの場合は、営業部門にご相談ください。

■ デバイス使用上の注意

● 電源端子について

V_{CC} ・ V_{SS} 端子が複数ある場合、デバイス設計上はラッチアップなどの誤動作を防止するためにデバイス内部で同電位にすべきものどうしを接続してありますが、不要輻射の低減・グランドレベルの上昇によるストローブ信号の誤動作の防止・総出力電流規格を遵守などのために、必ずそれらすべてを外部で電源およびグランドに接続してください。また、電流供給源からできる限り低インピーダンスで本デバイスの V_{CC} , V_{SS} 端子に接続するような配慮をお願いします。

さらに、本デバイスの近くで、 V_{CC} と V_{SS} 端子の間に $0.1\mu\text{F}$ 程度のセラミックコンデンサをバイパスコンデンサとして接続することをお勧めします。

● 水晶発振回路について

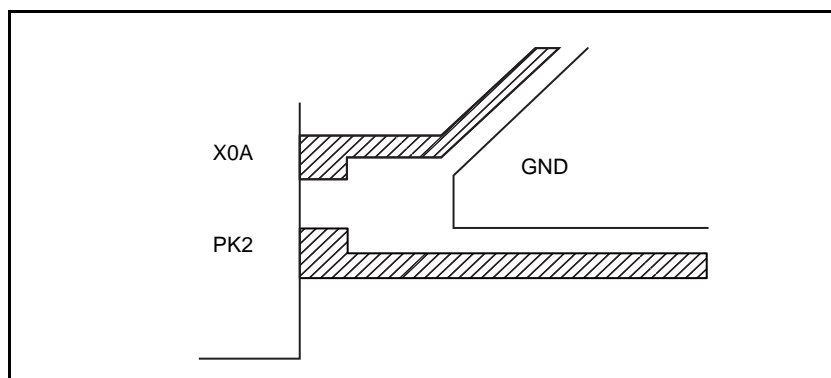
X0, X1 端子の近辺のノイズは本デバイスの誤動作のもととなります。X0 と X1 端子および水晶発振子さらにグランドへのバイパスコンデンサはできる限り近くに配置するようにプリント板を設計してください。

また、X0, X1 端子の回りをグランドで囲むようなプリント板アートワークは安定した動作を期待できますので、強くお勧めします。

32kHz 発振 (X0A, X1A) を使用する場合は、PK2 端子をできるだけ変化の少ない入力として使用してください。また、X0A 端子と PK2 端子の配線を平行に走らせないような次の図のような処理をお願いします。

32kHz 発振を使用しない場合は、制限はありません。

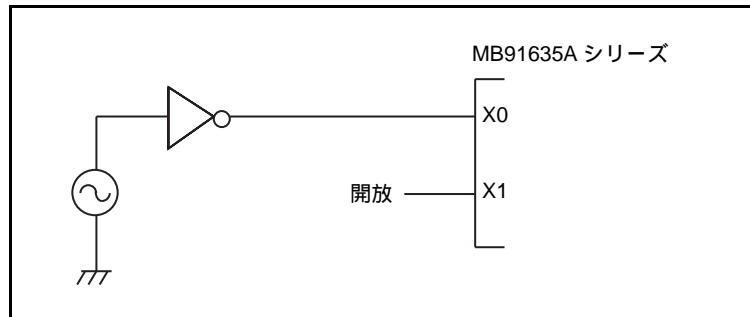
図 34.1-1 配線例



● 外部クロック使用時の注意

外部クロックを使用する場合は、X0 端子のみを駆動し、X1 端子は開放としてください。

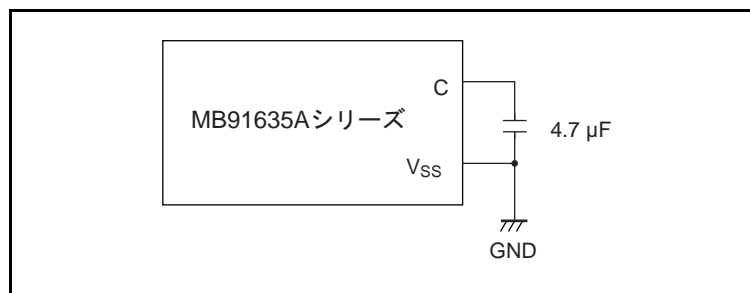
図 34.1-2 外部クロック使用例 (通常)



● C 端子について

本シリーズはレギュレータを内蔵しており、C 端子にはレギュレータ用に $4.7\ \mu\text{F}$ 程度のバイパスコンデンサを必ず入れてください。

図 34.1-3 C 端子の使用例



● MD0, MD1 (モード端子) について

モード端子 (MD0, MD1) は V_{CC} 端子または V_{SS} 端子に直接接続してください。内蔵 Flash 書き換えなどの目的で、モード端子レベルを変更できるようにプルアップまたはプルダウンをする場合には、ノイズによりデバイスが意図せずテストモードに入るのを防止するため、プルアップまたはプルダウンに使用する抵抗値はできるだけ低く抑えると共に、モード端子から V_{CC} 端子または V_{SS} 端子への距離を最小にし、できるだけ低インピーダンスで接続するようにプリント基板を設計してください。

● 電源投入順序について

- 電源投入直後は、内部レギュレータ + 発振回路の発振安定待ち時間を確保するため、 $\overline{\text{INIT}}$ 端子への "L" レベル入力をレギュレータ電圧安定待ち時間 + 振動子の発振時間 + メイン発振安定待ち時間の間持続してください。
- 電源を投入 / 切断する際は、次の順番で投入 / 切断を行ってください。
投入時： V_{CC} AV_{CC} $AVRH$
切断時： $AVRH$ AV_{CC} V_{CC}
- リセットの解除 ($\overline{\text{INIT}}$ 端子を "L" レベル → "H" レベル) は、電源が安定している状態で行ってください。

● PLL クロックモード動作中の注意について

本デバイスで PLL クロック (PLLCLK) を選択しているときに発振子が外れたり、クロック入力が停止したりすると、PLL 内部の自励発振回路の自走周波数で動作を継続し続ける場合があります。この動作は保証外の動作です。

< 注意事項 >

MB91635 シリーズからの PLL クロック仕様変更について

製品型格	PLL マクロ発振 クロック周波数	温度範囲	PLL マクロ発振 クロック分周器	PLL 逓倍率
MB91F637/MB91F639	16MHz ~ 60MHz	-20 ~ +85	1 分周 ~ 4 分周	15 逓倍
	50MHz ~ 60MHz	-40 ~ +85		
MB91F635A/MB91F637A/ MB91F639A/MB91637A	80MHz ~ 120MHz	-40 ~ +85	2 分周 ~ 4 分周	30 逓倍

PLL マクロ発振クロック周波数、温度範囲、PLL マクロ発振クロック分周値、PLL 逓倍率の仕様が MB91635A シリーズでは変更されています。PLL マクロ発振クロック分周設定値の 1 分周は設定禁止となりますので、PLL 設定レジスタ (PLLCCR) の ODS0, ODS1 ビットにて、2 分周から 4 分周に設定して使用してください。

例) PLL クロックを 60MHz で使用する場合

製品型格	PLL 入力 クロック周波数	PDS	ODS	PMS	PLL マクロ 発振クロック 周波数
MB91F637/MB91F639	4MHz	0000	00	1110	60MHz
MB91F635A/MB91F637A/ MB91F639A/MB91637A	4MHz	0000	01	1110	120MHz

■ プログラムステータスレジスタ (PS) に関する注意事項

一部の命令でプログラムステータスレジスタ (PS) を先行処理しているため、次の例外動作により、デバッガ使用時に割り込み処理ルーチンでブレークしたり、プログラムステータスレジスタ (PS) 内のフラグの表示内容が更新されたりする場合があります。いずれの場合も、EIT から復帰後以降に、正しく再処理を行うように設計されていますので、EIT 前後の動作は仕様どおりの処理を行います。

1. 次の 1 ~ 3 のいずれかが DIV0U/DIV0S 命令の直前の命令で発生すると、
 1. ユーザ割り込みを受け付けた
 2. ステップ実行を行った
 3. データイベントまたはエミュレータメニューにてブレークした以下の動作を行うことがあります。
 - D0, D1 フラグが、先行して更新されます。
 - EIT 処理ルーチン (ユーザ割り込み・またはエミュレータ) を実行します。
 - EIT から復帰後、DIV0U/DIV0S 命令が実行され、D0, D1 フラグが 1. と同じ値に更新されます。
2. ユーザ割り込み要求が発生している状態で、割り込みを許可するために ORCCR/STILM/MOV Ri, PS の各命令が実行されると、以下のような動作を行います。
 - プログラムステータスレジスタ (PS) が先行して更新されます。
 - EIT 処理ルーチン (ユーザ割り込みまたはエミュレータ) を実行します。
 - EIT から復帰後、上記命令が実行され、プログラムステータスレジスタ (PS) が 1. と同じ値に更新されます。

■ デバッグ関連の注意事項

● RETI 命令のステップ実行

ステップ実行する際、割込みが頻繁に発生する環境下では、該当割込み処理ルーチンだけを繰り返して実行します。その結果、メインルーチンや割込みレベルの低いプログラムの実行が行われなくなります。(例えば、ベースタイマの割込みを許可していた場合、RETI をステップ実行すると、必ずベースタイマのルーチンの先頭でブレイクすることになります)

該当割込み処理ルーチンのデバッグが不要になった段階で、該当割込みを禁止してください。

● ブレイク機能

ハードウェアブレイク(イベントブレイク含む)の対象アドレスが現在のシステムスタックポインタのアドレスや、スタックポインタを含む領域に設定されていると、ユーザプログラムに実際のデータアクセス命令がないにもかかわらず、1命令実行後にブレイクしてしまいます。

回避するために、システムスタックポインタのアドレスを含む領域に対する(ワード)アクセスを、ハードウェアブレイク(イベントブレイク含む)の対象に設定しないでください。

● 内蔵 ROM (フラッシュメモリ, マスク ROM)

- エバチップ使用時の注意事項
 - 内蔵ROM領域をDMAコントローラ(DMAC)の転送先に設定しないでください。
 - 内蔵ROM領域をDMAコントローラ(DMAC)の転送先に設定した場合、DMAC転送中にブレイクが発生すると、内蔵ROM領域が書き換えられるおそれがあります。
 - 内蔵ROM領域をDMAコントローラ(DMAC)の転送元とすることは可能です。

● オペランドブレイクについて

DSU のオペランドブレイクとして設定している領域にスタックポインタがあると誤動作の原因となります。システムスタックポインタのアドレスを含む領域に対するアクセスを、データイベントブレイクの対象にしないでください。

付録

I/O マップ，レジスター一覧，CPU の状態における端子状態および FR80 ファミリ CPU の命令一覧について説明します。

付録 A I/O マップ

付録 B レジスター一覧

付録 C 割込みベクタ

付録 D CPU の状態における端子状態

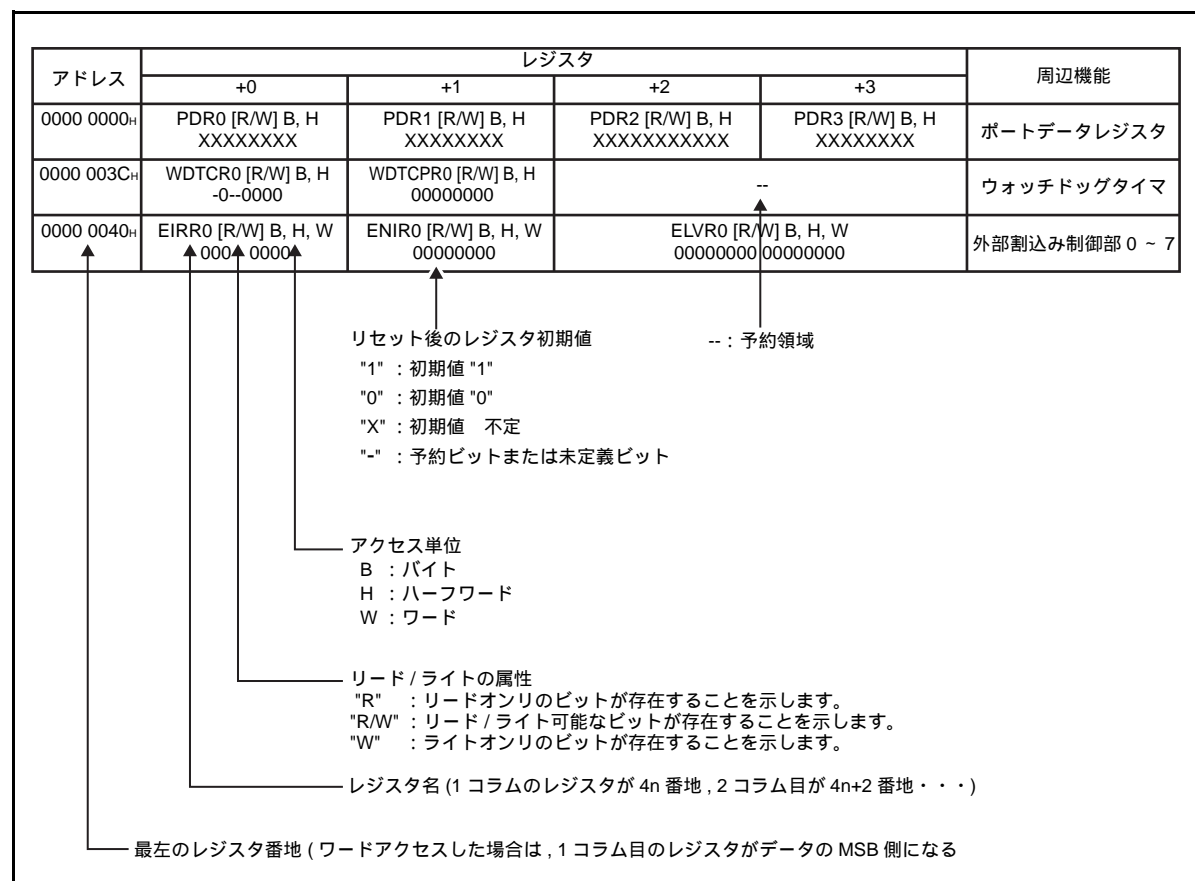
付録 E 命令一覧

付録 A I/O マップ

メモリ空間領域と周辺機能の各レジスタの対応を示します。

■ I/O マップの見かた

図 A-1 I/O マップの見かた



< 注意事項 >

- データアクセスを行う際, アクセスサイズにより以下の通りのアドレスとしてください。
 - ワードアクセス: アドレスは 4 の倍数 (最下位 2 ビットは "00_B")
 - ハーフワードアクセス: アドレスは 2 の倍数 (最下位 ビットは "0_B")
 - バイトアクセス: -
- 予約領域にはアクセスしないでください。

表 A-1 I/O マップ (1 / 19)

アドレス	レジスタ				ブロック
	+ 0	+ 1	+ 2	+ 3	
0000 0000 _H	PDR0 [R/W] B,H XXXXXXXXXX	PDR1 [R/W] B,H XXXXXXXXXX	PDR2 [R/W] B,H XXXXXXXXXX	PDR3 [R/W] B,H XXXXXXXXXX	ポートデータ レジスタ
0000 0004 _H	PDR4 [R/W] B,H XXXXXXXXXX	PDR5 [R/W] B,H XXXXXXXXXX	PDR6 [R/W] B,H XXXXXXXXXX	PDR7[R/W] B,H XXXXXXXXXX	
0000 0008 _H	PDR8 [R/W] B,H XXXXXXXXXX	PDR9 [R/W] B,H -----XXX	PDRA [R/W] B,H XXXXXXXXXX	PDRB[R/W] B,H -XXXXXXXX	
0000 000C _H	PDRC [R/W] B XXXXXXXXXX	—			
0000 0010 _H	PDRG [R/W] B,H XXXXXXXXXX	PDRH [R/W] B,H XXXXXXXXXX	PDRI [R/W] B XXXXXXXXXX	—	
0000 0014 _H	PDRK [R/W] B ----XXXX	—			
0000 0018 _H ~ 0000 001C _H	—				
0000 0020 _H ~ 0000 0038 _H	—				予約領域
0000 003C _H	WDTCSR0[R/W] B,H -0--0000	WDTCSR0[R/W] B,H 00000000	—		ウォッチ ドッグタイマ
0000 0040 _H	EIRR0[R/W] B,H,W 00000000	ENIR0[R/W] B,H,W 00000000	ELVR0[R/W] B,H,W 00000000 00000000		外部割込み 制御部 0 ~ 7
0000 0044 _H	DICR [R/W] B -----0	—			遅延割込み
0000 0048 _H	TMRLRA0 [R/W] H XXXXXXXXXX XXXXXXXXXX		TMR0 [R] H XXXXXXXXXX XXXXXXXXXX		16 ビット リロード タイマ ch.0
0000 004C _H	—		TMCSR0 [R/W] H --000000 --000000		
0000 0050 _H	TMRLRA1 [R/W] H XXXXXXXXXX XXXXXXXXXX		TMR1 [R] H XXXXXXXXXX XXXXXXXXXX		16 ビット リロード タイマ ch.1
0000 0054 _H	—		TMCSR1 [R/W] H --000000 --000000		
0000 0058 _H	TMRLRA2 [R/W] H XXXXXXXXXX XXXXXXXXXX		TMR2 [R] H XXXXXXXXXX XXXXXXXXXX		16 ビット リロード タイマ ch.2
0000 005C _H	—		TMCSR2 [R/W] H --000000 --000000		
0000 0060 _H	SCR0 [R/W] B,H,W 0--00000	SMR0 [R/W] B,H,W 000-0000	SSR0 [R,R/W] B,H,W 0-000011	ESCR0 [R/W] B,H,W -0000000	マルチ ファンクション シリアル
0000 0064 _H	RDR0[R]/TDR0[W] B,H,W ^{*1} -----0 00000000		BGR10[R/W]H,W 00000000	BGR00[R/W] H,W 00000000	インタフェース ch.0

表 A-1 I/O マップ (2 / 19)

アドレス	レジスタ				ブロック
	+ 0	+ 1	+ 2	+ 3	
0000 0068 _H	SCR1 [R/W] / IBCR1 [R,R/W] B,H,W*2 0--00000	SMR1 [R/W] B,H,W 000-0000	SSR1 [R,R/W] B,H,W 0-000011	ESCR1 [R/W]/ IBSR1 [R,R/W] B,H,W*2 -0000000	マルチ ファンクション シリアル インタフェース ch.1
0000 006C _H	RDR1[R]/TDR1[W] B,H,W*1 -----0 00000000		BGR11[R/W] H,W 00000000	BGR01[R/W] H,W 00000000	
0000 0070 _H	ISMK1 [R/W] B,H*2 -----	ISBA1 [R/W] B,H*2 -----	—		
0000 0074 _H	SCR2 [R/W] / IBCR2 [R,R/W] B,H,W*2 0--00000	SMR2 [R/W] B,H,W 000-0000	SSR2 [R,R/W] B,H,W 0-000011	ESCR2 [R/W]/ IBSR2 [R,R/W] B,H,W*2 -0000000	マルチ ファンクション シリアル インタフェース ch.2
0000 0078 _H	RDR2[R]/TDR2[W] B,H,W*1 -----0 00000000		BGR12[R/W] H,W 00000000	BGR02[R/W] H,W 00000000	
0000 007C _H	ISMK2 [R/W] B,H*2 -----	ISBA2 [R/W] B,H*2 -----	—		
0000 0080 _H	SCR3 [R/W]/ IBCR3 [R,R/W] B,H,W*2 0--00000	SMR3 [R/W] B,H,W 000-0000	SSR3 [R,R/W] B,H,W 0-000011	ESCR3 [R/W]/ IBSR3 [R,R/W] B,H,W*2 -0000000	マルチ ファンクション シリアル インタフェース ch.3
0000 0084 _H	RDR3[R]/TDR3[W] B,H,W*1 -----0 00000000		BGR13[R/W] H,W 00000000	BGR03[R/W] H,W 00000000	
0000 0088 _H	ISMK3 [R/W]B,H*2 -----	ISBA3 [R/W] B,H*2 -----	—		
0000 008C _H	SCR4 [R/W]/ IBCR4 [R,R/W] B,H,W*2 0--00000	SMR4 [R/W] B,H,W 000-0000	SSR4 [R,R/W] B,H,W 0-000011	ESCR4 [R/W]/ IBSR4 [R,R/W] B,H,W*2 -0000000	マルチ ファンクション シリアル インタフェース ch.4
0000 0090 _H	RDR4[R]/TDR4[W] B,H,W*1 -----0 00000000		BGR14[R/W] H,W 00000000	BGR04[R/W] H,W 00000000	
0000 0094 _H	ISMK4 [R/W] B,H*2 -----	ISBA4 [R/W] B,H*2 -----	—		
0000 0098 _H	SCR5 [R/W]/ IBCR5 [R,R/W] B,H,W*2 0--00000	SMR5 [R/W] B,H,W 000-0000	SSR5 [R,R/W] B,H,W 0-000011	ESCR5 [R/W]/ IBSR5 [R,R/W] B,H,W*2 -0000000	マルチ ファンクション シリアル インタフェース ch.5
0000 009C _H	RDR5[R]/TDR5[W] B,H,W*1 -----0 00000000		BGR15 [R/W] H,W 00000000	BGR05 [R/W] H,W 00000000	
0000 00A0 _H	ISMK5 [R/W] B,H*2 -----	ISBA5 [R/W] B,H*2 -----	—		

MB91635A シリーズ

表 A-1 I/O マップ (3 / 19)

アドレス	レジスタ				ブロック
	+ 0	+ 1	+ 2	+ 3	
0000 00A4 _H	SCR6 [R/W]/ IBCR6 [R,R/W] B,H,W* ² 0--00000	SMR6 [R/W] B,H,W 000-0000	SSR6 [R,R/W] B,H,W 0-000011	ESCR6 [R/W]/ IBSR6 [R,R/W] B,H,W* ² -0000000	マルチ ファンクション シリアル インタフェース ch.6
0000 00A8 _H	RDR6[R]/TDR6[W] B,H,W* ¹ -----0 00000000		BGR16 [R/W] H,W 00000000	BGR06 [R/W] H,W 00000000	
0000 00AC _H	ISMK6 [R/W] B,H* ² -----	ISBA6 [R/W] B,H* ² -----	—		
0000 00B0 _H	SCR7 [R/W]/ IBCR7 [R,R/W] B,H,W* ² 0--00000	SMR7 [R/W] B,H,W 000-0000	SSR7 [R,R/W] B,H,W 0-000011	ESCR7 [R/W]/ IBSR7 [R,R/W] B,H,W* ² -0000000	マルチ ファンクション シリアル インタフェース ch.7
0000 00B4 _H	RDR7[R]/TDR7[W] B,H,W* ¹ -----0 00000000		BGR17 [R/W] H,W 00000000	BGR07 [R/W] H,W 00000000	
0000 00B8 _H	ISMK7 [R/W] B,H* ² -----	ISBA7 [R/W] B,H* ² -----	—		
0000 00BC _H	—				予約領域
0000 00C0 _H	RDRM0 [R]/ TDRM0 [W] B,H,W 00000000	RDRM1 [R]/ TDRM1 [W] B,H,W 00000000	RDRM2 [R]/ TDRM2 [W] B,H,W 00000000	RDRM3 [R]/ TDRM3 [W] B,H,W 00000000	マルチ ファンクション シリアル インタフェース データレジスタ (ミラー)
0000 00C4 _H	RDRM4 [R]/ TDRM4 [W] B,H,W 00000000	RDRM5 [R]/ TDRM5 [W] B,H,W 00000000	RDRM6 [R]/ TDRM6 [W] B,H,W 00000000	RDRM7 [R]/ TDRM7 [W] B,H,W 00000000	
0000 00C8 _H	SSEL0123 [R/W] B -----00	—	SSEL4567 [R/W] B -----00	—	マルチ ファンクション シリアル インタフェース シリアル クロック選択
0000 00CC _H	—				予約領域
0000 00D0 _H	SCR8 [R/W]/ IBCR8 [R,R/W] B,H,W* ² 0--00000	SMR8 [R/W] B,H,W 000-0000	SSR8 [R,R/W] B,H,W 0-000011	ESCR8 [R/W]/ IBSR8 [R,R/W] B,H,W* ² -0000000	マルチ ファンクション シリアル インタフェース ch. 8 (FIFO 付)
0000 00D4 _H	RDR8[R]/TDR8[W] B,H,W* ¹ -----0 00000000		BGR18 [R/W] H,W 00000000	BGR08 [R/W] H,W 00000000	
0000 00D8 _H	ISMK8 [R/W] B,H* ² -----	ISBA8 [R/W] B,H* ² -----	—		
0000 00DC _H	FCR18 [R/W] B,H,W ---00100	FCR08 [R,R/W] B,H,W -0000000	FBYTE28 [R/W] B,H,W 00000000	FBYTE18 [R/W] B,H,W 00000000	

表 A-1 I/O マップ (4 / 19)

アドレス	レジスタ				ブロック
	+ 0	+ 1	+ 2	+ 3	
0000 00E0 _H	SCR9 [R/W]/ IBCR9 [R,R/W] B,H,W* ² 0--00000	SMR9 [R/W] B,H,W 000-0000	SSR9 [R,R/W] B,H,W 0-000011	ESCR9 [R/W]/ IBSR9 [R,R/W] B,H,W* ² -0000000	マルチ ファンクション シリアル インタフェース ch. 9 (FIFO 付)
0000 00E4 _H	RDR9[R]/TDR9[W] B,H,W* ¹ -----0 00000000		BGR19 [R/W] H,W 00000000	BGR09 [R/W] H,W 00000000	
0000 00E8 _H	ISMK9 [R/W] B,H* ² -----	ISBA9 [R/W] B,H* ² -----	—		
0000 00EC _H	FCR19 [R/W] B,H,W ---00100	FCR09 [R,R/W] B,H,W -0000000	FBYTE29 [R/W] B,H,W 00000000	FBYTE19 [R/W] B,H,W 00000000	
0000 00F0 _H	SCR10 [R/W]/ IBCR10 [R,R/W] B,H,W* ² 0--00000	SMR10 [R/W] B,H,W 000-0000	SSR10 [R,R/W] B,H,W 0-000011	ESCR10 [R/W]/ IBSR10 [R,R/W] B,H,W* ² -0000000	マルチ ファンクション シリアル インタフェース ch.10 (FIFO 付)
0000 00F4 _H	RDR10[R]/TDR10[W] B,H,W* ¹ -----0 00000000		BGR110 [R/W] H,W 00000000	BGR010 [R/W] H,W 00000000	
0000 00F8 _H	ISMK10 [R/W] B,H* ² -----	ISBA10 [R/W] B,H* ² -----	—		
0000 00FC _H	FCR110 [R/W] B,H,W ---00100	FCR010 [R,R/W] B,H,W -0000000	FBYTE210 [R/W] B,H,W 00000000	FBYTE110 [R/W] B,H,W 00000000	
0000 0100 _H	SCR11 [R/W]/ IBCR11 [R,R/W] B,H,W* ² 0--00000	SMR11 [R/W] B,H,W 000-0000	SSR11 [R,R/W] B,H,W 0-000011	ESCR11 [R/W]/ IBSR11 [R,R/W] B,H,W* ² -0000000	マルチ ファンクション シリアル インタフェース ch.11 (FIFO 付)
0000 0104 _H	RDR11[R]/TDR11[W] B,H,W* ¹ -----0 00000000		BGR111 [R/W] H,W 00000000	BGR011 [R/W] H,W 00000000	
0000 0108 _H	ISMK11 [R/W] B,H* ² -----	ISBA11 [R/W] B,H* ² -----	—		
0000 010C _H	FCR111 [R/W] B,H,W ---00100	FCR011 [R,R/W] B,H,W -0000000	FBYTE211 [R/W] B,H,W 00000000	FBYTE111 [R/W] B,H,W 00000000	
0000 0110 _H	EIRR1[R/W] B,H,W 00000000	ENIR1[R/W] B,H,W 00000000	ELVR1[R/W] B,H,W 00000000 00000000		外部割込み 制御部 8 ~ 15
0000 0114 _H	EIRR2[R/W] B,H,W 00000000	ENIR2[R/W] B,H,W 00000000	ELVR2[R/W] B,H,W 00000000 00000000		外部割込み 制御部 16 ~ 23
0000 0118 _H	EIRR3[R/W] B,H,W 00000000	ENIR3[R/W] B,H,W 00000000	ELVR3[R/W] B,H,W 00000000 00000000		外部割込み 制御部 24 ~ 31
0000 011C _H	—				予約領域

表 A-1 I/O マップ (5 / 19)

アドレス	レジスタ				ブロック
	+ 0	+ 1	+ 2	+ 3	
0000 0120 _H	ADCR0[R/W] B,H 000-0000	ADSR0[R,R/W] B,H 00---000	—		A/D コンバータ ユニット 0
0000 0124 _H	SCCR0[R,R/W] B,H 1000-000	SFNS0[R/W] B,H ---0000	SCFD0[R] B,H XXXXXXXXXX XX-XXXXXX		
0000 0128 _H	SCIS30[R/W] B,H,W -0000000	SCIS20[R/W] B,H,W 00000000	SCIS10[R/W] B,H,W 00000000	SCIS00[R/W] B,H,W 00000000	
0000 012C _H	PCCR0[R,R/W] B,H 1000-000	PFNS0[R/W] B,H -----00	PCFD0[R] B,H XXXXXXXXXX XXXXXXXXXX		
0000 0130 _H	PCIS0[R/W] B 00000000	—	CMPD0[R/W] B,H 00000000	CMPCR0[R/W] B,H 00000000	
0000 0134 _H	ADSS30[R/W] B,H,W -0000000	ADSS20[R/W] B,H,W 00000000	ADSS10[R/W] B,H,W 00000000	ADSS00[R/W] B,H,W 00000000	
0000 0138 _H	ADST00[R/W] B,H 00100000	ADST10[R/W] B,H 00100000	ADCT0[R/W] B -----111	—	
0000 013C _H	—				予約領域
0000 0140 _H	BT0TMR[R]H 00000000 00000000		BT0TMCR[R/W] B,H -0000000 00000000		ベースタイム ch.0
0000 0144 _H	—	BT0STC[R/W]B 0000-000	—		
0000 0148 _H	BT0PCSR/BT0PRL[R/W]H XXXXXXXXXX XXXXXXXXXX		BT0PDUT/BT0PRLH/BT0DTBF[R/W]H XXXXXXXXXX XXXXXXXXXX		
0000 014C _H	—				
0000 0150 _H	BT1TMR[R]H 00000000 00000000		BT1TMCR[R/W] B,H -0000000 00000000		ベースタイム ch.1
0000 0154 _H	—	BT1STC[R/W]B 0000-000	—		
0000 0158 _H	BT1PCSR/BT1PRL[R/W]H XXXXXXXXXX XXXXXXXXXX		BT1PDUT/BT1PRLH/BT1DTBF[R/W]H XXXXXXXXXX XXXXXXXXXX		
0000 015C _H	—				
0000 0160 _H	BT2TMR[R]H 00000000 00000000		BT2TMCR [R/W] B,H -0000000 00000000		ベースタイム ch.2
0000 0164 _H	—	BT2STC[R/W]B 0000-000	—		
0000 0168 _H	BT2PCSR/BT2PRL[R/W]H XXXXXXXXXX XXXXXXXXXX		BT2PDUT/BT2PRLH/BT2DTBF[R/W]H XXXXXXXXXX XXXXXXXXXX		
0000 016C _H	—				
0000 0170 _H	BT3TMR[R]H 00000000 00000000		BT3TMCR[R/W] B,H -0000000 00000000		ベースタイム ch.3
0000 0174 _H	—	BT3STC[R/W]B 0000-000	—		
0000 0178 _H	BT3PCSR/BT3PRL[R/W]H XXXXXXXXXX XXXXXXXXXX		BT3PDUT/BT3PRLH/BT3DTBF[R/W]H XXXXXXXXXX XXXXXXXXXX		
0000 017C _H	BTSEL0123 [R/W] B 00000000	—			

表 A-1 I/O マップ (6 / 19)

アドレス	レジスタ				ブロック
	+ 0	+ 1	+ 2	+ 3	
0000 0180 _H	DACR0[R/W] B,H,W -----0	DADR0[R/W] B,H,W XXXXXXXX	DACR1[R/W] B,H,W -----0	DADR1[R/W] B,H,W XXXXXXXX	D/A コンバータ
0000 0184 _H	DACR2[R/W] B,H -----0	DADR2[R/W] B,H XXXXXXXX	—		
0000 0188 _H ~ 0000 018C _H	—				
0000 0190 _H	ADCR1[R/W] B,H 000-0000	ADSR1[R,R/W] B,H 00---000	—		A/D コンバータ ユニット 1
0000 0194 _H	SCCR1[R,R/W] B,H 1000-000	SFNS1[R/W] B,H ----0000	SCFD1[R] B,H XXXXXXXX XX-XXXX		
0000 0198 _H	SCIS31[R/W] B,H,W -0000000	SCIS21[R/W] B,H,W 00000000	SCIS11[R/W] B,H,W 00000000	SCIS01[R/W] B,H,W 00000000	
0000 019C _H	PCCR1[R,R/W] B,H 1000-000	PFNS1[R/W] B,H -----00	PCFD1[R] B,H XXXXXXXX XXXXXXXX		
0000 01A0 _H	PCIS1[R/W] B 00000000	—	CMPD1[R/W] B,H 00000000	CMPCR1[R/W] B,H 00000000	
0000 01A4 _H	ADSS31[R/W] B,H,W -0000000	ADSS21[R/W] B,H,W 00000000	ADSS11[R/W] B,H,W 00000000	ADSS01[R/W] B,H,W 00000000	
0000 01A8 _H	ADST01[R/W] B,H 00100000	ADST11[R/W] B,H 00100000	ADCT1[R/W] B -----111	—	
0000 01AC _H	ADCHE [R/W] B,H,W -1111111 11111111 11111111 11111111				A/D チャンネル イネーブル
0000 01B0 _H	IRPR0H [R] B 000----	—	IRPR1H [R] B,H 000-000-	IRPR1L [R] B,H 000-000-	割込み要求 一括読出し 機能
0000 01B4 _H	IRPR2H [R] B,H,W 0000----	IRPR2L [R] B,H,W 000----	IRPR3H [R] B,H,W 0000----	IRPR3L [R] B,H,W 00000---	
0000 01B8 _H	IRPR4H [R] B,H,W 0000----	IRPR4L [R] B,H,W 000000--	IRPR5H [R] B,H,W 0000----	IRPR5L [R] B,H,W 0000----	
0000 01BC _H	IRPR6H [R] B,H,W 0000----	IRPR6L [R] B,H,W 0000----	IRPR7H [R] B,H,W 0000----	IRPR7L [R] B,H,W 0000----	
0000 01C0 _H	RCRH0 [W] H,W 00000000	RCRL0 [W] B,H,W 00000000	UDCRH0 [R] H,W 00000000	UDCRL0 [R] B,H,W 00000000	アップダウン カウンタ ch.0
0000 01C4 _H	CCR0 [R,R/W] B,H 00000000 -0001000		—	CSR0 [R,R/W] B 00000000	
0000 01C8 _H	—				
0000 01CC _H	—				予約領域
0000 01D0 _H	RCRH1 [W] H,W 00000000	RCRL1 [W] B,H,W 00000000	UDCRH1 [R] H,W 00000000	UDCRL1 [R] B,H,W 00000000	アップダウン カウンタ ch.1
0000 01D4 _H	CCR1 [R,R/W] B,H 00000000 -0001000		—	CSR1 [R,R/W] B 00000000	
0000 01D8 _H	—				
0000 01DC _H	—				予約領域

表 A-1 I/O マップ (7/19)

アドレス	レジスタ				ブロック
	+ 0	+ 1	+ 2	+ 3	
0000 01E0 _H	RCRH2 [W] H,W 00000000	RCRL2 [W] B,H,W 00000000	UDCRH2 [R] H,W 00000000	UDCRL2 [R] B,H,W 00000000	アップダウン カウンタ ch.2
0000 01E4 _H	CCR2 [R,R/W] B,H 00000000 -0001000		—	CSR2 [R,R/W] B 00000000	
0000 01E8 _H	—				
0000 01EC _H	—				
0000 01F0 _H	RCRH3 [W] H,W 00000000	RCRL3 [W] B,H,W 00000000	UDCRH3 [R] H,W 00000000	UDCRL3 [R] B,H,W 00000000	アップダウン カウンタ ch.3
0000 01F4 _H	CCR3 [R,R/W] B,H 00000000 -0001000		—	CSR3 [R,R/W] B 00000000	
0000 01F8 _H	—				
0000 01FC _H	—				
0000 0200 _H	CPCLR0 [R/W] W 11111111 11111111 11111111 11111111				32 ビット フリーラン タイマ ch.0
0000 0204 _H	TCDT0 [R/W] W 00000000 00000000 00000000 00000000				
0000 0208 _H	TCCSH0 [R/W] B,H 0----00	TCCSL0 [R/W] B,H -1-00000	—		
0000 020C _H	IPCP0 [R] W XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX				
0000 0210 _H	IPCP1 [R] W XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX				32 ビット インプット キャプチャ ch.0 ~ ch.3
0000 0214 _H	IPCP2 [R] W XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX				
0000 0218 _H	IPCP3 [R] W XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX				
0000 021C _H	—	ICS01 [R/W] B 00000000	—	ICS23 [R/W] B 00000000	
0000 0220 _H	IPCP4 [R] W XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX				32 ビット インプット キャプチャ ch.4 ~ ch.7
0000 0224 _H	IPCP5 [R] W XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX				
0000 0228 _H	IPCP6 [R] W XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX				
0000 022C _H	IPCP7 [R] W XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX				
0000 0230 _H	—	ICS45 [R/W] B 00000000	—	ICS67 [R/W] B 00000000	

表 A-1 I/O マップ (8 / 19)

アドレス	レジスタ				ブロック
	+ 0	+ 1	+ 2	+ 3	
0000 0234 _H	OCCP0 [R/W] W 00000000 00000000 00000000 00000000				32 ビット アウトプット コンペア ch.0 ~ ch.3
0000 0238 _H	OCCP1 [R/W] W 00000000 00000000 00000000 00000000				
0000 023C _H	OCCP2 [R/W] W 00000000 00000000 00000000 00000000				
0000 0240 _H	OCCP3 [R/W] W 00000000 00000000 00000000 00000000				
0000 0244 _H	OCSH1 [R/W] B,H,W ---0--00	OCSL0 [R/W] B,H,W 0000--00	OCSH3 [R/W] B,H,W ---0--00	OCSL2 [R/W] B,H,W 0000--00	32 ビット アウトプット コンペア ch.4 ~ ch.7
0000 0248 _H	OCCP4 [R/W] W 00000000 00000000 00000000 00000000				
0000 024C _H	OCCP5 [R/W] W 00000000 00000000 00000000 00000000				
0000 0250 _H	OCCP6 [R/W] W 00000000 00000000 00000000 00000000				
0000 0254 _H	OCCP7 [R/W] W 00000000 00000000 00000000 00000000				フリーラン タイマ セレクト
0000 0258 _H	OCSH5 [R/W] B,H,W ---0--00	OCSL4 [R/W] B,H,W 0000--00	OCSH7 [R/W] B,H,W ---0--00	OCSL6 [R/W] B,H,W 0000--00	
0000 025C _H	FRTSEL [R/W] B -----00	—			
0000 0260 _H	CPCLR1 [R/W] W 11111111 11111111 11111111 11111111				
0000 0264 _H	TCDT1 [R/W] W 00000000 00000000 00000000 00000000				32 ビット フリーラン タイマ ch.1
0000 0268 _H	TCCSH1 [R/W] B,H 0----00	TCCSL1 [R/W] B,H -1-00000	—		
0000 026C _H ~ 0000 031C _H	—				
0000 0320 _H	FCTLRL[R/W] H -0--1011 -----		—	FSTR[R] B -----1	フラッシュ メモリ制御
0000 0324 _H ~ 0000 0334 _H	—				予約領域
0000 0338 _H	—		WREN[R/W] B,H 00000000 00000000		ワイルド レジスタ
0000 033C _H	—				
0000 0340 _H ~ 0000 037C _H	—				予約領域

表 A-1 I/O マップ (9 / 19)

アドレス	レジスタ				ブロック
	+ 0	+ 1	+ 2	+ 3	
0000 0380 _H	WRAR00[R/W] W ----- --XXXXXXX XXXXXXXXXX XXXXXXX--				ワイルド レジスタ
0000 0384 _H	WRDR00[R/W] W XXXXXXXXXX XXXXXXXXXX XXXXXXXXXX XXXXXXXXXX				
0000 0388 _H	WRAR01[R/W] W ----- --XXXXXXX XXXXXXXXXX XXXXXXX--				
0000 038C _H	WRDR01[R/W] W XXXXXXXXXX XXXXXXXXXX XXXXXXXXXX XXXXXXXXXX				
0000 0390 _H	WRAR02[R/W] W ----- --XXXXXXX XXXXXXXXXX XXXXXXX--				
0000 0394 _H	WRDR02[R/W] W XXXXXXXXXX XXXXXXXXXX XXXXXXXXXX XXXXXXXXXX				
0000 0398 _H	WRAR03[R/W] W ----- --XXXXXXX XXXXXXXXXX XXXXXXX--				
0000 039C _H	WRDR03[R/W] W XXXXXXXXXX XXXXXXXXXX XXXXXXXXXX XXXXXXXXXX				
0000 03A0 _H	WRAR04[R/W] W ----- --XXXXXXX XXXXXXXXXX XXXXXXX--				
0000 03A4 _H	WRDR04[R/W] W XXXXXXXXXX XXXXXXXXXX XXXXXXXXXX XXXXXXXXXX				
0000 03A8 _H	WRAR05[R/W] W ----- --XXXXXXX XXXXXXXXXX XXXXXXX--				
0000 03AC _H	WRDR05[R/W] W XXXXXXXXXX XXXXXXXXXX XXXXXXXXXX XXXXXXXXXX				
0000 03B0 _H	WRAR06[R/W] W ----- --XXXXXXX XXXXXXXXXX XXXXXXX--				
0000 03B4 _H	WRDR06[R/W] W XXXXXXXXXX XXXXXXXXXX XXXXXXXXXX XXXXXXXXXX				
0000 03B8 _H	WRAR07[R/W] W ----- --XXXXXXX XXXXXXXXXX XXXXXXX--				
0000 03BC _H	WRDR07[R/W] W XXXXXXXXXX XXXXXXXXXX XXXXXXXXXX XXXXXXXXXX				
0000 03C0 _H	WRAR08[R/W] W ----- --XXXXXXX XXXXXXXXXX XXXXXXX--				

表 A-1 I/O マップ (10 / 19)

アドレス	レジスタ				ブロック
	+ 0	+ 1	+ 2	+ 3	
0000 03C4 _H	WRDR08[R/W] W XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX				ワイルド レジスタ
0000 03C8 _H	WRAR09[R/W] W ----- --XXXXXX XXXXXXXX XXXXXX--				
0000 03CC _H	WRDR09[R/W] W XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX				
0000 03D0 _H	WRAR10[R/W] W ----- --XXXXXX XXXXXXXX XXXXXX--				
0000 03D4 _H	WRDR10[R/W] W XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX				
0000 03D8 _H	WRAR11[R/W] W ----- --XXXXXX XXXXXXXX XXXXXX--				
0000 03DC _H	WRDR11[R/W] W XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX				
0000 03E0 _H	WRAR12[R/W] W ----- --XXXXXX XXXXXXXX XXXXXX--				
0000 03E4 _H	WRDR12[R/W]W XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX				
0000 03E8 _H	WRAR13[R/W]W ----- --XXXXXX XXXXXXXX XXXXXX--				
0000 03EC _H	WRDR13[R/W] W XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX				
0000 03F0 _H	WRAR14[R/W] W ----- --XXXXXX XXXXXXXX XXXXXX--				
0000 03F4 _H	WRDR14[R/W] W XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX				
0000 03F8 _H	WRAR15[R/W] W ----- --XXXXXX XXXXXXXX XXXXXX--				
0000 03FC _H	WRDR15[R/W] W XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX				

表 A-1 I/O マップ (11 / 19)

アドレス	レジスタ				ブロック
	+ 0	+ 1	+ 2	+ 3	
0000 0400 _H	DDR0 [R/W] B,H 00000000	DDR1 [R/W] B,H 00000000	DDR2 [R/W] B,H 00000000	DDR3 [R/W] B,H 00000000	データ方向 レジスタ
0000 0404 _H	DDR4 [R/W] B,H 00000000	DDR5 [R/W] B,H 00000000	DDR6 [R/W] B,H 00000000	DDR7[R/W] B,H 00000000	
0000 0408 _H	DDR8 [R/W] B,H 00000000	DDR9 [R/W] B,H -----000	DDRA [R/W] B,H 00000000	DDRB[R/W] B,H -0000000	
0000 040C _H	DDRC [R/W] B 00000000	—			
0000 0410 _H	DDRG [R/W] B,H 00000000	DDRH [R/W] B,H 00000000	DDRI [R/W] B 00000000	—	
0000 0414 _H	DDRK [R/W] B ----0000	—			
0000 0418 _H ~ 0000 041C _H	—				
0000 0420 _H	PCR0 [R/W] B,H 00000000	PCR1 [R/W] B,H 00000000	—		ブルアップ 制御レジスタ
0000 0424 _H	—	PCR5 [R/W] B 00000000	PCR6 [R/W] B,H 00000000	PCR7[R/W] B,H 00000000	
0000 0428 _H	PCR8 [R/W] B,H 00000000	PCR9 [R/W] B,H -----000	PCRA [R/W] B,H 00000000	PCRB[R/W] B,H -0000000	
0000 042C _H	PCRC [R/W] B 00000000	—			
0000 0430 _H	—				
0000 0434 _H	PCRK [R/W] B ----00--	—			
0000 0438 _H ~ 0000 043C _H	—				

表 A-1 I/O マップ (12 / 19)

アドレス	レジスタ				ブロック
	+ 0	+ 1	+ 2	+ 3	
0000 0440 _H	ICR00 [R,R/W] B,H,W ---11111	ICR01 [R,R/W] B,H,W ---11111	ICR02 [R,R/W] B,H,W ---11111	ICR03 [R,R/W] B,H,W ---11111	割込み コントローラ
0000 0444 _H	ICR04 [R,R/W] B,H,W ---11111	ICR05 [R,R/W] B,H,W ---11111	ICR06 [R,R/W] B,H,W ---11111	ICR07 [R,R/W] B,H,W ---11111	
0000 0448 _H	ICR08 [R,R/W] B,H,W ---11111	ICR09 [R,R/W] B,H,W ---11111	ICR10 [R,R/W] B,H,W ---11111	ICR11 [R,R/W] B,H,W ---11111	
0000 044C _H	ICR12 [R,R/W] B,H,W ---11111	ICR13 [R,R/W] B,H,W ---11111	ICR14 [R,R/W] B,H,W ---11111	ICR15 [R,R/W] B,H,W ---11111	
0000 0450 _H	ICR16 [R,R/W] B,H,W ---11111	ICR17 [R,R/W] B,H,W ---11111	ICR18 [R,R/W] B,H,W ---11111	ICR19 [R,R/W] B,H,W ---11111	
0000 0454 _H	ICR20 [R,R/W] B,H,W ---11111	ICR21 [R,R/W] B,H,W ---11111	ICR22 [R,R/W] B,H,W ---11111	ICR23 [R,R/W] B,H,W ---11111	
0000 0458 _H	ICR24 [R,R/W] B,H,W ---11111	ICR25 [R,R/W] B,H,W ---11111	ICR26 [R,R/W] B,H,W ---11111	ICR27 [R,R/W] B,H,W ---11111	
0000 045C _H	ICR28 [R,R/W] B,H,W ---11111	ICR29 [R,R/W] B,H,W ---11111	ICR30 [R,R/W] B,H,W ---11111	ICR31 [R,R/W] B,H,W ---11111	
0000 0460 _H	ICR32 [R,R/W] B,H,W ---11111	ICR33 [R,R/W] B,H,W ---11111	ICR34 [R,R/W] B,H,W ---11111	ICR35 [R,R/W] B,H,W ---11111	
0000 0464 _H	ICR36 [R,R/W] B,H,W ---11111	ICR37 [R,R/W] B,H,W ---11111	ICR38 [R,R/W] B,H,W ---11111	ICR39 [R,R/W] B,H,W ---11111	
0000 0468 _H	ICR40 [R,R/W] B,H,W ---11111	ICR41 [R,R/W] B,H,W ---11111	ICR42 [R,R/W] B,H,W ---11111	ICR43 [R,R/W] B,H,W ---11111	
0000 046C _H	ICR44 [R,R/W] B,H,W ---11111	ICR45 [R,R/W] B,H,W ---11111	ICR46 [R,R/W] B,H,W ---11111	ICR47 [R,R/W] B,H,W ---11111	
0000 0470 _H ~ 0000 047C _H	—				予約領域
0000 0480 _H	RSTRR [R] B,H,W 11-X---X* ³	RSTCR [R/W] B,H,W 000----0	STBCR [R/W] B,H,W 0000--11	SLPRR [R/W] B,H,W 00000000	リセット制御 / 消費電力制御
0000 0484 _H	—				

MB91635A シリーズ

表 A-1 I/O マップ (13 / 19)

アドレス	レジスタ				ブロック
	+ 0	+ 1	+ 2	+ 3	
0000 0488 _H	DIVR0 [R/W] B,H 000-----	DIVR1 [R/W] B,H 0001----	DIVR2 [R/W] B 0011----	—	クロック 分周制御
0000 048C _H	—				
0000 0490 _H	IORR0 [R/W] B,H,W -0000000	IORR1 [R/W] B,H,W -0000000	IORR2 [R/W] B,H,W -0000000	IORR3 [R/W] B,H,W -0000000	周辺 DMA 転送要求制御
0000 0494 _H	IORR4 [R/W] B,H,W -0000000	IORR5 [R/W] B,H,W -0000000	IORR6 [R/W] B,H,W -0000000	IORR7 [R/W] B,H,W -0000000	
0000 0498 _H ~ 0000 049C _H	—				予約領域
0000 04A0 _H	PFR0 [R/W] B,H 00000000	PFR1 [R/W] B,H 00000000	PFR2 [R/W] B,H 00000000	PFR3 [R/W] B,H 00000000	ポート機能 レジスタ
0000 04A4 _H	PFR4 [R/W] B,H 00000000	PFR5 [R/W] B,H 00000000	PFR6 [R/W] B,H 00-00-0-	PFR7[R/W] B,H 00000000	
0000 04A8 _H	PFR8 [R/W] B 00000000	—	PFRA [R/W] B 00-00000	—	
0000 04AC _H	PFRC [R/W] B 0000-0-0	—			
0000 04B0 _H	PFRG [R/W] B,H -000-000	PFRH [R/W] B,H 00-0-0-0	PFRI [R/W] B 0000-0-0	—	
0000 04B4 _H	—				拡張ポート 機能レジスタ
0000 04B8 _H	EPFR0 [R/W] B,H --000000	EPFR1 [R/W] B,H --000000	EPFR2 [R/W] B,H --000000	EPFR3 [R/W] B,H --000000	
0000 04BC _H	EPFR4 [R/W] B,H 00000000	EPFR5 [R/W] B,H 00000000	EPFR6 [R/W] B,H 00000000	EPFR7 [R/W] B,H ---00000	
0000 04C0 _H	EPFR8 [R/W] B,H ---00000	EPFR9 [R/W] B,H ---00000	EPFR10 [R/W] B,H ---00000	EPFR11 [R/W] B,H ---00000	
0000 04C4 _H	EPFR12 [R/W] B,H ---00000	EPFR13 [R/W] B,H ---00000	EPFR14 [R/W] B,H ---00000	EPFR15 [R/W] B,H ---00000	
0000 04C8 _H	EPFR16 [R/W] B,H ---00000	EPFR17 [R/W] B,H ---00000	EPFR18 [R/W] B,H 00000000	EPFR19 [R/W] B,H -0000001	
0000 04CC _H	EPFR20 [R/W] B,H --000000	EPFR21 [R/W] B,H --000000	EPFR22 [R/W] B,H --000000	EPFR23 [R/W] B,H --000000	
0000 04D0 _H	EPFR24 [R/W] B,H --000000	EPFR25 [R/W] B,H --000000	EPFR26 [R/W] B,H --000000	EPFR27 [R/W] B,H --000000	
0000 04D4 _H	EPFR28 [R/W] B,H 00000000	EPFR29 [R/W] B,H 00000000	EPFR30 [R/W] B,H ----0000	EPFR31 [R/W] B,H -0000000	
0000 04D8 _H	EPFR32 [R/W] B,H 00000000	EPFR33 [R/W] B,H --000000	EPFR34 [R/W] B -0000000	—	
0000 04DC _H	—				
0000 04E0 _H ~ 0000 04EC _H	—				予約領域

表 A-1 I/O マップ (14 / 19)

アドレス	レジスタ				ブロック
	+ 0	+ 1	+ 2	+ 3	
0000 04F0 _H	ICSEL0[R/W] B,H,W -----000	ICSEL1[R/W] B,H,W -----000	ICSEL2[R/W] B,H,W -----000	ICSEL3[R/W] B,H,W -----000	DMA 起動 要求クリア 選択機能
0000 04F4 _H	ICSEL4[R/W] B,H,W -----00	ICSEL5[R/W] B,H,W -----000	ICSEL6[R/W] B,H,W -----00	ICSEL7[R/W] B,H,W -----00	
0000 04F8 _H	ICSEL8[R/W] B,H,W -----00	ICSEL9[R/W] B,H,W -----000	ICSEL10[R/W] B,H,W ----0000	ICSEL11[R/W] B,H,W ----0000	
0000 04FC _H	ICSEL12[R/W] B,H ----0000	ICSEL13[R/W] B,H -----0-0	ICSEL14[R/W] B -----00	—	
0000 0500 _H ~ 0000 050C _H	—				予約領域
0000 0510 _H	CSELR [R/W] B,H,W 001---00	CMONR [R] B,H,W 001---00	MTMCR [R/W] B,H,W 00001111	STMCR [R/W] B,H,W 0000-111	クロック生成 / メインタイマ / サブタイマ
0000 0514 _H	PLLCR [R/W] B,H --000000 11110000		CSTBR [R/W] B -0000000	—	
0000 0518 _H	WCRD [R] B,H --000000	WCRL [R/W] B,H --000000	WCCR [R,R/W] B 00--0000	—	時計カウンタ
0000 051C _H ~ 0000 05FC _H	—				予約領域

表 A-1 I/O マップ (15 / 19)

アドレス	レジスタ				ブロック
	+ 0	+ 1	+ 2	+ 3	
0000 0600 _H	ASR0 [R/W] W 00000000 00000000 ----- 1111-001				外部バス I/F
0000 0604 _H	ASR1 [R/W] W XXXXXXXX XXXXXXXX ----- XXXX-XX0				
0000 0608 _H	ASR2 [R/W] W XXXXXXXX XXXXXXXX ----- XXXX-XX0				
0000 060C _H	ASR3 [R/W] W XXXXXXXX XXXXXXXX ----- XXXX-XX0				
0000 0610 _H ~ 0000 063C _H	—				
0000 0640 _H	ACR0[R/W] W ----- 00--00-0				
0000 0644 _H	ACR1[R/W] W ----- XX--XX-X				
0000 0648 _H	ACR2[R/W] W ----- XX--XX-X				
0000 064C _H	ACR3[R/W] W ----- XX--XX-X				
0000 0650 _H ~ 0000 067C _H	—				
0000 0680 _H	AWR0 [R/W] W ----1111 00000000 11110000 00000-0-				
0000 0684 _H	AWR1 [R/W] W ---XXXX XXXXXXXXXXX XXXXXXXX XXXXX-X-				
0000 0688 _H	AWR2 [R/W] W ---XXXX XXXXXXXXXXX XXXXXXXX XXXXX-X-				
0000 068C _H	AWR3 [R/W] W ---XXXX XXXXXXXXXXX XXXXXXXX XXXXX-X-				
0000 0690 _H ~ 0000 06BC _H	—				
0000 06C0 _H	DMAR0 [R/W] W ----- 0000				
0000 06C4 _H	DMAR1 [R/W] W ----- 0000				
0000 06C8 _H	DMAR2 [R/W] W ----- 0000				
0000 06CC _H	DMAR3 [R/W] W ----- 0000				
0000 06D0 _H ~ 0000 06FC _H	—				予約領域

表 A-1 I/O マップ (16 / 19)

アドレス	レジスタ				ブロック
	+ 0	+ 1	+ 2	+ 3	
0000 0700 _H ~ 0000 0BFC _H	—				予約領域
0000 0C00 _H	DCCR0 [R/W] W 0----000 --00--00 00000000 0-000000				DMAC
0000 0C04 _H	DCSR0 [R,R/W] H 0-----000		DTCR0 [R/W] H 00000000 00000000		
0000 0C08 _H	DSAR0 [R/W] W XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX				
0000 0C0C _H	DDAR0 [R/W] W XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX				
0000 0C10 _H	DCCR1 [R/W] W 0----000 --00--00 00000000 0-000000				
0000 0C14 _H	DCSR1 [R,R/W] H 0-----000		DTCR1 [R/W] H 00000000 00000000		
0000 0C18 _H	DSAR1 [R/W] W XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX				
0000 0C1C _H	DDAR1 [R/W] W XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX				
0000 0C20 _H	DCCR2 [R/W] W 0----000 --00--00 00000000 0-000000				
0000 0C24 _H	DCSR2 [R,R/W] H 0-----000		DTCR2 [R/W] H 00000000 00000000		
0000 0C28 _H	DSAR2 [R/W] W XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX				
0000 0C2C _H	DDAR2 [R/W] W XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX				
0000 0C30 _H	DCCR3 [R/W] W 0----000 --00--00 00000000 0-000000				
0000 0C34 _H	DCSR3 [R,R/W] H 0-----000		DTCR3 [R/W] H 00000000 00000000		
0000 0C38 _H	DSAR3 [R/W] W XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX				
0000 0C3C _H	DDAR3 [R/W] W XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX				
0000 0C40 _H	DCCR4 [R/W] W 0----000 --00--00 00000000 0-000000				
0000 0C44 _H	DCSR4 [R,R/W] H 0-----000		DTCR4 [R/W] H 00000000 00000000		
0000 0C48 _H	DSAR4 [R/W] W XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX				
0000 0C4C _H	DDAR4 [R/W] W XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX				

表 A-1 I/O マップ (17 / 19)

アドレス	レジスタ				ブロック
	+ 0	+ 1	+ 2	+ 3	
0000 0C50 _H	DCCR5 [R/W] W 0----000 --00--00 00000000 0-000000				DMAC
0000 0C54 _H	DCSR5 [R,R/W] H 0-----000		DTCR5 [R/W] H 00000000 00000000		
0000 0C58 _H	DSAR5 [R/W] W XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX				
0000 0C5C _H	DDAR5 [R/W] W XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX				
0000 0C60 _H	DCCR6 [R/W] W 0----000 --00--00 00000000 0-000000				
0000 0C64 _H	DCSR6 [R,R/W] H 0-----000		DTCR6 [R/W] H 00000000 00000000		
0000 0C68 _H	DSAR6 [R/W] W XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX				
0000 0C6C _H	DDAR6 [R/W] W XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX				
0000 0C70 _H	DCCR7 [R/W] W 0----000 --00--00 00000000 0-000000				
0000 0C74 _H	DCSR7 [R,R/W] H 0-----000		DTCR7 [R/W] H 00000000 00000000		
0000 0C78 _H	DSAR7 [R/W] W XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX				
0000 0C7C _H	DDAR7 [R/W] W XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX				
0000 0C80 _H ~ 0000 0DF0 _H	—				
0000 0DF4 _H	—			DILVR [R,R/W] B ---1111	
0000 0DF8 _H	DMACR [R/W] W 0-----0-----				
0000 0DFC _H ~ 0000 0F3C _H	—				予約領域
0000 0F40 _H	BT4TMR[R]H 00000000 00000000		BT4TMCR[R/W] B,H -0000000 00000000		ベースタイマ ch.4
0000 0F44 _H	—	BT4STC[R/W]B 0000-000	—		
0000 0F48 _H	BT4PCSR/BT4PRLL[R/W]H XXXXXXXX XXXXXXXX		BT4PDUT/BT4PRLH/BT4DTBF[R/W]H XXXXXXXX XXXXXXXX		
0000 0F4C _H	—				

表 A-1 I/O マップ (18 / 19)

アドレス	レジスタ				ブロック
	+ 0	+ 1	+ 2	+ 3	
0000 0F50 _H	BT5TMR[R]H 00000000 00000000		BT5TMCR[R/W] B,H -00000000 00000000		ベースタイム ch.5
0000 0F54 _H	—	BT5STC[R/W]B 0000-000	—		
0000 0F58 _H	BT5PCSR/BT5PRL[R/W]H XXXXXXXXXX XXXXXXXXXX		BT5PDUT/BT5PRLH/BT5DTBF[R/W]H XXXXXXXXXX XXXXXXXXXX		
0000 0F5C _H	—				
0000 0F60 _H	BT6TMR[R]H 00000000 00000000		BT6TMCR[R/W] B,H -00000000 00000000		ベースタイム ch.6
0000 0F64 _H	—	BT6STC[R/W]B 0000-000	—		
0000 0F68 _H	BT6PCSR/BT6PRL[R/W]H XXXXXXXXXX XXXXXXXXXX		BT6PDUT/BT6PRLH/BT6DTBF[R/W]H XXXXXXXXXX XXXXXXXXXX		
0000 0F6C _H	—				
0000 0F70 _H	BT7TMR[R]H 00000000 00000000		BT7TMCR[R/W] B,H -00000000 00000000		ベースタイム ch.7
0000 0F74 _H	—	BT7STC[R/W]B 0000-000	—		
0000 0F78 _H	BT7PCSR/BT7PRL[R/W]H XXXXXXXXXX XXXXXXXXXX		BT7PDUT/BT7PRLH/BT7DTBF[R/W]H XXXXXXXXXX XXXXXXXXXX		
0000 0F7C _H	BTSEL4567 [R/W]B 00000000	—			
0000 0F80 _H	BT8TMR[R]H 00000000 00000000		BT8TMCR[R/W] B,H -00000000 00000000		ベースタイム ch.8
0000 0F84 _H	—	BT8STC[R/W]B 0000-000	—		
0000 0F88 _H	BT8PCSR/BT8PRL[R/W]H XXXXXXXXXX XXXXXXXXXX		BT8PDUT/BT8PRLH/BT8DTBF[R/W]H XXXXXXXXXX XXXXXXXXXX		
0000 0F8C _H	—				
0000 0F90 _H	BT9TMR[R]H 00000000 00000000		BT9TMCR[R/W] B,H -00000000 00000000		ベースタイム ch.9
0000 0F94 _H	—	BT9STC[R/W]B 0000-000	—		
0000 0F98 _H	BT9PCSR/BT9PRL[R/W]H XXXXXXXXXX XXXXXXXXXX		BT9PDUT/BT9PRLH/BT9DTBF[R/W]H XXXXXXXXXX XXXXXXXXXX		
0000 0F9C _H	—				
0000 0FA0 _H	BTATMR[R]H 00000000 00000000		BTATMCR[R/W] B,H -00000000 00000000		ベースタイム ch.10
0000 0FA4 _H	—	BTASTC[R/W]B 0000-000	—		
0000 0FA8 _H	BTAPCSR/BTAPRL[R/W]H XXXXXXXXXX XXXXXXXXXX		BTAPDUT/BTAPRLH/BTADTBF[R/W]H XXXXXXXXXX XXXXXXXXXX		
0000 0FAC _H	—				

MB91635A シリーズ

表 A-1 I/O マップ (19 / 19)

アドレス	レジスタ				ブロック
	+ 0	+ 1	+ 2	+ 3	
0000 0FB0 _H	BTBTMR[R]H 00000000 00000000		BTBTMCR[R/W] B,H -0000000 00000000		ベースタイム ch.11
0000 0FB4 _H	—	BTBSTC[R/W]B 0000-000	—		
0000 0FB8 _H	BTBPCSR/BTBPRLL[R/W]H XXXXXXXX XXXXXXXX		BTBPDUT/BTBPR LH/BTBDTBF[R/W]H XXXXXXXX XXXXXXXX		
0000 0FBC _H	BTSEL89AB [R/W]B 00000000	—			
0000 0FC0 _H	BTCTMR[R]H 00000000 00000000		BTCTMCR[R/W] B,H -0000000 00000000		ベースタイム ch.12
0000 0FC4 _H	—	BTCSTC[R/W]B 0000-000	—		
0000 0FC8 _H	BTCPCSR/BTCPRLL[R/W]H XXXXXXXX XXXXXXXX		BTCPDUT/BTCPR LH/BTCDTBF[R/W]H XXXXXXXX XXXXXXXX		
0000 0FCC _H	—				
0000 0FD0 _H	BTDTMR[R]H 00000000 00000000		BTDTMCR[R/W] B,H -0000000 00000000		ベースタイム ch.13
0000 0FD4 _H	—	BT DSTC[R/W]B 0000-000	—		
0000 0FD8 _H	BTDPCSR/BTDPRLL[R/W]H XXXXXXXX XXXXXXXX		BTDPDUT/BTDPR LH/BTDDTBF[R/W]H XXXXXXXX XXXXXXXX		
0000 0FDC _H	—				
0000 0FE0 _H	BTETMR[R]H 00000000 00000000		BTETMCR[R/W] B,H -0000000 00000000		ベースタイム ch.14
0000 0FE4 _H	—	BTESTC[R/W]B 0000-000	—		
0000 0FE8 _H	BTEPCSR/BTEPRLL[R/W]H XXXXXXXX XXXXXXXX		BTEPDUT/BTEPR LH/BTEDTBF[R/W]H XXXXXXXX XXXXXXXX		
0000 0FEC _H	—				
0000 0FF0 _H	BTFTMR[R]H 00000000 00000000		BTFTMCR[R/W] B,H -0000000 00000000		ベースタイム ch.15
0000 0FF4 _H	—	BT FSTC[R/W]B 0000-000	—		
0000 0FF8 _H	BT FPCSR/BTFPRLL[R/W]H XXXXXXXX XXXXXXXX		BTFPDUT/BTFPR LH/BTFDTBF[R/W]H XXXXXXXX XXXXXXXX		
0000 0FFC _H	BTSELCDEF [R/W] B 00000000	—	BTSSSR [W] H XXXXXXXX XXXXXXXX		
0000 1000 _H ~ 0000 FFFC _H	—				予約領域

* 1 : 9 ビットのうち、下位 8 ビットにアクセスする場合のみ、バイトアクセスが可能です。

* 2 : I²C のレジスタはリセット直後にリードできません。

* 3 : INIT 端子によるリセット直後の値です。

予約領域に対してアクセスしないでください。

付録 B レジスタ一覧

本製品で利用できるレジスタを示します。

本製品のレジスタをレジスタ略称順に示します。

略称	レジスタ名	アドレス	参照先
A			
ACR0	CS バス設定レジスタ 0	0000 0640 _H	13.4.2
ACR1	CS バス設定レジスタ 1	0000 0644 _H	13.4.2
ACR2	CS バス設定レジスタ 2	0000 0648 _H	13.4.2
ACR3	CS バス設定レジスタ 3	0000 064C _H	13.4.2
ADCHE	A/D チャネルイネーブルレジスタ	0000 01AC _H	14.4.6
ADCR0	A/DC コントロールレジスタ 0	0000 0120 _H	25.4.1
ADCR1	A/DC コントロールレジスタ 1	0000 0190 _H	25.4.1
ADCT0	コンペア時間設定レジスタ 0	0000 013A _H	25.4.15
ADCT1	コンペア時間設定レジスタ 1	0000 01AA _H	25.4.15
ADSR0	A/DC ステータスレジスタ 0	0000 0121 _H	25.4.2
ADSR1	A/DC ステータスレジスタ 1	0000 0191 _H	25.4.2
ADSS00	サンプリング時間選択レジスタ 00	0000 0137 _H	25.4.14
ADSS01	サンプリング時間選択レジスタ 01	0000 01A7 _H	25.4.14
ADSS10	サンプリング時間選択レジスタ 10	0000 0136 _H	25.4.14
ADSS11	サンプリング時間選択レジスタ 11	0000 01A6 _H	25.4.14
ADSS20	サンプリング時間選択レジスタ 20	0000 0135 _H	25.4.14
ADSS21	サンプリング時間選択レジスタ 21	0000 01A5 _H	25.4.14
ADSS30	サンプリング時間選択レジスタ 30	0000 0134 _H	25.4.14
ADSS31	サンプリング時間選択レジスタ 31	0000 01A4 _H	25.4.14
ADST00	サンプリング時間設定レジスタ 00	0000 0138 _H	25.4.13
ADST01	サンプリング時間設定レジスタ 01	0000 01A8 _H	25.4.13
ADST10	サンプリング時間設定レジスタ 10	0000 0139 _H	25.4.13
ADST11	サンプリング時間設定レジスタ 11	0000 01A9 _H	25.4.13
ASR0	CS 領域設定レジスタ 0	0000 0600 _H	13.4.1
ASR1	CS 領域設定レジスタ 1	0000 0604 _H	13.4.1
ASR2	CS 領域設定レジスタ 2	0000 0608 _H	13.4.1
ASR3	CS 領域設定レジスタ 3	0000 060C _H	13.4.1
AWR0	CS ウェイトレジスタ 0	0000 0680 _H	13.4.3
AWR1	CS ウェイトレジスタ 1	0000 0684 _H	13.4.3
AWR2	CS ウェイトレジスタ 2	0000 0688 _H	13.4.3
AWR3	CS ウェイトレジスタ 3	0000 068C _H	13.4.3

B

BGR00	ボーレートジェネレータレジスタ 00	0000 0067 _H	27.4.6, 27.13.6
BGR01	ボーレートジェネレータレジスタ 01	0000 006F _H	27.4.6, 27.13.6, 27.21.8
BGR02	ボーレートジェネレータレジスタ 02	0000 007B _H	27.4.6, 27.13.6, 27.21.8
BGR03	ボーレートジェネレータレジスタ 03	0000 0087 _H	27.4.6, 27.13.6, 27.21.8
BGR04	ボーレートジェネレータレジスタ 04	0000 0093 _H	27.4.6, 27.13.6, 27.21.8
BGR05	ボーレートジェネレータレジスタ 05	0000 009F _H	27.4.6, 27.13.6, 27.21.8
BGR06	ボーレートジェネレータレジスタ 06	0000 00AB _H	27.4.6, 27.13.6, 27.21.8
BGR07	ボーレートジェネレータレジスタ 07	0000 00B7 _H	27.4.6, 27.13.6, 27.21.8
BGR08	ボーレートジェネレータレジスタ 08	0000 00D7 _H	27.4.6, 27.13.6, 27.21.8
BGR09	ボーレートジェネレータレジスタ 09	0000 00E7 _H	27.4.6, 27.13.6, 27.21.8
BGR010	ボーレートジェネレータレジスタ 010	0000 00F7 _H	27.4.6, 27.13.6, 27.21.8
BGR011	ボーレートジェネレータレジスタ 011	0000 0107 _H	27.4.6, 27.13.6, 27.21.8
BGR10	ボーレートジェネレータレジスタ 10	0000 0066 _H	27.4.6, 27.13.6
BGR11	ボーレートジェネレータレジスタ 11	0000 006E _H	27.4.6, 27.13.6, 27.21.8
BGR12	ボーレートジェネレータレジスタ 12	0000 007A _H	27.4.6, 27.13.6, 27.21.8
BGR13	ボーレートジェネレータレジスタ 13	0000 0086 _H	27.4.6, 27.13.6, 27.21.8
BGR14	ボーレートジェネレータレジスタ 14	0000 0092 _H	27.4.6, 27.13.6, 27.21.8
BGR15	ボーレートジェネレータレジスタ 15	0000 009E _H	27.4.6, 27.13.6, 27.21.8
BGR16	ボーレートジェネレータレジスタ 16	0000 00AA _H	27.4.6, 27.13.6, 27.21.8
BGR17	ボーレートジェネレータレジスタ 17	0000 00B6 _H	27.4.6, 27.13.6, 27.21.8
BGR18	ボーレートジェネレータレジスタ 18	0000 00D6 _H	27.4.6, 27.13.6, 27.21.8
BGR19	ボーレートジェネレータレジスタ 19	0000 00E6 _H	27.4.6, 27.13.6, 27.21.8
BGR110	ボーレートジェネレータレジスタ 110	0000 00F6 _H	27.4.6, 27.13.6, 27.21.8
BGR111	ボーレートジェネレータレジスタ 111	0000 0106 _H	27.4.6, 27.13.6, 27.21.8
BT0DTBF	ベースタイム 0 データバッファレジスタ	0000 014A _H	23.8.4.2
BT0PCSR	ベースタイム 0 周期設定レジスタ	0000 0148 _H	23.8.1.2, 23.8.3.2
BT0PDUT	ベースタイム 0 デューティ設定レジスタ	0000 014A _H	23.8.1.3
BT0PRLH	ベースタイム 0 H 幅設定リロードレジスタ	0000 014A _H	23.8.2.3
BT0PRL	ベースタイム 0 L 幅設定リロードレジスタ	0000 0148 _H	23.8.2.2
BT0STC	ベースタイム 0 ステータス制御レジスタ	0000 0145 _H	23.8.1.1, 23.8.2.1, 23.8.3.1, 23.8.4.1
BT0TMCR	ベースタイム 0 タイマ制御レジスタ	0000 0142 _H	23.8.1.1, 23.8.2.1, 23.8.3.1, 23.8.4.1
BT0TMR	ベースタイム 0 タイマレジスタ	0000 0140 _H	23.8.1.4, 23.8.2.4, 23.8.3.3
BT1DTBF	ベースタイム 1 データバッファレジスタ	0000 015A _H	23.8.4.2
BT1PCSR	ベースタイム 1 周期設定レジスタ	0000 0158 _H	23.8.1.2, 23.8.3.2
BT1PDUT	ベースタイム 1 デューティ設定レジスタ	0000 015A _H	23.8.1.3
BT1PRLH	ベースタイム 1 H 幅設定リロードレジスタ	0000 015A _H	23.8.2.3
BT1PRL	ベースタイム 1 L 幅設定リロードレジスタ	0000 0158 _H	23.8.2.2
BT1STC	ベースタイム 1 ステータス制御レジスタ	0000 0155 _H	23.8.1.1, 23.8.2.1, 23.8.3.1, 23.8.4.1
BT1TMCR	ベースタイム 1 タイマ制御レジスタ	0000 0152 _H	23.8.1.1, 23.8.2.1, 23.8.3.1, 23.8.4.1
BT1TMR	ベースタイム 1 タイマレジスタ	0000 0150 _H	23.8.1.4, 23.8.2.4, 23.8.3.3

BT2DTBF	ベースタイム 2 データバッファレジスタ	0000 016A _H	23.8.4.2
BT2PCSR	ベースタイム 2 周期設定レジスタ	0000 0168 _H	23.8.1.2, 23.8.3.2
BT2PDUT	ベースタイム 2 デューティ設定レジスタ	0000 016A _H	23.8.1.3
BT2PRLH	ベースタイム 2 H 幅設定リロードレジスタ	0000 016A _H	23.8.2.3
BT2PRLL	ベースタイム 2 L 幅設定リロードレジスタ	0000 0168 _H	23.8.2.2
BT2STC	ベースタイム 2 ステータス制御レジスタ	0000 0165 _H	23.8.1.1, 23.8.2.1, 23.8.3.1, 23.8.4.1
BT2TMCR	ベースタイム 2 タイマ制御レジスタ 0	0000 0162 _H	23.8.1.1, 23.8.2.1, 23.8.3.1, 23.8.4.1
BT2TMR	ベースタイム 2 タイマレジスタ	0000 0160 _H	23.8.1.4, 23.8.2.4, 23.8.3.3
BT3DTBF	ベースタイム 3 データバッファレジスタ	0000 017A _H	23.8.4.2
BT3PCSR	ベースタイム 3 周期設定レジスタ	0000 0178 _H	23.8.1.2, 23.8.3.2
BT3PDUT	ベースタイム 3 デューティ設定レジスタ	0000 017A _H	23.8.1.3
BT3PRLH	ベースタイム 3 H 幅設定リロードレジスタ	0000 017A _H	23.8.2.3
BT3PRLL	ベースタイム 3 L 幅設定リロードレジスタ	0000 0178 _H	23.8.2.2
BT3STC	ベースタイム 3 ステータス制御レジスタ	0000 0175 _H	23.8.1.1, 23.8.2.1, 23.8.3.1, 23.8.4.1
BT3TMCR	ベースタイム 3 タイマ制御レジスタ	0000 0172 _H	23.8.1.1, 23.8.2.1, 23.8.3.1, 23.8.4.1
BT3TMR	ベースタイム 3 タイマレジスタ	0000 0170 _H	23.8.1.4, 23.8.2.4, 23.8.3.3
BT4DTBF	ベースタイム 4 データバッファレジスタ	0000 0F4A _H	23.8.4.2
BT4PCSR	ベースタイム 4 周期設定レジスタ	0000 0F48 _H	23.8.1.2, 23.8.3.2
BT4PDUT	ベースタイム 4 デューティ設定レジスタ	0000 0F4A _H	23.8.1.3
BT4PRLH	ベースタイム 4 H 幅設定リロードレジスタ	0000 0F4A _H	23.8.2.3
BT4PRLL	ベースタイム 4 L 幅設定リロードレジスタ	0000 0F48 _H	23.8.2.2
BT4STC	ベースタイム 4 ステータス制御レジスタ	0000 0F45 _H	23.8.1.1, 23.8.2.1, 23.8.3.1, 23.8.4.1
BT4TMCR	ベースタイム 4 タイマ制御レジスタ	0000 0F42 _H	23.8.1.1, 23.8.2.1, 23.8.3.1, 23.8.4.1
BT4TMR	ベースタイム 4 タイマレジスタ	0000 0F40 _H	23.8.1.4, 23.8.2.4, 23.8.3.3
BT5DTBF	ベースタイム 5 データバッファレジスタ	0000 0F5A _H	23.8.4.2
BT5PCSR	ベースタイム 5 周期設定レジスタ	0000 0F58 _H	23.8.1.2, 23.8.3.2
BT5PDUT	ベースタイム 5 デューティ設定レジスタ	0000 0F5A _H	23.8.1.3
BT5PRLH	ベースタイム 5 H 幅設定リロードレジスタ	0000 0F5A _H	23.8.2.3
BT5PRLL	ベースタイム 5 L 幅設定リロードレジスタ	0000 0F58 _H	23.8.2.2
BT5STC	ベースタイム 5 ステータス制御レジスタ	0000 0F55 _H	23.8.1.1, 23.8.2.1, 23.8.3.1, 23.8.4.1
BT5TMCR	ベースタイム 5 タイマ制御レジスタ	0000 0F52 _H	23.8.1.1, 23.8.2.1, 23.8.3.1, 23.8.4.1
BT5TMR	ベースタイム 5 タイマレジスタ	0000 0F50 _H	23.8.1.4, 23.8.2.4, 23.8.3.3
BT6DTBF	ベースタイム 6 データバッファレジスタ	0000 0F6A _H	23.8.4.2
BT6PCSR	ベースタイム 6 周期設定レジスタ	0000 0F68 _H	23.8.1.2, 23.8.3.2
BT6PDUT	ベースタイム 6 デューティ設定レジスタ	0000 0F6A _H	23.8.1.3
BT6PRLH	ベースタイム 6 H 幅設定リロードレジスタ	0000 0F6A _H	23.8.2.3
BT6PRLL	ベースタイム 6 L 幅設定リロードレジスタ	0000 0F68 _H	23.8.2.2
BT6STC	ベースタイム 6 ステータス制御レジスタ	0000 0F65 _H	23.8.1.1, 23.8.2.1, 23.8.3.1, 23.8.4.1

MB91635A シリーズ

付録 B レジスター一覧

BT6TMCR	ベースタイマ 6 タイマ制御レジスタ	0000 0F62 _H	23.8.1.1, 23.8.2.1, 23.8.3.1, 23.8.4.1
BT6TMR	ベースタイマ 6 タイマレジスタ	0000 0F60 _H	23.8.1.4, 23.8.2.4, 23.8.3.3
BT7DTBF	ベースタイマ 7 データバッファレジスタ	0000 0F7A _H	23.8.4.2
BT7PCSR	ベースタイマ 7 周期設定レジスタ	0000 0F78 _H	23.8.1.2, 23.8.3.2
BT7PDUT	ベースタイマ 7 デューティ設定レジスタ	0000 0F7A _H	23.8.1.3
BT7PRLH	ベースタイマ 7 H 幅設定リロードレジスタ	0000 0F7A _H	23.8.2.3
BT7PRLH	ベースタイマ 7 L 幅設定リロードレジスタ	0000 0F78 _H	23.8.2.2
BT7STC	ベースタイマ 7 ステータス制御レジスタ	0000 0F75 _H	23.8.1.1, 23.8.2.1, 23.8.3.1, 23.8.4.1
BT7TMCR	ベースタイマ 7 タイマ制御レジスタ	0000 0F72 _H	23.8.1.1, 23.8.2.1, 23.8.3.1, 23.8.4.1
BT7TMR	ベースタイマ 7 タイマレジスタ	0000 0F70 _H	23.8.1.4, 23.8.2.4, 23.8.3.3
BT8DTBF	ベースタイマ 8 データバッファレジスタ	0000 0F8A _H	23.8.4.2
BT8PCSR	ベースタイマ 8 周期設定レジスタ	0000 0F88 _H	23.8.1.2, 23.8.3.2
BT8PDUT	ベースタイマ 8 デューティ設定レジスタ	0000 0F8A _H	23.8.1.3
BT8PRLH	ベースタイマ 8 H 幅設定リロードレジスタ	0000 0F8A _H	23.8.2.3
BT8PRLH	ベースタイマ 8 L 幅設定リロードレジスタ	0000 0F88 _H	23.8.2.2
BT8STC	ベースタイマ 8 ステータス制御レジスタ	0000 0F85 _H	23.8.1.1, 23.8.2.1, 23.8.3.1, 23.8.4.1
BT8TMCR	ベースタイマ 8 タイマ制御レジスタ	0000 0F82 _H	23.8.1.1, 23.8.2.1, 23.8.3.1, 23.8.4.1
BT8TMR	ベースタイマ 8 タイマレジスタ	0000 0F80 _H	23.8.1.4, 23.8.2.4, 23.8.3.3
BT9DTBF	ベースタイマ 9 データバッファレジスタ	0000 0F9A _H	23.8.4.2
BT9PCSR	ベースタイマ 9 周期設定レジスタ	0000 0F98 _H	23.8.1.2, 23.8.3.2
BT9PDUT	ベースタイマ 9 デューティ設定レジスタ	0000 0F9A _H	23.8.1.3
BT9PRLH	ベースタイマ 9 H 幅設定リロードレジスタ	0000 0F9A _H	23.8.2.3
BT9PRLH	ベースタイマ 9 L 幅設定リロードレジスタ	0000 0F98 _H	23.8.2.2
BT9STC	ベースタイマ 9 ステータス制御レジスタ	0000 0F95 _H	23.8.1.1, 23.8.2.1, 23.8.3.1, 23.8.4.1
BT9TMCR	ベースタイマ 9 タイマ制御レジスタ	0000 0F92 _H	23.8.1.1, 23.8.2.1, 23.8.3.1, 23.8.4.1
BT9TMR	ベースタイマ 9 タイマレジスタ	0000 0F90 _H	23.8.1.4, 23.8.2.4, 23.8.3.3
BTADTBF	ベースタイマ A データバッファレジスタ	0000 0FAA _H	23.8.4.2
BTAPCSR	ベースタイマ A 周期設定レジスタ	0000 0FA8 _H	23.8.1.2, 23.8.3.2
BTAPDUT	ベースタイマ A デューティ設定レジスタ	0000 0FAA _H	23.8.1.3
BTAPRLH	ベースタイマ A H 幅設定リロードレジスタ	0000 0FAA _H	23.8.2.3
BTAPRLH	ベースタイマ A L 幅設定リロードレジスタ	0000 0FA8 _H	23.8.2.2
BTASTC	ベースタイマ A ステータス制御レジスタ	0000 0FA5 _H	23.8.1.1, 23.8.2.1, 23.8.3.1, 23.8.4.1
BTATMCR	ベースタイマ A タイマ制御レジスタ	0000 0FA2 _H	23.8.1.1, 23.8.2.1, 23.8.3.1, 23.8.4.1
BTATMR	ベースタイマ A タイマレジスタ	0000 0FA0 _H	23.8.1.4, 23.8.2.4, 23.8.3.3
BTBDTBF	ベースタイマ B データバッファレジスタ	0000 0FBA _H	23.8.4.2
BTBPCSR	ベースタイマ B 周期設定レジスタ	0000 0FB8 _H	23.8.1.2, 23.8.3.2
BTBPDUT	ベースタイマ B デューティ設定レジスタ	0000 0FBA _H	23.8.1.3
BTBPRLH	ベースタイマ B H 幅設定リロードレジスタ	0000 0FBA _H	23.8.2.3

BTBPRL	ベースタイム B L 幅設定リロードレジスタ	0000 0FB8 _H	23.8.2.2
BTBSTC	ベースタイム B ステータス制御レジスタ	0000 0FB5 _H	23.8.1.1, 23.8.2.1, 23.8.3.1, 23.8.4.1
BTBTMCR	ベースタイム B タイマ制御レジスタ	0000 0FB2 _H	23.8.1.1, 23.8.2.1, 23.8.3.1, 23.8.4.1
BTBTMR	ベースタイム B タイマレジスタ	0000 0FB0 _H	23.8.1.4, 23.8.2.4, 23.8.3.3
BTCDTBF	ベースタイム C データバッファレジスタ	0000 0FCA _H	23.8.4.2
BTCPCSR	ベースタイム C 周期設定レジスタ	0000 0FC8 _H	23.8.1.2, 23.8.3.2
BTCPDUT	ベースタイム C デューティ設定レジスタ	0000 0FCA _H	23.8.1.3
BTCPRHLH	ベースタイム C H 幅設定リロードレジスタ	0000 0FCA _H	23.8.2.3
BTCPRLL	ベースタイム C L 幅設定リロードレジスタ	0000 0FC8 _H	23.8.2.2
BTCSTC	ベースタイム C ステータス制御レジスタ	0000 0FC5 _H	23.8.1.1, 23.8.2.1, 23.8.3.1, 23.8.4.1
BTCTMCR	ベースタイム C タイマ制御レジスタ	0000 0FC2 _H	23.8.1.1, 23.8.2.1, 23.8.3.1, 23.8.4.1
BTCTMR	ベースタイム C タイマレジスタ	0000 0FC0 _H	23.8.1.4, 23.8.2.4, 23.8.3.3
BTDDTBF	ベースタイム D データバッファレジスタ	0000 0FDA _H	23.8.4.2
BTDPCSR	ベースタイム D 周期設定レジスタ	0000 0FD8 _H	23.8.1.2, 23.8.3.2
BTDPDUT	ベースタイム D デューティ設定レジスタ	0000 0FDA _H	23.8.1.3
BTDPRHLH	ベースタイム D H 幅設定リロードレジスタ	0000 0FDA _H	23.8.2.3
BTDPRLL	ベースタイム D L 幅設定リロードレジスタ	0000 0FD8 _H	23.8.2.2
BT DSTC	ベースタイム D ステータス制御レジスタ	0000 0FD5 _H	23.8.1.1, 23.8.2.1, 23.8.3.1, 23.8.4.1
BTDTMCR	ベースタイム D タイマ制御レジスタ	0000 0FD2 _H	23.8.1.1, 23.8.2.1, 23.8.3.1, 23.8.4.1
BTDTMR	ベースタイム D タイマレジスタ	0000 0FD0 _H	23.8.1.4, 23.8.2.4, 23.8.3.3
BTEDTBF	ベースタイム E データバッファレジスタ	0000 0FEA _H	23.8.4.2
BTEPCSR	ベースタイム E 周期設定レジスタ	0000 0FE8 _H	23.8.1.2, 23.8.3.2
BTEPDUT	ベースタイム E デューティ設定レジスタ	0000 0FEA _H	23.8.1.3
BTEPRHLH	ベースタイム E H 幅設定リロードレジスタ	0000 0FEA _H	23.8.2.3
BTEPRLL	ベースタイム E L 幅設定リロードレジスタ	0000 0FE8 _H	23.8.2.2
BTESTC	ベースタイム E ステータス制御レジスタ	0000 0FE5 _H	23.8.1.1, 23.8.2.1, 23.8.3.1, 23.8.4.1
BTETMCR	ベースタイム E タイマ制御レジスタ	0000 0FE2 _H	23.8.1.1, 23.8.2.1, 23.8.3.1, 23.8.4.1
BTETMR	ベースタイム E タイマレジスタ	0000 0FE0 _H	23.8.1.4, 23.8.2.4, 23.8.3.3
BTFDTBF	ベースタイム F データバッファレジスタ	0000 0FFA _H	23.8.4.2
BTFCPSR	ベースタイム F 周期設定レジスタ	0000 0FF8 _H	23.8.1.2, 23.8.3.2
BTFPDUT	ベースタイム F デューティ設定レジスタ	0000 0FFA _H	23.8.1.3
BTFPRHLH	ベースタイム F H 幅設定リロードレジスタ	0000 0FFA _H	23.8.2.3
BTFPRLL	ベースタイム F L 幅設定リロードレジスタ	0000 0FF8 _H	23.8.2.2
BTFSTC	ベースタイム F ステータス制御レジスタ	0000 0FF5 _H	23.8.1.1, 23.8.2.1, 23.8.3.1, 23.8.4.1
BTFTMCR	ベースタイム F タイマ制御レジスタ	0000 0FF2 _H	23.8.1.1, 23.8.2.1, 23.8.3.1, 23.8.4.1
BTFTMR	ベースタイム F タイマレジスタ	0000 0FF0 _H	23.8.1.4, 23.8.2.4, 23.8.3.3
BTSEL0123	入出力選択レジスタ 0123	0000 017C _H	22.4.1
BTSEL4567	入出力選択レジスタ 4567	0000 0F7C _H	22.4.2

MB91635A シリーズ

BTSEL89AB	入出力選択レジスタ 89AB	0000 0FBC _H	22.4.3
BTSELCDEF	入出力選択レジスタ CDEF	0000 0FFC _H	22.4.4
BTSSSR	同時ソフト起動レジスタ	0000 0FFE _H	22.4.5

C

CCR0	カウンタコントロールレジスタ 0	0000 01C4 _H	24.4.3
CCR1	カウンタコントロールレジスタ 1	0000 01D4 _H	24.4.3
CCR2	カウンタコントロールレジスタ 2	0000 01E4 _H	24.4.3
CCR3	カウンタコントロールレジスタ 3	0000 01F4 _H	24.4.3
CMONR	クロックソース監視レジスタ	0000 0511 _H	4.4.2
CMPCR0	A/D 比較コントロールレジスタ 0	0000 0133 _H	25.4.12
CMPCR1	A/D 比較コントロールレジスタ 1	0000 01A3 _H	25.4.12
CPMD0	A/D 比較値設定レジスタ 0	0000 0132 _H	25.4.11
CPMD1	A/D 比較値設定レジスタ 1	0000 01A2 _H	25.4.11
CPCLR0	コンペアクリアレジスタ 0	0000 0200 _H	18.4.2
CPCLR1	コンペアクリアレジスタ 1	0000 0260 _H	18.4.2
CSELR	クロックソース設定レジスタ	0000 0510 _H	4.4.1
CSR0	カウンタステータスレジスタ 0	0000 01C7 _H	24.4.4
CSR1	カウンタステータスレジスタ 1	0000 01D7 _H	24.4.4
CSR2	カウンタステータスレジスタ 2	0000 01E7 _H	24.4.4
CSR3	カウンタステータスレジスタ 3	0000 01F7 _H	24.4.4
CSTBR	発振安定待ち設定レジスタ	0000 0516 _H	4.4.3

D

DACR0	D/A コントロールレジスタ 0	0000 0180 _H	26.4.2
DACR1	D/A コントロールレジスタ 1	0000 0182 _H	26.4.2
DACR2	D/A コントロールレジスタ 2	0000 0184 _H	26.4.2
DADR0	D/A データレジスタ 0	0000 0181 _H	26.4.1
DADR1	D/A データレジスタ 1	0000 0183 _H	26.4.1
DADR2	D/A データレジスタ 2	0000 0185 _H	26.4.1
DCCR0	DMA チャネルコントロールレジスタ 0	0000 0C00 _H	28.4.5
DCCR1	DMA チャネルコントロールレジスタ 1	0000 0C10 _H	28.4.5
DCCR2	DMA チャネルコントロールレジスタ 2	0000 0C20 _H	28.4.5
DCCR3	DMA チャネルコントロールレジスタ 3	0000 0C30 _H	28.4.5
DCCR4	DMA チャネルコントロールレジスタ 4	0000 0C40 _H	28.4.5
DCCR5	DMA チャネルコントロールレジスタ 5	0000 0C50 _H	28.4.5
DCCR6	DMA チャネルコントロールレジスタ 6	0000 0C60 _H	28.4.5
DCCR7	DMA チャネルコントロールレジスタ 7	0000 0C70 _H	28.4.5
DCSR0	DMA チャネルステータスレジスタ 0	0000 0C04 _H	28.4.6
DCSR1	DMA チャネルステータスレジスタ 1	0000 0C14 _H	28.4.6
DCSR2	DMA チャネルステータスレジスタ 2	0000 0C24 _H	28.4.6
DCSR3	DMA チャネルステータスレジスタ 3	0000 0C34 _H	28.4.6
DCSR4	DMA チャネルステータスレジスタ 4	0000 0C44 _H	28.4.6

DCSR5	DMA チャンネルステータスレジスタ 5	0000 0C54 _H	28.4.6
DCSR6	DMA チャンネルステータスレジスタ 6	0000 0C64 _H	28.4.6
DCSR7	DMA チャンネルステータスレジスタ 7	0000 0C74 _H	28.4.6
DDAR0	DMA 転送先アドレスレジスタ 0	0000 0C0C _H	28.4.3
DDAR1	DMA 転送先アドレスレジスタ 1	0000 0C1C _H	28.4.3
DDAR2	DMA 転送先アドレスレジスタ 2	0000 0C2C _H	28.4.3
DDAR3	DMA 転送先アドレスレジスタ 3	0000 0C3C _H	28.4.3
DDAR4	DMA 転送先アドレスレジスタ 4	0000 0C4C _H	28.4.3
DDAR5	DMA 転送先アドレスレジスタ 5	0000 0C5C _H	28.4.3
DDAR6	DMA 転送先アドレスレジスタ 6	0000 0C6C _H	28.4.3
DDAR7	DMA 転送先アドレスレジスタ 7	0000 0C7C _H	28.4.3
DDR0	ポートデータ方向レジスタ 0	0000 0400 _H	14.4.1
DDR1	ポートデータ方向レジスタ 1	0000 0401 _H	14.4.1
DDR2	ポートデータ方向レジスタ 2	0000 0402 _H	14.4.1
DDR3	ポートデータ方向レジスタ 3	0000 0403 _H	14.4.1
DDR4	ポートデータ方向レジスタ 4	0000 0404 _H	14.4.1
DDR5	ポートデータ方向レジスタ 5	0000 0405 _H	14.4.1
DDR6	ポートデータ方向レジスタ 6	0000 0406 _H	14.4.1
DDR7	ポートデータ方向レジスタ 7	0000 0407 _H	14.4.1
DDR8	ポートデータ方向レジスタ 8	0000 0408 _H	14.4.1
DDR9	ポートデータ方向レジスタ 9	0000 0409 _H	14.4.1
DDRA	ポートデータ方向レジスタ A	0000 040A _H	14.4.1
DDRB	ポートデータ方向レジスタ B	0000 040B _H	14.4.1
DDRC	ポートデータ方向レジスタ C	0000 040C _H	14.4.1
DDRG	ポートデータ方向レジスタ G	0000 0410 _H	14.4.1
DDRH	ポートデータ方向レジスタ H	0000 0411 _H	14.4.1
DDRI	ポートデータ方向レジスタ I	0000 0412 _H	14.4.1
DDRK	ポートデータ方向レジスタ K	0000 0414 _H	14.4.1
DICR	遅延割込み制御レジスタ	0000 0044 _H	12.3.1
DILVR	DMA 転送抑止割込みレベルレジスタ	0000 0DF7 _H	28.4.7
DIVR0	分周設定レジスタ 0	0000 0488 _H	5.4.1
DIVR1	分周設定レジスタ 1	0000 0489 _H	5.4.2
DIVR2	分周設定レジスタ 2	0000 048A _H	5.4.3
DMACR	DMA コントロールレジスタ	0000 0DF8 _H	28.4.1
DMAR0	外部 DMA 転送設定レジスタ 0	0000 06C0 _H	13.4.4
DMAR1	外部 DMA 転送設定レジスタ 1	0000 06C4 _H	13.4.4
DMAR2	外部 DMA 転送設定レジスタ 2	0000 06C8 _H	13.4.4
DMAR3	外部 DMA 転送設定レジスタ 3	0000 06CC _H	13.4.4
DSAR0	DMA 転送元アドレスレジスタ 0	0000 0C08 _H	28.4.2
DSAR1	DMA 転送元アドレスレジスタ 1	0000 0C18 _H	28.4.2
DSAR2	DMA 転送元アドレスレジスタ 2	0000 0C28 _H	28.4.2
DSAR3	DMA 転送元アドレスレジスタ 3	0000 0C38 _H	28.4.2
DSAR4	DMA 転送元アドレスレジスタ 4	0000 0C48 _H	28.4.2
DSAR5	DMA 転送元アドレスレジスタ 5	0000 0C58 _H	28.4.2

MB91635A シリーズ

DSAR6	DMA 転送元アドレスレジスタ 6	0000 0C68 _H	28.4.2
DSAR7	DMA 転送元アドレスレジスタ 7	0000 0C78 _H	28.4.2
DTCR0	DMA 転送回数レジスタ 0	0000 0C06 _H	28.4.4
DTCR1	DMA 転送回数レジスタ 1	0000 0C16 _H	28.4.4
DTCR2	DMA 転送回数レジスタ 2	0000 0C26 _H	28.4.4
DTCR3	DMA 転送回数レジスタ 3	0000 0C36 _H	28.4.4
DTCR4	DMA 転送回数レジスタ 4	0000 0C46 _H	28.4.4
DTCR5	DMA 転送回数レジスタ 5	0000 0C56 _H	28.4.4
DTCR6	DMA 転送回数レジスタ 6	0000 0C66 _H	28.4.4
DTCR7	DMA 転送回数レジスタ 7	0000 0C76 _H	28.4.4

E

EIRR0	外部割込み要因レジスタ 0	0000 0040 _H	15.4.2
EIRR1	外部割込み要因レジスタ 1	0000 0110 _H	15.4.2
EIRR2	外部割込み要因レジスタ 2	0000 0114 _H	15.4.2
EIRR3	外部割込み要因レジスタ 3	0000 0118 _H	15.4.2
ELVR0	外部割込み要求レベル設定レジスタ 0	0000 0042 _H	15.4.1
ELVR1	外部割込み要求レベル設定レジスタ 1	0000 0112 _H	15.4.1
ELVR2	外部割込み要求レベル設定レジスタ 2	0000 0116 _H	15.4.1
ELVR3	外部割込み要求レベル設定レジスタ 3	0000 011A _H	15.4.1
ENIR0	割込み許可レジスタ 0	0000 0041 _H	15.4.3
ENIR1	割込み許可レジスタ 1	0000 0111 _H	15.4.3
ENIR2	割込み許可レジスタ 2	0000 0115 _H	15.4.3
ENIR3	割込み許可レジスタ 3	0000 0119 _H	15.4.3
EPFR0	拡張ポート機能レジスタ 0	0000 04B8 _H	14.4.3
EPFR1	拡張ポート機能レジスタ 1	0000 04B9 _H	14.4.3
EPFR2	拡張ポート機能レジスタ 2	0000 04BA _H	14.4.3
EPFR3	拡張ポート機能レジスタ 3	0000 04BB _H	14.4.3
EPFR4	拡張ポート機能レジスタ 4	0000 04BC _H	14.4.3
EPFR5	拡張ポート機能レジスタ 5	0000 04BD _H	14.4.3
EPFR6	拡張ポート機能レジスタ 6	0000 04BE _H	14.4.3
EPFR7	拡張ポート機能レジスタ 7	0000 04BF _H	14.4.3
EPFR8	拡張ポート機能レジスタ 8	0000 04C0 _H	14.4.3
EPFR9	拡張ポート機能レジスタ 9	0000 04C1 _H	14.4.3
EPFR10	拡張ポート機能レジスタ 10	0000 04C2 _H	14.4.3
EPFR11	拡張ポート機能レジスタ 11	0000 04C3 _H	14.4.3
EPFR12	拡張ポート機能レジスタ 12	0000 04C4 _H	14.4.3
EPFR13	拡張ポート機能レジスタ 13	0000 04C5 _H	14.4.3
EPFR14	拡張ポート機能レジスタ 14	0000 04C6 _H	14.4.3
EPFR15	拡張ポート機能レジスタ 15	0000 04C7 _H	14.4.3
EPFR16	拡張ポート機能レジスタ 16	0000 04C8 _H	14.4.3
EPFR17	拡張ポート機能レジスタ 17	0000 04C9 _H	14.4.3
EPFR18	拡張ポート機能レジスタ 18	0000 04CA _H	14.4.3

EPFR19	拡張ポート機能レジスタ 19	0000 04CB _H	14.4.3
EPFR20	拡張ポート機能レジスタ 20	0000 04CC _H	14.4.3
EPFR21	拡張ポート機能レジスタ 21	0000 04CD _H	14.4.3
EPFR22	拡張ポート機能レジスタ 22	0000 04CE _H	14.4.3
EPFR23	拡張ポート機能レジスタ 23	0000 04CF _H	14.4.3
EPFR24	拡張ポート機能レジスタ 24	0000 04D0 _H	14.4.3
EPFR25	拡張ポート機能レジスタ 25	0000 04D1 _H	14.4.3
EPFR26	拡張ポート機能レジスタ 26	0000 04D2 _H	14.4.3
EPFR27	拡張ポート機能レジスタ 27	0000 04D3 _H	14.4.3
EPFR28	拡張ポート機能レジスタ 28	0000 04D4 _H	14.4.3
EPFR29	拡張ポート機能レジスタ 29	0000 04D5 _H	14.4.3
EPFR30	拡張ポート機能レジスタ 30	0000 04D6 _H	14.4.3
EPFR31	拡張ポート機能レジスタ 31	0000 04D7 _H	14.4.3
EPFR32	拡張ポート機能レジスタ 32	0000 04D8 _H	14.4.3
EPFR33	拡張ポート機能レジスタ 33	0000 04D9 _H	14.4.3
EPFR34	拡張ポート機能レジスタ 34	0000 04DA _H	14.4.3
ESCR0	拡張通信制御レジスタ 0	0000 0063 _H	27.4.4 , 27.13.4
ESCR1	拡張通信制御レジスタ 1	0000 006B _H	27.4.4 , 27.13.4
ESCR2	拡張通信制御レジスタ 2	0000 0077 _H	27.4.4 , 27.13.4
ESCR3	拡張通信制御レジスタ 3	0000 0083 _H	27.4.4 , 27.13.4
ESCR4	拡張通信制御レジスタ 4	0000 008F _H	27.4.4 , 27.13.4
ESCR5	拡張通信制御レジスタ 5	0000 009B _H	27.4.4 , 27.13.4
ESCR6	拡張通信制御レジスタ 6	0000 00A7 _H	27.4.4 , 27.13.4
ESCR7	拡張通信制御レジスタ 7	0000 00B3 _H	27.4.4 , 27.13.4
ESCR8	拡張通信制御レジスタ 8	0000 00D3 _H	27.4.4 , 27.13.4
ESCR9	拡張通信制御レジスタ 9	0000 00E3 _H	27.4.4 , 27.13.4
ESCR10	拡張通信制御レジスタ 10	0000 00F3 _H	27.4.4 , 27.13.4
ESCR11	拡張通信制御レジスタ 11	0000 0103 _H	27.4.4 , 27.13.4

F

FBYTE18	FIFO バイトレジスタ 18	0000 00DF _H	27.4.9 , 27.13.9 , 27.21.11
FBYTE19	FIFO バイトレジスタ 19	0000 00EF _H	27.4.9 , 27.13.9 , 27.21.11
FBYTE110	FIFO バイトレジスタ 110	0000 00FF _H	27.4.9 , 27.13.9 , 27.21.11
FBYTE111	FIFO バイトレジスタ 111	0000 010F _H	27.4.9 , 27.13.9 , 27.21.11
FBYTE28	FIFO バイトレジスタ 28	0000 00DE _H	27.4.9 , 27.13.9 , 27.21.11
FBYTE29	FIFO バイトレジスタ 29	0000 00EE _H	27.4.9 , 27.13.9 , 27.21.11
FBYTE210	FIFO バイトレジスタ 210	0000 00FE _H	27.4.9 , 27.13.9 , 27.21.11
FBYTE211	FIFO バイトレジスタ 211	0000 010E _H	27.4.9 , 27.13.9 , 27.21.11
FCR08	FIFO 制御レジスタ 08	0000 00DD _H	27.4.8 , 27.13.8 , 27.21.10
FCR09	FIFO 制御レジスタ 09	0000 00ED _H	27.4.8 , 27.13.8 , 27.21.10
FCR010	FIFO 制御レジスタ 010	0000 00FD _H	27.4.8 , 27.13.8 , 27.21.10
FCR011	FIFO 制御レジスタ 011	0000 010D _H	27.4.8 , 27.13.8 , 27.21.10
FCR18	FIFO 制御レジスタ 18	0000 00DC _H	27.4.7 , 27.13.7 , 27.21.9

MB91635A シリーズ

付録 B レジスタ一覧

FCR19	FIFO 制御レジスタ 19	0000 00EC _H	27.4.7 , 27.13.7 , 27.21.9
FCR110	FIFO 制御レジスタ 110	0000 00FC _H	27.4.7 , 27.13.7 , 27.21.9
FCR111	FIFO 制御レジスタ 111	0000 010C _H	27.4.7 , 27.13.7 , 27.21.9
FCTL	FLASH 制御レジスタ	0000 0320 _H	30.2.1, 31.3.2
FRTSEL	フリーランタイム選択レジスタ	0000 025C _H	18.4.1
FSTR	FLASH ステータスレジスタ	0000 0323 _H	31.3.1

I

IBCR1	I ² C バス制御レジスタ 1	0000 0068 _H	27.21.1
IBCR2	I ² C バス制御レジスタ 2	0000 0074 _H	27.21.1
IBCR3	I ² C バス制御レジスタ 3	0000 0080 _H	27.21.1
IBCR4	I ² C バス制御レジスタ 4	0000 008C _H	27.21.1
IBCR5	I ² C バス制御レジスタ 5	0000 0098 _H	27.21.1
IBCR6	I ² C バス制御レジスタ 6	0000 00A4 _H	27.21.1
IBCR7	I ² C バス制御レジスタ 7	0000 00B0 _H	27.21.1
IBCR8	I ² C バス制御レジスタ 8	0000 00D0 _H	27.21.1
IBCR9	I ² C バス制御レジスタ 9	0000 00E0 _H	27.21.1
IBCR10	I ² C バス制御レジスタ 10	0000 00F0 _H	27.21.1
IBCR11	I ² C バス制御レジスタ 11	0000 0100 _H	27.21.1
IBSR1	I ² C バスステータスレジスタ 1	0000 006B _H	27.21.3
IBSR2	I ² C バスステータスレジスタ 2	0000 0077 _H	27.21.3
IBSR3	I ² C バスステータスレジスタ 3	0000 0083 _H	27.21.3
IBSR4	I ² C バスステータスレジスタ 4	0000 008F _H	27.21.3
IBSR5	I ² C バスステータスレジスタ 5	0000 009B _H	27.21.3
IBSR6	I ² C バスステータスレジスタ 6	0000 00A7 _H	27.21.3
IBSR7	I ² C バスステータスレジスタ 7	0000 00B3 _H	27.21.3
IBSR8	I ² C バスステータスレジスタ 8	0000 00D3 _H	27.21.3
IBSR9	I ² C バスステータスレジスタ 9	0000 00E3 _H	27.21.3
IBSR10	I ² C バスステータスレジスタ 10	0000 00F3 _H	27.21.3
IBSR11	I ² C バスステータスレジスタ 11	0000 0103 _H	27.21.3
ICR00	割込みコントロールレジスタ 00	0000 0440 _H	10.3.1
ICR01	割込みコントロールレジスタ 01	0000 0441 _H	10.3.1
ICR02	割込みコントロールレジスタ 02	0000 0442 _H	10.3.1
ICR03	割込みコントロールレジスタ 03	0000 0443 _H	10.3.1
ICR04	割込みコントロールレジスタ 04	0000 0444 _H	10.3.1
ICR05	割込みコントロールレジスタ 05	0000 0445 _H	10.3.1
ICR06	割込みコントロールレジスタ 06	0000 0446 _H	10.3.1
ICR07	割込みコントロールレジスタ 07	0000 0447 _H	10.3.1
ICR08	割込みコントロールレジスタ 08	0000 0448 _H	10.3.1
ICR09	割込みコントロールレジスタ 09	0000 0449 _H	10.3.1
ICR10	割込みコントロールレジスタ 10	0000 044A _H	10.3.1
ICR11	割込みコントロールレジスタ 11	0000 044B _H	10.3.1

ICR12	割込みコントロールレジスタ 12	0000 044C _H	10.3.1
ICR13	割込みコントロールレジスタ 13	0000 044D _H	10.3.1
ICR14	割込みコントロールレジスタ 14	0000 044E _H	10.3.1
ICR15	割込みコントロールレジスタ 15	0000 044F _H	10.3.1
ICR16	割込みコントロールレジスタ 16	0000 0450 _H	10.3.1
ICR17	割込みコントロールレジスタ 17	0000 0451 _H	10.3.1
ICR18	割込みコントロールレジスタ 18	0000 0452 _H	10.3.1
ICR19	割込みコントロールレジスタ 19	0000 0453 _H	10.3.1
ICR20	割込みコントロールレジスタ 20	0000 0454 _H	10.3.1
ICR21	割込みコントロールレジスタ 21	0000 0455 _H	10.3.1
ICR22	割込みコントロールレジスタ 22	0000 0456 _H	10.3.1
ICR23	割込みコントロールレジスタ 23	0000 0457 _H	10.3.1
ICR24	割込みコントロールレジスタ 24	0000 0458 _H	10.3.1
ICR25	割込みコントロールレジスタ 25	0000 0459 _H	10.3.1
ICR26	割込みコントロールレジスタ 26	0000 045A _H	10.3.1
ICR27	割込みコントロールレジスタ 27	0000 045B _H	10.3.1
ICR28	割込みコントロールレジスタ 28	0000 045C _H	10.3.1
ICR29	割込みコントロールレジスタ 29	0000 045D _H	10.3.1
ICR30	割込みコントロールレジスタ 30	0000 045E _H	10.3.1
ICR31	割込みコントロールレジスタ 31	0000 045F _H	10.3.1
ICR32	割込みコントロールレジスタ 32	0000 0460 _H	10.3.1
ICR33	割込みコントロールレジスタ 33	0000 0461 _H	10.3.1
ICR34	割込みコントロールレジスタ 34	0000 0462 _H	10.3.1
ICR35	割込みコントロールレジスタ 35	0000 0463 _H	10.3.1
ICR36	割込みコントロールレジスタ 36	0000 0464 _H	10.3.1
ICR37	割込みコントロールレジスタ 37	0000 0465 _H	10.3.1
ICR38	割込みコントロールレジスタ 38	0000 0466 _H	10.3.1
ICR39	割込みコントロールレジスタ 39	0000 0467 _H	10.3.1
ICR40	割込みコントロールレジスタ 40	0000 0468 _H	10.3.1
ICR41	割込みコントロールレジスタ 41	0000 0469 _H	10.3.1
ICR42	割込みコントロールレジスタ 42	0000 046A _H	10.3.1
ICR43	割込みコントロールレジスタ 43	0000 046B _H	10.3.1
ICR44	割込みコントロールレジスタ 44	0000 046C _H	10.3.1
ICR45	割込みコントロールレジスタ 45	0000 046D _H	10.3.1
ICR46	割込みコントロールレジスタ 46	0000 046E _H	10.3.1
ICR47	割込みコントロールレジスタ 47	0000 046F _H	10.3.1
ICS01	インプットキャプチャ状態制御レジスタ 01	0000 021D _H	19.4.1
ICS23	インプットキャプチャ状態制御レジスタ 23	0000 021F _H	19.4.1
ICS45	インプットキャプチャ状態制御レジスタ 45	0000 0231 _H	19.4.1
ICS67	インプットキャプチャ状態制御レジスタ 67	0000 0233 _H	19.4.1
ICSEL0	周辺機能による DMA 転送要求のクリア選択レジスタ 0	0000 04F0 _H	29.3.2
ICSEL1	周辺機能による DMA 転送要求のクリア選択レジスタ 1	0000 04F1 _H	29.3.3
ICSEL2	周辺機能による DMA 転送要求のクリア選択レジスタ 2	0000 04F2 _H	29.3.4
ICSEL3	周辺機能による DMA 転送要求のクリア選択レジスタ 3	0000 04F3 _H	29.3.5

ICSEL4	周辺機能による DMA 転送要求のクリア選択レジスタ 4	0000 04F4 _H	29.3.6
ICSEL5	周辺機能による DMA 転送要求のクリア選択レジスタ 5	0000 04F5 _H	29.3.7
ICSEL6	周辺機能による DMA 転送要求のクリア選択レジスタ 6	0000 04F6 _H	29.3.8
ICSEL7	周辺機能による DMA 転送要求のクリア選択レジスタ 7	0000 04F7 _H	29.3.9
ICSEL8	周辺機能による DMA 転送要求のクリア選択レジスタ 8	0000 04F8 _H	29.3.10
ICSEL9	周辺機能による DMA 転送要求のクリア選択レジスタ 9	0000 04F9 _H	29.3.11
ICSEL10	周辺機能による DMA 転送要求のクリア選択レジスタ 10	0000 04FA _H	29.3.12
ICSEL11	周辺機能による DMA 転送要求のクリア選択レジスタ 11	0000 04FB _H	29.3.13
ICSEL12	周辺機能による DMA 転送要求のクリア選択レジスタ 12	0000 04FC _H	29.3.14
ICSEL13	周辺機能による DMA 転送要求のクリア選択レジスタ 13	0000 04FD _H	29.3.15
ICSEL14	周辺機能による DMA 転送要求のクリア選択レジスタ 14	0000 04FE _H	29.3.16
IORR0	IO 転送要求設定レジスタ 0	0000 0490 _H	29.3.1
IORR1	IO 転送要求設定レジスタ 1	0000 0491 _H	29.3.1
IORR2	IO 転送要求設定レジスタ 2	0000 0492 _H	29.3.1
IORR3	IO 転送要求設定レジスタ 3	0000 0493 _H	29.3.1
IORR4	IO 転送要求設定レジスタ 4	0000 0494 _H	29.3.1
IORR5	IO 転送要求設定レジスタ 5	0000 0495 _H	29.3.1
IORR6	IO 転送要求設定レジスタ 6	0000 0496 _H	29.3.1
IORR7	IO 転送要求設定レジスタ 7	0000 0497 _H	29.3.1
IPCP0	インプットキャプチャデータレジスタ 0	0000 020C _H	19.4.2
IPCP1	インプットキャプチャデータレジスタ 1	0000 0210 _H	19.4.2
IPCP2	インプットキャプチャデータレジスタ 2	0000 0214 _H	19.4.2
IPCP3	インプットキャプチャデータレジスタ 3	0000 0218 _H	19.4.2
IPCP4	インプットキャプチャデータレジスタ 4	0000 0220 _H	19.4.2
IPCP5	インプットキャプチャデータレジスタ 5	0000 0224 _H	19.4.2
IPCP6	インプットキャプチャデータレジスタ 6	0000 0228 _H	19.4.2
IPCP7	インプットキャプチャデータレジスタ 7	0000 022C _H	19.4.2
IRPR0H	割込み要求一括読出しレジスタ 0 上位	0000 01B0 _H	11.3.1
IRPR1H	割込み要求一括読出しレジスタ 1 上位	0000 01B2 _H	11.3.2
IRPR2H	割込み要求一括読出しレジスタ 2 上位	0000 01B4 _H	11.3.3
IRPR3H	割込み要求一括読出しレジスタ 3 上位	0000 01B6 _H	11.3.5
IRPR4H	割込み要求一括読出しレジスタ 4 上位	0000 01B8 _H	11.3.7
IRPR5H	割込み要求一括読出しレジスタ 5 上位	0000 01BA _H	11.3.9
IRPR6H	割込み要求一括読出しレジスタ 6 上位	0000 01BC _H	11.3.11
IRPR7H	割込み要求一括読出しレジスタ 7 上位	0000 01BE _H	11.3.13
IRPR1L	割込み要求一括読出しレジスタ 1 下位	0000 01B3 _H	11.3.2
IRPR2L	割込み要求一括読出しレジスタ 2 下位	0000 01B5 _H	11.3.4
IRPR3L	割込み要求一括読出しレジスタ 3 下位	0000 01B7 _H	11.3.6
IRPR4L	割込み要求一括読出しレジスタ 4 下位	0000 01B9 _H	11.3.8
IRPR5L	割込み要求一括読出しレジスタ 5 下位	0000 01BB _H	11.3.10
IRPR6L	割込み要求一括読出しレジスタ 6 下位	0000 01BD _H	11.3.12
IRPR7L	割込み要求一括読出しレジスタ 7 下位	0000 01BF _H	11.3.14
ISBA1	7 ビットスレーブアドレスレジスタ 1	0000 0071 _H	27.21.7
ISBA2	7 ビットスレーブアドレスレジスタ 2	0000 007D _H	27.21.7

ISBA3	7 ビットスレーブアドレスレジスタ 3	0000 0089 _H	27.21.7
ISBA4	7 ビットスレーブアドレスレジスタ 4	0000 0095 _H	27.21.7
ISBA5	7 ビットスレーブアドレスレジスタ 5	0000 00A1 _H	27.21.7
ISBA6	7 ビットスレーブアドレスレジスタ 6	0000 00AD _H	27.21.7
ISBA7	7 ビットスレーブアドレスレジスタ 7	0000 00B9 _H	27.21.7
ISBA8	7 ビットスレーブアドレスレジスタ 8	0000 00D9 _H	27.21.7
ISBA9	7 ビットスレーブアドレスレジスタ 9	0000 00E9 _H	27.21.7
ISBA10	7 ビットスレーブアドレスレジスタ 10	0000 00F9 _H	27.21.7
ISBA11	7 ビットスレーブアドレスレジスタ 11	0000 0109 _H	27.21.7
ISMK1	7 ビットスレーブアドレスマスクレジスタ 1	0000 0070 _H	27.21.6
ISMK2	7 ビットスレーブアドレスマスクレジスタ 2	0000 007C _H	27.21.6
ISMK3	7 ビットスレーブアドレスマスクレジスタ 3	0000 0088 _H	27.21.6
ISMK4	7 ビットスレーブアドレスマスクレジスタ 4	0000 0094 _H	27.21.6
ISMK5	7 ビットスレーブアドレスマスクレジスタ 5	0000 00A0 _H	27.21.6
ISMK6	7 ビットスレーブアドレスマスクレジスタ 6	0000 00AC _H	27.21.6
ISMK7	7 ビットスレーブアドレスマスクレジスタ 7	0000 00B8 _H	27.21.6
ISMK8	7 ビットスレーブアドレスマスクレジスタ 8	0000 00D8 _H	27.21.6
ISMK9	7 ビットスレーブアドレスマスクレジスタ 9	0000 00E8 _H	27.21.6
ISMK10	7 ビットスレーブアドレスマスクレジスタ 10	0000 00F8 _H	27.21.6
ISMK11	7 ビットスレーブアドレスマスクレジスタ 11	0000 0108 _H	27.21.6

M

MTMCR	メインタイマ制御レジスタ	0000 0512 _H	6.3.1
-------	--------------	------------------------	-------

O

OCCP0	アウトプットコンペアレジスタ 0	0000 0234 _H	20.4.1
OCCP1	アウトプットコンペアレジスタ 1	0000 0238 _H	20.4.1
OCCP2	アウトプットコンペアレジスタ 2	0000 023C _H	20.4.1
OCCP3	アウトプットコンペアレジスタ 3	0000 0240 _H	20.4.1
OCCP4	アウトプットコンペアレジスタ 4	0000 0248 _H	20.4.1
OCCP5	アウトプットコンペアレジスタ 5	0000 024C _H	20.4.1
OCCP6	アウトプットコンペアレジスタ 6	0000 0250 _H	20.4.1
OCCP7	アウトプットコンペアレジスタ 7	0000 0254 _H	20.4.1
OCSH1	コンペア制御レジスタ上位 1	0000 0244 _H	20.4.2
OCSH3	コンペア制御レジスタ上位 3	0000 0246 _H	20.4.2
OCSH5	コンペア制御レジスタ上位 5	0000 0258 _H	20.4.2
OCSH7	コンペア制御レジスタ上位 7	0000 025A _H	20.4.2
OCSL0	コンペア制御レジスタ下位 0	0000 0245 _H	20.4.3
OCSL2	コンペア制御レジスタ下位 2	0000 0247 _H	20.4.3
OCSL4	コンペア制御レジスタ下位 4	0000 0259 _H	20.4.3
OCSL6	コンペア制御レジスタ下位 6	0000 025B _H	20.4.3

P

PCCR0	優先変換コントロールレジスタ 0	0000 012C _H	25.4.7
PCCR1	優先変換コントロールレジスタ 1	0000 019C _H	25.4.7
PCFD0	優先変換 FIFO データレジスタ 0	0000 012E _H	25.4.9
PCFD1	優先変換 FIFO データレジスタ 1	0000 019E _H	25.4.9
PCIS0	優先変換入力選択レジスタ 0	0000 0130 _H	25.4.10
PCIS1	優先変換入力選択レジスタ 1	0000 01A0 _H	25.4.10
PCR0	プルアップ制御レジスタ 0	0000 0420 _H	14.4.5
PCR1	プルアップ制御レジスタ 1	0000 0421 _H	14.4.5
PCR5	プルアップ制御レジスタ 5	0000 0425 _H	14.4.5
PCR6	プルアップ制御レジスタ 6	0000 0426 _H	14.4.5
PCR7	プルアップ制御レジスタ 7	0000 0427 _H	14.4.5
PCR8	プルアップ制御レジスタ 8	0000 0428 _H	14.4.5
PCR9	プルアップ制御レジスタ 9	0000 0429 _H	14.4.5
PCRA	プルアップ制御レジスタ A	0000 042A _H	14.4.5
PCRB	プルアップ制御レジスタ B	0000 042B _H	14.4.5
PCRC	プルアップ制御レジスタ C	0000 042C _H	14.4.5
PCRK	プルアップ制御レジスタ K	0000 0434 _H	14.4.5
PDR0	ポートデータレジスタ 0	0000 0000 _H	14.4.4
PDR1	ポートデータレジスタ 1	0000 0001 _H	14.4.4
PDR2	ポートデータレジスタ 2	0000 0002 _H	14.4.4
PDR3	ポートデータレジスタ 3	0000 0003 _H	14.4.4
PDR4	ポートデータレジスタ 4	0000 0004 _H	14.4.4
PDR5	ポートデータレジスタ 5	0000 0005 _H	14.4.4
PDR6	ポートデータレジスタ 6	0000 0006 _H	14.4.4
PDR7	ポートデータレジスタ 7	0000 0007 _H	14.4.4
PDR8	ポートデータレジスタ 8	0000 0008 _H	14.4.4
PDR9	ポートデータレジスタ 9	0000 0009 _H	14.4.4
PDRA	ポートデータレジスタ A	0000 000A _H	14.4.4
PDRB	ポートデータレジスタ B	0000 000B _H	14.4.4
PDRC	ポートデータレジスタ C	0000 000C _H	14.4.4
PDRD	ポートデータレジスタ D	0000 000D _H	14.4.4
PDRE	ポートデータレジスタ E	0000 000E _H	14.4.4
PDRF	ポートデータレジスタ F	0000 000F _H	14.4.4
PDRG	ポートデータレジスタ G	0000 0010 _H	14.4.4
PDRH	ポートデータレジスタ H	0000 0011 _H	14.4.4
PDRI	ポートデータレジスタ I	0000 0012 _H	14.4.4
PDRJ	ポートデータレジスタ J	0000 0013 _H	14.4.4
PDRK	ポートデータレジスタ K	0000 0014 _H	14.4.4
PFNS0	優先変換 FIFO 段数設定レジスタ 0	0000 012D _H	25.4.8
PFNS1	優先変換 FIFO 段数設定レジスタ 1	0000 019D _H	25.4.8
PFR0	ポート機能レジスタ 0	0000 04A0 _H	14.4.2
PFR1	ポート機能レジスタ 1	0000 04A1 _H	14.4.2

PFR2	ポート機能レジスタ 2	0000 04A2 _H	14.4.2
PFR3	ポート機能レジスタ 3	0000 04A3 _H	14.4.2
PFR4	ポート機能レジスタ 4	0000 04A4 _H	14.4.2
PFR5	ポート機能レジスタ 5	0000 04A5 _H	14.4.2
PFR6	ポート機能レジスタ 6	0000 04A6 _H	14.4.2
PFR7	ポート機能レジスタ 7	0000 04A7 _H	14.4.2
PFR8	ポート機能レジスタ 8	0000 04A8 _H	14.4.2
PFRA	ポート機能レジスタ A	0000 04AA _H	14.4.2
PFRC	ポート機能レジスタ C	0000 04AC _H	14.4.2
PFRD	ポート機能レジスタ D	0000 04AD _H	14.4.2
PFRE	ポート機能レジスタ E	0000 04AE _H	14.4.2
PFRG	ポート機能レジスタ G	0000 04B0 _H	14.4.2
PFRH	ポート機能レジスタ H	0000 04B1 _H	14.4.2
PFRI	ポート機能レジスタ I	0000 04B2 _H	14.4.2
PLLCR	PLL 設定レジスタ	0000 0514 _H	4.4.4

R

RCRH0	リロードコンペアレジスタ上位 0	0000 01C0 _H	24.4.1
RCRH1	リロードコンペアレジスタ上位 1	0000 01D0 _H	24.4.1
RCRH2	リロードコンペアレジスタ上位 2	0000 01E0 _H	24.4.1
RCRH3	リロードコンペアレジスタ上位 3	0000 01F0 _H	24.4.1
RCRL0	リロードコンペアレジスタ下位 0	0000 01C1 _H	24.4.1
RCRL1	リロードコンペアレジスタ下位 1	0000 01D1 _H	24.4.1
RCRL2	リロードコンペアレジスタ下位 2	0000 01E1 _H	24.4.1
RCRL3	リロードコンペアレジスタ下位 3	0000 01F1 _H	24.4.1
RDR0	受信データレジスタ 0	0000 0064 _H	27.4.5 , 27.13.5
RDR1	受信データレジスタ 1	0000 006C _H	27.4.5 , 27.13.5 , 27.21.5
RDR2	受信データレジスタ 2	0000 0078 _H	27.4.5 , 27.13.5 , 27.21.5
RDR3	受信データレジスタ 3	0000 0084 _H	27.4.5 , 27.13.5 , 27.21.5
RDR4	受信データレジスタ 4	0000 0090 _H	27.4.5 , 27.13.5 , 27.21.5
RDR5	受信データレジスタ 5	0000 009C _H	27.4.5 , 27.13.5 , 27.21.5
RDR6	受信データレジスタ 6	0000 00A8 _H	27.4.5 , 27.13.5 , 27.21.5
RDR7	受信データレジスタ 7	0000 00B4 _H	27.4.5 , 27.13.5 , 27.21.5
RDR8	受信データレジスタ 8	0000 00D4 _H	27.4.5 , 27.13.5 , 27.21.5
RDR9	受信データレジスタ 9	0000 00E4 _H	27.4.5 , 27.13.5 , 27.21.5
RDR10	受信データレジスタ 10	0000 00F4 _H	27.4.5 , 27.13.5 , 27.21.5
RDR11	受信データレジスタ 11	0000 0104 _H	27.4.5 , 27.13.5 , 27.21.5
RDRM0	受信データミラーレジスタ 0	0000 00C0 _H	27.13.11
RDRM1	受信データミラーレジスタ 1	0000 00C1 _H	27.13.11
RDRM2	受信データミラーレジスタ 2	0000 00C2 _H	27.13.11
RDRM3	受信データミラーレジスタ 3	0000 00C3 _H	27.13.11
RDRM4	受信データミラーレジスタ 4	0000 00C4 _H	27.13.11
RDRM5	受信データミラーレジスタ 5	0000 00C5 _H	27.13.11

MB91635A シリーズ

付録 B レジスター一覧

RDRM6	受信データミラーレジスタ 6	0000 00C6 _H	27.13.11
RDRM7	受信データミラーレジスタ 7	0000 00C7 _H	27.13.11
RSTCR	リセット制御レジスタ	0000 0481 _H	9.4.2
RSTRR	リセット要因レジスタ	0000 0480 _H	9.4.1
S			
SCCR0	スキャン変換コントロールレジスタ 0	0000 0124 _H	25.4.3
SCCR1	スキャン変換コントロールレジスタ 1	0000 0194 _H	25.4.3
SCFD0	スキャン変換 FIFO データレジスタ 0	0000 0126 _H	25.4.5
SCFD1	スキャン変換 FIFO データレジスタ 1	0000 0196 _H	25.4.5
SCIS00	スキャン変換入力選択レジスタ 00	0000 012B _H	25.4.6
SCIS01	スキャン変換入力選択レジスタ 01	0000 019B _H	25.4.6
SCIS10	スキャン変換入力選択レジスタ 10	0000 012A _H	25.4.6
SCIS11	スキャン変換入力選択レジスタ 11	0000 019A _H	25.4.6
SCIS20	スキャン変換入力選択レジスタ 20	0000 0129 _H	25.4.6
SCIS21	スキャン変換入力選択レジスタ 21	0000 0199 _H	25.4.6
SCIS30	スキャン変換入力選択レジスタ 30	0000 0128 _H	25.4.6
SCIS31	スキャン変換入力選択レジスタ 31	0000 0198 _H	25.4.6
SCR0	シリアル制御レジスタ 0	0000 0060 _H	27.4.1 , 27.13.1
SCR1	シリアル制御レジスタ 1	0000 0068 _H	27.4.1 , 27.13.1
SCR2	シリアル制御レジスタ 2	0000 0074 _H	27.4.1 , 27.13.1
SCR3	シリアル制御レジスタ 3	0000 0080 _H	27.4.1 , 27.13.1
SCR4	シリアル制御レジスタ 4	0000 008C _H	27.4.1 , 27.13.1
SCR5	シリアル制御レジスタ 5	0000 0098 _H	27.4.1 , 27.13.1
SCR6	シリアル制御レジスタ 6	0000 00A4 _H	27.4.1 , 27.13.1
SCR7	シリアル制御レジスタ 7	0000 00B0 _H	27.4.1 , 27.13.1
SCR8	シリアル制御レジスタ 8	0000 00D0 _H	27.4.1 , 27.13.1
SCR9	シリアル制御レジスタ 9	0000 00E0 _H	27.4.1 , 27.13.1
SCR10	シリアル制御レジスタ 10	0000 00F0 _H	27.4.1 , 27.13.1
SCR11	シリアル制御レジスタ 11	0000 0100 _H	27.4.1 , 27.13.1
SFNS0	スキャン変換 FIFO 段数設定レジスタ 0	0000 0125 _H	25.4.4
SFNS1	スキャン変換 FIFO 段数設定レジスタ 1	0000 0195 _H	25.4.4
SLPRR	スリープレート設定レジスタ	0000 0483 _H	8.3.2
SMR0	シリアルモードレジスタ 0	0000 0061 _H	27.4.2 , 27.13.2
SMR1	シリアルモードレジスタ 1	0000 0069 _H	27.4.2 , 27.13.2 , 27.21.2
SMR2	シリアルモードレジスタ 2	0000 0075 _H	27.4.2 , 27.13.2 , 27.21.2
SMR3	シリアルモードレジスタ 3	0000 0081 _H	27.4.2 , 27.13.2 , 27.21.2
SMR4	シリアルモードレジスタ 4	0000 008D _H	27.4.2 , 27.13.2 , 27.21.2
SMR5	シリアルモードレジスタ 5	0000 0099 _H	27.4.2 , 27.13.2 , 27.21.2
SMR6	シリアルモードレジスタ 6	0000 00A5 _H	27.4.2 , 27.13.2 , 27.21.2
SMR7	シリアルモードレジスタ 7	0000 00B1 _H	27.4.2 , 27.13.2 , 27.21.2
SMR8	シリアルモードレジスタ 8	0000 00D1 _H	27.4.2 , 27.13.2 , 27.21.2
SMR9	シリアルモードレジスタ 9	0000 00E1 _H	27.4.2 , 27.13.2 , 27.21.2

SMR10	シリアルモードレジスタ 10	0000 00F1 _H	27.4.2 , 27.13.2 , 27.21.2
SMR11	シリアルモードレジスタ 11	0000 0101 _H	27.4.2 , 27.13.2 , 27.21.2
SSEL0123	シリアルモード選択レジスタ 0123	0000 00C8 _H	27.13.10
SSEL4567	シリアルモード選択レジスタ 4567	0000 00CA _H	27.13.10
SSR0	シリアルステータスレジスタ 0	0000 0062 _H	27.4.3 , 27.13.3
SSR1	シリアルステータスレジスタ 1	0000 006A _H	27.4.3 , 27.13.3 , 27.21.4
SSR2	シリアルステータスレジスタ 2	0000 0076 _H	27.4.3 , 27.13.3 , 27.21.4
SSR3	シリアルステータスレジスタ 3	0000 0082 _H	27.4.3 , 27.13.3 , 27.21.4
SSR4	シリアルステータスレジスタ 4	0000 008E _H	27.4.3 , 27.13.3 , 27.21.4
SSR5	シリアルステータスレジスタ 5	0000 009A _H	27.4.3 , 27.13.3 , 27.21.4
SSR6	シリアルステータスレジスタ 6	0000 00A6 _H	27.4.3 , 27.13.3 , 27.21.4
SSR7	シリアルステータスレジスタ 7	0000 00B2 _H	27.4.3 , 27.13.3 , 27.21.4
SSR8	シリアルステータスレジスタ 8	0000 00D2 _H	27.4.3 , 27.13.3 , 27.21.4
SSR9	シリアルステータスレジスタ 9	0000 00E2 _H	27.4.3 , 27.13.3 , 27.21.4
SSR10	シリアルステータスレジスタ 10	0000 00F2 _H	27.4.3 , 27.13.3 , 27.21.4
SSR11	シリアルステータスレジスタ 11	0000 0102 _H	27.4.3 , 27.13.3 , 27.21.4
STBCR	スタンバイ制御レジスタ	0000 0482 _H	8.3.1
STMCR	サブタイマ制御レジスタ	0000 0513 _H	7.3.1

T

TCCSH0	タイマ状態制御レジスタ上位 0	0000 0208 _H	18.4.4
TCCSH1	タイマ状態制御レジスタ上位 1	0000 0268 _H	18.4.4
TCCSL0	タイマ状態制御レジスタ下位 0	0000 0209 _H	18.4.4
TCCSL1	タイマ状態制御レジスタ下位 1	0000 0269 _H	18.4.4
TCDT0	タイマデータレジスタ 0	0000 0204 _H	18.4.3
TCDT1	タイマデータレジスタ 1	0000 0264 _H	18.4.3
TDR0	送信データレジスタ 0	0000 0064 _H	27.4.5 , 27.13.5
TDR1	送信データレジスタ 1	0000 006C _H	27.4.5 , 27.13.5 , 27.21.5
TDR2	送信データレジスタ 2	0000 0078 _H	27.4.5 , 27.13.5 , 27.21.5
TDR3	送信データレジスタ 3	0000 0084 _H	27.4.5 , 27.13.5 , 27.21.5
TDR4	送信データレジスタ 4	0000 0090 _H	27.4.5 , 27.13.5 , 27.21.5
TDR5	送信データレジスタ 5	0000 009C _H	27.4.5 , 27.13.5 , 27.21.5
TDR6	送信データレジスタ 6	0000 00A8 _H	27.4.5 , 27.13.5 , 27.21.5
TDR7	送信データレジスタ 7	0000 00B4 _H	27.4.5 , 27.13.5 , 27.21.5
TDR8	送信データレジスタ 8	0000 00D4 _H	27.4.5 , 27.13.5 , 27.21.5
TDR9	送信データレジスタ 9	0000 00E4 _H	27.4.5 , 27.13.5 , 27.21.5
TDR10	送信データレジスタ 10	0000 00F4 _H	27.4.5 , 27.13.5 , 27.21.5
TDR11	送信データレジスタ 11	0000 0104 _H	27.4.5 , 27.13.5 , 27.21.5
TDRM0	送信データミラーレジスタ 0	0000 00C0 _H	27.13.11
TDRM1	送信データミラーレジスタ 1	0000 00C1 _H	27.13.11
TDRM2	送信データミラーレジスタ 2	0000 00C2 _H	27.13.11
TDRM3	送信データミラーレジスタ 3	0000 00C3 _H	27.13.11
TDRM4	送信データミラーレジスタ 4	0000 00C4 _H	27.13.11

MB91635A シリーズ

TDRM5	送信データミラーレジスタ 5	0000 00C5 _H	27.13.11
TDRM6	送信データミラーレジスタ 6	0000 00C6 _H	27.13.11
TDRM7	送信データミラーレジスタ 7	0000 00C7 _H	27.13.11
TMCSR0	コントロールステータスレジスタ 0	0000 004E _H	21.4.1
TMCSR1	コントロールステータスレジスタ 1	0000 0056 _H	21.4.1
TMCSR2	コントロールステータスレジスタ 2	0000 005E _H	21.4.1
TMR0	16 ビットタイマレジスタ 0	0000 004A _H	21.4.3
TMR1	16 ビットタイマレジスタ 1	0000 0052 _H	21.4.3
TMR2	16 ビットタイマレジスタ 2	0000 005A _H	21.4.3
TMRLRA0	16 ビットタイマリロードレジスタ A0	0000 0048 _H	21.4.2
TMRLRA1	16 ビットタイマリロードレジスタ A1	0000 0050 _H	21.4.2
TMRLRA2	16 ビットタイマリロードレジスタ A2	0000 0058 _H	21.4.2

U

UDCRH0	アップダウンカウントレジスタ上位 0	0000 01C2 _H	24.4.2
UDCRH1	アップダウンカウントレジスタ上位 1	0000 01D2 _H	24.4.2
UDCRH2	アップダウンカウントレジスタ上位 2	0000 01E2 _H	24.4.2
UDCRH3	アップダウンカウントレジスタ上位 3	0000 01F2 _H	24.4.2
UDCRL0	アップダウンカウントレジスタ下位 0	0000 01C3 _H	24.4.2
UDCRL1	アップダウンカウントレジスタ下位 1	0000 01D3 _H	24.4.2
UDCRL2	アップダウンカウントレジスタ下位 2	0000 01E3 _H	24.4.2
UDCRL3	アップダウンカウントレジスタ下位 3	0000 01F3 _H	24.4.2

W

WCCR	時計カウンタ制御レジスタ	0000 051A _H	17.3.2
WCRD	時計カウンタリードレジスタ	0000 0518 _H	17.3.3
WCRL	時計カウンタリロードレジスタ	0000 0519 _H	17.3.1
WDTCPR0	ウォッチドッグタイマ 0 クリアレジスタ	0000 003D _H	16.3.2
WDTCR0	ウォッチドッグタイマ 0 制御レジスタ	0000 003C _H	16.3.1
WRAR00	ワイルドレジスタアドレスレジスタ 00	0000 0380 _H	32.3.1
WRAR01	ワイルドレジスタアドレスレジスタ 01	0000 0388 _H	32.3.1
WRAR02	ワイルドレジスタアドレスレジスタ 02	0000 0390 _H	32.3.1
WRAR03	ワイルドレジスタアドレスレジスタ 03	0000 0398 _H	32.3.1
WRAR04	ワイルドレジスタアドレスレジスタ 04	0000 03A0 _H	32.3.1
WRAR05	ワイルドレジスタアドレスレジスタ 05	0000 03A8 _H	32.3.1
WRAR06	ワイルドレジスタアドレスレジスタ 06	0000 03B0 _H	32.3.1
WRAR07	ワイルドレジスタアドレスレジスタ 07	0000 03B8 _H	32.3.1
WRAR08	ワイルドレジスタアドレスレジスタ 08	0000 03C0 _H	32.3.1
WRAR09	ワイルドレジスタアドレスレジスタ 09	0000 03C8 _H	32.3.1
WRAR10	ワイルドレジスタアドレスレジスタ 10	0000 03D0 _H	32.3.1
WRAR11	ワイルドレジスタアドレスレジスタ 11	0000 03D8 _H	32.3.1
WRAR12	ワイルドレジスタアドレスレジスタ 12	0000 03E0 _H	32.3.1
WRAR13	ワイルドレジスタアドレスレジスタ 13	0000 03E8 _H	32.3.1

WRAR14	ワイルドレジスタアドレスレジスタ 14	0000 03F0 _H	32.3.1
WRAR15	ワイルドレジスタアドレスレジスタ 15	0000 03F8 _H	32.3.1
WRDR00	ワイルドレジスタデータレジスタ 00	0000 0384 _H	32.3.2
WRDR01	ワイルドレジスタデータレジスタ 01	0000 038C _H	32.3.2
WRDR02	ワイルドレジスタデータレジスタ 02	0000 0394 _H	32.3.2
WRDR03	ワイルドレジスタデータレジスタ 03	0000 039C _H	32.3.2
WRDR04	ワイルドレジスタデータレジスタ 04	0000 03A4 _H	32.3.2
WRDR05	ワイルドレジスタデータレジスタ 05	0000 03AC _H	32.3.2
WRDR06	ワイルドレジスタデータレジスタ 06	0000 03B4 _H	32.3.2
WRDR07	ワイルドレジスタデータレジスタ 07	0000 03BC _H	32.3.2
WRDR08	ワイルドレジスタデータレジスタ 08	0000 03C4 _H	32.3.2
WRDR09	ワイルドレジスタデータレジスタ 09	0000 03CC _H	32.3.2
WRDR10	ワイルドレジスタデータレジスタ 10	0000 03D4 _H	32.3.2
WRDR11	ワイルドレジスタデータレジスタ 11	0000 03DC _H	32.3.2
WRDR12	ワイルドレジスタデータレジスタ 12	0000 03E4 _H	32.3.2
WRDR13	ワイルドレジスタデータレジスタ 13	0000 03EC _H	32.3.2
WRDR14	ワイルドレジスタデータレジスタ 14	0000 03F4 _H	32.3.2
WRDR15	ワイルドレジスタデータレジスタ 15	0000 03FC _H	32.3.2
WREN	ワイルドレジスタデータタイナブルレジスタ	0000 033A _H	32.3.3

MB91635A シリーズ

付録 C 割込みベクタ

本製品の割込みベクタテーブルについて説明します。割込み要因と割込みベクタおよび割込みコントロールレジスタ (ICR00 ~ ICR47) の割り当てが配置されています。

割込み要因 (周辺機能)	番号		割込みレベル 設定レジスタ	オフセット	TBR 初期値時の アドレス
	10 進	16 進			
リセット	0	00	-	3FC _H	000F FFFC _H
システム予約	1	01	-	3F8 _H	000F FFF8 _H
システム予約	2	02	-	3F4 _H	000F FFF4 _H
システム予約	3	03	-	3F0 _H	000F FFF0 _H
システム予約	4	04	-	3EC _H	000F FFEC _H
システム予約	5	05	-	3E8 _H	000F FFE8 _H
システム予約	6	06	-	3E4 _H	000F FFE4 _H
システム予約	7	07	-	3E0 _H	000F FFE0 _H
システム予約	8	08	-	3DC _H	000F FFDC _H
INTE 命令	9	09	-	3D8 _H	000F FFD8 _H
システム予約	10	0A	-	3D4 _H	000F FFD4 _H
システム予約	11	0B	-	3D0 _H	000F FFD0 _H
ステップトレーストラップ	12	0C	-	3CC _H	000F FFCC _H
システム予約	13	0D	-	3C8 _H	000F FFC8 _H
未定義命令例外	14	0E	-	3C4 _H	000F FFC4 _H
-	15	0F	15 (F _H) 固定	3C0 _H	000F FFC0 _H
外部割込み要求 ch.0 ~ ch.7	16	10	ICR00	3BC _H	000F FFBC _H
外部割込み要求 ch.8 ~ ch.15	17	11	ICR01	3B8 _H	000F FFB8 _H
外部割込み要求 ch.16 ~ ch.23	18	12	ICR02	3B4 _H	000F FFB4 _H
外部割込み要求 ch.24 ~ ch.31	19	13	ICR03	3B0 _H	000F FFB0 _H
16 ビットリロードタイマ ch.0 ~ ch.2	20	14	ICR04	3AC _H	000F FFAC _H
UART/CSIO ch.0 の受信割込み要求	21	15	ICR05	3A8 _H	000F FFA8 _H
UART/CSIO ch.0 の送信割込み要求 UART/CSIO ch.0 の送信バスアイドル割込み要求	22	16	ICR06	3A4 _H	000F FFA4 _H
UART/CSIO/ I ² C ch.1 の受信割込み要求	23	17	ICR07	3A0 _H	000F FFA0 _H
UART/CSIO/ I ² C ch.1 の送信割込み要求 UART/CSIO ch.1 の送信バスアイドル割込み要求	24	18	ICR08	39C _H	000F FF9C _H
I ² C ch.1 のステータス割込み要求	25	19	ICR09	398 _H	000F FF98 _H
UART/CSIO/ I ² C ch.2 の受信割込み要求	26	1A	ICR10	394 _H	000F FF94 _H
UART/CSIO/ I ² C ch.2 の送信割込み要求 UART/CSIO ch.2 の送信バスアイドル割込み要求	27	1B	ICR11	390 _H	000F FF90 _H
I ² C ch.2 のステータス割込み要求	28	1C	ICR12	38C _H	000F FF8C _H
UART/CSIO/ I ² C ch.3 の受信割込み要求	29	1D	ICR13	388 _H	000F FF88 _H

割り込み要因 (周辺機能)	番号		割り込みレベル 設定レジスタ	オフセット	TBR 初期値時の アドレス
	10 進	16 進			
UART/CSIO/ I ² C ch.3 の送信割り込み要求 UART/CSIO ch.3 の送信バスアイドル割り込み要求 I ² C ch.3 のステータス割り込み要求	30	1E	ICR14	384 _H	000F FF84 _H
UART/CSIO/ I ² C ch.4 の受信割り込み要求	31	1F	ICR15	380 _H	000F FF80 _H
UART/CSIO/ I ² C ch.4 の送信割り込み要求 UART/CSIO ch.4 の送信バスアイドル割り込み要求 I ² C ch.4 のステータス割り込み要求	32	20	ICR16	37C _H	000F FF7C _H
UART/CSIO/ I ² C ch.5 の受信割り込み要求	33	21	ICR17	378 _H	000F FF78 _H
UART/CSIO/ I ² C ch.5 の送信割り込み要求 UART/CSIO ch.5 の送信バスアイドル割り込み要求 I ² C ch.5 のステータス割り込み要求	34	22	ICR18	374 _H	000F FF74 _H
UART/CSIO/ I ² C ch.6 の受信割り込み要求	35	23	ICR19	370 _H	000F FF70 _H
UART/CSIO/ I ² C ch.6 の送信割り込み要求 UART/CSIO ch.6 の送信バスアイドル割り込み要求 I ² C ch.6 のステータス割り込み要求	36	24	ICR20	36C _H	000F FF6C _H
UART/CSIO/ I ² C ch.7 の受信割り込み要求 32 ビットインプットキャプチャ ch.4 ~ ch.7	37	25	ICR21	368 _H	000F FF68 _H
UART/CSIO/ I ² C ch.7 の送信割り込み要求 UART/CSIO ch.7 の送信バスアイドル割り込み要求 I ² C ch.7 のステータス割り込み要求 32 ビットアウトプットコンペア ch.4 ~ ch.7	38	26	ICR22	364 _H	000F FF64 _H
UART/CSIO/ I ² C ch.8 ~ ch.11 の受信割り込み要求 UART/CSIO/ I ² C ch.8 ~ ch.11 の送信割り込み要求 UART/CSIO ch.8 ~ ch.11 の送信バスアイドル割り込み要求 UART/CSIO/ I ² C ch.8 ~ ch.11 の送信 FIFO 割り込み要求 I ² C ch.8 ~ ch.11 のステータス割り込み要求	39	27	ICR23	360 _H	000F FF60 _H
16 ビットアップダウンカウンタ ch.0 ~ ch.3	40	28	ICR24	35C _H	000F FF5C _H
メインタイマ / サブタイマ / 時計カウンタ	41	29	ICR25	358 _H	000F FF58 _H
10 ビット A/D コンバータのユニット 0 ・ スキャン変換割り込み要求 ・ 優先変換割り込み要求 ・ FIFO オーバラン割り込み要求 ・ 変換結果比較割り込み要求	42	2A	ICR26	354 _H	000F FF54 _H
32 ビットフリーランタイム ch.0, ch.1	43	2B	ICR27	350 _H	000F FF50 _H
32 ビットインプットキャプチャ ch.0 ~ ch.3	44	2C	ICR28	34C _H	000F FF4C _H
32 ビットアウトプットコンペア ch.0 ~ ch.3	45	2D	ICR29	348 _H	000F FF48 _H
ベースタイマ ch.0	46	2E	ICR30	344 _H	000F FF44 _H
ベースタイマ ch.1	47	2F	ICR31	340 _H	000F FF40 _H
ベースタイマ ch.2	48	30	ICR32	33C _H	000F FF3C _H
ベースタイマ ch.3	49	31	ICR33	338 _H	000F FF38 _H
ベースタイマ ch.4, ch.5	50	32	ICR34	334 _H	000F FF34 _H
ベースタイマ ch.6, ch.7	51	33	ICR35	330 _H	000F FF30 _H
ベースタイマ ch.8, ch.9	52	34	ICR36	32C _H	000F FF2C _H
ベースタイマ ch.10, ch.11	53	35	ICR37	328 _H	000F FF28 _H
ベースタイマ ch.12	54	36	ICR38	324 _H	000F FF24 _H

割込み要因 (周辺機能)	番号		割込みレベル 設定レジスタ	オフセット	TBR 初期値時の アドレス
	10 進	16 進			
ベースタイマ ch.13	55	37	ICR39	320 _H	000F FF20 _H
ベースタイマ ch.14, ch.15	56	38	ICR40	31C _H	000F FF1C _H
DMA コントローラ (DMAC) ch.0	57	39	ICR41	318 _H	000F FF18 _H
DMA コントローラ (DMAC) ch.1	58	3A	ICR42	314 _H	000F FF14 _H
DMA コントローラ (DMAC) ch.2	59	3B	ICR43	310 _H	000F FF10 _H
DMA コントローラ (DMAC) ch.3	60	3C	ICR44	30C _H	000F FF0C _H
DMA コントローラ (DMAC) ch.4 ~ ch.7	61	3D	ICR45	308 _H	000F FF08 _H
10 ビット A/D コンバータのユニット 1 ・ スキャン変換割込み要求 ・ 優先変換割込み要求 ・ FIFO オーバラン割込み要求 ・ 変換結果比較割込み要求	62	3E	ICR46	304 _H	000F FF04 _H
遅延割込み	63	3F	ICR47	300 _H	000F FF00 _H
システム予約 (REALOS で使用)	64	40	-	2FC _H	000F FEFC _H
システム予約 (REALOS で使用)	65	41	-	2F8 _H	000F FEF8 _H
INT 命令で使用	66 ~ 255	42 ~ FF	-	2F4 _H ~ 000 _H	000F FEF4 _H ~ 000F FC00 _H

付録 D CPU の状態における端子状態

CPU の状態と端子の状態を示します。

■ 端子状態

端子の状態として使用している語句は、以下の意味を持ちます。

- $\overline{\text{INIT}}=\text{"L"}$ 時
 $\overline{\text{INIT}}$ 端子が "L" レベルの期間です。
- $\overline{\text{INIT}}=\text{"H"}$ 時
 $\overline{\text{INIT}}$ 端子が "L" レベルから "H" レベルに遷移した直後の状態です。
- SLVL1
スタンバイ制御レジスタ (STBCR) にあるスタンバイレベル設定ビットです。
- 入力可
入力機能が使用可能な状態です。
- 入力不可
入力機能が使用できない状態です。
- 出力 Hi-Z
端子駆動用トランジスタを駆動禁止状態にし、端子を Hi-Z にします。
- 直前状態保持
本モードになる直前に出力していた状態を保持します。
内蔵されている周辺機能が動作中であれば、その周辺機能にしたがって出力を行います。
ポートなどとして出力している場合は、その出力を保持します。
- 内部入力 "0" 固定
端子からすぐの入力ゲートで外部入力を遮断し、内部へ "0" を伝えています。
- 割込み機能選択許可時入力可能
端子機能を外部割込み要求入力端子に設定し、外部割込み要求を許可している場合にのみ入力できます。

端子名	機能名	初期値		スリープ モード	スタンバイモード	
		$\overline{\text{INIT}}$ ="L" 時	$\overline{\text{INIT}}$ ="H" 時		SLVL1=0	SLVL1=1
$\overline{\text{INIT}}$	$\overline{\text{INIT}}$			入力可	入力可	入力可
X0	X0	入力可	入力可		Hi-Z or 入力可	Hi-Z or 入力可
X1	X1	入力可	入力可		"H"出力or 入力可	"H"出力or 入力可
X0A	X0A (INIT 入力時は, PK1 参照 ポート選択時は, 入力不可)	入力不可	入力不可		Hi-Z or 入力可	Hi-Z or 入力可
X1A	X1A (INIT 入力時は, PK0 参照 ポート選択時は, 入力不可)	入力不可	入力不可		"H"出力or 入力可	"H"出力or 入力可
MD0	MD0	入力可	入力可		入力可	入力可
MD1	MD1	入力可	入力可	直前状態 保持	直前状態 保持	出力 Hi-Z/ 内部入力 "0" 固定
P00	P00/D00/TIOA0/SOUT0_1/IN0	出力 Hi-Z	出力 Hi-Z 入力可			
P01	P01/D01/TIOB0/SIN0_1/IN1					
P02	P02/D02/TIOA1/SCK0_1/IN2					
P03	P03/D03/TIOB1/IN3					
P04	P04/D04/TIOA2/SOUT1/IN4					
P05	P05/D05/TIOB2/SIN1/IN5					
P06	P06/D06/TIOA3/SCK1/IN6					
P07	P07/D07/TIOB3/IN7					
P10	P10/D08/TIOA4/SOUT2/AIN0/INT0	出力 Hi-Z	出力 Hi-Z 入力可	直前状態 保持	直前状態 保持	出力 Hi-Z/ 内部入力 "0" 固定 割込み機能 選択 許可時入力 可能
P11	P11/D09/TIOB4/SIN2/BIN0/INT1					
P12	P12/D10/TIOA5/SCK2/ZIN0/INT2					
P13	P13/D11/TIOB5/INT3					
P14	P14/D12/TIOA6/SOUT3/AIN1/INT4					
P15	P15/D13/TIOB6/SIN3/BIN1/INT5					
P16	P16/D14/TIOA7/SCK3/ZIN1/INT6					
P17	P17/D15/TIOB7/INT7					
P20	P20/A00/TIOA8/SOUT4/AIN2	出力 Hi-Z	出力 Hi-Z 入力可	直前状態 保持	直前状態 保持	出力 Hi-Z/ 内部入力 "0" 固定
P21	P21/A01/TIOB8/SIN4/BIN2					
P22	P22/A02/TIOA9/SCK4/ZIN2					
P23	P23/A03/TIOB9					
P24	P24/A04/TIOA10/SOUT5/AIN3/OUT0					
P25	P25/A05/TIOB10/SIN5/BIN3/OUT1					
P26	P26/A06/TIOA11/SCK5/ZIN3/OUT2					
P27	P27/A07/TIOB11/OUT3					
P30	P30/A08/TIOA12/SOUT6/INT8	出力 Hi-Z	出力 Hi-Z 入力可	直前状態 保持	直前状態 保持	出力 Hi-Z/ 内部入力 "0" 固定 割込み機能 選択 許可時入力 可能
P31	P31/A09/TIOB12/SIN6/INT9					
P32	P32/A10/TIOA13/SCK6/INT10					
P33	P33/A11/TIOB13/INT11					
P34	P34/A12/TIOA14/SOUT7/OUT4/INT12					
P35	P35/A13/TIOB14/SIN7/OUT5/INT13					
P36	P36/A14/TIOA15/SCK7/OUT6/INT14					
P37	P37/A15/TIOB15/OUT7/INT15					

端子名	機能名	初期値		スリープ モード	スタンバイモード	
		$\overline{\text{INIT}}=\text{"L"} \text{ 時}$	$\overline{\text{INIT}}=\text{"H"} \text{ 時}$		SLVL1=0	SLVL1=1
P40	P40/A16/SOUT8	出力 Hi-Z	出力 Hi-Z 入力可	直前状態 保持	直前状態 保持	出力 Hi-Z/ 内部入力 "0" 固定
P41	P41/A17/SIN8					
P42	P42/A18/SCK8					
P43	P43/A19					
P44	P44/A20/SOUT9					
P45	P45/A21/SIN9					
P46	P46/A22/SCK9					
P47	P47/A23					
P50	P50/ $\overline{\text{CS0}}$ /SOUT10/AIN0_1	出力 Hi-Z	出力 Hi-Z 入力可	直前状態 保持	直前状態 保持	出力 Hi-Z/ 内部入力 "0" 固定
P51	P51/ $\overline{\text{CS1}}$ /SIN10/BIN0_1					
P52	P52/ $\overline{\text{CS2}}$ /SCK10/ZIN0_1					出力 Hi-Z/ 内部入力 "0" 固定 割込み機能 選択 許可時入力 可能
P53	P53/ $\overline{\text{CS3}}$ /FRCK1/INT21_2					
P54	P54/ $\overline{\text{AS}}$ /SOUT11/AIN1_1					
P55	P55/ $\overline{\text{RD}}$ /SIN11/BIN1_1/ADTRG0					出力 Hi-Z/ 内部入力 "0" 固定
P56	P56/ $\overline{\text{WR0}}$ /SCK11/ZIN1_1/FRCK0					
P57	P57/ $\overline{\text{WR1}}$					

MB91635A シリーズ

端子名	機能名	初期値		スリープ モード	スタンバイモード	
		INIT="L" 時	INIT="H" 時		SLVL1=0	SLVL1=1
P60	P60/RDY/AIN2_1	出力 Hi-Z	出力 Hi-Z 入力可	直前状態 保持 or 入力可	直前状態 保持	出力 Hi-Z/ 内部入力 "0" 固定
P61	P61/SYSCLK/BIN2_1					出力 Hi-Z/ 内部入力 "0" 固定
P62	P62/DREQ0/ZIN2_1					
P63	P63/DACK0/FRCK1_1/INT22_2					出力 Hi-Z/ 内部入力 "0" 固定
						割込み機能 選択 許可時入力 可能
P64	P64/DEOP0/AIN3_1					出力 Hi-Z/ 内部入力 "0" 固定
P65	P65/DREQ1/BIN3_1/ADTRG0_1					
P66	P66/DACK1/ZIN3_1/FRCK0_1	出力 Hi-Z	出力 Hi-Z 入力不可	直前状態 保持	直前状態 保持	出力 Hi-Z/ 内部入力 "0" 固定
P67	P67/DEOP1/INT23_2					出力 Hi-Z/ 内部入力 "0" 固定
P70	P70/AN0/OUT0_1/INT16					出力 Hi-Z/ 内部入力 "0" 固定
P71	P71/AN1/OUT1_1/INT17					割込み機能 選択 許可時入力 可能
P72	P72/AN2/TMO0/OUT2_1/INT18					
P73	P73/AN3/TMO1/OUT3_1/INT19					
P74	P74/AN4/TMO2/OUT4_1/INT20					
P75	P75/AN5/SOUT0/TMI0/OUT5_1/ INT21					
P76	P76/AN6/SIN0/TMI1/OUT6_1/INT22					
P77	P77/AN7/SCK0/TMI2/OUT7_1/INT23					
P80	P80/AN8/IN0_1/INT24	出力 Hi-Z	出力 Hi-Z 入力不可	直前状態 保持	直前状態 保持	出力 Hi-Z/ 内部入力 "0" 固定
P81	P81/AN9/IN1_1/INT25					割込み機能 選択 許可時入力 可能
P82	P82/AN10/IN2_1/INT26					
P83	P83/AN11/IN3_1/INT27					
P84	P84/AN12/IN4_1/INT28					
P85	P85/AN13/IN5_1/INT29					
P86	P86/AN14/IN6_1/INT30					
P87	P87/AN15/IN7_1/INT31					
P90	P90/DA0	出力 Hi-Z	出力 Hi-Z 入力可	直前状態 保持	直前状態 保持	出力 Hi-Z/ 内部入力 "0" 固定
P91	P91/DA1					出力 Hi-Z/ 内部入力 "0" 固定
P92	P92/DA2					

端子名	機能名	初期値		スリープ モード	スタンバイモード	
		INIT="L" 時	INIT="H" 時		SLVL1=0	SLVL1=1
PA0	PA0/AN16/INT16_1	出力 Hi-Z	出力 Hi-Z 入力不可	直前状態 保持	直前状態 保持	出力 Hi-Z/ 内部入力 "0" 固定 割込み機能 選択 許可時入力 可能
PA1	PA1/AN17/INT17_1					
PA2	PA2/AN18/TMO0_1/INT18_1					
PA3	PA3/AN19/TMO1_1/INT19_1					
PA4	PA4/AN20/TMO2_1/INT20_1					
PA5	PA5/AN21/TMI0_1/INT21_1					
PA6	PA6/AN22/TMI1_1/INT22_1					
PA7	PA7/AN23/TMI2_1/INT23_1					
PB0	PB0/AN24/INT24_1	出力 Hi-Z	出力 Hi-Z 入力不可	直前状態 保持	直前状態 保持	出力 Hi-Z/ 内部入力 "0" 固定 割込み機能 選択 許可時入力 可能
PB1	PB1/AN25/INT25_1					
PB2	PB2/AN26/INT26_1					
PB3	PB3/AN27/INT27_1					
PB4	PB4/AN28/INT28_1					
PB5	PB5/AN29/INT29_1					
PB6	PB6/AN30/INT30_1					
PC0	PC0/TIOA12_1/SOUT6_1/INT8_1	出力 Hi-Z	出力 Hi-Z 入力可	直前状態 保持	直前状態 保持	出力 Hi-Z/ 内部入力 "0" 固定 割込み機能 選択 許可時入力 可能
PC1	PC1/TIOB12_1/SIN6_1/INT9_1					
PC2	PC2/TIOA13_1/SCK6_1/INT10_1					
PC3	PC3/TIOB13_1/INT11_1					
PC4	PC4/TIOA14_1/SOUT7_1/OUT4_2/ INT12_1					
PC5	PC5/TIOB14_1/SIN7_1/OUT5_2/ INT13_1					
PC6	PC6/TIOA15_1/SCK7_1/OUT6_2/ INT14_1					
PC7	PC7/TIOB15_1/OUT7_2/INT15_1					
PG0	PG0/DREQ2/TIOA0_1/SOUT0_2/ IN0_2	出力 Hi-Z	出力 Hi-Z 入力可	直前状態 保持	直前状態 保持	出力 Hi-Z/ 内部入力 "0" 固定
PG1	PG1/DACK2/TIOB0_1/SIN0_2/IN1_2					
PG2	PG2/DEOP2/TIOA1_1/SCK0_2/IN2_2					
PG3	PG3/DREQ3/TIOB1_1/IN3_2					
PG4	PG4/DACK3/TIOA2_1/SOUT1_1/ IN4_2					
PG5	PG5/DEOP3/TIOB2_1/SIN1_1/IN5_2					
PG6	PG6/TIOA3_1/SCK1_1/IN6_2					
PG7	PG7/TIOB3_1/IN7_2					
PH0	PH0/TIOA4_1/SOUT2_1/AIN0_2/ INT0_1	出力 Hi-Z	出力 Hi-Z 入力可	直前状態 保持	直前状態 保持	出力 Hi-Z/ 内部入力 "0" 固定 割込み機能 選択 許可時入力 可能
PH1	PH1/TIOB4_1/SIN2_1/BIN0_2/INT1_1					
PH2	PH2/TIOA5_1/SCK2_1/ZIN0_2/ INT2_1					
PH3	PH3/TIOB5_1/INT3_1					
PH4	PH4/TIOA6_1/SOUT3_1/AIN1_2/ INT4_1					
PH5	PH5/TIOB6_1/SIN3_1/BIN1_2/INT5_1					
PH6	PH6/TIOA7_1/SCK3_1/ZIN1_2/ INT6_1					
PH7	PH7/TIOB7_1/INT7_1					

MB91635A シリーズ

端子名	機能名	初期値		スリープ モード	スタンバイモード	
		$\overline{\text{INIT}}=\text{"L"} \text{ 時}$	$\overline{\text{INIT}}=\text{"H"} \text{ 時}$		SLVL1=0	SLVL1=1
PI0	PI0/TIOA8_1/SOUT4_1/AIN2_2	出力 Hi-Z	出力 Hi-Z 入力可	直前状態 保持	直前状態 保持	出力 Hi-Z/ 内部入力 "0" 固定
PI1	PI1/TIOB8_1/SIN4_1/BIN2_2					
PI2	PI2/TIOA9_1/SCK4_1/ZIN2_2					
PI3	PI3/TIOB9_1					
PI4	PI4/TIOA10_1/SOUT5_1/AIN3_2/ OUT0_2					
PI5	PI5/TIOB10_1/SIN5_1/BIN3_2/ OUT1_2					
PI6	PI6/TIOA11_1/SCK5_1/ZIN3_2/ OUT2_2					
PI7	PI7/TIOB11_1/OUT3_2					
PK0	PK0	出力 Hi-Z	出力 Hi-Z/ 内部入力 "0" 固定	直前状態 保持	直前状態 保持	出力 Hi-Z/ 内部入力 "0" 固定
PK1	PK1					
PK2	PK2/ADTRG0_2		出力 Hi-Z 入力可			
PK3	PK3/ADTRG0_3					

• 端子状態一覧表 (シリアルライトモード)

端子名	機能名	初期値	非同期シリアル 書き込み時	同期シリアル 書き込み時
		$\overline{\text{INIT}}=\text{"L"}$ 時	$\overline{\text{INIT}}=\text{"H"}$ 時	
$\overline{\text{INIT}}$	$\overline{\text{INIT}}$			
X0	X0	入力可	入力可	入力可
X1	X1	入力可	入力可	入力可
X0A	X0A ($\overline{\text{INIT}}$ 入力時は, PK1 参照。ポート選択時は, 入力不可)	入力不可	入力不可	入力不可
X1A	X1A ($\overline{\text{INIT}}$ 入力時は, PK0 参照。ポート選択時は, 入力不可)	入力不可	入力不可	入力不可
MD0	MD0	入力可	入力可	入力可
MD1	MD1	入力可	入力可	入力可
P00	P00/D00/TIOA0/SOUT0_1/IN0	出力 Hi-Z	出力 Hi-Z 入力可	出力 Hi-Z 入力可
P01	P01/D01/TIOB0/SIN0_1/IN1			
P02	P02/D02/TIOA1/SCK0_1/IN2			
P03	P03/D03/TIOB1/IN3			
P04	P04/D04/TIOA2/SOUT1/IN4			
P05	P05/D05/TIOB2/SIN1/IN5			
P06	P06/D06/TIOA3/SCK1/IN6			
P07	P07/D07/TIOB3/IN7			

端子名	機能名	初期値	非同期シリアル 書込み時	同期シリアル 書込み時
		$\overline{\text{INIT}}=\text{"L"}$ 時	$\overline{\text{INIT}}=\text{"H"}$ 時	
P10	P10/D08/TIOA4/SOUT2/AIN0/INT0	出力 Hi-Z	出力 Hi-Z 入力可	出力 Hi-Z 入力可
P11	P11/D09/TIOB4/SIN2/BIN0/INT1			
P12	P12/D10/TIOA5/SCK2/ZIN0/INT2			
P13	P13/D11/TIOB5/INT3			
P14	P14/D12/TIOA6/SOUT3/AIN1/INT4			
P15	P15/D13/TIOB6/SIN3/BIN1/INT5			
P16	P16/D14/TIOA7/SCK3/ZIN1/INT6			
P17	P17/D15/TIOB7/INT7			
P20	P20/A00/TIOA8/SOUT4/AIN2	出力 Hi-Z	出力 Hi-Z 入力可	出力 Hi-Z 入力可
P21	P21/A01/TIOB8/SIN4/BIN2			
P22	P22/A02/TIOA9/SCK4/ZIN2			
P23	P23/A03/TIOB9			
P24	P24/A04/TIOA10/SOUT5/AIN3/OUT0			
P25	P25/A05/TIOB10/SIN5/BIN3/OUT1			
P26	P26/A06/TIOA11/SCK5/ZIN3/OUT2			
P27	P27/A07/TIOB11/OUT3			
P30	P30/A08/TIOA12/SOUT6/INT8	出力 Hi-Z	出力 Hi-Z 入力可	出力 Hi-Z 入力可
P31	P31/A09/TIOB12/SIN6/INT9			
P32	P32/A10/TIOA13/SCK6/INT10			
P33	P33/A11/TIOB13/INT11			
P34	P34/A12/TIOA14/SOUT7/OUT4/INT12			
P35	P35/A13/TIOB14/SIN7/OUT5/INT13			
P36	P36/A14/TIOA15/SCK7/OUT6/INT14			
P37	P37/A15/TIOB15/OUT7/INT15			
P40	P40/A16/SOUT8	出力 Hi-Z	出力 Hi-Z 入力可	出力 Hi-Z 入力可
P41	P41/A17/SIN8			
P42	P42/A18/SCK8			
P43	P43/A19			
P44	P44/A20/SOUT9			
P45	P45/A21/SIN9			
P46	P46/A22/SCK9			
P47	P47/A23			
P50	P50/ $\overline{\text{CS0}}$ /SOUT10/AIN0_1	出力 Hi-Z	出力 Hi-Z 入力可	出力 Hi-Z 入力可
P51	P51/ $\overline{\text{CS1}}$ /SIN10/BIN0_1			
P52	P52/ $\overline{\text{CS2}}$ /SCK10/ZIN0_1			
P53	P53/ $\overline{\text{CS3}}$ /FRCK1/INT21_2			
P54	P54/ $\overline{\text{AS}}$ /SOUT11/AIN1_1			
P55	P55/ $\overline{\text{RD}}$ /SIN11/BIN1_1/ADTRG0			
P56	P56/ $\overline{\text{WR0}}$ /SCK11/ZIN1_1/FRCK0			
P57	P57/ $\overline{\text{WR1}}$			

端子名	機能名	初期値	非同期シリアル 書込み時	同期シリアル 書込み時
		INIT="L" 時	INIT="H" 時	
P60	P60/RDY/AIN2_1	出力 Hi-Z	出力 Hi-Z 入力可	出力 Hi-Z 入力可
P61	P61/SYSCLK/BIN2_1			
P62	P62/DREQ0/ZIN2_1			
P63	P63/DACK0/FRCK1_1/INT22_2			
P64	P64/DEOP0/AIN3_1			
P65	P65/DREQ1/BIN3_1/ADTRG0_1			
P66	P66/DACK1/ZIN3_1/FRCK0_1			
P67	P67/DEOP1/INT23_2			
P70	P70/AN0/OUT0_1/INT16	出力 Hi-Z	出力 Hi-Z 入力不可	出力 Hi-Z 入力不可
P71	P71/AN1/OUT1_1/INT17			
P72	P72/AN2/TMO0/OUT2_1/INT18			
P73	P73/AN3/TMO1/OUT3_1/INT19			
P74	P74/AN4/TMO2/OUT4_1/INT20			
P75	P75/AN5/SOUT0/TMI0/OUT5_1/INT21	出力 Hi-Z 入力可	出力	出力
P76	P76/AN6/SIN0/TMI1/OUT6_1/INT22	出力 Hi-Z	出力 Hi-Z 入力可	出力 Hi-Z 入力可
P77	P77/AN7/SCK0/TMI2/OUT7_1/INT23		出力 Hi-Z 入力不可	出力 Hi-Z 入力不可
P80	P80/AN8/IN0_1/INT24	出力 Hi-Z	出力 Hi-Z 入力不可	出力 Hi-Z 入力不可
P81	P81/AN9/IN1_1/INT25			
P82	P82/AN10/IN2_1/INT26			
P83	P83/AN11/IN3_1/INT27			
P84	P84/AN12/IN4_1/INT28			
P85	P85/AN13/IN5_1/INT29			
P86	P86/AN14/IN6_1/INT30			
P87	P87/AN15/IN7_1/INT31			
P90	P90/DA0	出力 Hi-Z	出力 Hi-Z 入力可	出力 Hi-Z 入力可
P91	P91/DA1			
P92	P92/DA2			
PA0	PA0/AN16/INT16_1	出力 Hi-Z	出力 Hi-Z 入力不可	出力 Hi-Z 入力不可
PA1	PA1/AN17/INT17_1			
PA2	PA2/AN18/TMO0_1/INT18_1			
PA3	PA3/AN19/TMO1_1/INT19_1			
PA4	PA4/AN20/TMO2_1/INT20_1			
PA5	PA5/AN21/TMI0_1/INT21_1			
PA6	PA6/AN22/TMI1_1/INT22_1			
PA7	PA7/AN23/TMI2_1/INT23_1			
PB0	PB0/AN24/INT24_1	出力 Hi-Z	出力 Hi-Z 入力不可	出力 Hi-Z 入力不可
PB1	PB1/AN25/INT25_1			
PB2	PB2/AN26/INT26_1			
PB3	PB3/AN27/INT27_1			
PB4	PB4/AN28/INT28_1			
PB5	PB5/AN29/INT29_1			
PB6	PB6/AN30/INT30_1			

端子名	機能名	初期値	非同期シリアル 書込み時	同期シリアル 書込み時
		$\overline{\text{INIT}}=\text{"L"}$ 時	$\overline{\text{INIT}}=\text{"H"}$ 時	
PC0	PC0/TIOA12_1/SOUT6_1/INT8_1	出力 Hi-Z	出力 Hi-Z 入力可	出力 Hi-Z 入力可
PC1	PC1/TIOB12_1/SIN6_1/INT9_1			
PC2	PC2/TIOA13_1/SCK6_1/INT10_1			
PC3	PC3/TIOB13_1/INT11_1			
PC4	PC4/TIOA14_1/SOUT7_1/OUT4_2/INT12_1			
PC5	PC5/TIOB14_1/SIN7_1/OUT5_2/INT13_1			
PC6	PC6/TIOA15_1/SCK7_1/OUT6_2/INT14_1			
PC7	PC7/TIOB15_1/OUT7_2/INT15_1			
PG0	PG0/DREQ2/TIOA0_1/SOUT0_2/IN0_2	出力 Hi-Z	出力 Hi-Z 入力可	出力 Hi-Z 入力可
PG1	PG1/DACK2/TIOB0_1/SIN0_2/IN1_2			
PG2	PG2/DEOP2/TIOA1_1/SCK0_2/IN2_2			
PG3	PG3/DREQ3/TIOB1_1/IN3_2			
PG4	PG4/DACK3/TIOA2_1/SOUT1_1/IN4_2			
PG5	PG5/DEOP3/TIOB2_1/SIN1_1/IN5_2			
PG6	PG6/TIOA3_1/SCK1_1/IN6_2			
PG7	PG7/TIOB3_1/IN7_2			
PH0	PH0/TIOA4_1/SOUT2_1/AIN0_2/INT0_1	出力 Hi-Z	出力 Hi-Z 入力可	出力 Hi-Z 入力可
PH1	PH1/TIOB4_1/SIN2_1/BIN0_2/INT1_1			
PH2	PH2/TIOA5_1/SCK2_1/ZIN0_2/INT2_1			
PH3	PH3/TIOB5_1/INT3_1			
PH4	PH4/TIOA6_1/SOUT3_1/AIN1_2/INT4_1			
PH5	PH5/TIOB6_1/SIN3_1/BIN1_2/INT5_1			
PH6	PH6/TIOA7_1/SCK3_1/ZIN1_2/INT6_1			
PH7	PH7/TIOB7_1/INT7_1			
PI0	PI0/TIOA8_1/SOUT4_1/AIN2_2	出力 Hi-Z	出力 Hi-Z 入力可	出力 Hi-Z 入力可
PI1	PI1/TIOB8_1/SIN4_1/BIN2_2			
PI2	PI2/TIOA9_1/SCK4_1/ZIN2_2			
PI3	PI3/TIOB9_1			
PI4	PI4/TIOA10_1/SOUT5_1/AIN3_2/OUT0_2			
PI5	PI5/TIOB10_1/SIN5_1/BIN3_2/OUT1_2			
PI6	PI6/TIOA11_1/SCK5_1/ZIN3_2/OUT2_2			
PI7	PI7/TIOB11_1/OUT3_2			
PK0	PK0	出力 Hi-Z	出力 Hi-Z 入力不可	出力 Hi-Z 入力不可
PK1	PK1			
PK2	PK2/ADTRG0_2		出力 Hi-Z 入力可	出力 Hi-Z 入力可
PK3	PK3/ADTRG0_3			

付録 E 命令一覧

FR80 ファミリ CPU の命令一覧と命令マップを示します。

E.1 命令一覧表の見かた

命令一覧表および命令細則に用いている記号の意味を説明します。

ニーモニック	型	OP	CYC	FLAG NZVC	RMW	動作	備考
ADD Rj,Rj	A	A6	1	CCCC		Ri + Rj Rj	
*ADD #s5,Rj	C	A4	1	CCCC		Ri + s5 Ri	
.	
.	

(1) (2) (3) (4) (5) (6) (7) (8)

(1) 命令名が示されています。

* 印は、CPU 仕様ではなくアセンブラで命令を拡張または追加した拡張命令です。

(2) オペランドに指定可能なアドレッシングモードを記号で示されています。

記号の意味は、「 アドレッシングモードの記号 (次項)」を参照してください。

(3) 命令フォーマットが示されています。

(4) 命令コードが 16 進数表示されています。

(アセンブラ拡張命令では記載されません。)

(5) マシンサイクル数を表しています。

a: メモリアクセスサイクルであり、アクセス対象により変化します。

最小値は 1 サイクルです。

b: 完了していない LD 命令が 4 命令未満であり、LD 動作の対象となるレジスタが後続の命令に参照されない間は、1 サイクルで動作します。

完了していない LD 命令が 4 命令となった場合、その時点から最初の LD 命令が完了するまでインタロックがかかり、実行サイクル数が (メモリアクセスサイクル数 - 命令発行から最初の LD 命令が完了するまでのサイクル数) だけ増加します。

c: 直後の命令が MDH を参照する場合、インタロックがかかり、実行サイクル数は増加して 2 となります。それ以外は 1 サイクルとなります。

d: プリフェッチバッファへの命令先読みが完了していない場合、最大で 2 サイクルとなります。最小値は 1 サイクルです。

(6) フラグ変化を表しています。

フラグ変化	フラグの意味
C : 変化する	N : ネガティブフラグ
- : 変化しない	Z : ゼロフラグ
0 : クリア	V : オーバフラグ
1 : セット	C : キャリフラグ

(7) RMW 系命令時は が入ります。

(8) 命令動作が表記されています。

■ アドレッシングモードの記号

Ri	: レジスタ直接 (R0 ~ R15, AC, FP, SP)
Rj	: レジスタ直接 (R0 ~ R15, AC, FP, SP)
R13	: レジスタ直接 (R13, AC)
Ps	: レジスタ直接 (プログラムステータスレジスタ)
Rs	: レジスタ直接 (TBR, RP, SSP, USP, MDH, MDL)
#i4	: 4 ビット即値 (ゼロ拡張 :0 ~ 15, マイナス拡張 :-16 ~ -1)
#i8	: 符号なし 8 ビット即値 (0 ~ 255)
#i20	: 符号なし 20 ビット即値 (-0x80000 ~ 0xFFFFF) *1
#i32	: 符号なし 32 ビット即値 (-0x80000000 ~ 0xFFFFFFFF) *2
#s5	: 符号付き 5 ビット即値 (-16 ~ 15)
#s10	: 符号付き 10 ビット即値 (-512 ~ 508 4 の倍数のみ)
#u4	: 符号なし 4 ビット即値 (0 ~ 15)
#u5	: 符号なし 5 ビット即値 (0 ~ 31)
#u8	: 符号なし 8 ビット即値 (0 ~ 255)
#u10	: 符号なし 10 ビット即値 (0 ~ 1020 4 の倍数のみ)
@dir8	: 符号なし 8 ビット直接アドレス (0 ~ 0xFF)
@dir9	: 符号なし 9 ビット直接アドレス (0 ~ 0x1FE 2 の倍数のみ)
@dir10	: 符号なし 10 ビット直接アドレス (0 ~ 0x3FC 4 の倍数のみ)
label9	: 符号付き 9 ビット分岐アドレス (-0x100 ~ 0xFC 2 の倍数のみ)
label12	: 符号付き 12 ビット分岐アドレス (-0x800 ~ 0x7FC 2 の倍数のみ)
label20	: 符号付き 20 ビット分岐アドレス (-0x80000 ~ 0x7FFFF)
label32	: 符号付き 32 ビット分岐アドレス (-0x80000000 ~ 0x7FFFFFFF)
@Ri	: レジスタ間接 (R0 ~ R15, AC, FP, SP)
@Rj	: レジスタ間接 (R0 ~ R15, AC, FP, SP)
@(R13,Rj)	: レジスタ相対間接 (Rj: R0 ~ R15, AC, FP, SP)
@(R14,disp10)	: レジスタ相対間接 (disp10: -0x200 ~ 0x1FC 4 の倍数のみ)
@(R14,disp9)	: レジスタ相対間接 (disp9: -0x100 ~ 0xFE 2 の倍数のみ)
@(R14,disp8)	: レジスタ相対間接 (disp8: -0x80 ~ 0x7F)
@(R15,udisp6)	: レジスタ相対間接 (udisp6: 0 ~ 60 4 の倍数のみ)
@Ri+	: ポストインクリメント付きレジスタ間接 (R0 ~ R15, AC, FP, SP)

@R13+ : ポストインクリメント付きレジスタ間接 (R13, AC)
 @SP+ : スタックポップ
 @-SP : スタックプッシュ
 (reglist) : レジスタリスト

*1: -0x7FFFF ~ -1 は, 0x7FFFF ~ 0xFFFFF として扱います。
 *2: -0x80000000 ~ -1 は, 0x80000000 ~ 0xFFFFFFFF として扱います。

■ 命令フォーマット一覧

TYPE-A	<table><tr><td>OP</td><td>Rj</td><td>Ri</td></tr><tr><td>8</td><td>4</td><td>4</td></tr></table>	OP	Rj	Ri	8	4	4
OP	Rj	Ri					
8	4	4					
TYPE-B	<table><tr><td>OP</td><td>i/8 o/8</td><td>Ri</td></tr><tr><td>4</td><td>8</td><td>4</td></tr></table>	OP	i/8 o/8	Ri	4	8	4
OP	i/8 o/8	Ri					
4	8	4					
TYPE-C	<table><tr><td>OP</td><td>u4/m4</td><td>Ri</td></tr><tr><td>8</td><td>4</td><td>4</td></tr></table>	OP	u4/m4	Ri	8	4	4
OP	u4/m4	Ri					
8	4	4					
ADD, ADDN, CMP, LSL, LSR, ASR 命令のみ							
TYPE-C'	<table><tr><td>OP</td><td>s5/u5</td><td>Ri</td></tr><tr><td>7</td><td>5</td><td>4</td></tr></table>	OP	s5/u5	Ri	7	5	4
OP	s5/u5	Ri					
7	5	4					
TYPE-D	<table><tr><td>OP</td><td>u8/rel8/dir/reglist</td></tr><tr><td>8</td><td>8</td></tr></table>	OP	u8/rel8/dir/reglist	8	8		
OP	u8/rel8/dir/reglist						
8	8						
TYPE-E	<table><tr><td>OP</td><td>SUB-OP</td><td>Ri</td></tr><tr><td>8</td><td>4</td><td>4</td></tr></table>	OP	SUB-OP	Ri	8	4	4
OP	SUB-OP	Ri					
8	4	4					
TYPE-F	<table><tr><td>OP</td><td>rel11</td></tr><tr><td>5</td><td>11</td></tr></table>	OP	rel11	5	11		
OP	rel11						
5	11						

■ 動作欄

命令一覧表の動作欄と、命令細則のオペレーションに使用されている記号です。

extu ()	ゼロ拡張操作を示します。上位ビットの欠けている部分に "0" ビットを補います。
extn ()	マイナス拡張操作を示します。上位ビットの欠けている部分に "1" ビットを補います。
exts ()	符号拡張操作を示します。() 内のデータの MSB が "0" ならばゼロ拡張操作をし、MSB が "1" ならばマイナス拡張操作をします。
&	ビットごとの論理積 (AND) を示します。
	ビットごとの論理和 (OR) を示します。
^	ビットごとの排他的論理和 (EXOR) を示します。
()	間接アドレス指定を示します。() 内のレジスタまたは式の示すアドレスのメモリ読み出し・書込み値です。
{ }	演算の優先順位を明示するための括弧になります。() を間接アドレス指定に使用しているため、{ } を使用します。
if (条件) then { 式 } または if (条件) then { 式 1 } else { 式 2 }	条件実行を示します。条件が成立したときに then の次の式を、成立しなかったときに else の次の式を実行します。式は { } で囲み複数記述できます。
[m:n]	ビット m からビット n までを取り出して、操作対象とします。

E.2 命令一覧表

FR80 ファミリ CPU の命令一覧を示します。

FR80 ファミリ CPU の命令数は全部で 162 あります。以下の 15 種類に分類しています。

- 加減算命令
- 比較演算命令
- 論理演算命令
- ビット操作演算命令
- 乗除算命令
- シフト演算命令
- 即値データ転送命令
- メモリロード命令
- メモリストア命令
- レジスタ間転送命令 / 専用レジスタ転送命令
- 遅延なし分岐命令
- 遅延分岐命令
- ダイレクトアドレス指定命令
- ビットサーチ命令
- その他の命令

表 E-1 加減算命令

ニーモニック	型	OP	CYC	FLAG NZVC	RMW	動作	備考
ADD Rj, Ri	A	A6	1	CCCC	-	Ri+Rj Ri	
*ADD #s5, Ri	C'	-	1	CCCC	-	Ri+s5 Ri	アセンブラでは s5 の上位 1 ビットを符 号と見る
ADD #i4, Ri	C	A4	1	CCCC	-	Ri+extu(i4) Ri	i4 はゼロ拡張
ADD2 #i4, Ri	C	A5	1	CCCC	-	Ri+extn(i4) Ri	i4 はマイナス拡張
ADDC Rj, Ri	A	A7	1	CCCC	-	Ri+Rj+C Ri	キャリ付き加算
ADDN Rj, Ri	A	A2	1	----	-	Ri+Rj Ri	
*ADDN #s5, Ri	C'	-	1	----	-	Ri+s5 Ri	アセンブラでは s5 の上位 1 ビットを符 号と見る
ADDN #i4, Ri	C	A0	1	----	-	Ri+extu(i4) Ri	i4 はゼロ拡張
ADDN2 #i4, Ri	C	A1	1	----	-	Ri+extn(i4) Ri	i4 はマイナス拡張
SUB Rj, Ri	A	AC	1	CCCC	-	Ri-Rj Ri	
SUBC Rj, Ri	A	AD	1	CCCC	-	Ri-Rj-C Ri	キャリ付き減算
SUBN Rj, Ri	A	AE	1	----	-	Ri-Rj Ri	

表 E-2 比較演算命令

ニーモニック	型	OP	CYC	FLAG NZVC	RMW	動作	備考
CMP Rj, Ri	A	AA	1	CCCC	-	Ri-Rj	
*CMP #s5, Ri	C'	-	1	CCCC	-	Ri-s5	アセンブラでは s5 の上位1ビットを符 号と見る
CMP #i4, Ri	C	A8	1	CCCC	-	Ri-extu(i4)	i4 はゼロ拡張
CMP2 #i4, Ri	C	A9	1	CCCC	-	Ri-extn(i4)	i4 はマイナス拡張

表 E-3 論理演算命令

ニーモニック	型	OP	CYC	FLAG NZVC	RMW	動作	備考
AND Rj, Ri	A	82	1	CC--	-	Ri & Rj Ri	ワード
AND Rj, @Ri	A	84	1+2a	CC--		(Ri) & Rj (Ri)	ワード
ANDH Rj, @Ri	A	85	1+2a	CC--		(Ri) & Rj (Ri)	ハーフワード
ANDB Rj, @Ri	A	86	1+2a	CC--		(Ri) & Rj (Ri)	バイト
OR Rj, Ri	A	92	1	CC--	-	Ri Rj Ri	ワード
OR Rj, @Ri	A	94	1+2a	CC--		(Ri) Rj (Ri)	ワード
ORH Rj, @Ri	A	95	1+2a	CC--		(Ri) Rj (Ri)	ハーフワード
ORB Rj, @Ri	A	96	1+2a	CC--		(Ri) Rj (Ri)	バイト
EOR Rj, Ri	A	9A	1	CC--	-	Ri ^ Rj Ri	ワード
EOR Rj, @Ri	A	9C	1+2a	CC--		(Ri) ^ Rj (Ri)	ワード
EORH Rj, @Ri	A	9D	1+2a	CC--		(Ri) ^ Rj (Ri)	ハーフワード
EORB Rj, @Ri	A	9E	1+2a	CC--		(Ri) ^ Rj (Ri)	バイト

表 E-4 ビット操作演算命令

ニーモニック	型	OP	CYC	FLAG NZVC	RMW	動作	備考
BANDL #u4, @Ri	C	80	1+2a	----		(Ri) & {F0 _H +u4} (Ri)	下位 4 ビット
BANDH #u4, @Ri	C	81	1+2a	----		(Ri) & {u4<<4+0F _H } (Ri)	上位 4 ビット
*BAND #u8, @Ri ^{*1}	-	-	-	----		(Ri) & =u8	
BORL #u4, @Ri	C	90	1+2a	----		(Ri) u4 (Ri)	下位 4 ビット
BORH #u4, @Ri	C	91	1+2a	----		(Ri) {u4<<4} (Ri)	上位 4 ビット
*BOR #u8, @Ri ^{*2}	-	-	-	----		(Ri) =u8	
BEORL #u4, @Ri	C	98	1+2a	----		(Ri) ^ u4 (Ri)	下位 4 ビット
BEORH #u4, @Ri	C	99	1+2a	----		(Ri) ^ {u4<<4} (Ri)	上位 4 ビット
*BEOR #u8, @Ri ^{*3}	-	-	-	----		(Ri) ^ =u8	
BTSTL #u4, @Ri	C	88	2+a	0C--	-	(Ri) & u4	下位 4 ビット
BTSTH #u4, @Ri	C	89	2+a	CC--	-	(Ri) & {u4<<4}	上位 4 ビット

*1: アセンブラは, u8 & 0x0F でビットが立っていれば, BANDL を生成し, u8 & 0xF0 でビットが立っていれば, BANDH を生成する。BANDL, BANDH 両方生成する場合もある。

*2: アセンブラは, u8 & 0x0F でビットが立っていれば, BORL を生成し, u8 & 0xF0 でビットが立っていれば, BORH を生成する。BORL, BORH 両方生成する場合もある。

*3: アセンブラは, u8 & 0x0F でビットが立っていれば, BEORL を生成し, u8 & 0xF0 でビットが立っていれば, BEORH を生成する。BEORL, BEORH 両方生成する場合もある。

表 E-5 乗除算命令

ニーモニック	型	OP	CYC	FLAG NZVC	RMW	動作	備考
MUL Rj, Ri	A	AF	5	CCC-	-	Ri × Rj MDH,MDL	32 × 32 ビット = 64 ビット
MULU Rj, Ri	A	AB	5	CCC-	-	Ri × Rj MDH,MDL	符号なし
MULH Rj, Ri	A	BF	3	CC--	-	Ri × Rj MDL	16 × 16 ビット = 32 ビット
MULUH Rj, Ri	A	BB	3	CC--	-	Ri × Rj MDL	符号なし
DIV0S Ri	E	97-4	1	----	-	所定の命令シーケ ンスにて MDL ÷ Ri MDL MDL%Ri MDH	ステップ演算 32 ÷ 32 ビット = 32 ビット
DIV0U Ri	E	97-5	1	----	-		
DIV1 Ri	E	97-6	1	-C-C	-		
DIV2 Ri	E	97-7	c	-C-C	-		
DIV3	E	9F-6	1	----	-		
DIV4S	E	9F-7	1	----	-		
*DIV Ri ^{*1}	-	-	36	-C-C	-	MDL ÷ Ri MDL MDL%Ri MDH	
*DIVU Ri ^{*2}	-	-	36	-C-C	-	MDL ÷ Ri MDL MDL%Ri MDH	

*1: DIV0S, DIV1 × 32, DIV2, DIV3, DIV4S を生成する。命令コード長は、72 バイトとなる。

*2: DIV0U, DIV1 × 32 を生成する。命令コード長は、66 バイトとなる。

表 E-6 シフト演算命令

ニーモニック	型	OP	CYC	FLAG NZVC	RMW	動作	備考
LSL Rj, Ri	A	B6	1	CC-C	-	Ri << Rj Ri	論理シフト
*LSL #u5, Ri (u5:0 ~ 31)	C'	-	1	CC-C	-	Ri << u5 Ri	
LSL #u4, Ri	C	B4	1	CC-C	-	Ri << u4 Ri	
LSL2 #u4, Ri	C	B5	1	CC-C	-	Ri << {u4+16} Ri	
LSR Rj, Ri	A	B2	1	CC-C	-	Ri >> Rj Ri	論理シフト
*LSR #u5, Ri (u5:0 ~ 31)	C'	-	1	CC-C	-	Ri >> u5 Ri	
LSR #u4, Ri	C	B0	1	CC-C	-	Ri >> u4 Ri	
LSR2 #u4, Ri	C	B1	1	CC-C	-	Ri >> {u4+16} Ri	
ASR Rj, Ri	A	BA	1	CC-C	-	Ri >> Rj Ri	算術シフト
*ASR #u5, Ri (u5:0 ~ 31)	C'	-	1	CC-C	-	Ri >> u5 Ri	
ASR #u4, Ri	C	B8	1	CC-C	-	Ri >> u4 Ri	
ASR2 #u4, Ri	C	B9	1	CC-C	-	Ri >> {u4+16} Ri	

表 E-7 即値データ転送命令

ニーモニック	型	OP	CYC	FLAG NZVC	RMW	動作	備考
LDI:32 #i32, Ri	H	9F-8	d	----	-	i32 Ri	
LDI:20 #i20, Ri	G	9B	d	----	-	extu(i20) Ri	上位 12 ビットは ゼロ拡張
LDI:8 #i8, Ri	B	C0	l	----	-	extu(i8) Ri	上位 24 ビットは ゼロ拡張
*LDI {i8 i20 i32}, Ri *1	-	-	-	-	-	{i8 i20 i32} Ri	

*1: 即値が絶対値の場合は, i8,i20,i32 の選択はアセンブラが自動的に行う。
即値が相対値または外部参照シンボルを含む場合は, i32 が選択される。

表 E-8 メモリロード命令

ニーモニック	型	OP	CYC	FLAG NZVC	RMW	動作	備考
LD @Rj, Ri	A	04	b	----	-	(Rj) Ri	ワード
LD @(R13, Rj), Ri	A	00	b	----	-	(R13+Rj) Ri	
LD @(R14, disp10), Ri	B	2	b	----	-	(R14+o8 × 4) Ri	
LD @(R15, udisp6), Ri	C	03	b	----	-	(R15+u4 × 4) Ri	
LD @R15+, Ri	E	07-0	b	----	-	(R15) Ri, R15+4 R15	
LD @R15+, Rs	E	07-8	b	----	-	(R15) Rs, R15+4 R15	Rs: 特殊 レジスタ
LD @R15+, PS	E	07-9	l+a	CCCC	-	(R15) PS, R15+4 R15	ワード
LDUH @Rj, Ri	A	05	b	----	-	extu((Rj)) Ri	ハーフ ワード ゼロ拡張
LDUH @(R13, Rj), Ri	A	01	b	----	-	extu((R13+Rj)) Ri	
LDUH @(R14, disp9), Ri	B	04	b	----	-	extu((R14+o8 × 2)) Rj	
LDUB @Rj, Ri	A	06	b	----	-	extu((Rj)) Ri	バイト ゼロ拡張
LDUB @(R13, Rj), Ri	A	02	b	----	-	extu((R13+Rj)) Ri	
LDUB @(R14, disp8), Ri	B	6	b	----	-	extu((R14+o8)) Ri	

- 命令フォーマットTYPE-Bのo8およびTYPE-Cのu4フィールドと、アセンブラ記述の disp8 ~ disp10 の関係は次のようになっています。

o8 = disp8

o8 = disp9 >> 1

o8 = disp10 >> 2

u4 = udisp6 >> 2

表 E-9 メモリストア命令

ニーモニック	型	OP	CYC	FLAG NZVC	RMW	動作	備考
ST Ri, @Rj	A	14	a	----	-	Ri (Rj)	ワード
ST Ri, @(R13, Rj)	A	10	a	----	-	Ri (R13+Rj)	
ST Ri, @(R14, disp10)	B	3	a	----	-	Ri (R14+o8 × 4)	
ST Ri, @(R15, udisp6)	C	13	a	----	-	Ri (R15+u4 × 4)	
ST Ri, @-R15	E	17-0	a	----	-	R15-4 R15, Ri (R15)	
ST Rs, @-R15	E	17-8	a	----	-	R15-4 R15, Rs (R15)	Rs: 特殊レジスタ
ST PS, @-R15	E	17-9	a	----	-	R15-4 R15, PS (R15)	ワード
STH Ri, @Rj	A	15	a	----	-	Ri (Rj)	ハーフワード
STH Ri, @(R13, Rj)	A	11	a	----	-	Ri (R13+Rj)	
STH Ri, @(R14, disp9)	B	5	a	----	-	Ri (R14+o8 × 2)	
STB Ri, @Rj	A	16	a	----	-	Ri (Rj)	バイト
STB Ri, @(R13, Rj)	A	12	a	----	-	Ri (R13+Rj)	
STB Ri, @(R14, disp8)	B	7	a	----	-	Ri (R14+o8)	

- 命令フォーマット TYPE-B の o8 および TYPE-C の u4 フィールドと、アセンブラ記述 disp8 ~ disp10 の関係は次のようになっています。

o8 = disp8

o8 = disp9 >> 1

o8 = disp10 >> 2

u4 = udisp6 >> 2

表 E-10 レジスタ間転送命令 / 専用レジスタ転送命令

ニーモニック	型	OP	CYC	FLAG NZVC	RMW	動作	備考
MOV Rj, Ri	A	8B	1	----	-	Rj Ri	汎用レジスタ間転送
MOV Rs, Ri	A	B7	1	----	-	Rs Ri	Rs: 特殊レジスタ
MOV Ri, Rs	A	B3	1	----	-	Ri Rs	Rs: 特殊レジスタ
MOV PS, Ri	E	17-1	1	----	-	PS Ri	PS: プログラムステータス
MOV Ri, PS	E	07-1	1	CCCC	-	Ri PS	PS: プログラムステータス

表 E-11 遅延なし分岐命令

ニーモニック	型	OP	CYC	FLAG NZVC	RMW	動作
JMP @Ri	E	97-0	2	----	-	Ri PC
CALL label12	F	D0	2	----	-	PC+2 RP, PC+2+exts(rel11 × 2) PC
CALL @Ri	E	97-1	2	----	-	PC+2 RP, Ri PC
RET	E	97-2	2	----	-	RP PC
INT #u8	D	1F	1+3a	----	-	SSP-4 SSP, PS (SSP), SSP-4 SSP, PC+2 (SSP), 0 CCR:I, 0 CCR:S, (TBR+3FC-u8 × 4) PC
INTE	E	9F-3	1+3a	----	-	SSP-4 SSP, PS (SSP), SSP-4 SSP, PC+2 (SSP), 0 CCR:S, 4 ILM, (TBR+3D8) PC
RETI	E	97-3	1+2b	----	-	(SSP) PC, SSP+4 SSP, (SSP) PS, SSP+4 SSP
BRA label9	D	E0	2	----	-	PC+2+exts(rel8 × 2) PC
BNO label9	D	E1	1	----	-	非分岐
BEQ label9	D	E2	2/1	----	-	if (Z==1) then PC+2+exts(rel8 × 2) PC
BNE label9	D	E3	2/1	----	-	if (Z==0) then PC+2+exts(rel8 × 2) PC
BC label9	D	E4	2/1	----	-	if (C==1) then PC+2+exts(rel8 × 2) PC
BNC label9	D	E5	2/1	----	-	if (C==0) then PC+2+exts(rel8 × 2) PC
BN label9	D	E6	2/1	----	-	if (N==1) then PC+2+exts(rel8 × 2) PC
BP label9	D	E7	2/1	----	-	if (N==0) then PC+2+exts(rel8 × 2) PC
BV label9	D	E8	2/1	----	-	if (V==1) then PC+2+exts(rel8 × 2) PC
BNV label9	D	E9	2/1	----	-	if (V==0) then PC+2+exts(rel8 × 2) PC
BLT label9	D	EA	2/1	----	-	if (V ^ N==1) then PC+2+exts(rel8 × 2) PC
BGE label9	D	EB	2/1	----	-	if (V ^ N==0) then PC+2+exts(rel8 × 2) PC
BLE label9	D	EC	2/1	----	-	if ({V ^ N} Z==1) then PC+2+exts(rel8 × 2) PC
BGT label9	D	ED	2/1	----	-	if ({V ^ N} Z==0) then PC+2+exts(rel8 × 2) PC
BLS label9	D	EE	2/1	----	-	if (C or Z==1) then PC+2+exts(rel8 × 2) PC
BHI label9	D	EF	2/1	----	-	if (C or Z==0) then PC+2+exts(rel8 × 2) PC

- CYC 欄の "2/1" は、分岐するときは 2、分岐しないときは 1 を示します。
- RETI を実行するときはスタックフラグ (S) が "0" である必要があります。
- 命令フォーマット TYPE-D の rel8 および TYPE-F の rel11 フィールドと、アセンブラ記述の label9、label12 の関係は次のようになっています。

$$\text{rel8} = (\text{label9} - \text{PC} - 2) / 2$$

$$\text{rel11} = (\text{label12} - \text{PC} - 2) / 2$$

表 E-12 遅延分岐命令

ニーモニック	型	OP	CYC	FLAG NZVC	RMW	動作
JMP:D @Ri	E	9F-0	1	----	-	Ri PC
CALL:D label12	F	D8	1	----	-	PC+4 RP, PC+2+exts(rel11 × 2) PC
CALL:D @Ri	E	9F-1	1	----	-	PC+4 RP, Ri PC
RET:D	E	9F-2	1	----	-	RP PC
BRA:D label9	D	F0	1	----	-	PC+2+exts(rel8 × 2) PC
BNO:D label9	D	F1	1	----	-	非分岐
BEQ:D label9	D	F2	1	----	-	if (Z==1) then PC+2+exts(rel8 × 2) PC
BNE:D label9	D	F3	1	----	-	if (Z==0) then PC+2+exts(rel8 × 2) PC
BC:D label9	D	F4	1	----	-	if (C==1) then PC+2+exts(rel8 × 2) PC
BNC:D label9	D	F5	1	----	-	if (C==0) then PC+2+exts(rel8 × 2) PC
BN:D label9	D	F6	1	----	-	if (N==1) then PC+2+exts(rel8 × 2) PC
BP:D label9	D	F7	1	----	-	if (N==0) then PC+2+exts(rel8 × 2) PC
BV:D label9	D	F8	1	----	-	if (V==1) then PC+2+exts(rel8 × 2) PC
BNV:D label9	D	F9	1	----	-	if (V==0) then PC+2+exts(rel8 × 2) PC
BLT:D label9	D	FA	1	----	-	if (V ^ N==1) then PC+2+exts(rel8 × 2) PC
BGE:D label9	D	FB	1	----	-	if (V ^ N==0) then PC+2+exts(rel8 × 2) PC
BLE:D label9	D	FC	1	----	-	if ((V ^ N) Z==1) then PC+2+exts(rel8 × 2) PC
BGT:D label9	D	FD	1	----	-	if ((V ^ N) Z==0) then PC+2+exts(rel8 × 2) PC
BLS:D label9	D	FE	1	----	-	if (C or Z==1) then PC+2+exts(rel8 × 2) PC
BHI:D label9	D	FF	1	----	-	if (C or Z==0) then PC+2+exts(rel8 × 2) PC

- 遅延分岐命令は必ず次の命令 (遅延スロット) を実行してから分岐します。
- 命令フォーマット TYPE-D の rel8 および TYPE-F の rel11 フィールドと、アセンブラ記述の label9、label12 の関係は次のようになっています。

rel8 = (label9-PC-2) /2

rel11 = (label12-PC-2) /2

表 E-13 ダイレクトアドレス指定命令

ニーモニック	型	OP	CYC	FLAG NZVC	RMW	動作	備考
DMOV @dir10, R13	D	08	b	----	-	(dir10) R13	ワード
DMOV R13, @dir10	D	18	a	----	-	R13 (dir10)	
DMOV @dir10, @R13+	D	0C	1+2a	----	-	(dir10) (R13), R13+=4	
DMOV @R13+, @dir10	D	1C	1+2a	----	-	(R13) (dir10), R13+=4	
DMOV @dir10, @-R15	D	0B	1+2a	----	-	R15-=4, (R15) (dir10)	
DMOV @R15+, @dir10	D	1B	1+2a	----	-	(R15) (dir10), R15+=4	
DMOVH @dir9, R13	D	09	b	----	-	(dir9) R13	ハーフ ワード
DMOVH R13, @dir9	D	19	a	----	-	R13 (dir9)	
DMOVH @dir9, @R13+	D	0D	1+2a	----	-	(dir9) (R13), R13+=2	
DMOVH @R13+, @dir9	D	1D	1+2a	----	-	(R13) (dir9), R13+=2	
DMOVB @dir8, R13	D	0A	b	----	-	(dir8) R13	バイト
DMOVB R13, @dir8	D	1A	a	----	-	R13 (dir8)	
DMOVB @dir8, @R13+	D	0E	1+2a	----	-	(dir8) (R13), R13++	
DMOVB @R13+, @dir8	D	1E	1+2a	----	-	(R13) (dir8), R13++	

- 命令フォーマットTYPE-Dのdir8フィールドとアセンブラ記述のdir8, dir9, dir10の関係は次のようになっています。

dir8 = dir8

dir8 = dir9 >> 1

dir8 = dir10 >> 2

表 E-14 ビットサーチ命令

ニーモニック	型	OP	CYC	FLAG NZVC	RMW	動作	備考
SRCH0 Ri	E	97-C	1	----	-	search_zero(Ri) Ri	MSB から LSB へ 0 検索
SRCH1 Ri	E	97-D	1	----	-	search_one(Ri) Ri	MSB から LSB へ 1 検索
SRCHC Ri	E	97-E	1	----	-	search_change(Ri) Ri	MSB から LSB へ 変化点検索

表 E-15 その他の命令

ニーモニック	型	OP	CYC	FLAG NZVC	RMW	動作	備考
NOP	E'	9F-A	1	----	-	何も変化しない	
ANDCCR #u8	D	83	1	CCCC	-	CCR & u8 CCR	
ORCCR #u8	D	93	1	CCCC	-	CCR u8 CCR	
STILM #u8	D	87	1	----	-	u8 ILM	ILM 即値セット
ADDSP #s10	D	A3	1	----	-	R15 += s10	
EXTSB Ri	E	97-8	1	----	-	exts(Ri[7:0]) Ri	符号拡張 8 32
EXTUB Ri	E	97-9	1	----	-	extu(Ri[7:0]) Ri	ゼロ拡張 8 32
EXTSH Ri	E	97-A	1	----	-	exts(Ri[15:0]) Ri	符号拡張 16 32
EXTUH Ri	E	97-B	1	----	-	extu(Ri[15:0]) Ri	ゼロ拡張 16 32
LDM0 (reglist)	D	8C	*1	----	-	(R15) reglist, R15 インクリメント	ロードマルチ R0 ~ R7
LDM1 (reglist)	D	8D	*1	----	-	(R15) reglist, R15 インクリメント	ロードマルチ R8 ~ R15
*LDM (reglist) *3	-	-	-	----	-	(R15) reglist, R15 インクリメント	ロードマルチ R0 ~ R15
STM0 (reglist)	D	8E	*2	----	-	R15デクリメント, reglist (R15)	ストアマルチ R0 ~ R7
STM1 (reglist)	D	8F	*2	----	-	R15デクリメント, reglist (R15)	ストアマルチ R8 ~ R15
*STM (reglist) *4	-	-	-	----	-	R15デクリメント, reglist (R15)	ストアマルチ R0 ~ R15
ENTER #u10	D	0F	1+a	----	-	R14 (R15-4), R15-4 R14, R15-extu(u8 × 4) R15	関数の入口処理
LEAVE	E	9F-9	b	----	-	R14+4 R15, (R15-4) R14	関数の出口処理
XCHB @Rj, Ri	A	8A	2a	----		Ri TEMP, extu((Rj)) Ri, TEMP (Rj))	セマフォ管理用 バイトデータ

*1: LDM0 (reglist), LDM1 (reglist) の実行サイクル数は、指定されたレジスタ数が n のとき $b \times n$ サイクルとなります。

*2: STM0 (reglist), STM1 (reglist) の実行サイクル数は、指定されたレジスタ数が n のとき $a \times n$ サイクルとなります。

*3: reglist で、R0-R7 のいずれかの指定があれば、LDM0 を生成し、R8-R15 のいずれかの指定があれば、LDM1 を生成する。LDM0, LDM1 両方生成する場合もある。

*4: reglist で、R0-R7 のいずれかの指定があれば、STM0 を生成し R8-R15 のいずれかの指定があれば、STM1 を生成する。STM1, STM0 両方生成する場合もある。

- ADDSP 命令において、命令フォーマット TYPE-D の s8 フィールドとアセンブラ記述の s10 の関係は次のようになっています。

$$s8 = s10 \gg 2$$

- ENTER 命令において、命令フォーマット中の TYPE-D の u8 フィールドとアセンブラ記述の u10 の関係は次のようになっています。

$$u8 = u10 \gg 2$$

E.3 遅延スロットに配置可能な命令一覧

遅延分岐命令の遅延スロットに配置可能な命令一覧を示します。

- 加減算命令

ADD Rj, Ri	ADD #14, Ri	ADD2 #i4, Ri
ADDC Rj, Ri	ADDN Rj, Ri	ADDN #i4, Ri
ADDN2 #i4, Ri	SUB Rj, Ri	SUBC Rj, Ri
SUBN Rj, Ri		

- 比較演算命令

CMP Rj, Ri	CMP #i4, Ri	CMP2 #i4, Ri
------------	-------------	--------------

- 論理演算命令

AND Rj, Ri	OR Rj, Ri	EOR Rj, Ri
------------	-----------	------------

- 乗除算命令

DIV0S Ri	DIV0U Ri	DIV1 Ri
DIV2 Ri	DIV3	DIV4S

- シフト演算命令

LSL Rj, Ri	LSL #u4, Ri	LSL2 #u4, Ri
LSR Rj, Ri	LSR #u4, Ri	LSR2 #u4, Ri
ASR Rj, Ri	ASR #u4, Ri	ASR2 #u4, Ri

- 即値データ転送命令

LDI:8 #i8, Ri

- メモリロード命令

LD @Rj, Ri	LD @(R13, Rj), Ri	LD @(R14, disp10), Ri
LD @(R15, udisp6), Ri	LD @R15+, Ri	LD @R15+, Rs
LDUH @Rj, Ri	LDUH @(R13, Rj), Ri	LDUH @(R14, disp9), Ri
LDUB @Rj, Ri	LDUB @(R13, Rj), Ri	LDUB @(R14, disp8), Ri

- メモリストア命令

ST Ri, @Rj	ST Ri, @(R13, Rj)	ST Ri, @(R14, disp10)
ST Ri, @(R15, udisp6)	ST Ri, @-R15	ST Rs, @-R15
ST PS, @-R15		
STH Ri, @Rj	STH Ri, @(R13, Rj)	STH Ri, @(R14, disp9)
STB Ri, @Rj	STB Ri, @(R13, Rj)	STB Ri, @(R14, disp8)

- レジスタ間転送命令

MOV Rj, Ri	MOV Rs, Ri	MOV Ri, Rs
MOV PS, Ri	MOV Ri, PS	

- ダイレクトアドレス指定命令

DMOV @dir10, R13	DMOV R13, @dir10	DMOVH @dir9, R13
DMOVH R13, @dir9	DMOVB @dir8, R13	DMOVB R13, @dir8

- ビットサーチ命令

SRCH0 Ri	SRCH1 Ri	SRCHC Ri
----------	----------	----------

- その他の命令

NOP	ANDCCR #u8	ORCCR #u8
STILM #u8	ADDSP #s10	EXTSB Ri
EXTUB Ri	EXTSH Ri	EXTUH Ri
LEAVE		

索引

Numerics

10 ビット A/D コンバータ	
A/D スキャン変換時の動作	753
A/D 優先変換時の動作	756
DMA コントローラ (DMAC) の起動	765
FIFO の動作	759
構成	698
端子	700
レジスタ	702
割込み	743
16/32 ビット	
16/32 ビット PWC タイマ	581
16/32 ビット PWC タイマ (ch.1, ch.0) のブロック ダイヤグラム	585
16/32 ビットリロードタイマ	581
16/32 ビットリロードタイマ (ch.1, ch.0) の ブロックダイヤグラム	583
16 ビット	
16 ビット PPG タイマ	581
16 ビット PPG タイマのブロック ダイヤグラム	582
16 ビット PWM/PPG/ リロードタイマの使用上の 注意	599
16 ビット PWM タイマ	580
16 ビット PWM タイマのブロック ダイヤグラム	582
16 ビット PPG タイマ	
16 ビット PPG タイマ	581
16 ビット PPG タイマのブロック ダイヤグラム	582
16 ビット PWM タイマ	
16 ビット PWM タイマ	580
16 ビット PWM タイマのブロック ダイヤグラム	582
16 ビットリロードタイマ	
イベントカウンタモード時の動作	534
インターバルモード時の動作	522
カスケードモード時の動作	540
構成	509
使用上の注意	542
端子	511
レジスタ	512
割込み	520
32 ビット	
16/32 ビット PWC タイマ	581
16/32 ビット PWC タイマ (ch.1, ch.0) のブロック ダイヤグラム	585
16/32 ビットリロードタイマ	581
16/32 ビットリロードタイマ (ch.1, ch.0) の ブロックダイヤグラム	583
32 ビットモード機能	597
32 ビットモード設定	597
32 ビットモード動作	598
32 ビットアウトプットコンペア	
一対にして使用する場合の動作	503
構成	489

端子	491
独立で使用する場合の動作	501
レジスタ	492
割込み	500
32 ビットインプットキャプチャ	
構成	475
端子	477
動作説明	484
レジスタ	478
割込み	483
32 ビットフリーランタイム	
外部クロック選択時の動作	471
構成	455
端子	459
内部クロック (周辺クロック) 選択時の動作	470
レジスタ	460
割込み	468
7 ビットスレーブアドレスマスクレジスタ 7 ビットスレーブアドレスマスクレジスタ (ISMK)	924
7 ビットスレーブアドレスレジスタ 7 ビットスレーブアドレスレジスタ (ISBA)	925
8 ビット D/A コンバータ	
構成	769
端子	771
動作説明	775
レジスタ	772

A

A/D コンバータ

A/D スキャン変換時の動作	753
A/D 優先変換時の動作	756
DMA コントローラ (DMAC) の起動	765
FIFO の動作	759
構成	698
端子	700
レジスタ	702
割込み	743

B

BGR

ボーレートジェネレータレジスタ 1, 0 (BGR1, BGR0) のビット構成	801, 855, 926
---	---------------

BTxDtBF

データバッファレジスタ (BTxDtBF) の ビット構成	652
--	-----

BTxPCSR

PWM 周期設定レジスタ (BTxPCSR) のビット構成	610
周期設定レジスタ (BTxPCSR) のビット構成	640

BTxPDUT

PWM デューティ設定レジスタ (BTxPDUT) の ビット構成	611
--	-----

BTxPRLH

"H" 幅設定リロードレジスタ (BTxPRLH) の ビット構成	625
--	-----

BTxPRLH

"L" 幅設定リロードレジスタ (BTxPRLH) の ビット構成	624
--	-----

BTxSTC

ステータス制御レジスタ (BTxSTC)	608, 622, 638, 650
-------------------------------	--------------------

BTxTMCR

タイマ制御レジスタ (BTxTMCR 下位バイト)	606, 620, 635, 648
タイマ制御レジスタ (BTxTMCR 上位バイト)	604, 618, 646, 633

BTxTMR

タイマレジスタ (BTxTMR) のビット構成	612, 626, 641
----------------------------------	---------------

C

CPU

CPU 間接続	828, 830, 897
EIT (例外・割込み・トラップ)	111
アドレッシング	106
基本プログラミングモデル	94
データ構造	104
内部アーキテクチャの特徴	88
パイプライン	90
分岐命令	108
命令概要	92
メモリ空間	86
レジスタ	95

CSIO

4 チャンネル同時通信モード時の動作	889
--------------------------	-----

CSIO (クロック同期シリアルインタフェース) の 機能	835
CSIO (クロック同期シリアルインタフェース) の 動作	874
CSIO (クロック同期シリアルインタフェース) の レジスター一覧	836
CSIO (クロック同期シリアルインタフェース) の ボーレート選択	893
CSIO の割込み	868

D

D/A コンバータ

構成	769
端子	771
動作説明	775
レジスタ	772

DMA コントローラ (DMAC)

DMA 転送の抑止	1032
構成	985
端子	987
転送後の動作	1028
転送終了時の動作	1027
転送設定	1012
転送動作	1015
転送の中断	1025
レジスタ	988
割込み	1011

E

EIT

EIT (例外・割込み・トラップ)	111
-------------------------	-----

ESCR

拡張通信制御レジスタ (ESCR) の ビット構成	795, 850
------------------------------------	----------

F

FIFO

FIFO 制御レジスタ 0 (FCR0) のビット構成	806, 860, 930
FIFO 制御レジスタ 1 (FCR1) のビット構成	803, 857, 927
FIFO の機能	901
FIFO バイトレジスタ (FBYTE1/FBYTE2) の ビット構成	809, 863, 934
受信 FIFO 使用時の受信割込み発生とフラグ セットのタイミング	814, 870
送受信 FIFO	779
送信 FIFO 使用時の送信割込み発生とフラグ セットのタイミング	817, 873
FIFO 制御レジスタ	
FIFO 制御レジスタ 0 (FCR0) のビット構成	806, 860, 930
FIFO 制御レジスタ 1 (FCR1) のビット構成	803, 857, 927
FIFO バイトレジスタ	
FIFO バイトレジスタ (FBYTE1/FBYTE2) の ビット構成	809, 863, 934

H

"H" 幅設定リロードレジスタ	
"H" 幅設定リロードレジスタ (BTxPRLH) の	
ビット構成	625

I

I ² C	
I ² C インタフェースの機能	901
I ² C インタフェースのレジスタ一覧	902
I ² C インタフェースの割込み	936
I ² C バススタート条件	938
I ² C バスステータスレジスタ (IBSR)	915
I ² C バスストップ条件	938
I ² C バス制御レジスタ (IBCR)	907
I ² C バス反復スタート条件	938
IBCR	
I ² C バス制御レジスタ (IBCR)	907
IBSR	
I ² C バスステータスレジスタ (IBSR)	915
I/O ポート	
構成	374
使用上の注意	406
端子	379
レジスタ	380
ISBA	
7 ビットスレーブアドレスレジスタ (ISBA)	
.....	925
ISMK	
7 ビットスレーブアドレスマスクレジスタ	
(ISMK)	924

L

L	
PWM 出力オール "L" またはオール "H" の	
出力方法	616
"L" 幅設定リロードレジスタ	
"L" 幅設定リロードレジスタ (BTxPRLH) の	
ビット構成	624

M

MB91635A	
外形寸法図	9
概要	2
品種構成	7
ブロックダイアグラム	8

P

PCLK	
各周辺クロック (PCLK) 周波数に対するリロード	
値とボーレート	895, 963
PPG	
16 ビット PPG タイマ	581
16 ビット PPG タイマのブロックダイアグラム	
.....	582
16 ビット PWM/PPG/ リロードタイマの使用上の	
注意	599

割込み要因とタイミングチャート

(PPG 出力 : 通常極性)	631
PWC	
16/32 ビット PWC タイマ	581
PWC タイマの使用上の注意	600
PWC タイマ	
16/32 ビット PWC タイマ (ch.1, ch.0) のブロック	
ダイアグラム	585
PWM	
16 ビット PWM/PPG/ リロードタイマの使用上の	
注意	599
16 ビット PWM タイマ	580
16 ビット PWM タイマのブロックダイアグラム	
.....	582
PWM 周期設定レジスタ (BTxPCSR) の	
ビット構成	610
PWM 出力オール "L" またはオール "H" の	
出力方法	616
PWM デューティ設定レジスタ (BTxPDUT) の	
ビット構成	611
割込み要因とタイミングチャート	
(PWM 出力 : 通常極性)	615
PWM 周期設定レジスタ	
PWM 周期設定レジスタ (BTxPCSR) の	
ビット構成	610
PWM 出力	
PWM 出力オール "L" またはオール "H" の	
出力方法	616
割込み要因とタイミングチャート	
(PWM 出力 : 通常極性)	615
PWM タイマ	
16 ビット PWM タイマ	580
16 ビット PWM タイマのブロックダイアグラム	
.....	582
PWM デューティ設定レジスタ	
PWM デューティ設定レジスタ (BTxPDUT) の	
ビット構成	611

R

RDR	
受信データレジスタ (RDR)	797, 852, 922

S

SCR	
シリアル制御レジスタ (SCR)	786, 841
SMR	
シリアルモードレジスタ (SMR)	789, 844, 913
SPI	
SPI 転送 (I)	881
SPI 転送 (II)	885
SSR	
シリアルステータスレジスタ (SSR)	
.....	792, 847, 919

T

TDR	
送信データレジスタ (TDR)	799, 853, 923

U

UART

UART(非同期シリアルインタフェース) の機能	781
UART(非同期シリアルインタフェース) のレジスタ一覧	782
UART の動作	818
UART の割込み	811
UART ボーレート選択	823

あ

アービトレーションロスト	
アービトレーションロスト	955
アウトプットコンペア	
一対にして使用する場合の動作	503
構成	489
端子	491
独立で使用する場合の動作	501
レジスタ	492
割込み	500
アップダウンカウンタ	
アップダウンカウントモード時の動作	687
位相差カウントモード (2 週倍) 時の動作	690
位相差カウントモード (4 週倍) 時の動作	692
構成	664
タイマモード時の動作	685
端子	666
レジスタ	667
割込み	679
アドレス	
7 ビットスレーブアドレスマスクレジスタ (ISMK)	924
7 ビットスレーブアドレスレジスタ (ISBA)	925
スレーブアドレス一致検出	957
スレーブアドレス出力	940
アドレスレジスタ	
7 ビットスレーブアドレスレジスタ (ISBA)	925
アンダフロー動作	
アンダフロー動作	643

い

インタフェース

CSIO (クロック同期シリアルインタフェース) の機能	835
CSIO (クロック同期シリアルインタフェース) の動作	874
CSIO(クロック同期シリアルインタフェース) のレジスタ一覧	836
CSIO(クロック同期シリアルインタフェース) ボーレート選択	893
I ² C インタフェースの機能	901
I ² C インタフェースのレジスタ一覧	902
I ² C インタフェースの割込み	936
UART(非同期シリアルインタフェース) の機能	781
UART(非同期シリアルインタフェース) のレジスタ一覧	782
インタフェースモード	778
インタフェースモードの切換え	778
インプットキャプチャ	
構成	475
端子	477
動作説明	484
レジスタ	478
割込み	483

う

ウォッチドッグタイマ

構成	429
動作説明	436
レジスタ	431

え

エラー

バスエラー動作	961
バスエラー発生条件	961

お

オール "L" またはオール "H"

PWM 出力オール "L" またはオール "H" の 出力方法	616
--	-----

か

外部

外部クロック	827
--------------	-----

外部クロック

外部クロック	827
--------------	-----

外部バスインタフェース

CS 領域設定手順	366
RDY 端子によるアクセスサイクルの延長	341

アクセスサイクル数	344
-----------------	-----

アドレス情報とアドレスアラインメント	346
--------------------------	-----

外部バス DMA 転送	358
-------------------	-----

構成	278
----------	-----

タイミング設定	311
---------------	-----

端子	280
----------	-----

データアラインメント	348
------------------	-----

プロトコル	299
-------------	-----

レジスタ	282
------------	-----

外部割込み制御部

構成	411
----------	-----

スタンバイモードからの復帰	424
---------------------	-----

スリープモードからの復帰	426
--------------------	-----

端子	413
----------	-----

動作説明	421
------------	-----

レジスタ	414
------------	-----

概要

動作概要	627
------------	-----

カウンタ

カウンタのクリアと初期値	656
--------------------	-----

リロードカウンタの機能	827, 895, 963
-------------------	---------------

カウント

カウントクロックの選択	654
-------------------	-----

カウントの開始	827, 895, 963
---------------	---------------

書き込み

リロードレジスタへの書き込みタイミング	627
---------------------------	-----

各タイマ

各タイマの使用上で共通する注意	599
-----------------------	-----

拡張通信制御レジスタ

拡張通信制御レジスタ (ESCR) のビット構成	795, 850
-----------------------------------	----------

関係

モード設定と各種タイマ機能の関係	580
------------------------	-----

リロード値とパルス幅の関係	630
---------------------	-----

き

起動

起動後の動作	656
--------------	-----

パルス幅測定 of 起動と停止	656
-----------------------	-----

機能

機能ごとの割込み制御ビットと割込み要因	601
------------------------------	-----

機能選択	830
------------	-----

く

クリア

カウンタのクリアと初期値	656
--------------------	-----

クロック

CSIO (クロック同期シリアルインタフェース) の 機能	835
--	-----

CSIO (クロック同期シリアルインタフェース) の 動作	874
--	-----

CSIO (クロック同期シリアルインタフェース) の レジスタ一覧	836
--	-----

CSIO (クロック同期シリアルインタフェース) の ボーレート選択	893
---	-----

外部クロック	827
--------------	-----

カウントクロックの選択	654
-------------------	-----

各周辺クロック (PCLK) 周波数に対するリロード 値とボーレート	895, 825, 963
---	---------------

内部クロック選択時のカウント動作	642
------------------------	-----

クロック生成部

PLL クロック (PLLCLK) 生成のための通倍率	151
--------------------------------------	-----

構成	125
----------	-----

ソースクロック (SRCCLK) の切換え	148
-----------------------------	-----

端子	129
----------	-----

動作説明	145
------------	-----

レジスタ	130
------------	-----

クロック同期シリアルインタフェース

CSIO (クロック同期シリアルインタフェース) の 機能	835
--	-----

CSIO (クロック同期シリアルインタフェース) の 動作	874
--	-----

CSIO (クロック同期シリアルインタフェース) の レジスタ一覧	836
--	-----

CSIO (クロック同期シリアルインタフェース) の ボーレート選択	893
---	-----

クロック分周制御部

構成	157
----------	-----

内部クロック	155
--------------	-----

分周比	163
-----------	-----

レジスタ	158
------------	-----

さ

再起動

再起動	656
-----------	-----

再スタート

再スタート	827, 896
-------------	----------

サブタイマ

構成	181
サブタイマの動作	187
ストップモードへの遷移と時計モードについて	189
レジスタ	182
割込み	186

し

周期設定レジスタ

PWM 周期設定レジスタ (BTxPCSR) のビット構成	610
-------------------------------	-----

周期設定レジスタ (BTxPCSR) のビット構成	640
---------------------------	-----

周辺機能によるDMA転送要求の発生/クリア選択機能

DMA 転送時の動作	1076
構成	1035
レジスタ	1037

受信 FIFO

受信 FIFO 使用時の受信割込み発生とフラグ	
セットのタイミング	814, 870

受信時

受信時の許容ボーレート範囲	826
---------------	-----

受信データミラーレジスタ

受信データミラーレジスタ (RDRM)	867
---------------------	-----

受信データレジスタ

受信データレジスタ (RDR)	797, 852, 922
-----------------	---------------

受信割込み

受信 FIFO 使用時の受信割込み発生とフラグ	
セットのタイミング	814, 870
受信割込み発生とフラグセットのタイミング	813, 869

出力端子機能

出力端子機能の動作	644
-----------	-----

使用上の注意

16 ビット PWM/PPG/ リロードタイマの使用上の注意	599
PWC タイマの使用上の注意	600

初期値

カウンタのクリアと初期値	656
--------------	-----

シリアル書き込み接続

富士通マイクロエレクトロニクス製シリアル プログラマ	1128
-------------------------------	------

シリアルステータスレジスタ

シリアルステータスレジスタ (SSR)	792, 847, 919
---------------------	---------------

シリアル制御レジスタ

シリアル制御レジスタ (SCR)	786, 841
------------------	----------

シリアルモード選択レジスタ

シリアルモード選択レジスタ (SSEL0123, SSEL4567) のビット構成	865
--	-----

シリアルモードレジスタ

シリアルモードレジスタ (SMR)	789, 844, 913
-------------------	---------------

す

スタート

スタート条件生成	939
----------	-----

ステータス制御レジスタ

ステータス制御レジスタ (BTxSTC)	608, 622, 638, 650
----------------------	--------------------

ストップモード

ストップモード時の動作	210
-------------	-----

スリープモード

スリープモード時の動作	204
-------------	-----

スレーブ

7 ビットスレーブアドレスマスクレジスタ (ISMK)	924
--------------------------------	-----

7 ビットスレーブアドレスレジスタ (ISBA)	925
--------------------------	-----

スレーブアドレス一致検出	957
--------------	-----

スレーブアドレス出力	940
------------	-----

スレーブによる受信	958
-----------	-----

スレーブによる送信	960
-----------	-----

スレーブアドレスマスクレジスタ

7 ビットスレーブアドレスマスクレジスタ (ISMK)	924
--------------------------------	-----

スレーブアドレスレジスタ

7 ビットスレーブアドレスレジスタ (ISBA)	925
--------------------------	-----

せ

制御レジスタ

FIFO 制御レジスタ 0 (FCR0) のビット構成	806, 860, 930
-----------------------------	---------------

FIFO 制御レジスタ 1 (FCR1) のビット構成	803, 857, 927
-----------------------------	---------------

I ² C バス制御レジスタ (IBCR)	907
----------------------------------	-----

シリアル制御レジスタ (SCR)	786, 841
------------------	----------

ステータス制御レジスタ (BTxSTC)	608, 622, 638, 650
----------------------	--------------------

タイマ制御レジスタ (BTxTMCR 下位バイト)	606, 620, 635, 648
---------------------------	--------------------

タイマ制御レジスタ (BTxTMCR 上位バイト)	604, 618, 646, 633
---------------------------	--------------------

そ

送受信

送受信 FIFO	779
----------	-----

送信 FIFO

送信 FIFO 使用時の送信割込み発生とフラグ	
セットのタイミング	817, 873

送信データミラーレジスタ

送信データミラーレジスタ (TDRM)	867
---------------------	-----

送信データレジスタ

送信データレジスタ (TDR)	799, 853, 923
-----------------	---------------

送信割込み

送信 FIFO 使用時の送信割込み発生とフラグ	
セットのタイミング	817, 873

送信割込み発生とフラグセットのタイミング	816, 872
----------------------	----------

ソースクロック

ソースクロック (SRCCLK) の切換え	148
-----------------------	-----

た

第一バイト送信

第一バイト送信によるアクノリッジ受信	942
--------------------	-----

タイマ

16/32 ビット PWC タイマ	581
-------------------	-----

16/32 ビットリロードタイマ	581
16/32 ビットリロードタイマ (ch.1, ch.0) の ブロックダイアグラム	583
16 ビット PPG タイマ	581
16 ビット PPG タイマのブロックダイアグラム	582
16 ビット PWM/PPG/ リロードタイマの使用上の 注意	599
16 ビット PWM タイマ	580
16 ビット PWM タイマのブロックダイアグラム	582
PWC タイマの使用上の注意	600
各タイマの使用上で共通する注意	599
タイマ制御レジスタ (BTxTMCR 下位バイト)	606, 620, 635, 648
タイマ制御レジスタ (BTxTMCR 上位バイト)	604, 618, 646, 633
タイマレジスタ (BTxTMR) のビット構成	612, 626, 641
ベースタイマの機能	602
ベースタイマの動作	595
ベースタイマのレジスタ一覧	587
モード設定と各種タイマ機能の関係	580
タイマ制御レジスタ タイマ制御レジスタ (BTxTMCR 下位バイト)	606, 620, 635, 648
タイマ制御レジスタ (BTxTMCR 上位バイト)	604, 618, 646, 633
タイマレジスタ タイマレジスタ (BTxTMR) のビット構成	612, 626, 641
タイミング 受信 FIFO 使用時の受信割込み発生とフラグ セットのタイミング	814, 870
受信割込み発生とフラグセットのタイミング	813, 869
送信 FIFO 使用時の送信割込み発生とフラグ セットのタイミング	817, 873
送信割込み発生とフラグセットのタイミング	816, 872
リロードレジスタへの書き込みタイミング	627
割込み要因とタイミングチャート (PPG 出力 : 通常極性)	631
割込み要因とタイミングチャート (PWM 出力 : 通常極性)	615
タイミングチャート 割込み要因とタイミングチャート (PPG 出力 : 通常極性)	631
割込み要因とタイミングチャート (PWM 出力 : 通常極性)	615
端子 出力端子機能の動作	644
端子機能一覧	14
端子の設定方法	45
端子配列図	12
入出力回路形式	41
入力端子機能の動作	644

ち

遅延割込み 構成	269
使用上の注意	273
動作説明	272
レジスタ	270
注意 16 ビット PWM/PPG/ リロードタイマの使用上の 注意	599
PWC タイマの使用上の注意	600
各タイマの使用上で共通する注意	599

つ

通常極性 割込み要因とタイミングチャート (PPG 出力 : 通常極性)	631
割込み要因とタイミングチャート (PWM 出力 : 通常極性)	615

て

停止 停止について	656
パルス幅測定の起動と停止	656
低消費電力モード クロック制御時の動作	201
構成	193
使用上の注意	213
ストップモード時の動作	210
スリープモード時の動作	204
ドーズモード時の動作	203
時計モード時の動作	208
メインタイマモード時の動作	206
レジスタ	195
データ 受信データレジスタ (RDR)	797, 852, 922
送信データレジスタ (TDR)	799, 853, 923
データ方向ビット	958
マスタによるデータ受信	953
マスタによるデータ送信	946
データバッファレジスタ データバッファレジスタ (BTxDTBF) の ビット構成	652
データレジスタ 受信データレジスタ (RDR)	797, 852, 922
送信データレジスタ (TDR)	799, 853, 923
デバイスの取扱いについて デバイス取扱い上の注意	1138
デバッグ関連の注意事項	1142
プログラムステータスレジスタ (PS) に関する 注意事項	1141
転送 SPI 転送 (I)	881
SPI 転送 (II)	885
ノーマル転送 (I)	874
ノーマル転送 (II)	877

と

同期シリアルインタフェース

CSIO (クロック同期シリアルインタフェース) の機能	835
CSIO (クロック同期シリアルインタフェース) の動作	874
CSIO (クロック同期シリアルインタフェース) のレジスタ一覧	836
CSIO (クロック同期シリアルインタフェース) のボーレート選択	893

動作

32 ビットモード動作	598
CSIO (クロック同期シリアルインタフェース) の動作	874
UART の動作	818
アンダフロー動作	643
起動後の動作	656
出力端子機能の動作	644
動作概要	627
動作モード	785
動作モードの選択	655
内部クロック選択時のカウント動作	642
入力端子機能の動作	644
バスエラー動作	961
ベースタイマの動作	595
ワンショット動作	614, 629

動作モード

動作モード	785
動作モードの選択	655

ドーズモード

ドーズモード時の動作	203
------------------	-----

時計カウンタ

構成	441
使用上の注意	451
動作	449
レジスタ	443
割込み	448

時計モード

時計モード時の動作	208
-----------------	-----

な

内蔵プログラムメモリ制御

レジスタ	1081
------------	------

内部クロック

内部クロック選択時のカウント動作	642
------------------------	-----

に

入出力回路形式

入出力回路形式	41
---------------	----

入力端子機能

入力端子機能の動作	644
-----------------	-----

の

ノーマル

ノーマル転送 (I)	874
ノーマル転送 (II)	877

は

バスエラー

バスエラー動作	961
バスエラー発生条件	961

バスステータスレジスタ

I ² C バスステータスレジスタ (IBSR)	915
---	-----

パルス

パルス幅測定機能	653
パルス幅測定動作詳細	657
パルス幅測定の起動と停止	656
リロード値とパルス幅の関係	630

ひ

ビット構成

FIFO 制御レジスタ 0 (FCR0) のビット構成	806, 860, 930
FIFO 制御レジスタ 1 (FCR1) のビット構成	803, 857, 927
FIFO バイトレジスタ (FBYTE1/FBYTE2) のビット構成	809, 863, 934
"H" 幅設定リロードレジスタ (BTxPRLH) のビット構成	625
"L" 幅設定リロードレジスタ (BTxPRL) のビット構成	624
PWM 周期設定レジスタ (BTxPCSR) のビット構成	610
PWM デューティ設定レジスタ (BTxPDUT) のビット構成	611
拡張通信制御レジスタ (ESCR) のビット構成	795, 850
周期設定レジスタ (BTxPCSR) のビット構成	640
シリアルモード選択レジスタ (SSEL0123, SSEL4567) のビット構成	865
タイマレジスタ (BTxTMR) のビット構成	612, 626, 641
データバッファレジスタ (BTxDTB) のビット構成	652
ボーレートジェネレータレジスタ 1, 0 (BGR1, BGR0) のビット構成	801, 855, 926

非同期シリアルインタフェース

UART (非同期シリアルインタフェース) の機能	781
UART (非同期シリアルインタフェース) のレジスタ一覧	782

ふ

フラグセット

受信 FIFO 使用時の受信割込み発生とフラグセットのタイミング	814, 870
受信割込み発生とフラグセットのタイミング	813, 869
送信 FIFO 使用時の送信割込み発生とフラグセットのタイミング	817, 873
送信割込み発生とフラグセットのタイミング	816, 872

フラッシュメモリ

アクセスモード	1093
---------------	------

書込み動作.....	1103
構成.....	1087
自動プログラムアルゴリズム.....	1094
使用上の注意.....	1114
セクタ消去一時停止動作.....	1109
セクタ消去再開動作.....	1110
セクタ消去動作.....	1106
チップ消去動作.....	1106
読出し / リセット動作.....	1102
レジスタ.....	1090
フリーランタイム	
外部クロック選択時の動作.....	471
構成.....	455
端子.....	459
内部クロック (周辺クロック) 選択時の動作.....	470
レジスタ.....	460
割込み.....	468
フローチャート	
フローチャート.....	828, 831, 897
ブロックダイアグラム	
16/32 ビット PWC タイマ (ch.1, ch.0) のブロックダイアグラム.....	585
16/32 ビットリロードタイマ (ch.1, ch.0) のブロックダイアグラム.....	583
16 ビット PPG タイマのブロックダイアグラム.....	582
16 ビット PWM タイマのブロックダイアグラム.....	582
へ	
ベースタイマ	
ベースタイマの機能.....	602
ベースタイマの動作.....	595
ベースタイマのレジスター一覧.....	587
ベースタイマ入出力選択機能	
構成.....	546
端子.....	547
入出力モード.....	563
レジスタ.....	549
ほ	
ボーレート	
CSIO(クロック同期シリアルインタフェース)	
ボーレート選択.....	893
UART ボーレート選択.....	823
各周辺クロック (PCLK) 周波数に対するリロード値とボーレート.....	825, 895, 963
受信時の許容ボーレート範囲.....	826
ボーレート選択.....	962
ボーレートの計算.....	824, 894, 962
ボーレートジェネレータ	
ボーレートジェネレータレジスタ 1, 0 (BGR1, BGR0) のビット構成.....	801, 855, 926
ま	
マスタ	
マスタによるデータ受信.....	953

マスタによるデータ送信.....	946
マスタモードのウェイト.....	956
マルチファンクションシリアルインタフェース (CSIO)	
4 チャンネル同時通信モード時の動作.....	889

め

メインタイマ

構成.....	169
ストップモードへの遷移について.....	178
メインタイマの動作.....	176
レジスタ.....	170
割込み.....	175
メインタイマモード	
メインタイマモード時の動作.....	206

も

モード

32 ビットモード機能.....	597
32 ビットモード設定.....	597
32 ビットモード動作.....	598
インタフェースモード.....	778
インタフェースモードの切換え.....	778
シリアルモードレジスタ (SMR).....	789, 844, 913
動作モード.....	785
動作モードの選択.....	655
マスタモードのウェイト.....	956
モード設定と各種タイマ機能の関係.....	580
リセットモード.....	580
モードレジスタ	
シリアルモードレジスタ (SMR).....	789, 844, 913

り

リセット

イレギュラーリセット.....	231
リセットモード.....	580
構成.....	217
端子.....	219
動作状態と遷移.....	232
リセットの種類.....	225
リセットの動作.....	227
リセット要因.....	226
レジスタ.....	220

リロード

16/32 ビットリロードタイマ.....	581
16/32 ビットリロードタイマ (ch.1, ch.0) のブロックダイアグラム.....	583
16 ビット PWM/PPG/ リロードタイマの使用上の注意.....	599
"H" 幅設定リロードレジスタ (BTxPRLH) のビット構成.....	625
"L" 幅設定リロードレジスタ (BTxPRL) のビット構成.....	624
各周辺クロック (PCLK) 周波数に対するリロード値とボーレート.....	825, 895, 963
リロードカウンタの機能.....	827, 895, 963
リロード値とパルス幅の関係.....	630
リロードレジスタへの書込みタイミング.....	627

リロードタイマ	
16/32 ビットリロードタイマ	581
16/32 ビットリロードタイマ (ch.1, ch.0) の ブロックダイヤグラム	583
16 ビット PWM/PPG/ リロードタイマの使用上の 注意	599
リロードタイマ (16 ビット)	
イベントカウンタモード時の動作	534
インターバルモード時の動作	522
カスケードモード時の動作	540
構成	509
使用上の注意	542
端子	511
レジスタ	512
割込み	520
リロード値	
各周辺クロック (PCLK) ク周波数に対する リロード値とボーレート	825
各周辺クロック (PCLK) 周波数に対する リロード値とボーレート	895, 963
リロード値とパルス幅の関係	630
リロードレジスタ	
"H" 幅設定リロードレジスタ (BTxPRLH) の ビット構成	625
"L" 幅設定リロードレジスタ (BTxPRL) の ビット構成	624
リロードレジスタへの書き込みタイミング	627

れ

レジスタ	
7 ビットスレーブアドレスマスクレジスタ (ISMK)	924
7 ビットスレーブアドレスレジスタ (ISBA)	925
CSIO(クロック同期シリアルインタフェース) の レジスタ一覧	836
FIFO 制御レジスタ 0(FCR0) のビット構成	806, 860, 930
FIFO 制御レジスタ 1(FCR1) のビット構成	803, 857, 927
FIFO バイトレジスタ (FBYTE1/FBYTE2) の ビット構成	809, 863, 934
"H" 幅設定リロードレジスタ (BTxPRLH) の ビット構成	625
I ² C インタフェースのレジスタ一覧	902
I ² C バスステータスレジスタ (IBSR)	915
I ² C バス制御レジスタ (IBCR)	907
"L" 幅設定リロードレジスタ (BTxPRL) の ビット構成	624
PWM 周期設定レジスタ (BTxPCSR) のビット構成	610
PWM デューティ設定レジスタ (BTxPDUT) の ビット構成	611
UART(非同期シリアルインタフェース) の レジスタ一覧	782
拡張通信制御レジスタ (ESCR) のビット構成	795, 850
周期設定レジスタ (BTxPCSR) のビット構成	640
受信データレジスタ (RDR0)	797, 852, 922

シリアルステータスレジスタ (SSR)	792, 847, 919
シリアル制御レジスタ (SCR)	786, 841
シリアルモードレジスタ (SMR)	789, 844, 913
ステータス制御レジスタ (BTxSTC)	608, 622, 638, 650
送信データレジスタ (TDR)	799, 853, 923
タイマ制御レジスタ (BTxTMCR 下位バイト)	606, 620, 635, 648
タイマ制御レジスタ (BTxTMCR 上位バイト)	604, 618, 646, 633
タイマレジスタ (BTxTMR) のビット構成	612, 626, 641
データバッファレジスタ (BTxDTB) の ビット構成	652
ベースタイマのレジスタ一覧	587
ボーレートジェネレータレジスタ 1, 0 (BGR1, BGR0) のビット構成	801, 855, 926
リロードレジスタへの書き込みタイミング	627
受信データミラーレジスタ (RDRM)	867
シリアルモード選択レジスタ (SSEL0123, SSEL4567) のビット構成	865
送信データミラーレジスタ (TDRM)	867
レジスタ一覧	
CSIO(クロック同期シリアルインタフェース) の レジスタ一覧	836
I ² C インタフェースのレジスタ一覧	902
UART(非同期シリアルインタフェース) の レジスタ一覧	782
ベースタイマのレジスタ一覧	587
連続動作	
連続動作	613, 628

わ

ワイルドレジスタ	
構成	1117
使用上の注意	1124
動作説明	1123
レジスタ	1118
割込み	
CSIO の割込み	868
I ² C インタフェースの割込み	936
UART の割込み	811
機能ごとの割込み制御ビットと割込み要因	601
受信 FIFO 使用時の受信割込み発生と フラグセットのタイミング	814, 870
受信割込み発生とフラグセットのタイミング	813, 869
送信 FIFO 使用時の送信割込み発生とフラグ セットのタイミング	817, 873
送信割込み発生とフラグセットのタイミング	816, 872
割込み要因とタイミングチャート (PPG 出力 : 通常極性)	631
割込み要因とタイミングチャート (PWM 出力 : 通常極性)	615
割込みコントローラ	
構成	239
使用上の注意	245
動作説明	243

レジスタ	240
割込み制御	
機能ごとの割込み制御ビットと割込み要因	601
割込み要因	
機能ごとの割込み制御ビットと割込み要因	601
割込み要因とタイミングチャート	
(PPG 出力 : 通常極性)	631

割込み要因とタイミングチャート	
(PWM 出力 : 通常極性)	615
割込み要求一括読出し機能	
構成	249
使用上の注意	266
レジスタ	250
ワンショット動作	
ワンショット動作	614, 629

MB91635A シリーズ

端子索引

端子名	関連機能	ページ
A		
A00	外部バスインタフェース	280
A01	外部バスインタフェース	280
A02	外部バスインタフェース	280
A03	外部バスインタフェース	280
A04	外部バスインタフェース	280
A05	外部バスインタフェース	280
A06	外部バスインタフェース	280
A07	外部バスインタフェース	280
A08	外部バスインタフェース	280
A09	外部バスインタフェース	280
A10	外部バスインタフェース	280
A11	外部バスインタフェース	280
A12	外部バスインタフェース	280
A13	外部バスインタフェース	280
A14	外部バスインタフェース	280
A15	外部バスインタフェース	280
A16	外部バスインタフェース	280
A17	外部バスインタフェース	280
A18	外部バスインタフェース	280
A19	外部バスインタフェース	280
A20	外部バスインタフェース	280
A21	外部バスインタフェース	280
A22	外部バスインタフェース	280
A23	外部バスインタフェース	280
ADTRG0	10 ビット A/D コンバータ	700
AIN0	アップダウンカウンタ	666
AIN1	アップダウンカウンタ	666
AIN2	アップダウンカウンタ	666
AIN3	アップダウンカウンタ	666
AN0	10 ビット A/D コンバータ	700
AN1	10 ビット A/D コンバータ	700
AN2	10 ビット A/D コンバータ	700
AN3	10 ビット A/D コンバータ	700
AN4	10 ビット A/D コンバータ	700
AN5	10 ビット A/D コンバータ	700
AN6	10 ビット A/D コンバータ	700
AN7	10 ビット A/D コンバータ	700
AN8	10 ビット A/D コンバータ	700
AN9	10 ビット A/D コンバータ	700
AN10	10 ビット A/D コンバータ	700
AN11	10 ビット A/D コンバータ	700
AN12	10 ビット A/D コンバータ	700

MB91635A シリーズ

端子名	関連機能	ページ
AN13	10 ビット A/D コンバータ	700
AN14	10 ビット A/D コンバータ	700
AN15	10 ビット A/D コンバータ	700
AN16	10 ビット A/D コンバータ	700
AN17	10 ビット A/D コンバータ	700
AN18	10 ビット A/D コンバータ	700
AN19	10 ビット A/D コンバータ	700
AN20	10 ビット A/D コンバータ	700
AN21	10 ビット A/D コンバータ	700
AN22	10 ビット A/D コンバータ	700
AN23	10 ビット A/D コンバータ	700
AN24	10 ビット A/D コンバータ	700
AN25	10 ビット A/D コンバータ	700
AN26	10 ビット A/D コンバータ	700
AN27	10 ビット A/D コンバータ	700
AN28	10 ビット A/D コンバータ	700
AN29	10 ビット A/D コンバータ	700
AN30	10 ビット A/D コンバータ	700
$\overline{\text{AS}}$	外部バスインタフェース	280
AV_{CC}	10 ビット A/D コンバータ	700
AVRH	10 ビット A/D コンバータ	700
AV_{SS}	10 ビット A/D コンバータ	700
B		
BIN0	アップダウンカウンタ	666
BIN1	アップダウンカウンタ	666
BIN2	アップダウンカウンタ	666
BIN3	アップダウンカウンタ	666
C		
$\overline{\text{CS0}}$	外部バスインタフェース	280
$\overline{\text{CS1}}$	外部バスインタフェース	280
$\overline{\text{CS2}}$	外部バスインタフェース	280
$\overline{\text{CS3}}$	外部バスインタフェース	280
D		
D00	外部バスインタフェース	280
D01	外部バスインタフェース	280
D02	外部バスインタフェース	280
D03	外部バスインタフェース	280
D04	外部バスインタフェース	280
D05	外部バスインタフェース	280
D06	外部バスインタフェース	280
D07	外部バスインタフェース	280
D08	外部バスインタフェース	280
D09	外部バスインタフェース	280
D10	外部バスインタフェース	280
D11	外部バスインタフェース	280
D12	外部バスインタフェース	280
D13	外部バスインタフェース	280

MB91635A シリーズ

端子名	関連機能	ページ
D14	外部バスインタフェース	280
D15	外部バスインタフェース	280
DA0	8 ビット D/A コンバータ	771
DA1	8 ビット D/A コンバータ	771
DA2	8 ビット D/A コンバータ	771
DACK0	DMA コントローラ (DMAC) / 外部バスインタフェース	987, 280
DACK1	DMA コントローラ (DMAC) / 外部バスインタフェース	987, 280
DACK2	DMA コントローラ (DMAC) / 外部バスインタフェース	987, 280
DACK3	DMA コントローラ (DMAC) / 外部バスインタフェース	987, 280
DEOP0	DMA コントローラ (DMAC) / 外部バスインタフェース	987, 280
DEOP1	DMA コントローラ (DMAC) / 外部バスインタフェース	987, 280
DEOP2	DMA コントローラ (DMAC) / 外部バスインタフェース	987, 280
DEOP3	DMA コントローラ (DMAC) / 外部バスインタフェース	987, 280
DREQ0	DMA コントローラ (DMAC) / 外部バスインタフェース	987, 280
DREQ1	DMA コントローラ (DMAC) / 外部バスインタフェース	987, 280
DREQ2	DMA コントローラ (DMAC) / 外部バスインタフェース	987, 280
DREQ3	DMA コントローラ (DMAC) / 外部バスインタフェース	987, 280
F		
FRCK0	32 ビットフリーランタイム	459
FRCK1	32 ビットフリーランタイム	459
I		
IN0	32 ビットインプットキャプチャ	477
IN1	32 ビットインプットキャプチャ	477
IN2	32 ビットインプットキャプチャ	477
IN3	32 ビットインプットキャプチャ	477
IN4	32 ビットインプットキャプチャ	477
IN5	32 ビットインプットキャプチャ	477
IN6	32 ビットインプットキャプチャ	477
IN7	32 ビットインプットキャプチャ	477
INIT	リセット	219
INT0	外部割込み要求	413
INT1	外部割込み要求	413
INT2	外部割込み要求	413
INT3	外部割込み要求	413
INT4	外部割込み要求	413
INT5	外部割込み要求	413
INT6	外部割込み要求	413
INT7	外部割込み要求	413
INT8	外部割込み要求	413
INT9	外部割込み要求	413
INT10	外部割込み要求	413
INT11	外部割込み要求	413
INT12	外部割込み要求	413
INT13	外部割込み要求	413
INT14	外部割込み要求	413
INT15	外部割込み要求	413
INT16	外部割込み要求	413

MB91635A シリーズ

端子名	関連機能	ページ
INT17	外部割込み要求	413
INT18	外部割込み要求	413
INT19	外部割込み要求	413
INT20	外部割込み要求	413
INT21	外部割込み要求	413
INT22	外部割込み要求	413
INT23	外部割込み要求	413
INT24	外部割込み要求	413
INT25	外部割込み要求	413
INT26	外部割込み要求	413
INT27	外部割込み要求	413
INT28	外部割込み要求	413
INT29	外部割込み要求	413
INT30	外部割込み要求	413
INT31	外部割込み要求	413
M		
MD0	モード端子	20
MD1	モード端子	20
O		
OUT0	32 ビットアウトプットコンペア	491
OUT1	32 ビットアウトプットコンペア	491
OUT2	32 ビットアウトプットコンペア	491
OUT3	32 ビットアウトプットコンペア	491
OUT4	32 ビットアウトプットコンペア	491
OUT5	32 ビットアウトプットコンペア	491
OUT6	32 ビットアウトプットコンペア	491
OUT7	32 ビットアウトプットコンペア	491
P		
P00	I/O ポート	379
P01	I/O ポート	379
P02	I/O ポート	379
P03	I/O ポート	379
P04	I/O ポート	379
P05	I/O ポート	379
P06	I/O ポート	379
P07	I/O ポート	379
P10	I/O ポート	379
P11	I/O ポート	379
P12	I/O ポート	379
P13	I/O ポート	379
P14	I/O ポート	379
P15	I/O ポート	379
P16	I/O ポート	379
P17	I/O ポート	379
P20	I/O ポート	379
P21	I/O ポート	379
P22	I/O ポート	379

MB91635A シリーズ

端子名	関連機能	ページ
P23	I/O ポート	379
P24	I/O ポート	379
P25	I/O ポート	379
P26	I/O ポート	379
P27	I/O ポート	379
P30	I/O ポート	379
P31	I/O ポート	379
P32	I/O ポート	379
P33	I/O ポート	379
P34	I/O ポート	379
P35	I/O ポート	379
P36	I/O ポート	379
P37	I/O ポート	379
P40	I/O ポート	379
P41	I/O ポート	379
P42	I/O ポート	379
P43	I/O ポート	379
P44	I/O ポート	379
P45	I/O ポート	379
P46	I/O ポート	379
P47	I/O ポート	379
P50	I/O ポート	379
P51	I/O ポート	379
P52	I/O ポート	379
P53	I/O ポート	379
P54	I/O ポート	379
P55	I/O ポート	379
P56	I/O ポート	379
P57	I/O ポート	379
P60	I/O ポート	379
P61	I/O ポート	379
P62	I/O ポート	379
P63	I/O ポート	379
P64	I/O ポート	379
P65	I/O ポート	379
P66	I/O ポート	379
P67	I/O ポート	379
P70	I/O ポート	379
P71	I/O ポート	379
P72	I/O ポート	379
P73	I/O ポート	379
P74	I/O ポート	379
P75	I/O ポート	379
P76	I/O ポート	379
P77	I/O ポート	379
P80	I/O ポート	379
P81	I/O ポート	379
P82	I/O ポート	379

MB91635A シリーズ

端子名	関連機能	ページ
P83	I/O ポート	379
P84	I/O ポート	379
P85	I/O ポート	379
P86	I/O ポート	379
P87	I/O ポート	379
P90	I/O ポート	379
P91	I/O ポート	379
P92	I/O ポート	379
PA0	I/O ポート	379
PA1	I/O ポート	379
PA2	I/O ポート	379
PA3	I/O ポート	379
PA4	I/O ポート	379
PA5	I/O ポート	379
PA6	I/O ポート	379
PA7	I/O ポート	379
PB0	I/O ポート	379
PB1	I/O ポート	379
PB2	I/O ポート	379
PB3	I/O ポート	379
PB4	I/O ポート	379
PB5	I/O ポート	379
PB6	I/O ポート	379
PC0	I/O ポート	379
PC1	I/O ポート	379
PC2	I/O ポート	379
PC3	I/O ポート	379
PC4	I/O ポート	379
PC5	I/O ポート	379
PC6	I/O ポート	379
PC7	I/O ポート	379
PG0	I/O ポート	379
PG1	I/O ポート	379
PG2	I/O ポート	379
PG3	I/O ポート	379
PG4	I/O ポート	379
PG5	I/O ポート	379
PG6	I/O ポート	379
PG7	I/O ポート	379
PH0	I/O ポート	379
PH1	I/O ポート	379
PH2	I/O ポート	379
PH3	I/O ポート	379
PH4	I/O ポート	379
PH5	I/O ポート	379
PH6	I/O ポート	379
PH7	I/O ポート	379
PI0	I/O ポート	379

MB91635A シリーズ

端子名	関連機能	ページ
PI1	I/O ポート	379
PI2	I/O ポート	379
PI3	I/O ポート	379
PI4	I/O ポート	379
PI5	I/O ポート	379
PI6	I/O ポート	379
PI7	I/O ポート	379
PK0	I/O ポート	379
PK1	I/O ポート	379
PK2	I/O ポート	379
PK3	I/O ポート	379
R		
RDY	外部バスインタフェース	280
<u>RD</u>	外部バスインタフェース	280
S		
SCK0	マルチファンクションシリアルインタフェース	777
SCK1	マルチファンクションシリアルインタフェース	777
SCK2	マルチファンクションシリアルインタフェース	777
SCK3	マルチファンクションシリアルインタフェース	777
SCK4	マルチファンクションシリアルインタフェース	777
SCK5	マルチファンクションシリアルインタフェース	777
SCK6	マルチファンクションシリアルインタフェース	777
SCK7	マルチファンクションシリアルインタフェース	777
SCK8	マルチファンクションシリアルインタフェース	777
SCK9	マルチファンクションシリアルインタフェース	777
SCK10	マルチファンクションシリアルインタフェース	777
SCK11	マルチファンクションシリアルインタフェース	777
SIN0	マルチファンクションシリアルインタフェース	777
SIN1	マルチファンクションシリアルインタフェース	777
SIN2	マルチファンクションシリアルインタフェース	777
SIN3	マルチファンクションシリアルインタフェース	777
SIN4	マルチファンクションシリアルインタフェース	777
SIN5	マルチファンクションシリアルインタフェース	777
SIN6	マルチファンクションシリアルインタフェース	777
SIN7	マルチファンクションシリアルインタフェース	777
SIN8	マルチファンクションシリアルインタフェース	777
SIN9	マルチファンクションシリアルインタフェース	777
SIN10	マルチファンクションシリアルインタフェース	777
SIN11	マルチファンクションシリアルインタフェース	777
SOUT0	マルチファンクションシリアルインタフェース	777
SOUT1	マルチファンクションシリアルインタフェース	777
SOUT2	マルチファンクションシリアルインタフェース	777
SOUT3	マルチファンクションシリアルインタフェース	777
SOUT4	マルチファンクションシリアルインタフェース	777
SOUT5	マルチファンクションシリアルインタフェース	777
SOUT6	マルチファンクションシリアルインタフェース	777
SOUT7	マルチファンクションシリアルインタフェース	777

MB91635A シリーズ

端子名	関連機能	ページ
SOUT8	マルチファンクションシリアルインタフェース	777
SOUT9	マルチファンクションシリアルインタフェース	777
SOUT10	マルチファンクションシリアルインタフェース	777
SOUT11	マルチファンクションシリアルインタフェース	777
SYSCLK	外部バスインタフェース	280
T		
TIOA0	ベースタイマ	547
TIOA1	ベースタイマ	547
TIOA2	ベースタイマ	547
TIOA3	ベースタイマ	547
TIOA4	ベースタイマ	547
TIOA5	ベースタイマ	547
TIOA6	ベースタイマ	547
TIOA7	ベースタイマ	547
TIOA8	ベースタイマ	547
TIOA9	ベースタイマ	547
TIOA10	ベースタイマ	547
TIOA11	ベースタイマ	547
TIOA12	ベースタイマ	547
TIOA13	ベースタイマ	547
TIOA14	ベースタイマ	547
TIOA15	ベースタイマ	547
TIOB0	ベースタイマ	547
TIOB1	ベースタイマ	547
TIOB2	ベースタイマ	547
TIOB3	ベースタイマ	547
TIOB4	ベースタイマ	547
TIOB5	ベースタイマ	547
TIOB6	ベースタイマ	547
TIOB7	ベースタイマ	547
TIOB8	ベースタイマ	547
TIOB9	ベースタイマ	547
TIOB10	ベースタイマ	547
TIOB11	ベースタイマ	547
TIOB12	ベースタイマ	547
TIOB13	ベースタイマ	547
TIOB14	ベースタイマ	547
TIOB15	ベースタイマ	547
TMI0	16 ビットリロードタイマ	511
TMI1	16 ビットリロードタイマ	511
TMI2	16 ビットリロードタイマ	511
TMO0	16 ビットリロードタイマ	511
TMO1	16 ビットリロードタイマ	511
TMO2	16 ビットリロードタイマ	511
V		
V _{CC}	電源端子	18, 26, 32, 40
V _{SS}	GND 端子	14, 18, 20, 26, 32

MB91635A シリーズ

端子名	関連機能	ページ
W		
WR0	外部バスインタフェース	280
WR1	外部バスインタフェース	280
X		
X0	クロック制御部	125
X0A	クロック制御部	127
X1	クロック制御部	125
X1A	クロック制御部	127
Z		
ZIN0	アップダウンカウンタ	666
ZIN1	アップダウンカウンタ	666
ZIN2	アップダウンカウンタ	666
ZIN3	アップダウンカウンタ	666

CM71-10153-2

富士通マイクロエレクトロニクス・CONTROLLER MANUAL

FR80

32 ビット・マイクロコントローラ

MB91635A Series

ハードウェアマニュアル

2010 年 2 月 第 2 版発行

発行

富士通マイクロエレクトロニクス株式会社

編集

マーケティング統括部 プロモーション推進部
