



本ドキュメントはCypress (サイプレス) 製品に関する情報が記載されております。本ドキュメントには、仕様の開発元企業として「スパンション」, 「Spansion」, 「富士通」または「Fujitsu」の名が記載されておりますが、これらの製品は Cypress が新規および既存のお客様に引き続き提供してまいります。

商品仕様の継続性について

Cypress 製品として提供することに伴う商品仕様としての変更はなく、ドキュメントとしての変更もありません。また本ページのお知らせは、変更情報として追記いたしません。本ドキュメントに変更情報が記載されている場合、それは本お知らせを除いた前版からの変更点です。なお、今後改訂は必要に応じて行われますが、その際の変更内容は改訂後のドキュメントに記載いたします。

オーダ型格および品名について

Cypress は既存のオーダ型格および品名を引き続きサポートいたします。これらの製品をご注文の際は、このドキュメントに記載されているオーダ型格および品名をご使用ください。

詳しいお問い合わせ先

Cypress 製品およびそのソリューションの詳細につきましては、お近くの営業所へお問い合わせください。

サイプレスについて

サイプレス (銘柄コード: CY) は、車載や産業機器、ネットワーキング プラットフォームから高機能民生機器およびモバイル機器まで、今日の最先端組み込みシステム向けに高性能で高品質のソリューションを提供します。NOR フラッシュ メモリや F-RAMTM、SRAM、TraveoTM マイクロコントローラー、業界唯一の PSoC[®] プログラマブル システムオンチップ ソリューション、アナログおよび PMIC Power Management IC、CapSense[®] 静電容量タッチセンシング コントローラー、Wireless BLE Bluetooth[®] Low-Energy、USB コネクティビティ ソリューションなど、幅広い差別化製品ポートフォリオを、一貫した革新性と業界最高クラスの技術サポート、比類のないシステム バリューとともにグローバルに提供します。

16 ビット・マイクロコントローラ

CMOS

F²MC-16LX MB90880 シリーズ

**MB90882(S)/F882A(S)/F883B(S)/F883BH(S)/F883C(S)/
MB90F884B(S)/F884BH(S)/F884C(S)/V880A-101/102**

■ 概要

MB90880シリーズは、民生機器などの高速リアルタイム処理が要求されるプロセス制御用向けに設計された汎用の富士通 16 ビットマイクロコントローラです。

F²MC-16LX CPU コアの命令体系は、F²MC* ファミリの AT アーキテクチャを継承し、高級言語対応命令の追加やアドレッシングモードの拡張、乗除算命令の強化、ビット処理の充実化を図っています。さらに、32 ビットアキュムレータの搭載により、ロングワードの処理も可能です。

MB90880シリーズの周辺リソースとしては、16 ビット PPG、マルチファンクションシリアルインタフェース (SIO/UART/I²C ソフト切換え可能)、10 ビット A/D コンバータ、16 ビット入出力タイマ、8/16 ビットアップダウンカウンタ、ベースタイマ (16 ビットリロードタイマ/PWC タイマ/PPG タイマ/PWM タイマソフト切換え可能)、DTP/外部割込み、チップセレクトを内蔵しています。

* : F²MC は FUJITSU Flexible Microcontroller の略で、富士通マイクロエレクトロニクス株式会社の登録商標です。

■ 特長

- ・クロック
最小命令実行時間: 30.3 ns/4.125 MHz 原発振 8 通倍 (内部動作 33 MHz 時)
PLL クロック通倍方式
- ・最大メモリ空間
16 M バイト
- ・コントロール用途に最適化された命令体系
取扱い可能なデータタイプ: ビット/バイト/ワード/ロングワード
標準アドレッシングモード: 23 種類
32 ビットアキュムレータの採用による高精度演算の強化
符号付き乗除算・拡張 RETI 命令

(続く)

富士通マイクロエレクトロニクスのマイコンを効率的に開発するための情報を下記 URL にてご紹介いたします。
ご採用を検討中、またはご採用いただいたお客様に有益な情報を公開しています。

開発における最新の注意事項に関しては、「デザインレビューシート」を参照してください。
「デザインレビューシート」はシステム開発において、問題を未然に防ぐことを目的として、最低限必要と思われる
チェック項目をリストにしたものです。

<http://edevise.fujitsu.com/micom/jp-support/>

MB90880 シリーズ

(続き)

- ・ 高級言語 (C 言語) マルチタスクに対応をとった命令体系
システムスタックポイントの採用
命令セットの対称性とバレルシフト命令
- ・ 実行速度の向上
4 バイトのキュー
- ・ 強力な割り込み機能
プライオリティがプログラマブルに 8 レベル設定可能:外部割り込み:24 本
- ・ データ転送機能 (μ DMAC)
最大 16 チャンネル
- ・ 内蔵 ROM
フラッシュメモリ品:256K バイト, 384 K バイト, 512 K バイト
マスク ROM 品 256 K バイトのみ
- ・ 内蔵 RAM
フラッシュメモリ品:16K バイト, 24 K バイト, 30 K バイト
マスク ROM 品 :16 K バイトのみ
- ・ 汎用ポート
クロック 2 系統品:最大 81 本, クロック 1 系統品:最大 83 本
- ・ A/D コンバータ
RC 逐次比較型:20 チャンネル (分解能 8/10 ビット)
- ・ マルチファンクションシリアル
7 チャンネル (SIO/UART/I²C ソフトウェア切換え可能)
- ・ 16 ビット PPG
8 チャンネル
- ・ 8/16 ビット アップダウンカウンタ / タイマ
- ・ イベント入力端子:6 本
- ・ 8 ビットアップダウンカウンタ:2 本
- ・ 8 ビットリロード / コンペアレジスタ:2 本
- ・ ベースタイマ
4 チャンネル (16 ビットリロードタイマ /PWC タイマ /PPG タイマ /PWM タイマソフトウェア切換え可能)
- ・ 16 ビット入出力タイマ
インプットキャプチャ× 2 チャンネル, アウトプットコンペア× 6 チャンネル, フリーランタイマ× 1 チャンネル
- ・ 2 系統クロックジェネレータ内蔵
- ・ 低消費電力モード
ストップモード / スリープモード /CPU 間欠動作モード / 時計タイマ / タイムベースタイマモード
- ・ パッケージ
QFP-100/LQFP-100
- ・ プロセス
CMOS テクノロジ
- ・ 電源電圧
3 V 単一電源

MB90880 シリーズ

■ 品種構成

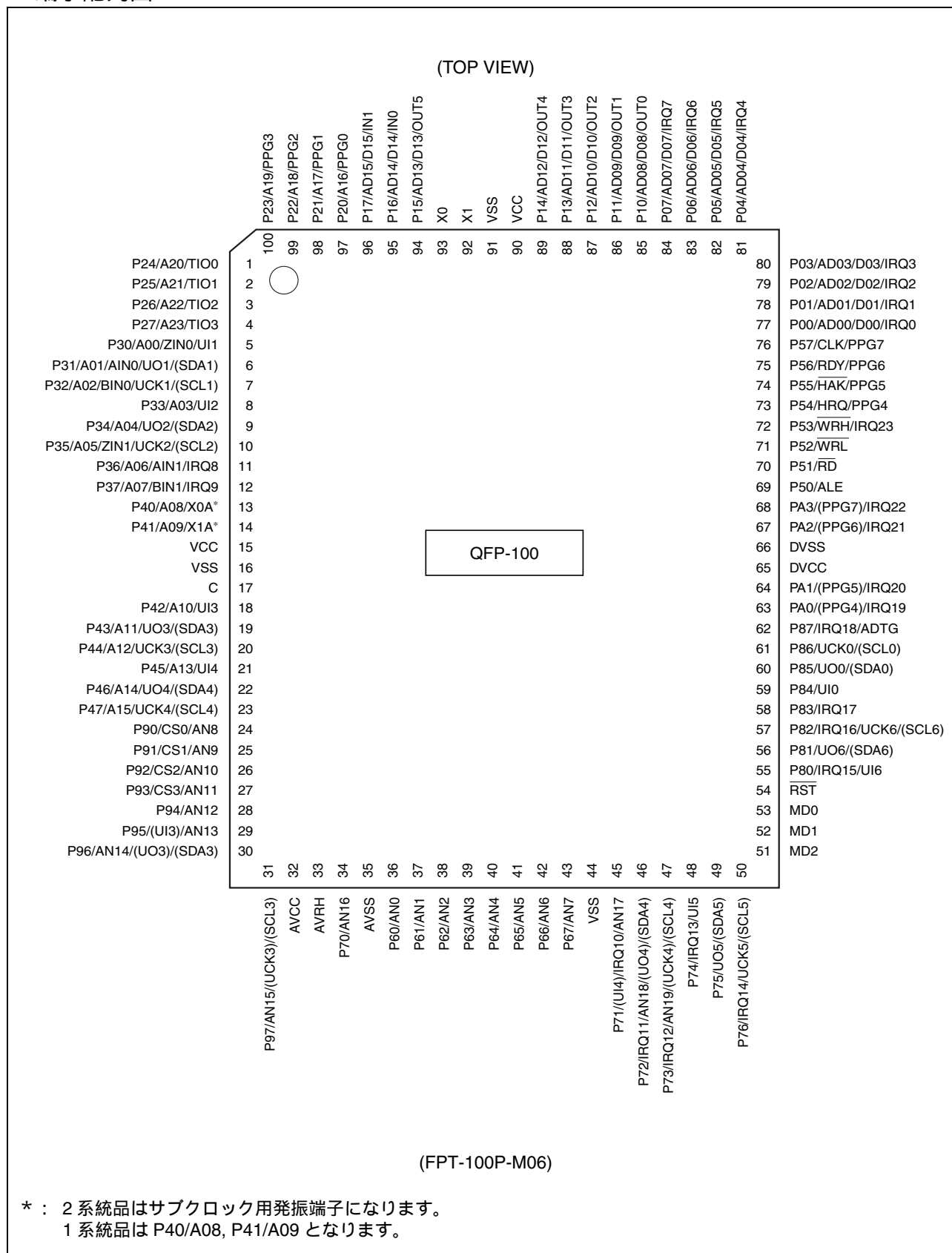
品名		MB90882(S)	MB90F882A(S)	MB90F883B(S)/ MB90F883BH(S) /MB90F883C(S)	MB90F884B(S)/ MB90F884BH(S)/ MB90F884C(S)	MB90V880A-101/ MB90V880A-102
項目						
分類		マスク ROM 品	フラッシュメモリ品			評価用品
ROM 容量		256 K バイト	256 K バイト	384 K バイト	512 K バイト	—
RAM 容量		16 K バイト	16 K バイト	24 K バイト	30 K バイト	30 K バイト
CPU 機能		基本命令数 : 351 命令 命令ビット長 : 8 ビット, 16 ビット 命令長 : 1 バイト ~ 7 バイト データビット長 : 1 ビット, 8 ビット, 16 ビット 最小命令実行時間 : 30.3 ns (マシンクロック 33 MHz 時) MB90F883B(S), MB90F884B(S) では, 最大動作周波数は 25 MHz となります。				
ポート		汎用入出力ポート: クロック 2 系統品 最大 81 本, クロック 1 系統品 最大 83 本 クロック 2 系統品では, X0A, X1A ピンは使用できません。 汎用入出力ポート (CMOS 出力)				
マルチファンクション シリアル インターフェース		7 チャンネル (SIO/UART/ PC ソフトウェア切換え可能)				
16 ビット PPG タイマ		8 チャンネル				
8/16 ビット アップダウン カウンタ / タイマ		イベント入力端子 6 本 8 ビットアップダウンカウンタ 2 本 8 ビットリロード / コンペアレジスタ 2 本				
16 ビット 入出力 タイマ	16 ビット フリーラン タイマ	チャンネル数 1 オーバフロー 割込み				
	アウトプット コンペア (OCU)	チャンネル数 6 端子入力要因 コンペアレジスタの一致信号による				
	インプット キャプチャ (ICU)	チャンネル数 2 端子入力 (立上り , 立下り , 両エッジ) によるレジスタの書換え				
DTP/ 外部割込み回路		外部割込み端子 24 チャンネル (エッジ対応 / レベル対応あり)				
ベースタイマ		4 チャンネル (16 ビットリロードタイマ /PWC タイマ /PPG タイマ /PWM タイマをソフトウェア切換え可能)				
タイムベースタイマ		18 ビットカウンタ 割込み周期 : 1.0 ms, 4.1 ms, 16.4 ms, 131.1 ms (原発振 4 MHz 時)				
A/D コンバータ		変換精度 : 8/10 ビット切換え可能 単発変換モード (選択したチャンネルを 1 回のみ変換) スキャン変換モード (連続した複数のチャンネルを変換) 連続変換モード (選択したチャンネルを繰り返し変換) 停止変換モード (選択したチャンネルの変換 , 一時停止を繰り返す)				
ウォッチドッグ タイマ		リセット発生周期 : 3.58 ms, 14.33 ms, 57.23ms, 458.75 ms (原発振 4 MHz, 最小値)				
低消費電力 (スタンバイ) モード		スリープ / ストップ /CPU 間欠動作 / 時計タイマ / タイムベースタイマ				
フラッシュメモリ		—	フラッシュセキュリティ / 誤書き込み防止機能 (MB90F883B (S) , MB90F884B (S) , MB90F883BH (S) , MB90F884BH (S) は未搭載)			—
プロセス		CMOS テクノロジ				
エミュレータ専用電源 *		—				あり

* : エミュレータをご使用いただく際のジャンパスイッチ (TOOL VCC) の設定です。

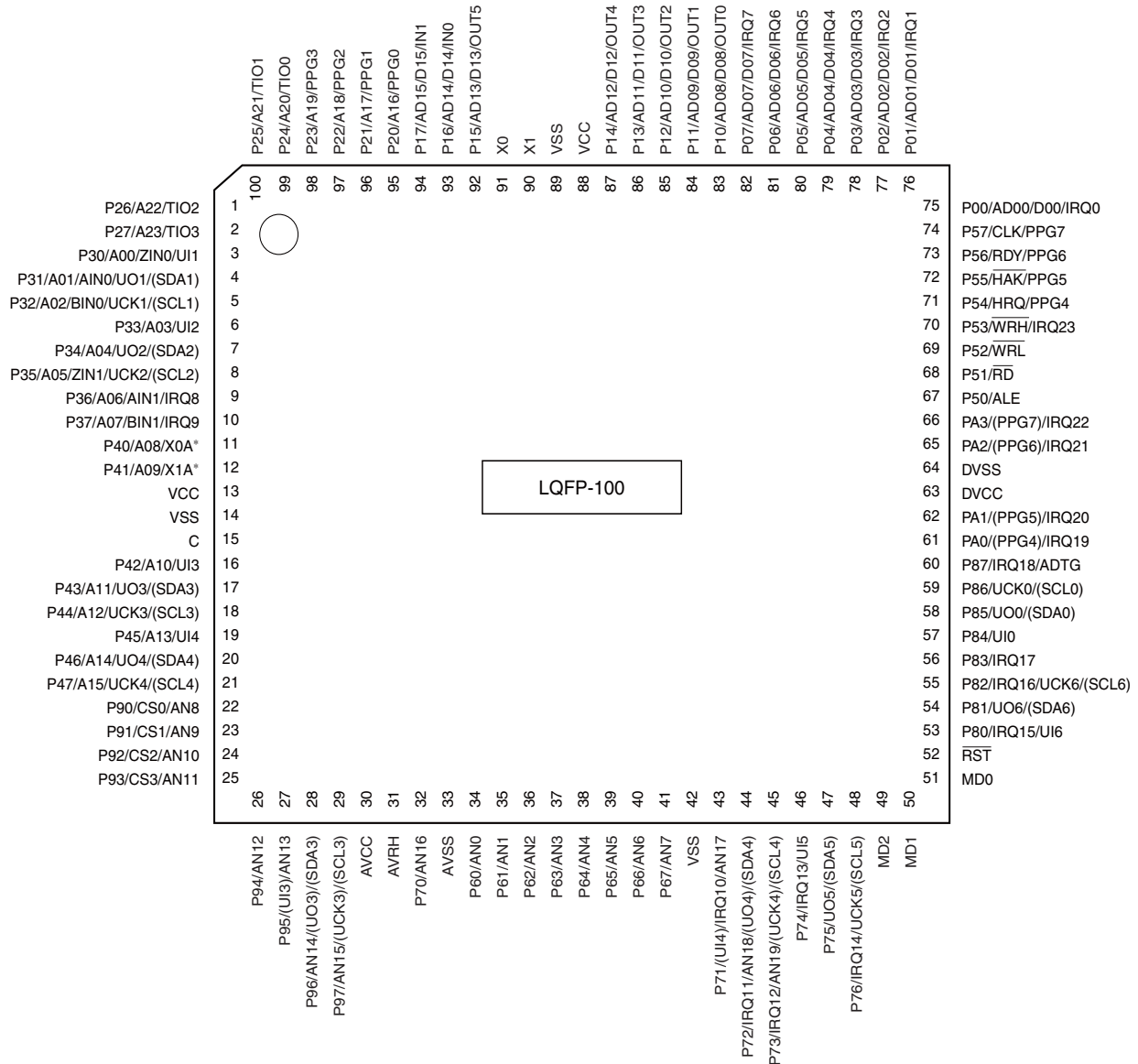
詳細につきましては MB2147-01 または MB2147-20 のハードウェアマニュアル (3.3 エミュレータ専用電源切換え) を参照してください。

MB90880 シリーズ

■ 端子配列図



(TOP VIEW)



(FPT-100P-M20)

* : 2 系統品はサブクロック用発振端子になります。
1 系統品は P40/A08, P41/A09 となります。

MB90880 シリーズ

■ 端子機能説明

端子番号		端子名	入出力 回路 形式 *3	機能
LQFP *1	QFP *2			
1	3	P26	D	汎用入出力ポート
		A22		外部アドレス出力制御レジスタ (HACR) の対応するビットが“0”の場合、アドレス上位出力端子 (A22) として機能
		TIO2		ベースタイマ入出力端子 (ch.2)
2	4	P27	D	汎用入出力ポート
		A23		外部アドレス出力制御レジスタ (HACR) の対応するビットが“0”の場合、アドレス上位出力端子 (A23) として機能
		TIO3		ベースタイマ入出力端子 (ch.3)
3	5	P30	E	汎用入出力ポート
		A00		ノンマルチプレックスモード時、外部アドレス端子として機能
		ZIN0		8/16 ビットアップダウンカウンタ / タイマ入力端子 (ch.0)
		UI1		マルチファンクションシリアル入力端子
4	6	P31	E	汎用入出力ポート
		A01		ノンマルチプレックスモード時、外部アドレス端子として機能
		AIN0		8/16 ビットアップダウンカウンタ / タイマ入力端子 (ch.0)
		UO1/ (SDA1)		マルチファンクションシリアル出力端子 UART/CSIO/LIN-UART(動作モード 0 ~ 3) として使用時は UO1, I ² C (動作モード 4) として使用時は SDA1 として機能します。
5	7	P32	E	汎用入出力ポート
		A02		ノンマルチプレックスモード時、外部アドレス端子として機能
		BIN0		8/16 ビットアップダウンカウンタ / タイマ入力端子 (ch.0)
		UCK1/ (SCL1)		マルチファンクションシリアルクロック入出力端子 UART/CSIO/LIN-UART(動作モード 0 ~ 3) として使用時は UCK1, I ² C (動作モード 4) として使用時は SCL1 として機能します。
6	8	P33	E	汎用入出力ポート
		A03		ノンマルチプレックスモード時、外部アドレス端子として機能
		UI2		マルチファンクションシリアル入力端子
7	9	P34	E	汎用入出力ポート
		A04		ノンマルチプレックスモード時、外部アドレス端子として機能
		UO2/ (SDA2)		マルチファンクションシリアル出力端子 UART/CSIO/LIN-UART(動作モード 0 ~ 3) として使用時は UO2, I ² C (動作モード 4) として使用時は SDA2 として機能します。
8	10	P35	E	汎用入出力ポート
		A05		ノンマルチプレックスモード時、外部アドレス端子として機能
		ZIN1		8/16 ビットアップダウンカウンタ / タイマ入力端子 (ch.1)
		UCK2/ (SCL2)		マルチファンクションシリアルクロック入出力端子 UART/CSIO/LIN-UART(動作モード 0 ~ 3) として使用時は UCK2, I ² C (動作モード 4) として使用時は SCL2 として機能します。
9	11	P36	D	汎用入出力ポート
		A06		ノンマルチプレックスモード時、外部アドレス端子として機能
		AIN1		8/16 ビットアップダウンカウンタ / タイマ入力端子 (ch.1)
		IRQ8		外部割込み入力端子

(続く)

MB90880 シリーズ

端子番号		端子名	入出力 回路 形式 *3	機能
LQFP *1	QFP *2			
10	12	P37	D	汎用入出力ポート
		A07		ノンマルチブックスモード時、外部アドレス端子として機能
		BIN1		8/16 ビットアップダウンカウンタ / タイマ入力端子 (ch.1)
		IRQ9		外部割込み入力端子
11	13	P40	A/D	汎用入出力ポート (1 系統品のみ使用可能)
		A08		ノンマルチブックスモード時、外部アドレス端子として機能 (1 系統品のみ使用可能)
		X0A		32 kHz 発振子接続端子 (2 系統品のみ使用可能)
12	14	P41	A/D	汎用入出力ポート (1 系統品のみ使用可能)
		A09		ノンマルチブックスモード時、外部アドレス端子として機能 (1 系統品のみ使用可能)
		X1A		32 kHz 発振子接続端子 (2 系統品のみ使用可能)
13	15	VCC	-	電源端子
14	16	VSS	-	電源端子 (GND)
15	17	C	-	レギュレータ安定化容量接続端子 0.47 μ F のセラミックコンデンサを接続してください。
16	18	P42	E	汎用入出力ポート
		A10		ノンマルチブックスモード時、外部アドレス端子として機能
		UI3		マルチファンクションシリアル入力端子
17	19	P43	E	汎用入出力ポート
		A11		ノンマルチブックスモード時、外部アドレス端子として機能
		UO3/ (SDA3)		マルチファンクションシリアル出力端子 UART/CSIO/LIN-UART(動作モード 0 ~ 3) として使用時は UO3, I ² C (動作 モード 4) として使用時は SDA3 として機能します。
18	20	P44	E	汎用入出力ポート
		A12		ノンマルチブックスモード時、外部アドレス端子として機能
		UCK3/ (SCL3)		マルチファンクションシリアルクロック入出力端子 UART/CSIO/LIN-UART(動作モード 0 ~ 3) として使用時は UCK3, I ² C (動 作モード 4) として使用時は SCL3 として機能します。
19	21	P45	E	汎用入出力ポート
		A13		ノンマルチブックスモード時、外部アドレス端子として機能
		UI4		マルチファンクションシリアル入力端子
20	22	P46	E	汎用入出力ポート
		A14		ノンマルチブックスモード時、外部アドレス端子として機能
		UO4/ (SDA4)		マルチファンクションシリアル出力端子 UART/CSIO/LIN-UART(動作モード 0 ~ 3) として使用時は UO4, I ² C (動作 モード 4) として使用時は SDA4 として機能します。
21	23	P47	E	汎用入出力ポート
		A15		ノンマルチブックスモード時、外部アドレス端子として機能
		UCK4/ (SCL4)		マルチファンクションシリアルクロック入出力端子 UART/CSIO/LIN-UART(動作モード 0 ~ 3) として使用時は UCK4, I ² C (動 作モード 4) として使用時は SCL4 として機能します。
22	24	P90	H	汎用入出力ポート
		CS0		チップセレクト 0 出力端子
		AN8		アナログ入力端子

(続く)

MB90880 シリーズ

端子番号		端子名	入出力 回路 形式 *3	機能
LQFP *1	QFP *2			
23	25	P91	H	汎用入出力ポート
		CS1		チップセレクト 1 出力端子
		AN9		アナログ入力端子
24	26	P92	H	汎用入出力ポート
		CS2		チップセレクト 2 出力端子
		AN10		アナログ入力端子
25	27	P93	H	汎用入出力ポート
		CS3		チップセレクト 3 出力端子
		AN11		アナログ入力端子
26	28	P94	H	汎用入出力ポート
		AN12		アナログ入力端子
27	29	P95	K	汎用入出力ポート
		AN13		アナログ入力端子
		(UI3)		マルチファンクションシリアル入力端子 (P9FSR レジスタの P95FS ビットが “1” の場合)
28	30	P96	K	汎用入出力ポート
		AN14		アナログ入力端子
		(UO3)/ (SDA3)		マルチファンクションシリアル出力端子 UART/CSIO/LIN-UART(動作モード 0 ~ 3) として使用時は UO3, I ² C (動作モード 4) として使用時は SDA3 として機能します。 (P9FSR レジスタの P96FS ビットが “1” の場合)
29	31	P97	K	汎用入出力ポート
		AN15		アナログ入力端子
		(UCK3)/ (SCL3)		マルチファンクションシリアルクロック入出力端子 UART/CSIO/LIN-UART(動作モード 0 ~ 3) として使用時は UCK3, I ² C (動作モード 4) として使用時は SCL3 として機能します。 (P9FSR レジスタの P97FS ビットが “1” の場合)
30	32	AVCC	-	A/D コンバータ電源端子
31	33	AVRH	-	A/D コンバータ用基準電圧入力端子 この電源の投入 / 切断は必ず AVCC に AVRH 以上の電位が印加してある状態で行ってください。
32	34	P70	H	汎用入出力ポート
		AN16		アナログ入力端子
33	35	AVSS	-	A/D コンバータ用アナログ GND 端子
34	36	P60	H	汎用入出力ポート
		AN0		アナログ入力端子
35	37	P61	H	汎用入出力ポート
		AN1		アナログ入力端子
36	38	P62	H	汎用入出力ポート
		AN2		アナログ入力端子
37	39	P63	H	汎用入出力ポート
		AN3		アナログ入力端子
38	40	P64	H	汎用入出力ポート
		AN4		アナログ入力端子

(続く)

MB90880 シリーズ

端子番号		端子名	入出力 回路 形式 *3	機能
LQFP *1	QFP *2			
39	41	P65	H	汎用入出力ポート
		AN5		アナログ入力端子
40	42	P66	H	汎用入出力ポート
		AN6		アナログ入力端子
41	43	P67	H	汎用入出力ポート
		AN7		アナログ入力端子
42	44	VSS	-	電源端子 (GND)
43	45	P71	K	汎用入出力ポート
		IRQ10		外部割込み入力端子
		AN17		アナログ入力端子
		(UI4)		マルチファンクションシリアル入力端子 (P7FSR レジスタの P71FS ビットが“1”の場合)
44	46	P72	K	汎用入出力ポート
		IRQ11		外部割込み入力端子
		AN18		アナログ入力端子
		(UO4)/ (SDA4)		マルチファンクションシリアル出力端子 UART/CSIO/LIN-UART(動作モード 0 ~ 3) として使用時は UO4, I ² C (動作モード 4) として使用時は SDA4 として機能します。 (P7FSR レジスタの P72FS ビットが“1”の場合)
45	47	P73	K	汎用入出力ポート
		IRQ12		外部割込み入力端子
		AN19		アナログ入力端子
		(UCK4)/ (SCL4)		マルチファンクションシリアルクロック入出力端子 UART/CSIO/LIN-UART(動作モード 0 ~ 3) として使用時は UCK4, I ² C (動作モード 4) として使用時は SCL4 として機能します。 (P7FSR レジスタの P73FS ビットが“1”の場合)
46	48	P74	G	汎用入出力ポート
		IRQ13		外部割込み入力端子
		UI5		マルチファンクションシリアル入力端子
47	49	P75	G	汎用入出力ポート
		UO5/ (SDA5)		マルチファンクションシリアル出力端子 UART/CSIO/LIN-UART(動作モード 0 ~ 3) として使用時は UO5, I ² C (動作モード 4) として使用時は SDA5 として機能します。
48	50	P76	G	汎用入出力ポート
		IRQ14		外部割込み入力端子
		UCK5/ (SCL5)		マルチファンクションシリアルクロック入出力端子 UART/CSIO/LIN-UART(動作モード 0 ~ 3) として使用時は UCK5, I ² C (動作モード 4) として使用時は SCL5 として機能します。
49	51	MD2	M	動作モード指定用入力端子
50	52	MD1	L	動作モード指定用入力端子
51	53	MD0	L	動作モード指定用入力端子
52	54	RST	B	リセット入力端子

(続く)

MB90880 シリーズ

端子番号		端子名	入出力 回路 形式 *3	機能
LQFP *1	QFP *2			
53	55	P80	G	汎用入出力ポート
		IRQ15		外部割込み入力端子
		UI6		マルチファンクションシリアル入力端子
54	56	P81	G	汎用入出力ポート
		UO6/ (SDA6)		マルチファンクションシリアル出力端子 UART/CSIO/LIN-UART(動作モード 0 ~ 3) として使用時は UO6, I ² C (動作モード 4) として使用時は SDA6 として機能します。
55	57	P82	G	汎用入出力ポート
		IRQ16		外部割込み入力端子
		UCK6/ (SCL6)		マルチファンクションシリアルクロック入出力端子 UART/CSIO/LIN-UART(動作モード 0 ~ 3) として使用時は UCK6, I ² C (動作モード 4) として使用時は SCL6 として機能します。
56	58	P83	I	汎用入出力ポート
		IRQ17		外部割込み入力端子
57	59	P84	G	汎用入出力ポート
		UI0		マルチファンクションシリアル入力端子
58	60	P85	G	汎用入出力ポート
		UO0/ (SDA0)		マルチファンクションシリアル出力端子 UART/CSIO/LIN-UART(動作モード 0 ~ 3) として使用時は UO0, I ² C (動作モード 4) として使用時は SDA0 として機能します。
59	61	P86	G	汎用入出力ポート
		UCK0/ (SCL0)		マルチファンクションシリアルクロック入出力端子 UART/CSIO/LIN-UART(動作モード 0 ~ 3) として使用時は UCK0, I ² C (動作モード 4) として使用時は SCL0 として機能します。
60	62	P87	I	汎用入出力ポート
		IRQ18		外部割込み入力端子
		ADTG		A/D コンバータ使用時, 外部トリガ入力端子
61	63	PA0	J	汎用入出力ポート
		IRQ19		外部割込み入力端子
		(PPG4)		PPG タイマ出力端子 (PAFSR レジスタの PA0FS ビットが “1” の場合)
62	64	PA1	J	汎用入出力ポート
		IRQ20		外部割込み入力端子
		(PPG5)		PPG タイマ出力端子 (PAFSR レジスタの PA1FS ビットが “1” の場合)
63	65	DVCC	-	PA ポート用電源端子
64	66	DVSS	-	PA ポート用電源端子 (GND)
65	67	PA2	J	汎用入出力ポート
		IRQ21		外部割込み入力端子
		(PPG6)		PPG タイマ出力端子 (PAFSR レジスタの PA2FS ビットが “1” の場合)
66	68	PA3	J	汎用入出力ポート
		IRQ22		外部割込み入力端子
		(PPG7)		PPG タイマ出力端子 (PAFSR レジスタの PA3FS ビットが “1” の場合)
67	69	P50	F	汎用入出力ポート
		ALE		外バスモード時, アドレス取込み許可信号 (ALE) 端子として機能

(続く)

MB90880 シリーズ

端子番号		端子名	入出力 回路 形式 *3	機能
LQFP *1	QFP *2			
68	70	P51	F	汎用入出力ポート
		RD		外バスモード時、リードストロブ出力 (\overline{RD}) 端子として機能
69	71	P52	F	汎用入出力ポート
		\overline{WRL}		外バスモード時、下位側データライトストロブ出力 (\overline{WRL}) 端子として機能。EPCR レジスタの WRE ビットが "0" の場合、汎用入出力ポートとして機能
70	72	P53	F	汎用入出力ポート
		\overline{WRH}		バス幅 16 ビットの外バスモード時、上位側データライトストロブ出力 (\overline{WRH}) 端子として機能。EPCR レジスタの WRE ビットが "0" の場合、汎用入出力ポートとして機能
		IRQ23		外部割込み入力端子
71	73	P54	F	汎用入出力ポート
		HRQ		外バスモード時、ホールド要求入力 (HRQ) 端子として機能。EPCR レジスタの HDE ビットが "0" の場合、汎用入出力ポートとして機能
		PPG4		PPG タイマ出力端子
72	74	P55	F	汎用入出力ポート
		\overline{HAK}		外バスモード時、ホールドアクノリッジ出力 (\overline{HAK}) 端子として機能。EPCR レジスタの HDE ビットが "0" の場合、汎用入出力ポートとして機能
		PPG5		PPG タイマ出力端子
73	75	P56	F	汎用入出力ポート
		RDY		外バスモード時、外部レディ入力 (RDY) 端子として機能。EPCR レジスタの RYE ビットが "0" の場合、汎用入出力ポートとして機能
		PPG6		PPG タイマ出力端子
74	76	P57	F	汎用入出力ポート
		CLK		外バスモード時、マシンサイクルクロック出力 (CLK) 端子として機能。EPCR レジスタの CKE ビットが "0" の場合、汎用入出力ポートとして機能
		PPG7		PPG タイマ出力端子
75	77	P00	C	汎用入出力ポート
		AD00/ D00		マルチプレックスモード時、外部アドレス / データバス下位入出力端子 (AD00) として機能
		IRQ0		ノンマルチプレックスモード時、外部データバス下位出力端子 (D00) として機能
76	78	P01	C	汎用入出力ポート
		AD01/ D01		マルチプレックスモード時、外部アドレス / データバス下位入出力端子 (AD01) として機能
		IRQ1		ノンマルチプレックスモード時、外部データバス下位出力端子 (D01) として機能
77	79	P02	C	汎用入出力ポート
		AD02/ D02		マルチプレックスモード時、外部アドレス / データバス下位入出力端子 (AD02) として機能
		IRQ2		ノンマルチプレックスモード時、外部データバス下位出力端子 (D02) として機能
				外部割込み入力端子

(続く)

MB90880 シリーズ

端子番号		端子名	入出力 回路 形式 *3	機能
LQFP *1	QFP *2			
78	80	P03	C	汎用入出力ポート
		AD03/ D03		マルチプレックスモード時, 外部アドレス / データバス下位入出力端子 (AD03) として機能
				ノンマルチプレックスモード時, 外部データバス下位出力端子 (D03) として機能
		IRQ3		外部割込み入力端子
79	81	P04	C	汎用入出力ポート
		AD04/ D04		マルチプレックスモード時, 外部アドレス / データバス下位入出力端子 (AD04) として機能
				ノンマルチプレックスモード時, 外部データバス下位出力端子 (D04) として機能
		IRQ4		外部割込み入力端子
80	82	P05	C	汎用入出力ポート
		AD05/ D05		マルチプレックスモード時, 外部アドレス / データバス下位入出力端子 (AD05) として機能
				ノンマルチプレックスモード時, 外部データバス下位出力端子 (D05) として機能
		IRQ5		外部割込み入力端子
81	83	P06	C	汎用入出力ポート
		AD06/ D06		マルチプレックスモード時, 外部アドレス / データバス下位入出力端子 (AD06) として機能
				ノンマルチプレックスモード時, 外部データバス下位出力端子 (D06) として機能
		IRQ6		外部割込み入力端子
82	84	P07	C	汎用入出力ポート
		AD07/ D07		マルチプレックスモード時, 外部アドレス / データバス下位入出力端子 (AD07) として機能
				ノンマルチプレックスモード時, 外部データバス下位出力端子 (D07) として機能
		IRQ7		外部割込み入力端子
83	85	P10	C	汎用入出力ポート
		AD08/ D08		マルチプレックスモード時, 外部アドレス / データバス上位入出力端子 (AD08) として機能
				ノンマルチプレックスモード時, 外部データバス上位出力端子 (D08) として機能
		OUT0		アウトプットコンペイベント出力端子
84	86	P11	C	汎用入出力ポート
		AD09/ D09		マルチプレックスモード時, 外部アドレス / データバス上位入出力端子 (AD09) として機能
				ノンマルチプレックスモード時, 外部データバス上位出力端子 (D09) として機能
		OUT1		アウトプットコンペイベント出力端子

(続く)

MB90880 シリーズ

端子番号		端子名	入出力 回路 形式 *3	機能
LQFP *1	QFP *2			
85	87	P12	C	汎用入出力ポート
		AD10/ D10		マルチプレックスモード時, 外部アドレス / データバス上位入出力端子 (AD10) として機能
				ノンマルチプレックスモード時, 外部データバス上位出力端子 (D10) として機能
		OUT2		アウトプットコンペアイイベント出力端子
86	88	P13	C	汎用入出力ポート
		AD11/ D11		マルチプレックスモード時, 外部アドレス / データバス上位入出力端子 (AD11) として機能
				ノンマルチプレックスモード時, 外部データバス上位出力端子 (D11) として機能
		OUT3		アウトプットコンペアイイベント出力端子
87	89	P14	C	汎用入出力ポート
		AD12/ D12		マルチプレックスモード時, 外部アドレス / データバス上位入出力端子 (AD12) として機能
				ノンマルチプレックスモード時, 外部データバス上位出力端子 (D12) として機能
		OUT4		アウトプットコンペアイイベント出力端子
88	90	VCC	-	電源端子
89	91	VSS	-	電源端子 (GND)
90	92	X1	A	メイン発振子接続端子
91	93	X0	A	メイン発振子接続端子
92	94	P15	C	汎用入出力ポート
		AD13/ D13		マルチプレックスモード時, 外部アドレス / データバス上位入出力端子 (AD13) として機能
				ノンマルチプレックスモード時, 外部データバス上位出力端子 (D13) として機能
		OUT5		アウトプットコンペアイイベント出力端子
93	95	P16	C	汎用入出力ポート
		AD14/ D14		マルチプレックスモード時, 外部アドレス / データバス上位入出力端子 (AD14) として機能
				ノンマルチプレックスモード時, 外部データバス上位出力端子 (D14) として機能
		IN0		インプットキャプチャ ch.0 のトリガ入力端子
94	96	P17	C	汎用入出力ポート
		AD15/ D15		マルチプレックスモード時, 外部アドレス / データバス上位入出力端子 (AD15) として機能
				ノンマルチプレックスモード時, 外部データバス上位出力端子 (D15) として機能
		IN1		インプットキャプチャ ch.1 のトリガ入力端子

(続く)

MB90880 シリーズ

(続き)

端子番号		端子名	入出力 回路 形式 *3	機能
LQFP *1	QFP *2			
95	97	P20	D	汎用入出力ポート
		A16		外部アドレス出力制御レジスタ (HACR) の対応するビットが “0” の場合 , アドレス上位出力端子 (A16) として機能
		PPG0		PPG タイマ出力端子
96	98	P21	D	汎用入出力ポート
		A17		外部アドレス出力制御レジスタ (HACR) の対応するビットが “0” の場合 , アドレス上位出力端子 (A17) として機能
		PPG1		PPG タイマ出力端子
97	99	P22	D	汎用入出力ポート
		A18		外部アドレス出力制御レジスタ (HACR) の対応するビットが “0” の場合 , アドレス上位出力端子 (A18) として機能
		PPG2		PPG タイマ出力端子
98	100	P23	D	汎用入出力ポート
		A19		外部アドレス出力制御レジスタ (HACR) の対応するビットが “0” の場合 , アドレス上位出力端子 (A19) として機能
		PPG3		PPG タイマ出力端子
99	1	P24	D	汎用入出力ポート
		A20		外部アドレス出力制御レジスタ (HACR) の対応するビットが “0” の場合 , アドレス上位出力端子 (A20) として機能
		TIO0		ベースタイマ入出力端子 (ch.0)
100	2	P25	D	汎用入出力ポート
		A21		外部アドレス出力制御レジスタ (HACR) の対応するビットが “0” の場合 , アドレス上位出力端子 (A21) として機能
		TIO1		ベースタイマ入出力端子 (ch.1)

* 1 : LQFP : FPT-100P-M20

* 2 : QFP : FPT-100P-M06

* 3 : 入出力回路形式については , 「 ■ 入出力回路形式 」 を参照してください。

■ 入出力回路形式

分類	回路	備考
A	<p>回路図 A: P-ch MOSFET (X1, X1A) と N-ch MOSFET (X0, X0A) を含む。X1, X0 は約 1 MΩ、X1A, X0A は約 10 MΩ の抵抗を持つ。スタンバイ制御信号は、N-ch MOSFET のゲートと、X0A の入力に接続されている。</p>	<ul style="list-style-type: none"> ・ 発振帰還抵抗 X1, X0 : 約 1 MΩ X1A, X0A : 約 10 MΩ ・ スタンバイ制御付き
B	<p>回路図 B: 入力端子にプルアップ抵抗 R が接続されている。この端子は、ヒステリシス入力（ヒステリシス回路）に接続されている。</p>	<ul style="list-style-type: none"> ・ プルアップ抵抗付きヒステリシス入力
C	<p>回路図 C: 入力端子はプルアップ制御信号（P-ch MOSFET）とプルアップ抵抗 R を介して接続されている。この端子は、CMOS 入力、ヒステリシス入力、および入力遮断用スタンバイ制御（N-ch MOSFET）に接続されている。</p>	<ul style="list-style-type: none"> ・ 入力プルアップ抵抗制御付き ・ CMOS レベル出力 ・ ヒステリシス入力 ・ CMOS 入力(外バスモードの場合)
D	<p>回路図 D: 入力端子はプルアップ抵抗 R を介して接続されている。この端子は、CMOS レベル出力、ヒステリシス入力、および入力遮断用スタンバイ制御（N-ch MOSFET）に接続されている。</p>	<ul style="list-style-type: none"> ・ CMOS レベル出力 ・ ヒステリシス入力
E	<p>回路図 E: 入力端子はプルアップ抵抗 R を介して接続されている。この端子は、CMOS レベル出力、ヒステリシス入力、I²C レベルヒステリシス入力、および入力遮断用スタンバイ制御（N-ch MOSFET）に接続されている。</p>	<ul style="list-style-type: none"> ・ CMOS レベル出力 ・ ヒステリシス入力 ・ I²C レベルヒステリシス入力

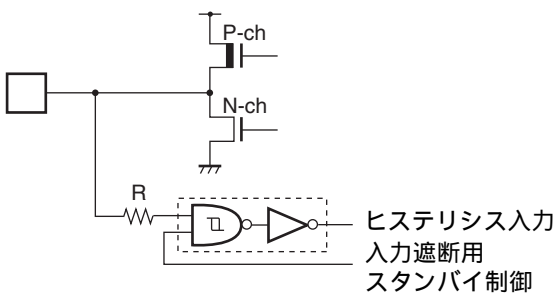
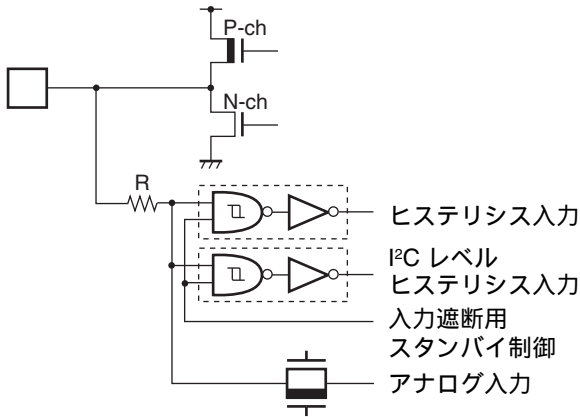
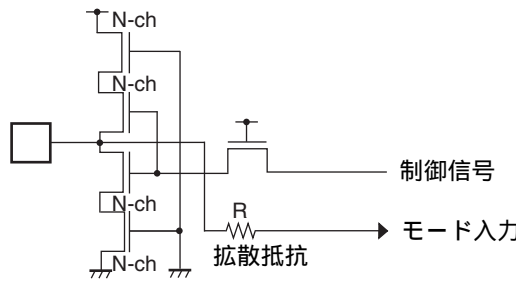
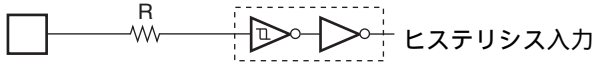
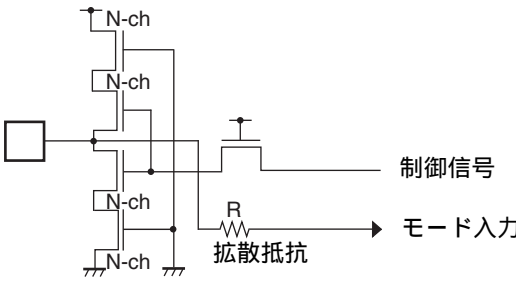
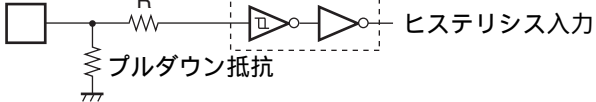
(続く)

MB90880 シリーズ

分類	回路	備考
F	<p>CMOS 入力</p> <p>ヒステリシス入力</p> <p>入力遮断用 スタンバイ制御</p>	<ul style="list-style-type: none"> • CMOS レベル出力 • ヒステリシス入力 • CMOS 入力(外バスモードの場合)
G	<p>オープンドレイン 制御信号</p> <p>ヒステリシス入力</p> <p>I²C レベル ヒステリシス入力</p> <p>入力遮断用 スタンバイ制御</p>	<ul style="list-style-type: none"> • CMOS レベル出力 (オープンドレイン制御付き) • 5 V トレラント • ヒステリシス入力 • I²C レベルヒステリシス入力
H	<p>ヒステリシス入力</p> <p>入力遮断用 スタンバイ制御</p> <p>アナログ入力</p>	<ul style="list-style-type: none"> • CMOS レベル出力 • ヒステリシス入力 • アナログ入力
I	<p>オープンドレイン 制御信号</p> <p>ヒステリシス入力</p> <p>入力遮断用 スタンバイ制御</p>	<ul style="list-style-type: none"> • CMOS レベル出力 (オープンドレイン制御付き) • 5 V トレラント • ヒステリシス入力

(続く)

(続き)

分類	回路	備考
J	 <p>ヒステリシス入力 入力遮断用 スタンバイ制御</p>	<ul style="list-style-type: none"> ・ CMOS レベル出力(大電流タイプ) ・ ヒステリシス入力
K	 <p>ヒステリシス入力 I²C レベル ヒステリシス入力 入力遮断用 スタンバイ制御 アナログ入力</p>	<ul style="list-style-type: none"> ・ CMOS レベル出力 ・ ヒステリシス入力 ・ アナログ入力 ・ I²C レベルヒステリシス入力
L	<p>フラッシュメモリ品</p>  <p>制御信号 モード入力 拡散抵抗</p>	<p>フラッシュメモリ品</p> <ul style="list-style-type: none"> ・ CMOS レベル入力 ・ フラッシュテスト用の高電圧制御あり
	<p>マスク ROM 品</p>  <p>ヒステリシス入力</p>	<p>マスク ROM 品</p> <p>ヒステリシス入力</p>
M	<p>フラッシュメモリ品</p>  <p>制御信号 モード入力 拡散抵抗</p>	<p>フラッシュメモリ品</p> <ul style="list-style-type: none"> ・ CMOS レベル入力 ・ フラッシュテスト用の高電圧制御あり
	<p>マスク ROM 品, 評価用品</p>  <p>ヒステリシス入力 プルダウン抵抗</p>	<p>プルダウン抵抗付き ヒステリシス入力</p>

■ デバイス使用上の注意

1. 最大定格について (ラッチアップの防止)

絶対最大定格を超えることのないように注意してください。

CMOS IC では、中・高耐圧以外の入力端子や出力端子に V_{CC} より高い電圧や V_{SS} より低い電圧が印加された場合、または V_{CC} 端子と V_{SS} 端子の間に定格を超える電圧が印加された場合、ラッチアップ現象が発生することがあります。

ラッチアップが起きると電源電流が激増し、素子が熱破壊する恐れがあります。使用に際して、最大定格を超えることのないよう十分注意してください。

アナログ系の電源投入時、および切断時においてもアナログ電源 (AV_{CC} , AV_{RH}) とアナログ入力は、デジタル電源 (V_{CC}) を超えないように注意してください。

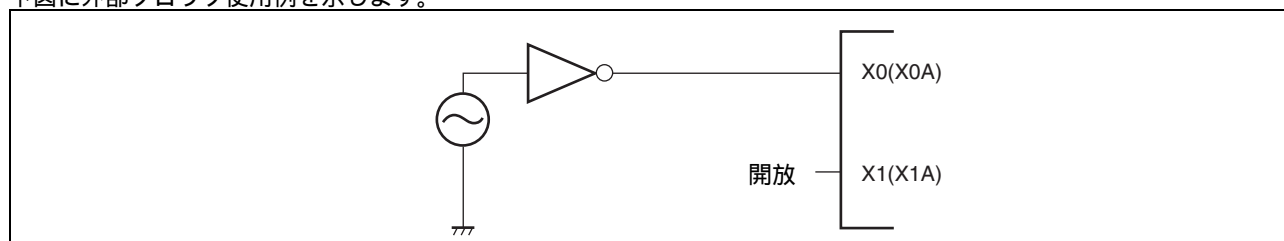
2. 未使用端子の処理

使用していない入力端子を開放のままにしておくと、誤動作およびラッチアップによる永久破壊の原因になることがありますので、 $2\text{ k}\Omega$ 以上の抵抗を介して、プルアップ、または、プルダウンなどの処置をしてください。また、使用していない入出力端子がある場合は、出力状態に設定して解放とするか、入力状態に設定して入力端子と同じ処理をしてください。

3. 外部クロック使用時の注意について

外部クロック使用時においても、パワーオンリセット、サブクロックモードおよびストップモードからの解除には、発振安定待ち時間がとられます。

下図に外部クロック使用例を示します。



4. 電源端子 (V_{CC}/V_{SS}) の取扱いについて

V_{CC}/V_{SS} 端子が複数ある場合、デバイスの設計上ラッチアップ、不要輻射の低減、グラウンドレベルの上昇によるストロブ信号の誤動作の防止、総出力電流規格の遵守などのために、必ずすべての電源端子を外部で、電源およびグラウンドに接続してください。また、電源供給源は、できる限り低インピーダンスで本デバイスの V_{CC}/V_{SS} 端子に接続するような配慮をお願いします。さらに本デバイスの近くで、 V_{CC}/V_{SS} 端子の間に $0.1\text{ }\mu\text{F}$ 程度のコンデンサをバイパスコンデンサとして接続することをお勧めします。

5. 水晶発振回路について

$X0/X1$, $X0A/X1A$ 端子の近辺のノイズは、本デバイスの誤動作のもととなります。 $X0/X1$, $X0A/X1A$ 端子および水晶発振子 (あるいはセラミック発振子)、さらにグラウンドへのバイパスコンデンサは、できる限り近くになるように、またその配線においては、他の配線とできる限り交差しないようにプリント板アートワークは、安定した動作を期待できますので強くお勧めします。各量産品において、ご使用される発振子メーカーに発振評価依頼をしてください。

6. PLL クロックモード動作中の注意

PLL クロックモードで動作中に、発振子が外れたり、あるいはクロック入力 that 停止した場合、本マイクロコントローラは PLL 内部の自励発振回路の自走周波数で動作を継続する場合があります。この動作は、保証外の動作です。

7. A/D コンバータの電源、アナログ入力の投入および切断順序

A/D コンバータの電源 (AV_{CC} , AV_{RH}) およびアナログ入力 ($AN0 \sim AN19$) の投入は、デジタル電源 (V_{CC}) の投入後に行ってください。

電源切断時は、A/D コンバータの電源 (AV_{CC} , AV_{RH}) およびアナログ入力 ($AN0 \sim AN19$) の切断の後で、デジタル電源 (V_{CC}) の切断を行ってください。

その際、 AV_{RH} は AV_{CC} を超えないように投入、切断を行ってください。

アナログ入力と兼用している端子を入力ポートとして使用する場合においても、入力電圧は AV_{CC} を超えないようにしてください。

8. A/D コンバータ搭載品種の電源端子処理

A/D コンバータを使用しない場合においても、 $AV_{CC} = AV_{RH} = V_{CC}$, $AV_{SS} = V_{SS}$ となるよう接続してください。

9. 電源投入時の注意点

内部に内蔵している降圧回路の誤動作を防ぐために、電源投入時における電圧の立上り時間は $50\ \mu\text{s}$ ($0.2\ \text{V} \sim 2.7\ \text{V}$ の間) 以上を確保してください。

10. 供給電源の安定化

V_{CC} 電源電圧の動作範囲内においても、電源の急激な変化があると誤動作を生じることがあります。安定化の基準として、商用周波数 (50/60 Hz) での V_{CC} リプル変動 (P-P 値) は、標準 V_{CC} 値の 10% 以下に、また電源の切換え時などの瞬時変化においては、過渡変動率が $0.1\ \text{V/ms}$ 以下になるよう電圧変動を押さえることをお勧めします。

11. MB90F883B(S), MB90F884B(S) での注意点

- ・ 最大動作周波数は $25\ \text{MHz}$ となります。
- ・ フラッシュセキュリティ機能および誤書き込み防止機能は搭載しておりません。

12. MB90F883BH(S), MB90F884BH(S) での注意点

フラッシュセキュリティ機能および誤書き込み防止機能は搭載しておりません。

13. シリアル通信について

シリアル通信においては、ノイズなどにより間違ったデータを受信する可能性があります。

そのため、ノイズを抑えるボードの設計をしてください。

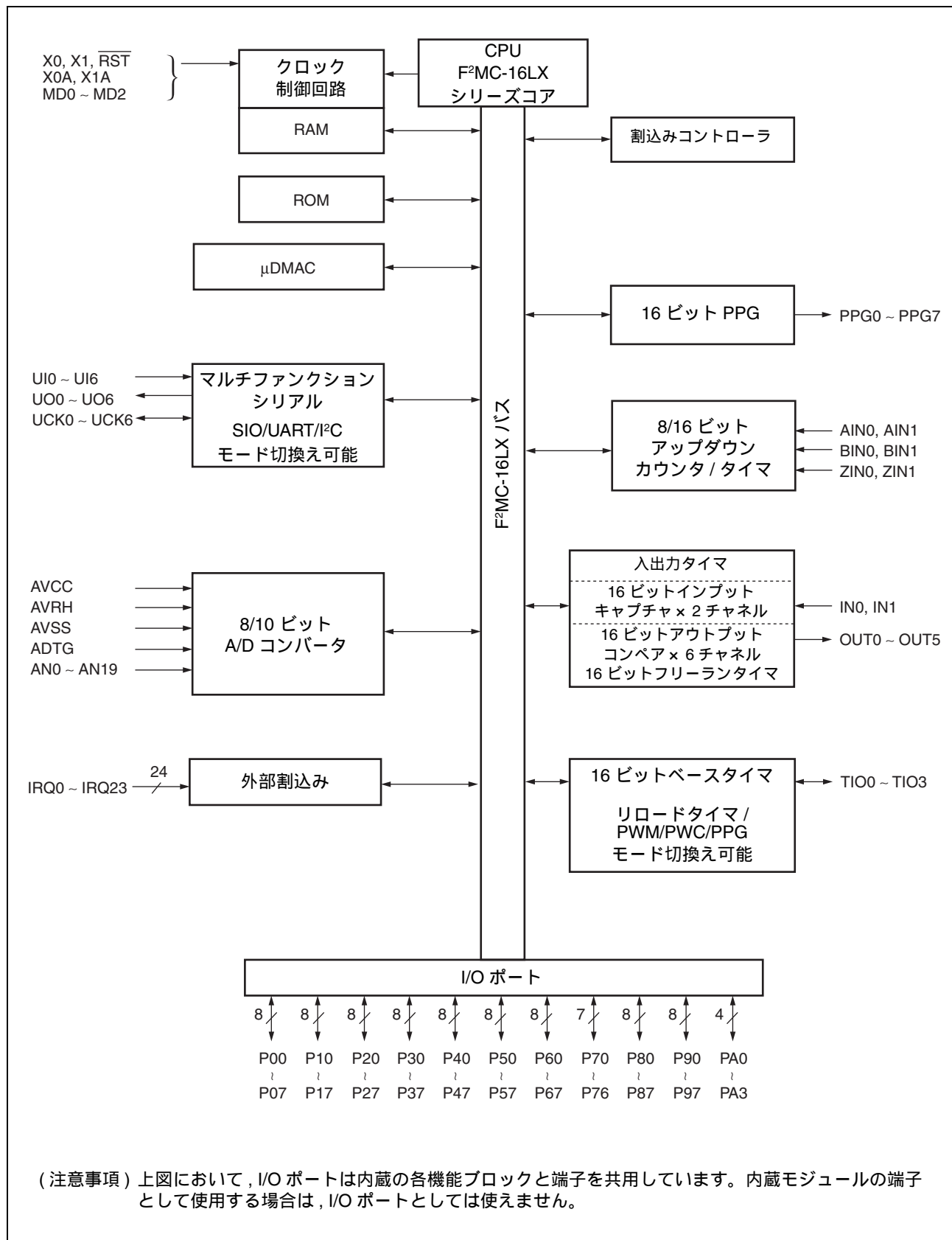
また、万が一ノイズなどの影響により誤ったデータを受信した場合を考慮して最後にデータのチェックサムなどを付加してエラーが発生した場合には再送を行うなどの処理をしてください。

14. クロック 2 系統品をクロック 1 系統品として使用する場合

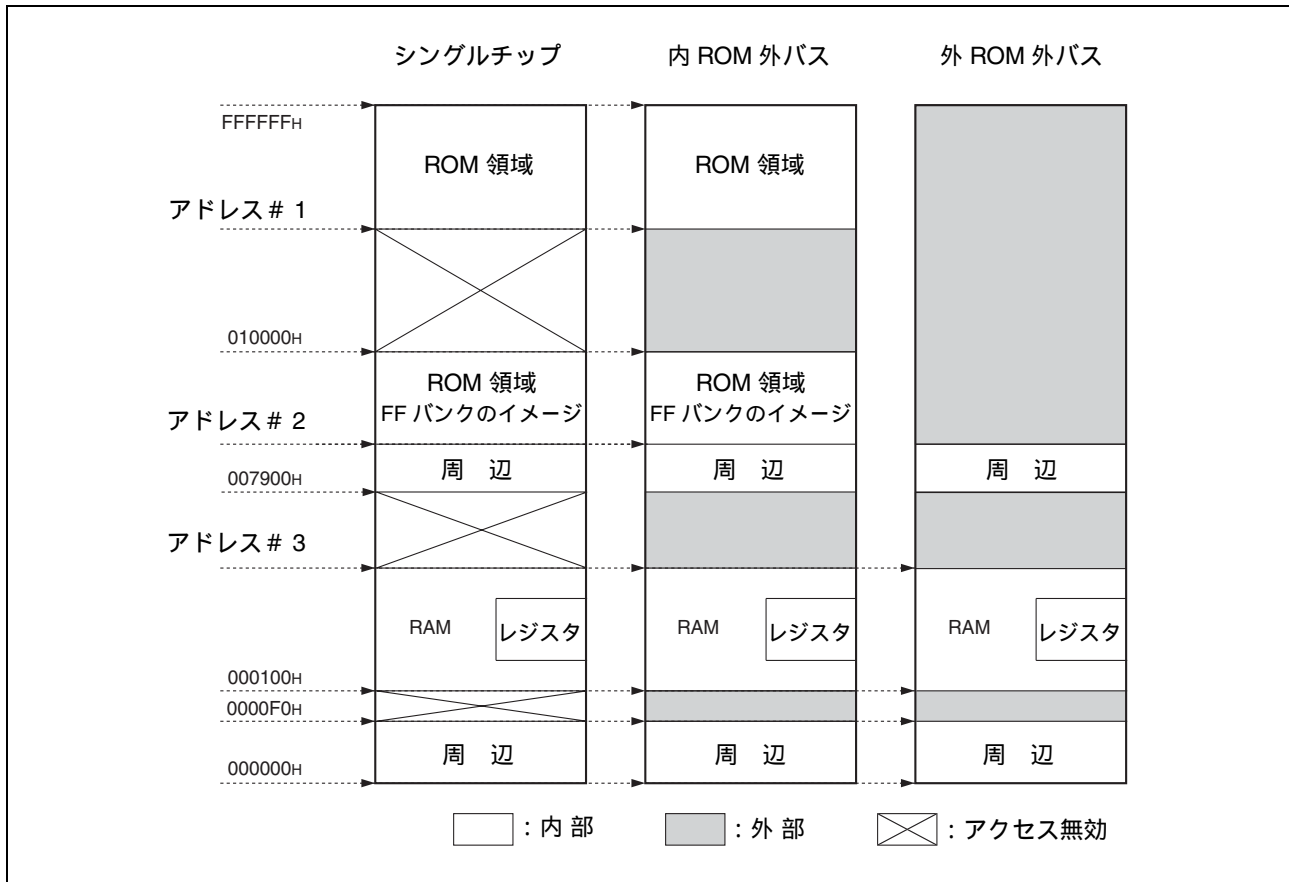
X0A 端子を V_{SS} 接続, X1A 端子を開放として使用してください。

MB90880 シリーズ

■ ブロックダイアグラム



■ メモリマップ



品種	アドレス #1	アドレス #2	アドレス #3
MB90882 (S)	FC0000H	008000H 固定	004100H
MB90F882A (S)	FC0000H		004100H
MB90F883B (S) / MB90F883BH (S) / MB90F883C(S)	FA0000H		006100H
MB90F884B (S) / MB90F884BH (S) / MB90F884C(S)	F80000H		007900H
MB90V880A-101/102	(F80000H)		007900H

(注意事項) 00 バンクの上位に FF バンクの ROM がイメージで見えるようになっていますが、これは C コンパイラのモールドモデルを有効に生かすためです。FF バンクの下位 16 ビットアドレスと 00 バンクの下位 16 ビットアドレスは同じになるようにしてありますので、ポインタで far 指定を宣言しなくとも ROM 内のテーブルを参照できます。

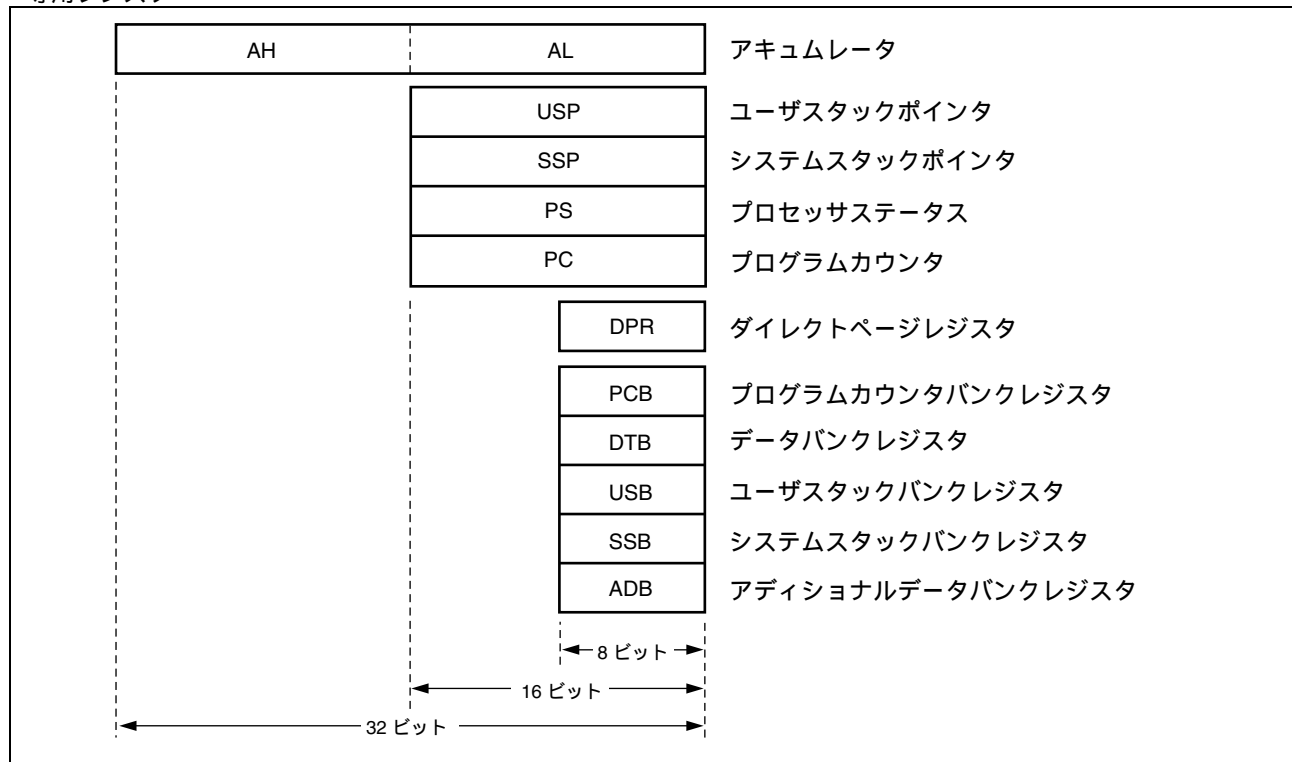
例えば、00C000H をアクセスした場合に、実際には、FFC000H の ROM の内容がアクセスされることとなります。ただし、FF バンクの ROM 領域は 32 K バイトを超えますので、00 バンクのイメージとしてすべての領域をみせることができません。

したがって、FF8000H ~ FFFFFFFH の ROM データは 00 バンクのイメージとしてみることはできますが、一方 FF0000H ~ FF7FFFH は FF バンクだけでしかみることができません。MB90F883B(S)/MB90F883BH(S)/MB90F883C(S) において、006100H ~ 0078FFH および F80000H ~ F9FFFFH の領域は外部領域として使用できません。

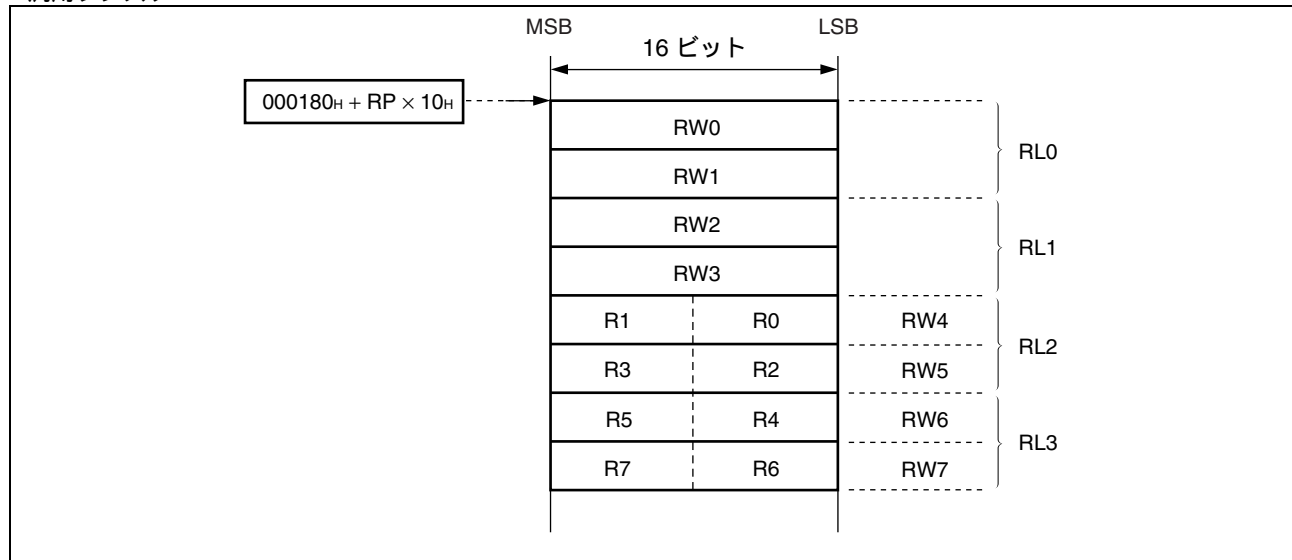
MB90880 シリーズ

■ F²MC-16LX CPU プログラミングモデル

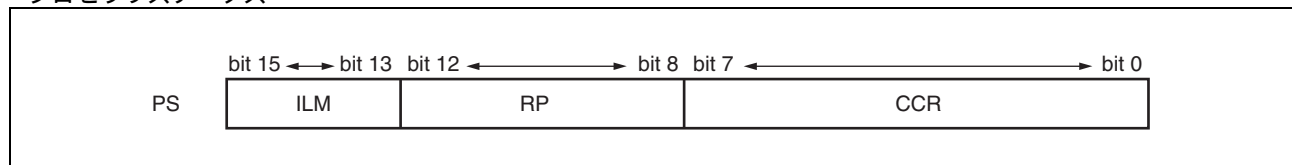
・専用レジスタ



・汎用レジスタ



・プロセッサステータス



■ I/O マップ

アドレス	レジスタ 略称	レジスタ名称	R/W	リソース	初期値
000000 _H	PDR0	ポート 0 データレジスタ	R/W	ポート 0	XXXXXXXX _B
000001 _H	PDR1	ポート 1 データレジスタ	R/W	ポート 1	XXXXXXXX _B
000002 _H	PDR2	ポート 2 データレジスタ	R/W	ポート 2	XXXXXXXX _B
000003 _H	PDR3	ポート 3 データレジスタ	R/W	ポート 3	XXXXXXXX _B
000004 _H	PDR4	ポート 4 データレジスタ	R/W	ポート 4	XXXXXXXX _B
000005 _H	PDR5	ポート 5 データレジスタ	R/W	ポート 5	XXXXXXXX _B
000006 _H	PDR6	ポート 6 データレジスタ	R/W	ポート 6	XXXXXXXX _B
000007 _H	PDR7	ポート 7 データレジスタ	R/W	ポート 7	XXXXXXXX _B
000008 _H	PDR8	ポート 8 データレジスタ	R/W	ポート 8	XXXXXXXX _B
000009 _H	PDR9	ポート 9 データレジスタ	R/W	ポート 9	XXXXXXXX _B
00000A _H	PDRA	ポート A データレジスタ	R/W	ポート A	XXXXXXXX _B
00000B _H	UDER	アップダウンタイマ入力許可レジスタ	R/W	アップダウンタイマ 入力制御	XX000000 _B
00000C _H	ILSR0	シリアル入力レベル選択レジスタ 0	R/W	マルチファンクション シリアル制御	00000000 _B
00000D _H	ILSR1	シリアル入力レベル選択レジスタ 1	R/W		00000000 _B
00000E _H	ILSR2	シリアル入力レベル選択レジスタ 2	R/W		---00000 _B
00000F _H	使用禁止				
000010 _H	DDR0	ポート 0 方向レジスタ	R/W	ポート 0	00000000 _B
000011 _H	DDR1	ポート 1 方向レジスタ	R/W	ポート 1	00000000 _B
000012 _H	DDR2	ポート 2 方向レジスタ	R/W	ポート 2	00000000 _B
000013 _H	DDR3	ポート 3 方向レジスタ	R/W	ポート 3	00000000 _B
000014 _H	DDR4	ポート 4 方向レジスタ	R/W	ポート 4	00000000 _B
000015 _H	DDR5	ポート 5 方向レジスタ	R/W	ポート 5	00000000 _B
000016 _H	DDR6	ポート 6 方向レジスタ	R/W	ポート 6	00000000 _B
000017 _H	DDR7	ポート 7 方向レジスタ	R/W	ポート 7	-0000000 _B
000018 _H	DDR8	ポート 8 方向レジスタ	R/W	ポート 8	00000000 _B
000019 _H	DDR9	ポート 9 方向レジスタ	R/W	ポート 9	00000000 _B
00001A _H	DDRA	ポート A 方向レジスタ	R/W	ポート A	----0000 _B
00001B _H	ADER0	アナログ入力許可レジスタ 0	R/W	ポート 6, A/D	11111111 _B
00001C _H	ADER1	アナログ入力許可レジスタ 1	R/W	ポート 9, A/D	11111111 _B
00001D _H	ADER2	アナログ入力許可レジスタ 2	R/W	ポート 7, A/D	----1111 _B
00001E _H	RDR0	ポート 0 入力抵抗レジスタ	R/W	ポート 0 (プルアップ 抵抗制御)	00000000 _B
00001F _H	RDR1	ポート 1 入力抵抗レジスタ	R/W	ポート 1 (プルアップ 抵抗制御)	00000000 _B
000020 _H	SMR0	シリアルバスモードレジスタ ch.0	R/W	マルチファンクション シリアル ch.0	\$\$\$\$\$\$\$ _B
000021 _H	SCR0/ IBCR0	シリアルバス制御レジスタ I ² C バス制御 レジスタ ch.0	R/W		\$\$\$\$\$\$\$ _B
000022 _H	ESCR0/ IBSR0	拡張通信制御レジスタ I ² C バスステータス レジスタ ch.0	R/W		\$\$\$\$\$\$\$ _B

(続く)

MB90880 シリーズ

アドレス	レジスタ略称	レジスタ名称	R/W	リソース	初期値
000023 _H	SSR0	シリアルステータスレジスタ ch.0	R/W	マルチファンクション シリアル ch.0	\$\$\$\$\$\$\$\$ _B
000024 _H	RDR00/ TDR00	送受信データレジスタ 0 ch.0	R, W		\$\$\$\$\$\$\$\$ _B
000025 _H	RDR10/ TDR10	送受信データレジスタ 1 ch.0	R, W		\$\$\$\$\$\$\$\$ _B
000026 _H	BGR00	ボーレートジェネレータレジスタ 0 ch.0	R/W		\$\$\$\$\$\$\$\$ _B
000027 _H	BGR10	ボーレートジェネレータレジスタ 1 ch.0	R/W		\$\$\$\$\$\$\$\$ _B
000028 _H	ISBA0	7 ビットスレーブアドレスレジスタ ch.0	R/W		00000000 _B
000029 _H	ISMK0	7 ビットスレーブアドレスマスクレジスタ ch.0	R/W		01111111 _B
00002A _H	SMR1	シリアルバスモードレジスタ ch.1	R/W	マルチファンクション シリアル ch.1	\$\$\$\$\$\$\$\$ _B
00002B _H	SCR1/ IBCR1	シリアルバス制御レジスタ /I ² C バス制御レジスタ ch.1	R/W		\$\$\$\$\$\$\$\$ _B
00002C _H	ESCR1/ IBSR1	拡張通信制御レジスタ /I ² C バスステータスレジスタ ch.1	R/W		\$\$\$\$\$\$\$\$ _B
00002D _H	SSR1	シリアルステータスレジスタ ch.1	R/W		\$\$\$\$\$\$\$\$ _B
00002E _H	RDR01/ TDR01	送受信データレジスタ 0 ch.1	R, W		\$\$\$\$\$\$\$\$ _B
00002F _H	RDR11/ TDR11	送受信データレジスタ 1 ch.1	R, W		\$\$\$\$\$\$\$\$ _B
000030 _H	BGR01	ボーレートジェネレータレジスタ 0 ch.1	R/W		\$\$\$\$\$\$\$\$ _B
000031 _H	BGR11	ボーレートジェネレータレジスタ 1 ch.1	R/W		\$\$\$\$\$\$\$\$ _B
000032 _H	ISBA1	7 ビットスレーブアドレスレジスタ ch.1	R/W		00000000 _B
000033 _H	ISMK1	7 ビットスレーブアドレスマスクレジスタ ch.1	R/W		01111111 _B
000034 _H	ADCSL	A/D 制御ステータスレジスタ下位	R/W	A/D コンバータ	00011110 _B
000035 _H	ADCSH	A/D 制御ステータスレジスタ上位	R/W		00000000 _B
000036 _H	ADCRL	A/D データレジスタ下位	R		XXXXXXXX _B
000037 _H	ADCRH	A/D データレジスタ上位	R		111111XX _B
000038 _H	ADSRL	A/D 変換チャンネル設定レジスタ下位	R/W		00000000 _B
000039 _H	ADSRH	A/D 変換チャンネル設定レジスタ上位	R/W		00000000 _B
00003A _H	予約領域				
00003B _H	PACSR1	アドレス検出制御ステータスレジスタ 1	R/W	アドレス一致検出機能	00000000 _B
00003C _H	OLSR0	出力レベル選択レジスタ 0	R/W	ポート 7 (N-ch オ - プンドレイン制御)	-000---- _B
00003D _H	OLSR1	出力レベル選択レジスタ 1	R/W	ポート 8 (N-ch オ - プンドレイン制御)	00000000 _B
00003E _H	SMR2	シリアルバスモードレジスタ ch.2	R/W	マルチファンクション シリアル ch.2	\$\$\$\$\$\$\$\$ _B
00003F _H	SCR2/ IBCR2	シリアルバス制御レジスタ /I ² C バス制御レジスタ ch.2	R/W		\$\$\$\$\$\$\$\$ _B
000040 _H	ESCR2/ IBSR2	拡張通信制御レジスタ /I ² C バスステータスレジスタ ch.2	R/W		\$\$\$\$\$\$\$\$ _B

(続く)

MB90880 シリーズ

アドレス	レジスタ 略称	レジスタ名称	R/W	リソース	初期値
000041H	SSR2	シリアルステータスレジスタ ch.2	R/W	マルチファンクション シリアル ch.2	\$\$\$\$\$\$\$B
000042H	RDR02/ TDR02	送受信データレジスタ 0 ch.2	R,W		\$\$\$\$\$\$\$B
000043H	RDR12/ TDR12	送受信データレジスタ 1 ch.2	R,W		\$\$\$\$\$\$\$B
000044H	BGR02	ボーレートジェネレータレジスタ 0 ch.2	R/W		\$\$\$\$\$\$\$B
000045H	BGR12	ボーレートジェネレータレジスタ 1 ch.2	R/W		\$\$\$\$\$\$\$B
000046H	ISBA2	7 ビットスレーブアドレスレジスタ ch.2	R/W		00000000B
000047H	ISMK2	7 ビットスレーブアドレスマスクレジスタ ch.2	R/W		01111111B
000048H	SMR3	シリアルバスモードレジスタ ch.3	R/W	マルチファンクション シリアル ch.3	\$\$\$\$\$\$\$B
000049H	SCR3/ IBCR3	シリアルバス制御レジスタ /I ² C バス制御 レジスタ ch.3	R/W		\$\$\$\$\$\$\$B
00004AH	ESCR3/ IBSR3	拡張通信制御レジスタ /I ² C バスステータス レジスタ ch.3	R/W		\$\$\$\$\$\$\$B
00004BH	SSR3	シリアルステータスレジスタ ch.3	R/W		\$\$\$\$\$\$\$B
00004CH	RDR03/ TDR03	送受信データレジスタ 0 ch.3	R,W		\$\$\$\$\$\$\$B
00004DH	RDR13/ TDR13	送受信データレジスタ 1 ch.3	R,W		\$\$\$\$\$\$\$B
00004EH	BGR03	ボーレートジェネレータレジスタ 0 ch.3	R/W		\$\$\$\$\$\$\$B
00004FH	BGR13	ボーレートジェネレータレジスタ 1 ch.3	R/W		\$\$\$\$\$\$\$B
000050H	ISBA3	7 ビットスレーブアドレスレジスタ ch.3	R/W	マルチファンクション シリアル ch.4	00000000B
000051H	ISMK3	7 ビットスレーブアドレスマスクレジスタ ch.3	R/W		01111111B
000052H	SMR4	シリアルバスモードレジスタ ch.4	R/W		\$\$\$\$\$\$\$B
000053H	SCR4/ IBCR4	シリアルバス制御レジスタ /I ² C バス制御 レジスタ ch.4	R/W		\$\$\$\$\$\$\$B
000054H	ESCR4/ IBSR4	拡張通信制御レジスタ /I ² C バスステータス レジスタ ch.4	R/W		\$\$\$\$\$\$\$B
000055H	SSR4	シリアルステータスレジスタ ch.4	R/W		\$\$\$\$\$\$\$B
000056H	RDR04/ TDR04	送受信データレジスタ 0 ch.4	R,W		\$\$\$\$\$\$\$B
000057H	RDR14/ TDR14	送受信データレジスタ 1 ch.4	R,W		\$\$\$\$\$\$\$B
000058H	BGR04	ボーレートジェネレータレジスタ 0 ch.4	R/W		\$\$\$\$\$\$\$B
000059H	BGR14	ボーレートジェネレータレジスタ 1 ch.4	R/W		\$\$\$\$\$\$\$B
00005AH	ISBA4	7 ビットスレーブアドレスレジスタ ch.4	R/W	マルチファンクション シリアル ch.4	00000000B
00005BH	ISMK4	7 ビットスレーブアドレスマスクレジスタ ch.4	R/W		01111111B

(続く)

MB90880 シリーズ

アドレス	レジスタ略称	レジスタ名称	R/W	リソース	初期値
00005CH	SMR5	シリアルバスモードレジスタ ch.5	R/W	マルチファンクション シリアル ch.5	\$\$\$\$\$\$\$\$B
00005DH	SCR5/ IBCR5	シリアルバス制御レジスタ /I ² C バス制御 レジスタ ch.5	R/W		\$\$\$\$\$\$\$\$B
00005EH	ESCR5/ IBSR5	拡張通信制御レジスタ /I ² C バスステータス レジスタ ch.5	R/W		\$\$\$\$\$\$\$\$B
00005FH	SSR5	シリアルステータスレジスタ ch.5	R/W		\$\$\$\$\$\$\$\$B
000060H	RDR05/ TDR05	送受信データレジスタ 0 ch.5	R,W		\$\$\$\$\$\$\$\$B
000061H	RDR15/ TDR15	送受信データレジスタ 1 ch.5	R,W		\$\$\$\$\$\$\$\$B
000062H	BGR05	ボーレートジェネレータレジスタ 0 ch.5	R/W		\$\$\$\$\$\$\$\$B
000063H	BGR15	ボーレートジェネレータレジスタ 1 ch.5	R/W		\$\$\$\$\$\$\$\$B
000064H	ISBA5	7 ビットスレーブアドレスレジスタ ch.5	R/W		00000000B
000065H	ISMK5	7 ビットスレーブアドレスマスクレジスタ ch.5	R/W		01111111B
000066H	OCCP0	アウトプットコンペアレジスタ (ch.0) 下位	R/W	16 ビット入出力タイマ アウトプットコンペア (ch.0 ~ ch.5)	00000000B
000067H		アウトプットコンペアレジスタ (ch.0) 上位			00000000B
000068H	OCCP1	アウトプットコンペアレジスタ (ch.1) 下位	R/W		00000000B
000069H		アウトプットコンペアレジスタ (ch.1) 上位			00000000B
00006AH	OCCP2	アウトプットコンペアレジスタ (ch.2) 下位	R/W		00000000B
00006BH		アウトプットコンペアレジスタ (ch.2) 上位			00000000B
00006CH	OCCP3	アウトプットコンペアレジスタ (ch.3) 下位	R/W		00000000B
00006DH		アウトプットコンペアレジスタ (ch.3) 上位			00000000B
00006EH	予約領域				
00006FH	ROMM	ROM ミラー機能選択レジスタ	R/W	ROM ミラー機能	-----1B
000070H	OCCP4	アウトプットコンペアレジスタ (ch.4) 下位	R/W	16 ビット入出力タイマ アウトプットコンペア (ch.0 ~ ch.5)	00000000B
000071H		アウトプットコンペアレジスタ (ch.4) 上位			00000000B
000072H	OCCP5	アウトプットコンペアレジスタ (ch.5) 下位	R/W		00000000B
000073H		アウトプットコンペアレジスタ (ch.5) 上位			00000000B
000074H	OCS01	アウトプットコンペアコントロールレジスタ (ch.0, ch.1) 下位	R/W		0000--00B
000075H		アウトプットコンペアコントロールレジスタ (ch.0, ch.1) 上位	R/W		---00000B
000076H	OCS23	アウトプットコンペアコントロールレジスタ (ch.2, ch.3) 下位	R/W		0000--00B
000077H		アウトプットコンペアコントロールレジスタ (ch.2, ch.3) 上位	R/W		---00000B
000078H	OCS45	アウトプットコンペアコントロールレジスタ (ch.4, ch.5) 下位	R/W		0000--00B
000079H		アウトプットコンペアコントロールレジスタ (ch.4, ch.5) 上位	R/W		---00000B

(続く)

MB90880 シリーズ

アドレス	レジスタ略称	レジスタ名称	R/W	リソース	初期値
00007A _H	IPCP0	インプットキャプチャデータレジスタ (ch.0) 下位	R	16 ビット入出力タイマ インプットキャプチャ (ch.0, ch.1)	XXXXXXXX _B
00007B _H		インプットキャプチャデータレジスタ (ch.0) 上位	R		XXXXXXXX _B
00007C _H	IPCP1	インプットキャプチャデータレジスタ (ch.1) 下位	R		XXXXXXXX _B
00007D _H		インプットキャプチャデータレジスタ (ch.1) 上位	R		XXXXXXXX _B
00007E _H	ICS01	インプットキャプチャコントロールステータスレジスタ	R/W		00000000 _B
00007F _H	ICE01	インプットキャプチャエッジレジスタ	R	-----XX _B	
000080 _H	TCDT	タイマカウンタデータレジスタ下位	R/W	16 ビット入出力タイマ フリーランタイム	00000000 _B
000081 _H	TCDT	タイマカウンタデータレジスタ上位	R/W		00000000 _B
000082 _H	TCCS	タイマコントロールステータスレジスタ	R/W		00000000 _B
000083 _H	TCCS	タイマコントロールステータスレジスタ	R/W		XX-00000 _B
000084 _H	CPCLR	コンペアクリアレジスタ下位	R/W		XXXXXXXX _B
000085 _H		コンペアクリアレジスタ上位			XXXXXXXX _B
000086 _H ~ 00009A _H	予約領域				
00009B _H	DCSR	DMAC ディスクリプタチャネル指定レジスタ	R/W	DMAC	00000000 _B
00009C _H	DSRL	DMAC ステータスレジスタ下位	R/W	DMAC	00000000 _B
00009D _H	DSRH	DMAC ステータスレジスタ上位	R/W	DMAC	00000000 _B
00009E _H	PACSR0	アドレス検出制御ステータスレジスタ 0	R/W	アドレス一致検出機能	00000000 _B
00009F _H	DIRR	遅延割込み要因発生 / 解除レジスタ	R/W	遅延割込み発生モジュール	-----0 _B
0000A0 _H	LPMCR	低消費電力モード制御レジスタ	W, R/W	低消費電力	00011000 _B
0000A1 _H	CKSCR	クロック選択レジスタ	R, R/W		11111100 _B
0000A2 _H , 0000A3 _H	予約領域				
0000A4 _H	DSSR	DMAC ストップステータスレジスタ	R/W	DMAC	00000000 _B
0000A5 _H	ARSR	自動レディ機能選択レジスタ	W	外部バス	0011--00 _B
0000A6 _H	HACR	外部アドレス出力制御レジスタ	W		***** _B
0000A7 _H	EPCR	バス制御信号選択レジスタ	W		1000*10- _B
0000A8 _H	WDTC	ウォッチドッグタイマ制御レジスタ	R, W	ウォッチドッグタイマ	XXXXX111 _B
0000A9 _H	TBTC	タイムベースタイマ制御レジスタ	W, R/W	タイムベースタイマ	1XX00100 _B
0000AA _H	WTC	時計タイマ制御レジスタ	R, R/W	時計タイマ	10001000 _B
0000AB _H	予約領域				
0000AC _H	DERL	DMAC イネーブルレジスタ下位	R/W	DMAC	00000000 _B
0000AD _H	DERH	DMAC イネーブルレジスタ上位	R/W		00000000 _B
0000AE _H	FMCS	フラッシュメモリコントロールステータスレジスタ	W, R/W	フラッシュメモリ I/F	000X0000 _B
0000AF _H	禁止領域				

(続く)

MB90880 シリーズ

アドレス	レジスタ略称	レジスタ名称	R/W	リソース	初期値
0000B0H	ICR00	割込み制御レジスタ 00	W, R/W	割込み制御	00000111B
0000B1H	ICR01	割込み制御レジスタ 01	W, R/W		00000111B
0000B2H	ICR02	割込み制御レジスタ 02	W, R/W		00000111B
0000B3H	ICR03	割込み制御レジスタ 03	W, R/W		00000111B
0000B4H	ICR04	割込み制御レジスタ 04	W, R/W		00000111B
0000B5H	ICR05	割込み制御レジスタ 05	W, R/W		00000111B
0000B6H	ICR06	割込み制御レジスタ 06	W, R/W		00000111B
0000B7H	ICR07	割込み制御レジスタ 07	W, R/W		00000111B
0000B8H	ICR08	割込み制御レジスタ 08	W, R/W		00000111B
0000B9H	ICR09	割込み制御レジスタ 09	W, R/W		00000111B
0000BAH	ICR10	割込み制御レジスタ 10	W, R/W		00000111B
0000BBH	ICR11	割込み制御レジスタ 11	W, R/W		00000111B
0000BCH	ICR12	割込み制御レジスタ 12	W, R/W		00000111B
0000BDH	ICR13	割込み制御レジスタ 13	W, R/W		00000111B
0000BEH	ICR14	割込み制御レジスタ 14	W, R/W		00000111B
0000BFH	ICR15	割込み制御レジスタ 15	W, R/W		00000111B
0000C0H	CMR0	チップセレクト領域 MASK レジスタ 0	R/W	バスインタフェース	00001111B
0000C1H	CAR0	チップセレクト領域レジスタ 0	R/W		11111111B
0000C2H	CMR1	チップセレクト領域 MASK レジスタ 1	R/W		00001111B
0000C3H	CAR1	チップセレクト領域レジスタ 1	R/W		11111111B
0000C4H	CMR2	チップセレクト領域 MASK レジスタ 2	R/W		00001111B
0000C5H	CAR2	チップセレクト領域レジスタ 2	R/W		11111111B
0000C6H	CMR3	チップセレクト領域 MASK レジスタ 3	R/W		00001111B
0000C7H	CAR3	チップセレクト領域レジスタ 3	R/W		11111111B
0000C8H	CSCR	チップセレクトコントロールレジスタ	R/W		----000*B
0000C9H	CALR	チップセレクトアクティブレベルレジスタ	R/W		----0000B
0000CAH ~ 0000CEH	予約領域				
0000CFH	PLLOS	PLL 出力選択レジスタ	W	PLL	-----X0B
0000D0H	BAPL	DMA バッファアドレスポインタ下位	R/W	DMAC	XXXXXXXXXB
0000D1H	BAPM	DMA バッファアドレスポインタ中位	R/W		XXXXXXXXXB
0000D2H	BAPH	DMA バッファアドレスポインタ上位	R/W		XXXXXXXXXB
0000D3H	DMACS	DMA コントロールレジスタ	R/W		XXXXXXXXXB
0000D4H	IOAL	DMAI/O レジスタアドレスポインタ下位	R/W		XXXXXXXXXB
0000D5H	IOAH	DMAI/O レジスタアドレスポインタ上位	R/W		XXXXXXXXXB
0000D6H	DCTL	DMA データカウンタ下位	R/W		XXXXXXXXXB
0000D7H	DCTH	DMA データカウンタ上位	R/W		XXXXXXXXXB
0000D8H ~ 0000DFH	予約領域				

(続く)

MB90880 シリーズ

アドレス	レジスタ略称	レジスタ名称	R/W	リソース	初期値
0000E0 _H	ENIR0	割込み /DTP 許可レジスタ 0	R/W	DTP/ 外部割込み	00000000 _B
0000E1 _H	EIRR0	割込み /DTP 要因レジスタ 0	R/W		XXXXXXXX _B
0000E2 _H	ELVR0	要求レベル設定レジスタ 0	R/W		00000000 _B
0000E3 _H		要求レベル設定レジスタ 0	R/W		00000000 _B
0000E4 _H	ENIR1	割込み /DTP 許可レジスタ 1	R/W	DTP/ 外部割込み	00000000 _B
0000E5 _H	EIRR1	割込み /DTP 要因レジスタ 1	R/W		XXXXXXXX _B
0000E6 _H	ELVR1	要求レベル設定レジスタ 1	R/W		00000000 _B
0000E7 _H		要求レベル設定レジスタ 1	R/W		00000000 _B
0000E8 _H	ENIR2	割込み /DTP 許可レジスタ 2	R/W	DTP/ 外部割込み	XXXX0000 _B
0000E9 _H	EIRR2	割込み /DTP 要因レジスタ 2	R/W		XXXXXXXX _B
0000EA _H	ELVR2	要求レベル設定レジスタ 2	R/W		00000000 _B
0000EB _H		要求レベル設定レジスタ 2	R/W		00000000 _B
0000EC _H ～ 0000EF _H	予約領域				
0000F0 _H ～ 0000FF _H	外部領域				
000100 _H ～ 00017F _H	RAM 領域 / 拡張インテリジェント I/O サービス (EI²OS)				
000180 _H ～ # _H *	RAM 領域				
007900 _H	PCNTL0	PPG0 制御ステータスレジスタ下位	R/W	16 ビット PPG0	00000000 _B
007901 _H	PCNTH0	PPG0 制御ステータスレジスタ上位	R/W		00000001 _B
007902 _H	PCNTL1	PPG1 制御ステータスレジスタ下位	R/W	16 ビット PPG1	00000000 _B
007903 _H	PCNTH1	PPG1 制御ステータスレジスタ上位	R/W		00000001 _B
007904 _H	PCNTL2	PPG2 制御ステータスレジスタ下位	R/W	16 ビット PPG2	00000000 _B
007905 _H	PCNTH2	PPG2 制御ステータスレジスタ上位	R/W		00000001 _B
007906 _H	PCNTL3	PPG3 制御ステータスレジスタ下位	R/W	16 ビット PPG3	00000000 _B
007907 _H	PCNTH3	PPG3 制御ステータスレジスタ上位	R/W		00000001 _B
007908 _H	PCNTL4	PPG4 制御ステータスレジスタ下位	R/W	16 ビット PPG4	00000000 _B
007909 _H	PCNTH4	PPG4 制御ステータスレジスタ上位	R/W		00000001 _B
00790A _H	PCNTL5	PPG5 制御ステータスレジスタ下位	R/W	16 ビット PPG5	00000000 _B
00790B _H	PCNTH5	PPG5 制御ステータスレジスタ上位	R/W		00000001 _B
00790C _H	PCNTL6	PPG6 制御ステータスレジスタ下位	R/W	16 ビット PPG6	00000000 _B
00790D _H	PCNTH6	PPG6 制御ステータスレジスタ上位	R/W		00000001 _B
00790E _H	PCNTL7	PPG7 制御ステータスレジスタ下位	R/W	16 ビット PPG7	00000000 _B
00790F _H	PCNTH7	PPG7 制御ステータスレジスタ上位	R/W		00000001 _B
007910 _H	PPGDIV	PPG0 出力分周設定レジスタ	R/W	16 ビット PPG0	11111100 _B
007911 _H	予約領域				

(続く)

MB90880 シリーズ

アドレス	レジスタ 略称	レジスタ名称	R/W	リソース	初期値
007912 _H	PDCRL0	PPG0 ダウンカウンタレジスタ	R	16 ビット PPG0	11111111 _B
007913 _H	PDCRH0				11111111 _B
007914 _H	PCSRL0	PPG0 周期設定レジスタ	W		11111111 _B
007915 _H	PCSRH0				11111111 _B
007916 _H	PUDUTL0	PPG0 デューティ設定レジスタ	W		00000000 _B
007917 _H	PUDUTH0				00000000 _B
007918 _H	使用禁止				
007919 _H	使用禁止				
00791A _H	PDCRL1	PPG1 ダウンカウンタレジスタ	R	16 ビット PPG1	11111111 _B
00791B _H	PDCRH1				11111111 _B
00791C _H	PCSRL1	PPG1 周期設定レジスタ	W		11111111 _B
00791D _H	PCSRH1				11111111 _B
00791E _H	PUDUTL1	PPG1 デューティ設定レジスタ	W		00000000 _B
00791F _H	PUDUTH1				00000000 _B
007920 _H	使用禁止				
007921 _H	使用禁止				
007922 _H	PDCRL2	PPG2 ダウンカウンタレジスタ	R	16 ビット PPG2	11111111 _B
007923 _H	PDCRH2				11111111 _B
007924 _H	PCSRL2	PPG2 周期設定レジスタ	W		11111111 _B
007925 _H	PCSRH2				11111111 _B
007926 _H	PUDUTL2	PPG2 デューティ設定レジスタ	W		00000000 _B
007927 _H	PUDUTH2				00000000 _B
007928 _H	使用禁止				
007929 _H	使用禁止				
00792A _H	PDCRL3	PPG3 ダウンカウンタレジスタ	R	16 ビット PPG3	11111111 _B
00792B _H	PDCRH3				11111111 _B
00792C _H	PCSRL3	PPG3 周期設定レジスタ	W		11111111 _B
00792D _H	PCSRH3				11111111 _B
00792E _H	PUDUTL3	PPG3 デューティ設定レジスタ	W		00000000 _B
00792F _H	PUDUTH3				00000000 _B
007930 _H	使用禁止				
007931 _H	使用禁止				
007932 _H	PDCRL4	PPG4 ダウンカウンタレジスタ	R	16 ビット PPG4	11111111 _B
007933 _H	PDCRH4				11111111 _B
007934 _H	PCSRL4	PPG4 周期設定レジスタ	W		11111111 _B
007935 _H	PCSRH4				11111111 _B
007936 _H	PUDUTL4	PPG4 デューティ設定レジスタ	W		00000000 _B
007937 _H	PUDUTH4				00000000 _B
007938 _H	使用禁止				
007939 _H	使用禁止				

(続く)

MB90880 シリーズ

アドレス	レジスタ 略称	レジスタ名称	R/W	リソース	初期値	
00793A _H	PDCRL5	PPG5 ダウンカウンタレジスタ	R	16 ビット PPG5	11111111 _B	
00793B _H	PDCRH5				11111111 _B	
00793C _H	PCSRL5	PPG5 周期設定レジスタ	W		11111111 _B	
00793D _H	PCSRH5				11111111 _B	
00793E _H	PUDUTL5	PPG5 デューティ設定レジスタ	W		00000000 _B	
00793F _H	PUDUTH5				00000000 _B	
007940 _H	使用禁止					
007941 _H	使用禁止					
007942 _H	PDCRL6	PPG6 ダウンカウンタレジスタ	R	16 ビット PPG6	11111111 _B	
007943 _H	PDCRH6				11111111 _B	
007944 _H	PCSRL6	PPG6 周期設定レジスタ	W		11111111 _B	
007945 _H	PCSRH6				11111111 _B	
007946 _H	PUDUTL6	PPG6 デューティ設定レジスタ	W		00000000 _B	
007947 _H	PUDUTH6				00000000 _B	
007948 _H	使用禁止					
007949 _H	使用禁止					
00794A _H	PDCRL7	PPG7 ダウンカウンタレジスタ	R	16 ビット PPG7	11111111 _B	
00794B _H	PDCRH7				11111111 _B	
00794C _H	PCSRL7	PPG7 周期設定レジスタ	W		11111111 _B	
00794D _H	PCSRH7				11111111 _B	
00794E _H	PUDUTL7	PPG7 デューティ設定レジスタ	W		00000000 _B	
00794F _H	PUDUTH7				00000000 _B	
007950 _H	使用禁止					
007951 _H	使用禁止					
007952 _H	TMCR0	タイマ制御レジスタ ch.0	R/W	ベースタイマ ch.0	00000000 _B	
007953 _H					00000000 _B	
007954 _H	STC0	ステータス制御レジスタ ch.0	R/W		00000000 _B	
007955 _H	使用禁止					
007956 _H	TMR0	タイマレジスタ ch.0	R/W	ベースタイマ ch.0	00000000 _B / XXXXXXXX _B	
007957 _H					00000000 _B / XXXXXXXX _B	
007958 _H	PCSR0/ PRL0	周期 /L 幅設定レジスタ ch.0	R/W		XXXXXXXX _B	
007959 _H					XXXXXXXX _B	
00795A _H	PDUT0/ PRLH0/ DTBF0	デューティ /H 幅 / データバッファ レジスタ ch.0	R/W		XXXXXXXX _B / 00000000 _B	
00795B _H					XXXXXXXX _B / 00000000 _B	

(続く)

MB90880 シリーズ

アドレス	レジスタ略称	レジスタ名称	R/W	リソース	初期値
00795CH	TMCR1	タイマ制御レジスタ ch.1	R/W	ベースタイマ ch.1	00000000B
00795DH					00000000B
00795EH	STC1	ステータス制御レジスタ ch.1	R/W		00000000B
00795FH	使用禁止				
007960H	TMR1	タイマレジスタ ch.1	R/W	ベースタイマ ch.1	00000000B/ XXXXXXXXXB
007961H					00000000B/ XXXXXXXXXB
007962H	PCSR1/ PRL1	周期 /L 幅設定レジスタ ch.1	R/W		XXXXXXXXXB
007963H					XXXXXXXXXB
007964H	PDUT1/ PRLH1/ DTBF1	デューティ /H 幅 / データバッファ レジスタ ch.1	R/W		XXXXXXXXXB/ 00000000B
007965H					XXXXXXXXXB/ 00000000B
007966H	TMCR2	タイマ制御レジスタ ch.2	R/W	ベースタイマ ch.2	00000000B
007967H					00000000B
007968H	STC2	ステータス制御レジスタ ch.2	R/W		00000000B
007969H	使用禁止				
00796AH	TMR2	タイマレジスタ ch.2	R/W	ベースタイマ ch.2	00000000B/ XXXXXXXXXB
00796BH					00000000B/ XXXXXXXXXB
00796CH	PCSR2/ PRL2	周期 /L 幅設定レジスタ ch.2	R/W		XXXXXXXXXB
00796DH					XXXXXXXXXB
00796EH	PDUT2/ PRLH2/ DTBF2	デューティ /H 幅 / データバッファ レジスタ ch.2	R/W		XXXXXXXXXB/ 00000000B
00796FH					XXXXXXXXXB/ 00000000B
007970H	TMCR3	タイマ制御レジスタ ch.3	R/W	ベースタイマ ch.3	00000000B
007971H					00000000B
007972H	STC3	ステータス制御レジスタ ch.3	R/W		00000000B
007973H	使用禁止				
007974H	TMR3	タイマレジスタ ch.3	R/W	ベースタイマ ch.3	00000000B/ XXXXXXXXXB
007975H					00000000B/ XXXXXXXXXB
007976H	PCSR3/ PRL3	周期 /L 幅設定レジスタ ch.3	R/W		XXXXXXXXXB
007977H					XXXXXXXXXB
007978H	PDUT3/ PRLH3/ DTBF3	デューティ /H 幅 / データバッファレジス タ ch.3	R/W		XXXXXXXXXB/ 00000000B
007979H					XXXXXXXXXB/ 00000000B

(続く)

MB90880 シリーズ

アドレス	レジスタ 略称	レジスタ名称	R/W	リソース	初期値
00797AH	UDCR0	アップダウンカウントレジスタ (ch.0)	R	8/16 ビットアップ ダウンカウンタ / タイマ	00000000B
00797BH	UDCR1	アップダウンカウントレジスタ (ch.1)	R		00000000B
00797CH	RCR0	リロード / コンペアレジスタ (ch.0)	W		00000000B
00797DH	RCR1	リロード / コンペアレジスタ (ch.1)	W		00000000B
00797EH	CCRL0	カウンタコントロールレジスタ (ch.0) 下位	W, R/W		XX00X000B
00797FH	CCRHO	カウンタコントロールレジスタ (ch.0) 上位	R/W		00000000B
007980H	CCRL1	カウンタコントロールレジスタ (ch.1) 下位	W, R/W		XX00X000B
007981H	CCRHI	カウンタコントロールレジスタ (ch.1) 上位	R/W		-0000000B
007982H	CSR0	カウンタステータスレジスタ (ch.0)	R, R/W		00000000B
007983H	予約領域				
007984H	CSR1	カウンタステータスレジスタ (ch.1)	R, R/W	8/16 ビットアップ ダウンカウンタ / タイマ	00000000B
007985H ~ 00798FH	予約領域				
007990H	SMR6	シリアルバスモードレジスタ ch.6	R/W	マルチファンクション シリアル ch.6	\$\$\$\$\$\$\$B
007991H	SCR6/ IBCR6	シリアルバス制御レジスタ /I ² C バス制御レ ジスタ ch.6	R/W		\$\$\$\$\$\$\$B
007992H	ESCR6/ IBSR6	拡張通信制御レジスタ /I ² C バスステータス レジスタ ch.6	R/W		\$\$\$\$\$\$\$B
007993H	SSR6	シリアルステータスレジスタ ch.6	R/W		\$\$\$\$\$\$\$B
007994H	RDR06/ TDR06	送受信データレジスタ 0 ch.6	R,W		\$\$\$\$\$\$\$B
007995H	RDR16/ TDR16	送受信データレジスタ 1 ch.6	R,W		\$\$\$\$\$\$\$B
007996H	BGR06	ボーレートジェネレータレジスタ 0 ch.6	R/W		\$\$\$\$\$\$\$B
007997H	BGR16	ボーレートジェネレータレジスタ 1 ch.6	R/W		\$\$\$\$\$\$\$B
007998H	ISBA6	7 ビットスレーブアドレスレジスタ ch.6	R/W		00000000B
007999H	ISMK6	7 ビットスレーブアドレスマスクレジスタ ch.6	R/W		01111111B
00799AH	PAFSR	PPG 端子配置切換えレジスタ	R/W	PPG 端子切換え制御	----0000B
00799BH	PMSSR	PPG マルチチャネル起動レジスタ	R/W	PPG マルチ起動制御	00000000B
00799CH	予約領域				
00799DH	P9FSR	シリアル端子切換えレジスタ 1	R/W	マルチファンクション シリアル端子制御	----000B
00799CH ~ 0079A1H	予約領域				
0079A2H	P7FSR	シリアル端子切換えレジスタ 0	R/W	マルチファンクション シリアル端子制御	----000XB
0079A3H	LSYNS	LIN SYNCH FIELD 切換えレジスタ	R/W	インプットキャプチャ 入力制御	10001000B

(続く)

MB90880 シリーズ

(続き)

アドレス	レジスタ 略称	レジスタ名称	R/W	リソース	初期値
0079A4 _H , 0079A5 _H		予約領域			
0079A6 _H	FWR0	フラッシュメモリ書込みコントロールレジスタ 0	R/W	フラッシュメモリ I/F	00000000 _B
0079A7 _H	FWR1	フラッシュメモリ書込みコントロールレジスタ 1	R/W		00000000 _B
0079A8 _H ~ 0079DF _H		予約領域			
0079E0 _H	PADR0	検出アドレスレジスタ 0 (下位)	R/W	アドレス一致 検出機能	XXXXXXXX _B
0079E1 _H		検出アドレスレジスタ 0 (中位)			XXXXXXXX _B
0079E2 _H		検出アドレスレジスタ 0 (上位)			XXXXXXXX _B
0079E3 _H	PADR1	検出アドレスレジスタ 1 (下位)	R/W	アドレス一致 検出機能	XXXXXXXX _B
0079E4 _H		検出アドレスレジスタ 1 (中位)			XXXXXXXX _B
0079E5 _H		検出アドレスレジスタ 1 (上位)			XXXXXXXX _B
0079E6 _H	PADR2	検出アドレスレジスタ 2 (下位)	R/W	アドレス一致 検出機能	XXXXXXXX _B
0079E7 _H		検出アドレスレジスタ 2 (中位)			XXXXXXXX _B
0079E8 _H		検出アドレスレジスタ 2 (上位)			XXXXXXXX _B
0079E9 _H ~ 0079EF _H		予約領域			
0079F0 _H	PADR3	検出アドレスレジスタ 3 (下位)	R/W	アドレス一致 検出機能	XXXXXXXX _B
0079F1 _H		検出アドレスレジスタ 3 (中位)			XXXXXXXX _B
0079F2 _H		検出アドレスレジスタ 3 (上位)			XXXXXXXX _B
0079F3 _H	PADR4	検出アドレスレジスタ 4 (下位)	R/W	アドレス一致 検出機能	XXXXXXXX _B
0079F4 _H		検出アドレスレジスタ 4 (中位)			XXXXXXXX _B
0079F5 _H		検出アドレスレジスタ 4 (上位)			XXXXXXXX _B
0079F6 _H	PADR5	検出アドレスレジスタ 5 (下位)	R/W	アドレス一致 検出機能	XXXXXXXX _B
0079F7 _H		検出アドレスレジスタ 5 (中位)			XXXXXXXX _B
0079F8 _H		検出アドレスレジスタ 5 (上位)			XXXXXXXX _B
0079F9 _H ~ 007FFF _H		予約領域			

R/W について

R/W : リード / ライト可能

R : リードオンリ

W : ライトオンリ

初期値についての説明

0 : このビットの初期値は, “0” です。

1 : このビットの初期値は, “1” です。

X : このビットの初期値は, 不定です。

- : このビットは, 利用されていません。

* : このビットの初期値は, “1” または, “0” です。

モード端子 (MD2, MD1, MD0 端子) によって異なります。

+ : このビットの初期値は, “1” または, “0” です。

\$: このビットの初期値は, リソースの動作モードによって異なります。

#H*: デバイスの RAM 領域によって異なります。

■ 割込み要因と割込みベクタ，割込み制御レジスタ

割込み要因	EI ² OS の クリア	μDMAC チャンネル番号	割込みベクタ		割込み制御レジスタ	
			番号	アドレス	番号	アドレス
リセット	×	—	#08	FFFFDC _H	—	—
INT9 命令	×	—	#09	FFFFD8 _H	—	—
例外	×	—	#10	FFFFD4 _H	—	—
INT0 (IRQ0/1)		0	#11	FFFFD0 _H	ICR00	0000B0 _H
INT1 (IRQ2 ~ IRQ7)		—	#12	FFFFCCH _H		
INT2 (IRQ8 ~ IRQ15)		—	#13	FFFFC8 _H	ICR01	0000B1 _H
INT3 (IRQ16 ~ IRQ23)		—	#14	FFFFC4 _H		
ベースタイム ch.0 (要因 0,1)		1	#15	FFFFC0 _H	ICR02	0000B2 _H
ベースタイム ch.1 (要因 0,1)		2	#16	FFFFBC _H		
ベースタイム ch.2 (要因 0,1)		3	#17	FFFFB8 _H	ICR03	0000B3 _H
ベースタイム ch.3 (要因 0,1)		4	#18	FFFFB4 _H		
PPG0/PPG4 カウンタボロー		5	#19	FFFFB0 _H	ICR04	0000B4 _H
PPG1/PPG5 カウンタボロー		6	#20	FFFFAC _H		
PPG2/PPG6 カウンタボロー		7	#21	FFFFA8 _H	ICR05	0000B5 _H
PPG3/PPG7 カウンタボロー	×	8	#22	FFFFA4 _H		
8/16 ビットアップダウンカウンタ / タイム (ch.0, 1) コンペア / アンダフロー / オーバフロー / アップダウン反転	×	—	#23	FFFFA0 _H	ICR06	0000B6 _H
インプットキャプチャ (ch.0/1) 取込み		—	#24	FFFF9C _H		
アウトプットコンペア (ch.0/1/2) 一致		—	#25	FFFF98 _H	ICR07	0000B7 _H
アウトプットコンペア (ch.3/4/5) 一致		—	#26	FFFF94 _H		
A/D コンバータ		—	#27	FFFF90 _H	ICR08	0000B8 _H
16 ビットフリーランタイムオーバフロー / コンペアクリア / マルチファンクション シリアル ch.4/5/6 ステータス		9	#28	FFFF8C _H		
マルチファンクションシリアル ch.4 受信		10	#29	FFFF88 _H	ICR09	0000B9 _H
マルチファンクションシリアル ch.4 送信		11	#30	FFFF84 _H		
マルチファンクションシリアル ch.5 受信		12	#31	FFFF80 _H	ICR10	0000BA _H
マルチファンクションシリアル ch.5 送信		13	#32	FFFF7C _H		
マルチファンクションシリアル ch.6 受信		14	#33	FFFF78 _H	ICR11	0000BB _H
マルチファンクションシリアル ch.6 送信		15	#34	FFFF74 _H		
マルチファンクションシリアル ch.0/1 受信 / ステータス		—	#35	FFFF70 _H	ICR12	0000BC _H
マルチファンクションシリアル ch.0/1 送信		—	#36	FFFF6C _H		
マルチファンクションシリアル ch.2 受信 / ステータス		—	#37	FFFF68 _H	ICR13	0000BD _H
マルチファンクションシリアル ch.2 送信		—	#38	FFFF64 _H		
マルチファンクションシリアル ch.3 受信 / ステータス		—	#39	FFFF60 _H	ICR14	0000BE _H
マルチファンクションシリアル ch.3 送信		—	#40	FFFF5C _H		

(続く)

MB90880 シリーズ

(続き)

割込み要因	EI ² OS の クリア	μDMAC チャンネル番号	割込みベクタ		割込み制御レジスタ	
			番号	アドレス	番号	アドレス
フラッシュの書き込み / 消去 , タイムベースタイマ , 時計タイマ *	×	—	#41	FFFF58 _H	ICR15	0000BF _H
遅延割込み発生モジュール	×	—	#42	FFFF54 _H		

- × : 割込みクリア信号で , 割込み要求フラグはクリアされません。
- : 割込みクリア信号で , 割込み要求フラグはクリアされます。
- : 割込みクリア信号で , 割込み要求フラグはクリアされます。受信の場合のみストップ要求あり。

* : フラッシュ書き込み / 消去とタイムベースタイマと時計タイマは同時に使用できませんので注意願います。

(注意事項) 同一割込み番号に 2 つの割込み要因が合った場合 , リソースは両方の割込み要求フラグが EI²OS/μDMAC 割込みクリア信号でクリアされます。したがって , 2 要因のどちらか 1 つ EI²OS/μDMAC 機能を使用すると , もう 1 つの割込み機能は使用できません。該当リソースの割込み要求許可ビットを “0” にして , ソフトウェアポーリング処理にて対処してください。

■ 電気的特性

1. 絶対最大定格

項目	記号	定格値		単位	備考
		最小	最大		
電源電圧* 1	V _{CC}	V _{SS} - 0.3	V _{SS} + 4.0	V	
	DV _{CC}	V _{SS} - 0.3	V _{SS} + 4.0	V	DV _{CC} =V _{CC} *2
	AV _{CC}	V _{SS} - 0.3	V _{SS} + 4.0	V	* 2
	AV _{RH}	V _{SS} - 0.3	V _{SS} + 4.0	V	* 2
入力電圧* 1	V _I	V _{SS} - 0.3	V _{SS} + 4.0	V	* 3
		V _{SS} - 0.3	V _{SS} + 7.0	V	* 3, * 8
出力電圧* 1	V _O	V _{SS} - 0.3	V _{SS} + 4.0	V	* 3
		V _{SS} - 0.3	V _{SS} + 7.0	V	* 3, * 8
最大クランプ電流	I _{CLAMP}	- 2.0	+ 2.0	mA	* 7
最大総クランプ電流	Σ I _{CLAMP}	—	20	mA	* 7
“L” レベル最大出力電流	I _{OL1}	—	10	mA	* 4
	I _{OL2}	—	20	mA	PA0 ~ PA3*4
“L” レベル平均出力電流	I _{OLAV1}	—	3	mA	* 5
	I _{OLAV2}	—	10	mA	PA0 ~ PA3*5
“L” レベル最大総出力電流	ΣI _{OL1}	—	60	mA	
	ΣI _{OL2}	—	80	mA	PA0 ~ PA3
“L” レベル平均総出力電流	ΣI _{OLAV1}	—	30	mA	* 6
	ΣI _{OLAV2}	—	40	mA	PA0 ~ PA3*6
“H” レベル最大出力電流	I _{OH1}	—	- 10	mA	* 4
	I _{OH2}	—	- 20	mA	PA0 ~ PA3*4
“H” レベル平均出力電流	I _{OHAV1}	—	- 3	mA	* 5
	I _{OHAV2}	—	- 10	mA	PA0 ~ PA3*5
“H” レベル最大総出力電流	ΣI _{OH1}	—	- 60	mA	
	ΣI _{OH2}	—	- 80	mA	PA0 ~ PA3
“H” レベル平均総出力電流	ΣI _{OHAV1}	—	- 30	mA	* 6
	ΣI _{OHAV2}	—	- 40	mA	PA0 ~ PA3*6
消費電力	P _D	—	320	mW	
動作温度	T _A	- 40	+ 85	°C	
保存温度	T _{stg}	- 55	+ 150	°C	

* 1 : V_{SS} = AV_{SS} = DV_{SS} = 0.0 V を基準にしています。

* 2 : AV_{CC}, DV_{CC}, AVR_H を同じ電圧に設定してください。AV_{CC} および DV_{CC} は、V_{CC} を超えてはいけません。また AVR_H は AV_{CC} も超えてはいけません。

* 3 : V_I, V_O は V_{CC} + 0.3 V を超えてはいけません。ただし、外部の部品を使用して入力への電流または入力からの電流の最大値を制限する場合は、V_I 定格に代わって I_{CLAMP} 定格が適用されます。

* 4 : 最大出力電流は、該当する端子 1 本のピーク値を規定します。

* 5 : 平均出力電流は、該当する端子 1 本に流れる電流の 100 ms の期間内での平均電流を規定します。

* 6 : 平均総出力電流は、該当する端子すべてに流れる電流の 100 ms の期間内での平均電流を規定します。

(続く)

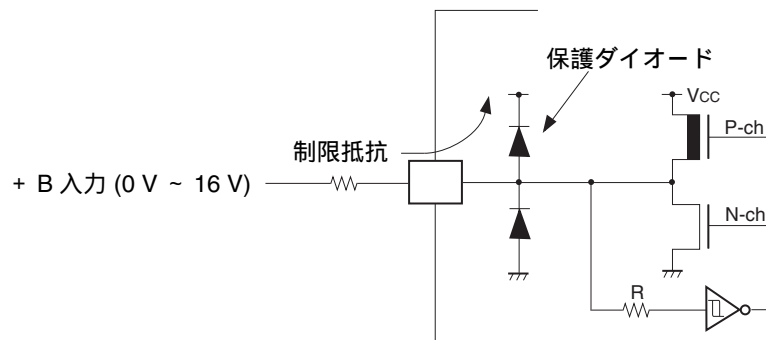
MB90880 シリーズ

(続き)

* 7 : ・ 該当端子 : P00 ~ P07, P10 ~ P17, P20 ~ P27, P30 ~ P37, P40 ~ P47, P50 ~ P57, P60 ~ P67, P70 ~ P76,
P80 ~ P87, P90 ~ P97, PA0 ~ PA3

- ・ 推奨動作条件内でご使用ください。
- ・ 直流電圧 (電流) でご使用ください。
- ・ + B 信号とマイクロコントローラの間には、必ず制限抵抗を接続し + B 信号を印加してください。
- ・ + B 入力時にマイクロコントローラ端子に入力される電流が、瞬時・定常を問わず規格値以下になるように制限抵抗の値を設定してください。
- ・ 低消費電力モードなどマイクロコントローラの駆動電流が少ない動作状態では、+ B 入力電位が保護ダイオードを通して VCC 端子の電位を上昇させ、他の機器へ影響を及ぼす可能性がありますのでご注意ください。
- ・ マイクロコントローラ電源が OFF 時 (0 V に固定していない場合) に + B 入力がある場合は、端子から電源が供給されているため、不完全な動作を行う可能性がありますのでご注意ください。
- ・ 電源投入時に + B 入力がある場合は、端子から電源が供給されているため、パワーオンリセットが動作しない電源電圧になる可能性がありますのでご注意ください。
- ・ + B 入力端子は、開放状態にならないようにご注意ください。
- ・ A/D 入力端子を除くアナログ系入出力端子 (LCD 駆動端子、コンパレータ入力端子など) は、+ B 入力できませんのでご注意ください。
- ・ 推奨回路例 :

・ 入出力等価回路



* 8 : P74 ~ P76, P80 ~ P87 は 5 V I/F 端子として使用できます。

< 注意事項 > 絶対最大定格を超えるストレス (電圧、電流、温度など) の印加は、半導体デバイスを破壊する可能性があります。したがって、定格を一項目でも超えることのないようご注意ください。

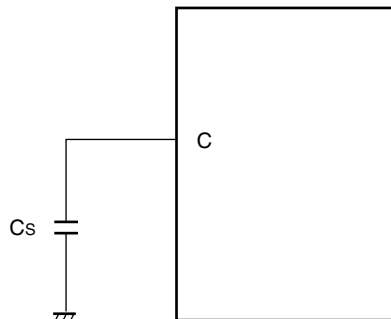
MB90880 シリーズ

2. 推奨動作条件

($V_{SS} = AV_{SS} = 0.0\text{ V}$)

項目	記号	規格値		単位	備考
		最小	最大		
電源電圧	V_{CC}	2.7	3.6	V	通常動作時
	DV_{CC}	1.8	3.6	V	ストップ動作の状態保持
“H” レベル入力電圧	V_{IH}	$0.7 V_{CC}$	$V_{CC} + 0.3$	V	V_{IH2} , V_{IHS} , V_{IHM} , V_{IHX} 以外の端子
	V_{IH2}	$0.7 V_{CC}$	$V_{SS} + 5.8$	V	P74 ~ P76, P80 ~ P87
	V_{IHS}	$0.8 V_{CC}$	$V_{CC} + 0.3$	V	ヒステリシス入力の端子
	V_{IHS2}	$0.7 V_{CC}$	$V_{CC} + 0.3$	V	ヒステリシス入力の端子 (マルチファンクションシリアル端子)
	V_{IHS3}	$0.7 V_{CC}$	$V_{CC} + 0.3$	V	CMOS 入力の端子 (外バスモード入力端子)
	V_{IHM}	$V_{CC} - 0.3$	$V_{CC} + 0.3$	V	MD 端子入力
	V_{IHX}	$0.8 V_{CC}$	$V_{CC} + 0.3$	V	X0A, X1A 端子
“L” レベル入力電圧	V_{IL}	$V_{SS} - 0.3$	$0.3 V_{CC}$	V	V_{ILS} , V_{ILM} , V_{ILX} 以外の端子
	V_{ILS}	$V_{SS} - 0.3$	$0.2 V_{CC}$	V	ヒステリシス入力の端子
	V_{ILS2}	$V_{SS} - 0.3$	$0.3 V_{CC}$	V	ヒステリシス入力の端子 (マルチファンクションシリアル端子)
	V_{ILS3}	$V_{SS} - 0.3$	$0.3 V_{CC}$	V	CMOS 入力の端子 (外バスモード端子)
	V_{ILM}	$V_{SS} - 0.3$	$V_{SS} + 0.3$	V	MD 端子入力
	V_{ILX}	$V_{SS} - 0.3$	$0.2 V_{CC}$	V	X0A, X1A 端子
平滑コンデンサ	C_S	0.1	1.0	μF	セラミックコンデンサ, または同程度の交流規格のコンデンサを使用してください。 V_{CC} 端子のバイパスコンデンサはこのコンデンサよりも大きい容量値のものを使用してください。
動作温度	T_A	- 40	+ 85	$^{\circ}\text{C}$	通常動作時
		0	+ 70	$^{\circ}\text{C}$	外部バス動作時

・ C 端子接続図



< 注意事項 > 推奨動作条件は、半導体デバイスの正常な動作を保証する条件です。電気的特性の規格値は、すべてこの条件の範囲内で保証されます。常に推奨動作条件下で使用してください。この条件を超えて使用すると、信頼性に悪影響を及ぼすことがあります。

データシートに記載されていない項目、使用条件、論理の組合せでの使用は、保証していません。記載されている以外の条件での使用をお考えの場合は、必ず事前に営業部門までご相談ください。

MB90880 シリーズ

3. 直流規格

($V_{CC} = 2.7V \sim 3.6V$, $V_{SS} = 0.0V$, $T_A = -40^{\circ}C \sim +85^{\circ}C$)

項目	記号	端子名	条件	規格値			単位	備考
				最小	標準	最大		
“H” レベル 出力電圧	V_{OH}	P74 ~ P76, P80 ~ P87, PA0 ~ PA3 以外の端子	$V_{CC} = 3.0V$, $I_{OH} = -4.0mA$	$V_{CC} - 0.5$	—	—	V	
		P74 ~ P76 , P80 ~ P87	$V_{CC} = 3.0V$, $I_{OH} = -2.0mA$	$V_{CC} - 0.5$	—	—	V	
		PA0 ~ PA3	$DV_{CC} = 3.0V$, $I_{OH} = -10.0mA$	$DV_{CC} - 0.6$	—	—	V	
“L” レベル 出力電圧	V_{OL}	P74 ~ P76 , P80 ~ P87, PA0 ~ PA3 以外の端子	$V_{CC} = 3.0V$, $I_{OL} = 4.0mA$	—	—	0.4	V	
		P74 ~ P76 , P80 ~ P87	$V_{CC} = 3.0V$, $I_{OH} = -2.0mA$	—	—	0.4	V	
		PA0 ~ PA3	$DV_{CC} = 3.0V$, $I_{OL} = 10.0mA$	—	—	0.5	V	
入力リーク 電流	I_{IL}	すべての 入力端子	$V_{CC} = 3.3V$, $V_{SS} < V_I < V_{CC}$	- 10	—	+ 10	μA	
プルアップ 抵抗	R_{PULL}	—	—	25	50	100	k Ω	評価用品
				15	33	66	k Ω	フラッシュ メモリ品 / マスク ROM 品
プルダウン 抵抗	R_{DOWN}	MD2	—	25	50	100	k Ω	評価用品
				40	100	200	k Ω	マスク ROM 品
オープン ドレイン 出力電流	I_{leak}	P31, P32, P34, P35, P43, P44, P46, P47, P72 ~ P76, P80 ~ P87, P96, P97	—	—	0.1	10	μA	

(続く)

MB90880 シリーズ

($V_{CC} = 2.7V \sim 3.6V$, $V_{SS} = 0.0V$, $T_A = -40^{\circ}C \sim +85^{\circ}C$)

項目	記号	端子名	条件	規格値			単位	備考
				最小	標準	最大		
電源電流	I _{CC}	—	V _{CC} = 3.3 V 時, 内部 25 MHz 動作, 通常動作時	—	15	23	mA	MB90882(S)
				—	20	28	mA	MB90F882A(S)
				—	27	37	mA	MB90F883C(S), MB90F884C(S)
				—	30	40	mA	MB90F883B(S)/BH(S), MB90F884B(S)/BH(S)
			V _{CC} = 3.3 V 時, 内部 33 MHz 動作, 通常動作時	—	22	30	mA	MB90882(S)
				—	28	38	mA	MB90F882A(S)
				—	35	45	mA	MB90F883C(S), MB90F884C(S)
				—	40	52	mA	MB90F883BH(S), MB90F884BH(S)
			V _{CC} = 3.3 V 時, 内部 25 MHz 動作, フラッシュ書込み時	—	30	40	mA	MB90F882A(S)
				—	37	47	mA	MB90F883C(S), MB90F884C(S)
			V _{CC} = 3.3 V 時, 内部 33 MHz 動作, フラッシュ書込み時	—	40	50	mA	MB90F883B(S)/BH(S), MB90F884B(S)/BH(S)
				—	40	52	mA	MB90F882A(S)
				—	45	57	mA	MB90F883C(S), MB90F884C(S)
	I _{CCS}	—	V _{CC} = 3.3 V 時, 内部 25 MHz 動作, スリープ時	—	6	12	mA	
			V _{CC} = 3.3 V 時, 内部 33 MHz 動作, スリープ時	—	10	20	mA	
	I _{CTS}	—	V _{CC} = 3.3 V 時, 内部 2 MHz 動作, タイムベースタイマ時	—	0.25	0.9	mA	

(続く)

MB90880 シリーズ

(続き)

($V_{CC} = 2.7V \sim 3.6V$, $V_{SS} = 0.0V$, $T_A = -40^{\circ}C \sim +85^{\circ}C$)

項目	記号	端子名	条件	規格値			単位	備考
				最小	標準	最大		
電源電流	I _{CCL}	—	$V_{CC} = 3.3V$ 時, 外部 32 kHz, 内部 8 kHz 動作, サブ動作時 ($T_A = +25^{\circ}C$)	—	80	200	μA	
	I _{CCLS}	—	$V_{CC} = 3.3V$ 時, 外部 32 kHz, 内部 8 kHz 動作, サブスリープ時 ($T_A = +25^{\circ}C$)	—	50	160	μA	
	I _{CCT}	—	$V_{CC} = 3.3V$ 時, 外部 32 kHz, 内部 8 kHz 動作, 時計動作時 ($T_A = +25^{\circ}C$)	—	20	110	μA	
	I _{CCH}	—	$T_A = +25^{\circ}C$, ストップ時, $V_{CC} = 3.3V$ 時	—	15	100	μA	
入力容量	C _{IN}	AVCC, AVSS, VCC, DVCC, VSS, DVSS 以外	AVCC, AVSS, VCC, DVCC, VSS, DVSS	—	5	15	pF	

(注意事項) P74 ~ P76, P80 ~ P87 は, コントロール付き N-ch オープンドレイン端子で, 通常は CMOS として使用します。

4. 交流規格

(1) クロックタイミング規格

(V_{SS} = 0.0 V, T_A = - 40 °C ~ + 85 °C)

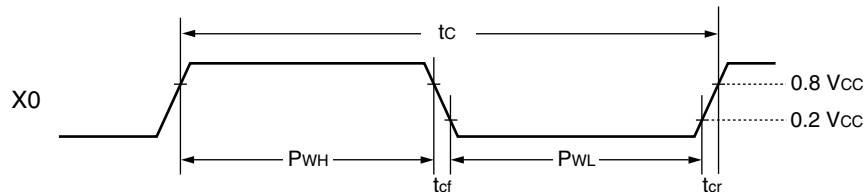
項目	記号	端子名	条件	規格値			単位	備考
				最小	標準	最大		
クロック周波数	F _{CH}	X0, X1	—	3	—	25	MHz	外部水晶発振
			—	3	—	50		外部クロック入力
			—	4	—	25		PLL1 通倍
			—	3	—	16.5		PLL2 通倍
			—	3	—	11		PLL3 通倍
			—	3	—	8.25		PLL4 通倍
			—	3	—	5.5		PLL6 通倍
			—	3	—	4.125		PLL8 通倍
	F _{CL}	X0A, X1A	—	—	32.768	—	kHz	
クロックサイクルタイム	t _c	X0, X1	—	20	—	333	ns	* 1
	t _{CL}	X0A, X1A	—	—	30.5	—	μs	
入力クロックパルス幅	P _{WH} P _{WL}	X0	—	5	—	—	ns	
	P _{WLH} P _{WLL}	X0A	—	—	15.2	—	μs	* 2
入力クロック 立上り, 立下り時間	t _{cr} t _{cf}	X0	—	—	—	5	ns	外部クロック時
内部動作クロック周波数	f _{CP}	—	—	1.5	—	33	MHz	* 1
	f _{CPL}	—	—	—	8.192	—	kHz	
内部動作クロック サイクルタイム	t _{CP}	—	—	30.3	—	666	ns	* 1
	t _{CPL}	—	—	—	122.1	—	μs	

* 1 : MB90F883B (S), MB90F884B (S) では, 最大動作周波数は 25 MHz となります。

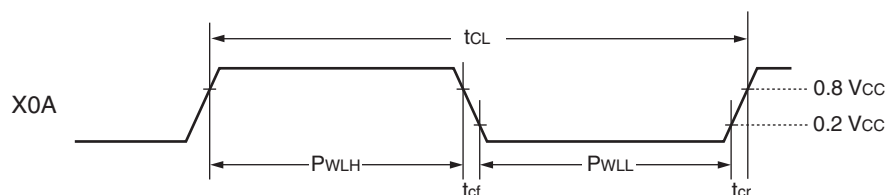
外部バス動作使用時では, 全規格において最大動作周波数は 25 MHz となります。

* 2 : デューティ比 50% ± 3% で入力してください。

・ X0, X1 クロックタイミング

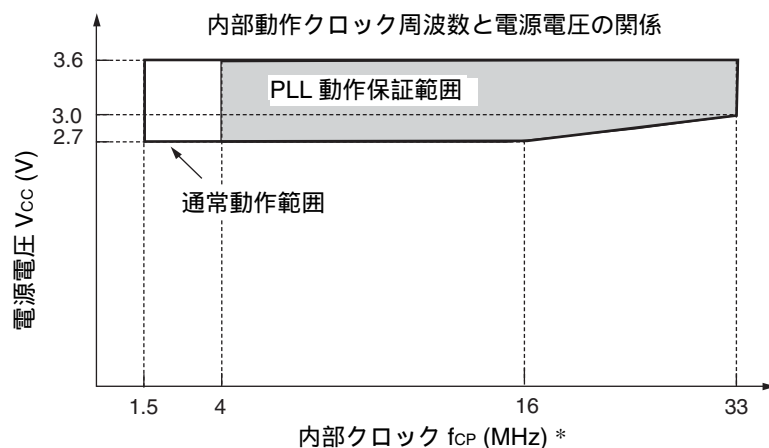


・ X0A, X1A クロックタイミング



MB90880 シリーズ

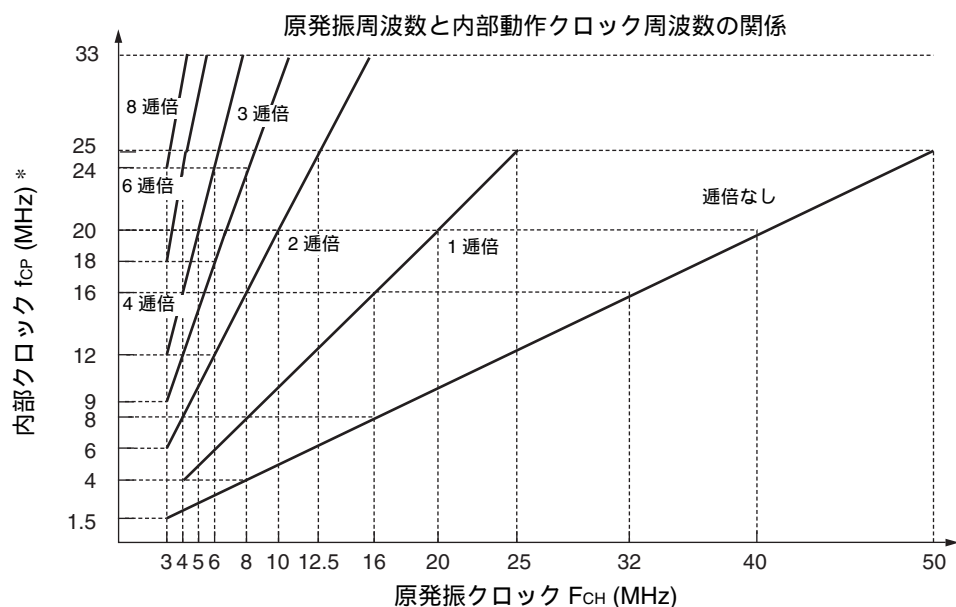
・ PLL 動作保証範囲



* : MB90F883B (S), MB90F884B (S) では、最大動作周波数は 25 MHz となります。

(注意事項) ・ PLL1 通倍のみ、 $f_{CP} = 4$ MHz 以上で使用してください。

・ A/D 動作周波数は「5. A/D 変換部電気的特性」を参照してください。



* : MB90F883B(S), MB90F884B(S) では、最大動作周波数は 25 MHz となります。

PLLOS, CKSCR レジスタの PLL 通倍設定と原発振クロック入力可能周波数および内部クロック周波数の関係

PLL 通倍数	DIV2	PLL2	CS1	CS0	原発振クロック	内部クロック
1	0	0	0	0	4 MHz ~ 25 MHz	4 MHz ~ 25 MHz
1	1	1	0	0	8 MHz ~ 25 MHz	8 MHz ~ 25 MHz
2	0	0	0	1	3 MHz ~ 12.5 MHz	6 MHz ~ 25 MHz
2	0	1	0	0	4 MHz ~ 16.5 MHz	8 MHz ~ 33 MHz
2	1	0	1	1	6 MHz ~ 12.5 MHz	12 MHz ~ 25 MHz
2	1	1	0	1	6 MHz ~ 16.5 MHz	12 MHz ~ 33 MHz
3	0	0	1	0	3 MHz ~ 8.33 MHz	9 MHz ~ 25 MHz
3	1	1	1	0	6 MHz ~ 11 MHz	18 MHz ~ 33 MHz
4	0	0	1	1	3 MHz ~ 6.25 MHz	12 MHz ~ 25 MHz
4	0	1	0	1	3 MHz ~ 8.25 MHz	12 MHz ~ 33 MHz
4	1	1	1	1	6 MHz ~ 8.25 MHz	24 MHz ~ 33 MHz
6	0	1	1	0	3 MHz ~ 5.5 MHz	18 MHz ~ 33 MHz
8	0	1	1	1	3 MHz ~ 4.125 MHz	24 MHz ~ 33 MHz

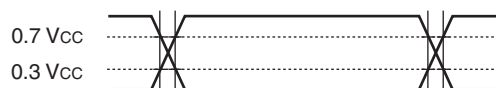
交流規格は以下の測定基準電圧値で規定しています。

・ 入力信号波形

ヒステリシス入力端子



ヒステリシス入力 /MD 入力以外の端子



・ 出力信号波形

出力端子



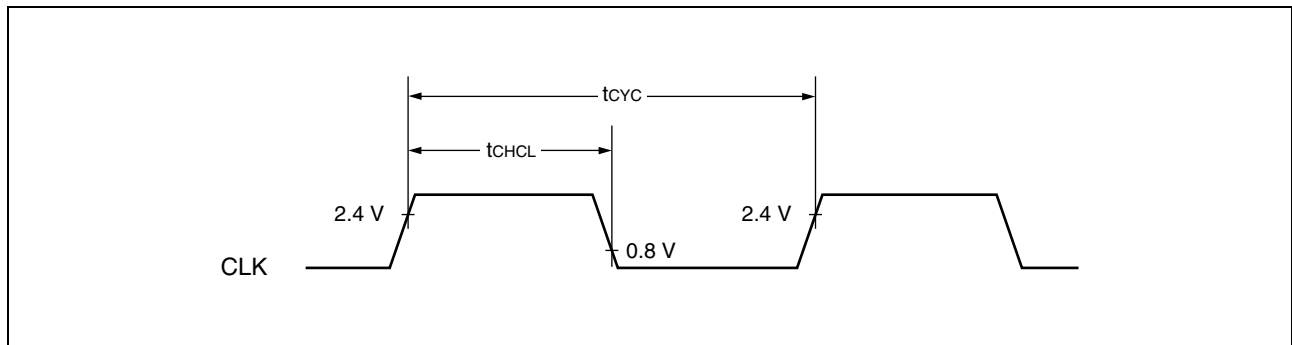
MB90880 シリーズ

(2) クロック出力タイミング

($V_{SS} = 0.0 \text{ V}$, $T_A = -40^\circ\text{C} \sim +85^\circ\text{C}$)

項目	記号	端子名	条件	規格値		単位	備考
				最小	最大		
サイクル時間	t _{CYC}	CLK	—	t _{CP} *	—	ns	
CLK CLK	t _{CHCL}	CLK	$V_{CC} = 3.0 \text{ V} \sim 3.6 \text{ V}$	$t_{CP}^* / 2 - 15$	$t_{CP}^* / 2 + 15$	ns	f _{CP} = 25 MHz 時
			$V_{CC} = 2.7 \text{ V} \sim 3.3 \text{ V}$	$t_{CP}^* / 2 - 20$	$t_{CP}^* / 2 + 20$	ns	f _{CP} = 16 MHz 時
			$V_{CC} = 2.7 \text{ V} \sim 3.3 \text{ V}$	$t_{CP}^* / 2 - 64$	$t_{CP}^* / 2 + 64$	ns	f _{CP} = 5 MHz 時

* : t_{CP} は内部動作クロックサイクルタイムです。「(1) クロックタイミング規格」を参照してください。



(3) リセット入力規格

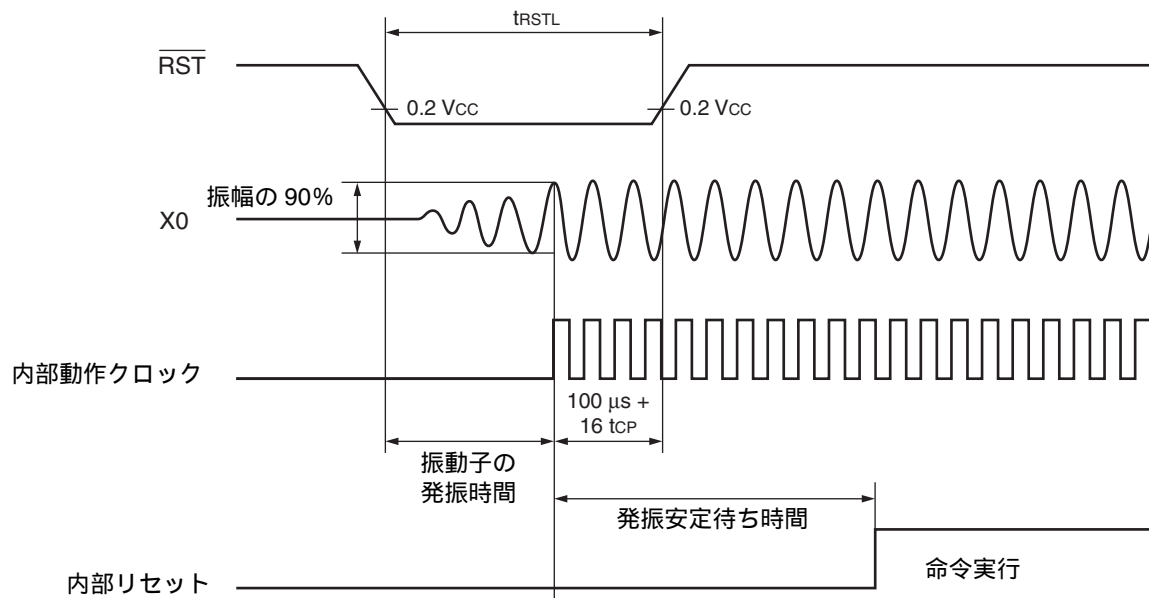
($V_{CC} = 2.7\text{ V} \sim 3.6\text{ V}$, $V_{SS} = 0.0\text{ V}$, $T_A = -40\text{ }^{\circ}\text{C} \sim +85\text{ }^{\circ}\text{C}$)

項目	記号	端子名	条件	規格値		単位	備考
				最小	最大		
リセット入力時間	tRSTL	$\overline{\text{RST}}$	—	16 tCP * 1	—	ns	通常動作時
				振動子の発振時間 * 2 + 100 μs + 16 tCP * 1	—	ms	サブクロック, サブスリープ, 時計, ストップ モード時
				100	—	μs	タイムベースタイ マ時

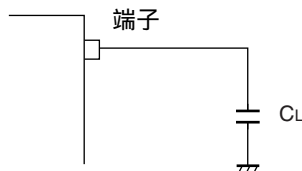
* 1 : tCP は内部動作クロックサイクルタイムです。「(1) クロックタイミング規格」を参照してください。

* 2 : 振動子の発振時間は, 振幅の 90% に達した時間です。水晶発振子は, 数 ms ~ 数十 ms, セラミック発振子は, 数百 μs ~ 数 ms, 外部クロックは, 0 ms となります。

・サブクロック, サブスリープ, 時計, ストップモ - ド時



・交流規格の測定条件



CL は, テスティング時の端子に付けられる負荷容量

CLK, ALE : CL = 30 pF
AD15 ~ AD00 (アドレス・データバス), $\overline{\text{RD}}$, $\overline{\text{WR}}$,
A23 ~ A00/D15 ~ D00 : CL = 30 pF

MB90880 シリーズ

(4) 電源投入規格 (パワーオンリセット)

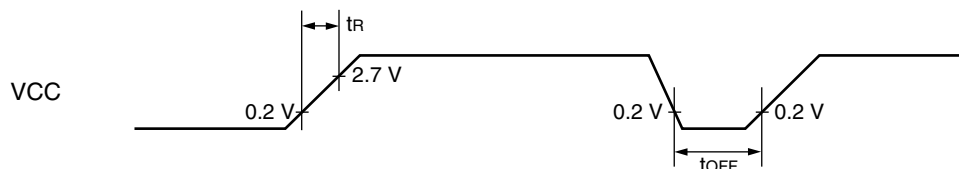
($V_{CC} = 2.7\text{ V} \sim 3.6\text{ V}$, $V_{SS} = 0.0\text{ V}$, $T_A = -40\text{ }^{\circ}\text{C} \sim +85\text{ }^{\circ}\text{C}$)

項目	記号	端子名	条件	規格値		単位	備考
				最小	最大		
電源立上り時間	t_R	VCC	—	0.05	30	ms	*
電源切断時間	t_{OFF}	VCC		1	—	ms	繰り返し動作のため

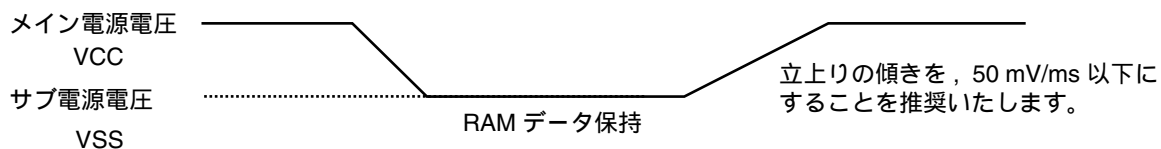
* : 電源立上げ時は, $V_{CC} < 0.2\text{ V}$ とする必要があります。

(注意事項) ・上記規格は, パワーオンリセットをかけるための数値です。

・デバイス内には電源の再投入によるパワーオンリセットを行ってください。



電源電圧を急激に変化させるとパワーオンリセットが起動される場合があります。
下図のように, 動作中に電源電圧を変化させる場合は, 電圧の変動をおさえて滑らかに立ち上げることを推奨いたします。



MB90880 シリーズ

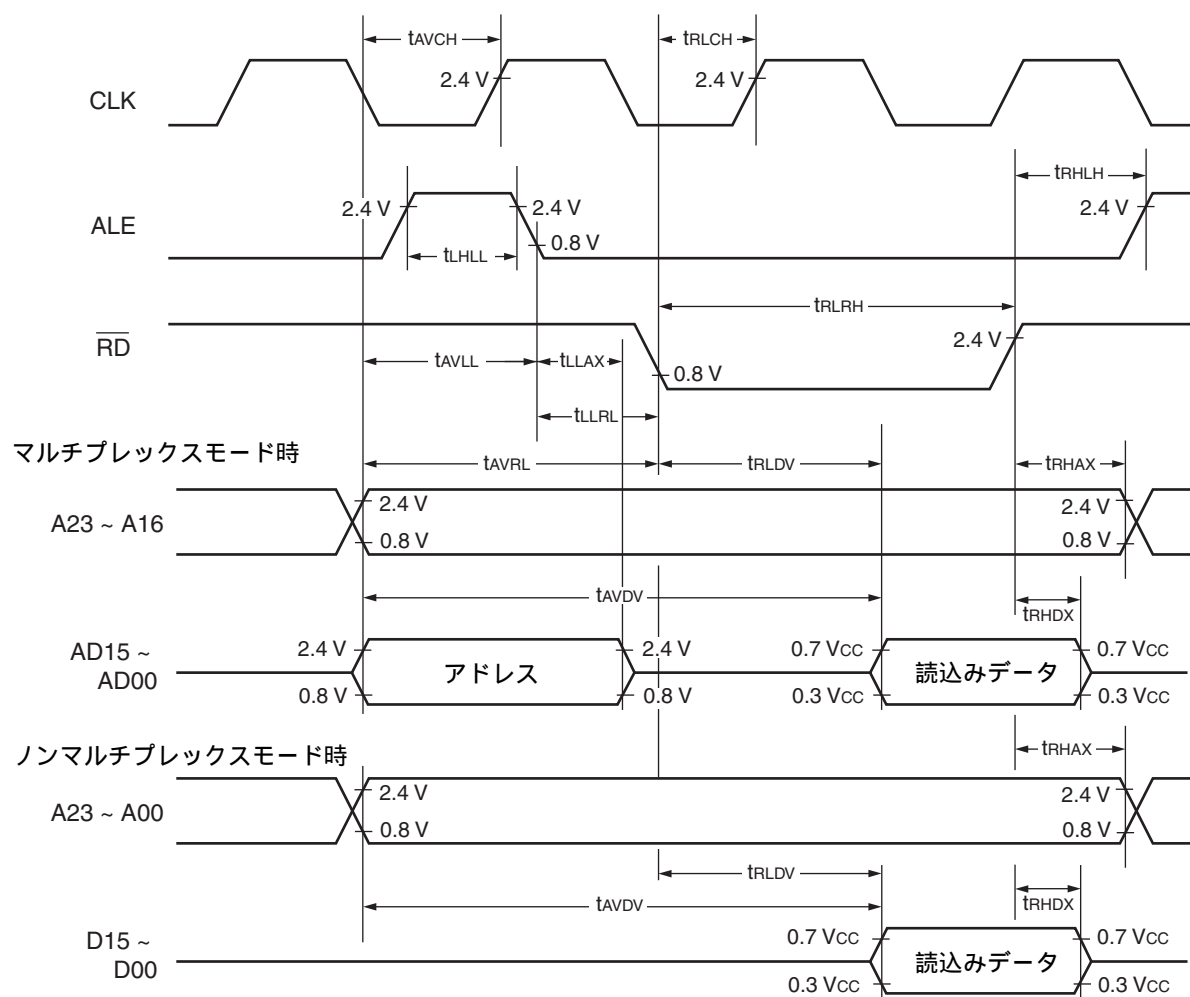
(5) バスリードタイミング

($V_{CC} = 2.7\text{ V} \sim 3.6\text{ V}$, $V_{SS} = 0.0\text{ V}$, $T_A = 0\text{ }^{\circ}\text{C} \sim +70\text{ }^{\circ}\text{C}$, $f_{CP} = 25\text{ MHz}$)

項目	記号	端子名	条件	規格値		単位	備考
				最小	最大		
ALE パルス幅	tLHLL	ALE	—	$t_{CP}^* / 2 - 15$	—	ns	16 MHz < f_{CP} 25 MHz
				$t_{CP}^* / 2 - 20$	—	ns	8 MHz < f_{CP} 16 MHz
				$t_{CP}^* / 2 - 35$	—	ns	$f_{CP} \geq 8\text{ MHz}$
有効アドレス ALE 時間	tAVLL	アドレス, ALE	—	$t_{CP}^* / 2 - 17$	—	ns	
				$t_{CP}^* / 2 - 40$	—	ns	$f_{CP} \geq 8\text{ MHz}$
ALE アドレス有効時間	tLLAX	ALE, アドレス	—	$t_{CP}^* / 2 - 15$	—	ns	
有効アドレス RD 時間	tAVRL	$\overline{\text{RD}}$, アドレス	—	$t_{CP}^* - 25$	—	ns	
有効アドレス 有効データ入力	tAVDV	アドレス/ データ	—	—	$5 t_{CP}^* / 2 - 55$	ns	
				—	$5 t_{CP}^* / 2 - 80$	ns	$f_{CP} \geq 8\text{ MHz}$
$\overline{\text{RD}}$ パルス幅	tRLRH	$\overline{\text{RD}}$	—	$3 t_{CP}^* / 2 - 25$	—	ns	16 MHz < f_{CP} 25 MHz
				$3 t_{CP}^* / 2 - 20$	—	ns	8 MHz < f_{CP} 16 MHz
$\overline{\text{RD}}$ 有効データ入力	tRLDV	$\overline{\text{RD}}$, データ	—	—	$3 t_{CP}^* / 2 - 55$	ns	
				—	$3 t_{CP}^* / 2 - 80$	ns	$f_{CP} \geq 8\text{ MHz}$
$\overline{\text{RD}}$ データホールド時間	tRHDX	$\overline{\text{RD}}$, データ	—	0	—	ns	
$\overline{\text{RD}}$ ALE 時間	tRHLH	$\overline{\text{RD}}$, ALE	—	$t_{CP}^* / 2 - 15$	—	ns	
$\overline{\text{RD}}$ アドレス有効時間	tRHAX	アドレス, $\overline{\text{RD}}$	—	$t_{CP}^* / 2 - 10$	—	ns	
有効アドレス CLK 時間	tAVCH	アドレス, CLK	—	$t_{CP}^* / 2 - 17$	—	ns	
$\overline{\text{RD}}$ CLK 時間	tRLCH	$\overline{\text{RD}}$, CLK	—	$t_{CP}^* / 2 - 17$	—	ns	
ALE $\overline{\text{RD}}$ 時間	tLLRL	$\overline{\text{RD}}$, ALE	—	$t_{CP}^* / 2 - 15$	—	ns	

* : t_{CP} は内部動作クロックサイクルタイムです。「(1) クロックタイミング規格」を参照してください。

MB90880 シリーズ



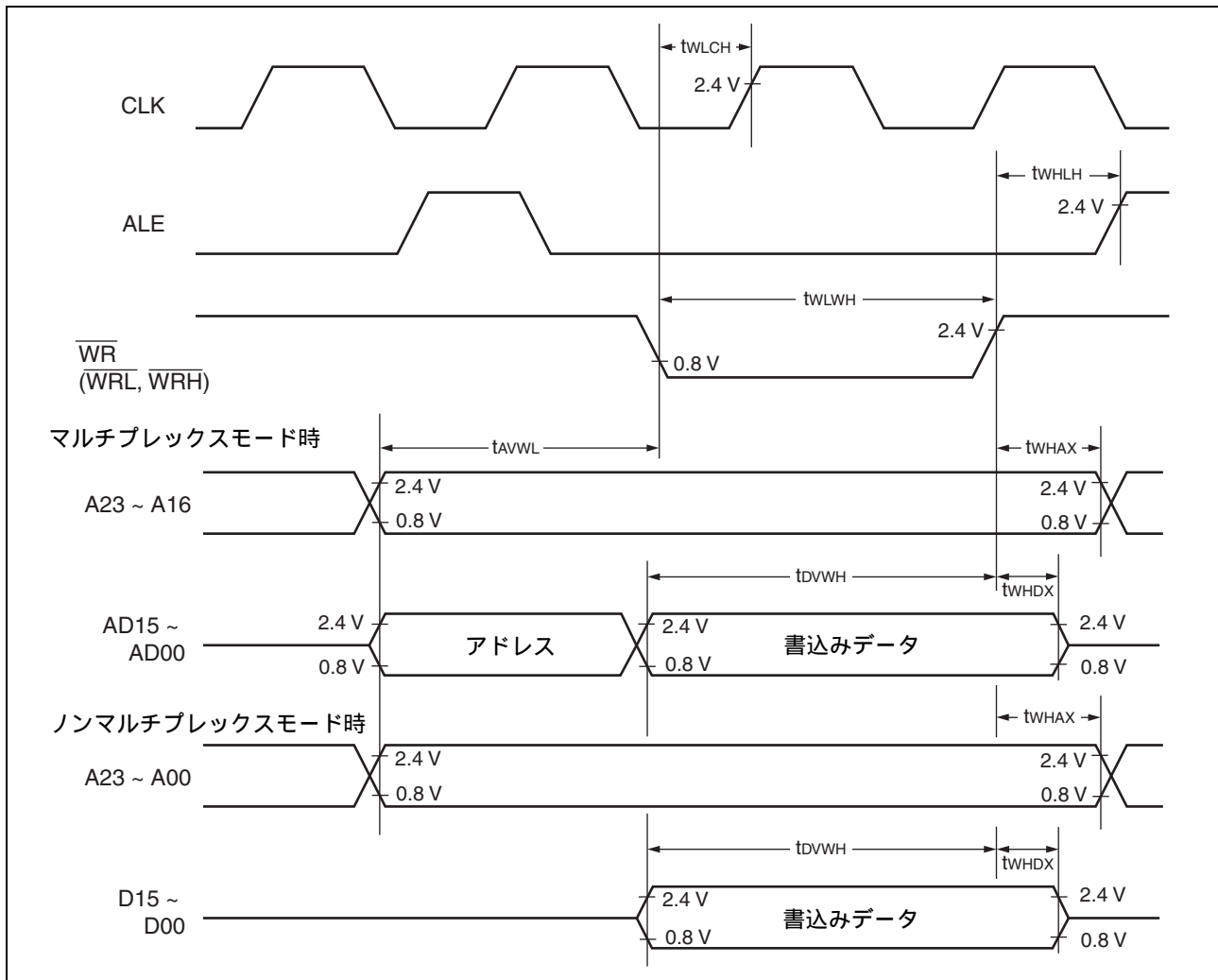
(6) バスライトタイミング

($V_{CC} = 2.7\text{ V} \sim 3.6\text{ V}$, $V_{SS} = 0.0\text{ V}$, $T_A = 0\text{ }^{\circ}\text{C} \sim +70\text{ }^{\circ}\text{C}$, $f_{CP} = 25\text{ MHz}$)

項目	記号	端子名	条件	規格値		単位	備考
				最小	最大		
有効アドレス \overline{WR} 時間	t_{AVWL}	アドレス, \overline{WR}	—	$t_{CP}^* - 15$	—	ns	
\overline{WR} パルス幅	t_{WLWH}	\overline{WR} (\overline{WRL} , \overline{WRH})	—	$3 t_{CP}^* / 2 - 25$	—	ns	$16\text{ MHz} < f_{CP}$ 25 MHz
			—	$3 t_{CP}^* / 2 - 20$	—	ns	$8\text{ MHz} < f_{CP}$ 16 MHz
有効データ出力 \overline{WR} 時間	t_{DVWH}	データ, \overline{WR}	—	$3 t_{CP}^* / 2 - 15$	—	ns	
\overline{WR} データホールド時間	t_{WHDx}	\overline{WR} , データ	—	10	—	ns	$16\text{ MHz} < f_{CP}$ 25 MHz
			—	20	—	ns	$8\text{ MHz} < f_{CP}$ 16 MHz
			—	30	—	ns	$f_{CP} = 8\text{ MHz}$
\overline{WR} アドレス有効時間	t_{WHAX}	\overline{WR} , アドレス	—	$t_{CP}^* / 2 - 10$	—	ns	
\overline{WR} ALE 時間	t_{WHLH}	\overline{WR} , ALE	—	$t_{CP}^* / 2 - 15$	—	ns	
\overline{WR} CLK 時間	t_{WLCH}	\overline{WR} , CLK	—	$t_{CP}^* / 2 - 17$	—	ns	

* : t_{CP} は内部動作クロックサイクルタイムです。「(1) クロックタイミング規格」を参照してください。

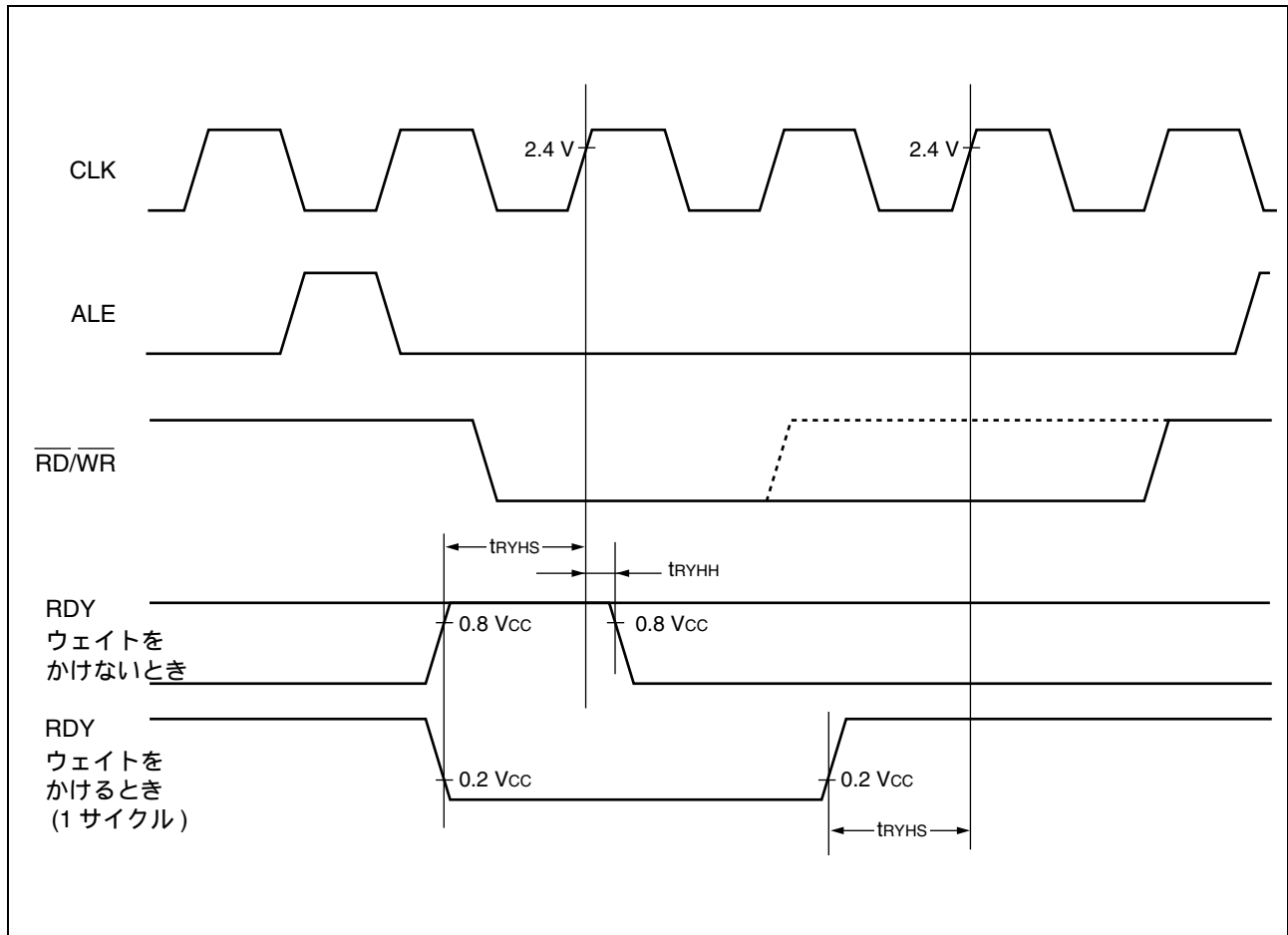
MB90880 シリーズ



(7) レディ入力タイミング

($V_{CC} = 2.7\text{ V} \sim 3.6\text{ V}$, $V_{SS} = 0.0\text{ V}$, $T_A = 0\text{ }^{\circ}\text{C} \sim +70\text{ }^{\circ}\text{C}$, $f_{CP} = 25\text{ MHz}$)

項目	記号	端子名	条件	規格値		単位	備考
				最小	最大		
RDY セットアップ時間	t _{RYHS}	RDY	—	35	—	ns	f _{CP} = 8 MHz
			—	70	—	ns	
RDY ホールド時間	t _{RYHH}		—	0	—	ns	



MB90880 シリーズ

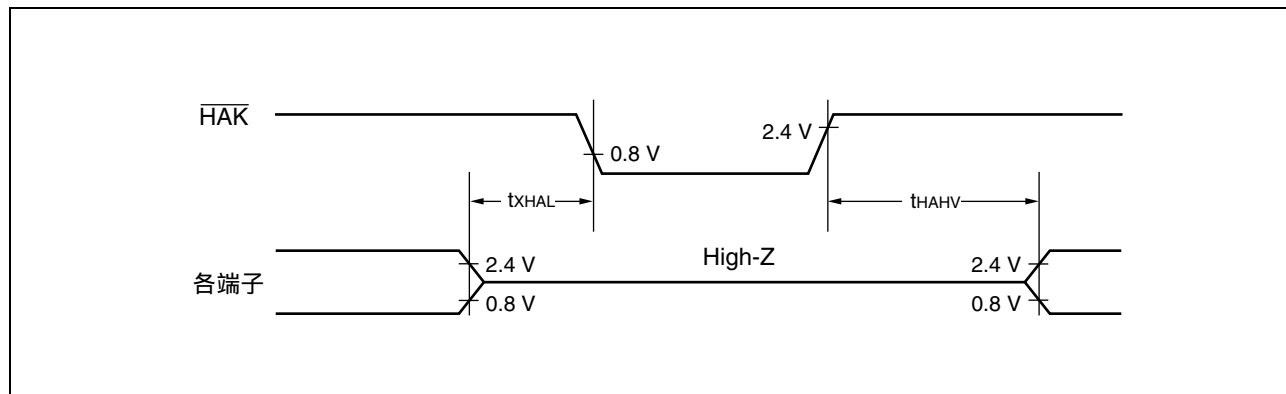
(8) ホールドタイミング

($V_{CC} = 2.7\text{ V} \sim 3.6\text{ V}$, $V_{SS} = 0.0\text{ V}$, $T_A = 0\text{ }^{\circ}\text{C} \sim +70\text{ }^{\circ}\text{C}$, $f_{cp} = 25\text{ MHz}$)

項目	記号	端子名	条件	規格値		単位
				最小	最大	
端子フローティング $\overline{\text{HAK}}$ 時間	t_{XHAL}	$\overline{\text{HAK}}$	—	30	t_{CP}^*	ns
$\overline{\text{HAK}}$ 端子有効時間	t_{HAHV}	$\overline{\text{HAK}}$		t_{CP}^*	$2 t_{CP}^*$	ns

* : t_{CP} は内部動作クロックサイクルタイムです。「(1) クロックタイミング規格」を参照してください。

(注意事項) HRQ 端子が取り込まれてから, $\overline{\text{HAK}}$ が変化するまでは, 1 サイクル以上あります。



(9) マルチファンクションシリアルタイミング (UART, SIO 時)

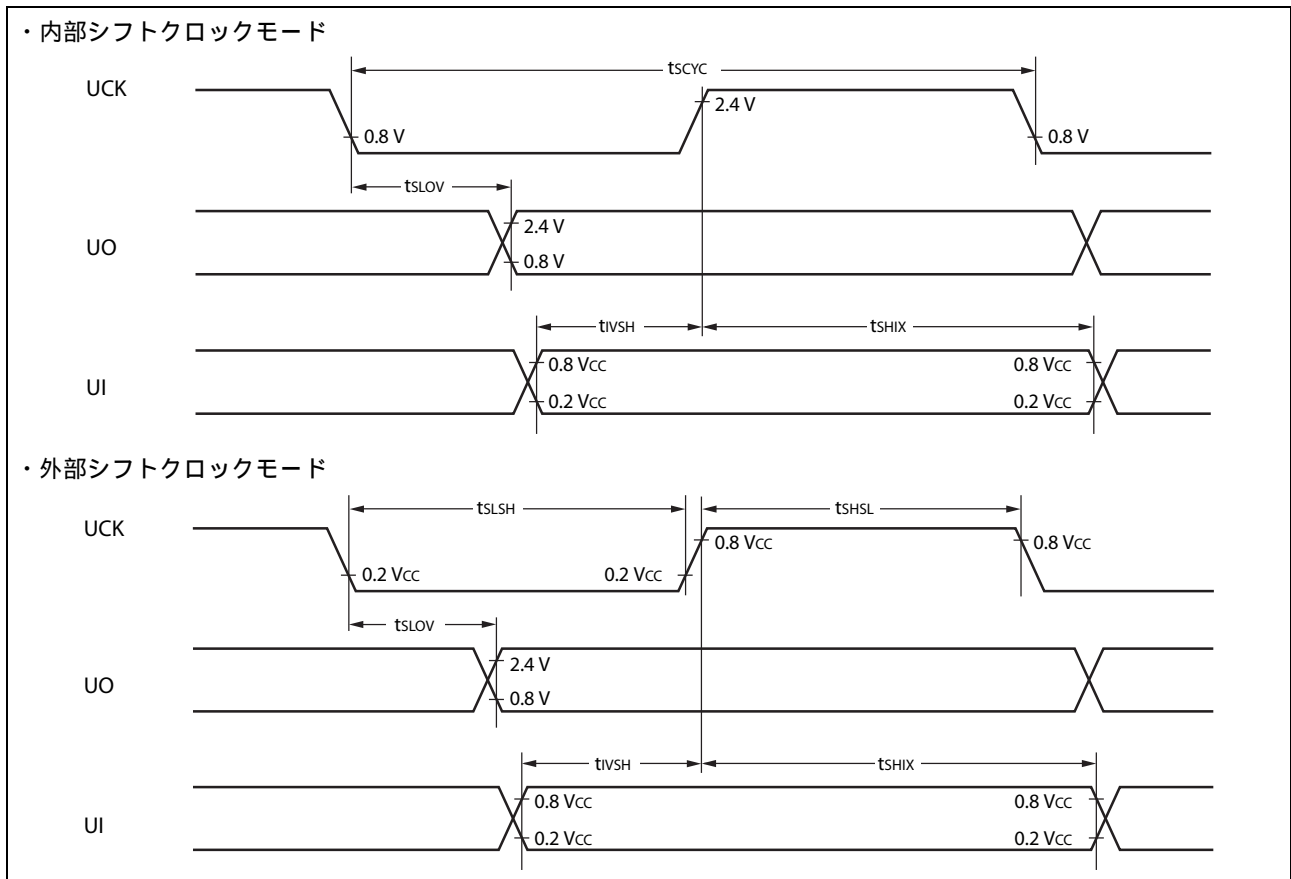
($V_{CC} = 2.7\text{ V} \sim 3.6\text{ V}$, $V_{SS} = 0.0\text{ V}$, $T_A = -40^\circ\text{C} \sim +85^\circ\text{C}$)

項目	記号	端子名	条件	規格値		単位
				最小	最大	
シリアルクロックサイクルタイム	tSCYC	—	内部シフトクロックモード 出力端子： $C_L^{*1} = 80\text{ pF} + 1\text{ TTL}$	4 tcp^{*2}	—	ns
UCK UO 遅延時間	tSLOV	—		- 50	+ 50	ns
有効 UI UCK	tIVSH	—		50	—	ns
UCK 有効 UI ホールド時間	tSHIX	—		0	—	ns
シリアルクロック “H” パルス幅	tSHSL	—	外部シフトクロックモード 出力端子： $C_L^{*1} = 80\text{ pF} + 1\text{ TTL}$	2 tcp^{*2}	—	ns
シリアルクロック “L” パルス幅	tSLSH	—		2 tcp^{*2}	—	ns
UCK UO 遅延時間	tSLOV	—		—	50	ns
有効 UI UCK	tIVSH	—		50	—	ns
UCK 有効 UI ホールド時間	tSHIX	—		50	—	ns

* 1 : C_L は、テスト時の端子に付けられる負荷容量値です。

* 2 : tcp は内部動作クロックサイクルタイムです。「(1) クロックタイミング規格」を参照してください。

(注意事項) CLK 同期モード時の交流規格です。



MB90880 シリーズ

(10) マルチファンクションシリアルタイミング (I²C 時)

a. マスターモード動作時

(V_{CC} = 2.7 V ~ 3.6 V, V_{SS} = 0.0 V, T_A = - 40 °C ~ + 85 °C)

項目	記号	条件	標準モード		高速モード *3		単位
			最小	最大	最小	最大	
SCL クロック周波数	f _{SCL}	R = 1 kΩ C = 50 pF*4	0	100	0	400	kHz
SCL クロック “L” 幅	t _{LOW}		4.7	—	1.3	—	μs
SCL クロック “H” 幅	t _{HIGH}		4.0	—	0.6	—	μs
「ストップ」条件と「スタート」条件との間のバスフリー時間	t _{BUS}		4.7	—	1.3	—	μs
反復「スタート」条件 セットアップ時間 SCL SDA	t _{SUSTA}		4.7	—	0.6	—	μs
(反復)「スタート」条件 ホールド時間 SDA SCL	t _{HDDSTA}		4.0	—	0.6	—	μs
「ストップ」条件セットアップ時間 SCL SDA	t _{SUSTO}		4.0	—	0.6	—	μs
データホールド時間 SCL SDA	t _{HDDAT}		2tcp*1	—	2tcp*1	—	μs
データセットアップ時間 SDA SCL	t _{SUDAT}		250	—	100*2	—	ns

b. スレーブモード動作時

(V_{CC} = 2.7 V ~ 3.6 V, V_{SS} = 0.0 V, T_A = - 40 °C ~ + 85 °C)

項目	記号	条件	標準モード		高速モード *3		単位
			最小	最大	最小	最大	
SCL クロック周波数	f _{SCL}	R = 1 kΩ C = 50 pF*4	0	100	0	400	kHz
SCL クロック “L” 幅	t _{LOW}		4.7	—	1.3	—	μs
SCL クロック “H” 幅	t _{HIGH}		4.0	—	0.6	—	μs
「ストップ」条件と「スタート」条件との間のバスフリー時間	t _{BUS}		4.7	—	1.3	—	μs
反復「スタート」条件 セットアップ時間 SCL SDA	t _{SUSTA}		4.7	—	0.6	—	μs
(反復)「スタート」条件 ホールド時間 SDA SCL	t _{HDDSTA}		4.0	—	0.6	—	μs
「ストップ」条件セットアップ時間 SCL SDA	t _{SUSTO}		4.0	—	0.6	—	μs
データホールド時間 SCL SDA	t _{HDDAT}		2tcp*1	—	2tcp*1	—	μs
データセットアップ時間 SDA SCL	t _{SUDAT}		250	—	100*2	—	ns

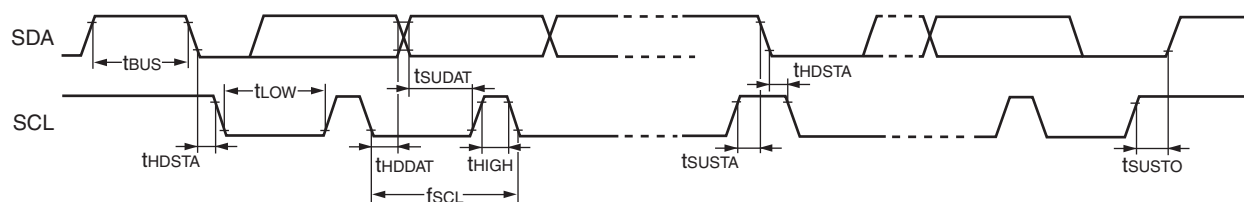
* 1 : tcp は内部動作クロック周波数です。「(1) クロックタイミング規格」を参照してください。

* 2 : 高速モード I²C バスデバイスを標準モード I²C バスシステムで使用することはできますが、要求される条件 t_{SUDAT} 250 ns を満足しなければなりません。デバイスが SCL 信号の “L” 期間を延長しない場合には SCL ラインが開放される 1250 ns (SDA, SCL 立上り Max 時間 + t_{SUDAT}) 以前に次のデータを SDA ラインに出力しなければなりません。

* 3 : 100 kHz を超えて使用する場合には、内部動作クロックを 6 MHz 以上に設定してください。

* 4 : R と C は SCL, SDA ラインのプルアップ抵抗と負荷容量です。

・ タイミング定義



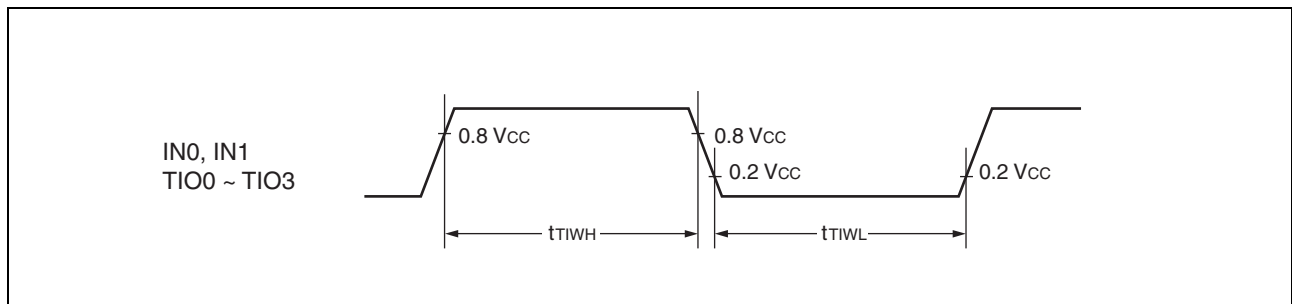
MB90880 シリーズ

(11) タイマ入力タイミング

($V_{CC} = 2.7\text{ V} \sim 3.6\text{ V}$, $V_{SS} = 0.0\text{ V}$, $T_A = -40\text{ }^{\circ}\text{C} \sim +85\text{ }^{\circ}\text{C}$)

項目	記号	端子名	条件	規格値		単位
				最小	最大	
入力パルス幅	t _{TIWH} t _{TIWL}	IN0, IN1, TIO0 ~ TIO3	—	4 t _{CP} *	—	ns

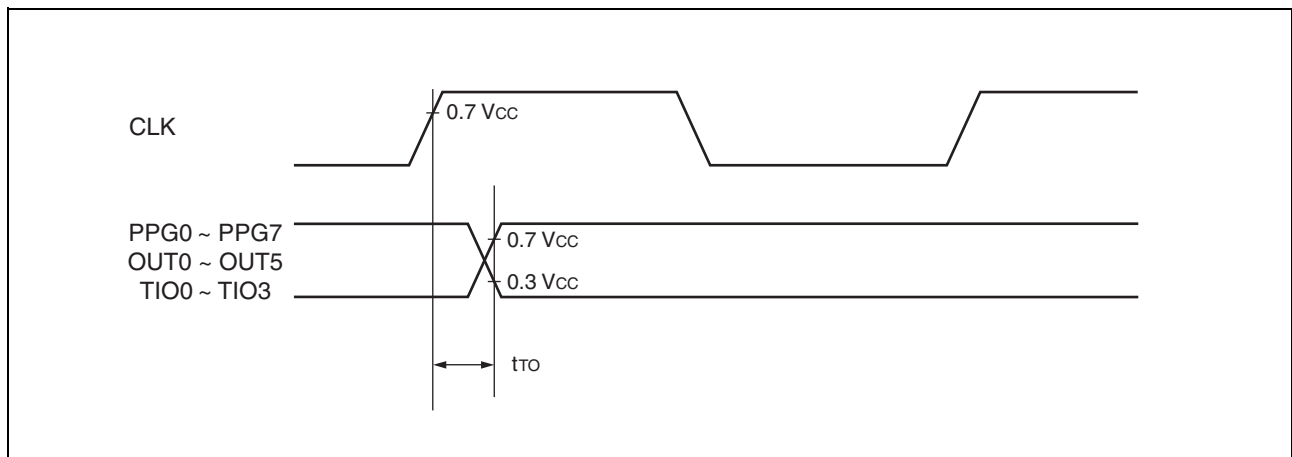
* : t_{CP} は内部動作クロックサイクルタイムです。「(1) クロックタイミング規格」を参照してください。



(12) タイマ出力タイミング

($V_{CC} = 2.7\text{ V} \sim 3.6\text{ V}$, $V_{SS} = 0.0\text{ V}$, $T_A = -40\text{ }^{\circ}\text{C} \sim +85\text{ }^{\circ}\text{C}$)

項目	記号	端子名	条件	規格値		単位
				最小	最大	
CLK 変化時間 PPG0 ~ PPG7 変化時間 OUT0 ~ OUT5 変化時間	t _{tro}	PPG0 ~ PPG7, OUT0 ~ OUT5, TIO0 ~ TIO3	負荷条件 80 pF	30	—	ns

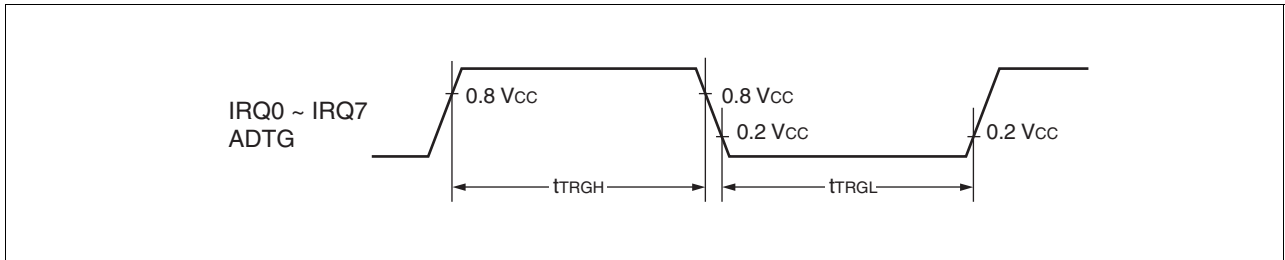


(13) トリガ入力タイミング

($V_{CC} = 2.7\text{ V} \sim 3.6\text{ V}$, $V_{SS} = 0.0\text{ V}$, $T_A = -40\text{ }^{\circ}\text{C} \sim +85\text{ }^{\circ}\text{C}$)

項目	記号	端子名	条件	規格値		単位	備考
				最小	最大		
入力パルス幅	tTRGH	ADTG,	—	5 tCP*	—	ns	通常動作時
	tTRGL	IRQ0 ~ IRQ7		1	—	μs	ストップモード時

* : tCP は内部動作クロックサイクルタイムです。「(1) クロックタイミング規格」を参照してください。



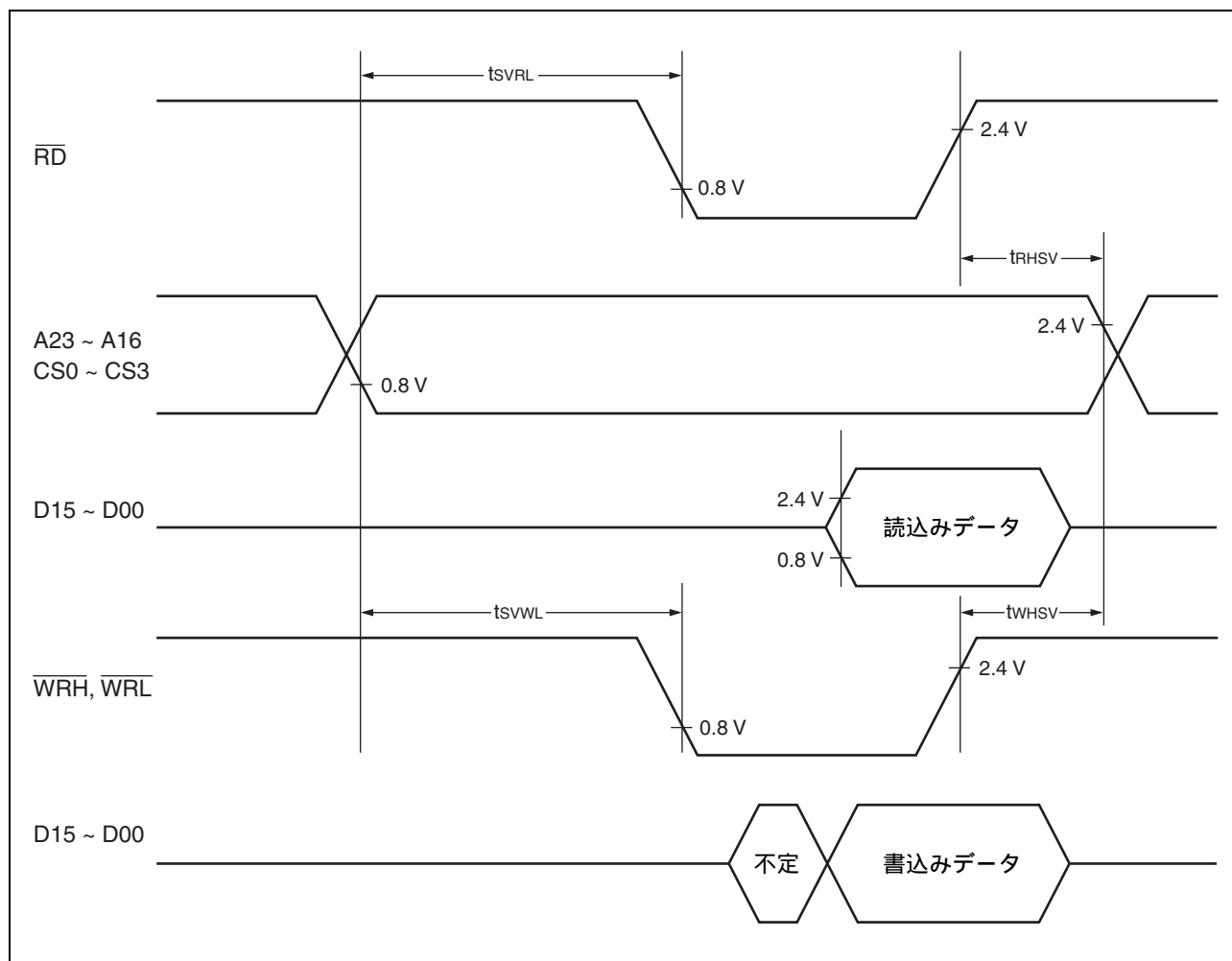
MB90880 シリーズ

(14) チップセレクト出力タイミング

($V_{CC} = 2.7\text{ V} \sim 3.6\text{ V}$, $V_{SS} = 0.0\text{ V}$, $T_A = -40\text{ }^{\circ}\text{C} \sim +85\text{ }^{\circ}\text{C}$, $f_{cp} = 25\text{ MHz}$)

項目	記号	端子名	条件	規格値		単位
				最小	最大	
チップセレクト出力有効時間 \overline{RD}	t_{SVRL}	$CS0 \sim CS3$, \overline{RD}	—	$t_{CP}^* / 2 - 7$	—	ns
チップセレクト出力有効時間 \overline{WR}	t_{SVWL}	$CS0 \sim CS3$, \overline{WRH} , \overline{WRL}	—	$t_{CP}^* / 2 - 7$	—	ns
\overline{RD} チップセレクト出力有効時間	t_{RHSV}	\overline{RD} , $CS0 \sim CS3$	—	$t_{CP}^* / 2 - 17$	—	ns
\overline{WR} チップセレクト出力有効時間	t_{WHSV}	\overline{WRH} , \overline{WRL} , $CS0 \sim CS3$	—	$t_{CP}^* / 2 - 17$	—	ns

* : t_{CP} は内部動作クロックサイクルタイムです。「(1) クロックタイミング規格」を参照してください。



(注意事項) チップセレクトの出力信号は、内部バスの構成上、同時変化しますので、バスウェイトを発生する可能性があります。ALE 出力信号とチップセレクト出力信号間の AC 保証はできません。

5. A/D 変換部電気的特性

($V_{CC} = AV_{CC} = 2.7 \text{ V} \sim 3.6 \text{ V}$, $V_{SS} = AV_{SS} = 0.0 \text{ V}, 2.7 \text{ V}$ $AVRH, T_A = -40^\circ\text{C} \sim +85^\circ\text{C}$)

項目	記号	端子名	規格値			単位	備考
			最小	標準	最大		
分解能	—	—	—	—	10	bit	
総合誤差	—	—	—	—	± 3.0	LSB	
直線性誤差	—	—	—	—	± 2.5	LSB	
微分直線性誤差	—	—	—	—	± 1.9	LSB	
ゼロトランジション電圧	V_{OT}	AN0 ~ AN19	$AV_{SS} - 1.5 \text{ LSB}$	$AV_{SS} + 0.5 \text{ LSB}$	$AV_{SS} + 2.5 \text{ LSB}$	V	
フルスケールトランジション電圧	V_{FST}	AN0 ~ AN19	$AVRH - 3.5 \text{ LSB}$	$AVRH - 1.5 \text{ LSB}$	$AVRH + 0.5 \text{ LSB}$	V	
サンプリング時間	t_{SMP}	—	1.2	—	—	μs	* 1
コンペア時間	t_{CMP}	—	1.8	—	—	μs	* 1
変換時間	t_{CNV}	—	3.0	—	—	μs	* 1
アナログポート入力電流	I_{AIN}	AN0 ~ AN19	- 3.0	—	+ 3.0	μA	
アナログ入力電圧	V_{AIN}	AN0 ~ AN19	AV_{SS}	—	$AVRH$	V	
基準電圧	—	$AVRH$	$AV_{SS} + 2.2$	—	AV_{CC}	V	
電源電流	I_A	AV_{CC}	—	1.9	3.7	mA	
	I_{AH}	AV_{CC}	—	—	5^{*2}	μA	
基準電圧供給電流	I_R	$AVRH$	—	520	720	μA	
	I_{RH}	$AVRH$	—	—	5^{*2}	μA	
チャンネル間ばらつき	—	AN0 ~ AN19	—	—	4	LSB	

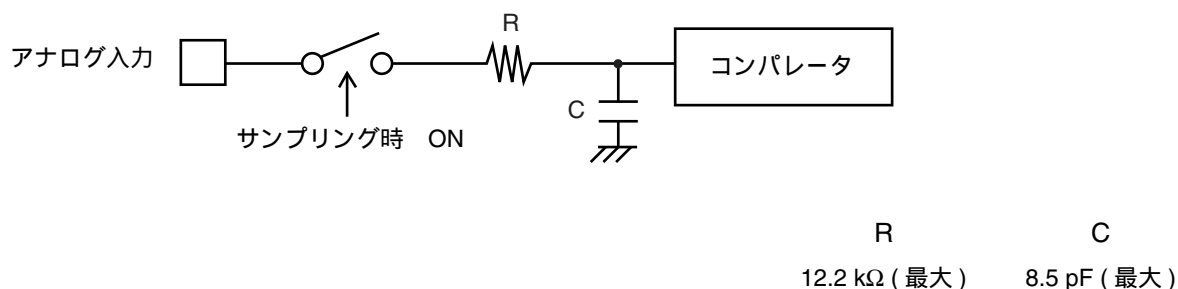
* 1 : 1 チャンネルあたりの時間です。

* 2 : A/D コンバータ非動作時, CPU ストップ時の電流 ($V_{CC} = AV_{CC} = AVRH = 3.0 \text{ V}$ 時)

MB90880 シリーズ

- ・アナログ入力の外部インピーダンスとサンプリング時間について
サンプルホールド付き A/D コンバータです。外部インピーダンスが高くサンプリング時間を十分に確保できない場合には、内部サンプルホールド用コンデンサに十分にアナログ電圧が充電されず、A/D 変換精度に影響を及ぼします。したがって、A/D 変換精度規格を満足するために、外部インピーダンスと最小サンプリング時間の関係から、サンプリング時間を最小値より長くなるようにレジスタ値、動作周波数を調整するか、外部インピーダンスを下げてご使用ください。また、サンプリング時間を十分に確保できない場合は、アナログ入力端子に 0.1 μF 程度のコンデンサを接続してください。

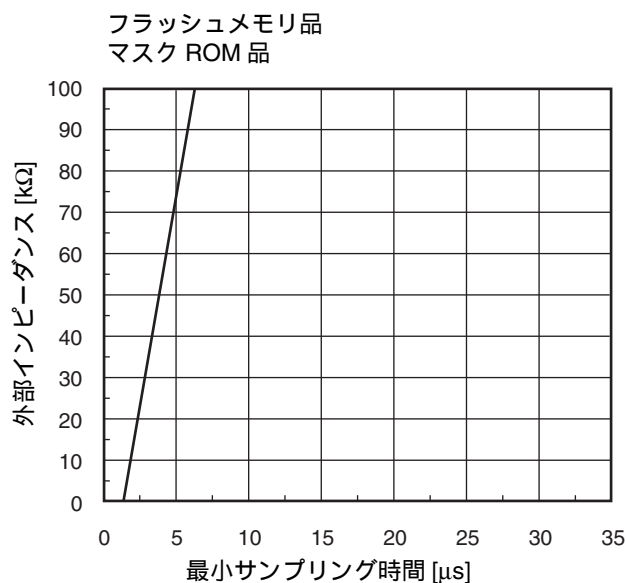
アナログ入力回路模型図



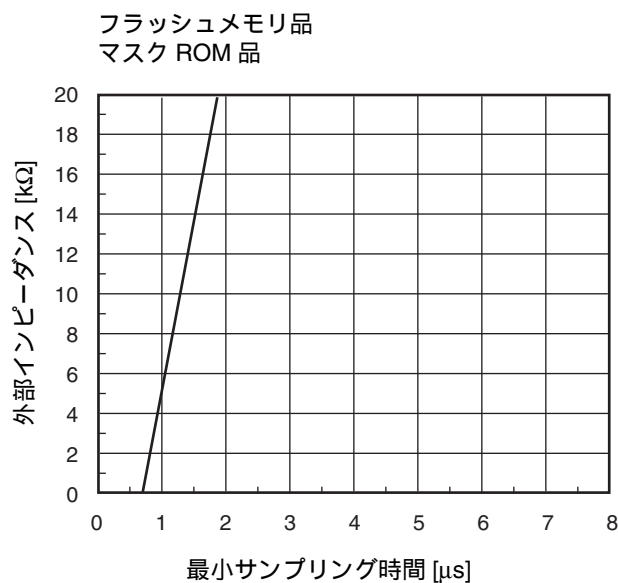
(注意事項) 数値は参考値です。

- ・ 外部インピーダンスと最小サンプリング時間の関係

(外部インピーダンス = 0 k Ω ~ 100 k Ω の場合)



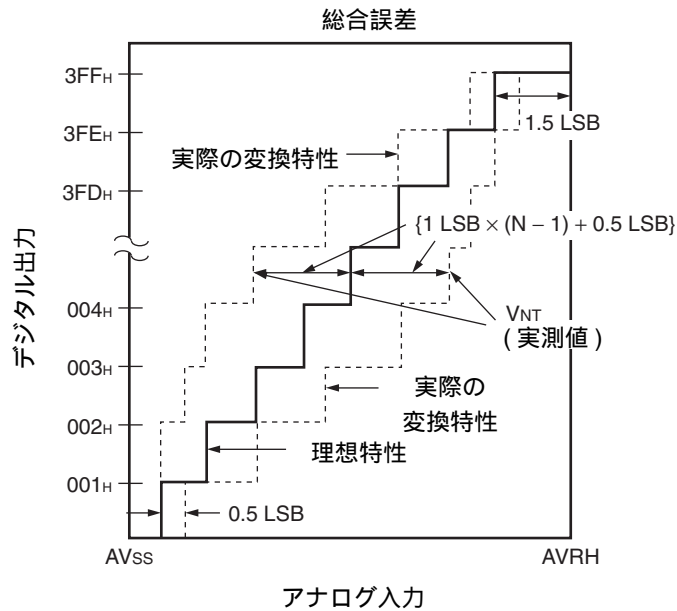
(外部インピーダンス = 0 k Ω ~ 20 k Ω の場合)



- ・ 誤差について
| AVR_H - AV_{SS} | が小さくなるに従って、相対的な誤差は大きくなります。

6. A/D コンバータの用語の定義

- 分解能 : A/D コンバータにより識別可能なアナログ変化
 直線性誤差 : デバイスのゼロトランジション点 (“00 0000 0000” “00 0000 0001”) とフルスケールトランジション点 (“11 1111 1110” “11 1111 1111”) とを結んだ直線と実際の変換特性との誤差
 微分直線性誤差 : 出力コードを 1 LSB 変化させるのに必要な入力電圧の理想値からの偏差
 総合誤差 : 実際の値と理論値との差をいい、ゼロトランジション誤差 / フルススケールトランジション誤差 / 直線性誤差 / 実線誤差を含む誤差



$$\text{デジタル出力“N”の総合誤差} = \frac{V_{NT} - \{1 \text{ LSB} \times (N - 1) + 0.5 \text{ LSB}\}}{1 \text{ LSB}} \text{ [LSB]}$$

$$1 \text{ LSB (理想値)} = \frac{AVR - AV_{ss}}{1024} \text{ [V]}$$

$$V_{OT} \text{ (理想値)} = AV_{ss} + 0.5 \text{ LSB [V]}$$

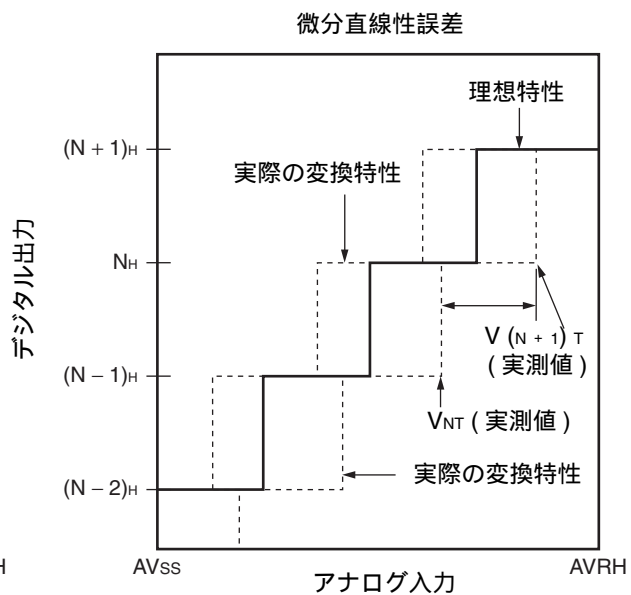
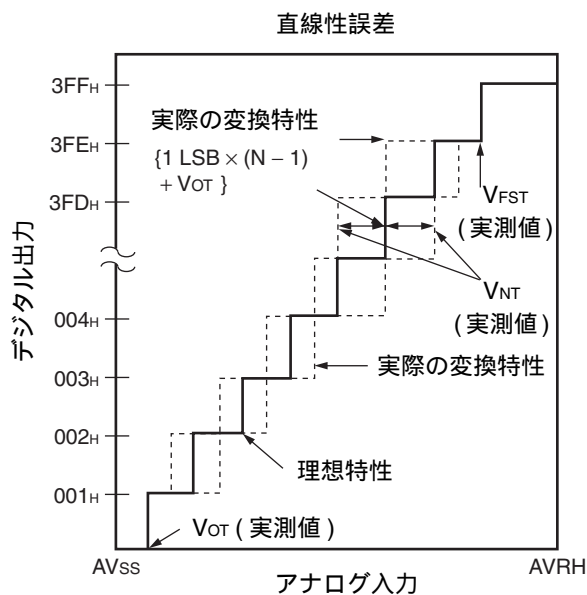
$$V_{FST} \text{ (理想値)} = AVR - 1.5 \text{ LSB [V]}$$

V_{NT} : デジタル出力が $(N - 1)_H, N_H$ に遷移する電圧

(続く)

MB90880 シリーズ

(続き)



$$\text{デジタル出力 } N \text{ の直線性誤差} = \frac{V_{NT} - \{1 \text{ LSB} \times (N - 1) + V_{OT}\}}{1 \text{ LSB}} \quad [\text{LSB}]$$

$$\text{デジタル出力 } N \text{ の微分直線性誤差} = \frac{V_{(N+1)T} - V_{NT}}{1 \text{ LSB}} - 1 \quad [\text{LSB}]$$

$$1 \text{ LSB} = \frac{V_{FST} - V_{OT}}{1022} \quad [\text{V}]$$

V_{OT} : デジタル出力が “000H” ~ “001H” に遷移する電圧

V_{FST} : デジタル出力が “3FEH” ~ “3FFH” に遷移する電圧

・フラッシュメモリ書込み / 消去特性

項目	条件	規格値			単位	備考
		最小	標準	最大		
セクタ消去時間	T _A = + 25 °C, V _{CC} = 3.0 V	—	0.9	3.6	s	内部での消去前書込み時間を除く
チップ消去時間		—	6.2	—	s	内部での消去前書込み時間を除く
ワード (16 ビット幅) 書込み時間		—	23	—	μs	システムレベルのオーバーヘッド時間を除く
書込み / 消去回数	—	10000	—	—	cycle	
フラッシュメモリデータ保持時間	平均 T _A = + 85 °C	20	—	—	year	*

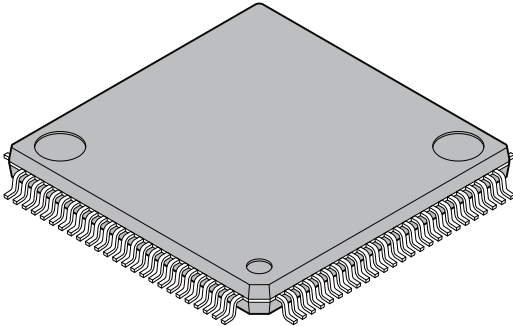
* : テクノロジ信頼性評価結果からの換算値です (アレニウスの式を使用し, 高温加速試験結果を平均温度 + 85 °C へ換算しています)。

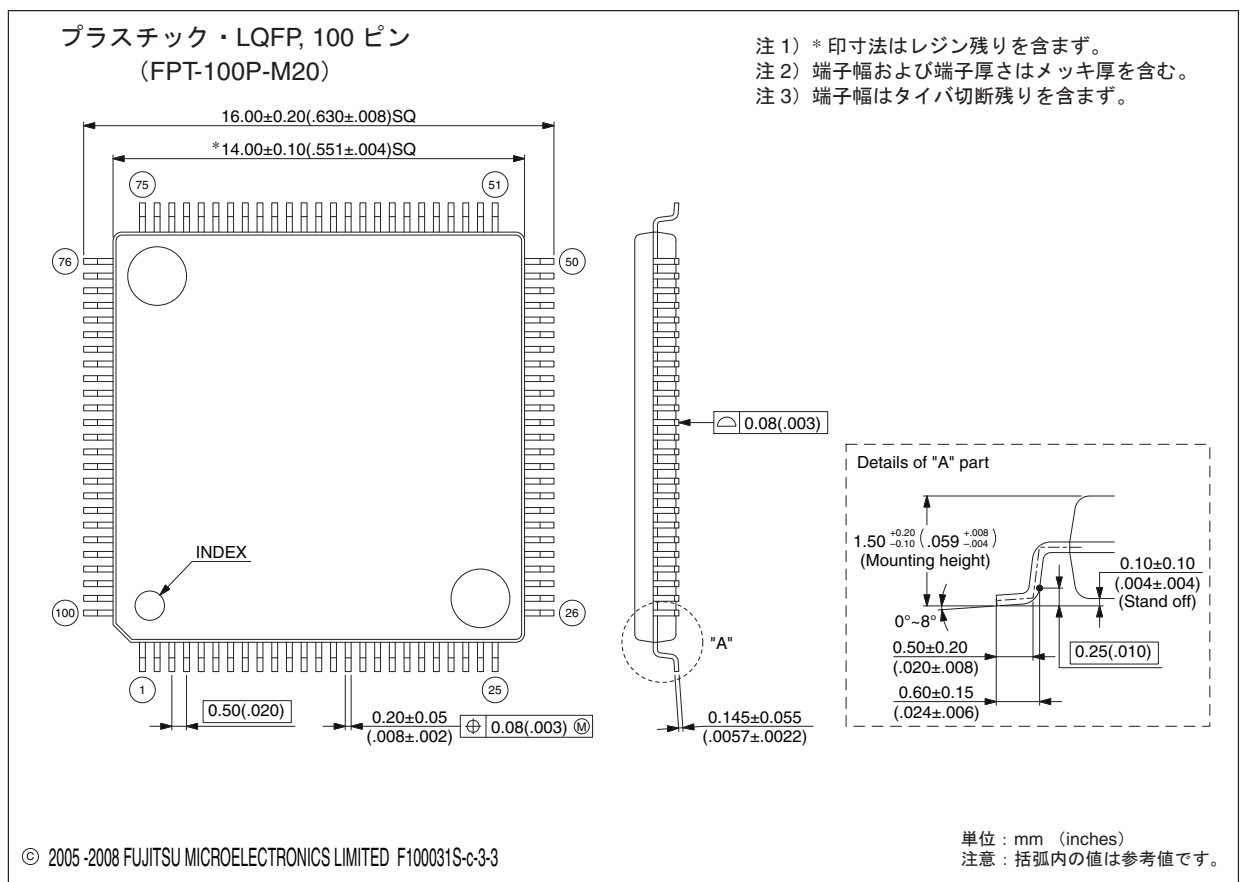
MB90880 シリーズ

■ オータ型格

型格	パッケージ	備考
MB90F882APF MB90F883BPF MB90F883BHPF MB90F883CPF MB90F884BPF MB90F884BHPF MB90F884CPF MB90882PF MB90F882ASPF MB90F883BSPF MB90F883BHSPF MB90F883CSPF MB90F884BSPF MB90F884BHSPF MB90F884CSPF MB90882SPF	プラスチック・QFP, 100 ピン (FPT-100P-M06)	S あり : クロック 1 系統品 (サブクロックなし) S なし : クロック 2 系統品 (サブクロックあり)
MB90F882APMC MB90F883BPMC MB90F883BHPMC MB90F883CPMC MB90F884BPMC MB90F884BHPMC MB90F884CPMC MB90882PMC MB90F882ASPMC MB90F883BSPMC MB90F883BHSPMC MB90F883CSPMC MB90F884BSPMC MB90F884BHSPMC MB90F884CSPMC MB90882SPMC	プラスチック・LQFP, 100 ピン (FPT-100P-M20)	評価用品 101 : クロック 1 系統品 (サブクロックなし) 102 : クロック 2 系統品 (サブクロックあり)
MB90V880A-101CR-ES MB90V880A-102CR-ES	セラミック・PGA, 299 ピン (PGA-299C-A01)	評価用品 101 : クロック 1 系統品 (サブクロックなし) 102 : クロック 2 系統品 (サブクロックあり)

■ パッケージ・外形寸法図

<p>プラスチック・LQFP, 100 ピン</p>  <p>(FPT-100P-M20)</p>	リードピッチ	0.50 mm
	パッケージ幅× パッケージ長さ	14.0 mm × 14.0 mm
	リード形状	ガルウィング
	封止方法	プラスチックモールド
	取付け高さ	1.70 mm Max
	質量	0.65 g
	コード (参考)	P-LFQFP100-14×14-0.50

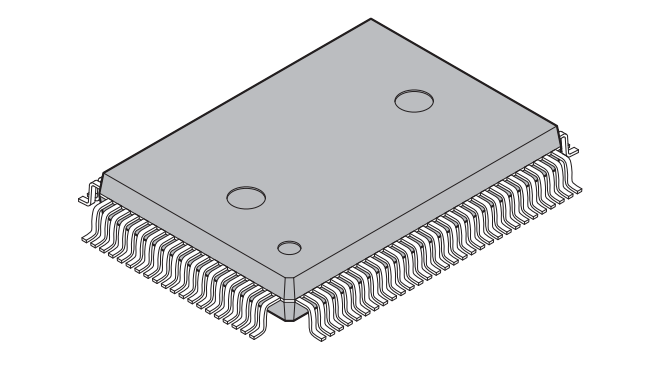


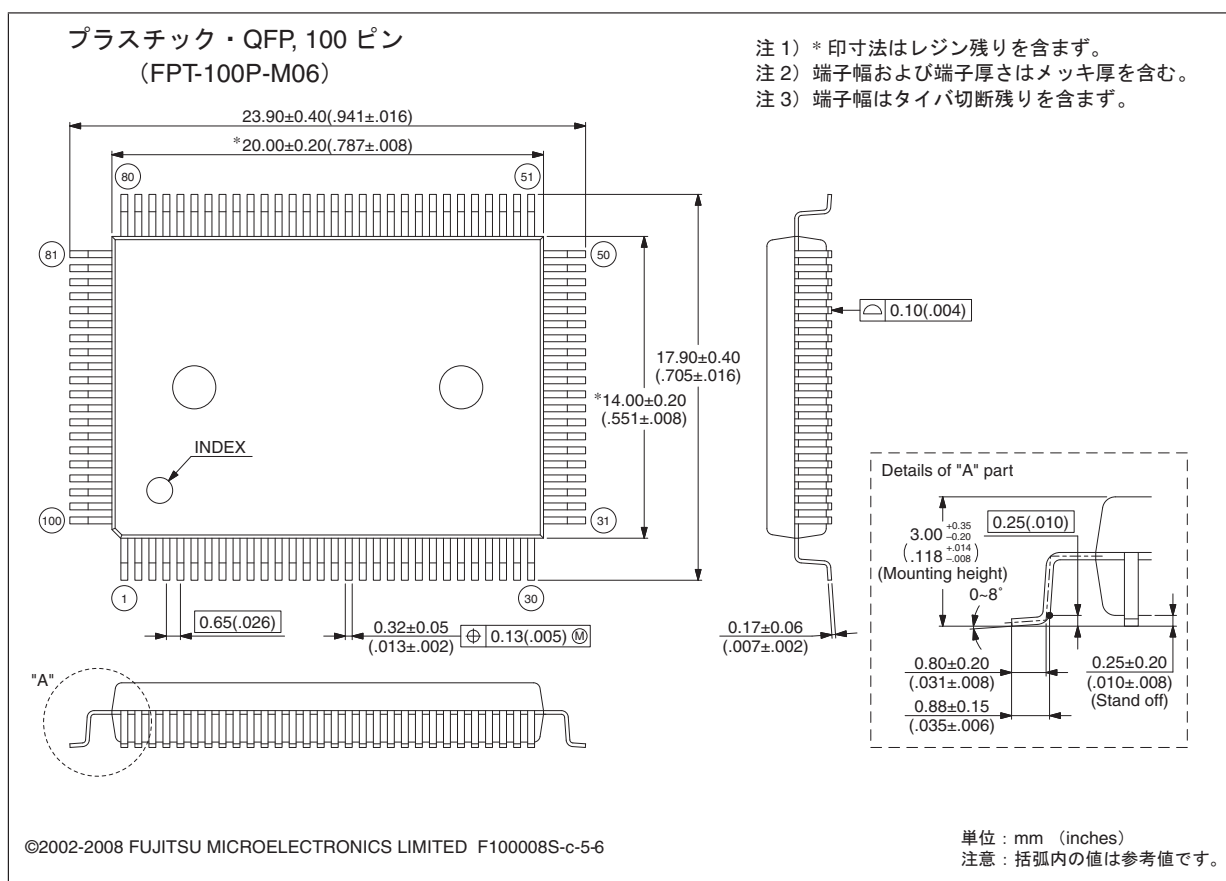
最新の外形寸法図については, 下記 URL にてご確認ください。
<http://edevice.fujitsu.com/package/jp-search/>

(続く)

MB90880 シリーズ

(続き)

<p>プラスチック・QFP, 100 ピン</p>  <p>(FPT-100P-M06)</p>	<p>リードピッチ</p>	<p>0.65mm</p>
	<p>パッケージ幅× パッケージ長さ</p>	<p>14.00 × 20.00mm</p>
	<p>リード形状</p>	<p>ガルウィング</p>
	<p>封止方法</p>	<p>プラスチックモールド</p>
	<p>取付け高さ</p>	<p>3.35mm MAX</p>
	<p>コード (参考)</p>	<p>P-QFP100-14×20-0.65</p>



最新の外形寸法図については、下記 URL にてご確認ください。
<http://edevce.fujitsu.com/package/jp-search/>

■ 本版での主な変更内容

ページ	場所	変更箇所
39	■ 電気的特性 2. 推奨動作条件	動作温度に外部バス動作時を追加
43	4. 交流規格 (1) クロックタイミング	注釈文 *1 を変更 「動作電圧に注意してください。MB90F883B(S),MB90F884B(S) では , 最大動作周波数は 25 MHz となります。」 「MB90F883B(S),MB90F884B(S) では , 最大動作周波数は 25 MHz と なります。外部バス動作使用時では , 全型格において最大動作周波数は 25 MHz となります。」
66	■ オータ型格	型格 :MB90F882SPF を削除

変更箇所は , 本文中のページ左側の | によって示しています。

MEMO

MEMO

富士通マイクロエレクトロニクス株式会社

〒 222-0033

神奈川県横浜市港北区新横浜 2-10-23 野村不動産新横浜ビル

<http://jp.fujitsu.com/fmi/>

お問い合わせ先

富士通エレクトロニクス株式会社

〒 222-8508

神奈川県横浜市港北区新横浜 2-100-45 新横浜中央ビル

<http://jp.fujitsu.com/fei/>

電子デバイス製品に関するお問い合わせは、こちらまで、

 **0120-198-610**

受付時間：平日 9 時～ 17 時（土・日・祝日、年末年始を除きます）

携帯電話・PHS からもお問い合わせができます。

電話番号はお間違えないよう、お確かめのうえおかけください。

本資料の記載内容は、予告なしに変更することがありますので、ご用命の際は営業部門にご確認ください。

本資料に記載された動作概要や応用回路例は、半導体デバイスの標準的な動作や使い方を示したもので、実際に使用する機器での動作を保証するものではありません。従いまして、これらを使用するにあたってはお客様の責任において機器の設計を行ってください。これらの使用に起因する損害などについては、当社はその責任を負いません。

本資料に記載された動作概要・回路図を含む技術情報は、当社もしくは第三者の特許権、著作権等の知的財産権やその他の権利の使用権または実施権の許諾を意味するものではありません。また、これらの使用について、第三者の知的財産権やその他の権利の実施ができることの保証を行うものではありません。したがって、これらの使用に起因する第三者の知的財産権やその他の権利の侵害について、当社はその責任を負いません。

本資料に記載された製品は、通常の産業用、一般事務用、パーソナル用、家庭用などの一般的用途に使用されることを意図して設計・製造されています。極めて高度な安全性が要求され、仮に当該安全性が確保されない場合、社会的に重大な影響を与えかつ直接生命・身体に対する重大な危険性を伴う用途（原子力施設における核反応制御、航空機自動飛行制御、航空交通管制、大量輸送システムにおける運行制御、生命維持のための医療機器、兵器システムにおけるミサイル発射制御をいう）、ならびに極めて高い信頼性が要求される用途（海底中継器、宇宙衛星をいう）に使用されるよう設計・製造されたものではありません。したがって、これらの用途にご使用をお考えのお客様は、必ず事前に営業部門までご相談ください。ご相談なく使用されたことにより発生した損害などについては、責任を負いかねますのでご了承ください。

半導体デバイスはある確率で故障が発生します。当社半導体デバイスが故障しても、結果的に人身事故、火災事故、社会的な損害を生じさせないよう、お客様は、装置の冗長設計、延焼対策設計、過電流防止対策設計、誤動作防止設計などの安全設計をお願いします。

本資料に記載された製品を輸出または提供する場合は、外国為替及び外国貿易法および米国輸出管理関連法規等の規制をご確認の上、必要な手続きをおとりください。

本書に記載されている社名および製品名などの固有名詞は、各社の商標または登録商標です。