



本ドキュメントはCypress (サイプレス) 製品に関する情報が記載されております。本ドキュメントには、仕様の開発元企業として「スパンション」, 「Spansion」, 「富士通」または「Fujitsu」の名が記載されておりますが、これらの製品は Cypress が新規および既存のお客様に引き続き提供してまいります。

商品仕様の継続性について

Cypress 製品として提供することに伴う商品仕様としての変更はなく、ドキュメントとしての変更もありません。また本ページのお知らせは、変更情報として追記いたしません。本ドキュメントに変更情報が記載されている場合、それは本お知らせを除いた前版からの変更点です。なお、今後改訂は必要に応じて行われますが、その際の変更内容は改訂後のドキュメントに記載いたします。

オーダ型格および品名について

Cypress は既存のオーダ型格および品名を引き続きサポートいたします。これらの製品をご注文の際は、このドキュメントに記載されているオーダ型格および品名をご使用ください。

詳しいお問い合わせ先

Cypress 製品およびそのソリューションの詳細につきましては、お近くの営業所へお問い合わせください。

サイプレスについて

サイプレス (銘柄コード: CY) は、車載や産業機器、ネットワーキング プラットフォームから高機能民生機器およびモバイル機器まで、今日の最先端組み込みシステム向けに高性能で高品質のソリューションを提供します。NOR フラッシュ メモリや F-RAMTM、SRAM、TraveoTM マイクロコントローラー、業界唯一の PSoC[®] プログラマブル システムオンチップ ソリューション、アナログおよび PMIC Power Management IC、CapSense[®] 静電容量タッチセンシング コントローラー、Wireless BLE Bluetooth[®] Low-Energy、USB コネクティビティ ソリューションなど、幅広い差別化製品ポートフォリオを、一貫した革新性と業界最高クラスの技術サポート、比類のないシステム バリューとともにグローバルに提供します。

マイクロコントローラ 16 ビットオリジナル CMOS

F²MC-16LX MB90560/565 シリーズ

MB90561A/562A/F562B/V560/567/568/F568

■ 概 要

MB90560/565 シリーズは、各種産業用、OA 機器用、プロセス制御等に適した高速リアルタイム処理が要求される用途向けに開発された汎用の 16 ビットマイクロコントローラです。任意波形を出力できる多機能タイマを内蔵しています。

命令体系は、F²MC-8L、F²MC-16L と同じく AT アーキテクチャを継承し、C 言語対応・アドレッシングモードの拡張・符号付き乗除算命令の強化・ビット処理の充実化を図っています。さらに、32 ビットアキュムレータの搭載により、ロングワード処理が可能です。

(注意事項) F²MC は FUJITSU Flexible Microcontroller の略で、富士通マイクロエレクトロニクス株式会社の商標です。

■ 特 長

- ・ クロック
 - ・ 発振回路および PLL クロック逡倍回路内蔵
 - ・ 発振クロック
 - 発振クロックの 2 分周 (1 ~ 16 MHz 発振時:0.5 ~ 8 MHz) のメインクロック、
 - 発振クロックの 1 逡倍 ~ 4 逡倍 (4 MHz 発振時、4 MHz ~ 16 MHz) の PLL クロック、マシクロックから設定可能
 - ・ 最小命令実行時間、62.5 ns (4 MHz 発振、発振クロック 4 逡倍、V_{CC} = 5 V 動作時)
- ・ 最大メモリ空間：16 M バイト
- ・ 24 ビットアドレッシング
- ・ バンクアドレッシング
- ・ 命令体系
 - ・ データタイプ (ビット、バイト、ワード、ロングワード)
 - ・ アドレッシングモード (23 種類)
 - ・ 32 ビットアキュムレータの採用による演算精度の強化
 - ・ 符号付き乗除算命令、RETI 命令機能強化

(続く)

富士通マイクロエレクトロニクスのマイコンを効率的に開発するための情報を下記 URL にてご紹介いたします。
ご採用を検討中、またはご採用いただいたお客様に有益な情報を公開しています。

開発における最新の注意事項に関しては、必ず「Check Sheet」を参照してください。
「Check Sheet」はシステム開発において、問題を未然に防ぐことを目的として、最低限必要と思われるチェック項目をリストにしたものです。

<http://edevic.fujitsu.com/micom/jp-support/>

MB90560/565 シリーズ

(続き)

- ・ C 言語 / マルチタスクに対応する命令体系
- ・ システムスタックポインタの採用
- ・ 命令セットの対称性とバレルシフト命令
- ・ プログラムパッチ機能 (2 アドレスポインタ)
- ・ 4 バイトの命令キュー
- ・ 割込み機能
 - ・ プライオリティレベルがプログラマブルに設定可能
 - ・ 32 要因の割込み機能
- ・ データ転送機能
- ・ 拡張インテリジェント I/O サービス機能: 最大 16 チャンネル
- ・ 低消費電力モード
 - ・ スリープモード (CPU 動作クロックが停止します。)
 - ・ タイムベースタイマモード (発振クロックとタイムベースタイマが動作します。)
 - ・ ストップモード (発振クロックが停止します。)
 - ・ CPU 間欠動作モード (設定されたサイクル毎に CPU が動作します。)
- ・ パッケージ
 - ・ LQFP-64P (FPT-64P-M23: 0.65 mm ピンピッチ), QFP-64P (FPT-64P-M06: 1.00 mm ピンピッチ)
 - ・ SH-DIP (DIP-64P-M01: 1.778 mm ピンピッチ)
- ・ プロセス: CMOS テクノロジー

■ 内蔵周辺機能 (リソース)

- ・ I/O ポート: 最大 51 本
- ・ タイムベースタイマ: 1 チャンネル
- ・ ウォッチドッグタイマ: 1 チャンネル
- ・ 16 ビットリロードタイマ: 2 チャンネル
- ・ 多機能タイマ
 - ・ 16 ビットフリーランタイマ: 1 チャンネル
 - ・ アウトプットコンペア: 6 チャンネル
 - 16 ビットフリーランタイマのカウント値とコンペアレジスタへの設定値が一致した場合、割込み要求を出力させることができます。
- ・ インプットキャプチャ: 4 チャンネル
 - 外部入力端子から入力された信号の有効エッジを検出することにより、16 ビットフリーランタイマのカウント値をインプットキャプチャデータレジスタに取込み、割込み要求を出力させることができます。
- ・ 8/16 ビット PPG タイマ (8 ビット × 6 チャンネル or 16 ビット × 3 チャンネル) 出力パルスの周期・デューティを任意に変更することができます。
- ・ 波形生成部 (8 ビットタイマ: 3 チャンネル)
- ・ UART: 2 チャンネル
 - ・ 全二重ダブルバッファ (8 bit 長) 付き
 - ・ 非同期転送またはクロック同期シリアル転送 (I/O 拡張シリアル) が設定できます。
- ・ DTP/ 外部割込み回路 (8 チャンネル)
 - ・ 外部割込み入力による拡張インテリジェント I/O サービスの起動
 - ・ 外部割込み入力による割込み出力
- ・ 遅延割込み出力モジュール
 - ・ タスク切換え用の割込み要求を出力
- ・ 8/10 ビット A/D コンバータ (8 チャンネル)
 - ・ 8 ビット分解能または 10 ビット分解能が設定できます。

MB90560/565 シリーズ

■ 品種構成

1. MB90560 シリーズ

品 種 名	MB90V560	MB90F562B	MB90562A	MB90561A
分類	評価用	フラッシュメモリ 内蔵タイプ	マスク ROM 内蔵タイプ	
ROM 容量	搭載なし	64 K バイト		32 K バイト
RAM 容量	4 K バイト	2 K バイト		1 K バイト
エミュレータ専用 電源*	無	—		—
CPU 機能	基本命令数 : 351 命令 最小命令実行時間 : 62.5 ns/4 MHz 発振 (4 通倍使用時) アドレッシング種類 : 23 種類 プログラムパッチ機能 : 2 アドレスポイント分 最大メモリ空間 : 16 M バイト			
ポート	入出力ポート (CMOS) 51 本			
UART	全二重ダブルバッファ付き クロック同期 / 非同期が設定可能 I/O シリアルとしても使用可能 専用ボーレートジェネレータ内蔵 2 チャンネル内蔵			
16 ビット リロードタイマ	16 ビットリロードタイマ動作 2 チャンネル内蔵			
多機能タイマ	16 ビットフリーランタイム× 1 チャンネル, アウトプットコンペア× 6 チャンネル インプットキャプチャ× 4 チャンネル 8/16 ビット PPG タイマ (8 bit モード× 6 ch, 16 bit モード× 3 ch) 波形生成回路 (8 ビットタイマ× 3 ch) 三相波形出力, デッドタイム出力			
8/10 ビット A/D コンバータ	8 チャンネル (入力マルチプレクス) 8 ビット分解能または 10 ビット分解能が設定可能 変換時間: 最小 6.13 μs (最大マシクロック 16 MHz 時)			
DTP/ 外部割込み	8 チャンネル (A/D 入力と兼用で 8 チャンネル使用可能) 割込み要因: “L” “H” エッジ / “H” “L” エッジ / “L” レベル / “H” レベル設定可能			
低消費電力モード	スリープモード / タイムベースタイマモード / ストップモード / CPU 間欠モード			
プロセス	CMOS			
動作電圧	5 V ± 10%			

* : エミュレーションボード MB2145-507 を使用頂く際のディップスイッチ S2 の設定です。

詳細につきましては、『MB2145-507 ハードウェアマニュアル (2.7 エミュレータ専用電源端子) 』をご参照ください。

MB90560/565 シリーズ

2. MB90565 シリーズ

品種名	MB90F568	MB90568	MB90567
分類	フラッシュメモリ 内蔵タイプ	マスク ROM 内蔵タイプ	
ROM 容量	128 K バイト		96 K バイト
RAM 容量	4 K バイト		4 K バイト
エミュレータ専用 電源*	—		—
CPU 機能	基本命令数 : 351 命令 最小命令実行時間 : 62.5 ns/4 MHz 発振 (4 通倍使用時) アドレッシング種類 : 23 種類 プログラムパッチ機能 : 2 アドレスポインタ分 最大メモリ空間 : 16 M バイト		
ポート	入出力ポート (CMOS) 51 本		
UART	全二重ダブルバッファ付き クロック同期 / 非同期が設定可能 I/O シリアルとしても使用可能 専用ボーレートジェネレータ内蔵 2 チャンネル内蔵		
16 ビット リロードタイマ	16 ビットリロードタイマ動作 2 チャンネル内蔵		
多機能タイマ	16 ビットフリーランタイマ × 1 チャンネル, アウトプットコンペア × 6 チャンネル インプットキャプチャ × 4 チャンネル 8/16 ビット PPG タイマ (8 bit モード × 6 ch, 16 bit モード × 3 ch) 波形生成回路 (8 ビットタイマ × 3 ch) 三相波形出力, デッドタイム出力		
8/10 ビット A/D コンバータ	8 チャンネル (入力マルチプレクス) 8 ビット分解能または 10 ビット分解能が設定可能 変換時間: 最小 6.13 μs (最大マシクロック 16 MHz 時)		
DTP/ 外部割込み	8 チャンネル (A/D 入力と兼用で 8 チャンネル使用可能) 割込み要因: “L” “H” エッジ / “H” “L” エッジ / “L” レベル / “H” レベル設定可能		
低消費電力モード	スリープモード / タイムベースタイマモード / ストップモード / CPU 間欠モード		
プロセス	CMOS		
動作電圧	3.3 V ± 10%		

* : エミュレーションボッド MB2145-507 を使用頂く際のディップスイッチ S2 の設定です。

詳細につきましては、『MB2145-507 ハードウェアマニュアル (2.7 エミュレータ専用電源端子)』をご参照ください。

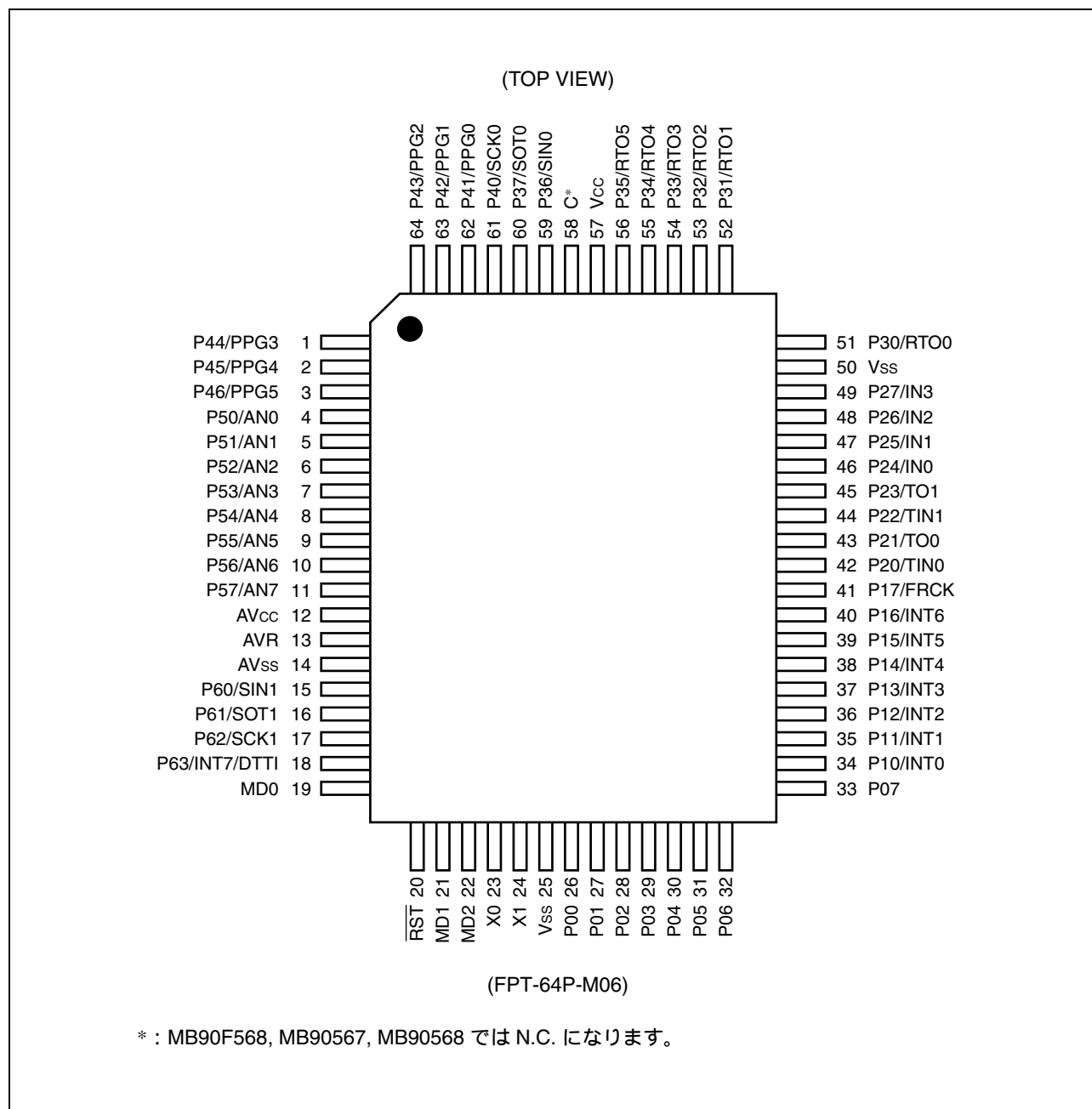
■ パッケージと品種対応

パッケージ	MB90561A	MB90562A	MB90F562B	MB90567	MB90568	MB90F568	MB90V560
FPT-64P-M23 (LQFP-0.65 mm)							×
FPT-64P-M06 (QFP-1.00 mm)							×
DIP-64P-M01 (SH-DIP)				×	×	×	×
PGA-256C-A01 (PGA)	×	×	×	×	×	×	

：あり ×：なし

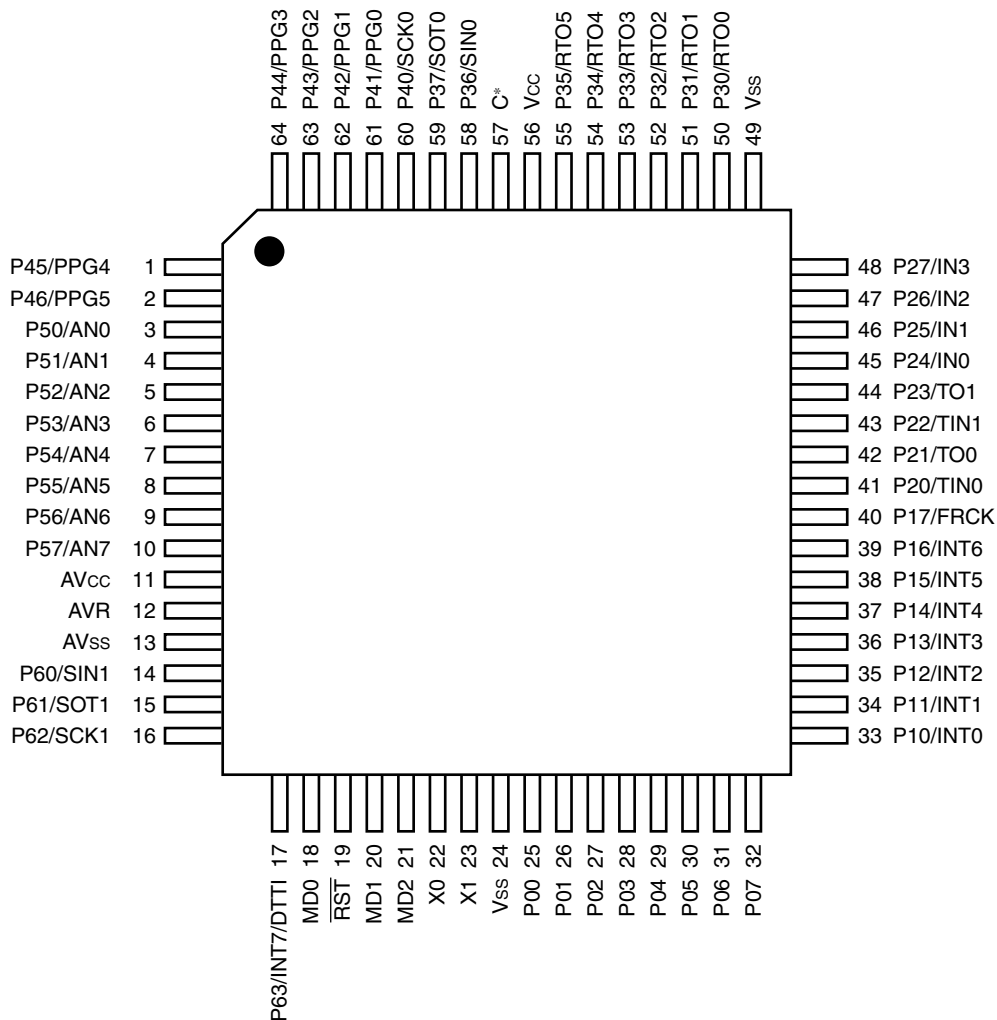
(注意事項) 各パッケージの詳細は「 パッケージ・外形寸法図」を参照してください。

■ 端子配列図



MB90560/565 シリーズ

(TOP VIEW)

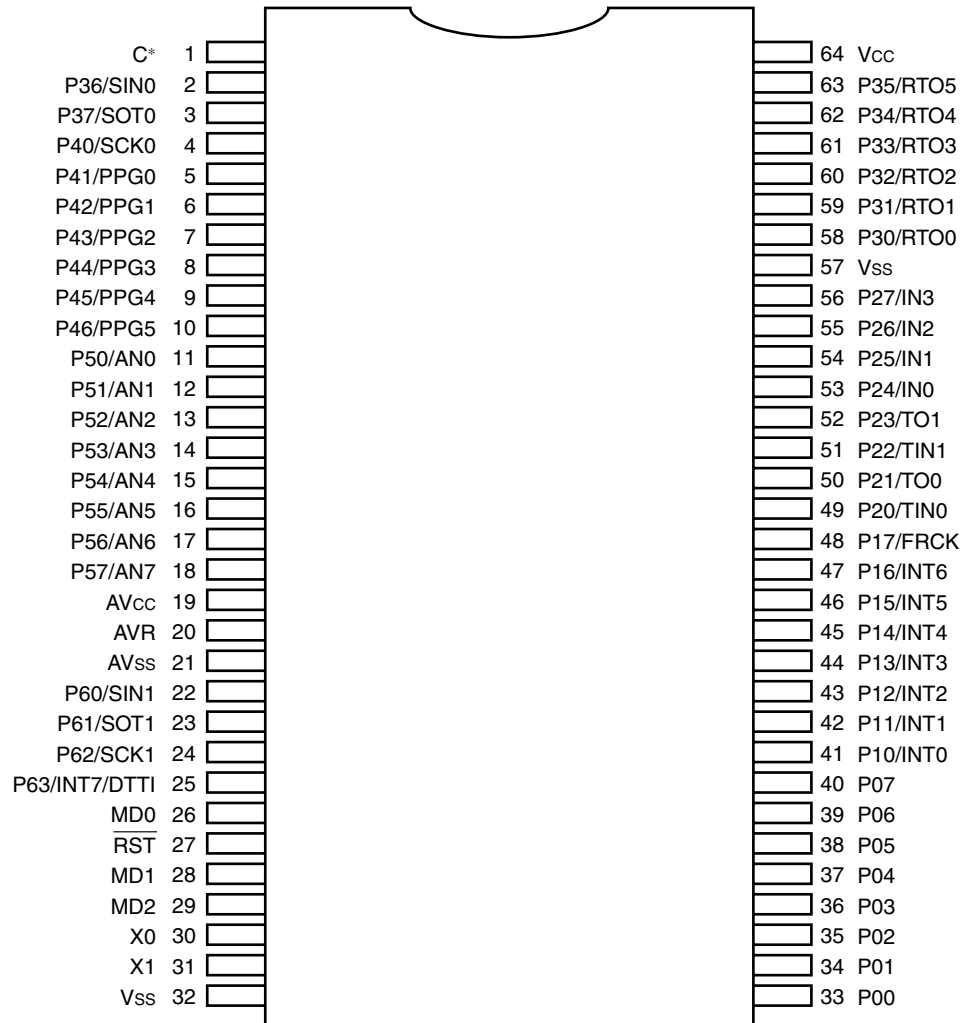


(FPT-64P-M23)

* : MB90F568, MB90567, MB90568 では N.C. になります。

MB90560/565 シリーズ

(TOP VIEW)



(DIP-64P-M01)

(MB90F562B, MB90561A, MB90562A のみサポート)

* : MB90F568, MB90567, MB90568 ではサポートしていません。

MB90560/565 シリーズ

■ 端子機能説明

端子番号			端子名	回路形式*1	リセット時の状態 / 機能	機 能 説 明
QFP*3	LQFP*4	SDIP*5				
23, 24	22, 23	30, 31	X0・X1	A	発振状態	振動子を接続する端子です。 外部クロックを接続する場合は X1 端子側を開放してください。
20	19	27	RST	H	リセット入力	外部リセット入力端子です。
26 ~ 33	25 ~ 32	33 ~ 40	P00 ~ P07	C	ポート入力 (Hi-Z 出力)	入出力ポートです。
34 ~ 40	33 ~ 39	41 ~ 47	P10 ~ P16	C		入出力ポートです。
			INT0 ~ INT6			割込み要求入力 ch0 ~ ch6 として使用できます。 スタンバイ時には EN0 ~ EN6 の対応する各ビットに“1”を設定し、入力ポートを設定した場合に入力できます。使用時にはアナログ入力許可レジスタ (ADER) の対応する各ビットをポート設定として使用してください。
41	40	48	P17	C		入出力ポートです。
			FRCK			フリーランタイムの外部クロック入力端子です。 フリーランタイムのクロック入力を設定し、入力ポートを設定した場合に入力できます。使用時にはアナログ入力許可レジスタ (ADER) の対応する各ビットをポート設定として使用してください。
42	41	49	P20	D		入出力ポートです。
			TIN0			リロードタイマ ch0 の外部クロック入力端子です。 外部クロック入力を設定し、入力ポートを設定した場合に入力できます。
43	42	50	P21	D		入出力ポートです。
			TO0			リロードタイマ ch0 のイベント出力端子です。イベント出力許可を設定した場合に出力されます。
44	43	51	P22	D		入出力ポートです。
			TIN1			リロードタイマ ch1 の外部クロック入力端子です。 外部クロック入力を設定し、入力ポートを設定した場合に入力できます。
45	44	52	P23	D		入出力ポートです。
			TO1			リロードタイマ ch1 のイベント出力端子です。イベント出力許可を設定した場合に出力されます。
46 ~ 49	45 ~ 48	53 ~ 56	P24 ~ P27	D		入出力ポートです。
			IN0 ~ IN3			インプットキャプチャ ch0 ~ ch3 のトリガ入力端子です。インプットキャプチャトリガ入力を設定し、入力ポートを設定した場合に入力できます。

(続 く)

MB90560/565 シリーズ

端子番号			端子名	回路形式*1	リセット時の状態 / 機能	機 能 説 明
QFP*3	LQFP*4	SDIP*5				
51 ~ 56	50 ~ 55	58 ~ 63	P30 ~ P35	E	ポート入力 (Hi-Z)	入出力ポートです。
			RTO0 ~ RTO5			アウトプットコンペアイベント出力端子 / 波形生成部波形出力端子です。波形生成部にて指定した波形を出力します。波形生成動作を行わない場合は、アウトプットコンペアのイベント出力許可を設定すると、アウトプットコンペアの出力を行います。使用時には ADER の対応する各ビットをポート設定として使用してください。
59	58	2	P36	D		入出力ポートです。
			SIN0			UART ch0 のシリアルデータ入力端子です。UART ch0 が入力動作中には随時使用していますので他の入力端子として使用しないでください。
60	59	3	P37	D		入出力ポートです。
			SOT0			UART ch0 のシリアルデータ出力端子です。UART ch0 の出力許可を設定した場合に出力されます。
61	60	4	P40	D		入出力ポートです。
			SCK0			UART ch0 のシリアルクロック入出力端子です。UART ch0 のクロック出力許可を設定した場合に出力されます。
62 ~ 64, 1 ~ 3	61 ~ 64, 1, 2	5 ~ 10	P41 ~ P46	D		入出力ポートです。
			PPG0 ~ PPG5			PPG ch0 ~ PPG ch5 の出力端子です。PPG ch0 ~ PPG ch5 の出力許可を設定した場合に出力されます。
4 ~ 11	3 ~ 10	11 ~ 18	P50 ~ P57	F	アナログ入力	入出力ポートです。
			AN0 ~ AN7			A/D コンバータのアナログ入力端子です。アナログ入力許可レジスタを設定した場合に入力できます。(ADER : bit0 ~ bit7)。
12	11	19	AVcc	—	電源入力	A/D コンバータの Vcc 電源入力端子です。
13	12	20	AVR	G	リファレンス電圧入力	A/D コンバータのリファレンス電圧入力端子です。Vcc を越えないようにしてください。
14	13	21	AVss	—	電源入力	A/D コンバータの Vss 電源入力端子です。
15	14	22	P60	D	ポート入力 (Hi-Z)	入出力ポートです。
			SIN1			UART ch1 のシリアルデータ入力端子です。UART ch1 が入力動作中には随時使用していますので他の入力端子として使用しないでください。
16	15	23	P61	D		入出力ポートです。
			SOT1			UART ch1 のシリアルデータ出力端子です。UART ch1 が出力許可を設定した場合に出力されます。

(続く)

MB90560/565 シリーズ

(続き)

端子番号			端子名	回路形式* ¹	リセット時の状態 / 機能	機 能 説 明
QFP* ³	LQFP* ⁴	SDIP* ⁵				
17	16	24	P62	D		入出力ポートです。
			SCK1			UART ch1 のシリアルクロック入出力端子です。UART ch1 のクロック出力許可を設定した場合に出力されます。
18	17	25	P63	D	ポート入力 (Hi-Z)	入出力ポートです。
			INT7			割込み要求入力 ch7 として使用できます。スタンバイ時には、EN7 の対応する各ビットに “1” を設定し、入力ポートを設定した場合に入力できます。
			DTTI			RTO0 ~ RTO5 端子使用時の端子レベル固定入力端子です。波形生成部で入力許可を設定した場合に入力が許可されます。
58	57	1	C* ²	—	容量端子 電源入力	電源安定化の容量端子です。外部に 0.1 μ F 程度のセラミックコンデンサを接続してください。
19	18	26	MD0	B	モード入力 端子	動作モード指定用入力端子です。V _{CC} または V _{SS} に直結してください。
21	20	28	MD1	B		動作モード指定用入力端子です。V _{CC} または V _{SS} に直結してください。
22	21	29	MD2	B/I		動作モード指定用入力端子です。V _{SS} に直結してください。マスク ROM 品はプルダウン抵抗内蔵で、回路形式 I となります。
25, 50	24, 49	32, 57	V _{SS}	—	電源入力	電源 (GND) 入力端子です。
57	56	64	V _{CC}	—		MB90560 シリーズは電源 (5 V) 入力端子です。 MB90565 シリーズは電源 (3.3 V) 入力端子です。

*1 : 回路形式につきましては、「入出力回路形式」を参照してください。

*2 : MB90F568, MB90567, MB90568 では N.C. になります。

*3 : FPT-64P-M06

*4 : FPT-64P-M23

*5 : DIP-64P-M01

■ 入出力回路形式

分類	回路	備考
A		<ul style="list-style-type: none"> 発振回路 発振帰還抵抗 (R_f) 内蔵
B		<ul style="list-style-type: none"> CMOS ヒステリシス入力
C		<ul style="list-style-type: none"> プルアップコントロールつき CMOS ヒステリシス入出力端子 CMOS 出力 CMOS ヒステリシス入力 (スタンバイ時入力遮断機能つき) プルアップ抵抗 (R_p) 内蔵 <注記> ・プルアップ抵抗は、ポートが入力状態の場合に有効となります。
D		<ul style="list-style-type: none"> CMOS ヒステリシス入出力端子 CMOS 出力 CMOS ヒステリシス入力 (スタンバイ時入力遮断機能つき) <注記> ・入出力ポートの出力と内蔵リソースの出力は、ひとつの出力バッファを共有しています。 ・入出力ポートの入力と、内蔵リソースの入力は、ひとつの入力バッファを共有しています。

(続く)

MB90560/565 シリーズ

(続き)

分類	回 路	備 考
E	<p>CMOS ヒステリシス入力</p> <p>スタンバイ制御信号</p>	<ul style="list-style-type: none"> CMOS 入出力端子 CMOS 出力 CMOS ヒステリシス入力 (スタンバイ時入力遮断機能つき) <p>< IOL = 12 mA ></p>
F	<p>CMOS ヒステリシス入力</p> <p>スタンバイ制御信号</p> <p>A/D コンバータ アナログ入力</p>	<ul style="list-style-type: none"> アナログ / CMOS ヒステリシス入出力端子 CMOS 出力 CMOS ヒステリシス入力 (スタンバイ時入力遮断機能つき) アナログ入力 (アナログ入力許可レジスタ (ADER) の対応するビットが“1”の場合は, A/D コンバータのアナログ入力が有効になります) 入出力ポートの出力と, 内蔵リソースの出力は, ひとつの出力バッファを共有しています。 入出力ポートの入力と, 内蔵リソースの入力は, ひとつの入力バッファを共有しています。
G	<p>CMOS ヒステリシス入力</p> <p>スタンバイ制御信号</p> <p>A/D コンバータ アナログ入力</p>	<ul style="list-style-type: none"> A/D コンバータ (AVR) 電圧入力端子
H	<p>プルアップ抵抗</p> <p>CMOS ヒステリシス 入力</p>	<ul style="list-style-type: none"> CMOS ヒステリシス入力 プルアップ抵抗あり
I	<p>CMOS ヒステリシス 入力</p> <p>プルダウン抵抗</p>	<ul style="list-style-type: none"> CMOS ヒステリシス入力 プルダウン抵抗あり

■ デバイスの取扱いに関する注意事項

デバイスを取り扱う際には、次の 9 項目に関して特に注意が必要です。

- ・ 最大定格電圧の厳守 (ラッチアップの防止)。
- ・ 供給電圧の安定化
- ・ 電源投入時
- ・ 未使用入力端子の処理
- ・ A/D コンバータの電源端子処理
- ・ 外部クロック使用時
- ・ 電源端子
- ・ A/D コンバータの電源アナログ入力の投入順序
- ・ 「DIV A, Ri」, 「DIVW A, RWi」命令の使用上の注意

・ デバイスの取扱いに関する注意事項

(1) 最大定格電圧の厳守 (ラッチアップの防止)

MB90560/565 シリーズの入力端子と出力端子に、 V_{CC} より高い電圧および V_{SS} より低い電圧を印加しないでください。また、 $V_{CC} \sim V_{SS}$ 間に定格を超える電圧を印加しないでください。定格を超える電圧を印加した場合、ラッチアップ現象が発生します。ラッチアップを起こした場合、素子が熱破壊を起こします。

アナログ電源 (AV_{CC} , AVR) とアナログ入力 ($AN0 \sim AN7$) を電源投入する場合、および電源を切断する場合は、デジタル電源 (V_{CC}) を超えないようにしてください。

(2) 供給電圧の安定化

V_{CC} 電源電圧の急激な変化があると誤動作を起こすことがありますので、 V_{CC} 電源電圧を安定させてください。電源電圧安定の基準として、商用周波数 (50 ~ 60 Hz) での V_{CC} リプル変動 (Peak to Peak 値) は、 V_{CC} 電源電圧値の 10% 以下、電源の切換え時での変化は、過渡変動率が 0.1 V/ms 以下になるように、電圧変動を抑えてください。

(3) 電源投入時

内蔵している降圧回路の誤動作を防ぐため、電源投入時の電圧立上げ時間は、50 μ s (0.2 V ~ 2.7 V の間) 以上としてください。

(4) 未使用入力端子の処理

使用していない入力端子を開放状態にしておくと、誤動作およびラッチアップによる永久破壊の原因となることがありますので、2 k Ω 以上の抵抗を介して、プルアップ、または、プルダウンの処置をしてください。

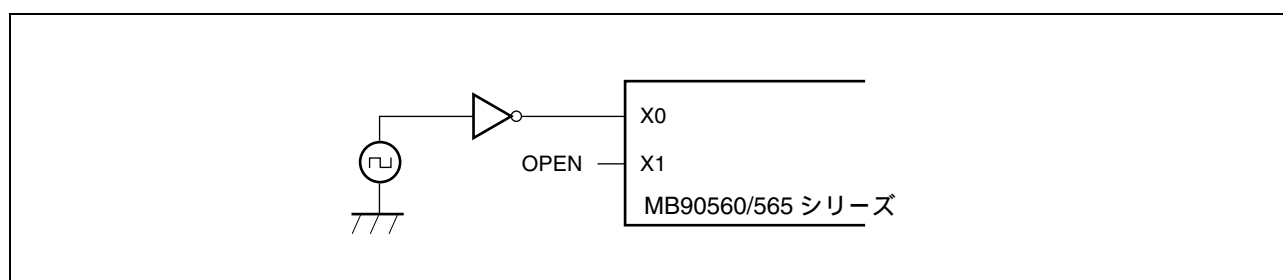
また、使用していない入出力端子がある場合は、出力状態に設定して開放とするか、入力状態に設定して入力端子と同じ処理をしてください。

(5) A/D コンバータの電源端子処理

A/D コンバータを使用しない場合は、 $AV_{CC} = AVR = V_{CC}$, $AV_{SS} = V_{SS}$ となるように接続してください。

(6) 外部クロック使用時

外部クロックを使用する場合においても、振動子を接続した場合と同様に、パワーオンリセットおよびストップモードから復帰する場合には、発振安定待ち時間をとります。外部クロックを使用する場合には、X0 端子を駆動し、X1 端子はオープンとしてください。



外部クロック使用例

MB90560/565 シリーズ

(7) 電源端子

ラッチアップを防止するために、複数ある V_{CC} , V_{SS} 電源端子はデバイス内部で接続しています。しかし、不要輻射の低減、グランドレベルの上昇によるストロブ信号の誤動作防止、総出力電流規格を守るために、必ず V_{CC} , V_{SS} 電源端子は、外部で同一電源へ接続してください。

また、電流供給源から低インピーダンスで、デバイスの V_{CC} , V_{SS} 電源端子に接続してください。デバイスの V_{CC} , V_{SS} 電源端子間に $0.1\ \mu\text{F}$ 程度のバイパスコンデンサを、 V_{CC} , V_{SS} 電源端子の近くに接続することで対策できます。

(8) 電源の投入および、切断順序

A/D コンバータの電源端子 (AV_{CC} , AVR , AV_{SS}) とアナログ入力端子 ($AN0 \sim AN7$) への電圧印加は、必ずデジタル電源 (V_{CC}) の投入後に行ってください。デバイスの電源切断は、A/D コンバータの電源、およびアナログ入力電源を切断した後に、デジタル電源 (V_{CC}) を切断してください。AVR は、 AV_{CC} を超えないように電圧の印加と切断を行ってください。

アナログ入力と兼用している端子を入力ポートとして使用する場合には、入力電圧が AV_{CC} を超えないようにしてください (アナログ電源とデジタル電源に電源電圧を同時に印加・切断することは問題ありません)。

(9) ポート 0, 1 からの出力が不定になる場合

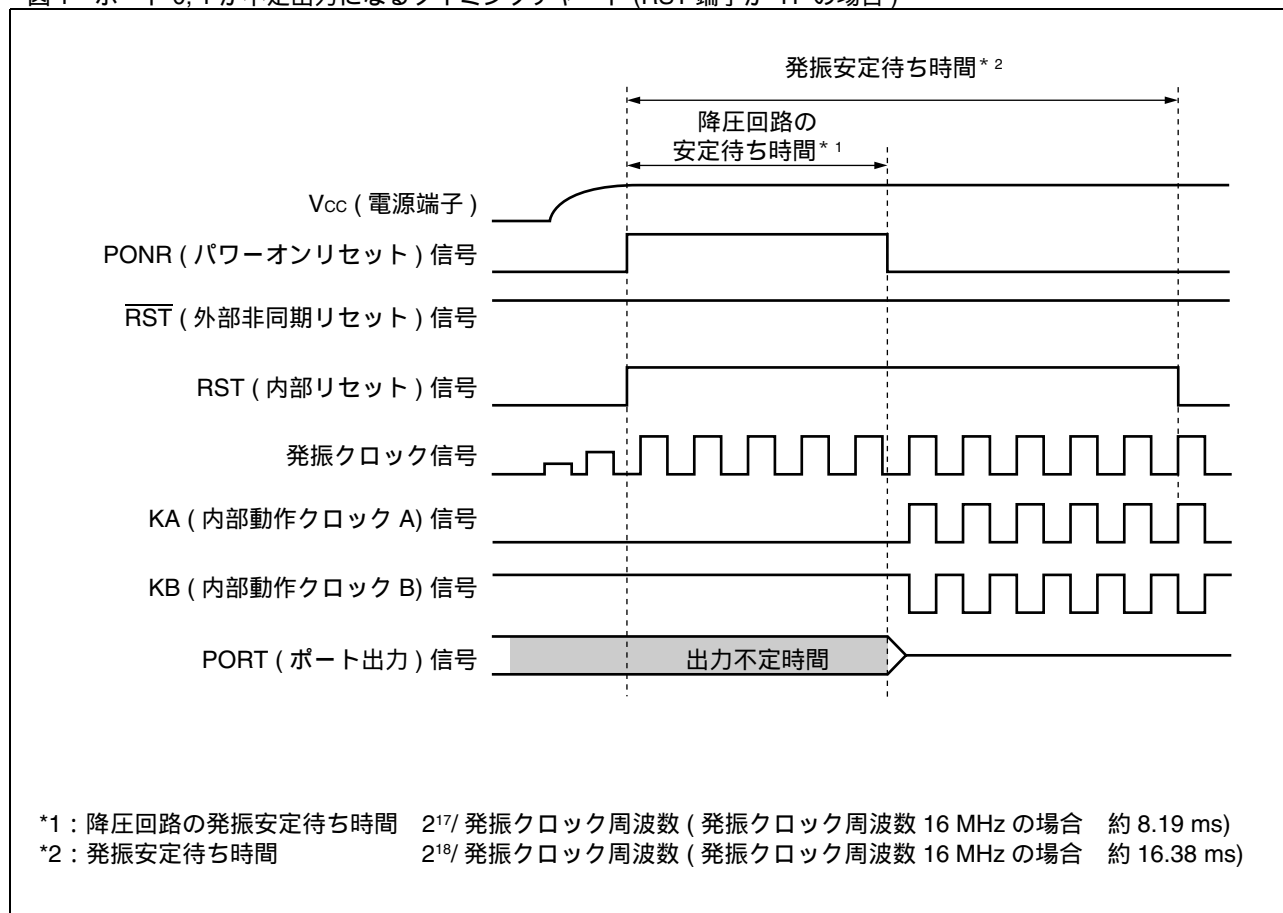
電源を投入後、降圧回路の発振安定待ち時間 (パワーオンリセット中) に $\overline{\text{RST}}$ 端子が “H” の場合、ポート 0, 1 から不定を出力します。 $\overline{\text{RST}}$ 端子が “L” の場合、ポート 0, 1 はハイ・インピーダンス状態になります。

タイミングは図 1, 2 のようになりますので注意してください。 (対象品種:MB90F562B, MB90V560)

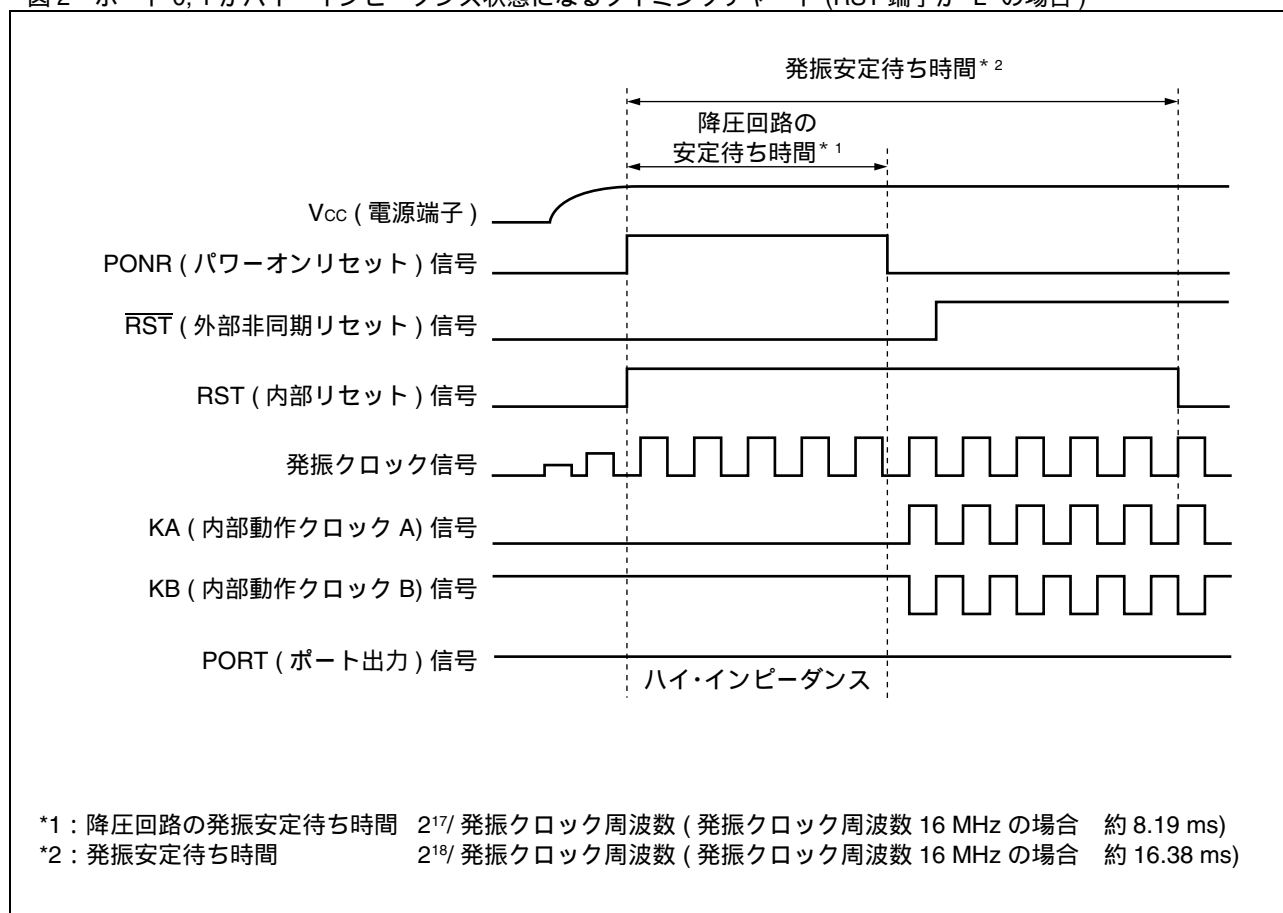
なお、降圧回路を内蔵していない品種では、降圧回路の発振安定待ち時間がありませんので、不定を出力しません。

(対象品種:MB90561A, MB90562A, MB90F568, MB90567, MB90568)

・ 図 1 ポート 0, 1 が不定出力になるタイミングチャート ($\overline{\text{RST}}$ 端子が “H” の場合)



・図2 ポート0,1がハイ・インピーダンス状態になるタイミングチャート ($\overline{\text{RST}}$ 端子が“L”の場合)



(10) 「DIV A, Ri」, 「DIVW A, RWi」命令の使用上の注意

符号付乗除算命令「DIV A, Ri」, 「DIVW A, RWi」の、命令実行結果により得られる余りが、バンクレジスタの影響を受け、バンクレジスタで設定されたメモリバンクのあるアドレスに格納されます。

「DIV A, Ri」, 「DIVW A, RWi」命令は、バンクレジスタを“00H”にして使用してください。

(11) REALOS を使用する場合

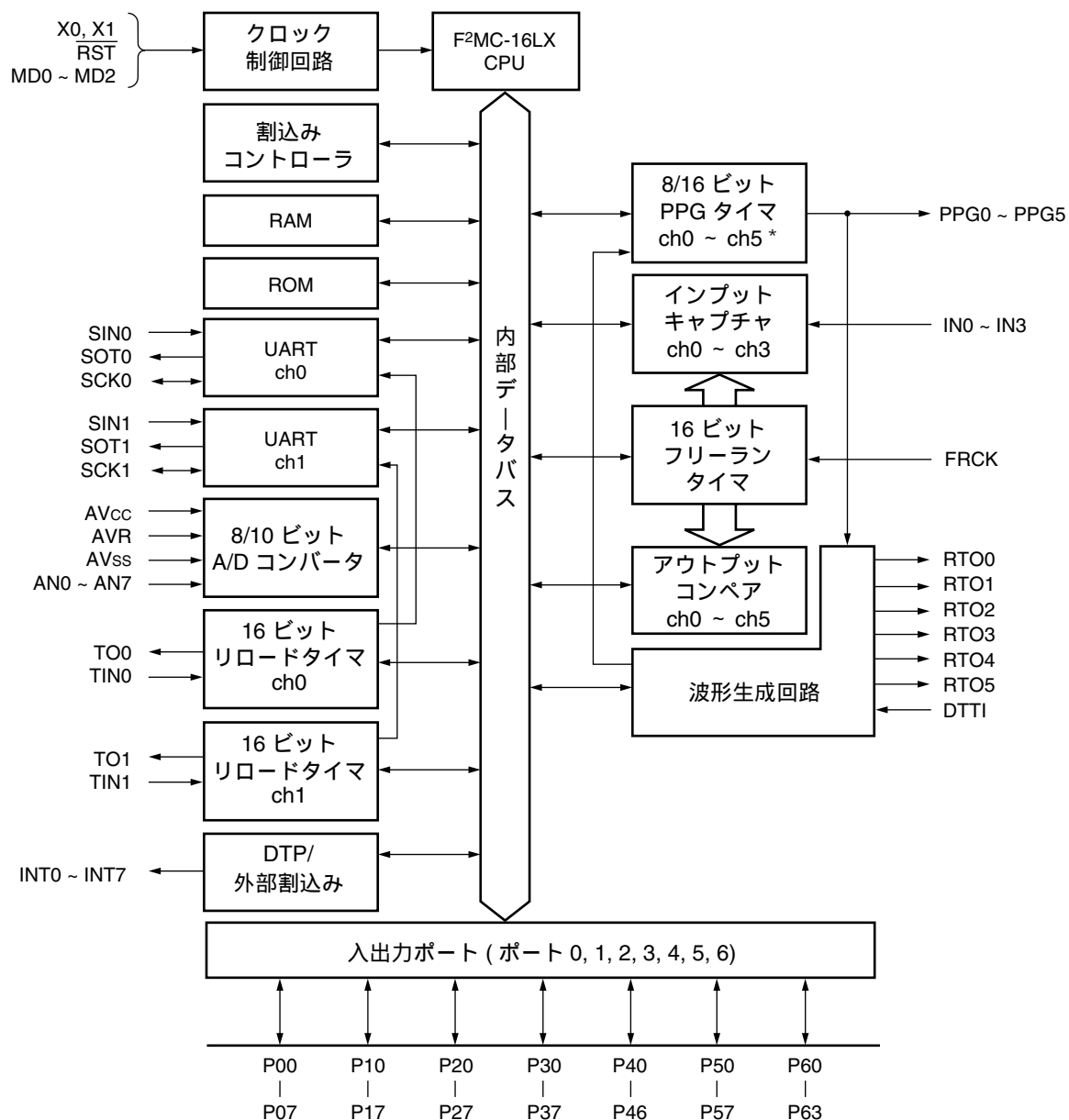
REALOS を使用する場合は、拡張インテリジェント I/O サービス (EIPOS) が使用できません。

(12) PLL クロックモード動作中の注意について

本マイコンで PLL クロックを選択しているときに発振子が外れたり、あるいはクロック入力が停止した場合、本マイコンは PLL 内部の自励発振回路の自走周波数で動作を継続し続ける場合があります。この動作は保証外の動作です。

MB90560/565 シリーズ

■ ブロックダイアグラム



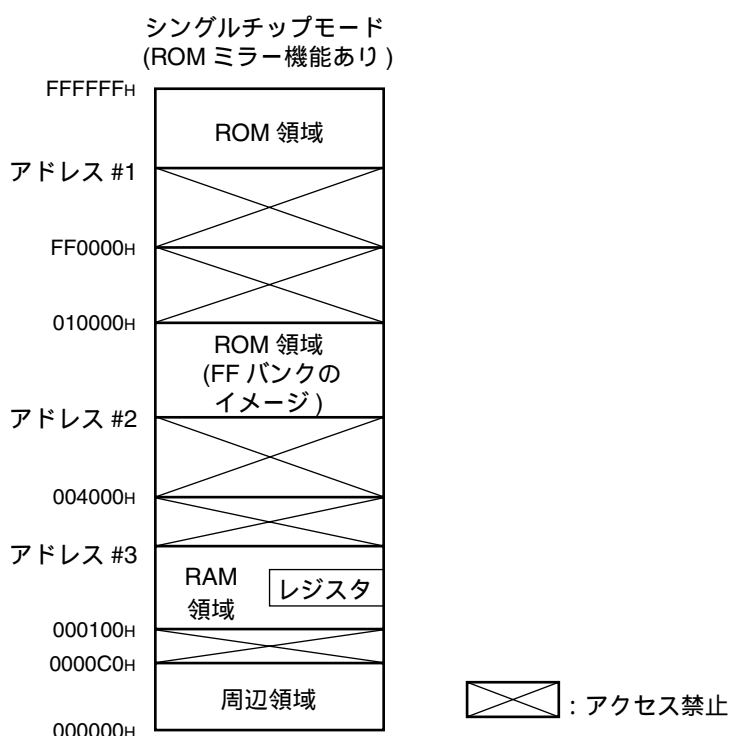
* : 8 ビットで使用する場合はチャンネルです。16 ビットで使用する場合は、3 チャンネル (ch1/3/5) となります。

(注) 入出力ポートは、各周辺機能 (リソース) と端子を共用しています。

詳細は、端子配列図および端子機能説明を参照してください。

また、各周辺機能 (リソース) の端子として使用される場合は、入出力ポートとしては使用できません。

■ メモリマップ



品 種	アドレス #1	アドレス #2	アドレス #3
MB90561A	FF8000H	008000H	000500H
MB90562A	FF0000H	004000H	000900H
MB90F562B	FF0000H	004000H	000900H
MB90567	FE8000H	004000H	001100H
MB90568	FE0000H	004000H	001100H
MB90F568	FE0000H	004000H	001100H
MB90V560	FE0000H *	004000H *	001100H

* : V 品には ROM は内蔵されていません。ツール側での ROM デコード領域とお考えください。

MB90560/565 シリーズのメモリマップ

(注意事項)

- ・ ROM ミラー機能レジスタの設定を行った場合 , 00 バンクの上位側 (“004000H ~ 00FFFFH”) に FF バンクの上位側 (“FF4000H ~ FFFFFFFH”) のデータがミラーイメージで見えるようになります。
- ・ ROM ミラー機能の設定は , 「 周辺リソース 10. ROM ミラー機能選択モジュール 」を参照してください。

参考 :

- ・ ROM ミラー機能は , C コンパイラのスモールモデルを使用するためのものです。
- ・ FF バンクの下部 16 ビットアドレスは , 00 バンクの下部 16 ビットアドレスと同じになります。ただし , FF バンクの ROM 領域は 48 K バイトを超えますので , 00 バンクには , ROM 領域の全データをミラーイメージで見せることはできません。
- ・ C コンパイラのスモールモデルをご使用の場合は , データテーブルを “FF4000H ~ FFFFFFFH” に格納しておくことで , “004000H ~ 00FFFFH” にミラーイメージでデータテーブルを見せることができます。したがって , ポインタで far 指定を宣言することなく , ROM 領域内のデータテーブルを参照することができます。

MB90560/565 シリーズ

■ I/O マップ

アドレス	レジスタ 略称	レ ジ ス タ	書込み/ 読込み	リソース名	初 期 値
000000H	PDR0	ポート 0 データレジスタ	R/W	ポート 0	XXXXXXXXXB
000001H	PDR1	ポート 1 データレジスタ	R/W	ポート 1	XXXXXXXXXB
000002H	PDR2	ポート 2 データレジスタ	R/W	ポート 2	XXXXXXXXXB
000003H	PDR3	ポート 3 データレジスタ	R/W	ポート 3	XXXXXXXXXB
000004H	PDR4	ポート 4 データレジスタ	R/W	ポート 4	XXXXXXXXXB
000005H	PDR5	ポート 5 データレジスタ	R/W	ポート 5	XXXXXXXXXB
000006H	PDR6	ポート 6 データレジスタ	R/W	ポート 6	XXXXXXXXXB
000007H ～ 00000FH	使用禁止				
000010H	DDR0	ポート 0 方向レジスタ	R/W	ポート 0	00000000B
000011H	DDR1	ポート 1 方向レジスタ	R/W	ポート 1	00000000B
000012H	DDR2	ポート 2 方向レジスタ	R/W	ポート 2	00000000B
000013H	DDR3	ポート 3 方向レジスタ	R/W	ポート 3	00000000B
000014H	DDR4	ポート 4 方向レジスタ	R/W	ポート 4	X0000000B
000015H	DDR5	ポート 5 方向レジスタ	R/W	ポート 5	00000000B
000016H	DDR6	ポート 6 方向レジスタ	R/W	ポート 6	XXXX0000B
000017H	ADER	アナログ入力許可レジスタ	R/W	ポート 5, A/D コンバータ	11111111B
000018H ～ 00001FH	使用禁止				
000020H	SMR0	モードレジスタ ch0	R/W	UART0	0000X00B
000021H	SCR0	制御レジスタ ch0	W, R/W		00000100B
000022H	SIDR0	インプットデータレジスタ ch0	R		XXXXXXXXXB
	SODR0	アウトプットデータレジスタ ch0	W		
000023H	SSR0	ステータスレジスタ ch0	R, R/W		00001000B
000024H	SMR1	モードレジスタ ch1	R/W	UART1	0000X00B
000025H	SCR1	制御レジスタ ch1	W, R/W		00000100B
000026H	SIDR1	インプットデータレジスタ ch1	R		XXXXXXXXXB
	SODR1	アウトプットデータレジスタ ch1	W		
000027H	SSR1	ステータスレジスタ ch1	R, R/W		00001000B
000028H	使用禁止				
000029H	CDCR0	通信プリスケラ制御レジスタ ch0	R/W	通信プリスケラ	0XXX0000B
00002AH	使用禁止				
00002BH	CDCR1	通信プリスケラ制御レジスタ ch1	R/W	通信プリスケラ	0XXX0000B
00002CH ～ 00002FH	使用禁止				
000030H	ENIR	DTP/ 割込み許可レジスタ	R/W	DTP/ 外部割込み	00000000B
000031H	EIRR	DTP/ 割込み要因レジスタ	R/W		XXXXXXXXXB

(続 く)

MB90560/565 シリーズ

アドレス	レジスタ 略称	レ ジ ス タ	書込み / 読込み	リソース名	初 期 値
000032H	ELVR	要求レベル設定レジスタ下位	R/W	DTP/ 外部割込み	00000000B
000033H		要求レベル設定レジスタ上位	R/W		00000000B
000034H	ADCS0	A/D 制御ステータスレジスタ下位	R/W	8/10 ビット A/D コンバータ	00000000B
000035H	ADCS1	A/D 制御ステータスレジスタ上位	W, R/W		00000000B
000036H	ADCR0	A/D データレジスタ下位	R		XXXXXXXXXB
000037H	ADCR1	A/D データレジスタ上位	R, W		00000XXXB
000038H	PRL0	PPG リロードレジスタ ch0 下位	R/W	8/16 ビット PPG タイマ	XXXXXXXXXB
000039H	PRLH0	PPG リロードレジスタ ch0 上位	R/W		XXXXXXXXXB
00003AH	PRL1	PPG リロードレジスタ ch1 下位	R/W		XXXXXXXXXB
00003BH	PRLH1	PPG リロードレジスタ ch1 上位	R/W		XXXXXXXXXB
00003CH	PPGC0	PPG コントロールレジスタ ch0 下位	R/W		00000001B
00003DH	PPGC1	PPG コントロールレジスタ ch1 上位	R/W		00000001B
00003EH	PCS01	PPG クロック制御レジスタ ch0, 1	R/W		000000XXB
00003FH	使用禁止				
000040H	PRL2	PPG リロードレジスタ ch2 下位	R/W	8/16 ビット PPG タイマ	XXXXXXXXXB
000041H	PRLH2	PPG リロードレジスタ ch2 上位	R/W		XXXXXXXXXB
000042H	PRL3	PPG リロードレジスタ ch3 下位	R/W		XXXXXXXXXB
000043H	PRLH3	PPG リロードレジスタ ch3 上位	R/W		XXXXXXXXXB
000044H	PPGC2	PPG コントロールレジスタ ch2 下位	R/W		00000001B
000045H	PPGC3	PPG コントロールレジスタ ch3 上位	R/W		00000001B
000046H	PCS23	PPG クロック制御レジスタ ch2, 3	R/W		000000XXB
000047H	使用禁止				
000048H	PRL4	PPG リロードレジスタ ch4 下位	R/W	8/16 ビット PPG タイマ	XXXXXXXXXB
000049H	PRLH4	PPG リロードレジスタ ch4 上位	R/W		XXXXXXXXXB
00004AH	PRL5	PPG リロードレジスタ ch5 下位	R/W		XXXXXXXXXB
00004BH	PRLH5	PPG リロードレジスタ ch5 上位	R/W		XXXXXXXXXB
00004CH	PPGC4	PPG コントロールレジスタ ch4 下位	R/W		00000001B
00004DH	PPGC5	PPG コントロールレジスタ ch5 上位	R/W		00000001B
00004EH	PCS45	PPG クロック制御レジスタ ch4, 5	R/W		000000XXB
00004FH	使用禁止				
000050H	TMRR0	8 ビットリロードレジスタ ch0	R/W	波形生成部	XXXXXXXXXB
000051H	DTCR0	8 ビットタイマコントロールレジスタ ch0	R/W		00000000B
000052H	TMRR1	8 ビットリロードレジスタ ch1	R/W		XXXXXXXXXB
000053H	DTCR1	8 ビットタイマコントロールレジスタ ch1	R/W		00000000B
000054H	TMRR2	8 ビットリロードレジスタ ch2	R/W		XXXXXXXXXB
000055H	DTCR2	8 ビットタイマコントロールレジスタ ch2	R/W		00000000B
000056H	SIGCR	波形制御レジスタ	R/W		00000000B
000057H	使用禁止				
000058H	CPCLR	コンペアクリアレジスタ下位	R/W	16 ビット	XXXXXXXXXB
000059H		コンペアクリアレジスタ上位	R/W	フリーランタイム	XXXXXXXXXB

(続 く)

MB90560/565 シリーズ

アドレス	レジスタ 略称	レ ジ ス タ	書込み / 読込み	リソース名	初 期 値
00005AH	TCDT	タイマデータレジスタ下位	R/W	16 ビット フリーランタイム	0 0 0 0 0 0 0 0B
00005BH		タイマデータレジスタ上位	R/W		0 0 0 0 0 0 0 0B
00005CH	TCCS	タイマコントロールステータスレジスタ 下位	R/W		0 0 0 0 0 0 0 0B
00005DH		タイマコントロールステータスレジスタ 上位	R/W		0 XX 0 0 0 0 0B
00005EH	使用禁止				
00005FH					
000060H	IPCP0	インプットキャプチャデータレジスタ ch0 下位	R	インプット キャプチャ	XXXXXXXXXB
000061H		インプットキャプチャデータレジスタ ch0 上位	R		XXXXXXXXXB
000062H	IPCP1	インプットキャプチャデータレジスタ ch1 下位	R		XXXXXXXXXB
000063H		インプットキャプチャデータレジスタ ch1 上位	R		XXXXXXXXXB
000064H	IPCP2	インプットキャプチャデータレジスタ ch2 下位	R		XXXXXXXXXB
000065H		インプットキャプチャデータレジスタ ch2 上位	R		XXXXXXXXXB
000066H	IPCP3	インプットキャプチャデータレジスタ ch3 下位	R		XXXXXXXXXB
000067H		インプットキャプチャデータレジスタ ch3 上位	R		XXXXXXXXXB
000068H	ICS01	インプットキャプチャコントロール レジスタ 01	R/W		0 0 0 0 0 0 0 0B
000069H	使用禁止				
00006AH	ICS23	インプットキャプチャコントロール レジスタ 23	R/W	インプット キャプチャ	0 0 0 0 0 0 0 0B
00006BH ~ 00006EH	使用禁止				
00006FH	ROMM	ROM ミラー機能選択レジスタ	W	ROM ミラー機能 選択モジュール	XXXXXXXX 1b
000070H	OCCP0	コンペアレジスタ ch0 下位	R/W	アウトプット コンペア	XXXXXXXXXB
000071H		コンペアレジスタ ch0 上位	R/W		XXXXXXXXXB
000072H	OCCP1	コンペアレジスタ ch1 下位	R/W		XXXXXXXXXB
000073H		コンペアレジスタ ch1 上位	R/W		XXXXXXXXXB
000074H	OCCP2	コンペアレジスタ ch2 下位	R/W		XXXXXXXXXB
000075H		コンペアレジスタ ch2 上位	R/W		XXXXXXXXXB
000076H	OCCP3	コンペアレジスタ ch3 下位	R/W		XXXXXXXXXB
000077H		コンペアレジスタ ch3 上位	R/W		XXXXXXXXXB
000078H	OCCP4	コンペアレジスタ ch4 下位	R/W		XXXXXXXXXB
000079H		コンペアレジスタ ch4 上位	R/W		XXXXXXXXXB

(続 く)

MB90560/565 シリーズ

アドレス	レジスタ 略称	レ ジ ス タ	書込み / 読込み	リソース名	初 期 値
00007AH	OCCP5	コンペアレジスタ ch5 下位	R/W	アウトプット コンペア	XXXXXXXXXB
00007BH		コンペアレジスタ ch5 上位	R/W		XXXXXXXXXB
00007CH	OCS0	コンペアコントロールレジスタ ch0 下位	R/W		0000XX00B
00007DH	OCS1	コンペアコントロールレジスタ ch1 上位	R/W		XXX00000B
00007EH	OCS2	コンペアコントロールレジスタ ch2 下位	R/W		0000XX00B
00007FH	OCS3	コンペアコントロールレジスタ ch3 上位	R/W		XXX00000B
000080H	OCS4	コンペアコントロールレジスタ ch4 下位	R/W		0000XX00B
000081H	OCS5	コンペアコントロールレジスタ ch5 上位	R/W		XXX00000B
000082H	TMCSR0 : L	タイマコントロールステータス レジスタ ch0 下位	R/W	16 ビット リロードタイマ	00000000B
000083H	TMCSR0 : H	タイマコントロールステータス レジスタ ch0 上位	R/W		XXXX0000B
000084H	TMR0	16 ビットタイマレジスタ ch0 下位	R		XXXXXXXXXB
	TMRLR0	16 ビットリロードレジスタ ch0 下位	W		XXXXXXXXXB
000085H	TMR0	16 ビットタイマレジスタ ch0 上位	R		XXXXXXXXXB
	TMRHR0	16 ビットリロードレジスタ ch0 上位	W		XXXXXXXXXB
000086H	TMCSR1 : L	タイマコントロールステータス レジスタ ch1 下位	R/W		00000000B
000087H	TMCSR1 : H	タイマコントロールステータス レジスタ ch1 上位	R/W		XXXX0000B
000088H	TMR1	16 ビットタイマレジスタ ch1 下位	R		XXXXXXXXXB
	TMRLR1	16 ビットリロードレジスタ ch1 下位	W		XXXXXXXXXB
000089H	TMR1	16 ビットタイマレジスタ ch1 上位	R		XXXXXXXXXB
	TMRHR1	16 ビットリロードレジスタ ch1 上位	W		XXXXXXXXXB
00008AH ~ 00008BH	使用禁止				
00008CH	RDR0	ポート 0 プルアップ抵抗設定レジスタ	R/W	ポート 0	00000000B
00008DH	RDR1	ポート 1 プルアップ抵抗設定レジスタ	R/W	ポート 1	00000000B
00008EH ~ 00009DH	使用禁止				
00009EH	PACSR	プログラムアドレス検出コントロール ステータスレジスタ	R/W	アドレス一致検出	00000000B
00009FH	DIRR	遅延割込み要因 / 解除レジスタ	R/W	遅延割込み	XXXXXXXX0B
0000A0H	LPMCR	低消費電力モードレジスタ	W, R/W	低消費電力 制御回路	00011000B
0000A1H	CKSCR	クロック選択レジスタ	R, R/W	クロック	11111100B
0000A2H ~ 0000A7H	使用禁止				
0000A8H	WDTC	ウォッチドッグ制御レジスタ	R/W	ウォッチドッグ タイマ	1XXXX111B

(続 く)

MB90560/565 シリーズ

アドレス	レジスタ 略称	レ ジ ス タ	書込み/ 読込み	リソース名	初 期 値
0000A9 _H	TBTC	タイムベースタイマ制御レジスタ	W, R/W	タイムベース タイマ	1 XX 0 0 1 0 0 _B
0000AA _H ～ 0000AD _H	使用禁止				
0000AE _H	FMCS	フラッシュメモリコントロール ステータスレジスタ	R, W, R/W	フラッシュメモリ	0 0 0 0 0 0 0 0 _B
0000AF _H	使用禁止				
0000B0 _H	ICR00	割込み制御レジスタ 00 (書込む場合)	W, R/W	割込み	XXXX 0 1 1 1 _B
		割込み制御レジスタ 00 (読込む場合)	R, R/W		XX 0 0 0 1 1 1 _B
0000B1 _H	ICR01	割込み制御レジスタ 01 (書込む場合)	W, R/W		XXXX 0 1 1 1 _B
		割込み制御レジスタ 01 (読込む場合)	R, R/W		XX 0 0 0 1 1 1 _B
0000B2 _H	ICR02	割込み制御レジスタ 02 (書込む場合)	W, R/W		XXXX 0 1 1 1 _B
		割込み制御レジスタ 02 (読込む場合)	R, R/W		XX 0 0 0 1 1 1 _B
0000B3 _H	ICR03	割込み制御レジスタ 03 (書込む場合)	W, R/W		XXXX 0 1 1 1 _B
		割込み制御レジスタ 03 (読込む場合)	R, R/W		XX 0 0 0 1 1 1 _B
0000B4 _H	ICR04	割込み制御レジスタ 04 (書込む場合)	W, R/W		XXXX 0 1 1 1 _B
		割込み制御レジスタ 04 (読込む場合)	R, R/W		XX 0 0 0 1 1 1 _B
0000B5 _H	ICR05	割込み制御レジスタ 05 (書込む場合)	W, R/W		XXXX 0 1 1 1 _B
		割込み制御レジスタ 05 (読込む場合)	R, R/W		XX 0 0 0 1 1 1 _B
0000B6 _H	ICR06	割込み制御レジスタ 06 (書込む場合)	W, R/W		XXXX 0 1 1 1 _B
		割込み制御レジスタ 06 (読込む場合)	R, R/W		XX 0 0 0 1 1 1 _B
0000B7 _H	ICR07	割込み制御レジスタ 07 (書込む場合)	W, R/W		XXXX 0 1 1 1 _B
		割込み制御レジスタ 07 (読込む場合)	R, R/W		XX 0 0 0 1 1 1 _B
0000B8 _H	ICR08	割込み制御レジスタ 08 (書込む場合)	W, R/W		XXXX 0 1 1 1 _B
		割込み制御レジスタ 08 (読込む場合)	R, R/W		XX 0 0 0 1 1 1 _B
0000B9 _H	ICR09	割込み制御レジスタ 09 (書込む場合)	W, R/W		XXXX 0 1 1 1 _B
		割込み制御レジスタ 09 (読込む場合)	R, R/W		XX 0 0 0 1 1 1 _B
0000BA _H	ICR10	割込み制御レジスタ 10 (書込む場合)	W, R/W		XXXX 0 1 1 1 _B
		割込み制御レジスタ 10 (読込む場合)	R, R/W		XX 0 0 0 1 1 1 _B
0000BB _H	ICR11	割込み制御レジスタ 11 (書込む場合)	W, R/W		XXXX 0 1 1 1 _B
		割込み制御レジスタ 11 (読込む場合)	R, R/W		XX 0 0 0 1 1 1 _B
0000BC _H	ICR12	割込み制御レジスタ 12 (書込む場合)	W, R/W		XXXX 0 1 1 1 _B
		割込み制御レジスタ 12 (読込む場合)	R, R/W		XX 0 0 0 1 1 1 _B
0000BD _H	ICR13	割込み制御レジスタ 13 (書込む場合)	W, R/W		XXXX 0 1 1 1 _B
		割込み制御レジスタ 13 (読込む場合)	R, R/W		XX 0 0 0 1 1 1 _B
0000BE _H	ICR14	割込み制御レジスタ 14 (書込む場合)	W, R/W		XXXX 0 1 1 1 _B
		割込み制御レジスタ 14 (読込む場合)	R, R/W		XX 0 0 0 1 1 1 _B
0000BF _H	ICR15	割込み制御レジスタ 15 (書込む場合)	W, R/W		XXXX 0 1 1 1 _B
		割込み制御レジスタ 15 (読込む場合)	R, R/W		XX 0 0 0 1 1 1 _B

(続 く)

MB90560/565 シリーズ

(続き)

アドレス	レジスタ 略称	レ ジ ス タ	書込み / 読み込み	リソース名	初 期 値
0000C0 _H ~ 0000FF _H	未使用領域				
000100 _H ~ # _H	RAM 領域				
# _H ~ 001FEF _H	予約領域				
001FF0 _H	PADR0	プログラムアドレス検出レジスタ ch0 下位	R/W	アドレス一致検出	XXXXXXXX _B
001FF1 _H		プログラムアドレス検出レジスタ ch0 中位	R/W		XXXXXXXX _B
001FF2 _H		プログラムアドレス検出レジスタ ch0 上位	R/W		XXXXXXXX _B
001FF3 _H	PADR1	プログラムアドレス検出レジスタ ch1 下位	R/W		XXXXXXXX _B
001FF4 _H		プログラムアドレス検出レジスタ ch1 中位	R/W		XXXXXXXX _B
001FF5 _H		プログラムアドレス検出レジスタ ch1 上位	R/W		XXXXXXXX _B
001FF6 _H ~ 001FFF _H	未使用領域				

・ 読み込み / 書き込みについての説明

R/W : リード・ライト可能

R : リードオンリ

W : ライトオンリ

・ 初期値についての説明

0 : 初期値は“0”です。

1 : 初期値は“1”です。

X : 初期値は不定です。

MB90560/565 シリーズ

■ 割込み要因と割込みベクタ，割込み制御レジスタ

割込み要因	EI ² OS 対応	割込みベクタ		割込み制御レジスタ		優先 強度
		番号*	アドレス	ICR	アドレス	
リセット	×	#08	08H	FFFFDC _H	—	強
INT 9 命令	×	#09	09H	FFFFD8 _H	—	
例外処理	×	#10	0AH	FFFFD4 _H	—	
A/D コンバータ変換終了		#11	0BH	FFFFD0 _H	ICR00	0000B0 _H
アウトプットコンペア・チャンネル 0 一致		#13	0DH	FFFFC8 _H	ICR01	0000B1 _H
8/16 ビット PPG タイマ 0 カウンタポロー		#14	0EH	FFFFC4 _H		
アウトプットコンペア・チャンネル 1 一致		#15	0FH	FFFFC0 _H	ICR02	0000B2 _H
8/16 ビット PPG タイマ 1 カウンタポロー		#16	10H	FFFFBC _H		
アウトプットコンペア・チャンネル 2 一致		#17	11H	FFFFB8 _H	ICR03	0000B3 _H
8/16 ビット PPG タイマ 2 カウンタポロー		#18	12H	FFFFB4 _H		
アウトプットコンペア・チャンネル 3 一致		#19	13H	FFFFB0 _H	ICR04	0000B4 _H
8/16 ビット PPG タイマ 3 カウンタポロー		#20	14H	FFFFAC _H		
アウトプットコンペア・チャンネル 4 一致		#21	15H	FFFFA8 _H	ICR05	0000B5 _H
8/16 ビット PPG タイマ 4 カウンタポロー		#22	16H	FFFFA4 _H		
アウトプットコンペア・チャンネル 5 一致		#23	17H	FFFFA0 _H	ICR06	0000B6 _H
8/16 ビット PPG タイマ 5 カウンタポロー		#24	18H	FFFF9C _H		
DTP/ 外部割込み・チャンネル 0/1 検出時		#25	19H	FFFF98 _H	ICR07	0000B7 _H
DTP/ 外部割込み・チャンネル 2/3 検出時		#26	1AH	FFFF94 _H		
DTP/ 外部割込み・チャンネル 4/5 検出時		#27	1BH	FFFF90 _H	ICR08	0000B8 _H
DTP/ 外部割込み・チャンネル 6/7 検出時		#28	1CH	FFFF8C _H		
8 ビットタイマ 0/1/2 カウンタポロー	×	#29	1DH	FFFF88 _H	ICR09	0000B9 _H
16 ビットリロードタイマ 0 アンダフロー		#30	1EH	FFFF84 _H		
16 ビットフリーランタイムオーバーフロー	×	#31	1FH	FFFF80 _H	ICR10	0000BA _H
16 ビットリロードタイマ 1 アンダフロー		#32	20H	FFFF7C _H		
インプットキャプチャ・チャンネル 0/1		#33	21H	FFFF78 _H	ICR11	0000BB _H
16 ビットフリーランタイムクリア	×	#34	22H	FFFF74 _H		
インプットキャプチャ・チャンネル 2/3		#35	23H	FFFF70 _H	ICR12	0000BC _H
タイムベースタイマ	×	#36	24H	FFFF6C _H		
UART1・受信		#37	25H	FFFF68 _H	ICR13	0000BD _H
UART1・送信		#38	26H	FFFF64 _H		
UART0・受信		#39	27H	FFFF60 _H	ICR14	0000BE _H
UART0・送信		#40	28H	FFFF5C _H		
フラッシュメモリステータス	×	#41	29H	FFFF58 _H	ICR15	0000BF _H
遅延割込み出力モジュール	×	#42	2AH	FFFF54 _H		

:使用可能

×:使用不可

:使用可能，EI²OS 停止機能付

:ICR を共有する割込み要因を使用しない場合に使用可能

*: 同時に同じレベルの割込みが発生した場合は，割込みベクタ番号の小さい割込み要因を優先します。

■ 周辺リソース

1. I/O ポート

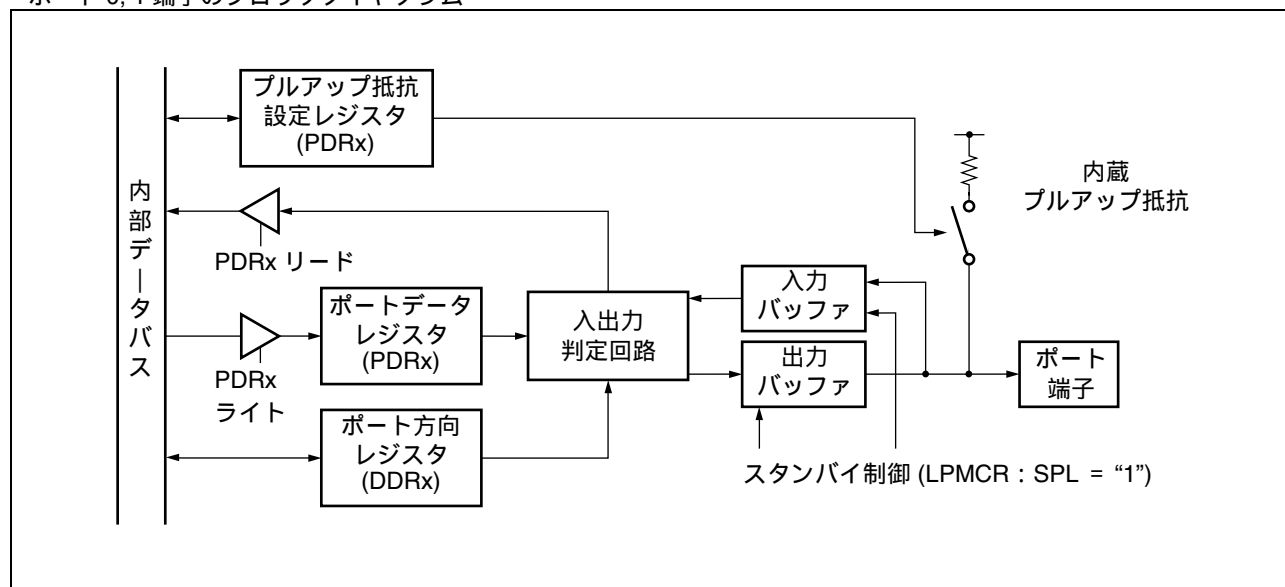
- ・ I/O ポートは汎用入出力ポート（パラレル I/O ポート）として使用できます。MB90560/565 シリーズでは、7 ポート（51 本）用意されています。各ポートは、周辺機能の入出力端子と兼用になっています。
- ・ ポートデータレジスタ (PDR) によって、出力データを I/O 端子に出力し、I/O ポートに入力された信号を取込む機能があります。また、ポート方向レジスタ (DDR) によって、I/O 端子の入出力方向をビット単位で設定することができます。
- ・ 以下に各ポートと端子を兼用している周辺機能を示します。

	ポート端子名	兼用周辺機能端子名	兼用周辺機能名
ポート 0	P00-P07	—	兼用なし
ポート 1	P10-P16	INT0-INT6	外部割込み
	P17	FRCK	フリーランタイム外部入力
ポート 2	P20-P23	TIN0, TO0, TIN1, TO1	16 ビットリロードタイマ 0, 1
	P24-P27	IN0-IN3	インプットキャプチャ 0-3
ポート 3	P30-P35	RTO0-RTO5	アウトプットコンペア
	P36, P37	SIN0, SOT0	UART0
ポート 4	P40	SCK0	UART0
	P41-P46	PPG0-PPG5	8/16 ビット PPG タイマ
ポート 5	P50-P57	AN0-AN7	8/10 ビット A/D コンバータ
ポート 6	P60-P62	SIN1, SOT1, SCK1	UART1
	P63	INT7	外部割込み
		DTTI	波形生成部

（注意事項）

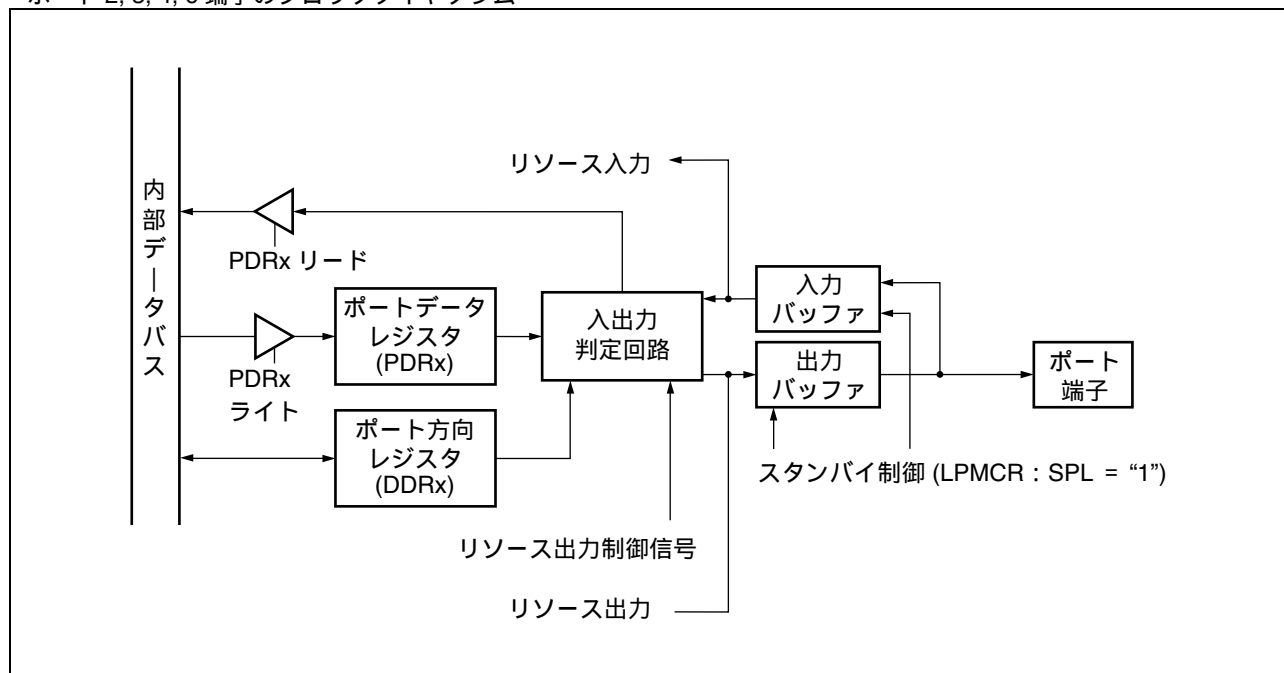
- ・ ポート 3 の P30-P35 は $I_{OL} = 12 \text{ mA}$ まで駆動できる端子です。
- ・ ポート 5 のアナログ入力端子と兼用しており、汎用ポートとして使用する場合は、必ず対応するアナログ入力許可レジスタ (ADER) の各ビットを “0_B” に設定してください。また、ADER の内容は、リセットで “FF_H” に初期化されます。

・ ポート 0, 1 端子のブロックダイアグラム

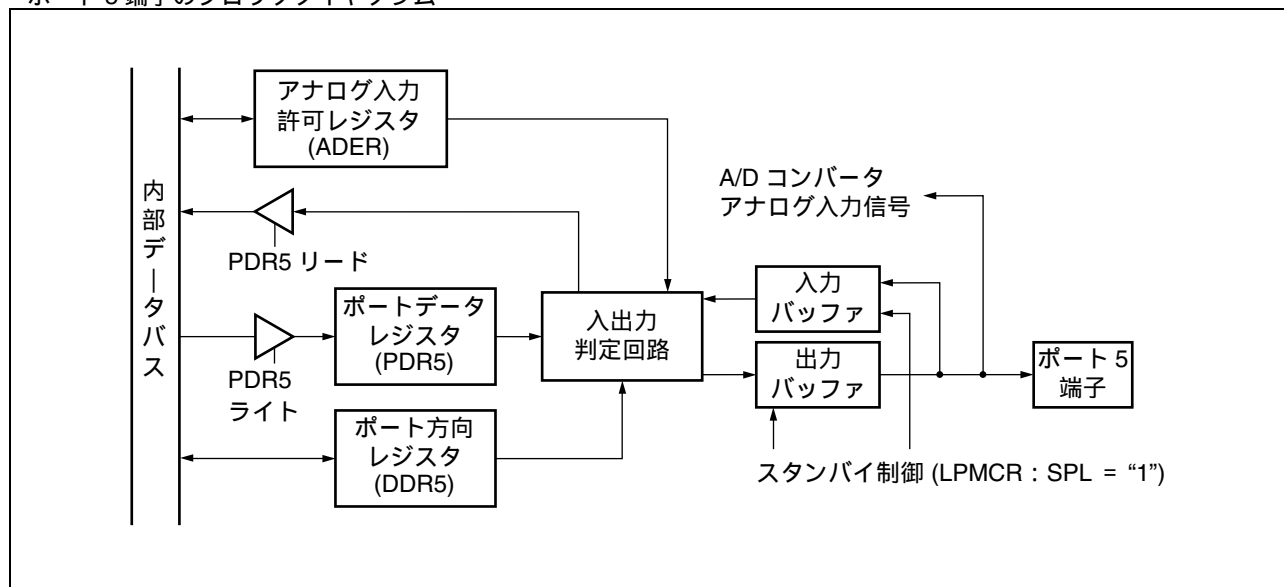


MB90560/565 シリーズ

・ポート 2, 3, 4, 6 端子のブロックダイアグラム



・ポート 5 端子のブロックダイアグラム



(注意事項)

- ・ 入力ポートとして使用する場合は, 対応するポート 5 方向レジスタ (DDR5) のビットに “0” を設定し, さらにアナログ入力許可レジスタ (ADER) の対応するビットに “0” を設定してください。
- ・ アナログ入力端子として使用する場合は, 対応するポート 5 方向レジスタ (DDR5) のビットに “0” を設定し, さらにアナログ入力許可レジスタ (ADER) の対応するビットに “1” を設定してください。

2. タイムベースタイマ

- ・ タイムベースタイマは、メインクロック（発振クロック：HCLK の 2 分周）に同期してカウントアップする 18 ビットのフリーランカウンタ（タイムベースタイマカウンタ）です。
- ・ 4 種類のインターバル時間を選択でき、インターバル時間ごとに割込み要求を発生できます。
- ・ 発振安定待ち時間用タイマやウォッチドッグタイマなど周辺機能に動作クロックを供給しています。

・ タイムベースタイマのインターバル時間

内部カウントクロック周期	インターバル時間
2/HCLK (0.5 μ s)	2^{12} /HCLK (約 1.024 ms)
	2^{14} /HCLK (約 4.096 ms)
	2^{16} /HCLK (約 16.384 ms)
	2^{19} /HCLK (約 131.072 ms)

（注意事項）・ HCLK：発振クロック周波数

- ・ () 内は、発振クロック周波数が 4 MHz の場合の値です。

・ タイムベースタイマから供給されるクロック周期

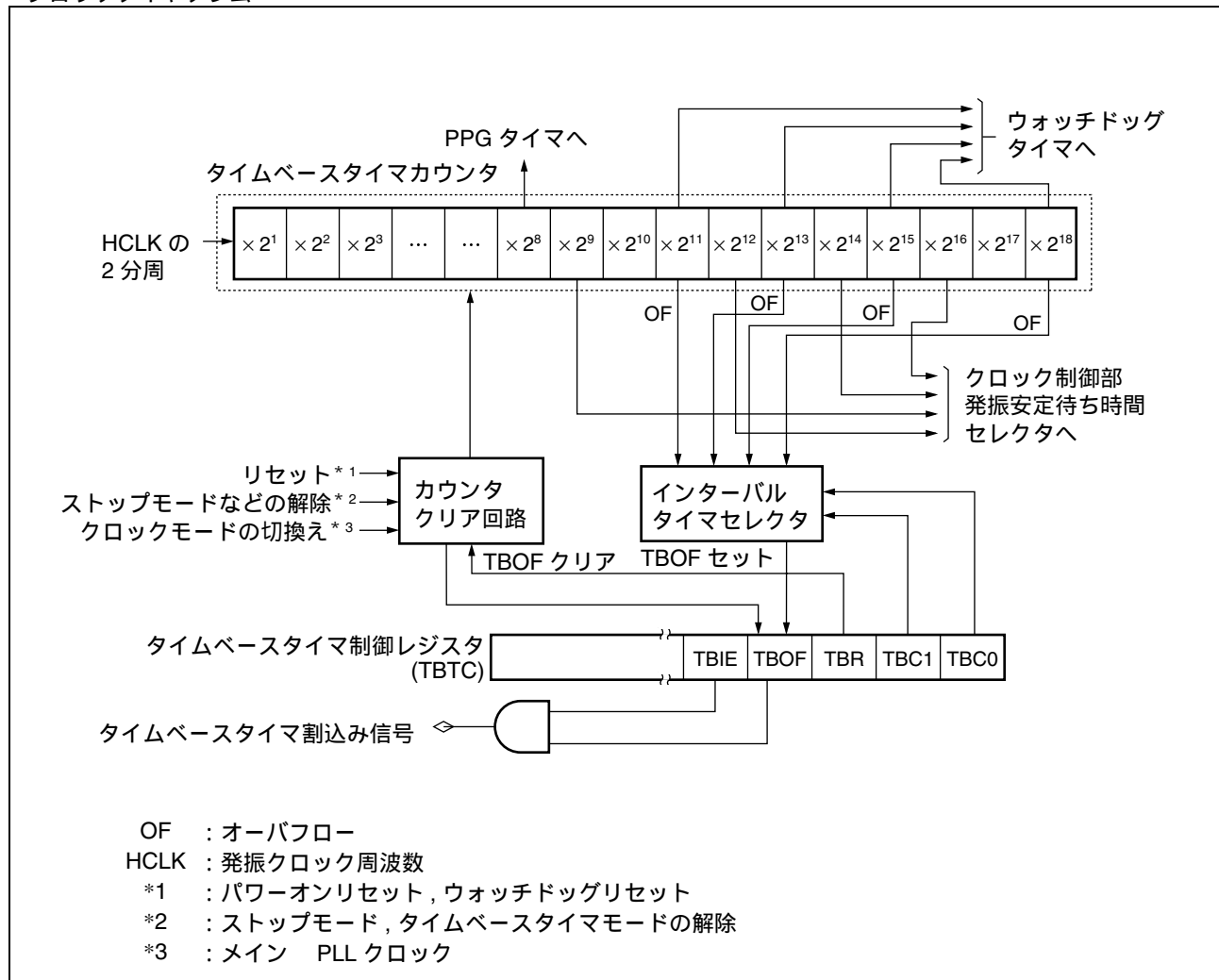
クロック供給先	クロック周期
メインクロックの 発振安定待ち	2^{10} /HCLK (約 0.256 ms)
	2^{13} /HCLK (約 2.048 ms)
	2^{15} /HCLK (約 8.192 ms)
	2^{17} /HCLK (約 32.768 ms)
ウォッチドッグタイマ	2^{12} /HCLK (約 1.024 ms)
	2^{14} /HCLK (約 4.096 ms)
	2^{16} /HCLK (約 16.384 ms)
	2^{19} /HCLK (約 131.072 ms)

（注意事項）・ HCLK：発振クロック周波数

- ・ () 内は、発振クロック周波数が 4 MHz の場合の値です。

MB90560/565 シリーズ

・ブロックダイアグラム



タイムベースタイマの実際の割込み要求番号は次のとおりです。

割込み要求番号 : #36 (24H)

3. ウォッチドッグタイマ

- ・ウォッチドッグタイマは、プログラム暴走対策として用意されているタイマカウンタです。
- ・ウォッチドッグタイマは、タイムベースタイマまたは時計タイマをカウントクロックとする 2 ビットのカウンタです。
- ・ウォッチドッグタイマは、起動後、2 ビットカウンタがオーバフローするまでの時間内にクリアされない場合、CPU をリセットします。

・ウォッチドッグタイマのインターバル時間

HCLK : 発振クロック (4 MHz)		
最 小	最 大	クロック周期
約 3.58 ms	約 4.61 ms	$2^{14} \pm 2^{11} / \text{HCLK}$
約 14.33 ms	約 18.30 ms	$2^{16} \pm 2^{13} / \text{HCLK}$
約 57.23 ms	約 73.73 ms	$2^{18} \pm 2^{15} / \text{HCLK}$
約 458.75 ms	約 589.82 ms	$2^{18} \pm 2^{15} / \text{HCLK}$

- (注意事項) ・ウォッチドッグタイマのインターバル時間の最大、最小は、カウンタクリアのタイミングで決まります。
- ・ウォッチドッグタイマは、タイムベースタイマまたは、時計タイマの桁上がり信号をカウントする 2 ビットのカウンタにより構成されていますので、HCLK にて動作している場合は、タイムベースタイマを、SCLK にて動作している場合は、時計タイマをクリアしますと、ウォッチドッグリセットの発生時間が長くなります。

・ウォッチドッグタイマのカウントクロック

WTC : WDCS	HCLK : 発振クロック PCLK : PLL クロック
0 に設定	設定禁止
1 に設定	タイムベースタイマ出力にて動作

・ウォッチドッグタイマの停止要因

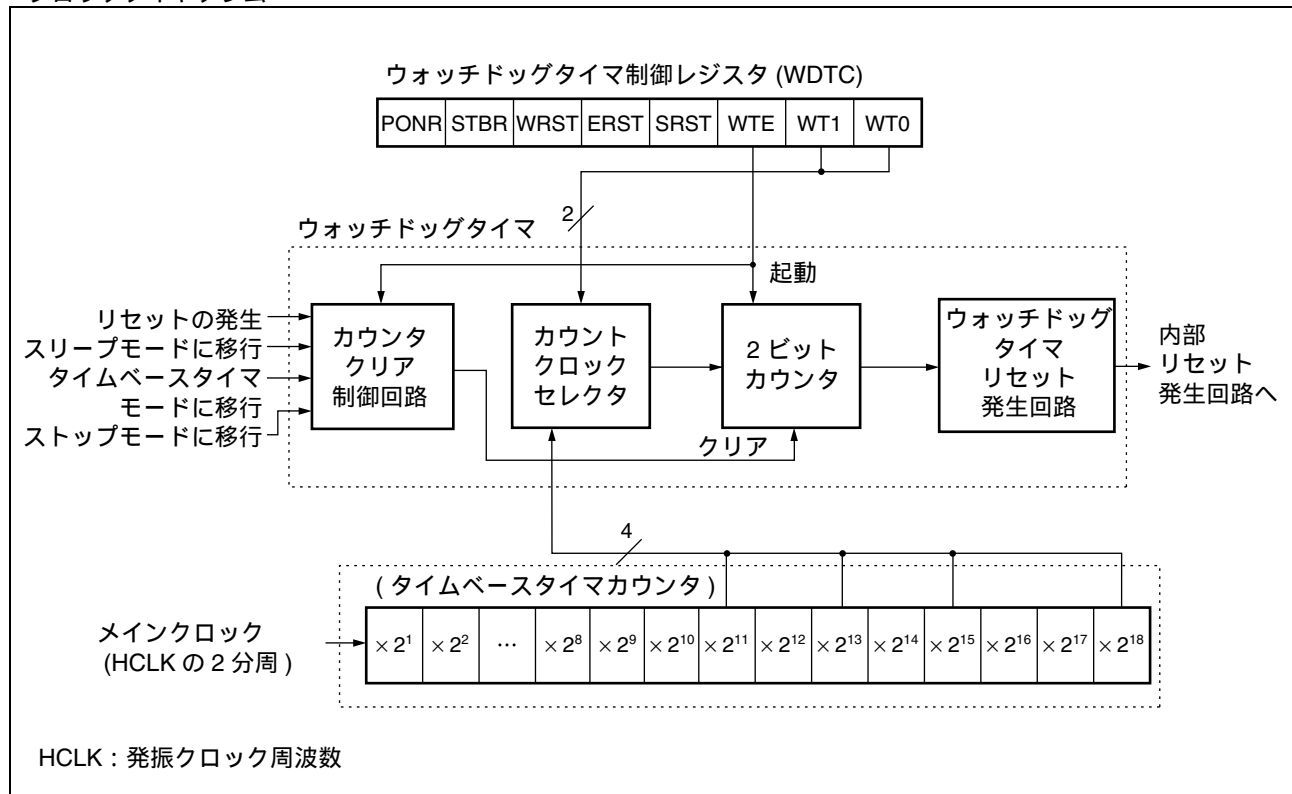
- 1: パワーオンリセットにより停止
- 2: ウォッチドッグリセット

・ウォッチドッグタイマのクリア要因

- 1: RST 端子による外部リセット入力
- 2: ソフトウェアリセットビットへの “0” 設定
- 3: ウォッチドッグ制御ビットへの “0” 設定 (2 回目以降)
- 4: スリープモードへの移行 (ウォッチドッグタイマをクリアし、カウントを一時停止)
- 5: タイムベースタイマモードへの移行 (ウォッチドッグタイマをクリアし、カウントを一時停止)
- 6: ストップモードへの移行 (ウォッチドッグタイマをクリアし、カウントを一時停止)

MB90560/565 シリーズ

・ブロックダイアグラム



4. 16 ビットリロードタイマ 0, 1 (イベントカウント機能付き)

- ・ 16 ビットリロードタイマには、以下の機能があります。
- ・ カウントクロックは、3 種類の内部クロックおよび、外部イベントクロックから選択し、設定できます。
- ・ 16 ビットリロードタイマ 0, 1 のアンダフローが発生した場合に、CPU へ割込みを発生させることができます。また、割込みを利用してインターバルタイマとして動作させることもできます。
- ・ 16 ビットリロードタイマ 0, 1 のアンダフローが発生した場合に、タイマ動作を停止させるワンショットモード、リロードレジスタ値をタイマにロードしてカウント動作を継続するリロードモードを選択し、設定できます。
- ・ 拡張インテリジェント I/O サービス (EPOS) に対応しています。
- ・ MB90560/565 シリーズには、16 ビットリロードタイマが 2 チャンネル内蔵されています。

・ 16 ビットリロードタイマの動作モード

カウントクロック	起 動	アンダフローが発生した場合の動作
内部クロックモード	ソフトウェアトリガ	ワンショットモード
		リロードモード
	外部トリガ	ワンショットモード
		リロードモード
イベントカウントモード (外部クロックモード)	ソフトウェアトリガ	ワンショットモード
		リロードモード

・ 16 ビットリロードタイマのインターバル時間

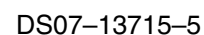
カウントクロック	カウントクロック周期	インターバル時間算出例
内部クロックモード	$2^1/\phi$ (0.125 μ s)	0.125 μ s ~ 8.192 ms
	$2^3/\phi$ (0.5 μ s)	0.5 μ s ~ 32.768 ms
	$2^5/\phi$ (2.0 μ s)	2.0 μ s ~ 131.1 ms
イベントカウントモード	$2^3/\phi$ 以上	0.5 μ s 以上

(注意事項) () 内および、インターバル時間算出例は、マシクロック周波数 16 MHz とした場合の値です。
 ϕ は、マシクロック周波数で算出された値です。

参考：16 ビットリロードタイマ 0 は UART0 のボーレート作成に使用できます。

16 ビットリロードタイマ 1 は UART1 のボーレート作成、A/D コンバータの起動トリガに使用できます。

・ブロックダイアグラム



5. 多機能タイマ

- 多機能タイマは、16 ビットフリーランタイムをベースに 12 ch の独立した波形出力、入力パルス幅測定、および外部クロック周期測定ができます。

・多機能タイマの構成

16 ビット フリーランタイム	16 ビット アウトプット コンペア	16 ビット インプット キャプチャ	8/16 ビット PPG タイマ	波形生成部
1 ch	6 ch	4 ch	8 bit × 6 ch 16 bit × 3 ch	8 ビットタイマ × 3 ch

・16 ビットフリーランタイム (1 チャンネル)

16 ビットフリーランタイムは 16 ビットアップカウンタ (タイマデータレジスタ (TCDDT)), コンペアクリアレジスタ (CPCLR), タイマコントロールステータスレジスタ (TCCS), およびプリスケアラで構成されています。

16 ビットフリーランタイムのカウンタ出力値は、アウトプットコンペア、およびインプットキャプチャの基本時間 (ベースタイマ) として使用されます。

- カウントクロックは、次の 8 種類から設定できます。

1/φ, 2/φ, 4/φ, 8/φ, 16/φ, 32/φ, 64/φ, 128/φ

φ: マシンクロック周波数

- 16 ビットフリーランタイムのカウンタ値がオーバフローした場合、または 16 ビットフリーランタイムのカウンタ値とコンペアクリアレジスタ (CPCLR) 値が一致 (TCCS:ICRE = "1", MODE = "1") し、16 ビットフリーランタイムのカウンタ値が "0000H" にクリアされた場合に割込みを出力させることができます。
- 16 ビットフリーランタイムのカウンタ値は、リセット、タイマコントロールステータスレジスタ (TCCS) のクリアビット (SCLR) に "1" を設定、16 ビットフリーランタイムのカウンタ値とコンペアクリアレジスタ (CPCLR) 値の一致 (TCCS:MODE = "1"), およびタイマデータレジスタ (TCDDT) へ "0000H" を設定した場合、"0000H" にクリアできます。

・アウトプットコンペア (6 チャンネル)

アウトプットコンペアは、コンペアレジスタ (OCCP0 ~ OCCP5), コンペアコントロールレジスタ (OCS0 ~ OCS5), およびコンペア出力用ラッチで構成されています。

コンペアレジスタ (OCCP0 ~ OCCP5) 値と 16 ビットフリーランタイムのカウンタ値が一致した場合に出力レベルを反転し、割込みを出力させることができます。

- コンペアレジスタ (OCCP0 ~ OCCP5) は、6 チャンネル独立して動作できます。各チャンネルコンペアレジスタ (OCCP0 ~ OCCP5) は、対応した出力端子を、各チャンネルのコンペアコントロールレジスタ下位 (OCS0, OCS2, OCS4) は、割込み要求フラグを持っています。
- コンペアレジスタ (OCCP0 ~ OCCP5) を 2 チャンネル使用し、端子出力を反転させることができます。
- 16 ビットフリーランタイムのカウンタ値とコンペアレジスタ (OCCP0 ~ OCCP5) 値の一致 (OCS0, OCS2, OCS4:IOP0 = "1", IOP1 = "1") により割込みを出力させることができます。 (OCS0, OCS2, OCS4:IOE0 = "1", IOE1 = "1")
- 各チャンネルの端子出力の初期値を設定することができます。

・インプットキャプチャ (4 チャンネル)

インプットキャプチャは、外部入力端子 (IN0 ~ IN3) と対応したインプットキャプチャデータレジスタ (IPCP0 ~ IPCP3), およびインプットキャプチャコントロールレジスタ (ICS01, ICS23) で構成されています。

外部入力端子から入力された信号の有効エッジを検出することで、16 ビットフリーランタイムのカウンタ値をインプットキャプチャデータレジスタ (IPCP0 ~ IPCP3) に取込み、割込みを出力させることができます。

- インプットキャプチャは、各チャンネル独立して動作できます。
- 外部信号の有効エッジ (立上りエッジ, 立下りエッジ, 両エッジ) が設定できます。
- 外部信号の有効エッジを検出することにより、割込みを出力させることができます。 (ICS01, ICS23:ICE0 = "1", ICE1 = "1", ICE2 = "1", ICE3 = "1")

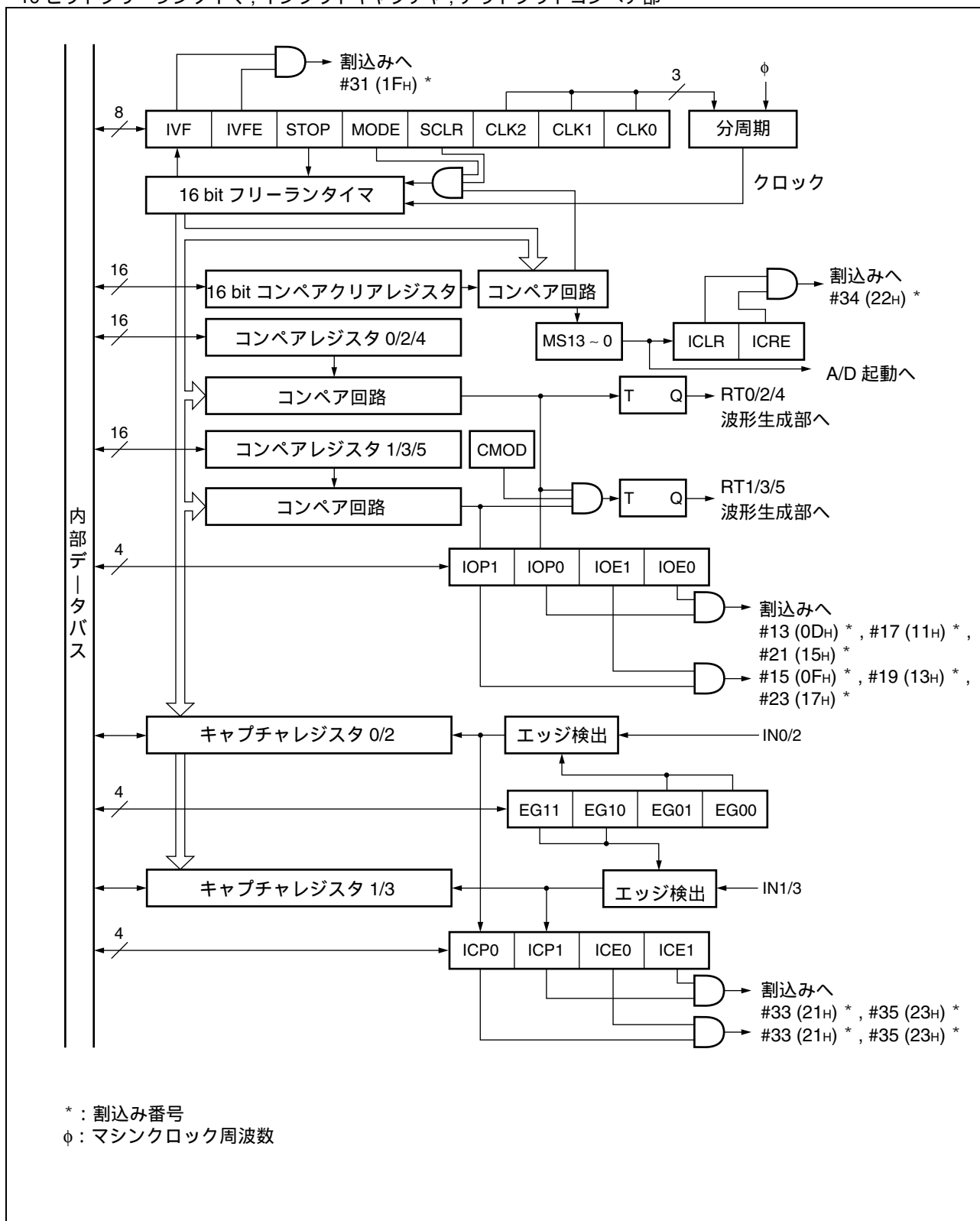
・8/16 ビット PPG タイマ (8 ビット: 6 チャンネル, 16 ビット: 3 チャンネル)

8/16 ビット PPG タイマは、8 ビットダウンカウンタ (PCNT), PPG コントロールレジスタ (PPGC0 ~ PPGC5), PPG クロック制御レジスタ (PCS01, PCS23, PCS45), PPG リロードレジスタ (PRL0 ~ PRL5, PRLH0 ~ PRLH5) で構成されています。

8/16 ビットのリロードタイマとして使用する場合は、イベントタイマとして動作します。また、任意周波数、および任意デューティ比のパルスを出力させることができます。

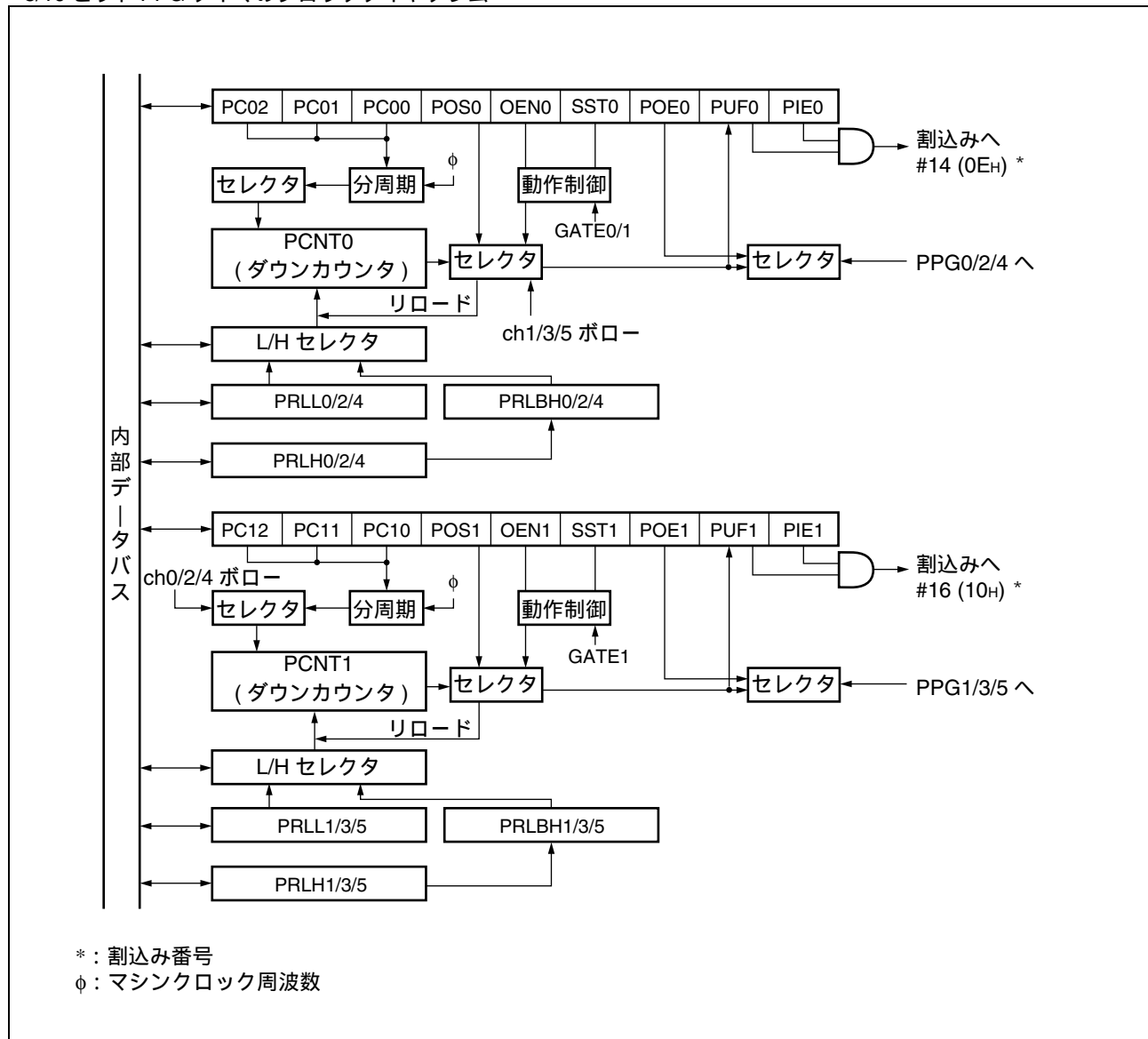
- ・ 8 ビット PPG モード
各チャネル独立して 8 ビット PPG として動作します。
- ・ 8 ビットプリスケアラ + 8 ビット PPG モード
ch0 (ch2, ch4) を 8 ビットプリスケアラとして動作させ, ch1 (ch3, ch5) を ch0 (ch2, ch4) のボロー出力でカウントすることにより, 任意周期の 8 ビット PPG として動作します。
- ・ 16 ビット PPG モード
ch0 (ch2, ch4) と ch1 (ch3, ch5) を連結させ, 16 ビット PPG として動作します。
- ・ PPG 動作
任意周波数, および任意デューティ比 (パルス波形の“H”レベル期間と“L”レベル期間の比) のパルスを出力します。外付け回路により, D/A コンバータとしても使用できます。
- ・ 波形生成部
波形生成部は, 8 ビットタイマ, 8 ビットタイマコントロールレジスタ (DTCR0 ~ DTCR2), 8 ビットリロードレジスタ (TMRR0 ~ TMRR2), 波形制御レジスタ (SIGCR) で構成されています。
リアルタイムアウトプット (RT0 ~ RT5) と 8/16 ビット PPG タイマを使用することにより, インバータ制御に用いるノンオーバーラップ三相波形出力, DC チョッパ出力ができます。
- ・ 8 ビットタイマをデッドタイムタイマとして使用することにより, PPG タイマのパルス出力にノンオーバーラップ時間のディレイを付けた, ノンオーバーラップ波形を生成することができます。(デッドタイムタイマ機能)
- ・ 8 ビットタイマをデッドタイムタイマとして使用することにより, リアルタイムアウトプット (RT1, RT3, RT5) に, ノンオーバーラップ時間のディレイを付けた, ノンオーバーラップ波形を生成することができます。(デッドタイムタイマ機能)
- ・ 16 ビットフリーランタイマのカウント値とアウトプットコンペアのコンペアレジスタ (OCCP0 ~ OCCP5) 値の一致 (リアルタイムアウトプット (RT) の立上りエッジ) により, GATE 信号を生成し PPG タイマの動作を制御することができます。(GATE 機能)
- ・ DTTI 端子入力により, RTO0 ~ RTO5 端子出力を制御することができます。
DTTI 端子入力のクロックレス化により, 発振クロックが停止している場合でも, 外部から端子制御ができます。(端子レベルは, 各端子ごとにプログラムで設定できます)。ただし, 事前に入出力ポート (P30 ~ P35) を出力に設定し, ポート 3 データレジスタ (PDR3) に出力値を設定する必要があります。

- ・ブロックダイアグラム
- ・ 16 ビットフリーランタイム, インプットキャプチャ, アウトプットコンペア部

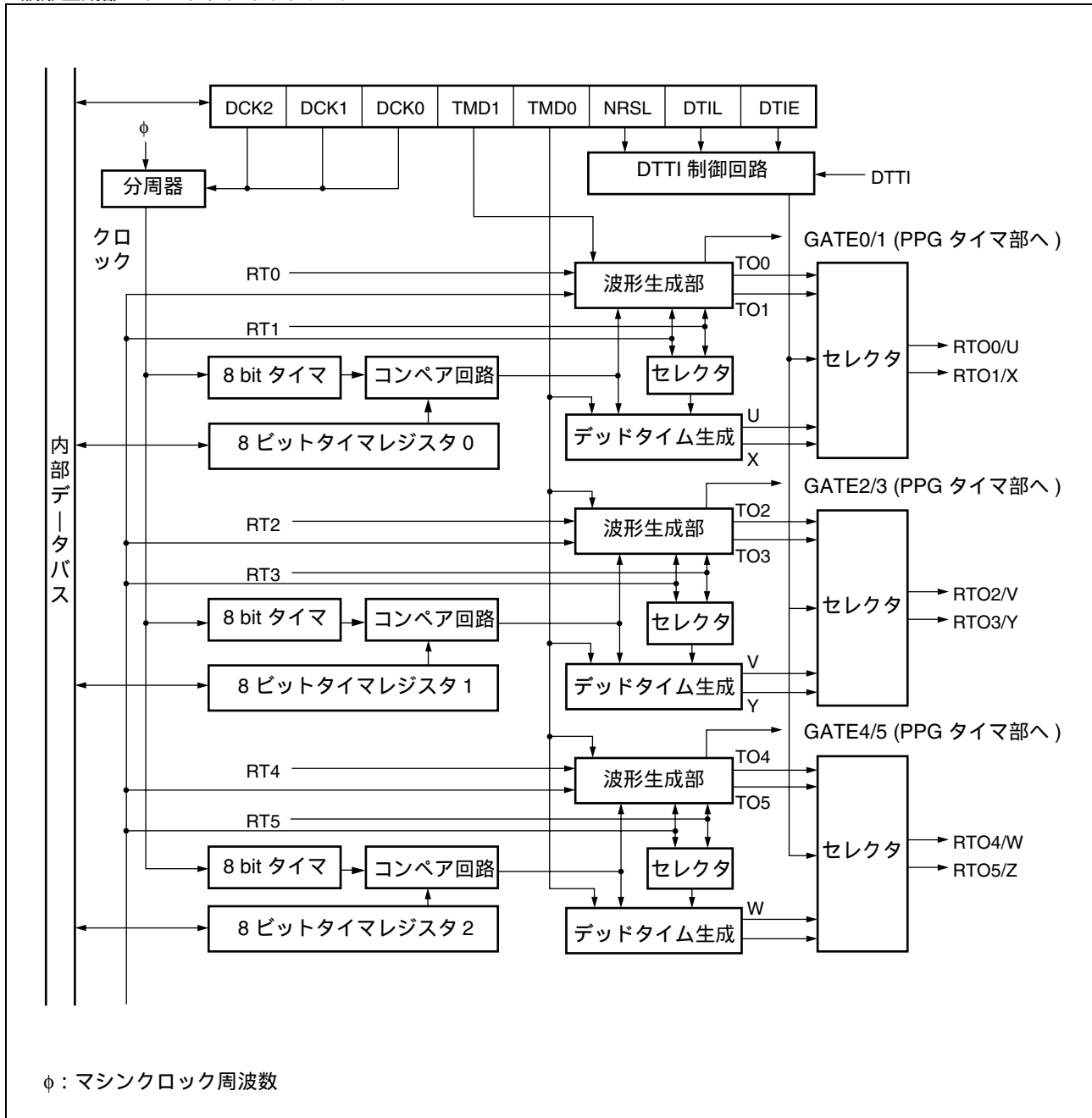


MB90560/565 シリーズ

・ 8/16 ビット PPG タイマのブロックダイアグラム



・波形生成部のブロックダイアグラム



MB90560/565 シリーズ

6. UART

(1) UART の概要

- ・ UART は、外部装置と同期通信もしくは非同期通信（調歩同期）をするための、汎用のシリアルデータ通信インタフェースです。
- ・ 双方向通信機能（ノーマルモード）、マスタ/スレーブ型通信機能（マルチプロセッサモード:マスタ側だけサポート）があります。
- ・ 受信完了、受信エラー検出、送信完了で割込み要求を発生できます。また EI²OS にも対応しています。

・ UART の機能

UART は、他の CPU や周辺装置とシリアルデータの送受信をする汎用シリアルデータ通信インタフェースで、表に示す機能をもっています。

	機 能
データバッファ	全二重ダブルバッファ
転送モード	<ul style="list-style-type: none"> ・ クロック同期（スタート/ストップビットなし） ・ クロック非同期（調歩同期）
ボーレート	<ul style="list-style-type: none"> ・ 最大 2 MHz（マシナクロック 16 MHz 時） ・ 専用ボーレートジェネレータによるボーレート ・ 外部クロック（SCK0/SCK1 端子入力のクロック）によるボーレート ・ 内部クロック（16 ビットリロードタイマから供給されるクロック）によるボーレート ・ ボーレートは全 8 種類から設定可能
データ長	<ul style="list-style-type: none"> ・ 7 ビット（非同期ノーマルモード時のみ） ・ 8 ビット
信号方式	NRZ (Non Return to Zero) 方式
受信エラー検出	<ul style="list-style-type: none"> ・ フレーミングエラー ・ オーバランエラー ・ パリティエラー（マルチプロセッサモード時は検出不可）
割込み要求	<ul style="list-style-type: none"> ・ 受信割込み（受信完了、受信エラー検出） ・ 送信割込み（送信完了） ・ 送受信とも拡張インテリジェント I/O サービス (EI²OS) の対応あり
マスタ/スレーブ型通信機能（マルチプロセッサモード）	1（マスタ）対 n（スレーブ）間の通信が可能（マスタ側だけサポート）

（注意事項）UART は、クロック同期転送時にスタートビット/ストップビットは付加されず、データだけ転送されます。

・ UART の動作モード

動作モード		データ長		同期方式	ストップビット長
		パリティなし	パリティあり		
0	ノーマルモード	7 ビットまたは 8 ビット		非同期	1 ビットまたは 2 ビット*2
1	マルチプロセッサモード	8 + 1*1		非同期	
2	ノーマルモード	8		同期	なし

—：設定不可

*1：“+ 1”は通信制御用に使用されるアドレス/データ設定ビット (A/D) です。

*2：受信時のストップビット長は 1 ビットのみ検出可

・ UART に関連する割込みと EI²OS

割込み要因	割込み番号	割込み制御レジスタ		ベクタテーブルアドレス			EI ² OS
		レジスタ名	アドレス	下位	上位	バンク	
UART1 受信割込み	#37 (25 _H)	ICR13	0000BD _H	FFFF68 _H	FFFF69 _H	FFFF6A _H	
UART1 送信割込み	#38 (26 _H)	ICR13	0000BD _H	FFFF64 _H	FFFF65 _H	FFFF66 _H	
UART0 受信割込み	#39 (27 _H)	ICR14	0000BE _H	FFFF60 _H	FFFF61 _H	FFFF62 _H	
UART0 送信割込み	#40 (28 _H)	ICR14	0000BE _H	FFFF5C _H	FFFF5D _H	FFFF5E _H	

： UART の受信エラー検出による EI²OS 停止機能付

： ICR13, ICR14 を共有する割込み要因を使用しない場合に使用可能

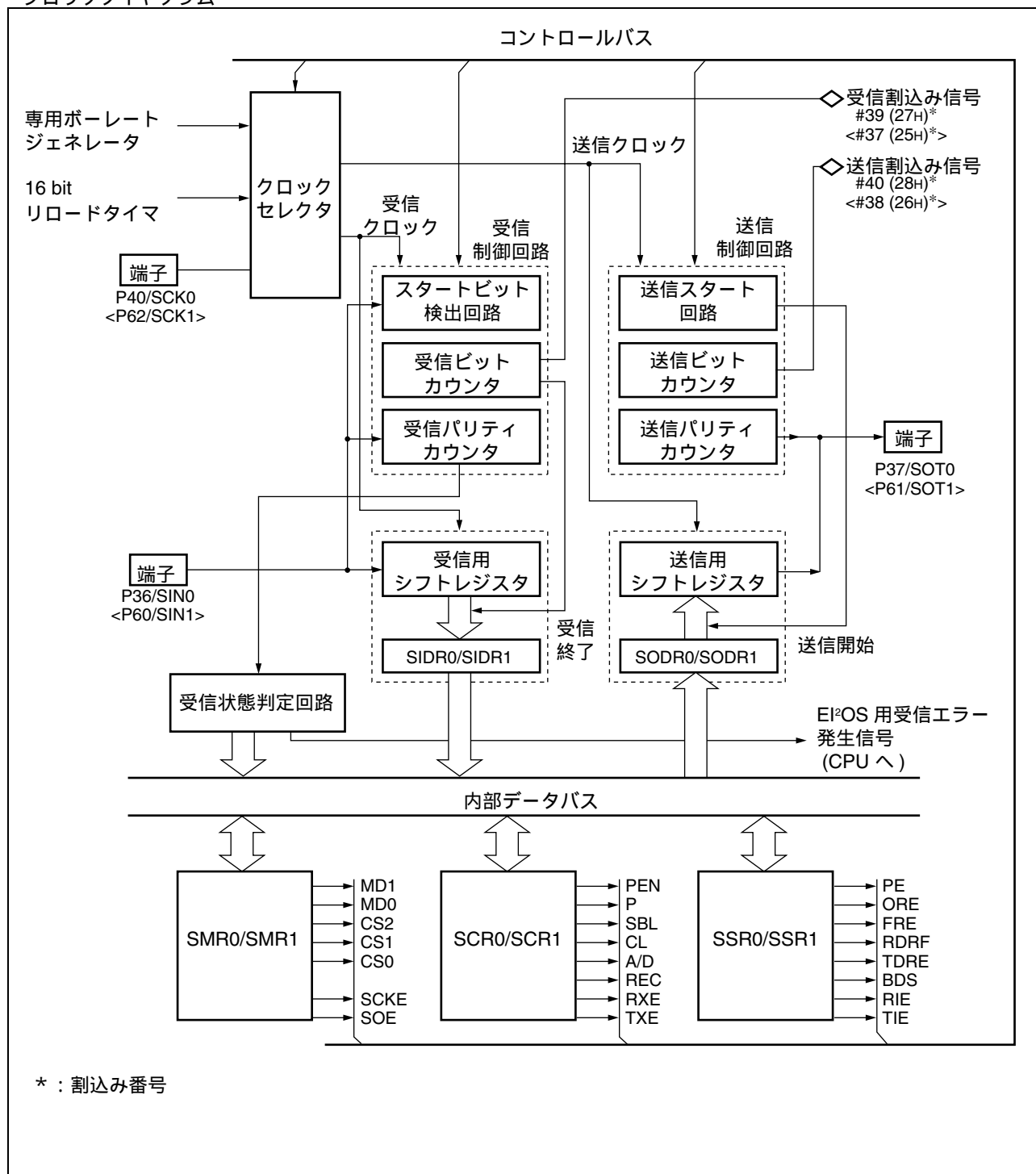
MB90560/565 シリーズ

(2) UART の構成

UART は、以下の 11 種類のブロックで構成されています。

- ・ クロックセクタ
- ・ 受信制御回路
- ・ 送信制御回路
- ・ 受信状態判定回路
- ・ 受信用シフトレジスタ
- ・ 送信用シフトレジスタ
- ・ モードレジスタ (SMR0/SMR1)
- ・ 制御レジスタ (SCR0/SCR1)
- ・ ステータスレジスタ (SSR0/SSR1)
- ・ インプットデータレジスタ (SIDR0/SIDR1)
- ・ アウトプットデータレジスタ (SODR0/SODR1)

・ ブロックダイアグラム



- ・クロックセレクト

専用ボーレートジェネレータ, 外部入力クロック (SCK0/SCK1 端子入力のクロック), 内部クロック (16 ビットリロードタイマから供給されるクロック) から送受信クロックを設定します。

- ・受信制御回路

受信制御回路は, 受信ビットカウンタ, スタートビット検出回路, および受信パリティカウンタで構成されています。受信ビットカウンタは受信データをカウントし, 設定したデータ長に応じたデータの受信を完了すると, 受信割込み要求を出力します。スタートビット検出回路は, シリアル入力信号からスタートビットを検出する回路で, スタートビットを検出した場合に, 設定された転送速度に応じてシフトしながらインプットデータレジスタ (SIDR0/SIDR1) に受信データを格納します。受信パリティカウンタは, パリティありのデータを受信する場合に受信データのパリティを計算します。

- ・送信制御回路

送信制御回路は, 送信ビットカウンタ, 送信スタート回路, および送信パリティカウンタで構成されています。送信ビットカウンタは送信データをカウントし, 設定したデータ長に応じたデータの送信を完了すると, 送信割込み要求を出力します。送信スタート回路は, アウトプットデータレジスタ (SODR0/SODR1) に送信データが格納されると, 送信動作を開始します。送信パリティカウンタは, パリティありの場合のデータを送信する場合に送信するデータのパリティビットを生成します。

- ・受信用シフトレジスタ

SIN0/SIN1 端子から入力された受信データを, 1 ビットずつシフトしながら取込み, 受信が終了すると, インプットデータレジスタ (SIDR0/SIDR1) に受信データを転送します。

- ・送信用シフトレジスタ

アウトプットデータレジスタ (SODR0/SODR1) にセットされた送信データを, 送信用シフトレジスタに転送し, 1 ビットずつシフトしながら SOT0/SOT1 端子に出力します。

- ・モードレジスタ (SMR0/SMR1)

動作モードの設定, ボーレートクロックの設定, シリアルクロック入出力制御, およびシリアルデータの端子への出力許可を設定します。

- ・制御レジスタ (SCR0/SCR1)

パリティ有無の設定, パリティの設定, ストップビット長やデータ長の設定, 動作モード 1 でのフレームデータ形式の設定, 受信エラーフラグビットのクリア, および送受信動作の許可 / 禁止の設定をします。

- ・ステータスレジスタ (SSR0/SSR1)

送受信やエラーの状態の確認, シリアルデータの転送方向の設定, および送受信割込み要求の許可 / 禁止の設定をします。

- ・インプットデータレジスタ (SIDR0/SIDR1)

受信したデータを格納するレジスタです。

- ・アウトプットデータレジスタ (SODR0/SODR1)

送信するデータを設定するレジスタです。アウトプットデータレジスタにセットされたデータが, シリアル変換されて出力されます。

MB90560/565 シリーズ

7. DTP/ 外部割込み回路

(1) DTP/ 外部割込み回路の概要

DTP (Data Transfer Peripheral) / 外部割込み回路は、外部割込み入力端子 (INT7 ~ INT0) から入力された割込み要求を検出し、割込み要求を出力します。

・ DTP/ 外部割込み回路機能

DTP/ 外部割込み機能は、外部割込み入力端子 (INT7 ~ INT0) に入力されるエッジ、またはレベル信号を検出した場合に割込み要求を出力します。

割込み要求が、CPU に受け付けられ、拡張インテリジェント I/O サービス (EI²OS) が許可に設定されている場合は、EI²OS による自動データ転送 (DTP 機能) を行ったあと、割込み処理ルーチンへ分岐します。また、EI²OS が禁止に設定されている場合は、EI²OS による自動データ転送 (DTP 機能) を起動せず、割込み処理ルーチンへ分岐します。

・ DTP/ 外部割込み回路の概要

	外部割込み	DTP 機能
入力端子	8 チャンネル (P10/INT0 ~ P16/INT6, P63/INT7)	
割込み要因	要求レベル設定レジスタ (ELVR) にて検出レベル、またはエッジの種類を端子ごとに設定可能	
	“L” レベル / “H” レベル / 立上りエッジ / 立下りエッジの入力	
割込み番号	#25 (19 _H) ~ #28 (1C _H)	
割込み制御	DTP/ 割込み許可レジスタ (ENIR) による、割込み要求出力の許可と禁止	
割込みフラグ	DTP/ 割込み要因レジスタ (EIRR) による、割込み要因の保持	
処理設定	EI ² OS を禁止に設定 (ICR : ISE = “0”)	EI ² OS を許可に設定 (ICR : ISE = “1”)
処理	割込み処理ルーチンへ分岐	EI ² OS による自動データ転送後、 割込み処理ルーチンへ分岐

ICR: 割込み制御レジスタ

・ DTP/ 外部割込み回路の割込みと EI²OS

チャンネル	割込み番号	割込み制御レジスタ		ベクタテーブルアドレス			EI ² OS
		レジスタ名	アドレス	下位	上位	バンク	
INT0/INT1	#25 (19 _H)	ICR07	0000B7 _H	FFFF98 _H	FFFF99 _H	FFFF9A _H	
INT2/INT3	#26 (1A _H)			FFFF94 _H	FFFF95 _H	FFFF96 _H	
INT4/INT5	#27 (1B _H)	ICR08	0000B8 _H	FFFF90 _H	FFFF91 _H	FFFF92 _H	
INT6/INT7	#28 (1C _H)			FFFF8C _H	FFFF8D _H	FFFF8E _H	

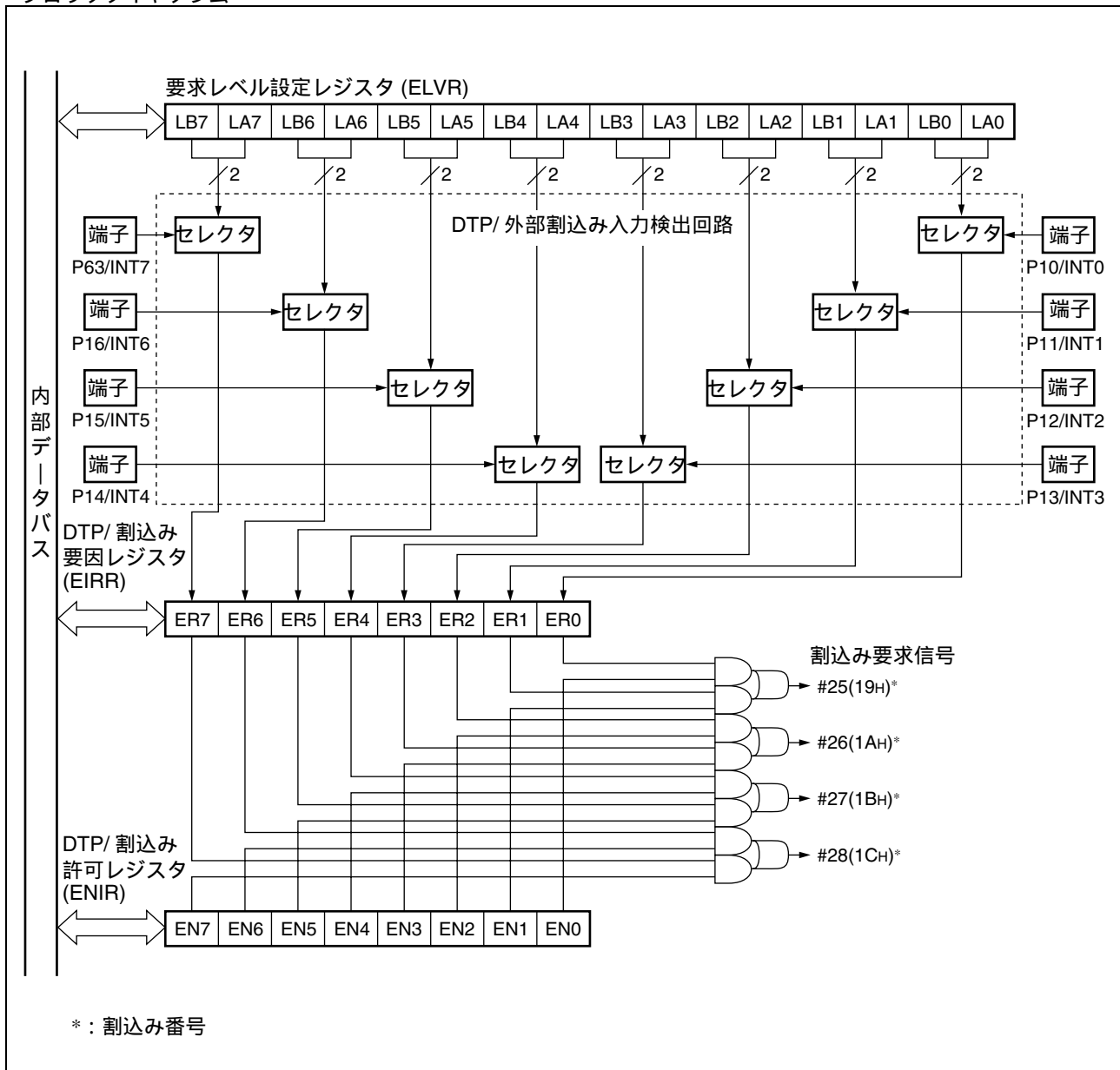
: ICR07, ICR08 を共有する割込み要因を使用しない場合に使用可能

(2) DTP/ 外部割込み回路の構成

DTP/ 外部割込み回路は以下の 4 種類のブロックで構成されています。

- ・ DTP/ 割込み入力検出回路
- ・ DTP/ 割込み要因レジスタ (EIRR)
- ・ DTP/ 割込み許可レジスタ (ENIR)
- ・ 要求レベル設定レジスタ (ELVR)

・ ブロックダイアグラム



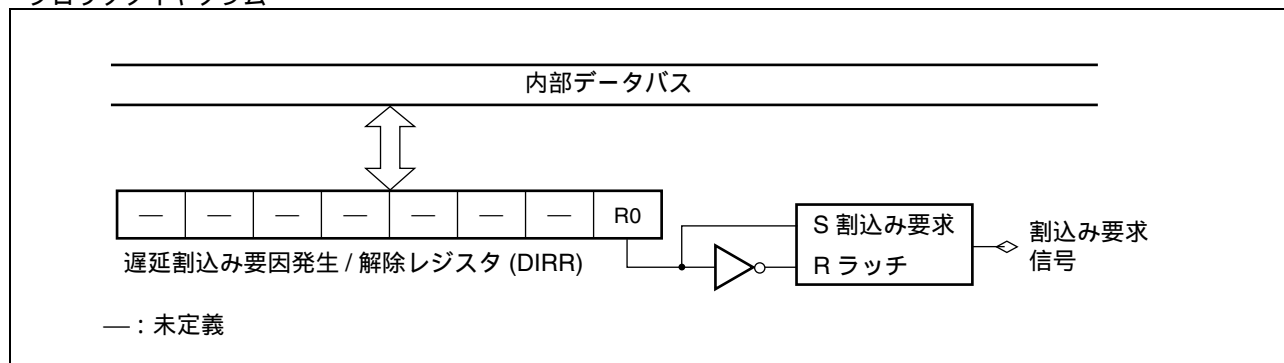
8. 遅延割り込み発生モジュール

- 遅延割り込み発生モジュールは、タスク切換え用の割り込みを発生するためのモジュールです。ソフトウェアにて、ハードウェア割り込みを発生させることができます。

・遅延割り込み発生モジュールの機能

	機能と制御
割り込み要因	<ul style="list-style-type: none"> 遅延割り込み要求発生 / 解除レジスタの R0 ビットに “1” を設定 (DIRR : R0 = 1) することにより割り込み要求を発生します。 遅延割り込み要求発生 / 解除レジスタの R0 ビットに “0” を設定 (DIRR : R0 = 0) することにより割り込み要求を解除します。
割り込み制御	レジスタによる許可設定はありません。
割り込みフラグ	遅延割り込み要求発生 / 解除レジスタの R0 ビット (DIRR : R0) に保持されます。
EP0S への対応	拡張インテリジェント I/O サービス (EP0S) には対応していません。

・ブロックダイアグラム



9. 8/10 ビット A/D コンバータ

・ 8/10 ビット A/D コンバータの概要

- ・ 8/10 ビット A/D コンバータは、RC 逐次比較変換方式でアナログ入力電圧を、10 ビットもしくは 8 ビットの値に変換する機能があります。
- ・ 入力信号は、8 チャンネルのアナログ入力端子から選択し、設定できます。

・ 8/10 ビット A/D コンバータの機能

A/D 変換時間	変換時間は、最小 6.13 μ s (マシクロック周波数 16 MHz の場合、サンプリング時間を含む) です。サンプリング時間、最小 2.0 μ s (マシクロック周波数 16 MHz の場合) です。
変換方式	変換方式は、サンプルホールド回路付 RC 逐次変換比較方式です。
分解能	10 ビット、または 8 ビットの分解能が設定できます。
アナログ入力端子	入力信号は、8 チャンネルのアナログ入力端子からプログラムで設定可能です。
割込み要因	A/D 変換終了時に割込み要求を出力し、EI ² OS を起動できます。割込み許可状態で A/D 変換を実行した場合、変換データ保護機能が働きます。
A/D 変換起動方法	変換の起動要因は、ソフトウェア、16 ビットリロードタイマ 1 出力 (立上りエッジ)、16 ビットフリーランタイムのゼロ検出エッジから設定できます。
EI ² OS への対応	拡張インテリジェント I/O サービス (EI ² OS) に対応しています。

・ 8/10 ビット A/D コンバータの変換モード

変換モード	シングル変換動作	スキャン変換動作
単発変換モード 1 単発変換モード 2	設定したチャンネル (1 チャンネル) を 1 回変換後、終了	連続した複数のチャンネル (最大 8 チャンネルまで設定可能) を 1 回変換後、終了
連続変換モード	設定したチャンネル (1 チャンネル) を繰り返し変換	連続した複数のチャンネル (最大 8 チャンネルまで設定可能) を繰り返し変換
停止変換モード	設定したチャンネル (1 チャンネル) を 1 回変換実行後、一時停止し、次の起動がかかるまで待機	連続した複数のチャンネル (最大 8 チャンネルまで設定可能) を一回変換実行後、一時停止し、次の起動がかかるまで待機

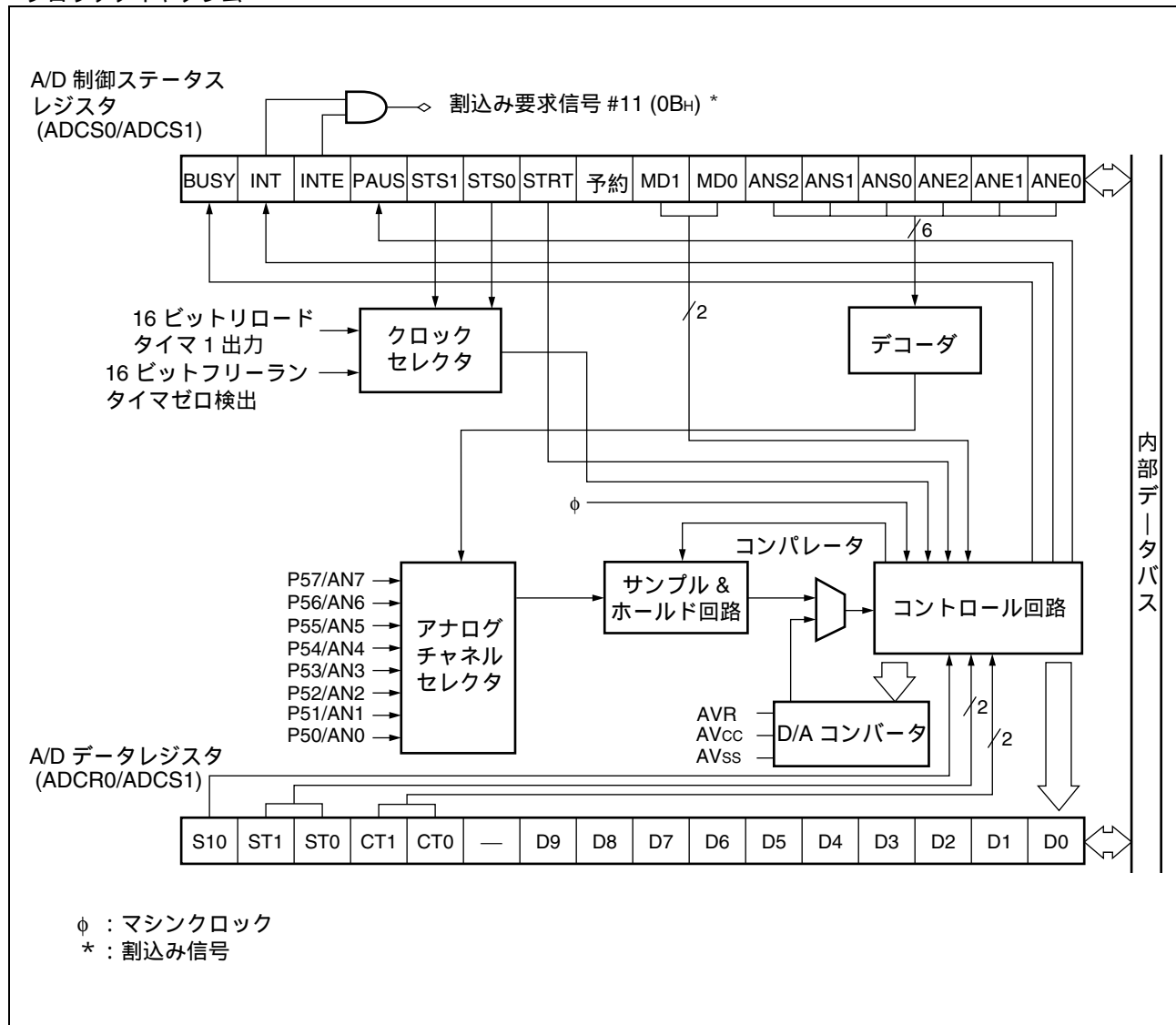
・ 8/10 ビット A/D コンバータの割込みと EI²OS

割込み番号	割込み制御レジスタ		ベクタテーブルアドレス			EI ² OS
	レジスタ名	アドレス	下位	上位	バンク	
#11 (0BH)	ICR00	0000B0H	FFFFD0H	FFFFD1H	FFFFD2H	

：使用可能

MB90560/565 シリーズ

・ブロックダイアグラム



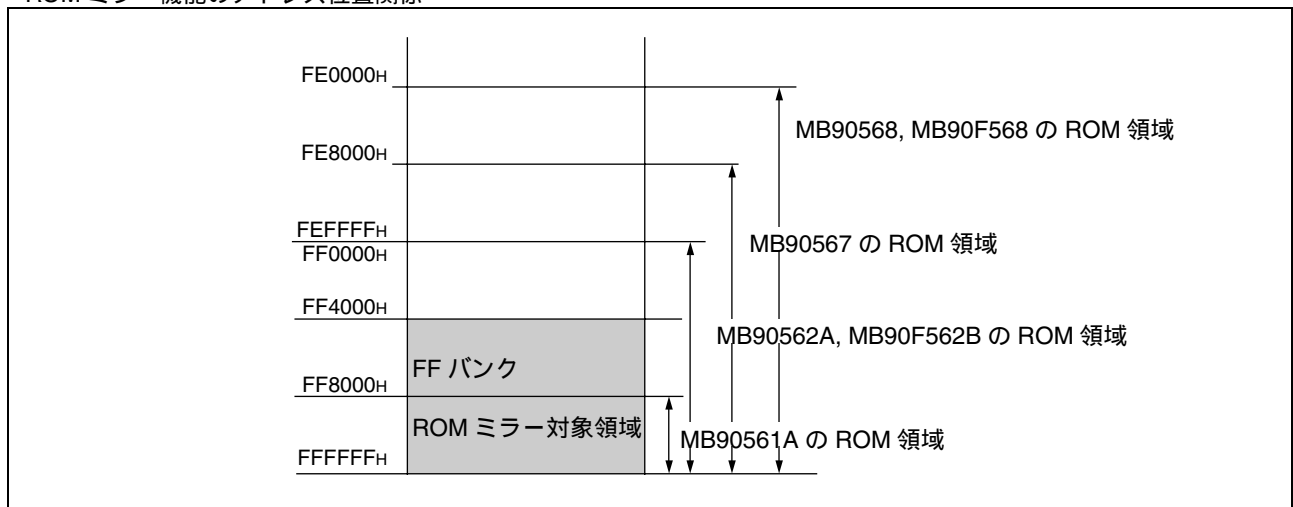
10.ROM ミラー機能選択モジュール

- ROM ミラー機能選択モジュールは、FF バンクに配置されている ROM データを、00 バンクへのアクセスで読み出せるように設定できます。

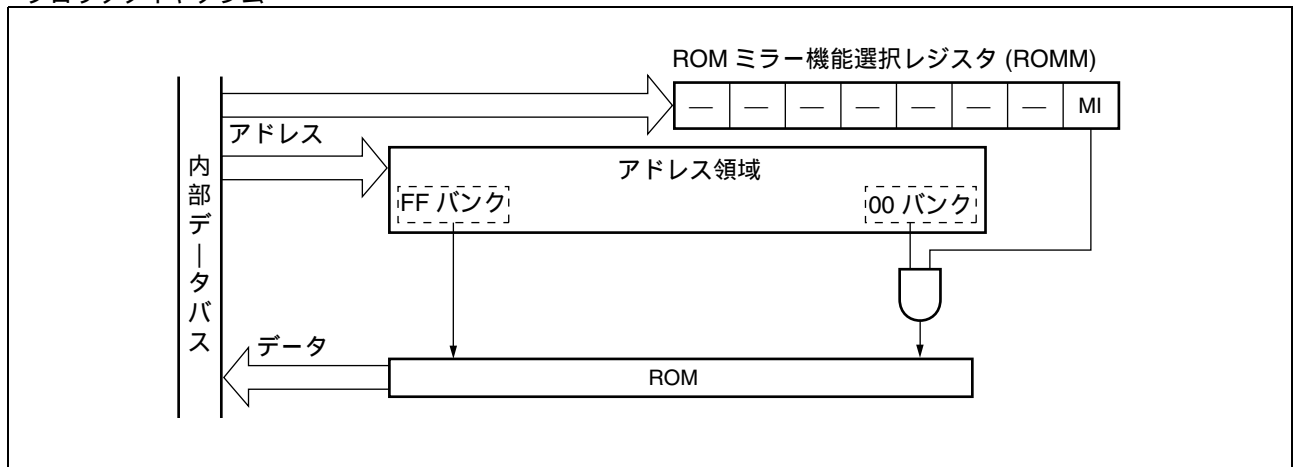
・ROM ミラー機能選択モジュールの機能

	機 能 説 明
ミラー設定アドレス	・ FF バンクの FFFFFFFH ~ FF4000H を 00 バンクの 00FFFFH ~ 004000H で読み出せます。
割込み要因	・ ありません。
EP ² OS への対応	・ 拡張インテリジェント I/O サービス (EP ² OS) には対応していません。

・ROM ミラー機能のアドレス位置関係



・ブロックダイアグラム



MB90560/565 シリーズ

11.低消費電力 (スタンバイ) モード

- ・ F²MC-16LX は、動作クロックの選択を行い設定することにより消費電力を押さえる設定を行うことができます。

・ CPU 動作モードと機能説明

CPU 動作 クロック	動作モード	機 能 説 明
PLL クロック	通常 Run	発振クロック (HCLK) を PLL 逡倍したクロックにて CPU と周辺機能が動作しています。
	スリープ	発振クロック (HCLK) を PLL 逡倍したクロックにて周辺機能のみ動作しています。
	擬似時計	発振クロック (HCLK) を PLL 逡倍したクロックにてタイムベースタイマのみ動作しています。
	ストップ	発振クロックを止め、CPU と周辺機能が止まっています。
メインクロック	通常 Run	発振クロック (HCLK) を 2 分周したクロックにて CPU と周辺機能が動作しています。
	スリープ	発振クロック (HCLK) を 2 分周したクロックにて周辺機能のみ動作しています。
	ストップ	発振クロックを止め、CPU と周辺機能が止まっています。
CPU 間欠動作	通常 Run	発振クロック (HCLK) を 2 分周したクロックを一定期間内に間引いて動作させます。

12.512 K ビットフラッシュメモリ

- ・ここでの説明は、MB90F562B に搭載されているフラッシュメモリについての記述ですので、評価用およびマスク ROM 用には無効なものです。
- ・フラッシュメモリは、CPU メモリマップ上の FF バンクに配置されます。

・フラッシュメモリへの機能

	機 能 説 明
メモリ容量	・ 512 K ビット (64 K バイト)
メモリ構成	・ 64 K ワード × 8 ビット / 32 K ワード × 16 ビット
セクタ構成	・ 16 K バイト + 8 K バイト + 8 K バイト + 32 K バイト
セクタプロテクト機能	・ セクタごとに設定可能
プログラムアルゴリズム	・ 自動プログラムアルゴリズム (Embedded Algorithm : MBM29F400TA と同様)
オペレーションコマンド	<ul style="list-style-type: none"> ・ JEDEC 標準型コマンドと互換 ・ 消去一時停止 / 消去再開機能の搭載 ・ データポーリング、トグルビットの書込み / 消去完了検出 ・ セクタごとの消去が可能 (セクタの組み合わせは自由にできます)
書込み / 消去回数	・ 最小 10,000 回保証
メモリ書込み / 消去方法	<ul style="list-style-type: none"> ・ パラレルライタによる書込み / 消去が可能 (安藤電気製 AF9704, AF9705, AF9706, AF9708, AF9709) ・ シリアル専用ライタによる書込み / 消去が可能 (横河デジタルコンピュータ株式会社製 AF200/AF210/AF120/AF110) ・ プログラム実行による書込み / 消去が可能
割込み要因	・ 書込み / 消去完了要因あり
EP ² OS への対応	・ 拡張インテリジェント I/O サービス (EP ² OS) には対応していません。

・フラッシュメモリのセクタ構成

フラッシュメモリ CPU アドレス ライタアドレス *		
SA1 (32 Kbyte)	FF0000H	70000H
	FF7FFFH	77FFFH
SA2 (8 Kbyte)	FF8000H	78000H
	FF9FFFH	79FFFH
SA3 (8 Kbyte)	FFA000H	7A000H
	FFBFFFH	7BFFFH
SA4 (16 Kbyte)	FFC000H	7C000H
	FEFFFFH	7FFFFH

* :ライタアドレスとは、フラッシュメモリにパラレルライタでデータ書込みを行う際、CPU アドレスに相対するアドレスになります。汎用パラレルライタを使用して書込み / 消去を行う場合は、ライタアドレスにて実行します。

MB90560/565 シリーズ

13.1 M ビットフラッシュメモリ

- ・ここでの説明は、MB90F568 に搭載されているフラッシュメモリについての記述ですので、評価用およびマスク ROM 用には無効なものです。
- ・フラッシュメモリは、CPU メモリマップ上の FE ~ FF バンクに配置されます。

・フラッシュメモリへの機能

	機 能 説 明
メモリ容量	・ 1 M ビット (128 K バイト)
メモリ構成	・ 128 K ワード × 8 ビット / 64 K ワード × 16 ビット
セクタ構成	・ 16 K バイト + 8 K バイト + 8 K バイト + 32 K バイト + 64 K バイト
セクタプロテクト機能	・ セクタごとに設定可能
プログラムアルゴリズム	・ 自動プログラムアルゴリズム (Embedded Algorithm : MBM29F400TA と同様)
オペレーションコマンド	<ul style="list-style-type: none"> ・ JEDEC 標準型コマンドと互換 ・ 消去一時停止 / 消去再開機能の搭載 ・ データポーリング、トグルビットの書込み / 消去完了検出 ・ セクタごとの消去が可能 (セクタの組み合わせは自由にできます)
書込み / 消去回数	・ 最小 10,000 回保証
メモリ書込み / 消去方法	<ul style="list-style-type: none"> ・ パラレルライタによる書込み / 消去が可能 ・ シリアル専用ライタによる書込み / 消去が可能 ・ プログラム実行による書込み / 消去が可能
割込み要因	・ 書込み / 消去完了要因あり
EP ² OS への対応	・ 拡張インテリジェント I/O サービス (EP ² OS) には対応していません。

・フラッシュメモリのセクタ構成

フラッシュメモリ CPU アドレス ライタアドレス*		
SA0 (64 Kbyte)	FE0000H	60000H
	FEFFFFH	6FFFFH
SA1 (32 Kbyte)	FF0000H	70000H
	FF7FFFH	77FFFH
SA2 (8 Kbyte)	FF8000H	78000H
	FF9FFFH	79FFFH
SA3 (8 Kbyte)	FFA000H	7A000H
	FFBFFFH	7BFFFH
SA4 (16 Kbyte)	FFC000H	7C000H
	FEFFFFH	7FFFFH

* : ライタアドレスとは、フラッシュメモリにパラレルライタでデータ書込みを行う際、CPU アドレスに相対するアドレスになります。汎用パラレルライタを使用して書込み / 消去を行う場合は、ライタアドレスにて実行します。

MB90560/565 シリーズ

■ 電気的特性 (MB90560 シリーズ)

1. 絶対最大定格

($V_{SS} = AV_{SS} = 0.0\text{ V}$)

項 目	記 号	定 格 値		単 位	備 考
		最 小	最 大		
電源電圧	V_{CC}	$V_{SS} - 0.3$	$V_{SS} + 6.0$	V	
	AV_{CC}	$V_{SS} - 0.3$	$V_{SS} + 6.0$	V	$V_{CC} \quad AV_{CC}^{*1}$
	AVR	$V_{SS} - 0.3$	$V_{SS} + 6.0$	V	$AV_{CC} \quad AVR \quad 0\text{ V}^{*1}$
入力電圧	V_I	$V_{SS} - 0.3$	$V_{SS} + 6.0$	V	*2
出力電圧	V_O	$V_{SS} - 0.3$	$V_{SS} + 6.0$	V	*2
“L” レベル最大出力電流	I_{OL1}	—	15	mA	*3, *4
	I_{OL2}	—	20	mA	*3, *5
“L” レベル平均出力電流	I_{OLAV1}	—	4	mA	平均値 (動作電流 × 動作率) *4
	I_{OLAV2}	—	12	mA	平均値 (動作電流 × 動作率) *5
“L” レベル最大総出力電流	ΣI_{OL}	—	100	mA	
“L” レベル平均総出力電流	ΣI_{OLAV}	—	50	mA	平均値 (動作電流 × 動作率)
“H” レベル最大出力電流	I_{OH}	—	- 15	mA	*3
“H” レベル平均出力電流	I_{OHAV}	—	- 4	mA	平均値 (動作電流 × 動作率)
“H” レベル最大総出力電流	ΣI_{OH}	—	- 100	mA	
“H” レベル平均総出力電流	ΣI_{OHAV}	—	- 50	mA	平均値 (動作電流 × 動作率)
消費電力	P_d	—	300	mW	
動作温度	T_A	- 40	+ 85	°C	
保存温度	T_{stg}	- 55	+ 150	°C	

*1: AV_{CC} は V_{CC} を超えてはいけません。また, AVR は V_{CC} と AV_{CC} を超えてはいけません。

*2: V_I, V_O は $V_{CC} + 0.3\text{ V}$ を超えてはいけません。

*3: 最大出力電流は, 該当する端子 1 本のピーク値を規定します。

*4: P30/RTO0 ~ P35/RTO5 端子を除く端子

*5: P30/RTO0 ~ P35/RTO5 端子

<注意事項> 絶対最大定格を超えるストレス (電圧, 電流, 温度など) の印加は, 半導体デバイスを破壊する可能性があります。したがって, 定格を一項目でも超えることのないようご注意ください。

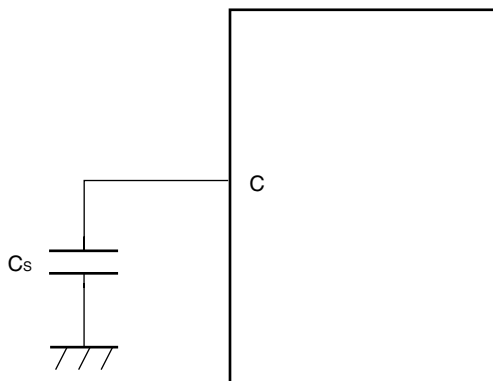
MB90560/565 シリーズ

2. 推奨動作条件

($V_{SS} = AV_{SS} = 0.0\text{ V}$)

項 目	記 号	規 格 値		単 位	備 考
		最 小	最 大		
電源電圧	V_{CC}	3.0	5.5	V	通常動作時 (MB90562A, MB90561A, MB90V560)
		4.5	5.5	V	通常動作時 (MB90F562B)
	V_{CC}	3.0	5.5	V	ストップ動作の状態保持
入力 H 電圧	V_{IH}	$0.7 V_{CC}$	$V_{CC} + 0.3$	V	CMOS 入力の端子
	V_{IHS}	$0.8 V_{CC}$	$V_{CC} + 0.3$	V	CMOS ヒステリシス入力の端子
	V_{IHM}	$V_{CC} - 0.3$	$V_{CC} + 0.3$	V	MD 端子入力
入力 L 電圧	V_{IL}	$V_{SS} - 0.3$	$0.3 V_{CC}$	V	CMOS 入力の端子
	V_{ILS}	$V_{SS} - 0.3$	$0.2 V_{CC}$	V	CMOS ヒステリシス入力の端子
	V_{ILM}	$V_{SS} - 0.3$	$V_{SS} + 0.3$	V	MD 端子入力
平滑コンデンサ	C_S	0.1	1.0	μF	セラミックコンデンサまたは同程度の周波数特性のコンデンサを使用してください。 V_{CC} 端子の平滑コンデンサは C_S よりも大きい容量値のものを使用してください。
動作温度	T_A	- 40	+ 85	$^{\circ}\text{C}$	

・ C 端子接続図



< 注意事項 > 推奨動作条件は、半導体デバイスの正常な動作を保証する条件です。電気的特性の規格値は、すべてこの条件の範囲内で保証されます。常に推奨動作条件下で使用してください。この条件を超えて使用すると、信頼性に悪影響を及ぼすことがあります。

データシートに記載されていない項目、使用条件、論理の組合せでの使用は、保証していません。記載されている以外の条件での使用をお考えの場合は、必ず事前に営業部門までご相談ください。

MB90560/565 シリーズ

3. 直流規格

($T_A = -40\text{ }^{\circ}\text{C} \sim +85\text{ }^{\circ}\text{C}$, $V_{CC} = 5.0\text{ V} \pm 10\%$, $V_{SS} = AV_{SS} = 0.0\text{ V}$)

項 目	記号	端子記号	条 件	規 格 値			単位	備 考
				最小	標準	最大		
出力 H 電圧	V _{OH}	全ての出力端子	V _{CC} = 4.5 V I _{OH} = - 2.0 mA	V _{CC} - 0.5	—	—	V	
出力 L 電圧	V _{OL1}	P30/RTO0 ~ P35/RTO5 以外	V _{CC} = 4.5 V I _{OL1} = 2.0 mA	—	—	0.4	V	
	V _{OL2}	P30/RTO0 ~ P35/RTO5	V _{CC} = 4.5 V I _{OL2} = 12.0 mA	—	—	0.8	V	
入力リーク電流	I _{IL}	全ての出力端子	V _{CC} = 5.5 V V _{SS} < V _I < V _{CC}	- 5	—	5	μA	
電源電流*	I _{CC}	V _{CC}	V _{CC} = 5.0 V 内部周波数 16 MHz 通常動作時	—	50	80	mA	MB90562A, MB90561A
				—	40	50	mA	MB90F562B
			V _{CC} = 5.0 V 内部周波数 16 MHz A/D 動作時	—	55	85	mA	MB90562A, MB90561A
				—	45	55	mA	MB90F562B
	フラッシュ書込み・消去時		—	45	60	mA	MB90F562B	
	I _{CCS}		V _{CC} = 5.0 V 内部周波数 16 MHz スリープ時	—	15	20	mA	MB90562A, MB90561A, MB90F562B *
	I _{CCH}		ストップ時, T _A = 25 °C	—	5	20	μA	
入力容量	C _{IN}	AV _{CC} , AV _{SS} , C, V _{CC} , V _{SS} 以外	—	—	10	80	pF	
プルアップ抵抗	R _{UP}	P00 ~ P07 P10 ~ P17 RST	—	15	30	100	kΩ	
プルダウン抵抗	R _{DOWN}	MD2	—	15	30	100	kΩ	マスク ROM 品のみ

*：内部動作周波数 4 MHz でローパワーモードビット (LPM0, 1) を “01” に設定した状態での値です。

(注意事項) 電流値は特性改善等により予告無く変更する場合があります。電源電流の測定条件は外部クロックです。

MB90560/565 シリーズ

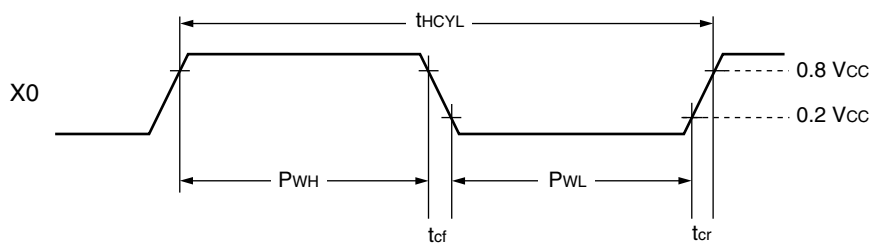
4. 交流規格

(1) クロックタイミング

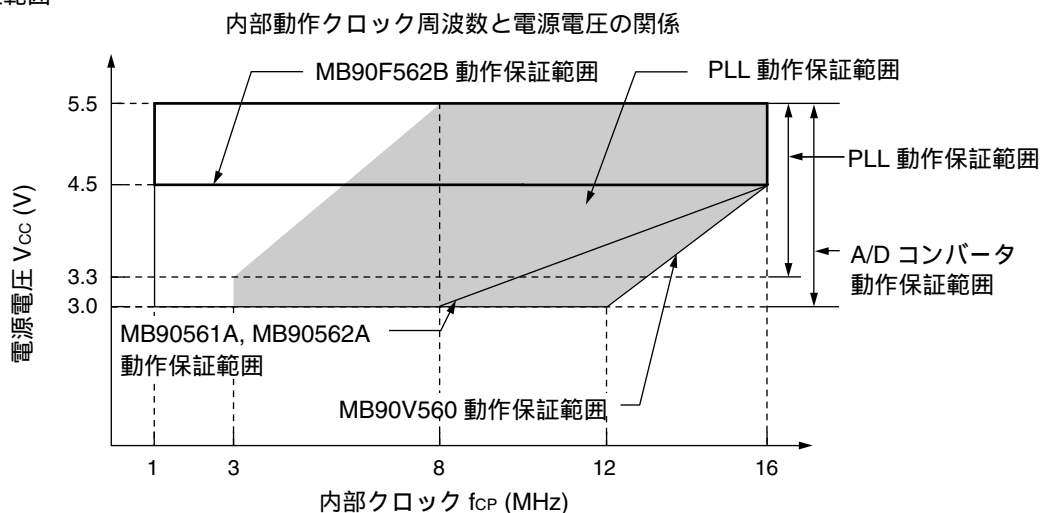
($T_A = -40\text{ }^{\circ}\text{C} \sim +85\text{ }^{\circ}\text{C}$, $V_{CC} = 5.0\text{ V} \pm 10\%$, $V_{SS} = AV_{SS} = 0.0\text{ V}$)

項 目	記号	端子記号	条件	規 格 値			単位	備 考
				最小	標準	最大		
クロック周波数	fc	X0, X1	—	3	—	16	MHz	PLL 使用時
				1	—	16		PLL 未使用時
クロックサイクルタイム	tHCYL	X0, X1		62.5	—	333	ns	PLL 使用時
				62.5	—	1000		PLL 未使用時
入力クロックパルス幅	P _{WH} P _{WL}	X0		10	—	—	ns	Duty 比 30 ~ 70%を目 安としてください
入力クロック 立上り, 立下り時間	tcr tcf	X0		—	—	5	ns	外部クロック時
内部動作クロック周波数	fCP	—		0.5	—	16	MHz	メインクロック使用時
内部動作クロック サイクルタイム	tCP	—		62.5	—	333	ns	メインクロック使用時

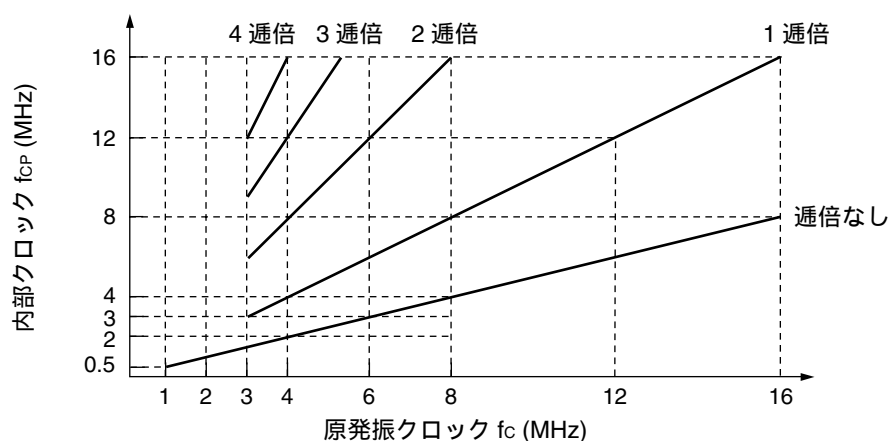
・ X0, X1 クロックタイミング



・ PLL 動作保証範囲



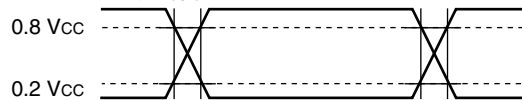
原発振周波数と内部動作クロック周波数の関係



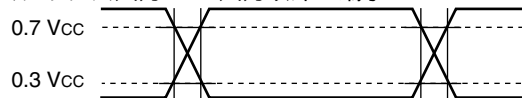
交流規格は以下の測定基準電圧値で規定しています。

・ 入力信号波形

ヒステリシス入力端子

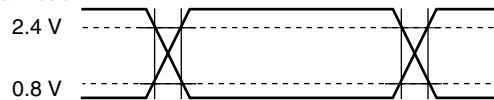


ヒステリシス入力 /MD 入力以外の端子



・ 出力信号波形

出力端子



MB90560/565 シリーズ

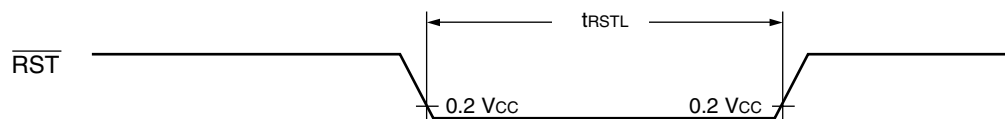
(2) リセット

($T_A = -40^{\circ}\text{C} \sim +85^{\circ}\text{C}$, $V_{CC} = 5.0\text{V} \pm 10\%$, $V_{SS} = AV_{SS} = 0.0\text{V}$)

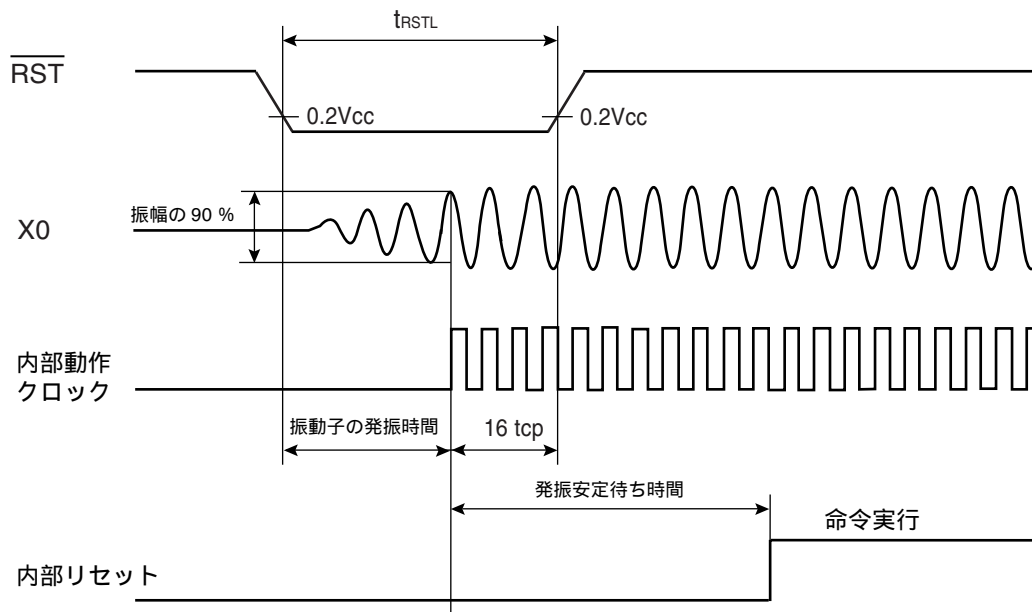
項 目	記号	端子記号	条件	規 格 値		単位	備 考
				最小	最大		
リセット入力時間	tRSTL	$\overline{\text{RST}}$	—	16 tcp	—	ns	通常動作時
				振動子の発振時間* + 16 tcp	—	ms	ストップモード時

*：振動子の発振時間は、振幅の 90 % に達した時間です。水晶発振子は、数 ms ~ 数十 ms, セラミック発振子は、数百 μs ~ 数 ms, 外部クロックは、0 ms となります。

・通常動作時



・ストップモード時



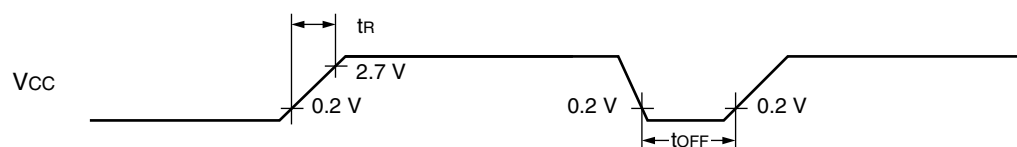
(3) パワーオンリセット

($T_A = -40^\circ\text{C} \sim +85^\circ\text{C}$, $V_{CC} = 5.0\text{ V} \pm 10\%$, $V_{SS} = AV_{SS} = 0.0\text{ V}$)

項 目	記号	端子記号	条件	規 格 値		単位	備 考
				最小	最大		
電源立上り時間	t_R	V_{CC}	—	0.05	30	ms	
電源切断時間	t_{OFF}	V_{CC}		4	—	ms	繰り返し動作の為

(注意事項) ・電源立上げ前は, $V_{CC} < 0.2\text{ V}$ とする必要があります。

- ・上記規格は, パワーオンリセットをかけるための数値です。
- ・デバイス内にはパワーオンリセットによってのみ初期化される内蔵レジスタ類があります。これらの初期化を期待する場合は, この規格に従って電源を投入してください。



電源電圧を急激に変化させるとパワーオンリセットが起動される場合があります。

下図のように, 動作中に電源電圧を変化させる場合は, 電圧の変動をおさえて滑らかに立ち上げることを推奨いたします。また, この場合には PLL クロックを使用していない状態で行ってください。ただし, 電圧降下 1 V/s 以内であれば PLL クロック使用中でも動作可能です。



MB90560/565 シリーズ

(4) UART0, 1 I/O 拡張シリアルタイミング

($T_A = -40^\circ\text{C} \sim +85^\circ\text{C}$, $V_{CC} = 5.0\text{V} \pm 10\%$, $V_{SS} = AV_{SS} = 0.0\text{V}$)

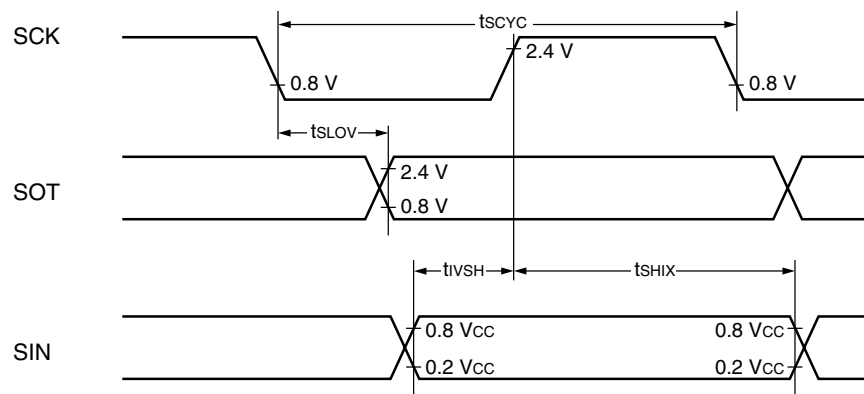
項 目	記号	端子記号	条 件	規 格 値		単位	備考
				最小	最大		
シリアルクロックサイクルタイム	tSCYC	SCK0, SCK1	内部シフトクロック モード出力端子は $C_L = 80\text{ pF} + 1\text{ TTL}$	8 tCP	—	ns	
SCK SOT 遅延時間	tSLOV	SCK0, SCK1 SOT0, SOT1		- 80	80	ns	
有効 SIN SCK	tIVSH	SCK0, SCK1 SIN0, SIN1		100	—	ns	
SCK 有効 SIN ホールド時間	tSHIX	SCK0, SCK1 SIN0, SIN1		60	—	ns	
シリアルクロック“H”パルス幅	tSHSL	SCK0, SCK1	外部シフトクロック モード出力端子は $C_L = 80\text{ pF} + 1\text{ TTL}$	4 tCP	—	ns	
シリアルクロック“L”パルス幅	tSLSH	SCK0, SCK1		4 tCP	—	ns	
SCK SOT 遅延時間	tSLOV	SCK0, SCK1 SOT0, SOT1		—	150	ns	
有効 SIN SCK	tIVSH	SCK0, SCK1 SIN0, SIN1		60	—	ns	
SCK 有効 SIN ホールド時間	tSHIX	SCK0, SCK1 SIN0, SIN1		60	—	ns	

(注意事項) ・CLK 同期モード時の AC 規格です。

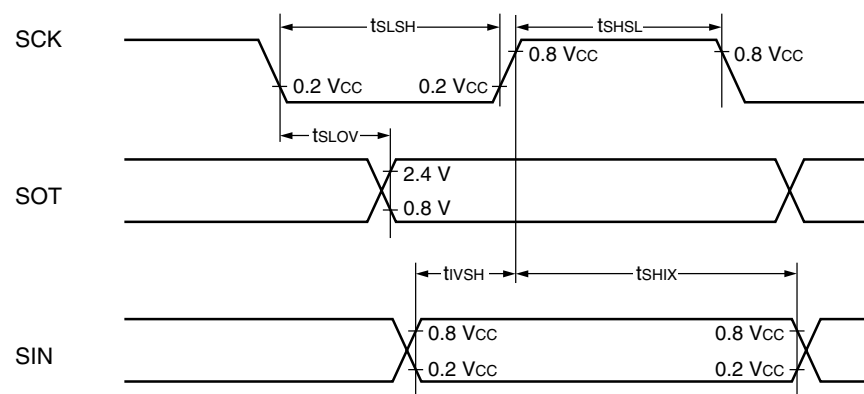
・ C_L は, テスティング時の端子に付けられる負荷容量値です。

・tCP は, マシンサイクル周期 (単位: ns) です。

・内部シフトクロックモード



・外部シフトクロックモード

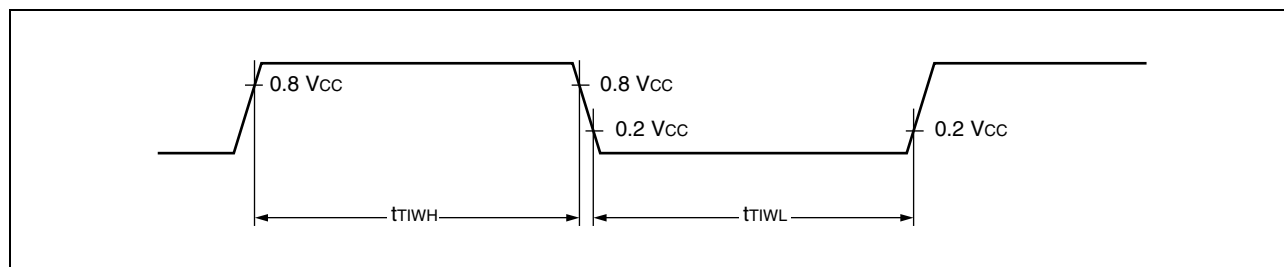


MB90560/565 シリーズ

(5) タイマ入力タイミング

($T_A = -40^{\circ}\text{C} \sim +85^{\circ}\text{C}$, $V_{CC} = 5.0\text{V} \pm 10\%$, $V_{SS} = AV_{SS} = 0.0\text{V}$)

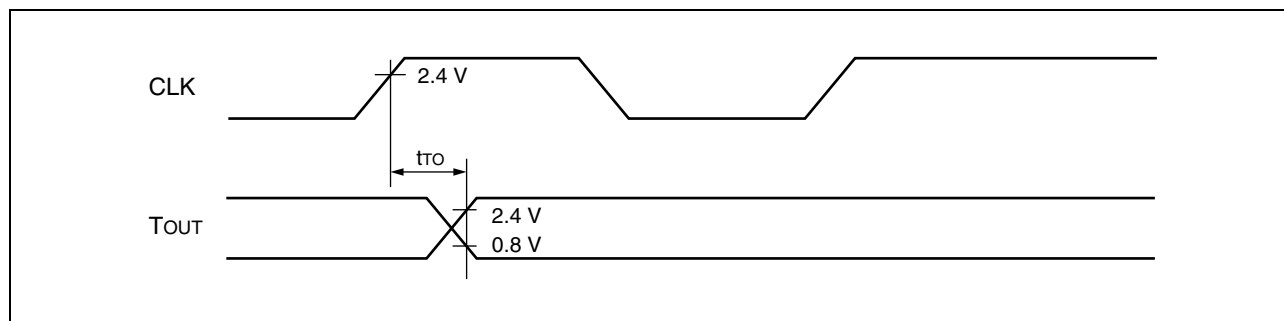
項 目	記号	端子記号	条件	規 格 値		単位	備 考
				最小	最大		
入力パルス幅	t_{TIWH} t_{TIWL}	FRCK IN0, IN1 TIN0, TIN1	—	4 t _{CP}	—	ns	



(6) タイマ出力タイミング

($T_A = -40^{\circ}\text{C} \sim +85^{\circ}\text{C}$, $V_{CC} = 5.0\text{V} \pm 10\%$, $V_{SS} = AV_{SS} = 0.0\text{V}$)

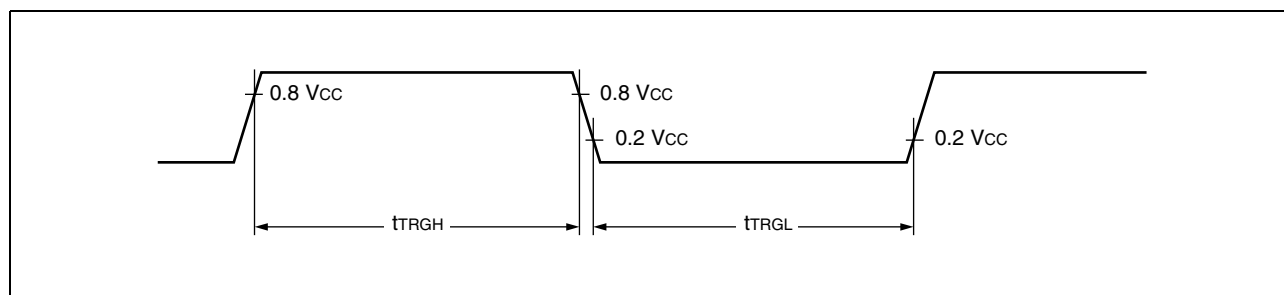
項 目	記号	端子記号	条件	規 格 値		単位	備 考
				最小	最大		
CLK T _{OUT} 変化時間	t _{TO}	RTO0 ~ RTO5 PPG0 ~ PPG5 TO0, TO1	—	30	—	ns	



(7) トリガ入力タイミング

($T_A = -40^{\circ}\text{C} \sim +85^{\circ}\text{C}$, $V_{CC} = 5.0\text{V} \pm 10\%$, $V_{SS} = AV_{SS} = 0.0\text{V}$)

項 目	記号	端子記号	条件	規 格 値		単位	備 考
				最小	最大		
入力パルス幅	t _{TRGH}	INT0 ~ INT7	—	5 t _{CP}	—	ns	通常動作時
	t _{TRGL}	IN0 ~ IN3		1	—	μs	ストップモード時



MB90560/565 シリーズ

5. A/D 変換部電気的特性

($T_A = -40^{\circ}\text{C} \sim +85^{\circ}\text{C}$, 3.0V AVR, $V_{CC} = AV_{CC} = 5.0\text{V} \pm 10\%$, $V_{SS} = AV_{SS} = 0.0\text{V}$)

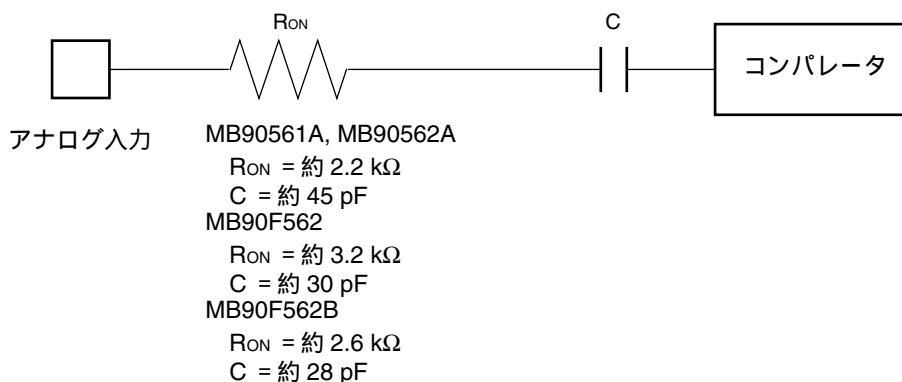
項 目	記号	端子記号	規 格 値			単位	備 考
			最小	標準	最大		
分解能	—	—	—	10	—	bit	
総合誤差	—	—	—	—	± 5.0	LSB	
非直線性誤差	—	—	—	—	± 2.5	LSB	
微分直線性誤差	—	—	—	—	± 1.9	LSB	
ゼロトランジション 電圧	V_{OT}	AN0 ~ AN7	AV_{SS} - 3.5 LSB	AV_{SS} + 0.5 LSB	AV_{SS} + 4.5 LSB	V	1 LSB = (AVR - AV_{SS})/ 1024
フルスケール トランジション電圧	V_{FST}	AN0 ~ AN7	AVR - 6.5 LSB	AVR - 1.5 LSB	AVR + 1.5 LSB	V	
変換時間	—	—	—	176 tcp	—	ns	
サンプリング時間	—	—	—	64 tcp	—	ns	
アナログポート入力 電流	I_{AIN}	AN0 ~ AN7	—	—	10	μA	
アナログ入力電圧	V_{AIN}	AN0 ~ AN7	0	—	AVR	V	
基準電圧	—	AVR	2.7	—	AV_{CC}	V	
電源電流	I_A	AV_{CC}	—	5	—	mA	
	I_{AH}	AV_{CC}	—	—	5	μA	*
基準電圧供給電流	I_R	AVR	—	400	—	μA	
	I_{RH}	AVR	—	—	5	μA	*
チャンネル間ばらつき	—	AN0 ~ AN7	—	—	4	LSB	

* : A/D コンバータ非動作時, CPU ストップ時の電流 ($V_{CC} = AV_{CC} = AVR = 5.0\text{V}$ 時)

(注意事項) ・リファレンス L 側は AV_{SS} に固定です。AVR が小さくなるに従って, 相対的に誤差は大きくなります。

- ・アナログ入力の外部回路の出力インピーダンスは, 以下のような条件で使用してください。
外部回路の出力インピーダンス 10 k Ω (サンプリング時間 = 4.0 μs 時)
- ・外部回路の出力インピーダンスが高すぎる場合, アナログ電圧のサンプリング時間が不足する場合があります。

・アナログ入力回路等価回路図



(注意事項) ここに記した数値は目安にしてください。

6. フラッシュメモリ書き込み / 消去特性

項目	条件	規格値			単位	備考
		最小	標準	最大		
セクタ消去時間	T _A = + 25 °C V _{CC} = 5.0 V	—	1	15	s	内部での消去前書き込み時間を除く
チップ消去時間		—	5	—	s	内部での消去前書き込み時間を除く
ワード (16 ビット幅) 書き込み時間		—	16	3,600	μs	システムレベルのオーバーヘッド時間を除く
書き込み / 消去回数	—	10,000	—	—	cycle	
データ保持期間	—	100,000	—	—	h	

MB90560/565 シリーズ

■ 電気的特性 (MB90565 シリーズ)

1. 絶対最大定格

($V_{SS} = AV_{SS} = 0.0 \text{ V}$)

項 目	記 号	定 格 値		単 位	備 考
		最 小	最 大		
電源電圧	V_{CC}	$V_{SS} - 0.3$	$V_{SS} + 4.0$	V	
	AV_{CC}	$V_{SS} - 0.3$	$V_{SS} + 4.0$	V	$V_{CC} \quad AV_{CC}^{*1}$
	AVR	$V_{SS} - 0.3$	$V_{SS} + 4.0$	V	$AV_{CC} \quad AVR \quad 0 \text{ V}^{*1}$
入力電圧	V_I	$V_{SS} - 0.3$	$V_{SS} + 4.0$	V	*2
出力電圧	V_O	$V_{SS} - 0.3$	$V_{SS} + 4.0$	V	*2
“L” レベル最大出力電流	I_{OL}	—	15	mA	*3
“L” レベル平均出力電流	I_{OLAV}	—	4	mA	平均値 (動作電流 × 動作率)
“L” レベル最大総出力電流	ΣI_{OL}	—	100	mA	
“L” レベル平均総出力電流	ΣI_{OLAV}	—	50	mA	平均値 (動作電流 × 動作率)
“H” レベル最大出力電流	I_{OH}	—	- 15	mA	*3
“H” レベル平均出力電流	I_{OHAV}	—	- 4	mA	平均値 (動作電流 × 動作率)
“H” レベル最大総出力電流	ΣI_{OH}	—	- 100	mA	
“H” レベル平均総出力電流	ΣI_{OHAV}	—	- 50	mA	平均値 (動作電流 × 動作率)
消費電力	P_d	—	300	mW	
動作温度	T_A	- 40	+ 85	°C	
保存温度	T_{stg}	- 55	+ 150	°C	

*1: AV_{CC} は V_{CC} を超えてはいけません。また, AVR は V_{CC} と AV_{CC} を超えてはいけません。

*2: V_I , V_O は $V_{CC} + 0.3 \text{ V}$ を超えてはいけません。

*3: 最大出力電流は, 該当する端子 1 本のピーク値を規定します。

<注意事項> 絶対最大定格を超えるストレス (電圧, 電流, 温度など) の印加は, 半導体デバイスを破壊する可能性があります。したがって, 定格を一項目でも超えることのないようご注意ください。

MB90560/565 シリーズ

2. 推奨動作条件

($V_{SS} = AV_{SS} = 0.0\text{ V}$)

項 目	記 号	規 格 値		単 位	備 考
		最 小	最 大		
電源電圧	V_{CC}	3.0	3.6	V	通常動作時 (MB90V560)
		2.7	3.6	V	通常動作時 (MB90F568, MB90567, MB90568)
		2.5	3.6	V	ストップ動作の状態保持
入力 H 電圧	V_{IH}	$0.7 V_{CC}$	$V_{CC} + 0.3$	V	CMOS 入力の端子
	V_{IHS}	$0.8 V_{CC}$	$V_{CC} + 0.3$	V	CMOS ヒステリシス入力の端子
	V_{IHM}	$V_{CC} - 0.3$	$V_{CC} + 0.3$	V	MD 端子入力
入力 L 電圧	V_{IL}	$V_{SS} - 0.3$	$0.3 V_{CC}$	V	CMOS 入力の端子
	V_{ILS}	$V_{SS} - 0.3$	$0.2 V_{CC}$	V	CMOS ヒステリシス入力の端子
	V_{ILM}	$V_{SS} - 0.3$	$V_{SS} + 0.3$	V	MD 端子入力
動作温度	T_A	- 40	+ 85	°C	

＜注意事項＞ 推奨動作条件は、半導体デバイスの正常な動作を保証する条件です。電気的特性の規格値は、すべてこの条件の範囲内で保証されます。常に推奨動作条件下で使用してください。この条件を超えて使用すると、信頼性に悪影響を及ぼすことがあります。

データシートに記載されていない項目、使用条件、論理の組合せでの使用は、保証していません。記載されている以外の条件での使用をお考えの場合は、必ず事前に営業部門までご相談ください。

MB90560/565 シリーズ

3. 直流規格

($T_A = -40\text{ }^{\circ}\text{C} \sim +85\text{ }^{\circ}\text{C}$, $V_{CC} = 2.7\text{ V} \sim 3.6\text{ V}$, $V_{SS} = AV_{SS} = 0.0\text{ V}$)

項 目	記号	端子記号	条 件	規 格 値			単位	備 考
				最小	標準	最大		
出力 H 電圧	V_{OH}	全ての出力端子	$V_{CC} = 3.0\text{ V}$ $I_{OH} = -2.0\text{ mA}$	$V_{CC} - 0.5$	$V_{CC} - 0.3$	—	V	
出力 L 電圧	V_{OL}	全ての出力端子	$V_{CC} = 3.0\text{ V}$ $I_{OL} = 2.0\text{ mA}$	—	0.2	0.4	V	
入力リーク電流	I_{IL}	全ての出力端子	$V_{CC} = 3.0\text{ V}$ $V_{SS} < V_I < V_{CC}$	- 5	- 1	5	μA	
電源電流*	I_{CC}	V_{CC}	$V_{CC} = 3.3\text{ V}$ 内部周波数 8 MHz 通常動作時	—	14	22	mA	MB90567/568
			$V_{CC} = 3.3\text{ V}$ 内部周波数 16 MHz 通常動作時	—	27	40	mA	MB90567/568
			$V_{CC} = 3.3\text{ V}$ 内部周波数 8 MHz A/D 動作時	—	18	27	mA	MB90567/568
			$V_{CC} = 3.3\text{ V}$ 内部周波数 16 MHz A/D 動作時	—	32	45	mA	MB90567/568
			$V_{CC} = 3.3\text{ V}$ 内部周波数 8 MHz 通常動作時	—	18	28	mA	MB90F568
			$V_{CC} = 3.3\text{ V}$ 内部周波数 16 MHz 通常動作時	—	36	45	mA	MB90F568
			$V_{CC} = 3.3\text{ V}$ 内部周波数 8 MHz A/D 動作時	—	23	33	mA	MB90F568
			$V_{CC} = 3.3\text{ V}$ 内部周波数 16 MHz A/D 動作時	—	41	50	mA	MB90F568
			フラッシュ書込み・消去時	—	40	50	mA	MB90F568
	I_{CCS}	V_{CC}	$V_{CC} = 3.3\text{ V}$ 内部周波数 8 MHz スリープ時	—	6	10	mA	MB90567/568 MB90F568 *
			$V_{CC} = 3.3\text{ V}$ 内部周波数 16 MHz スリープ時	—	14	20	mA	MB90567/568 MB90F568 *
	I_{CCH}	V_{CC}	ストップ時, $T_A = 25\text{ }^{\circ}\text{C}$	—	5	20	μA	
ブルアップ抵抗	R_{UP}	P00 ~ P07 P10 ~ P17 RST	—	20	65	200	k Ω	
ブルダウン抵抗	R_{DOWN}	MD2	—	20	65	200	k Ω	マスク ROM 品のみ

*：内部動作周波数 8 MHz でローパワーモードビット (LPM0, 1) を “01” に設定した状態での値です。

(注意事項) 電流値は特性改善等により予告無く変更する場合があります。電源電流の測定条件は外部クロックです。

MB90560/565 シリーズ

4. 交流規格

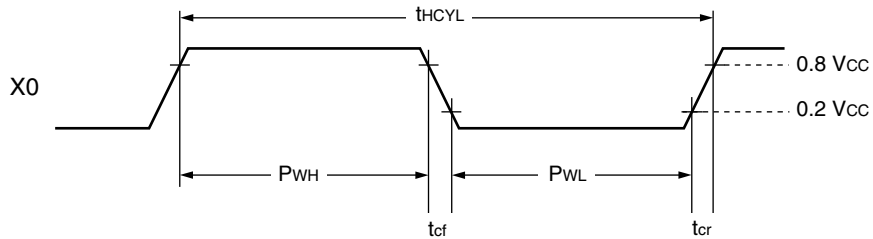
(1) クロックタイミング

(MB90567/568/F568 : $T_A = -40^\circ\text{C} \sim +85^\circ\text{C}$, $V_{CC} = 2.7\text{ V} \sim 3.6\text{ V}$, $V_{SS} = AV_{SS} = 0.0\text{ V}$)

(MB90V560 : $T_A = +25^\circ\text{C}$, $V_{CC} = 2.7\text{ V} \sim 3.6\text{ V}$, $V_{SS} = AV_{SS} = 0.0\text{ V}$)

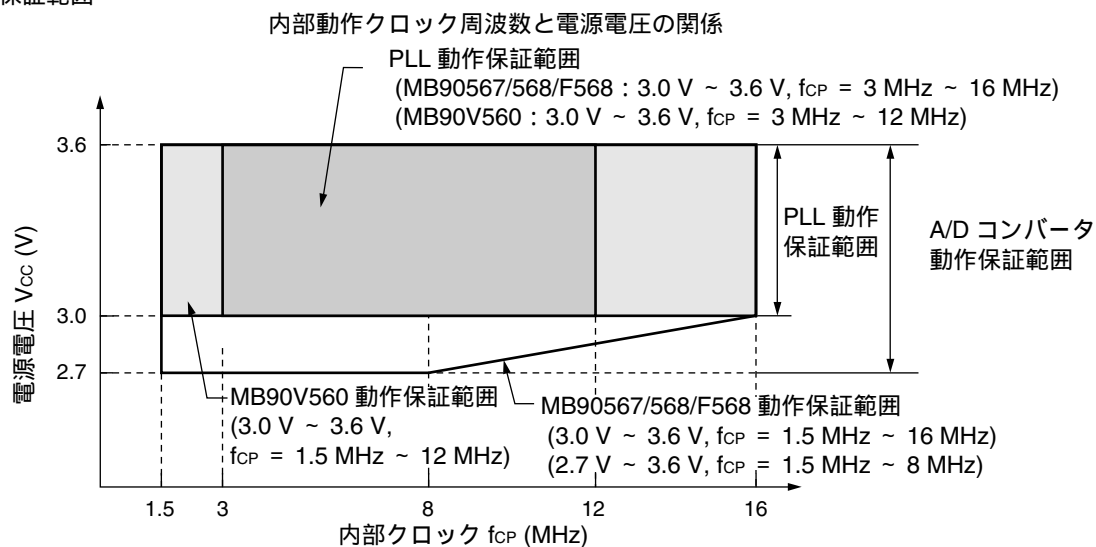
項 目	記号	端子記号	条件	規 格 値			単位	備 考
				最小	標準	最大		
クロック周波数	fc	X0, X1	—	3	—	12	MHz	MB90V560
				3	—	16	MHz	MB90567/568 MB90F568
クロックサイクルタイム	thCYL	X0, X1		83.3	—	333	ns	MB90V560
				62.5	—	333	ns	MB90567/568 MB90F568
入力クロックパルス幅	P _{WH} P _{WL}	X0		10	—	—	ns	Duty 比 30 ~ 70%を目 安としてください
入力クロック 立上り、立下り時間	t _{cr} t _{cf}	X0		—	—	5	ns	外部クロック時
内部動作クロック周波数	f _{CP}	—		1.5	—	12	MHz	MB90V560
				1.5	—	16	MHz	MB90567/568 MB90F568
内部動作クロック サイクルタイム	t _{CP}	—		83.3	—	666	ns	MB90V560
				62.5	—	666	ns	MB90567/568 MB90F568

・ X0, X1 クロックタイミング

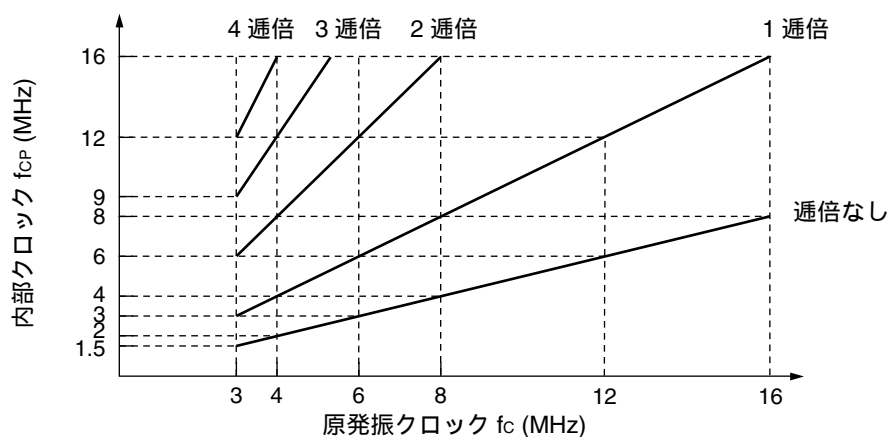


MB90560/565 シリーズ

・ PLL 動作保証範囲



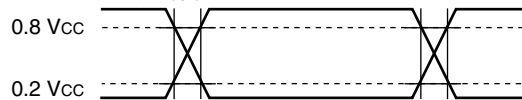
原発振周波数と内部動作クロック周波数の関係



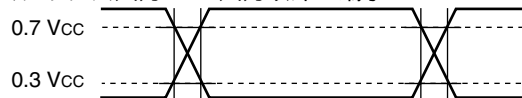
交流規格は以下の測定基準電圧値で規定しています。

・ 入力信号波形

ヒステリシス入力端子

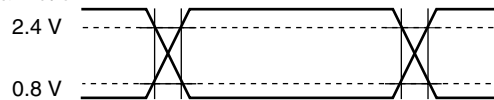


ヒステリシス入力 /MD 入力以外の端子



・ 出力信号波形

出力端子



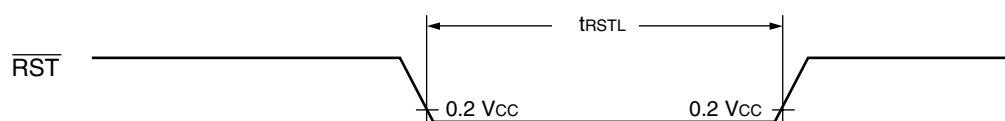
(2) リセット

($T_A = -40^{\circ}\text{C} \sim +85^{\circ}\text{C}$, $V_{CC} = 2.7\text{V} \sim 3.6\text{V}$, $V_{SS} = AV_{SS} = 0.0\text{V}$)

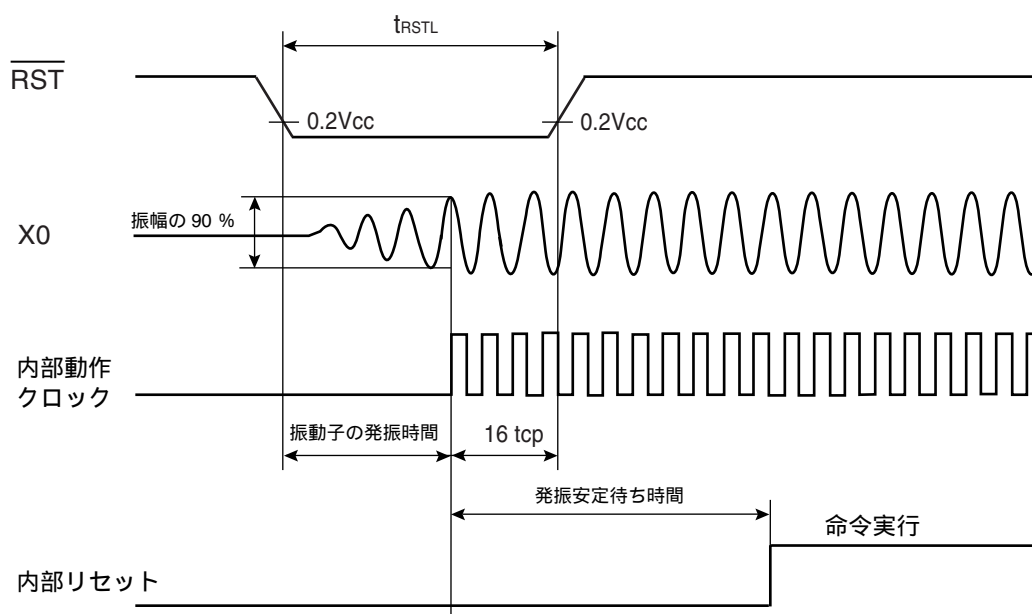
項 目	記号	端子記号	条件	規 格 値		単位	備 考
				最小	最大		
リセット入力時間	trSTL	$\overline{\text{RST}}$	—	16 tcp	—	ns	通常動作時
				振動子の発振時間* + 16tcp	—	ms	ストップモード時

*：振動子の発振時間は、振幅の 90% に達した時間です。水晶発振子は数 ms ~ 数十 ms, セラミック発振子は数百 μs ~ 数 ms, 外部クロックは 0 ms となります。

・通常動作時



・ストップモード時



MB90560/565 シリーズ

(3) パワーオンリセット

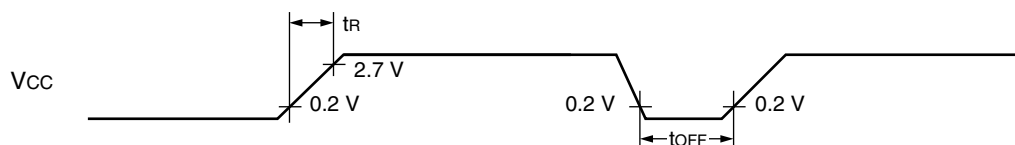
($T_A = -40^{\circ}\text{C} \sim +85^{\circ}\text{C}$, $V_{CC} = 2.7\text{ V} \sim 3.6\text{ V}$, $V_{SS} = AV_{SS} = 0.0\text{ V}$)

項 目	記号	端子記号	条件	規 格 値		単位	備 考
				最小	最大		
電源立上り時間	t_R	V_{CC}^*	—	0.05	30	ms	
電源切断時間	t_{OFF}	V_{CC}		4	—	ms	繰り返し動作の為

*：電源立上げ前は、 $V_{CC} < 0.2\text{ V}$ とする必要があります。

(注意事項)・上記規格は、パワーオンリセットをかけるための数値です。

- ・デバイス内にはパワーオンリセットによってのみ初期化される内蔵レジスタ類があります。これらの初期化を期待する場合は、この規格に従って電源を投入してください。



電源電圧を急激に変化させるとパワーオンリセットが起動される場合があります。下図のように、動作中に電源電圧を変化させる場合は、電圧の変動をおさえて滑らかに立ち上げることを推奨いたします。また、この場合には PLL クロックを使用していない状態で行ってください。ただし、電圧降下 1 V/s 以内であれば PLL クロック使用中でも動作可能です。



MB90560/565 シリーズ

(4) UART0, 1

($T_A = -40^{\circ}\text{C} \sim +85^{\circ}\text{C}$, $V_{CC} = 2.7\text{ V} \sim 3.6\text{ V}$, $V_{SS} = AV_{SS} = 0.0\text{ V}$)

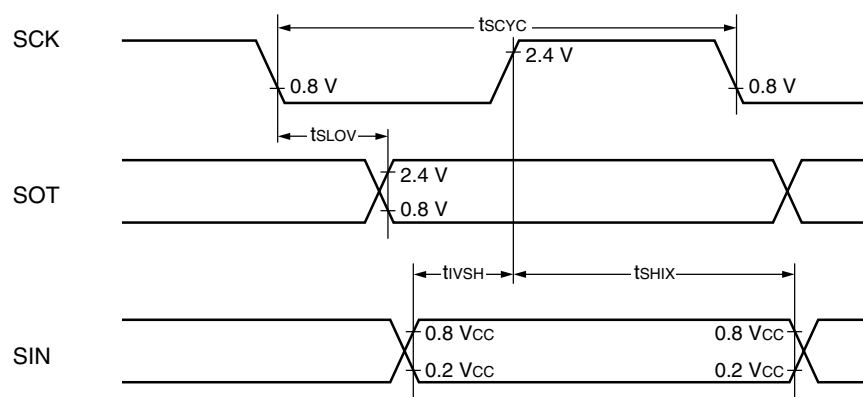
項 目	記号	端子記号	条 件	規 格 値		単位	備考
				最小	最大		
シリアルクロックサイクルタイム	tSCYC	SCK0, SCK1	内部シフトクロック モード出力端子は $C_L = 80\text{ pF} + 1\text{ TTL}$	8 tCP	—	ns	
SCK SOT 遅延時間	tSLOV	SCK0, SCK1 SOT0, SOT1		- 80	80	ns	
有効 SIN SCK	tIVSH	SCK0, SCK1 SIN0, SIN1		100	—	ns	
SCK 有効 SIN ホールド時間	tSHIX	SCK0, SCK1 SIN0, SIN1		60	—	ns	
シリアルクロック“H”パルス幅	tSHSL	SCK0, SCK1	外部シフトクロック モード出力端子は $C_L = 80\text{ pF} + 1\text{ TTL}$	4 tCP	—	ns	
シリアルクロック“L”パルス幅	tSLSH	SCK0, SCK1		4 tCP	—	ns	
SCK SOT 遅延時間	tSLOV	SCK0, SCK1 SOT0, SOT1		—	150	ns	
有効 SIN SCK	tIVSH	SCK0, SCK1 SIN0, SIN1		60	—	ns	
SCK 有効 SIN ホールド時間	tSHIX	SCK0, SCK1 SIN0, SIN1		60	—	ns	

(注意事項) ・CLK 同期モード時の AC 規格です。

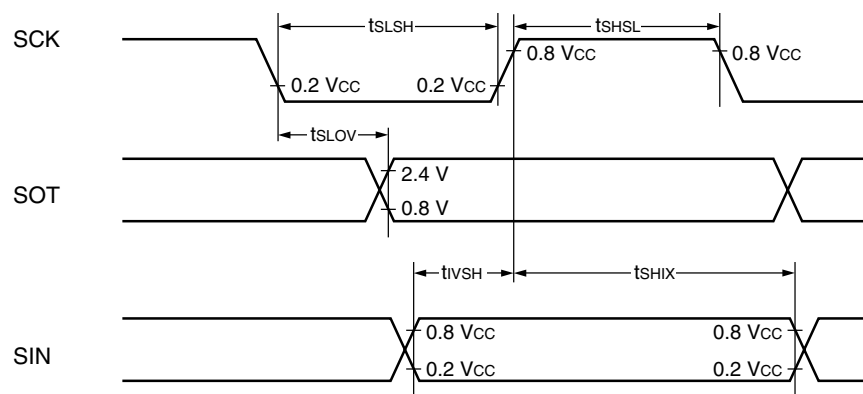
・ C_L は、テスト時の端子に付けられる負荷容量値です。

・tCP は、マシンサイクル周期 (単位: ns) です。

・内部シフトクロックモード



・外部シフトクロックモード

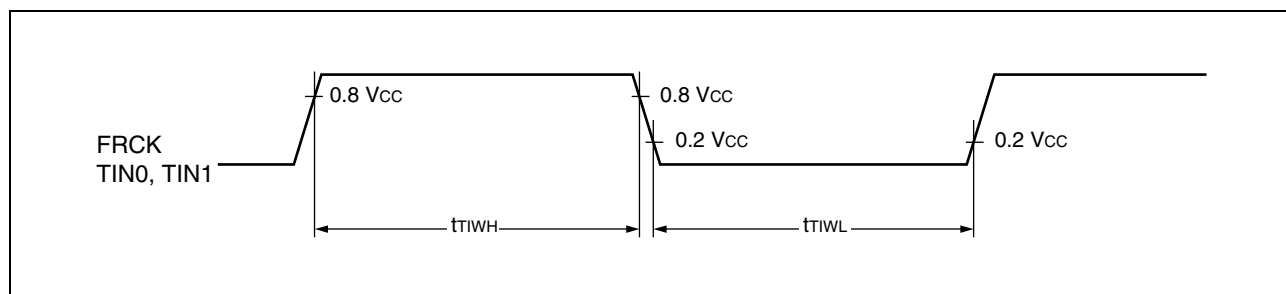


MB90560/565 シリーズ

(5) タイマ入力タイミング

($T_A = -40^{\circ}\text{C} \sim +85^{\circ}\text{C}$, $V_{CC} = 2.7\text{V} \sim 3.6\text{V}$, $V_{SS} = AV_{SS} = 0.0\text{V}$)

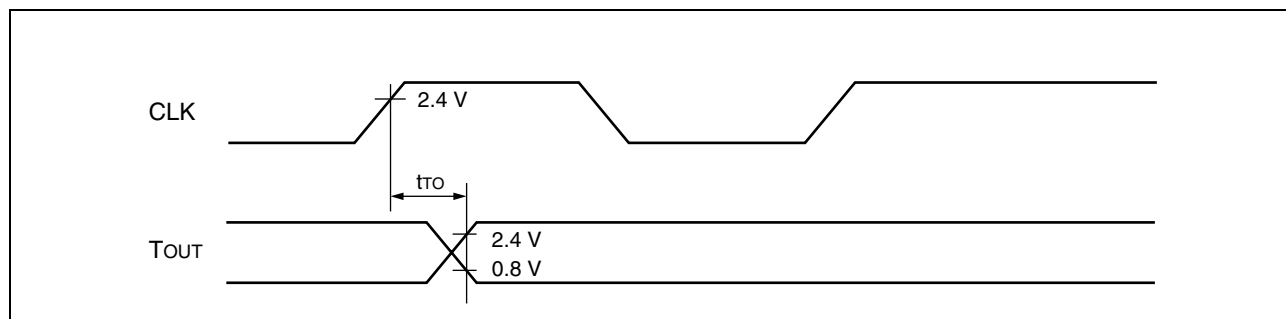
項 目	記号	端子記号	条件	規 格 値		単位	備 考
				最小	最大		
入力パルス幅	t _{TIWH} t _{TIWL}	FRCK TIN0, TIN1	—	4 t _{CP}	—	ns	



(6) タイマ出力タイミング

($T_A = -40^{\circ}\text{C} \sim +85^{\circ}\text{C}$, $V_{CC} = 2.7\text{V} \sim 3.6\text{V}$, $V_{SS} = AV_{SS} = 0.0\text{V}$)

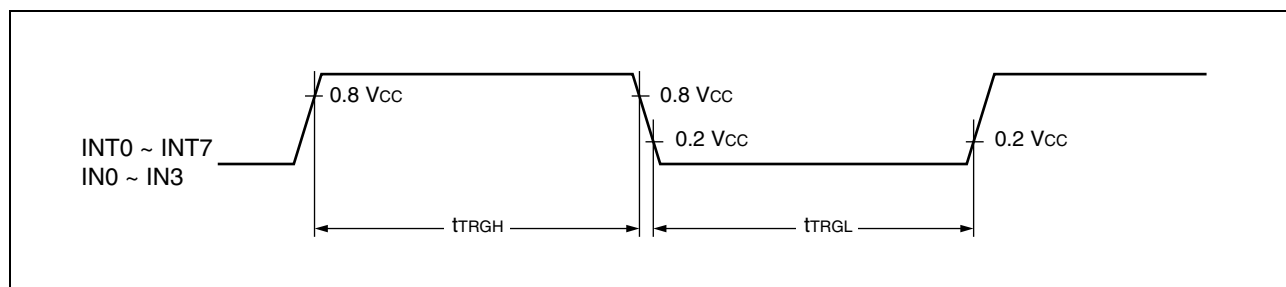
項 目	記号	端子記号	条件	規 格 値		単位	備 考
				最小	最大		
CLK T _{OUT} 変化時間	t _{tro}	RTO0 ~ RTO5 PPG0 ~ PPG5 TO0, TO1	—	30	—	ns	



(7) トリガ入力タイミング

($T_A = -40^{\circ}\text{C} \sim +85^{\circ}\text{C}$, $V_{CC} = 2.7\text{V} \sim 3.6\text{V}$, $V_{SS} = AV_{SS} = 0.0\text{V}$)

項 目	記号	端子記号	条件	規 格 値		単位	備 考
				最小	最大		
入力パルス幅	t _{TRGH}	INT0 ~ INT7	—	5 t _{CP}	—	ns	通常動作時
	t _{TRGL}	IN0 ~ IN3		1	—	μs	ストップモード時



MB90560/565 シリーズ

5. A/D 変換部電気的特性

(MB90567/568/F568 : $T_A = -40^\circ\text{C} \sim +85^\circ\text{C}$, 2.7 V AVR, $V_{CC} = AV_{CC} = 2.7\text{ V} \sim 3.6\text{ V}$, $V_{SS} = AV_{SS} = 0.0\text{ V}$)

(MB90V560 : $T_A = +25^\circ\text{C}$, 3.0 V AVR, $V_{CC} = AV_{CC} = 3.0\text{ V} \sim 3.6\text{ V}$, $V_{SS} = AV_{SS} = 0.0\text{ V}$)

項 目	記号	端子記号	規 格 値			単位	備 考
			最小	標準	最大		
分解能	—	—	—	—	10	bit	
総合誤差	—	—	—	—	± 3.0	LSB	
非直線性誤差	—	—	—	—	± 2.5	LSB	
微分直線性誤差	—	—	—	—	± 1.9	LSB	
ゼロトランジション 電圧	V_{OT}	AN0 ~ AN7	AV_{SS} - 1.5 LSB	AV_{SS} + 0.5 LSB	AV_{SS} + 2.5 LSB	V	1 LSB = (AVR - AV_{SS})/ 1024
フルスケール トランジション電圧	V_{FST}	AN0 ~ AN7	AVR - 3.5 LSB	AVR - 1.5 LSB	AVR + 0.5 LSB	V	
変換時間	—	—	—	66 tcp	—	ns	
サンプリング時間	—	—	—	32 tcp	—	ns	
アナログポート入力 電流	I_{AIN}	AN0 ~ AN7	—	—	10	μA	
アナログ入力電圧	V_{AIN}	AN0 ~ AN7	0	—	AVR	V	
基準電圧	—	AVR	2.7	—	AV_{CC}	V	
電源電流	I_A	AV_{CC}	—	1	5	mA	
	I_{AH}	AV_{CC}	—	—	5	μA	*
基準電圧供給電流	I_R	AVR	—	100	200	μA	
	I_{RH}	AVR	—	—	5	μA	*
チャンネル間ばらつき	—	AN0 ~ AN7	—	—	4	LSB	

* : A/D コンバータ非動作時, CPU ストップ時の電流 ($V_{CC} = AV_{CC} = AVR = 3.3\text{ V}$ 時)

(注意事項) ・リファレンス L 側は AV_{SS} に固定です。AVR が小さくなるに従って, 相対的に誤差は大きくなります。

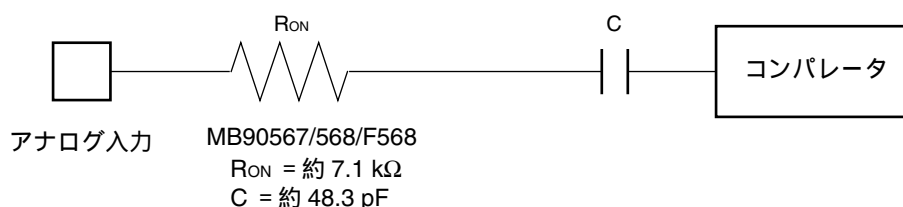
・アナログ入力的外部回路の出力インピーダンスは, 以下のような条件で使用してください。

MB90F568 の外部回路の出力インピーダンス 4 k Ω (サンプリング時間 = 4 μs 時)

MB90567/568 の外部回路の出力インピーダンス 7 k Ω (サンプリング時間 = 4 μs 時)

・外部回路の出力インピーダンスが高すぎる場合, アナログ電圧のサンプリング時間が不足する場合があります。

・アナログ入力回路等価回路図



(注意事項) ここに記した数値は目安にしてください。

MB90560/565 シリーズ

6. フラッシュメモリ書込み / 消去特性

項目	条件	規格値			単位	備考
		最小	標準	最大		
セクタ消去時間	T _A = + 25 °C V _{CC} = 3.3 V	—	1	15	s	内部での消去前書込み時間を除く
チップ消去時間		—	5	—	s	内部での消去前書込み時間を除く
ワード (16 ビット幅) 書込み時間		—	16	3,600	μs	システムレベルのオーバヘッド時間を除く
書込み / 消去回数	—	10,000	—	—	cycle	
データ保持期間	—	100,000	—	—	h	

7. MB90F568/567/568 仕様上の注意点について

MB90F568/567/568 と MB90F562B/562A/561A の比較仕様および注意事項を以下に示します。

(1) 仕様機能変更箇所

- 1) MB96565 シリーズでは、5 V-3 V レギュレータを削除しています。
C 端子は N.C. 端子となります。
- 2) MB96565 シリーズでは、A/D コンバータ変換部分を 5 V 用から 3 V 用へ変更しています。
ただし、変換時間・サンプリング時間には変更ありません。
- 3) MB96565 シリーズでは、I/O 端子の耐圧が 5 V から 3 V に変更になっています。
- 4) MB96565 シリーズでは、UART の転送カウンタクリア機能を追加しています。
この機能は、UART リセットビットへ“0”を書込むことにより、UART だけを初期状態へ戻す機能です。

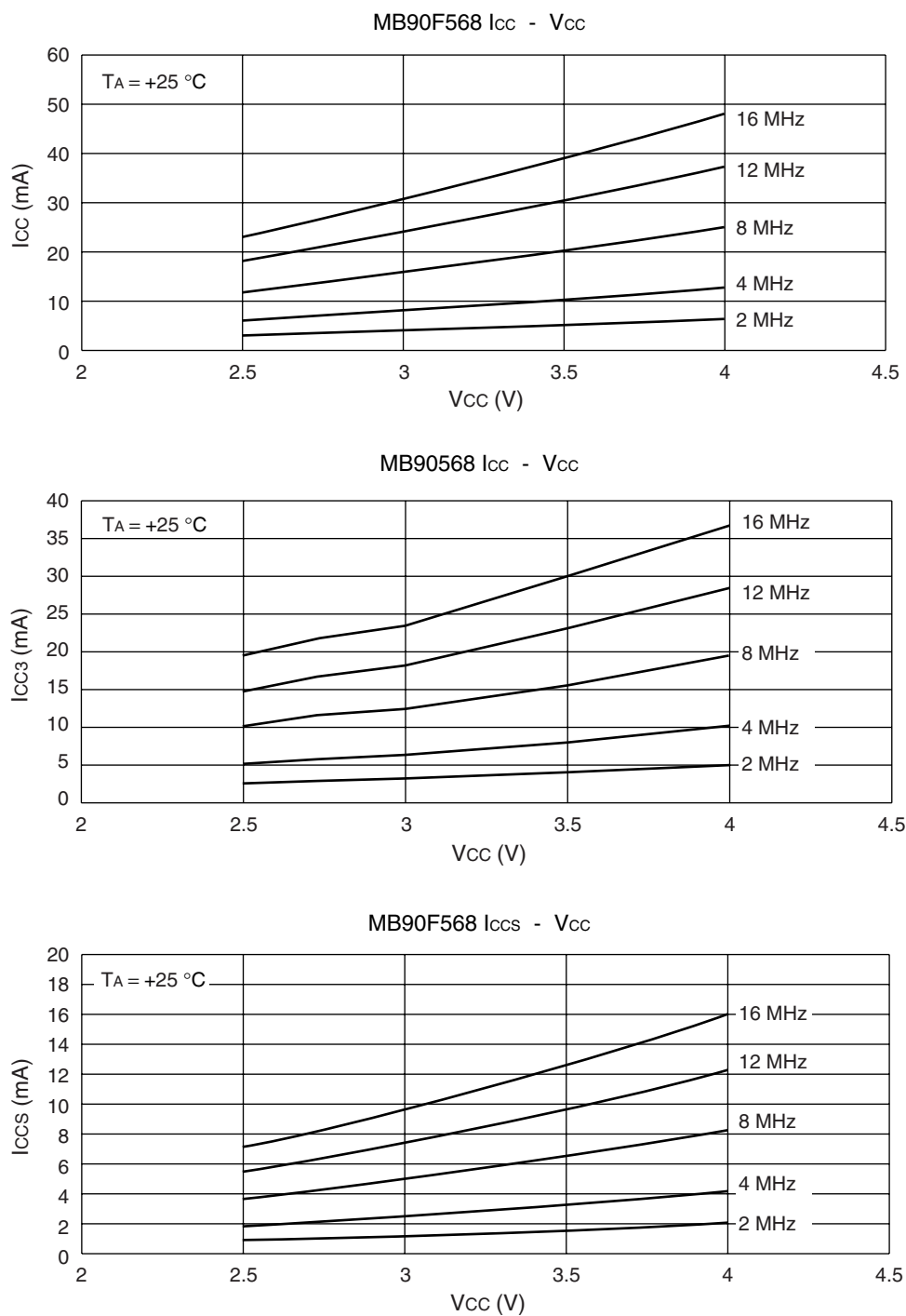
(2) 使用上の注意点

MB90F562B/F568 はオンボード書込みにおいて、SIN1 に P60 (14)、SOT1 に P61 (15)、SCK0 に P40 (60) を使用します。
また、オンボード書込み時は以下の表に示す端子設定を使用します。

端子名	端子入出力レベル*	備 考
MD2	“H” レベル	シリアル書込みモードの設定
MD1	“H” レベル	
MD0	“L” レベル	
SIN1	シリアルデータ入力	通常時 P60 と兼用
SOT1	シリアルデータ出力	通常時 P61 と兼用
SCK0	シリアルクロック	通常時 P40 と兼用
P00	“L” レベル	
P01	“H” レベル	PC 書込み時は“L” レベル入力

*： 設定については、横河デジタルコンピュータ株式会社製のオンボード書込み用ライターを使用した場合です。他に、PC からの書込みもできますが専用のライトプログラムが別途必要です。

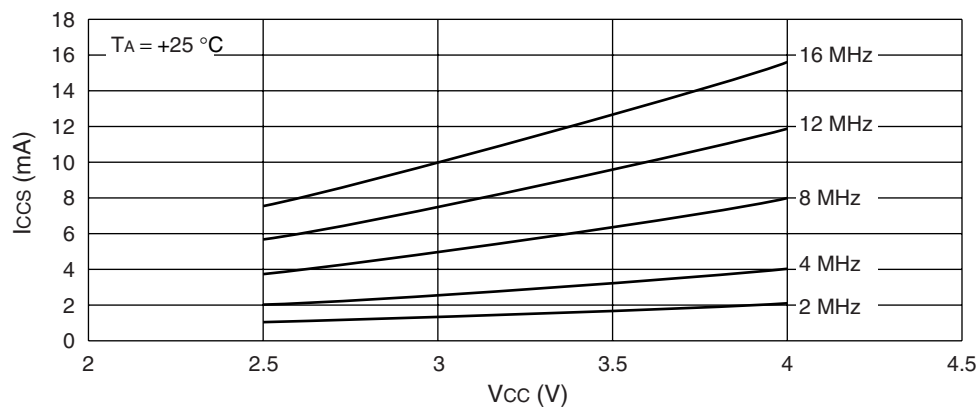
■ 特性例



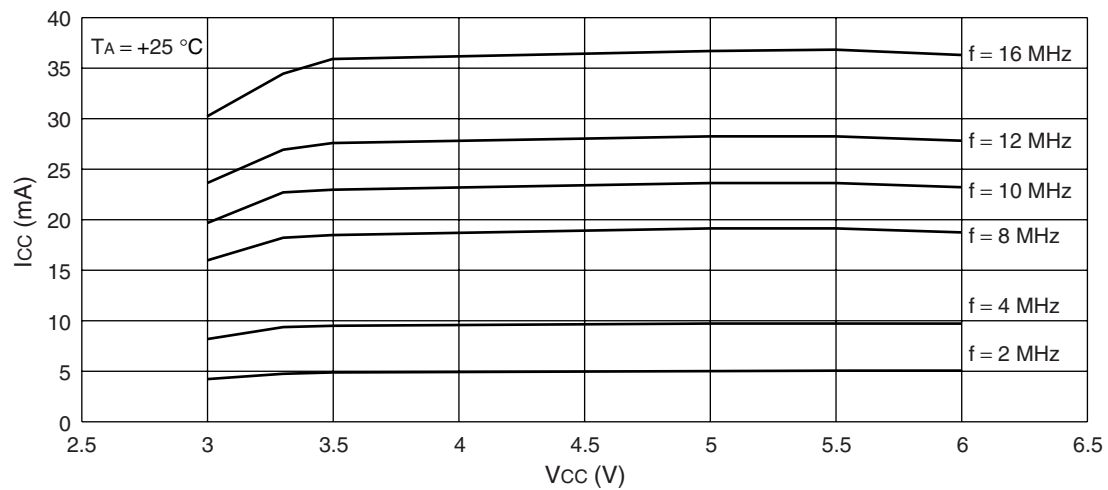
(続く)

MB90560/565 シリーズ

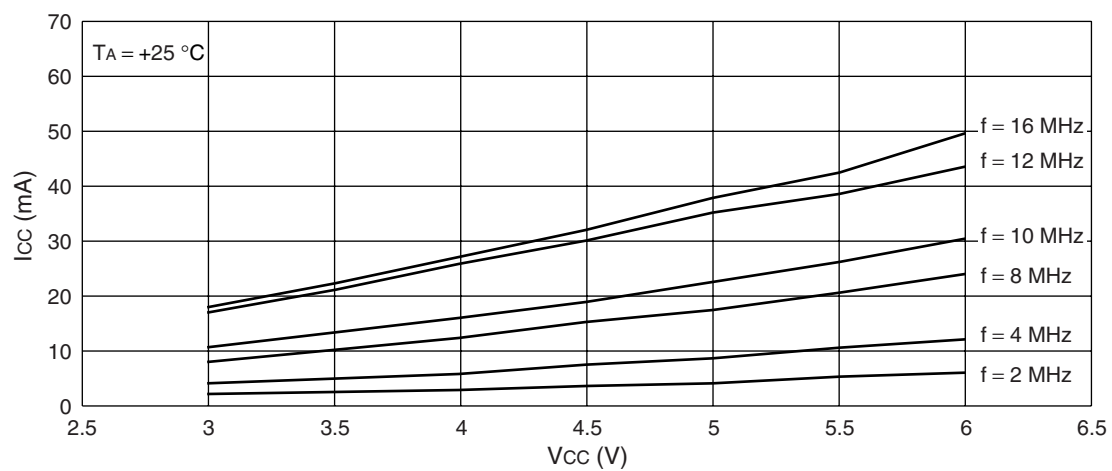
MB90568 I_{CCS} - V_{CC}



MB90F562 I_{CC} - V_{CC}

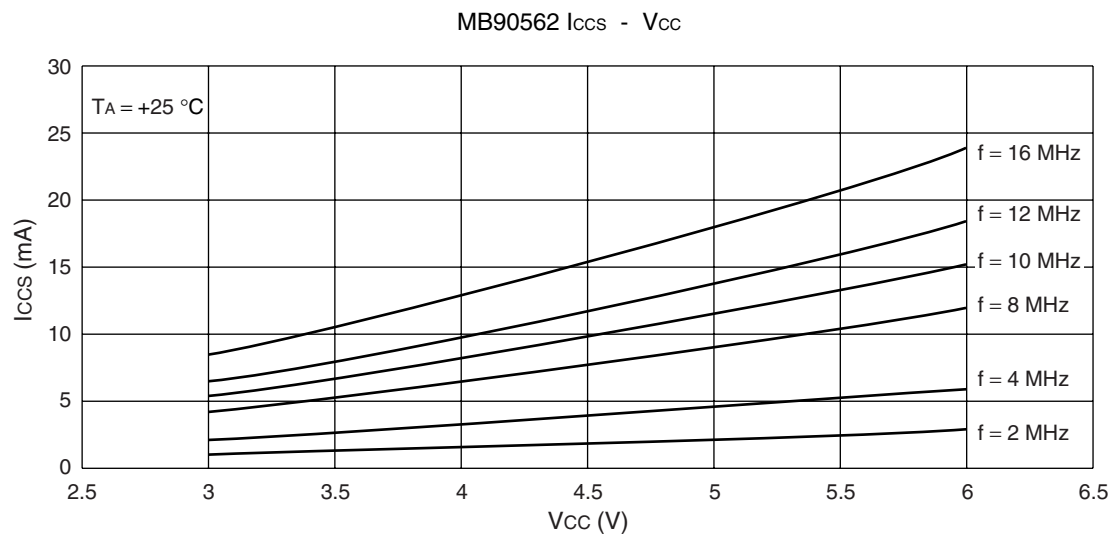
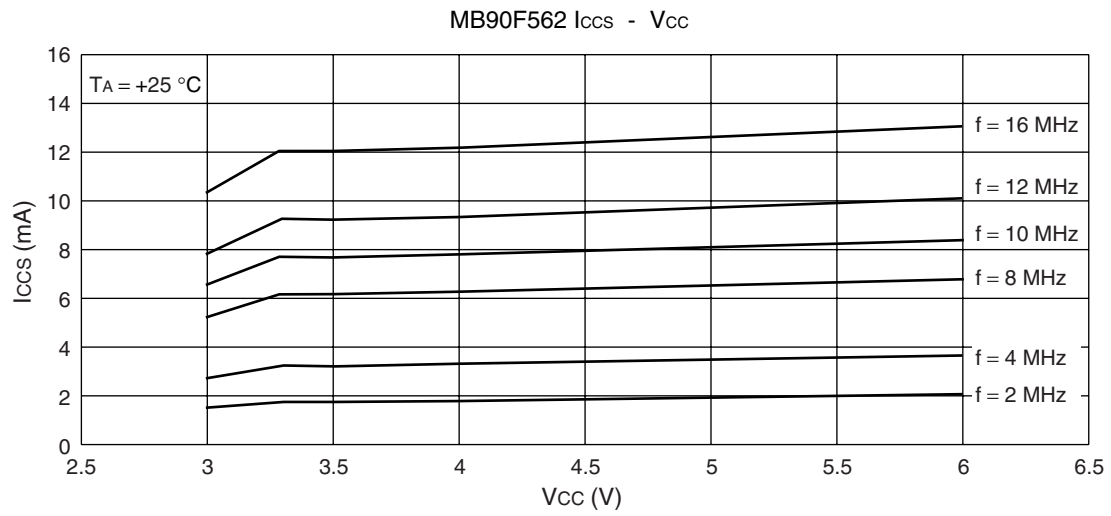


MB90562 I_{CC} - V_{CC}



(続く)

(続き)



MB90560/565 シリーズ

■ オーダ型格

・ MB90560 シリーズ

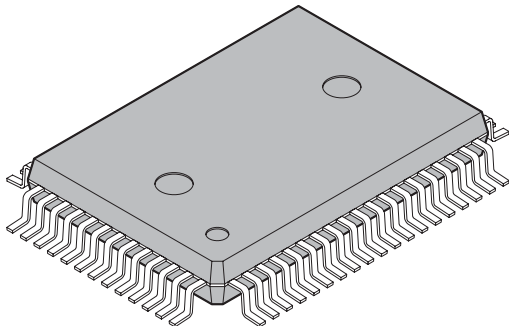
型 格	パッケージ	備 考
MB90561AP MB90562AP MB90F562BP	プラスチック・SH-DIP, 64 ピン (DIP-64P-M01)	
MB90561APF MB90562APF MB90F562BPF	プラスチック・QFP, 64 ピン (FPT-64P-M06)	
MB90561APMC MB90562APMC MB90F562BPMC	プラスチック・LQFP, 64 ピン (FPT-64P-M23)	

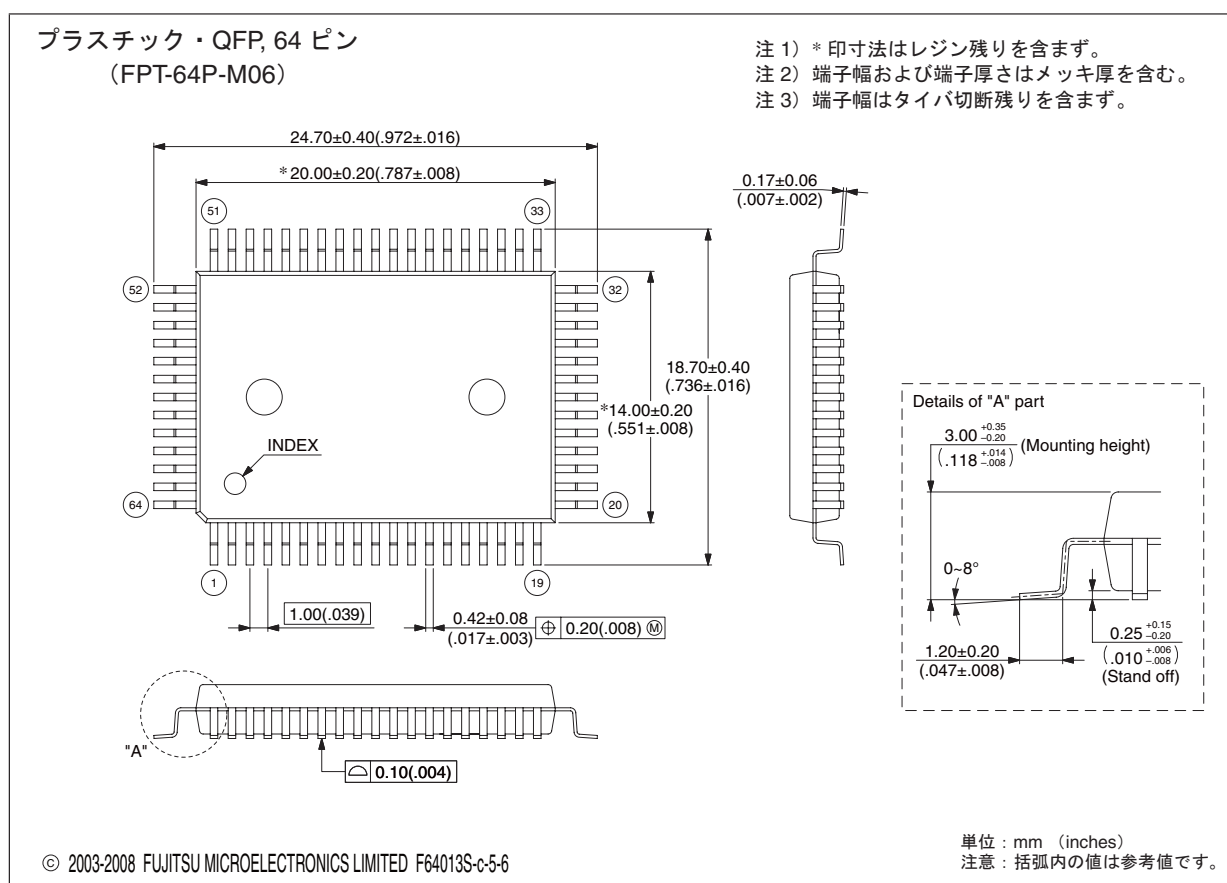
・ MB90565 シリーズ

型 格	パッケージ	備 考
MB90567PF MB90568PF MB90F568PF	プラスチック・QFP, 64 ピン (FPT-64P-M06)	
MB90567PMC MB90568PMC MB90F568PMC	プラスチック・LQFP, 64 ピン (FPT-64P-M23)	

MB90560/565 シリーズ

■ パッケージ・外形寸法図

<p>プラスチック・QFP, 64 ピン</p>  <p>(FPT-64P-M06)</p>	リードピッチ	1.00mm
	パッケージ幅× パッケージ長さ	14 × 20mm
	リード形状	ガルウィング
	封止方法	プラスチックモールド
	取付け高さ	3.35mm MAX
	コード (参考)	P-QFP64-14×20-1.00

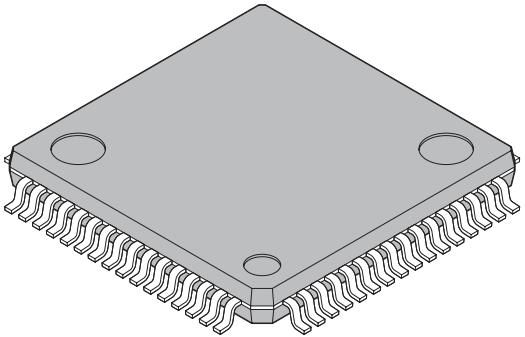


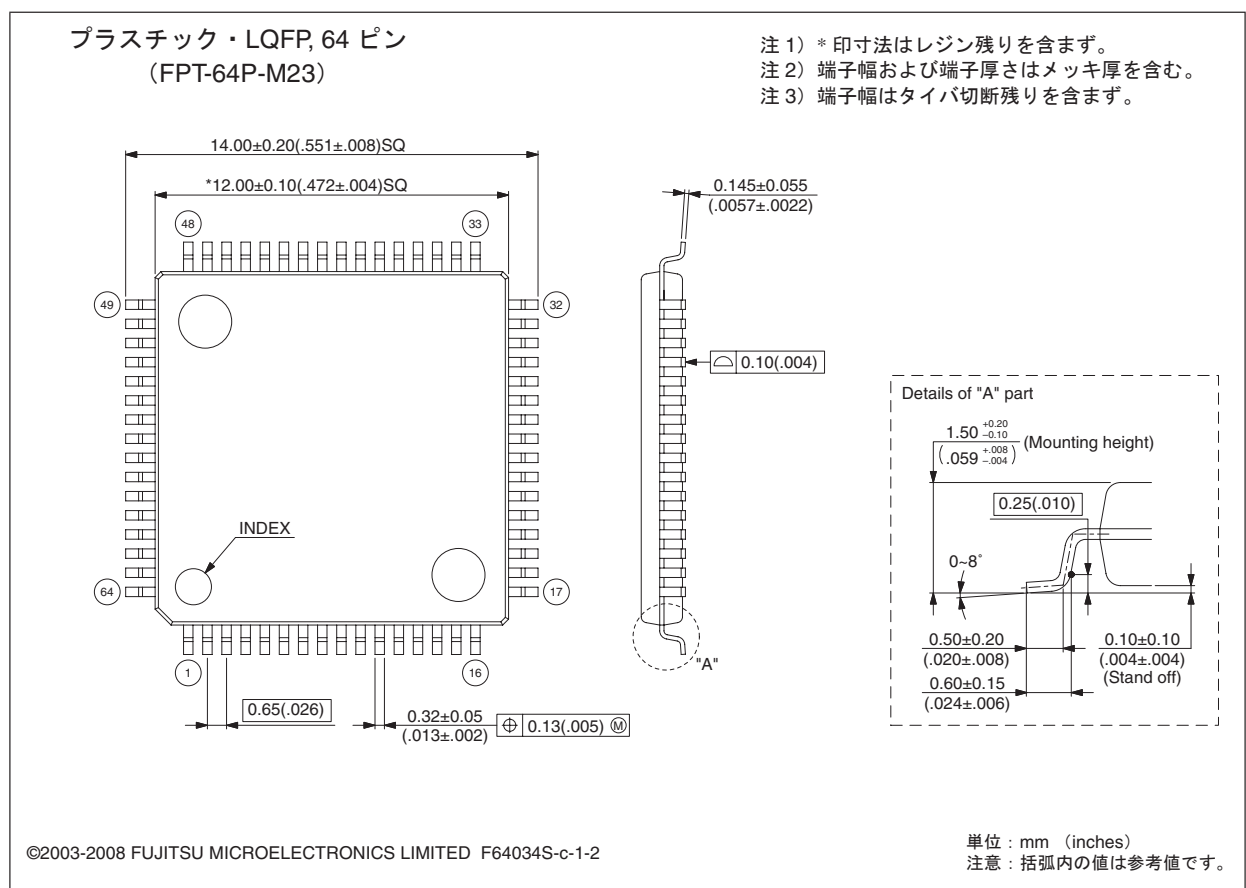
最新の外形寸法図については, 下記 URL にてご確認ください。
<http://edevice.fujitsu.com/package/jp-search/>

(続く)

MB90560/565 シリーズ

(続き)

<p>プラスチック・LQFP, 64 ピン</p>  <p>(FPT-64P-M23)</p>	リードピッチ	0.65mm
	パッケージ幅× パッケージ長さ	12.0 × 12.0mm
	リード形状	ガルウィング
	封止方法	プラスチックモールド
	取付け高さ	1.70mm MAX
	コード (参考)	P-LFQFP64-12×12-0.65



最新の外形寸法図については、下記 URL にてご確認ください。
<http://edevic.fujitsu.com/package/jp-search/>

MB90560/565 シリーズ

■ 本版での主な変更内容

ページ	場所	変更箇所
—	—	旧品種の MB90561, MB90562, MB90F562 の記載を削除
—	—	パッケージ変更 (FPT-64P-M09 FPT-64P-M23)
50	■ 周辺リソース 13. 1M ビットフラッシュメモリ	「・富士通マイクロエレクトロニクス標準シリアルオンボード 書込みの標準構成」を削除
60	■ 電気的特性 (90560 シリーズ) 5. A/D 変換部電気的特性	「ゼロトランジション電圧」および「フルスケールトランジション電圧」 の項目を修正
71	■ 電気的特性 (90565 シリーズ) 5. A/D 変換部電気的特性	「ゼロトランジション電圧」および「フルスケールトランジション電圧」 の項目を修正
76	■ オータ型格	オータ型格を変更 (MB90561APFM MB90561APMC MB90562APFM MB90562APMC MB90F562BPFM MB90F562BPMC MB90567PFM MB90567PMC MB90568PFM MB90568PMC MB90F568PFM MB90F568PMC)
78	■ 外形寸法図	パッケージ図変更 (FPT-64P-M09 FPT-64P-M23)

変更箇所は、本文中のページ左側の | によって示しています。

富士通マイクロエレクトロニクス株式会社

〒163-0722 東京都新宿区西新宿 2-7-1 新宿第一生命ビル
<http://jp.fujitsu.com/fml/>

お問い合わせ先

富士通エレクトロニクス株式会社

〒163-0731 東京都新宿区西新宿 2-7-1 新宿第一生命ビル
<http://jp.fujitsu.com/fei/>

電子デバイス製品に関するお問い合わせは、こちらまで、

 **0120-198-610**

受付時間：平日 9 時～17 時（土・日・祝日、年末年始を除きます）
携帯電話・PHS からもお問い合わせができます。

電話番号はお間違えないよう、お確かめのうえおかけください。

本資料の記載内容は、予告なしに変更することがありますので、ご用命の際は営業部門にご確認ください。

本資料に記載された動作概要や応用回路例は、半導体デバイスの標準的な動作や使い方を示したもので、実際に使用する機器での動作を保証するものではありません。従いまして、これらを使用するにあたってはお客様の責任において機器の設計を行ってください。これらの使用に起因する損害などについては、当社はその責任を負いません。

本資料に記載された動作概要・回路図を含む技術情報は、当社もしくは第三者の特許権、著作権等の知的財産権やその他の権利の使用権または実施権の許諾を意味するものではありません。また、これらの使用について、第三者の知的財産権やその他の権利の実施ができることの保証を行うものではありません。したがって、これらの使用に起因する第三者の知的財産権やその他の権利の侵害について、当社はその責任を負いません。

本資料に記載された製品は、通常の産業用、一般事務用、パーソナル用、家庭用などの一般的な用途に使用されることを意図して設計・製造されています。極めて高度な安全性が要求され、仮に当該安全性が確保されない場合、社会的に重大な影響を与えかつ直接生命・身体に対する重大な危険性を伴う用途（原子力施設における核反応制御、航空機自動飛行制御、航空交通管制、大量輸送システムにおける運行制御、生命維持のための医療機器、兵器システムにおけるミサイル発射制御をいう）、ならびに極めて高い信頼性が要求される用途（海底中継器、宇宙衛星をいう）に使用されるよう設計・製造されたものではありません。したがって、これらの用途にご使用をお考えのお客様は、必ず事前に営業部門までご相談ください。ご相談なく使用されたことにより発生した損害などについては、責任を負いかねますのでご了承ください。

半導体デバイスはある確率で故障が発生します。当社半導体デバイスが故障しても、結果的に人身事故、火災事故、社会的な損害を生じさせないよう、お客様は、装置の冗長設計、延焼対策設計、過電流防止対策設計、誤動作防止設計などの安全設計をお願いします。

本資料に記載された製品を輸出または提供する場合は、外国為替及び外国貿易法および米国輸出管理関連法規等の規制をご確認の上、必要な手続きをおとりください。

本書に記載されている社名および製品名などの固有名詞は、各社の商標または登録商標です。