



本ドキュメントは Cypress (サイプレス) 製品に関する情報が記載されております。本ドキュメントには、「MB」から始まるシリーズ名、品名およびオーダ型格が記載されておりますが、これらはすべて「CY」から始まるシリーズ名、品名およびオーダ型格として、新規および既存のお客様に引き続き提供してまいります。

オーダ型格の調べ方について

1. www.cypress.com/pcnにアクセスしてください。
2. SEARCH PCNS フィールドに、オーダ型格などのキーワードを入力し、「Apply」をクリックしてください。
3. 該当するタイトル(Title)をクリックしてください。
4. 「Affected Parts List」ファイルを開いてください。
当該ファイルに記載されている各種変更情報をご利用ください。

詳しいお問い合わせ先

Cypress 製品およびそのソリューションの詳細につきましては、お近くの営業所へお問い合わせください。

サイプレスについて

サイプレスは、世界で最も革新的な車載や産業機器、スマート家電、民生機器および医療機器製品向けに、最先端の組み込みシステム ソリューションを提供するリーディング カンパニーです。サイプレスのマイクロコントローラーや、アナログ IC、ワイヤレスおよび USB ベースのコネクティビティ ソリューション、高い信頼性と高性能を提供するメモリ製品は、各種機器メーカーの差異化製品の開発と早期市場参入を支援します。サイプレスは、ベストクラスのサポートと開発リソースをグローバルに提供することで、彼らが従来市場を破壊しまったく新しい製品カテゴリを歴史的なスピードで市場投入できるよう支援します。詳細はサイプレスのウェブサイト (japan.cypress.com) をご覧ください。



MB90F543G(S)/546G(S)/548G(S)/549G(S)/V540G/
MB90543G(S)/547G(S)/548G(S)/F548GL(S)

CMOS F²MC-16LX MB90540G/545G Series 16-bit Proprietary Microcontroller

MB90540G/545G シリーズは、FULL-CAN および FLASH ROM を搭載し、自動車用および産業向けに設計された、汎用のサイプレス 16 ビットマイクロコントローラです。オンボード CAN インタフェース (MB90540G シリーズ:2 チャンネル, MB90545G シリーズ:1 チャンネル) は、CAN V2.0A 仕様および CAN V2.0B 仕様に準拠し、非常に柔軟性のあるメッセージ・バッファリング機能をサポートしています。そのため、通常のフル CAN より多くの機能が利用可能です。

F²MC-16LX CPU コアの命令体系は、F²MC ファミリの AT アーキテクチャを継承し、高級言語対応命令の追加やアドレッシングモードの拡張、乗除算命令の強化、ビット処理命令の充実化を図っています。さらに、32 ビットアキュムレータの搭載により、ロングワードデータの処理も可能です。

周辺リソースとしては、8/10 ビット A/D コンバータ、UART (SCI)、I/O 拡張シリアルインタフェース、8/16 ビット PPG タイマ、入出力タイマ (インプットキャプチャ (ICU)、アウトプットコンペア (OCU)) などを内蔵しています。

特 長

- クロック
 - PLL クロック 10 倍回路内蔵
 - 原発振の 2 分周もしくは原発振の 1 通倍～4 通倍
 - 最小命令実行時間、62.5 ns (原発振 4 MHz, PLL 4 通倍: マシンクロック 16MHz, V_{CC} = 5.0 V 動作時)
 - サブシステムクロック: 32 kHz
- コントローラ用途に最適な命令体系
 - 豊富なデータタイプ (ビット, バイト, ワード, ロングワード)
 - 豊富なアドレッシングモード (23 種類)
 - 符号付き乗除算命令, RETI 命令機能強化
 - 32 ビットアキュムレータの採用による高精度演算の強化
- 高級言語 (C 言語) / マルチタスクに対応する命令体系
 - システムスタックポインタの採用
 - 各種ポインタ間接命令の強化
 - バレルシフト命令
- プログラムパッチ機能 (2 アドレスポインタ分あり)
- 実行速度の向上: 4 バイトの命令キュー
- 強力な割り込み機能: 8 レベル, 34 要因の強力な割り込み機能
- CPU に依存しない自動データ転送機能
 - 拡張インテリジェント I/O サービス機能 (EI²OS)
- 内蔵 ROM 容量と ROM タイプ
 - マスク ROM : 256 K バイト / 64 K バイト / 128 K バイト
 - フラッシュ ROM : 128K バイト / 256K バイト
 - 内蔵 RAM 容量 : 2K バイト / 4K バイト / 6K バイト / 8K バイト (エバリュエーションチップ)
- フラッシュ ROM
 - 自動プログラミング機能, Embedded Algorithm をサポート
 - 書き込みコマンド / 消去コマンド / 消去 - 中断コマンド / 再開コマンド
 - アルゴリズム完了フラグ
 - 固定ブート・セクタを示すためのハードワイヤード・リセット・ベクタを使用可能
 - ブロック毎の消去が可能
 - 外部プログラミング電圧によるブロック保護
- 低消費電力 (スタンバイ) モード
 - スリープモード (CPU 動作クロックを停止するモード)
 - ストップモード (原発振を停止するモード)
 - CPU 間欠動作モード
 - 時計モード
 - ハードウェアスタンバイモード
- プロセス: CMOS テクノロジー (0.5 μm プロセス)
- I/O ポート汎用入出力 : 81 本
- タイマ
 - ウォッチドッグタイマ : 1 チャンネル
 - 8/16 ビット PPG タイマ : 8 / 16 ビット × 4 チャンネル
 - 16 ビットリロードタイマ : 2 チャンネル
- 16 ビット入出力タイマ
 - 16 ビットフリーランタイマ : 1 チャンネル
 - インプットキャプチャ : 8 チャンネル
 - アウトプットコンペア : 4 チャンネル
- I/O 拡張シリアルインタフェース: 1 チャンネル
- UART0
 - 全二重ダブルバッファ (8 ビット長) 付き
 - クロック非同期またはクロック同期 (スタート/ストップビットあり) 転送が使用可能
- UART1 (SCI)
 - 全二重ダブルバッファ (8 ビット長) 付き
 - クロック非同期またはクロック同期シリアル転送 (I/O 拡張シリアル) が使用可能
- 外部割り込み回路 (8 チャンネル)
 - 外部入力による拡張インテリジェント I/O サービス (EI²OS) の起動, および外部割り込み発生用のモジュール
- 遅延割り込み発生モジュール: タスク切替え用の割り込み要求を発生
- 8/10 ビット A/D コンバータ (8 チャンネル)
 - 8/10 ビットの分解能切替え可能
 - 外部トリガ入力による起動が可能
 - 変換時間: 26.3 μs

- FULL-CAN インタフェース
MB90540G シリーズ : 2 チャンネル
MB90545G シリーズ : 1 チャンネル
バージョン 2.0 パート A およびパート B 準拠
柔軟性のあるメッセージバッファリング機能 (メールボックスと FIFO バッファリングの併用が可能)
- 外部バスインタフェース : 最大 16 M バイトのアドレス空間を使用可能
- パッケージ : PQH100, LQI100

Contents

特 長	1
1. 品種構成	4
2. 端子配列図	6
3. 端子機能説明	8
4. 入出力回路形式	14
5. デバイスの取り扱いについて	17
6. ブロックダイヤグラム	21
7. メモリマップ	22
8. I/Oマップ	23
9. CANコントローラ	29
10. 割込み要因と割込みベクタ，割込み制御レジスタ	35
11. 電気的特性	37
11.1 絶対最大定格	37
11.2 推奨動作条件	39
11.3 直流規格	40
11.4 交流規格	41
11.5 A/D コンバータ	55
11.6 フラッシュメモリ書込み / 消去特性	58
12. 特性例	59
13. オーダ型格	64
14. パッケージ外形寸法図	65
15. 本版での主な変更内容	67
改訂履歴	67
セールス，ソリューションおよび法律情報	68

1. 品種構成

項目	品名 MB90F543G (S) / F548G (S) /F549G (S) /F546G (S) / MB90F548GL (S)	MB90543G (S) MB90547G (S) MB90548G (S) MB90549G (S)	MB90V540G
CPU	F ² MC-16LX CPU		
システムクロック	オンチップ PLL クロック通倍方式 (×1, ×2, ×3, ×4, PLL 停止時 1/2) 最小命令実行時間 62.5 ns (マシクロック 16MHz, 原発振 4MHz を PLL で 4 通倍)		
ROM 容量	フラッシュメモリ : MB90F543G (S) /F548G (S) /F548GL (S) : 128 K バイト MB90F549G (S) /F546G (S) :256 K バイト	マスク ROM : MB90547G (S) : 64 K バイト MB90543G (S) /548G (S) : 128 K バイト MB90549G (S) : 256 K バイト	外部
RAM 容量	MB90F548G (S) /F548GL(S) : 4 K バイト MB90F543G(S)/F549G(S) : 6 K バイト MB90F546G (S) : 8 K バイト	MB90547G (S) : 2 K バイト MB90548G (S) : 4 K バイト MB90543G (S) /549G (S) : 6 K バイト	8 Kbyte
クロック	MB90F543G/F548G/F549G/F546G/ F548GL : 2 系統品 MB90F543GS/F548GS/F549GS/F546GS/ F548GLS : 1 系統品	MB90543G/547G/548G/549G : 2 系統品 MB90543GS/547GS/548GS/549GS : 1 系統品	2 系統品* 1
動作電源電圧	*3		
動作温度	- 40 °C ~ 105 °C		
パッケージ	QFP100, LQFP100		PGA-256
エミュレータ 専用電源* 2	—		無
UART0	全 2 重ダブルバッファ方式 非同期 / 同期転送 (スタート / ストップビット付) をサポートします。 ボーレート 4808/5208/9615/10417/19230/38460/62500/500000 bps (非同期) システムクロック = 16 MHz 時 500 K/1 M/2 Mbps (同期)		
UART1 (SCI)	全 2 重ダブルバッファ方式 非同期 (スタート / ストップ同期) および CLK 同期通信 ボーレート 1202/2404/4808/9615/19230/31250/38460/62500 bps (非同期) 6, 8, 10, 12, 16 MHz 時 62.5 K/125 K/250 K/500 K/1 M/2Mbps (同期)		
シリアル I/O	MSB または LSB から転送開始可能です。 内部クロック同期転送および外部クロック同期転送をサポートします。 ポジティブエッジとネガティブエッジクロック同期をサポートします。 ボーレートシステムクロック = 16 MHz 時 31.25 K/62.5 K/125 K/500 K/1 Mbps		
A/D コンバータ	10 ビットまたは 8 ビットの分解能 8 本の入力 ch 変換時間 : 26.3 μs (1 ch あたり)		
16 ビット リロードタイム (2 ch)	動作クロック周波数 $fsys/2^1, fsys/2^3, fsys/2^5$ ($fsys$ = システムクロック周波数) 外部イベントカウント機能をサポートします。 オーバフロー時に割込み信号を出力します。		
16 ビット フリーランタイム	アウトプットコンペア (ch.0) との照合時に、タイマクリアをサポートします。 動作クロック周波数 $fsys/2^2, fsys/2^4, fsys/2^6, fsys/2^8$ ($fsys$ = システムクロック周波数)		
16 ビット アウトプットコンペア (4 ch)	16 ビットフリーランタイムと照合時に、割込み信号を出力します。 16 ビットキャプチャレジスタ ×4 本 一対のコンペアレジスタを出力信号生成に使用可能です。		

品名	MB90F543G (S) /F548G (S) / F549G (S) /F546G (S) / MB90F548GL (S)	MB90543G (S) MB90547G (S) MB90548G (S) MB90549G (S)	MB90V540G
項目			
16 ビット インプットキャプチャ (8 ch)	立上りエッジ, 立下りエッジ, またはその両方を検出します。 16 ビットキャプチャレジスタ ×4 本 外部イベント時に割込み信号を出力します。		
8/16 ビット PPG (プログラマブルパルス発生部) (4 ch)	8 ビットと 16 ビットの動作モードをサポートします。 8 ビットリロードカウンタ ×8 本 L パルス幅用の 8 ビットリロードレジスタ ×8 本 H パルス幅用の 8 ビットリロードレジスタ ×8 本 一対の 8 ビットリロードカウンタを 1 本の 16 ビットリロードカウンタとして, または 8 ビットプリスケアラと 8 ビットリロードカウンタとして構成可能です。 出力端子 ×4 本 動作クロック周波数 f_{sys} , $f_{sys}/2^1$, $f_{sys}/2^2$, $f_{sys}/2^3$, $f_{sys}/2^4$ または 128 μ s @ $f_{osc} = 4$ MHz (f_{sys} = システムクロック周波数, f_{osc} = 発振クロック周波数)		
CAN インタフェース MB90540G シリーズ : 2 ch MB90545G シリーズ : 1 ch	CAN 仕様バージョン 2.0 パート A およびパート B に準拠します。 エラー時に自動再送します。 リモートフレームに応答して自動伝送します。 データおよび ID 用の順位付けされた 16 個のメッセージバッファ複数メッセージをサポートします。 受入れフィルタの柔軟な構成 : 全ビットコンペア / 全ビットマスク / 2 個の部分ビットマスク 最高 1 Mbps までサポートします。		
32 kHz サブクロック	低電力動作のサブクロック。		
外部割込み (8 ch)	エッジ検出とレベル検出可にプログラム可能です。		
外部バス インタフェース	選択可能な 8 ビットバスまたは 16 ビットバスを使用した外部アクセスが可能です (外部バスモード)。		
入出力ポート	ほとんど, 全外部端子を汎用入出力として使用可能です。 すべてのプッシュプル出力とシュミットトリガ入力 入力 / 出力または周辺信号として, ビット単位でプログラム可能です。 32 kHz サブクロック低電力動作のサブクロック。		
フラッシュメモリ	自動プログラミング, Embedded Algorithm, 書込み / 消去 / 消去一時停止 / 消去再開コマンドをサポートします。 アルゴリズムの完了を示すフラグ 消去サイクル数 : 10,000 回 データ保持期間 : 10 年間 ブートブロック構成 各ブロックで消去を実行可能です。 外部プログラミング電圧によるブロック保護		

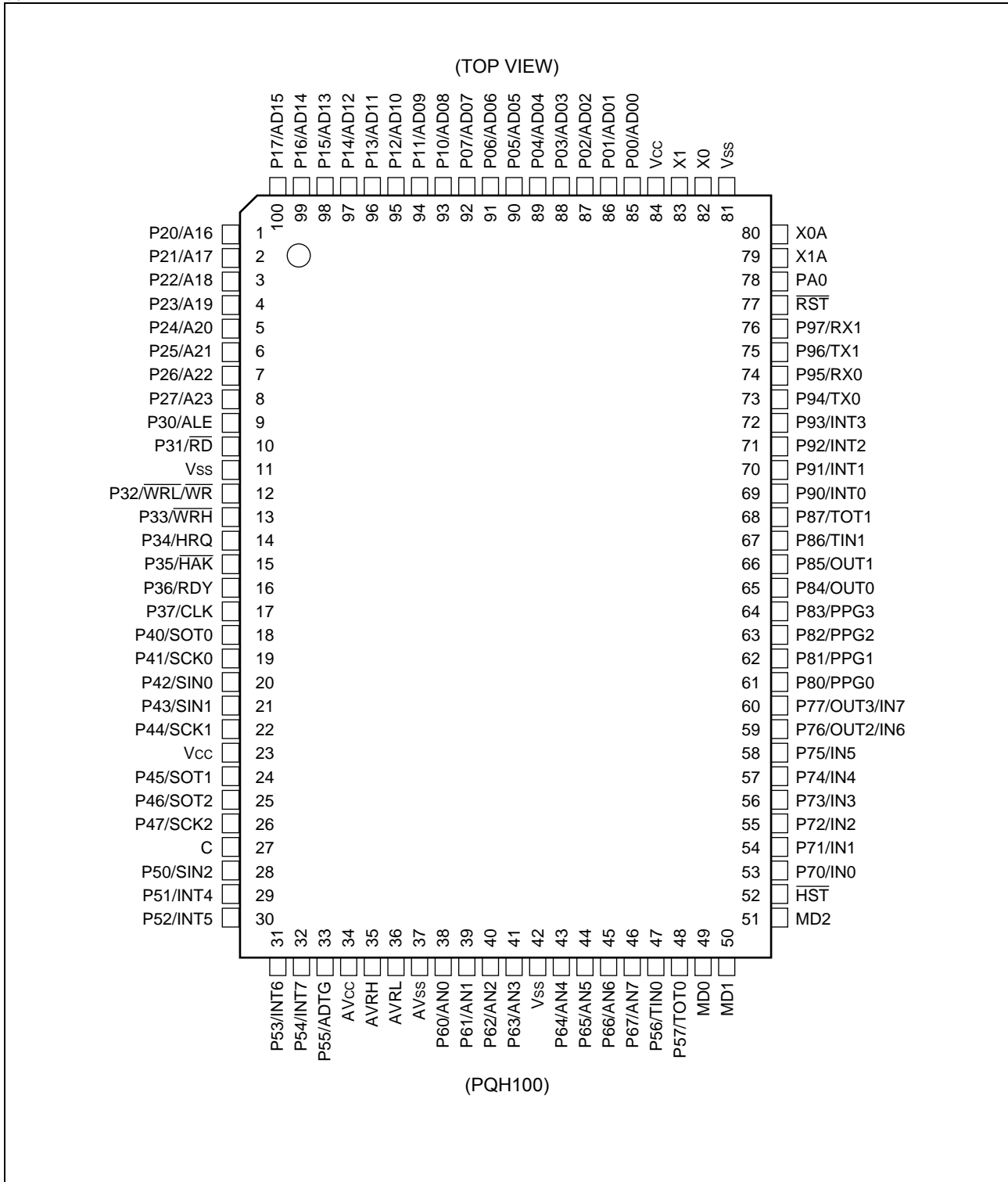
* 1 : 1 系統で使用する場合は, ツール側より X0A, X1A にクロックを供給してください。

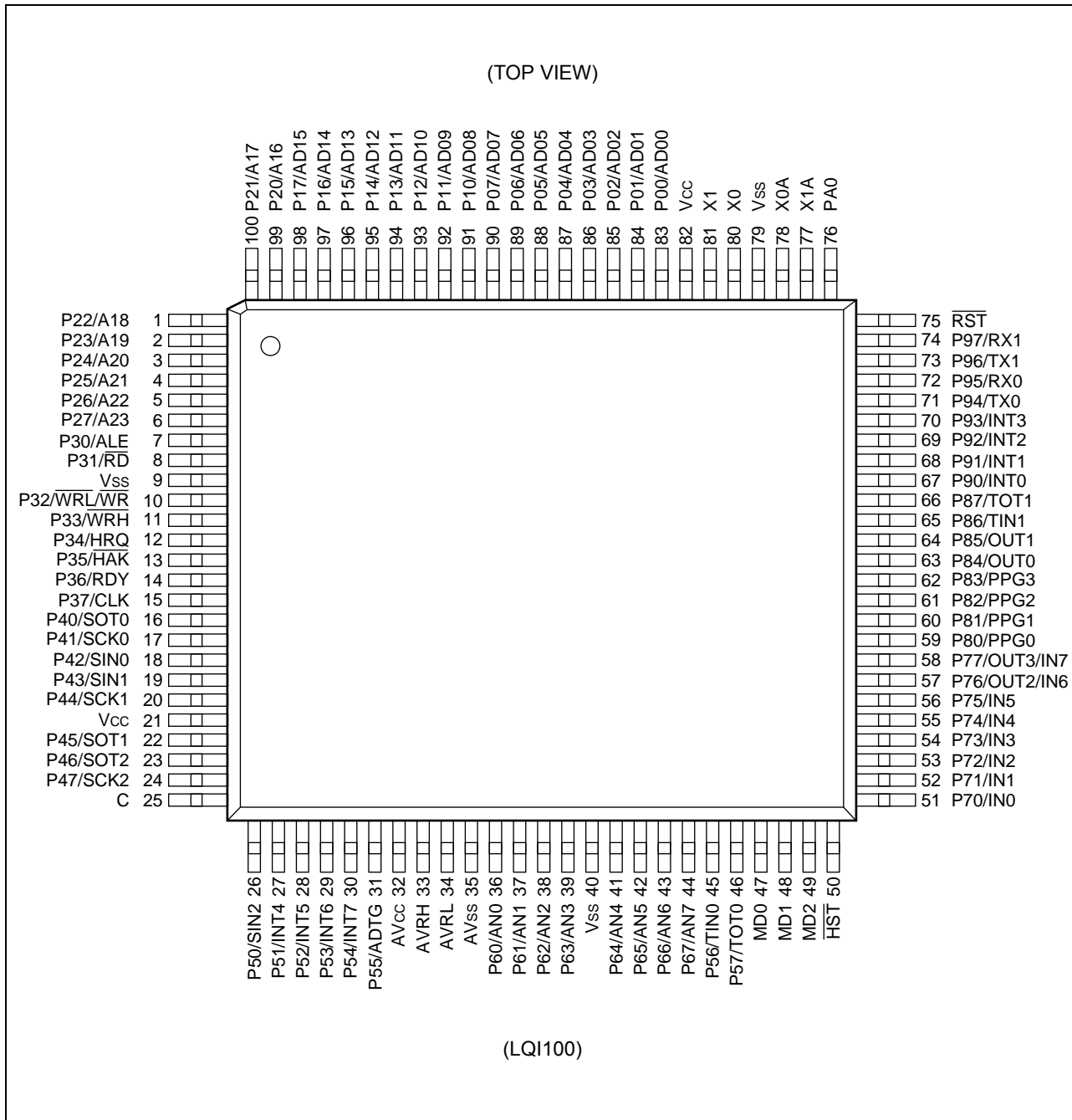
* 2 : エミュレーションポッド MB2145-507 をご使用頂く際のディップスイッチ S2 の設定です。詳細につきましては MB2145-507 ハードウェアマニュアル (2.7 エミュレータ専用電源端子) を参照してください。

* 3 : 動作電源電圧は下記のとおりです。

品種	動作保証範囲
MB90F543G(S)/F546G(S)/F548G(S)/ 549G(S)/F549G(S)/V540G	4.5 V ~ 5.5 V
MB90F548GL(S)/543G(S)/547G(S)/548G(S)	3.5 V ~ 5.5 V

2. 端子配列図





3. 端子機能説明

端子番号		端子名	回路形式	機能説明
LQFP * 2	QFP * 1			
80 81	82 83	X0 X1	A (発振)	高速水晶発振用端子。
78	80	X0A	A (発振)	低速水晶発振用端子。1 系統品は外部でプルダウンの処理をしてください。
77	79	X1A		低速水晶発振用端子。1 系統品はオープンにしてください。
75	77	\overline{RST}	B	外部リセット要求入力端子。
50	52	\overline{HST}	C	ハードウェアスタンバイ入力端子。
83 ~ 90	85 ~ 92	P00 ~ P07	I	汎用の入出力ポート。 レジスタの設定により、プルアップ抵抗の有無が設定できます。 この機能はシングルチップモードのときに有効となります。
		AD00 ~ AD07		外部アドレス・データバス下位 8 ビットの入出力端子。 この機能は外部バスが有効なモードのときに有効となります。
91 ~ 98	93 ~ 100	P10 ~ P17	I	汎用の入出力ポート。 レジスタの設定により、プルアップ抵抗の有無が設定できます。 この機能はシングルチップモードのときに有効となります。
		AD08 ~ AD15		外部アドレス・データバス上位 8 ビットの入出力端子。 この機能は外部バスが有効なモードのときに有効となります。
99 ~ 6	1 ~ 8	P20 ~ P27	I	汎用の入出力ポート。 レジスタの設定により、プルアップ抵抗の有無が設定できます。 外バスモード時は、外部アドレス出力制御レジスタ (HACR) の対応するビットが“1”の場合に有効となります。
		A16 ~ A23		外部アドレス・データバス A16 から A23 の 8 ビットの出力端子。 外バスモード時に、外部アドレス出力制御レジスタ (HACR) の対応するビットが“0”の場合に有効となります。
7	9	P30	I	汎用の入出力ポート。 レジスタの設定により、プルアップ抵抗の有無が設定できます。 この機能はシングルチップモードのときに有効となります。
		ALE		アドレスラッチイネーブル出力端子。 この機能は外部バスが有効なモードのときに有効となります。
8	10	P31	I	汎用の入出力ポート。 レジスタの設定により、プルアップ抵抗の有無が設定できます。 この機能はシングルチップモードのときに有効となります。
		\overline{RD}		データバスに対するリードストロブ出力端子。 この機能は外部バスが有効なモードのときに有効となります。
10	12	P32	I	汎用の入出力ポート。 レジスタの設定により、プルアップ抵抗の有無が設定できます。 この機能はシングルチップモードあるいは $\overline{WR}/\overline{WRL}$ 端子出力が禁止のときに有効となります。
		\overline{WRL}		データバスのライトストロブ出力端子。 この機能は外部バスが有効なモードかつ $\overline{WR}/\overline{WRL}$ 端子出力が許可のときに有効となります。
		\overline{WR}		\overline{WRL} は、外バスモード・16 ビットバス時のデータバス下位 8 ビットに対するライトストロブ出力端子です。 \overline{WR} は、外バスモード・8 ビットバス時のデータバス 8 ビットに対するライトストロブ出力端子です。

端子番号		端子名	回路形式	機能説明
LQFP * 2	QFP * 1			
11	13	P33	I	汎用の入出力ポート。 レジスタの設定により、プルアップ抵抗の有無が設定できます。 この機能はシングルチップモードあるいは外部バス 8 ビットモードあるいは $\overline{\text{WRH}}$ 端子出力が禁止のときに有効となります。
		$\overline{\text{WRH}}$		データバス上位 8 ビットに対するライトストロープ出力端子。 この機能は外部バスが有効なモードかつ外部バス 16 ビットモードで、 $\overline{\text{WRH}}$ 出力端子が許可のときに有効となります。
12	14	P34	I	汎用の入出力ポート。 レジスタの設定により、プルアップ抵抗の有無が設定できます。 この機能はシングルチップモードとホールド機能が禁止のときに有効となります。
		HRQ		ホールドリクエスト入力端子。 この機能は外部バスが有効なモードでホールド機能が許可のときに有効となります。
13	15	P35	I	汎用の入出力ポート。 レジスタの設定により、プルアップ抵抗の有無が設定できます。 この機能はシングルチップモードとホールド機能が禁止のときに有効となります。
		$\overline{\text{HAK}}$		ホールドアクノリッジ出力端子。 この機能は外部バスが有効なモードでホールド機能が許可のときに有効となります。
14	16	P36	I	汎用の入出力ポート。 レジスタの設定により、プルアップ抵抗の有無が設定できます。 この機能はシングルチップモードと外部レディ機能が禁止のときに有効となります。
		RDY		レディ入力端子。 この機能は外部バスが有効なモードで外部レディ機能が許可のときに有効となります。
15	17	P37	H	汎用の入出力ポート。 レジスタの設定により、プルアップ抵抗の有無が設定できます。 この機能はシングルチップモードと CLK 出力指定が禁止のときに有効となります。
		CLK		CLK 出力端子。 この機能は外部バスが有効なモードで CLK 出力指定が許可のときに有効となります。
16	18	P40	G	汎用の入出力ポート。 この機能は UART0 のシリアルデータ出力指定が禁止のときに有効となります。
		SOT0		UART0 のシリアルデータ出力端子。 この機能は UART0 のシリアルデータ出力指定が許可のときに有効となります。
17	19	P41	G	汎用の入出力ポート。 この機能は UART0 のシリアルクロック出力指定が禁止のときに有効となります。
		SCK0		UART0 のシリアルクロック入出力端子。 この機能は UART0 のシリアルクロック出力指定が許可のときに有効となります。

端子番号		端子名	回路形式	機能説明
LQFP * 2	QFP * 1			
18	20	P42	G	汎用の入出力ポート。 この機能は常時有効です。
		SIN0		UART0 のシリアルデータ入力端子。 UART0 が入力動作をしている間に対応するポート方向レジスタを入力に設定してください。
19	21	P43	G	汎用の入出力ポート。 この機能は常時有効です。
		SIN1		UART1 のシリアルデータ入力端子。 UART1 が入力動作をしている間に対応するポート方向レジスタを入力に設定してください。
20	22	P44	G	汎用の入出力ポート。 この機能は UART1 のシリアルクロック出力指定が禁止のときに有効となります。
		SCK1		UART1 のシリアルクロック入出力端子。 この機能は UART1 のシリアルクロック出力指定が許可のときに有効となります。
22	24	P45	G	汎用の入出力ポート。 この機能は UART1 のシリアルデータ出力指定が禁止のときに有効となります。
		SOT1		UART1 のシリアルデータ出力端子。 この機能は UART1 のシリアルデータ出力指定が許可のときに有効となります。
23	25	P46	G	汎用の入出力ポート。 この機能は I/O 拡張シリアルインタフェースのシリアルデータ出力指定が禁止のときに有効となります。
		SOT2		I/O 拡張シリアルインタフェースのデータ出力端子。 この機能は I/O 拡張シリアルインタフェースのシリアルデータ出力指定が許可のときに有効となります。
24	26	P47	G	汎用の入出力ポート。 この機能は I/O 拡張シリアルインタフェースのシリアルクロック出力指定が禁止のときに有効となります。
		SCK2		I/O 拡張シリアルインタフェースのシリアルクロック入出力端子。 この機能は I/O 拡張シリアルインタフェースのシリアルクロック出力指定が許可のときに有効となります。
26	28	P50	D	汎用の入出力ポート。 この機能は常時有効です。
		SIN2		I/O 拡張シリアルインタフェースのデータ入力端子。 シリアルデータが入力動作をしている間に対応するポート方向レジスタを入力に設定してください。
27 ~ 30	29 ~ 32	P51 ~ P54	D	汎用の入出力ポート。 この機能は常時有効です。
		INT4 ~ INT7		INT4 から INT7 の外部割込み要求入力端子。 外部割込み入力動作をしている間に対応するポート方向レジスタを入力に設定してください。
31	33	P55	D	汎用の入出力ポート。 この機能は常時有効です。
		ADTG		8/10 ビット A/D コンバータの外部トリガ入力端子。 8/10 ビット A/D コンバータが入力動作をしている間に対応するポート方向レジスタを入力に設定してください。

端子番号		端子名	回路形式	機能説明
LQFP * 2	QFP * 1			
36 ~ 39	38 ~ 41	P60 ~ P63	E	汎用の入出力ポート。 この機能はアナログ入力許可レジスタの指定がポートのときに有効となります。
		AN0 ~ AN3		8/10 ビット A/D コンバータのアナログ入力端子。 この機能はアナログ入力許可レジスタの指定が許可のときに有効となります。
41 ~ 44	43 ~ 46	P64 ~ P67	E	汎用の入出力ポート。 入力機能はアナログ入力許可レジスタの指定がポートのときに有効となります。
		AN4 ~ AN7		8/10 ビット A/D コンバータのアナログ入力端子。 この機能はアナログ入力許可レジスタの指定が許可のときに有効となります。
45	47	P56	D	汎用の入出力ポート。 この機能は常時有効です。
		TIN0		16 ビットリロードタイマ 0 のイベント入力端子。 16 ビットリロードタイマ 0 が入力動作をしている間に対応するポート方向レジスタを入力に設定してください。
46	48	P57	D	汎用の入出力ポート。 この機能は 16 ビットリロードタイマ 0 の出力指定が禁止のときに有効となります。
		TOT0		16 ビットリロードタイマ 0 の出力端子。 この機能は 16 ビットリロードタイマ 0 の出力指定が許可のときに有効となります。
51 ~ 56	53 ~ 58	P70 ~ P75	D	汎用の入出力ポート。 この機能は常時有効です。
		IN0 ~ IN5		インプットキャプチャ ICU0 ~ ICU5 のトリガ入力端子。 インプットキャプチャが入力動作をしている間に対応するポート方向レジスタを入力に設定してください。
57, 58	59, 60	P76, P77	D	汎用の入出力ポート。 この機能はアウトプットコンペア (OCU) の出力指定が禁止のときに有効となります。
		OUT2, OUT3		アウトプットコンペア OCU2 と OCU3 のイベント出力端子。 この機能はアウトプットコンペア (OCU) の出力指定が許可のときに有効となります。
		IN6, IN7		インプットキャプチャ ICU6 および ICU7 のトリガ入力端子。 インプットキャプチャが入力動作をしている間に対応するポート方向レジスタを入力に設定し、アウトプットコンペア出力を禁止してください。
59 ~ 62	61 ~ 64	P80 ~ P83	D	汎用の入出力ポート。 この機能は 8/16 ビット PPG タイマの波形出力指定が禁止のときに有効となります。
		PPG0 ~ PPG3		8/16 ビット PPG タイマの出力端子。 この機能は 8/16 ビット PPG タイマの波形出力指定が許可のときに有効となります。
63, 64	65, 66	P84, P85	D	汎用の入出力ポート。 この機能はアウトプットコンペア (OCU) の出力指定が禁止のときに有効となります。
		OUT0, OUT1		アウトプットコンペア OCU0 と OCU1 のイベント出力端子。 この機能はアウトプットコンペア (OCU) の出力指定が許可のときに有効となります。

端子番号		端子名	回路形式	機能説明
LQFP * 2	QFP * 1			
65	67	P86	D	汎用の入出力ポート。 この機能は常時有効です。
		TIN1		16 ビットリロードタイマ 1 の入力端子。 16 ビットリロードタイマが入力動作をしている間に対応するポート方向レジスタを入力に設定してください。
66	68	P87	D	汎用の入出力ポート。 この機能は 16 ビットリロードタイマ 1 の出力指定が禁止のときに有効となります。
		TOT1		16 ビットリロードタイマ 1 の出力端子。 この機能は 16 ビットリロードタイマ 1 の出力指定が許可のときに有効となります。
67 ~ 70	69 ~ 72	P90 ~ P93	D	汎用の入出力ポート。 この機能は常時有効です。
		INT0 ~ INT3		INT0 から INT3 の外部割込み要求入力端子。 外部割込み入力動作をしている間に対応するポート方向レジスタを入力に設定してください。
71	73	P94	D	汎用の入出力ポート。 この機能は CAN0 の出力指定が禁止のときに有効となります。
		TX0		CAN0 用の TX 出力端子。 この機能は CAN0 の出力指定が許可のときに有効となります。
72	74	P95	D	汎用の入出力ポート。 この機能は常時有効です。
		RX0		CAN0 インタフェース用の RX 入力端子。 CAN 機能使用時は、ほかの機能による出力を停止させておく必要があります。
73	75	P96	D	汎用の入出力ポート。 この機能は CAN1 の出力指定が禁止のときに有効となります。
		TX1		CAN1 用の TX 出力端子。 この機能は CAN1 の出力指定が許可のときに有効となります (MB90540G シリーズのみ)。
74	76	P97	D	汎用の入出力ポート。 この機能は常時有効です。
		RX1		CAN1 インタフェース用の RX 入力端子。 CAN 機能使用時は、ほかの機能による出力を停止させておく必要があります (MB90540G シリーズのみ)。
76	78	PA0	D	汎用の入出力ポート。 この機能は常時有効です。
32	34	AV _{CC}	電源	A/D コンバータの電源端子。 この電源の投入 / 切断は必ず V _{CC} に AV _{CC} 以上の電位が印加してある状態で行ってください。
35	37	AV _{SS}	電源	A/D コンバータの電源端子。
33	35	AVRH	電源	A/D コンバータの外部基準電源端子。 この端子の投入 / 切断は必ず AV _{CC} に AVRH 以上の電位が印加してある状態で行ってください。
34	36	AVRL	電源	A/D コンバータの外部基準電源端子。

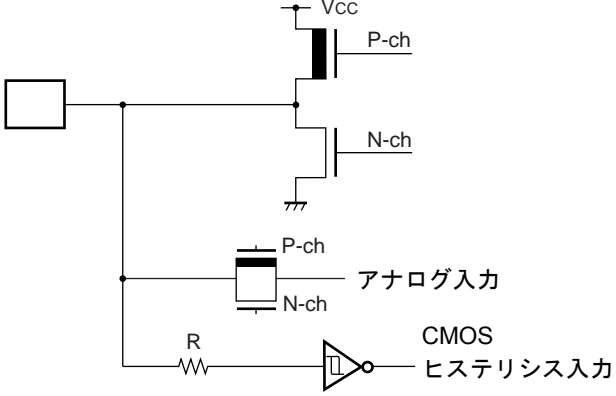
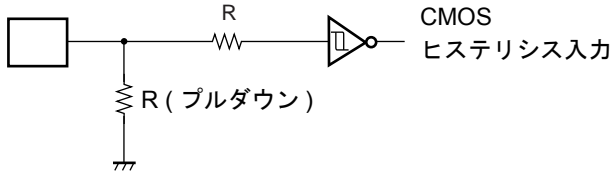
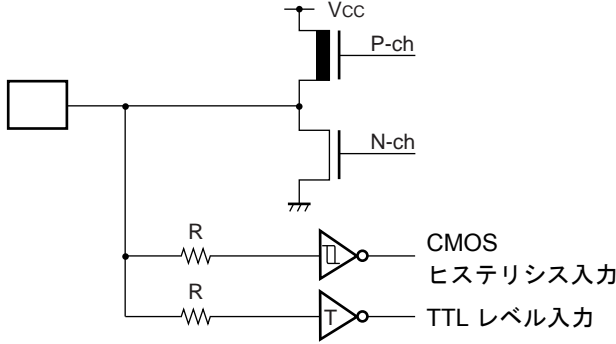
端子番号		端子名	回路形式	機能説明
LQFP * 2	QFP * 1			
47, 48	49, 50	MD0, MD1	C	動作モード指定用入力端子。 V _{CC} あるいは V _{SS} に直接つないで使用してください。
49	51	MD2	F	動作モード指定用入力端子。 V _{CC} あるいは V _{SS} に直接つないで使用してください。
25	27	C	—	電源安定化の容量端子。 外部に 0.1 μF 程度のセラミックコンデンサを接続してください。
21, 82	23, 84	V _{CC}	電源	電源 (5.0 V) 入力端子。
9, 40, 79	11, 42, 81	V _{SS}	電源	電源 (0.0 V) 入力端子。

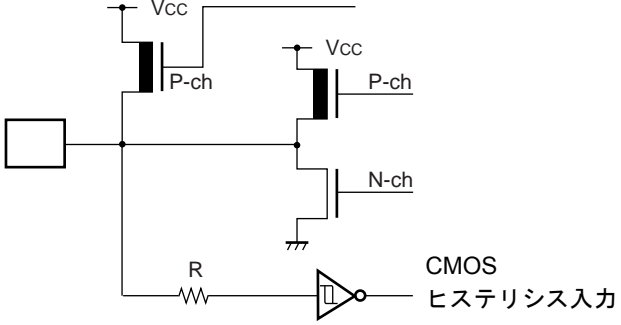
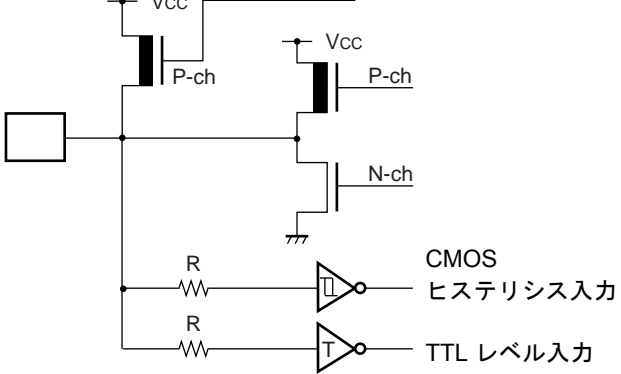
* 1 : PQH100

* 2 : LQI100

4. 入出力回路形式

回路形式	回路	備考
A		<ul style="list-style-type: none"> ■ 高速用発振帰還抵抗：約 1 MΩ ■ 低速用発振帰還抵抗：約 10 MΩ
B		<ul style="list-style-type: none"> ■ CMOS ヒステリシス入力 ■ プルアップ抵抗：約 50 kΩ
C		<ul style="list-style-type: none"> ■ CMOS ヒステリシス入力
D		<ul style="list-style-type: none"> ■ CMOS レベル出力 ■ CMOS ヒステリシス入力

回路形式	回路	備考
E		<ul style="list-style-type: none"> ■ CMOS レベル出力 ■ CMOS ヒステリシス入力 ■ アナログ入力
F		<ul style="list-style-type: none"> ■ CMOS ヒステリシス入力 ■ プルダウン抵抗：約 50 kΩ. (FLASH 品を除く)
G		<ul style="list-style-type: none"> ■ CMOS レベル出力 ■ CMOS ヒステリシス入力 ■ TTL レベル入力 (FLASH 書込みモードのみ)

回路形式	回路	備考
H	<p style="text-align: center;">プルアップあり / なし 選択信号</p>  <p style="text-align: right;">CMOS ヒステリシス入力</p>	<ul style="list-style-type: none"> ■ CMOS レベル出力 ■ CMOS ヒステリシス入力 ■ 入力プルアップ抵抗設定可能 抵抗：約 50 kΩ
I	<p style="text-align: center;">プルアップあり / なし 選択信号</p>  <p style="text-align: right;">CMOS ヒステリシス入力</p> <p style="text-align: right;">TTL レベル入力</p>	<ul style="list-style-type: none"> ■ CMOS レベル出力 ■ CMOS ヒステリシス入力 ■ TTL レベル入力 (FLASH 書込みモードのみ) ■ 入力プルアップ抵抗設定可能 抵抗：約 50 kΩ

5. デバイスの取り扱いについて

1. 最大定格を超えることのないよう注意してください (ラッチアップの防止)。

CMOS IC では、入力端子や出力端子に V_{CC} より高い電圧や V_{SS} より低い電圧が印加された場合、または $V_{CC} \sim V_{SS}$ 間に定格を超える電圧が印加された場合に、ラッチアップ現象を生じることがあります。

ラッチアップ現象が起きると電源電流が激増し、素子の熱破壊に至る場合がありますので、使用に際しては、最大定格を超えることのないよう十分注意してください。

また、アナログ電源投入時、および切断時においてもアナログ電源電圧 (AV_{CC} , $AVRH$) とアナログ入力電圧はデジタル電源電圧 (V_{CC}) を超えることのないよう十分注意してください。

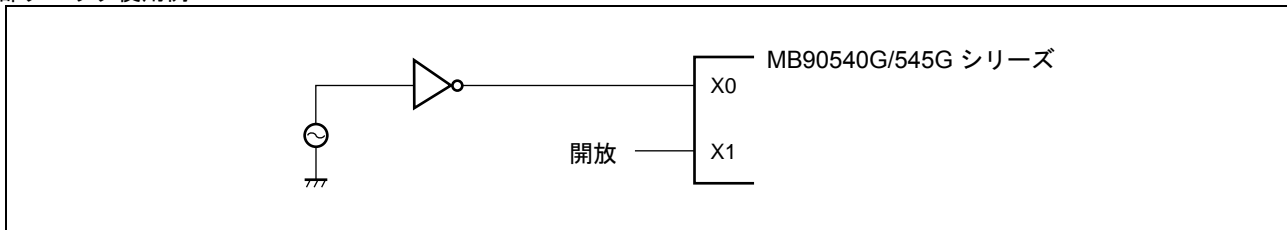
2. 未使用端子の処理について

使用していない入力端子を開放のままにした場合、誤動作、およびラッチアップによる永久破損の原因になることがありますので、 $2\text{k}\Omega$ 以上の抵抗を介して、プルアップ、またはプルダウンなどの処置をしてください。また、使用していない入出力端子がある場合は、出力状態に設定して開放とするか、入力状態に設定して入力端子と同じ処置をしてください。

3. 外部クロック使用時の注意について

外部クロックを使用する場合は、X0 端子のみを駆動し、X1 端子は、開放としてください。

■ 外部クロック使用例



4. サブクロックの使用について

サブクロックモードを使用しない場合は 1 系統品をご使用ください。その時、X0A 端子にプルダウンの処理をして、X1A 端子は開放としてください。

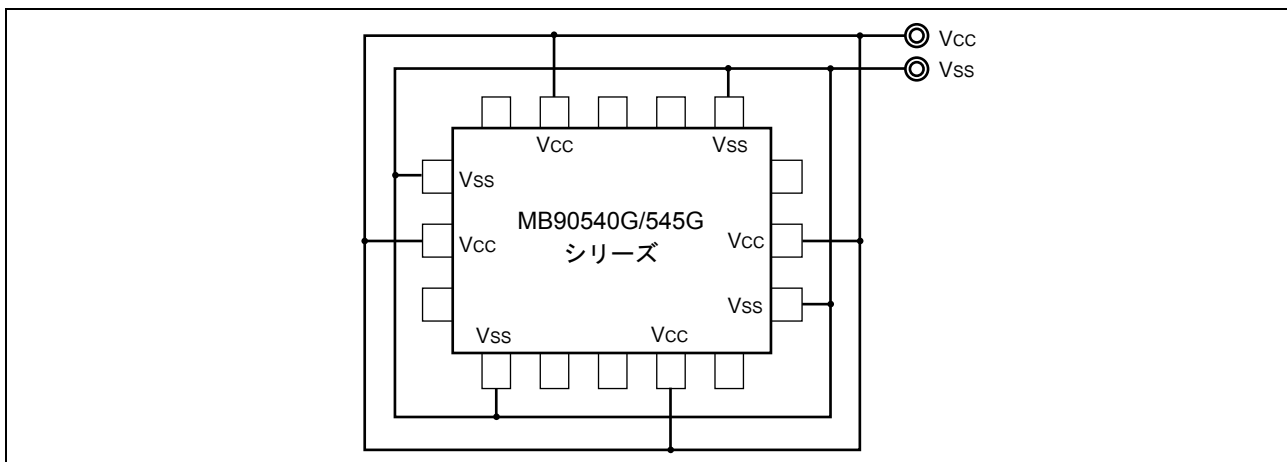
2 系統品は X0A, X1A 端子に必ず 32 kHz 以下の発振器を接続してください。

5. 電源端子について (V_{CC}/V_{SS})

V_{CC} , V_{SS} が複数ある場合、デバイス設計上はラッチアップなどの誤動作を防止するために、同電位にすべき端子はデバイス内部で接続してありますが、不要輻射の低減、グラウンドレベルの上昇によるストロブ信号の誤動作防止、総出力電流規格の遵守などのために、必ずそれらすべてを外部で電源、およびグラウンドに接続してください (下図を参照)。

また電流供給源からできる限り低インピーダンスでこのデバイスの V_{CC} , V_{SS} に接続するように配慮してください。

さらに、このデバイスの近くで、 V_{CC} と V_{SS} の間に $0.1\ \mu\text{F}$ 程度のコンデンサをバイパスコンデンサとして接続することをお勧めします。



6. プルアップ/プルダウン抵抗について

MB90540G/545G シリーズは内蔵のプルアップ/プルダウン抵抗をサポートしていません(ポート0～ポート3のプルアップ抵抗を除く)ので、必要に応じて外付けしてください。

7. 水晶発振回路について

X0, X1 端子の近辺のノイズはこのデバイスの誤動作の元となります。X0, X1 端子および水晶振動子(あるいはセラミック振動子)さらにグラウンドへのバイパスコンデンサはできる限り近くなるように、またその配線は、ほかの配線とできる限り交差しないようにプリント基板を設計してください。

また、X0, X1 端子の回りをグラウンドで囲むようなプリント基板ア트워크は、安定した動作を期待できますので、強くお勧めします。

8. A/D コンバータの電源, アナログ入力の投入順序について

A/D コンバータ, D/A コンバータの電源 (AV_{CC} , $AVRH$, $AVRL$) およびアナログ入力 ($AN0 \sim AN7$) の印加は、必ずデジタル電源 (V_{CC}) の投入後に行ってください。

また、電源切断時は A/D コンバータの電源およびアナログ入力の遮断の後で、デジタル電源の遮断を行ってください。その際、 $AVRH$ は AV_{CC} を超えないように投入・切断を行ってください(アナログ電源とデジタル電源を同時に投入、遮断することは問題ありません)。

9. A/D コンバータ未使用時の端子処理について

A/D コンバータおよび D/A コンバータを使用しないときは、 $AV_{CC} = V_{CC}$, $AV_{SS} = AVRH = V_{SS}$ に接続してください。

10. N.C. 端子の処理について

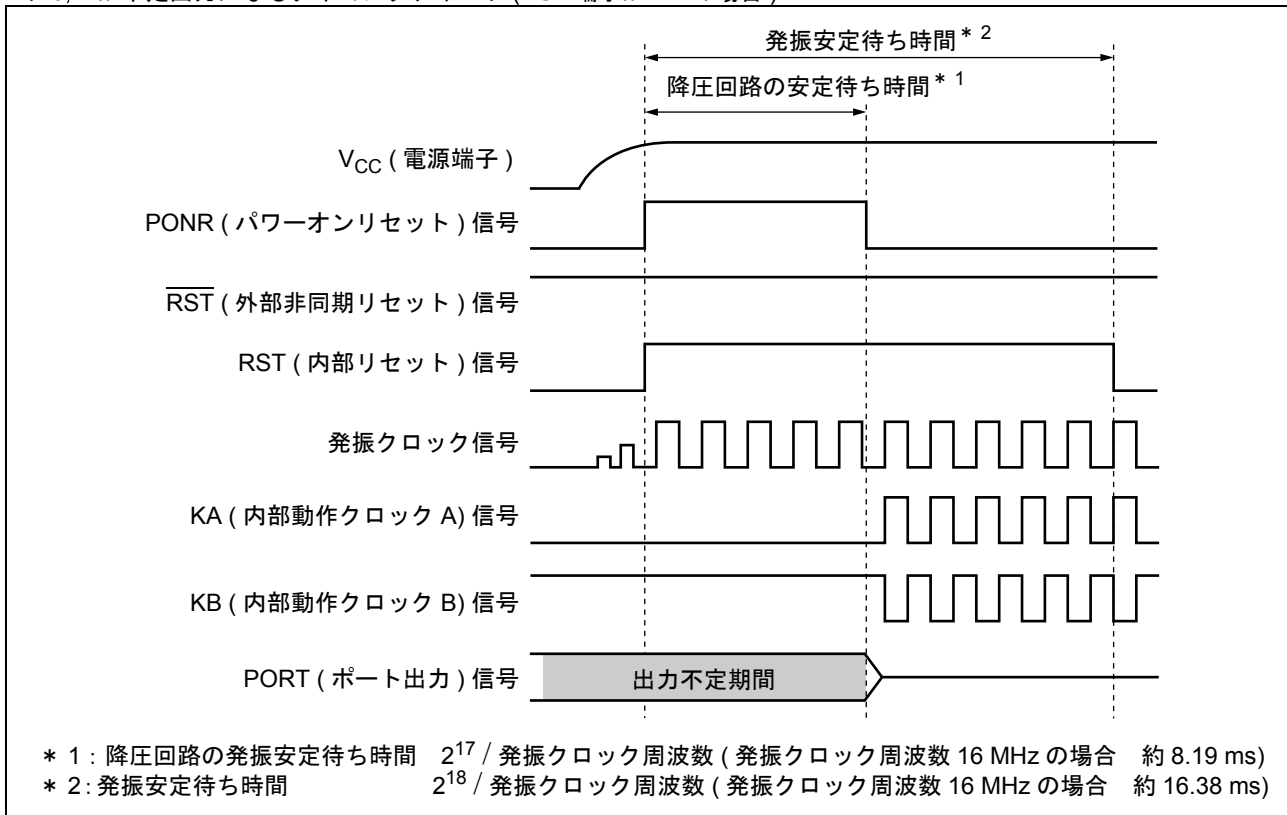
N.C. (内部接続) 端子は、必ず開放にして使用してください。

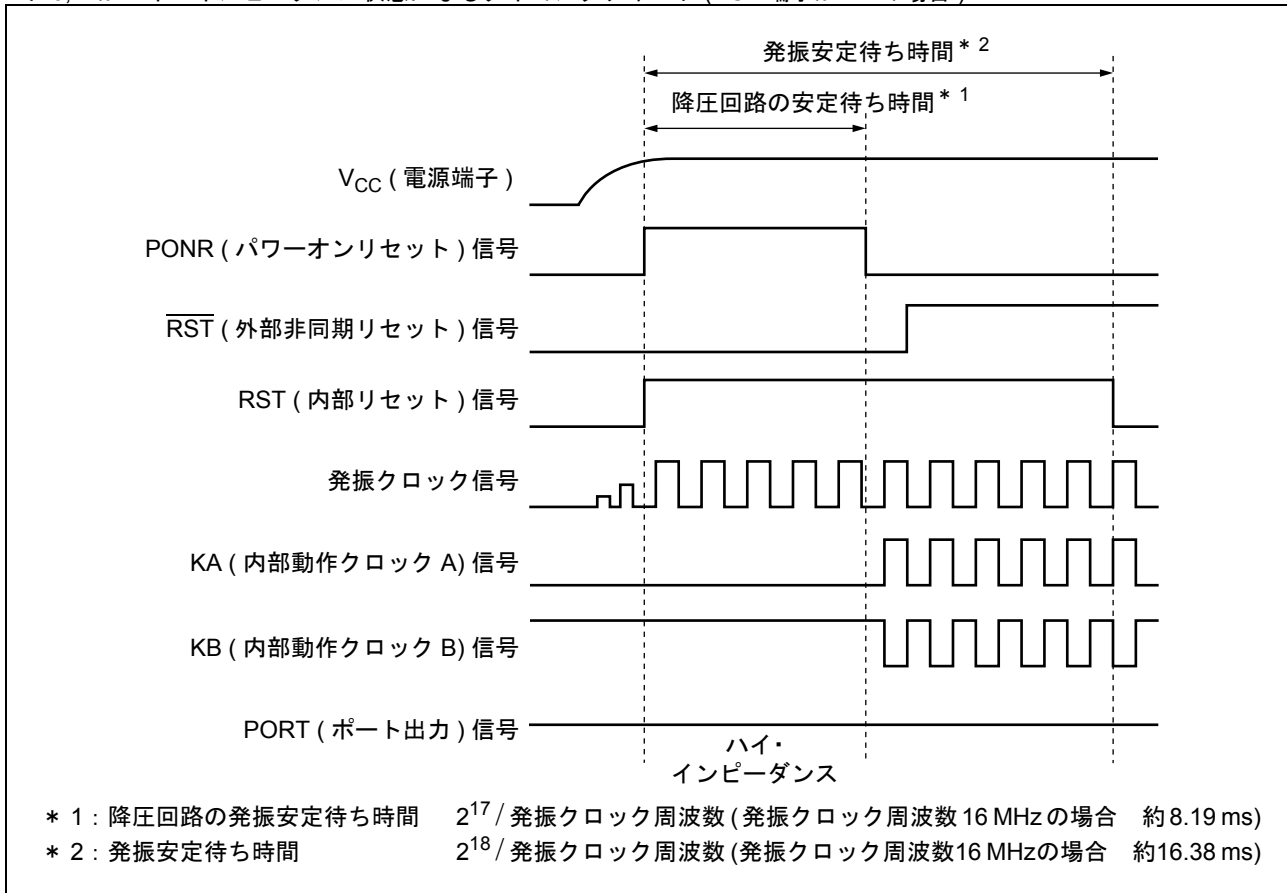
11. 電源投入時の注意点

内部に内蔵している降圧回路の誤動作を防ぐために、電源投入時における電圧の立上り時間は、 $50 \mu s$ (0.2 V ~ 2.7 V の間) 以上を確保してください。

12.ポート 0, 1 からの出力が不定になる場合 (MB90V540G のみ)

電源を投入後、降圧回路の発振安定待ち時間 (パワーオンリセット中) に $\overline{\text{RST}}$ 端子が “H” の場合、ポート 0, 1 から不定を出力します。 $\overline{\text{RST}}$ 端子が “L” の場合、ポート 0, 1 はハイ・インピーダンス状態になります。タイミングは下図のようになりますので注意してください。

■ ポート 0, 1 が不定出力になるタイミングチャート ($\overline{\text{RST}}$ 端子が “H” の場合)


■ ポート 0, 1 がハイ・インピーダンス状態になるタイミングチャート (RST 端子が“L”の場合)

13.初期化について

デバイス内には、パワーオンリセットによつてのみ初期化される内蔵レジスタ類があります。これらの初期化を期待する場合は電源の再投入を行ってください。

14.「DIV A, Ri」, 「DIVW A, RWi」命令の使用上の注意

符号付乗除算命令「DIV A, Ri」, 「DIVW A, RWi」命令は、対応するバンクレジスタ (DTB, ADB, USB, SSB) の値を“00_H”に設定し、使用してください。

対応するバンクレジスタ (DTB, ADB, USB, SSB) の値を“00_H”以外に設定した場合、命令実行結果により得られる余りは、命令オペランドのレジスタに格納されません。

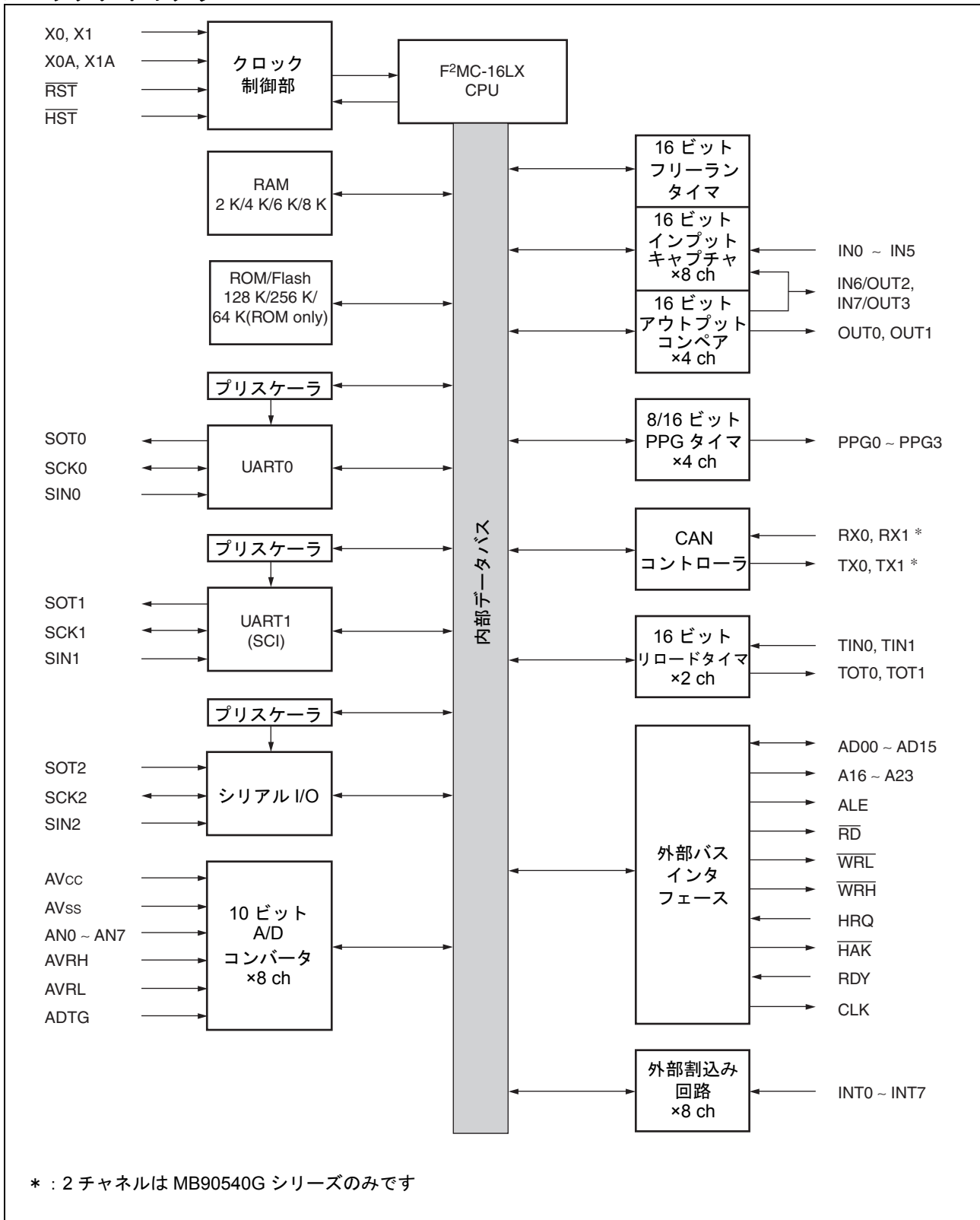
15.REALOS を使用する場合

REALOS を使用する場合は、拡張インテリジェント I/O サービス (EI²OS) が使用できません。

16.PLL クロックモード動作中の注意について

本マイコンで PLL クロックを選択しているときに発振子が外れたり、あるいはクロック入力が停止した場合、本マイコンは PLL 内部の自励発振回路の自走周波数で動作を継続し続ける場合があります。この動作は保証外の動作です。

6. ブロックダイアグラム



7. メモリマップ

MB90V540G/ F546G (S)		MB90543G(S)/ F543G (S)		MB90548G(S)/ F548G (S)/F548GL(S)		MB90549G (S) / F549G (S)		MB90547G (S)	
FFFFFFH	ROM (FF バンク)	FFFFFFH	ROM (FF バンク)	FFFFFFH	ROM (FF バンク)	FFFFFFH	ROM (FF バンク)	FFFFFFH	ROM (FF バンク)
FF0000H		FF0000H		FF0000H		FF0000H		FF0000H	
FEFFFFH	ROM (FE バンク)	FEFFFFH	ROM (FE バンク)	FEFFFFH	ROM (FE バンク)	FEFFFFH	ROM (FE バンク)		
FE0000H		FE0000H		FE0000H		FE0000H			
FDFFFFH	ROM (FD バンク)		外部アクセス メモリ		外部アクセス メモリ	FDFFFFH	ROM (FD バンク)		外部アクセス メモリ
FD0000H						FD0000H			
FCFFFFH	ROM (FC バンク)					FCFFFFH	ROM (FC バンク)		
FC0000H	外部アクセス メモリ					FC0000H	外部アクセス メモリ		
00FFFFH	ROM (FF バンクの イメージ)	00FFFFH	ROM (FF バンクの イメージ)	00FFFFH	ROM (FF バンクの イメージ)	00FFFFH	ROM (FF バンクの イメージ)	00FFFFH	ROM (FF バンクの イメージ)
004000H		004000H		004000H		004000H		004000H	
003FFFH	周辺	003FFFH	周辺	003FFFH	周辺	003FFFH	周辺	003FFFH	周辺
003900H		003900H		003900H		003900H		003900H	
	外部アクセス メモリ		外部アクセス メモリ		外部アクセス メモリ		外部アクセス メモリ		外部アクセス メモリ
0020FFH		002000H		002000H		002100H		002000H	
001FF5H	ROM コレク ション	0018FFH				0018FFH			
001FF0H			RAM 6 K				RAM 6 K		
	RAM 8 K			0010FFH	RAM 4 K			0008FFH	RAM 2K
000100H	外部アクセス メモリ	000100H	外部アクセス メモリ	000100H	外部アクセス メモリ	000100H	外部アクセス メモリ	000100H	外部アクセス メモリ
0000BFH		0000BFH		0000BFH		0000BFH		0000BFH	
000000H	周辺	000000H	周辺	000000H	周辺	000000H	周辺	000000H	周辺

(注意事項) 00 バンクの上に FF バンクの ROM データがイメージで見えるようになっていますが、これは C コンパイラのスモールモデルを有効に生かすためです。FF バンクの下位 16 ビットアドレスと 00 バンクの下位 16 ビットアドレスは同じになるようにしてありますので、ポインタで far 指定を宣言しなくとも ROM 内のテーブルを参照できます。たとえば、00C000_H をアクセスした場合に、実際には、FFC000_H の ROM の内容がアクセスされることになります。ここで、FF バンクの ROM 領域は、48 K バイトを超えますので、00 バンクのイメージにすべての領域を見せることができません。したがって、FF4000_H ~ FFFFFFF_H の ROM データは 004000_H ~ 00FFFF_H のイメージに見えますので、ROM データテーブルは FF4000_H ~ FFFFFFF_H の領域に格納することを推奨します。

8. I/O マップ

アドレス	レジスタ名称	レジスタ略称	読み込み / 書き込み	リソース名	初期値
00 _H	ポート 0 データレジスタ	PDR0	R/W	ポート 0	XXXXXXXX _B
01 _H	ポート 1 データレジスタ	PDR1	R/W	ポート 1	XXXXXXXX _B
02 _H	ポート 2 データレジスタ	PDR2	R/W	ポート 2	XXXXXXXX _B
03 _H	ポート 3 データレジスタ	PDR3	R/W	ポート 3	XXXXXXXX _B
04 _H	ポート 4 データレジスタ	PDR4	R/W	ポート 4	XXXXXXXX _B
05 _H	ポート 5 データレジスタ	PDR5	R/W	ポート 5	XXXXXXXX _B
06 _H	ポート 6 データレジスタ	PDR6	R/W	ポート 6	XXXXXXXX _B
07 _H	ポート 7 データレジスタ	PDR7	R/W	ポート 7	XXXXXXXX _B
08 _H	ポート 8 データレジスタ	PDR8	R/W	ポート 8	XXXXXXXX _B
09 _H	ポート 9 データレジスタ	PDR9	R/W	ポート 9	XXXXXXXX _B
0A _H	ポート A データレジスタ	PDRA	R/W	ポート A	_____X _B
0B _H ~ 0F _H	(予約領域)				
10 _H	ポート 0 方向レジスタ	DDR0	R/W	ポート 0	00000000 _B
11 _H	ポート 1 方向レジスタ	DDR1	R/W	ポート 1	00000000 _B
12 _H	ポート 2 方向レジスタ	DDR2	R/W	ポート 2	00000000 _B
13 _H	ポート 3 方向レジスタ	DDR3	R/W	ポート 3	00000000 _B
14 _H	ポート 4 方向レジスタ	DDR4	R/W	ポート 4	00000000 _B
15 _H	ポート 5 方向レジスタ	DDR5	R/W	ポート 5	00000000 _B
16 _H	ポート 6 方向レジスタ	DDR6	R/W	ポート 6	00000000 _B
17 _H	ポート 7 方向レジスタ	DDR7	R/W	ポート 7	00000000 _B
18 _H	ポート 8 方向レジスタ	DDR8	R/W	ポート 8	00000000 _B
19 _H	ポート 9 方向レジスタ	DDR9	R/W	ポート 9	00000000 _B
1A _H	ポート A 方向レジスタ	DDRA	R/W	ポート A	_____0 _B
1B _H	アナログ入力許可レジスタ	ADER	R/W	ポート 6, A/D	11111111 _B
1C _H	ポート 0 プルアップ制御レジスタ	PUCR0	R/W	ポート 0	00000000 _B
1D _H	ポート 1 プルアップ制御レジスタ	PUCR1	R/W	ポート 1	00000000 _B
1E _H	ポート 2 プルアップ制御レジスタ	PUCR2	R/W	ポート 2	00000000 _B
1F _H	ポート 3 プルアップ制御レジスタ	PUCR3	R/W	ポート 3	00000000 _B
20 _H	シリアルモードコントロールレジスタ 0	UMC0	R/W	UART0	00000100 _B
21 _H	シリアルステータスレジスタ 0	USR0	R/W		00010000 _B
22 _H	シリアルインプットデータレジスタ 0 / シリアルアウトプットデータレジスタ 0	UIDR0/UODR0	R/W		XXXXXXXX _B
23 _H	レート / データレジスタ 0	URD0	R/W		0000000X _B

アドレス	レジスタ名称	レジスタ略称	読み込み / 書き込み	リソース名	初期値
24 _H	シリアルモードレジスタ 1	SMR1	R/W	UART1	00000000 _B
25 _H	シリアルコントロールレジスタ 1	SCR1	R/W		00000100 _B
26 _H	シリアルインプットデータレジスタ 1 / シリアルアウトプットデータレジスタ 1	SIDR1/SODR1	R/W		XXXXXXXX _B
27 _H	シリアルステータスレジスタ 1	SSR1	R/W		00001_00 _B
28 _H	UART1 通信プリスケアラコントロールレジスタ	CDCR	R/W		0__1111 _B
29 _H	シリアルエッジセレクトレジスタ	SES1	R/W		_____0 _B
2A _H	(使用禁止)				
2B _H	シリアル I/O プリスケアラ	SCDCR	R/W	I/O 拡張シリアル インタフェース	0__1111 _B
2C _H	シリアルモードコントロールレジスタ	SMCS	R/W		_____0000 _B
2D _H	シリアルモードコントロールレジスタ	SMCS	R/W		00000010 _B
2E _H	シリアルデータレジスタ	SDR	R/W		XXXXXXXX _B
2F _H	シリアルエッジセレクトレジスタ	SES2	R/W		_____0 _B
30 _H	外部割込み許可レジスタ	ENIR	R/W	外部割込み回路	00000000 _B
31 _H	外部割込み要因レジスタ	EIRR	R/W		XXXXXXXX _B
32 _H	要求レベル設定レジスタ	ELVR	R/W		00000000 _B
33 _H	要求レベル設定レジスタ	ELVR	R/W		00000000 _B
34 _H	A/D コントロールステータスレジスタ 0	ADCS0	R/W	A/D コンバータ	00000000 _B
35 _H	A/D コントロールステータスレジスタ 1	ADCS1	R/W		00000000 _B
36 _H	A/D データレジスタ 0	ADCR0	R		XXXXXXXX _B
37 _H	A/D データレジスタ 1	ADCR1	R/W		00001_XX _B
38 _H	PPG0 動作モード制御レジスタ	PPGC0	R/W	16 ビット PPG タイマ 0, 1	0_000__1 _B
39 _H	PPG1 動作モード制御レジスタ	PPGC1	R/W		0_000001 _B
3A _H	PPG0/1 クロック選択レジスタ	PPG01	R/W		000000__ _B
3B _H	(使用禁止)				
3C _H	PPG2 動作モード制御レジスタ	PPGC2	R/W	16 ビット PPG タイマ 2, 3	0_000__1 _B
3D _H	PPG3 動作モード制御レジスタ	PPGC3	R/W		0_000001 _B
3E _H	PPG2/3 クロック選択レジスタ	PPG23	R/W		000000__ _B
3F _H	(使用禁止)				
40 _H	PPG4 動作モード制御レジスタ	PPGC4	R/W	16 ビット PPG タイマ 4, 5	0_000__1 _B
41 _H	PPG5 動作モード制御レジスタ	PPGC5	R/W		0_000001 _B
42 _H	PPG4/5 クロック選択レジスタ	PPG45	R/W		000000__ _B
43 _H	(使用禁止)				
44 _H	PPG6 動作モード制御レジスタ	PPGC6	R/W	16 ビット PPG タイマ 6, 7	0_000__1 _B
45 _H	PPG7 動作モード制御レジスタ	PPGC7	R/W		0_000001 _B
46 _H	PPG6/7 クロック選択レジスタ	PPG67	R/W		000000__ _B
47 _H ~ 4B _H	(使用禁止)				

アドレス	レジスタ名称	レジスタ略称	読み込み / 書き込み	リソース名	初期値
4C _H	インプットキャプチャコントロールステータスレジスタ 0, 1	ICS01	R/W	インプットキャプチャ 0, 1	00000000 _B
4D _H	インプットキャプチャコントロールステータスレジスタ 2, 3	ICS23	R/W	インプットキャプチャ 2, 3	00000000 _B
4E _H	インプットキャプチャコントロールステータスレジスタ 4, 5	ICS45	R/W	インプットキャプチャ 4, 5	00000000 _B
4F _H	インプットキャプチャコントロールステータスレジスタ 6, 7	ICS67	R/W	インプットキャプチャ 6, 7	00000000 _B
50 _H	タイマコントロールステータスレジスタ 0	TMCSR0	R/W	16 ビットリロード タイマ 0	00000000 _B
51 _H	タイマコントロールステータスレジスタ 0	TMCSR0	R/W		____0000 _B
52 _H	タイマレジスタ 0 / リロードレジスタ 0	TMR0/TMRLR0	R/W		XXXXXXXX _B
53 _H	タイマレジスタ 0 / リロードレジスタ 0	TMR0/TMRLR0	R/W		XXXXXXXX _B
54 _H	タイマコントロールステータスレジスタ 1	TMCSR1	R/W	16 ビットリロード タイマ 1	00000000 _B
55 _H	タイマコントロールステータスレジスタ 1	TMCSR1	R/W		____0000 _B
56 _H	タイマレジスタ 1 / リロードレジスタ 1	TMR1/TMRLR1	R/W		XXXXXXXX _B
57 _H	タイマレジスタ 1 / リロードレジスタ 1	TMR1/TMRLR1	R/W		XXXXXXXX _B
58 _H	アウトプットコンペアコントロールステータスレジスタ 0	OCS0	R/W	アウトプット コンペア 0, 1	0000__00 _B
59 _H	アウトプットコンペアコントロールステータスレジスタ 1	OCS1	R/W		___00000 _B
5A _H	アウトプットコンペアコントロールステータスレジスタ 2	OCS2	R/W	アウトプット コンペア 2, 3	0000__00 _B
5B _H	アウトプットコンペアコントロールステータスレジスタ 3	OCS3	R/W		___00000 _B
5C _H ~ 6B _H	(使用禁止)				
6C _H	タイマデータレジスタ	TCDT	R/W	I/O タイマ	00000000 _B
6D _H	タイマデータレジスタ	TCDT	R/W		00000000 _B
6E _H	タイマコントロールステータスレジスタ	TCCS	R/W		00000000 _B
6F _H	ROM ミラー機能選択レジスタ	ROMM	R/W	ROM ミラー機能 選択モジュール	-----1 _B
70 _H ~ 7F _H	(予約領域 : CAN 0 インタフェース)				
80 _H ~ 8F _H	(予約領域 : CAN 1 インタフェース)				
90 _H ~ 9D _H	(使用禁止)				
9E _H	プログラムアドレス検出コントロール / ステータスレジスタ	PACSR	R/W	アドレス一致 検出機能	00000000 _B
9F _H	遅延割込み要因発生 / 解除レジスタ	DIRR	R/W	遅延割込み発生 モジュール	-----0 _B

アドレス	レジスタ名称	レジスタ略称	読み込み/ 書き込み	リソース名	初期値
A0 _H	低消費電力モード制御レジスタ	LPMCR	R/W	消費電力 (スタンバイ) モード	00011000 _B
A1 _H	クロック選択レジスタ	CKSCR	R/W		11111100 _B
A2 _H ~ A4 _H	(使用禁止)				
A5 _H	自動レディ機能選択レジスタ	ARSR	W	外部バス端子	0011__00 _B
A6 _H	外部アドレス出力制御レジスタ	HACR	W		00000000 _B
A7 _H	バス制御信号選択レジスタ	ECSR	W		0000000_ _B
A8 _H	ウォッチドッグタイマ制御レジスタ	WDTC	R/W	ウォッチドッグ タイマ	XXXXXX111 _B
A9 _H	タイムベースタイマ制御レジスタ	TBTC	R/W	タイムベース タイマ	1--00100 _B
AA _H	時計タイマ制御レジスタ	WTC	R/W	時計タイマ	1X000000 _B
AB _H ~ AD _H	(使用禁止)				
AE _H	フラッシュメモリコントロール ステータスレジスタ (Flashのみ, 他は予約領域)	FMCS	R/W	フラッシュメモリ	000X0000 _B
AF _H	(使用禁止)				
B0 _H	割込み制御レジスタ 00	ICR00	R/W	割込み コントローラ	00000111 _B
B1 _H	割込み制御レジスタ 01	ICR01	R/W		00000111 _B
B2 _H	割込み制御レジスタ 02	ICR02	R/W		00000111 _B
B3 _H	割込み制御レジスタ 03	ICR03	R/W		00000111 _B
B4 _H	割込み制御レジスタ 04	ICR04	R/W		00000111 _B
B5 _H	割込み制御レジスタ 05	ICR05	R/W		00000111 _B
B6 _H	割込み制御レジスタ 06	ICR06	R/W		00000111 _B
B7 _H	割込み制御レジスタ 07	ICR07	R/W		00000111 _B
B8 _H	割込み制御レジスタ 08	ICR08	R/W		00000111 _B
B9 _H	割込み制御レジスタ 09	ICR09	R/W		00000111 _B
BA _H	割込み制御レジスタ 10	ICR10	R/W		00000111 _B
BB _H	割込み制御レジスタ 11	ICR11	R/W		00000111 _B
BC _H	割込み制御レジスタ 12	ICR12	R/W		00000111 _B
BD _H	割込み制御レジスタ 13	ICR13	R/W		00000111 _B
BE _H	割込み制御レジスタ 14	ICR14	R/W		00000111 _B
BF _H	割込み制御レジスタ 15	ICR15	R/W	00000111 _B	
C0 _H ~ FF _H	(外部領域)				

アドレス	レジスタ名称	レジスタ略称	読み込み / 書き込み	リソース名	初期値
1FF0 _H	プログラムアドレス 検出レジスタ 0	PADR0	R/W	アドレス一致 検出機能	XXXXXXXX _B
1FF1 _H		PADR0	R/W		XXXXXXXX _B
1FF2 _H		PADR0	R/W		XXXXXXXX _B
1FF3 _H	プログラムアドレス 検出レジスタ 1	PADR1	R/W		XXXXXXXX _B
1FF4 _H		PADR1	R/W		XXXXXXXX _B
1FF5 _H		PADR1	R/W		XXXXXXXX _B
3900 _H	リロードレジスタ L	PRL0	R/W	16 ビット PPG タイマ 0/1	XXXXXXXX _B
3901 _H	リロードレジスタ H	PRLH0	R/W		XXXXXXXX _B
3902 _H	リロードレジスタ L	PRL1	R/W		XXXXXXXX _B
3903 _H	リロードレジスタ H	PRLH1	R/W		XXXXXXXX _B
3904 _H	リロードレジスタ L	PRL2	R/W	16 ビット PPG タイマ 2/3	XXXXXXXX _B
3905 _H	リロードレジスタ H	PRLH2	R/W		XXXXXXXX _B
3906 _H	リロードレジスタ L	PRL3	R/W		XXXXXXXX _B
3907 _H	リロードレジスタ H	PRLH3	R/W		XXXXXXXX _B
3908 _H	リロードレジスタ L	PRL4	R/W	16 ビット PPG タイマ 4/5	XXXXXXXX _B
3909 _H	リロードレジスタ H	PRLH4	R/W		XXXXXXXX _B
390A _H	リロードレジスタ L	PRL5	R/W		XXXXXXXX _B
390B _H	リロードレジスタ H	PRLH5	R/W		XXXXXXXX _B
390C _H	リロードレジスタ L	PRL6	R/W	16 ビット PPG タイマ 6/7	XXXXXXXX _B
390D _H	リロードレジスタ H	PRLH6	R/W		XXXXXXXX _B
390E _H	リロードレジスタ L	PRL7	R/W		XXXXXXXX _B
390F _H	リロードレジスタ H	PRLH7	R/W		XXXXXXXX _B
3910 _H ~ 3917 _H	(予約領域)				
3918 _H	インプットキャプチャレジスタ 0	IPCP0	R	インプット キャプチャ 0/1	XXXXXXXX _B
3919 _H	インプットキャプチャレジスタ 0	IPCP0	R		XXXXXXXX _B
391A _H	インプットキャプチャレジスタ 1	IPCP1	R		XXXXXXXX _B
391B _H	インプットキャプチャレジスタ 1	IPCP1	R		XXXXXXXX _B
391C _H	インプットキャプチャレジスタ 2	IPCP2	R	インプット キャプチャ 2/3	XXXXXXXX _B
391D _H	インプットキャプチャレジスタ 2	IPCP2	R		XXXXXXXX _B
391E _H	インプットキャプチャレジスタ 3	IPCP3	R		XXXXXXXX _B
391F _H	インプットキャプチャレジスタ 3	IPCP3	R		XXXXXXXX _B
3920 _H	インプットキャプチャレジスタ 4	IPCP4	R	インプット キャプチャ 4/5	XXXXXXXX _B
3921 _H	インプットキャプチャレジスタ 4	IPCP4	R		XXXXXXXX _B
3922 _H	インプットキャプチャレジスタ 5	IPCP5	R		XXXXXXXX _B
3923 _H	インプットキャプチャレジスタ 5	IPCP5	R		XXXXXXXX _B

アドレス	レジスタ名称	レジスタ略称	読込み/ 書込み	リソース名	初期値
3924 _H	インプットキャプチャレジスタ 6	IPCP6	R	インプット キャプチャ 6/7	XXXXXXXX _B
3925 _H	インプットキャプチャレジスタ 6	IPCP6	R		XXXXXXXX _B
3926 _H	インプットキャプチャレジスタ 7	IPCP7	R		XXXXXXXX _B
3927 _H	インプットキャプチャレジスタ 7	IPCP7	R		XXXXXXXX _B
3928 _H	アウトプットコンペアレジスタ 0	OCCP0	R/W	アウトプット コンペア 0/1	XXXXXXXX _B
3929 _H	アウトプットコンペアレジスタ 0	OCCP0	R/W		XXXXXXXX _B
392A _H	アウトプットコンペアレジスタ 1	OCCP1	R/W		XXXXXXXX _B
392B _H	アウトプットコンペアレジスタ 1	OCCP1	R/W		XXXXXXXX _B
392C _H	アウトプットコンペアレジスタ 2	OCCP2	R/W	アウトプット コンペア 2/3	XXXXXXXX _B
392D _H	アウトプットコンペアレジスタ 2	OCCP2	R/W		XXXXXXXX _B
392E _H	アウトプットコンペアレジスタ 3	OCCP3	R/W		XXXXXXXX _B
392F _H	アウトプットコンペアレジスタ 3	OCCP3	R/W		XXXXXXXX _B
3930 _H ~ 39FF _H	(予約領域)				
3A00 _H ~ 3AFF _H	(予約領域 : CAN 0 インタフェース)				
3B00 _H ~ 3BFF _H	(予約領域 : CAN 0 インタフェース)				
3C00 _H ~ 3CFF _H	(予約領域 : CAN 1 インタフェース)				
3D00 _H ~ 3DFF _H	(予約領域 : CAN 1 インタフェース)				
3E00 _H ~ 3FFF _H	(予約領域)				

■ 読込み / 書込みについての説明

R/W : リード・ライト可
R : リードオンリ
W : ライトオンリ

■ 初期値についての説明

0 : このビットの初期値は“0”です。
1 : このビットの初期値は“1”です。
X : このビットの初期値は不定です。
_ : このビットは未使用です。初期値は不定です。

(注意事項) I/O マップ内の予約領域への書き込みは行わないでください。
予約領域を読み出した場合は、不定が読み出されます。

9. CAN コントローラ

MB90540G シリーズおよび MB90V540G には 2 チャンネル (CAN0 と CAN1), MB90545G シリーズには 1 チャンネル (CAN0) の CAN (Controller Area Network) コントローラを内蔵しています。

CAN コントローラの特長 :

- CAN 規格バージョン 2.0, パート A および B 準拠
 - 標準フレームフォーマットおよび拡張フレームフォーマットでの送信 / 受信機能をサポート
- リモートフレームを受信することによるデータ・フレーム送信機能をサポート
- 16 本のメッセージ送信 / 受信バッファ
 - 29 ビット ID および 8 バイトデータ
 - マルチレベルメッセージバッファ構成
- 各メッセージバッファにおいて、ID アクセプタンスマスクとしてフルビットコンペア, フルビットマスク, アクセプタンスレジスタ 0 / アクセプタンスレジスタ 1 を提供
 - 標準フレームフォーマットまたは拡張フレームフォーマットでの 2 個のアクセプタンスマスクレジスタ
- ビット伝送速度は 10 Kbps から 1 Mbps の範囲内でプログラミング可能 (入力クロックが 16 MHz の場合)

コントロールレジスタ一覧

アドレス		レジスタ名称	レジスタ略称	読み込み / 書き込み	初期値
CAN0	CAN1				
000070 _H	000080 _H	メッセージバッファレジスタ	BVALR	R/W	00000000 00000000 _B
000071 _H	000081 _H				
000072 _H	000082 _H	送信要求レジスタ	TREQR	R/W	00000000 00000000 _B
000073 _H	000083 _H				
000074 _H	000084 _H	送信無効レジスタ	TCANR	W	00000000 00000000 _B
000075 _H	000085 _H				
000076 _H	000086 _H	送信完了レジスタ	TCR	R/W	00000000 00000000 _B
000077 _H	000087 _H				
000078 _H	000088 _H	受信完了レジスタ	RCR	R/W	00000000 00000000 _B
000079 _H	000089 _H				
00007A _H	00008A _H	リモート要求受信レジスタ	RRTRR	R/W	00000000 00000000 _B
00007B _H	00008B _H				
00007C _H	00008C _H	受信オーバランレジスタ	ROVRR	R/W	00000000 00000000 _B
00007D _H	00008D _H				
00007E _H	00008E _H	受信割込み許可レジスタ	RIER	R/W	00000000 00000000 _B
00007F _H	00008F _H				
003B00 _H	003D00 _H	コントロールステータスレジスタ	CSR	R/W, R	00---000 0----0-1 _B
003B01 _H	003D01 _H				
003B02 _H	003D02 _H	最終イベント表示レジスタ	LEIR	R/W	----- 000-0000 _B
003B03 _H	003D03 _H				
003B04 _H	003D04 _H	受信 / 送信エラーカウンタレジスタ	RTEC	R	00000000 00000000 _B
003B05 _H	003D05 _H				
003B06 _H	003D06 _H	ビットタイミングレジスタ	BTR	R/W	-1111111 11111111 _B
003B07 _H	003D07 _H				

アドレス		レジスタ名称	レジスタ略称	読み込み / 書き込み	初期値
CAN0	CAN1				
003B08 _H	003D08 _H	IDE レジスタ	IDER	R/W	XXXXXXXX XXXXXXXX _B
003B09 _H	003D09 _H				
003B0A _H	003D0A _H	送信 RTR レジスタ	TRTRR	R/W	00000000 00000000 _B
003B0B _H	003D0B _H				
003B0C _H	003D0C _H	リモートフレーム受信待機レジスタ	RFWTR	R/W	XXXXXXXX XXXXXXXX _B
003B0D _H	003D0D _H				
003B0E _H	003D0E _H	送信要求許可レジスタ	TIER	R/W	00000000 00000000 _B
003B0F _H	003D0F _H				
003B10 _H	003D10 _H	アクセプタンスマスク選択レジスタ	AMSR	R/W	XXXXXXXX XXXXXXXX _B
003B11 _H	003D11 _H				XXXXXXXX XXXXXXXX _B
003B12 _H	003D12 _H				XXXXXXXX XXXXXXXX _B
003B13 _H	003D13 _H				XXXXXXXX XXXXXXXX _B
003B14 _H	003D14 _H	アクセプタンスマスクレジスタ 0	AMR0	R/W	XXXXXXXX XXXXXXXX _B
003B15 _H	003D15 _H				XXXXXX--- XXXXXXXX _B
003B16 _H	003D16 _H				XXXXXXXX XXXXXXXX _B
003B17 _H	003D17 _H				XXXXXXXX XXXXXXXX _B
003B18 _H	003D18 _H	アクセプタンスマスクレジスタ 1	AMR1	R/W	XXXXXXXX XXXXXXXX _B
003B19 _H	003D19 _H				XXXXXXXX XXXXXXXX _B
003B1A _H	003D1A _H				XXXXXXXX XXXXXXXX _B
003B1B _H	003D1B _H				XXXXXXXX XXXXXXXX _B

メッセージバッファ一覧 (ID レジスタ)

アドレス		レジスタ名称	レジスタ略称	読み込み / 書き込み	初期値
CAN0	CAN1				
003A00 _H	003C00 _H	RAM 領域	—	R/W	XXXXXXXX _B
~	~				~
003A1F _H	003C1F _H				XXXXXXXX _B
003A20 _H	003C20 _H	ID レジスタ 0	IDR0	R/W	XXXXXXXX XXXXXXXX _B
003A21 _H	003C21 _H				XXXXXXXX XXXXXXXX _B
003A22 _H	003C22 _H				XXXXXX--- XXXXXXXX _B
003A23 _H	003C23 _H				
003A24 _H	003C24 _H	ID レジスタ 1	IDR1	R/W	XXXXXXXX XXXXXXXX _B
003A25 _H	003C25 _H				XXXXXXXX XXXXXXXX _B
003A26 _H	003C26 _H				XXXXXXXX XXXXXXXX _B
003A27 _H	003C27 _H				XXXXXX--- XXXXXXXX _B

アドレス		レジスタ名称	レジスタ略称	読み込み / 書込み	初期値
CAN0	CAN1				
003A28 _H	003C28 _H	ID レジスタ 2	IDR2	R/W	XXXXXXXXXXXXXXXX _B
003A29 _H	003C29 _H				
003A2A _H	003C2A _H				
003A2B _H	003C2B _H				XXXXXX---XXXXXXXX _B
003A2C _H	003C2C _H	ID レジスタ 3	IDR3	R/W	XXXXXXXXXXXXXXXX _B
003A2D _H	003C2D _H				
003A2E _H	003C2E _H				
003A2F _H	003C2F _H				XXXXXX---XXXXXXXX _B
003A30 _H	003C30 _H	ID レジスタ 4	IDR4	R/W	XXXXXXXXXXXXXXXX _B
003A31 _H	003C31 _H				
003A32 _H	003C32 _H				
003A33 _H	003C33 _H				XXXXXX---XXXXXXXX _B
003A34 _H	003C34 _H	ID レジスタ 5	IDR5	R/W	XXXXXXXXXXXXXXXX _B
003A35 _H	003C35 _H				
003A36 _H	003C36 _H				
003A37 _H	003C37 _H				XXXXXX---XXXXXXXX _B
003A38 _H	003C38 _H	ID レジスタ 6	IDR6	R/W	XXXXXXXXXXXXXXXX _B
003A39 _H	003C39 _H				
003A3A _H	003C3A _H				
003A3B _H	003C3B _H				XXXXXX---XXXXXXXX _B
003A3C _H	003C3C _H	ID レジスタ 7	IDR7	R/W	XXXXXXXXXXXXXXXX _B
003A3D _H	003C3D _H				
003A3E _H	003C3E _H				
003A3F _H	003C3F _H				XXXXXX---XXXXXXXX _B
003A40 _H	003C40 _H	ID レジスタ 8	IDR8	R/W	XXXXXXXXXXXXXXXX _B
003A41 _H	003C41 _H				
003A42 _H	003C42 _H				
003A43 _H	003C43 _H				XXXXXX---XXXXXXXX _B
003A44 _H	003C44 _H	ID レジスタ 9	IDR9	R/W	XXXXXXXXXXXXXXXX _B
003A45 _H	003C45 _H				
003A46 _H	003C46 _H				
003A47 _H	003C47 _H				XXXXXX---XXXXXXXX _B
003A48 _H	003C48 _H	ID レジスタ 10	IDR10	R/W	XXXXXXXXXXXXXXXX _B
003A49 _H	003C49 _H				
003A4A _H	003C4A _H				
003A4B _H	003C4B _H				XXXXXX---XXXXXXXX _B

アドレス		レジスタ名称	レジスタ略称	読み込み / 書き込み	初期値
CAN0	CAN1				
003A4C _H	003C4C _H	ID レジスタ 11	IDR11	R/W	XXXXXXXXXXXXXXXX _B
003A4D _H	003C4D _H				
003A4E _H	003C4E _H				
003A4F _H	003C4F _H				XXXXXX---XXXXXXXX _B
003A50 _H	003C50 _H	ID レジスタ 12	IDR12	R/W	XXXXXXXXXXXXXXXX _B
003A51 _H	003C51 _H				
003A52 _H	003C52 _H				
003A53 _H	003C53 _H				XXXXXX---XXXXXXXX _B
003A54 _H	003C54 _H	ID レジスタ 13	IDR13	R/W	XXXXXXXXXXXXXXXX _B
003A55 _H	003C55 _H				
003A56 _H	003C56 _H				
003A57 _H	003C57 _H				XXXXXX---XXXXXXXX _B
003A58 _H	003C58 _H	ID レジスタ 14	IDR14	R/W	XXXXXXXXXXXXXXXX _B
003A59 _H	003C59 _H				
003A5A _H	003C5A _H				
003A5B _H	003C5B _H				XXXXXX---XXXXXXXX _B
003A5C _H	003C5C _H	ID レジスタ 15	IDR15	R/W	XXXXXXXXXXXXXXXX _B
003A5D _H	003C5D _H				
003A5E _H	003C5E _H				
003A5F _H	003C5F _H				XXXXXX---XXXXXXXX _B

メッセージバッファ一覧 (DLC レジスタおよびデータレジスタ)

アドレス		レジスタ名称	レジスタ略称	読み込み / 書き込み	初期値
CAN0	CAN1				
003A60 _H	003C60 _H	DLC レジスタ 0	DLCR0	R/W	----XXXX _B
003A61 _H	003C61 _H				
003A62 _H	003C62 _H	DLC レジスタ 1	DLCR1	R/W	----XXXX _B
003A63 _H	003C63 _H				
003A64 _H	003C64 _H	DLC レジスタ 2	DLCR2	R/W	----XXXX _B
003A65 _H	003C65 _H				
003A66 _H	003C66 _H	DLC レジスタ 3	DLCR3	R/W	----XXXX _B
003A67 _H	003C67 _H				
003A68 _H	003C68 _H	DLC レジスタ 4	DLCR4	R/W	----XXXX _B
003A69 _H	003C69 _H				
003A6A _H	003C6A _H	DLC レジスタ 5	DLCR5	R/W	----XXXX _B
003A6B _H	003C6B _H				

アドレス		レジスタ名称	レジスタ略称	読み込み / 書き込み	初期値
CAN0	CAN1				
003A6C _H	003C6C _H	DLC レジスタ 6	DLCR6	R/W	----XXXX _B
003A6D _H	003C6D _H				
003A6E _H	003C6E _H	DLC レジスタ 7	DLCR7	R/W	----XXXX _B
003A6F _H	003C6F _H				
003A70 _H	003C70 _H	DLC レジスタ 8	DLCR8	R/W	----XXXX
003A71 _H	003C71 _H				
003A72 _H	003C72 _H	DLC レジスタ 9	DLCR9	R/W	----XXXX _B
003A73 _H	003C73 _H				
003A74 _H	003C74 _H	DLC レジスタ 10	DLCR10	R/W	----XXXX _B
003A75 _H	003C75 _H				
003A76 _H	003C76 _H	DLC レジスタ 11	DLCR11	R/W	----XXXX _B
003A77 _H	003C77 _H				
003A78 _H	003C78 _H	DLC レジスタ 12	DLCR12	R/W	----XXXX _B
003A79 _H	003C79 _H				
003A7A _H	003C7A _H	DLC レジスタ 13	DLCR13	R/W	----XXXX _B
003A7B _H	003C7B _H				
003A7C _H	003C7C _H	DLC レジスタ 14	DLCR14	R/W	----XXXX _B
003A7D _H	003C7D _H				
003A7E _H	003C7E _H	DLC レジスタ 15	DLCR15	R/W	----XXXX _B
003A7F _H	003C7F _H				
003A80 _H ～ 003A87 _H	003C80 _H ～ 003C87 _H	データレジスタ 0 (8 バイト)	DTR0	R/W	XXXXXXXX _B ～ XXXXXXXX _B
003A88 _H ～ 003A8F _H	003C88 _H ～ 003C8F _H	データレジスタ 1 (8 バイト)	DTR1	R/W	XXXXXXXX _B ～ XXXXXXXX _B
003A90 _H ～ 003A97 _H	003C90 _H ～ 003C97 _H	データレジスタ 2 (8 バイト)	DTR2	R/W	XXXXXXXX _B ～ XXXXXXXX _B

アドレス		レジスタ名称	レジスタ略称	読み込み / 書き込み	初期値
CAN0	CAN1				
003A98 _H ～ 003A9F _H	003C98 _H ～ 003C9F _H	データレジスタ 3 (8 バイト)	DTR3	R/W	XXXXXXXX _B ～ XXXXXXXX _B
003AA0 _H ～ 003AA7 _H	003CA0 _H ～ 003CA7 _H	データレジスタ 4 (8 バイト)	DTR4	R/W	XXXXXXXX _B ～ XXXXXXXX _B
003AA8 _H ～ 003AAF _H	003CA8 _H ～ 003CAF _H	データレジスタ 5 (8 バイト)	DTR5	R/W	XXXXXXXX _B ～ XXXXXXXX _B
003AB0 _H ～ 003AB7 _H	003CB0 _H ～ 003CB7 _H	データレジスタ 6 (8 バイト)	DTR6	R/W	XXXXXXXX _B ～ XXXXXXXX _B
003AB8 _H ～ 003ABF _H	003CB8 _H ～ 003CBF _H	データレジスタ 7 (8 バイト)	DTR7	R/W	XXXXXXXX _B ～ XXXXXXXX _B
003AC0 _H ～ 003AC7 _H	003CC0 _H ～ 003CC7 _H	データレジスタ 8 (8 バイト)	DTR8	R/W	XXXXXXXX _B ～ XXXXXXXX _B
003AC8 _H ～ 003ACF _H	003CC8 _H ～ 003CCF _H	データレジスタ 9 (8 バイト)	DTR9	R/W	XXXXXXXX _B ～ XXXXXXXX _B
003AD0 _H ～ 003AD7 _H	003CD0 _H ～ 003CD7 _H	データレジスタ 10 (8 バイト)	DTR10	R/W	XXXXXXXX _B ～ XXXXXXXX _B
003AD8 _H ～ 003ADF _H	003CD8 _H ～ 003CDF _H	データレジスタ 11 (8 バイト)	DTR11	R/W	XXXXXXXX _B ～ XXXXXXXX _B
003AE0 _H ～ 003AE7 _H	003CE0 _H ～ 003CE7 _H	データレジスタ 12 (8 バイト)	DTR12	R/W	XXXXXXXX _B ～ XXXXXXXX _B
003AE8 _H ～ 003AEF _H	003CE8 _H ～ 003CEF _H	データレジスタ 13 (8 バイト)	DTR13	R/W	XXXXXXXX _B ～ XXXXXXXX _B
003AF0 _H ～ 003AF7 _H	003CF0 _H ～ 003CF7 _H	データレジスタ 14 (8 バイト)	DTR14	R/W	XXXXXXXX _B ～ XXXXXXXX _B
003AF8 _H ～ 003AFF _H	003CF8 _H ～ 003CFF _H	データレジスタ 15 (8 バイト)	DTR15	R/W	XXXXXXXX _B ～ XXXXXXXX _B

10. 割込み要因と割込みベクタ, 割込み制御レジスタ

割込み要因	EI ² OS クリア	割込みベクタ		割込み制御レジスタ	
		番号	アドレス	番号	アドレス
リセット	N/A	#08	FFFFDC _H	—	—
INT9 命令	N/A	#09	FFFFD8 _H	—	—
例外処理	N/A	#10	FFFFD4 _H	—	—
CAN 0 RX	N/A	#11	FFFFD0 _H	ICR00	0000B0 _H
CAN 0 TX/NS	N/A	#12	FFFFCC _H		
CAN 1 RX	N/A	#13	FFFFC8 _H	ICR01	0000B1 _H
CAN 1 TX/NS	N/A	#14	FFFFC4 _H		
外部割込み (INT0/INT1)	* 1	#15	FFFFC0 _H	ICR02	0000B2 _H
タイムベースタイマ	N/A	#16	FFFFBC _H		
16 ビットリロードタイマ 0	* 1	#17	FFFFB8 _H	ICR03	0000B3 _H
8/10 ビット A/D コンバータ	* 1	#18	FFFFB4 _H		
16 ビットフリーランタイマ	N/A	#19	FFFFB0 _H	ICR04	0000B4 _H
外部割込み (INT2/INT3)	* 1	#20	FFFFAC _H		
シリアル I/O	* 1	#21	FFFFA8 _H	ICR05	0000B5 _H
8/16 ビット PPG タイマ 0/1	N/A	#22	FFFFA4 _H		
インプットキャプチャ 0	* 1	#23	FFFFA0 _H	ICR06	0000B6 _H
外部割込み (INT4/INT5)	* 1	#24	FFFF9C _H		
インプットキャプチャ 1	* 1	#25	FFFF98 _H	ICR07	0000B7 _H
8/16 ビット PPG タイマ 2/3	N/A	#26	FFFF94 _H		
外部割込み (INT6/INT7)	* 1	#27	FFFF90 _H	ICR08	0000B8 _H
時計タイマ	N/A	#28	FFFF8C _H		
8/16 ビット PPG タイマ 4/5	N/A	#29	FFFF88 _H	ICR09	0000B9 _H
インプットキャプチャ 2/3	* 1	#30	FFFF84 _H		
8/16 ビット PPG タイマ 6/7	N/A	#31	FFFF80 _H	ICR10	0000BA _H
アウトプットコンペア 0	* 1	#32	FFFF7C _H		
アウトプットコンペア 1	* 1	#33	FFFF78 _H	ICR11	0000BB _H
インプットキャプチャ 4/5	* 1	#34	FFFF74 _H		
アウトプットコンペア 2/3 / インプットキャプチャ 6/7	* 1	#35	FFFF70 _H	ICR12	0000BC _H
16 ビットリロードタイマ 1	* 1	#36	FFFF6C _H		
UART 0 受信完了	* 2	#37	FFFF68 _H	ICR13	0000BD _H
UART 0 送信完了	* 1	#38	FFFF64 _H		
UART 1 受信完了	* 2	#39	FFFF60 _H	ICR14	0000BE _H
UART 1 送信完了	* 1	#40	FFFF5C _H		
フラッシュメモリ	N/A	#41	FFFF58 _H	ICR15	0000BF _H
遅延割込み発生モジュール	N/A	#42	FFFF54 _H		

- * 1 : 割り込み要求フラグは EI²OS 割り込みクリア信号によりクリアされます。
- * 2 : 割り込み要求フラグは EI²OS 割り込みクリア信号によりクリアされます。停止機能が使用可能です。

(注意事項)

- N/A : 割り込み要求フラグは EI²OS 割り込みクリア信号によりクリアされません。
- 一つの割り込み番号に対して2個の割り込み要因がある周辺モジュールの場合は、EI²OS 割り込みクリア信号により両方の割り込み要求フラグがクリアされます。
- EI²OS 実行後、同じ割り込み番号に割り当てられているすべての割り込みフラグに対して EI²OS クリア信号を発生します。一つの割り込みフラグが EI²OS を開始し、その間にハードウェアイベントにより他の割り込みフラグがセットされると、このイベントが生じた EI²OS クリア信号によりこのフラグがクリアされ、以後のイベントは無効となります。そのため、この割り込み番号に対しては EI²OS を使用しないでください。
- EI²OS の有効時に、同じ割り込み制御レジスタ (ICR) 内の2個の割り込み信号のどちらかが割り込み処理されると EI²OS が実行されます。これは、異なった割り込み要因が、各割り込み要因に固有でなければならないはずの同じ EI²OS 記述子を共用することを意味しています。そのため、一方の割り込み要因が EI²OS を使用するときは、他方の割り込み要因を禁止してください。

11. 電気的特性

11.1 絶対最大定格

 $(V_{SS} = AV_{SS} = 0.0\text{ V})$

項目	記号	定格値		単位	備考
		最小	最大		
電源電圧	V_{CC}	$V_{SS} - 0.3$	$V_{SS} + 6.0$	V	
	AV_{CC}	$V_{SS} - 0.3$	$V_{SS} + 6.0$	V	$V_{CC} = AV_{CC}$ * 1
	AVRH, AVRL	$V_{SS} - 0.3$	$V_{SS} + 6.0$	V	$AV_{CC} \geq AVRH / AVRL$, $AVRH \geq AVRL$ * 1
入力電圧	V_I	$V_{SS} - 0.3$	$V_{SS} + 6.0$	V	* 2
出力電圧	V_O	$V_{SS} - 0.3$	$V_{SS} + 6.0$	V	* 2
最大クランプ電流	I_{CLAMP}	- 2.0	+ 2.0	mA	* 6
最大総クランプ電流	$\Sigma I_{CLAMP} $	—	20	mA	* 6
“L” レベル最大出力電流	I_{OL}	—	15	mA	* 3
“L” レベル平均出力電流	I_{OLAV}	—	4	mA	* 4
“L” レベル最大総出力電流	ΣI_{OL}	—	100	mA	
“L” レベル平均総出力電流	ΣI_{OLAV}	—	50	mA	* 5
“H” レベル最大出力電流	I_{OH}	—	- 15	mA	* 3
“H” レベル平均出力電流	I_{OHAV}	—	- 4	mA	* 4
“H” レベル最大総出力電流	ΣI_{OH}	—	- 100	mA	
“H” レベル平均総出力電流	ΣI_{OHAV}	—	- 50	mA	* 5
消費電力	P_D	—	500	mW	フラッシュ品
		—	400	mW	マスク ROM
動作温度	T_A	- 40	+ 105	°C	
保存温度	T_{STG}	- 55	+ 150	°C	

* 1 : AV_{CC} , AVRH, AVRL は V_{CC} を超えてはいけません。AVRH, AVRL は AV_{CC} を超えてはいけません。また, AVRL は AVRH を超えてはいけません。

* 2 : V_I , V_O は $V_{CC} + 0.3\text{ V}$ を超えてはいけません。ただし, 外部の部品を使用して入力への電流または入力からの電流の最大値を制限する場合は, V_I 定格に代って I_{CLAMP} 定格が適用されます。

* 3 : 最大出力電流は, 該当する端子 1 本のピーク値を規定します。

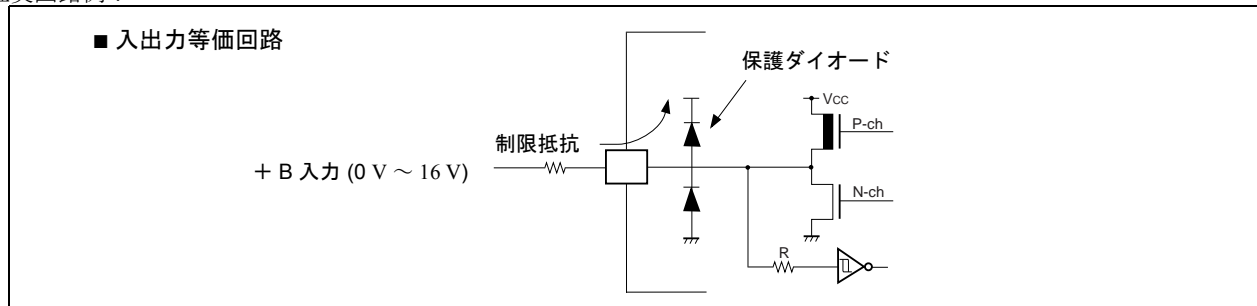
* 4 : 平均出力電流は, 該当する端子 1 本に流れる電流の 100 ms の期間内での平均電流を規定します (平均値とは, 動作電流 × 動作率のことです)。

* 5 : 平均総出力電流は, 該当する端子すべてに流れる電流の 100 ms の期間内での平均電流を規定します (平均値とは, 動作電流 × 動作率のことです)。

* 6 :

- 該当端子:P00 ~ P07, P10 ~ P17, P20 ~ P27, P30 ~ P37, P40 ~ P47, P50 ~ P57, P60 ~ P67, P70 ~ P77, P80 ~ P87, P90 ~ P97, PA0
- 推奨動作条件内でご使用ください。
- 直流電圧 (電流) でご使用ください。
- + B 信号とマイコンの間には, 必ず制限抵抗を接続し + B 信号を印加してください。
- + B 入力時にマイコン端子に入力される電流が, 瞬時・定常を問わず規格値以下になるように制限抵抗の値を設定してください。
- 低消費電力モードなどマイコンの駆動電流が少ない動作状態では, + B 入力電位が保護ダイオードを通して V_{CC} 端子の電位を上昇させ, 他の機器へ影響を及ぼす可能性がありますのでご注意ください。

- マイコン電源がOFF時(0Vに固定していない場合)に+B入力がある場合は、端子から電源が供給されているため、不完全な動作を行う可能性がありますのでご注意ください。
- 電源投入時に+B入力がある場合は、端子から電源が供給されているため、パワーオンリセットが動作しない電源電圧になる可能性がありますのでご注意ください。
- +B入力端子は、オープン状態にならないようご注意ください。
- A/D入力端子を除くアナログ系入力端子(LCD駆動端子、コンパレータ入力端子など)は、+B入力できませんのでご注意ください。
- 推奨回路例：



<注意事項> 絶対最大定格を超えるストレス (電圧、電流、温度など) の印加は、半導体デバイスを破壊する可能性があります。したがって、定格を一項目でも超えることのないようご注意ください。

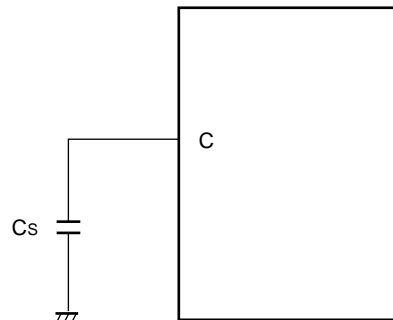
11.2 推奨動作条件
 $(V_{SS} = AV_{SS} = 0.0\text{ V})$

項目	記号	規格値			単位	備考
		最小	標準	最大		
電源電圧	V _{CC} AV _{CC}	4.5	5.0	5.5	V	通常動作時： MB90F548GL(S)/543G(S)/547G(S)/548G(S) 以外
		3.5	5.0	5.5	V	A/D コンバータ使用時の通常動作時： MB90F548GL(S)/543G(S)/547G(S)/548G(S)
		3.0	—	5.5	V	A/D コンバータ未使用時の通常動作時： MB90F548GL(S)/543G(S)/547G(S)/548G(S)
平滑コンデンサ	C _S	0.022	0.1	1.0	μF	*
動作温度	T _A	- 40	—	+ 105	°C	

* : セラミックコンデンサ, または同程度の周波数特性のコンデンサを使用してください。V_{CC} 端子のバイパスコンデンサは C_S よりも大きい容量値のものを使用してください。

<注意事項> 推奨動作条件は, 半導体デバイスの正常な動作を保証する条件です。電気的特性の規格値は, すべてこの条件の範囲内で保証されます。常に推奨動作条件下で使用してください。この条件を超えて使用すると, 信頼性に悪影響を及ぼすことがあります。

データシートに記載されていない項目, 使用条件, 論理の組合せでの使用は, 保証していません。記載されている以外の条件での使用をお考えの場合は, 必ず事前に営業部門までご相談ください。

■ C 端子接続図


11.3 直流規格

(MB90543G(S)/547G(S)/548G(S), MB90F548GL(S) : $V_{CC} = 3.5\text{ V} \sim 5.5\text{ V}$, $V_{SS} = AV_{SS} = 0.0\text{ V}$, $T_A = -40\text{ }^\circ\text{C} \sim +105\text{ }^\circ\text{C}$
(上記以外 : $V_{CC} = 5.0\text{ V} \pm 10\%$, $V_{SS} = AV_{SS} = 0.0\text{ V}$, $T_A = -40\text{ }^\circ\text{C} \sim +105\text{ }^\circ\text{C}$)

項目	記号	端子名	条件	規格値			単位	備考
				最小	標準	最大		
“H” レベル 入力電圧	V_{IHS}	CMOS ヒステリシス 入力の端子	—	$0.8 V_{CC}$	—	$V_{CC} + 0.3$	V	
	V_{IH}	TTL 入力の端子	—	2.0	—	—	V	
	V_{IHM}	MD 端子入力	—	$V_{CC} - 0.3$	—	$V_{CC} + 0.3$	V	
“L” レベル 入力電圧	V_{ILS}	CMOS ヒステリシス 入力の端子	—	$V_{SS} - 0.3$	—	$0.2 V_{CC}$	V	
	V_{IL}	TTL 入力の端子	—	—	—	0.8	V	
	V_{ILM}	MD 端子入力	—	$V_{SS} - 0.3$	—	$V_{SS} + 0.3$	V	
“H” レベル 出力電圧	V_{OH}	すべての出力 端子	$V_{CC} = 4.5\text{ V}$, $I_{OH} = -4.0\text{ mA}$	$V_{CC} - 0.5$	—	—	V	
“L” レベル 出力電圧	V_{OL}	すべての出力 端子	$V_{CC} = 4.5\text{ V}$, $I_{OL} = 4.0\text{ mA}$	—	—	0.4	V	
入力リーク 電流	I_{IL}	—	$V_{CC} = 5.5\text{ V}$, $V_{SS} < V_I < V_{CC}$	-5	—	5	μA	
プルアップ 抵抗	R_{UP}	P00 ~ P07, P10 ~ P17, P20 ~ P27, P30 ~ P37, \overline{RST}	—	25	50	100	$\text{k}\Omega$	
プルダウン 抵抗	R_{DOWN}	MD2	—	25	50	100	$\text{k}\Omega$	フラッシュ品を除く
電源電流*	I_{CC}	V_{CC}	内部 16 MHz 動作, 通常動作時	—	40	55	mA	
			内部 16 MHz 動作, フラッシュ書込み / 消去時	—	50	70	mA	フラッシュ品
	I_{CCS}		内部 16 MHz 動作, スリープ時	—	12	20	mA	
	I_{CTS}		—	—	300	600	μA	
			$V_{CC} = 5.0\text{ V} \pm 10\%$, 内部 2 MHz 動作, 擬似時計モード時	—	600	1100	μA	MB90F548GL (S) のみ MB90543G(S)/ 547G (S) /548G (S) のみ
	I_{CCL}		内部 8 kHz 動作, サブ動作時, $T_A = 25\text{ }^\circ\text{C}$	—	400	750	μA	MB90F548GL のみ
			—	—	50	100	μA	マスク ROM
			—	—	150	300	μA	フラッシュ品
	I_{CCLS}		内部 8 kHz 動作, サブスリープ時, $T_A = 25\text{ }^\circ\text{C}$	—	15	40	μA	
	I_{CCT}		内部 8 kHz 動作, 時計モード時, $T_A = 25\text{ }^\circ\text{C}$	—	7	25	μA	
I_{CCH1}	ストップ時, $T_A = 25\text{ }^\circ\text{C}$	—	5	20	μA			
I_{CCH2}	ハードウェアスタンバイ モード時, $T_A = 25\text{ }^\circ\text{C}$	—	50	100	μA			
入力容量	C_{IN}	AV_{CC} , AV_{SS} , AV_{RH} , AV_{RL} , C, V_{CC} , V_{SS} 以外	—	—	5	15	pF	

* : 電源電流の試験条件は外部のクロックを使用した場合です。

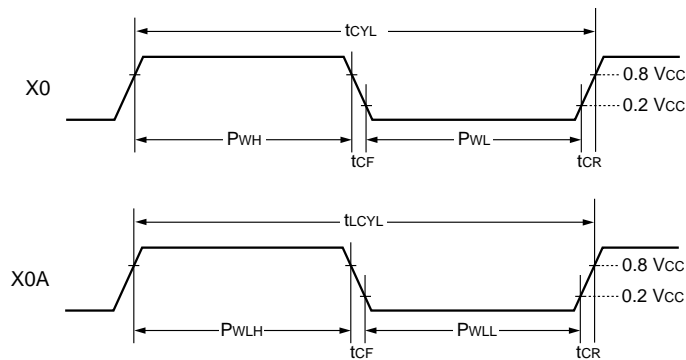
11.4 交流規格
11.4.1 クロックタイミング

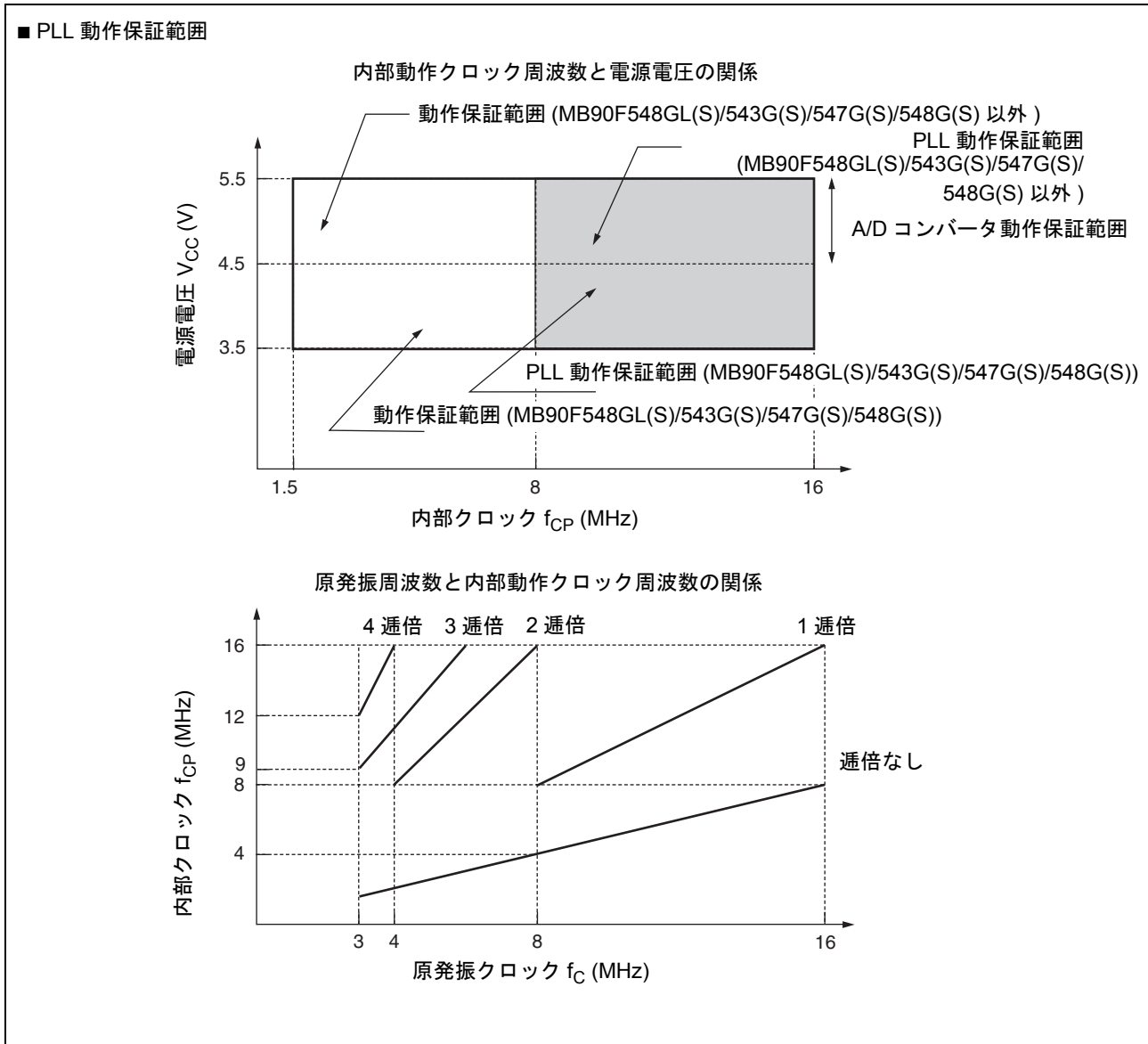
(MB90543G(S)/547G(S)/548G(S), MB90F548GL(S) : $V_{CC} = 3.5\text{ V} \sim 5.5\text{ V}$, $V_{SS} = AV_{SS} = 0.0\text{ V}$, $T_A = -40\text{ }^\circ\text{C} \sim +105\text{ }^\circ\text{C}$)
 (上記以外 : $V_{CC} = 5.0\text{ V} \pm 10\%$, $V_{SS} = AV_{SS} = 0.0\text{ V}$, $T_A = -40\text{ }^\circ\text{C} \sim +105\text{ }^\circ\text{C}$)

項目	記号	端子名	規格値			単位	備考
			最小	標準	最大		
クロック周波数	f_C	X0, X1	3	—	16	MHz	通倍なし 発振回路使用時 $V_{CC} = 5.0\text{ V} \pm 10\%$
			8	—	16	MHz	PLL 1 通倍 発振回路使用時 $V_{CC} = 5.0\text{ V} \pm 10\%$
			4	—	8	MHz	PLL 2 通倍 発振回路使用時 $V_{CC} = 5.0\text{ V} \pm 10\%$
			3	—	5.33	MHz	PLL 3 通倍 発振回路使用時 $V_{CC} = 5.0\text{ V} \pm 10\%$
			3	—	4	MHz	PLL 4 通倍 発振回路使用時 $V_{CC} = 5.0\text{ V} \pm 10\%$
			3	—	5	MHz	発振回路使用時 $V_{CC} < 4.5$ V(MB90F548GL(S)/543G(S)/547G(S)/548G(S))
			3	—	16	MHz	通倍なし 外部クロック使用時
			8	—	16	MHz	PLL 1 通倍 外部クロック使用時
			4	—	8	MHz	PLL 2 通倍 外部クロック使用時
			3	—	5.33	MHz	PLL 3 通倍 外部クロック使用時
	3	—	4	MHz	PLL 4 通倍 外部クロック使用時		
	f_{CL}	X0A, X1A	—	32.768	—	kHz	
クロックサイクル タイム	t_{CYL}	X0, X1	62.5	—	333	ns	通倍なし 発振回路使用時 $V_{CC} = 5.0\text{ V} \pm 10\%$
			62.5	—	125	ns	PLL 1 通倍 発振回路使用時 $V_{CC} = 5.0\text{ V} \pm 10\%$
			125	—	250	ns	PLL 2 通倍 発振回路使用時 $V_{CC} = 5.0\text{ V} \pm 10\%$
			187.5	—	333	ns	PLL 3 通倍 発振回路使用時 $V_{CC} = 5.0\text{ V} \pm 10\%$
			250	—	333	ns	PLL 4 通倍 発振回路使用時 $V_{CC} = 5.0\text{ V} \pm 10\%$
			200	—	333	ns	発振回路使用時 $V_{CC} < 4.5$ V(MB90F548GL(S)/543G(S)/547G(S)/548G(S))
			62.5	—	333	ns	通倍なし 外部クロック使用時
			62.5	—	125	ns	PLL 1 通倍 外部クロック使用時
			125	—	250	ns	PLL 2 通倍 外部クロック使用時
			187.5	—	333	ns	PLL 3 通倍 外部クロック使用時
	250	—	333	ns	PLL 4 通倍 外部クロック使用時		
		t_{LCYL}	X0A, X1A	—	30.5	—	μs

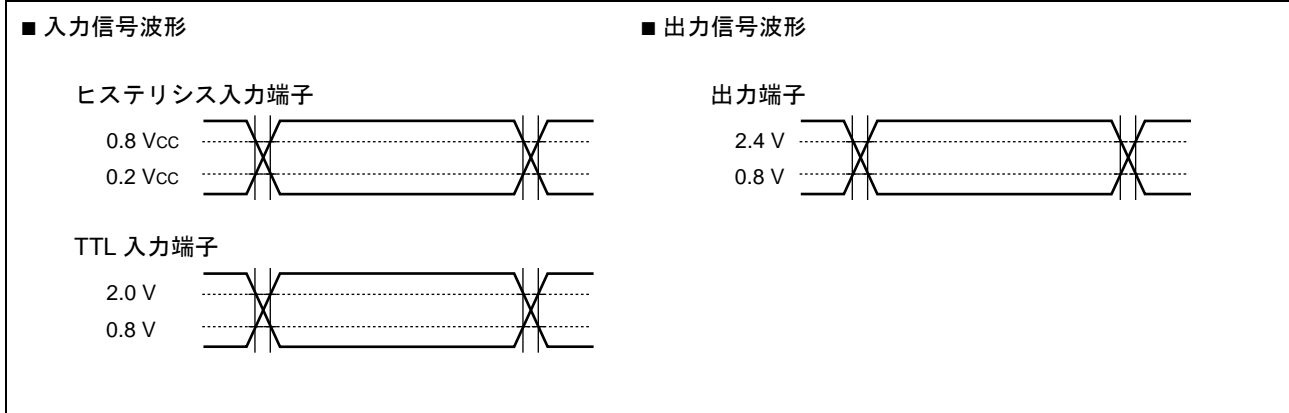
(MB90543G(S)/547G(S)/548G(S), MB90F548GL(S) : $V_{CC} = 3.5\text{ V} \sim 5.5\text{ V}$, $V_{SS} = AV_{SS} = 0.0\text{ V}$, $T_A = -40\text{ }^\circ\text{C} \sim +105\text{ }^\circ\text{C}$)
 (上記以外 : $V_{CC} = 5.0\text{ V} \pm 10\%$, $V_{SS} = AV_{SS} = 0.0\text{ V}$, $T_A = -40\text{ }^\circ\text{C} \sim +105\text{ }^\circ\text{C}$)

項目	記号	端子名	規格値			単位	備考
			最小	標準	最大		
入力クロック パルス幅	P_{WH} , P_{WL}	X0	10	—	—	ns	デューティ比 30%~70%を目安として ください
	P_{WLH} , P_{WLL}	X0A	—	15.2	—	μs	
入力クロック 立上り, 立下り時間	t_{CR} , t_{CF}	X0	—	—	5	ns	外部クロック使用時
内部動作クロック 周波数	f_{CP}	—	1.5	—	16	MHz	メインクロック使用時
	f_{LCP}	—	—	8.192	—	kHz	サブクロック使用時
内部動作クロック サイクルタイム	t_{CP}	—	62.5	—	666	ns	メインクロック使用時
	t_{LCP}	—	—	122.1	—	μs	サブクロック使用時

■ クロックタイミング




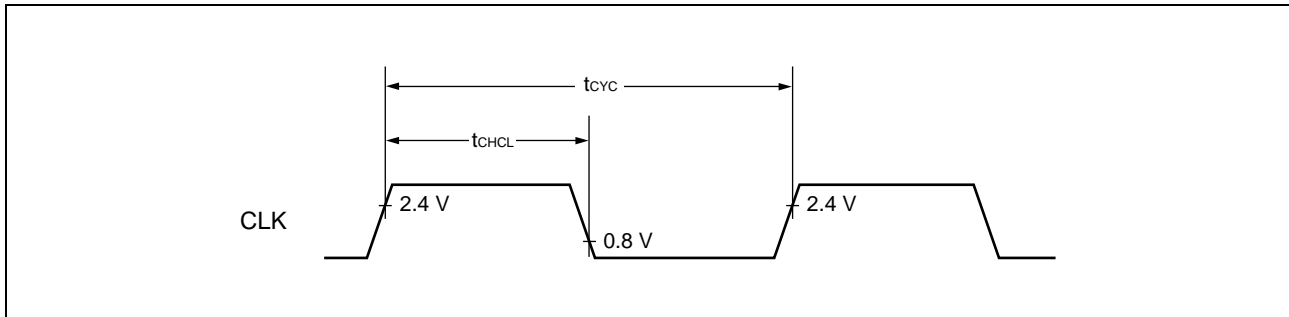
交流規格値は以下の測定基準電圧値で規定しています。



11.4.2 クロック出力タイミング

(MB90543G(S)/547G(S)/548G(S), MB90F548GL(S) : $V_{CC} = 3.5\text{ V} \sim 5.5\text{ V}$, $V_{SS} = AV_{SS} = 0.0\text{ V}$, $T_A = -40\text{ }^\circ\text{C} \sim +105\text{ }^\circ\text{C}$)
 (上記以外 : $V_{CC} = 5.0\text{ V} \pm 10\%$, $V_{SS} = AV_{SS} = 0.0\text{ V}$, $T_A = -40\text{ }^\circ\text{C} \sim +105\text{ }^\circ\text{C}$)

項目	記号	端子名	条件	規格値		単位	備考
				最小	最大		
サイクル時間	t_{CYC}	CLK	$V_{CC} = 5\text{ V} \pm 10\%$	62.5	—	ns	
CLK $\uparrow \rightarrow$ CLK \downarrow	t_{CHCL}			20	—	ns	


11.4.3 リセット, ハードウェアスタンバイ入力タイミング

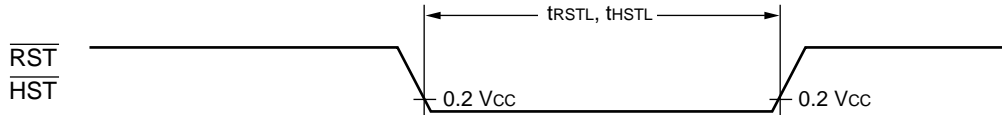
(MB90543G(S)/547G(S)/548G(S), MB90F548GL(S) : $V_{CC} = 3.5\text{ V} \sim 5.5\text{ V}$, $V_{SS} = AV_{SS} = 0.0\text{ V}$, $T_A = -40\text{ }^\circ\text{C} \sim +105\text{ }^\circ\text{C}$)
 (上記以外 : $V_{CC} = 5.0\text{ V} \pm 10\%$, $V_{SS} = AV_{SS} = 0.0\text{ V}$, $T_A = -40\text{ }^\circ\text{C} \sim +105\text{ }^\circ\text{C}$)

項目	記号	端子名	条件	規格値		単位	備考
				最小	最大		
リセット入力時間	t_{RSTL}	\overline{RST}	—	$4 t_{CP}$	—	ns	通常動作時
				振動子の発振時間 + $4 t_{CP}$	—	ms	ストップモード時
				100	—	μs	擬似時計モード (MB90543G(S)/547G(S)/548G(S))
				$4 t_{CP}$	—	ns	擬似時計モード (上記以外)
				$2 t_{LCP}$	—	μs	サブクロックモード, サブスリープモード, 時計モード時
ハードウェアスタンバイ入力時間	t_{HSTL}	\overline{HST}	—	$4 t_{CP}$	—	ns	通常動作時

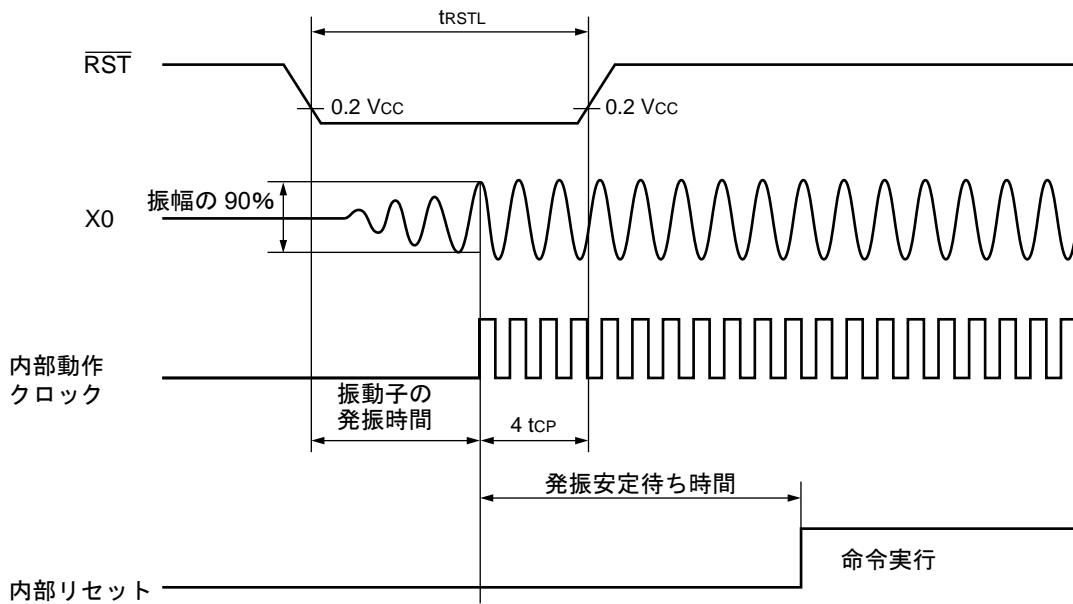
(注意事項)

- “tcp” はマシクロックの1サイクルタイムを表します。
- 振動子の発振時間は、振幅の90%に達した時間です。水晶発振子は数ms～数十ms, セラミック発振子は数百 μs ～数ms, 外部クロックは0 ns となります。
- 自動アルゴリズム実行中は、リセットによるフラッシュメモリの一時記憶の初期化はできません。

■ 通常動作，擬似時計モード，サブクロックモード，サブスリープモード，時計モード時



■ ストップモード時



11.4.4 電源投入規格 (パワーオンリセット)

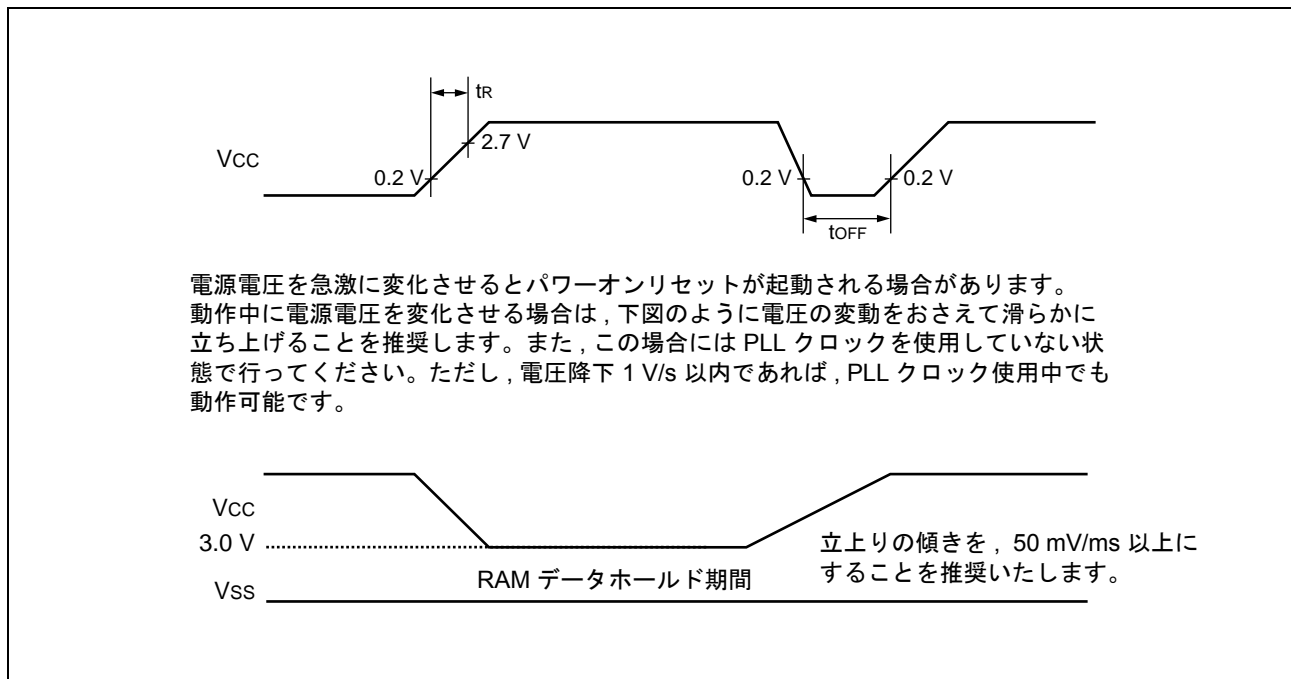
(MB90543G(S)/547G(S)/548G(S), MB90F548GL(S) : $V_{CC} = 3.5\text{ V} \sim 5.5\text{ V}$, $V_{SS} = AV_{SS} = 0.0\text{ V}$, $T_A = -40\text{ }^\circ\text{C} \sim +105\text{ }^\circ\text{C}$)
 (上記以外 : $V_{CC} = 5.0\text{ V} \pm 10\%$, $V_{SS} = AV_{SS} = 0.0\text{ V}$, $T_A = -40\text{ }^\circ\text{C} \sim +105\text{ }^\circ\text{C}$)

項目	記号	端子名	条件	規格値		単位	備考
				最小	最大		
電源立上り時間	t_R	V_{CC}	—	0.05	30	ms	*
電源切断時間	t_{OFF}	V_{CC}		50	—	ms	電源投入までの待ち時間

* : 電源立上げ前は, $V_{CC} < 0.2\text{ V}$ とする必要があります。

(注意事項)

- 上記規格は, パワーオンリセットがかかるための規格です。
- デバイス内にはパワーオンリセットによってのみ初期化されるレジスタ類があります。これらの初期化を期待する場合は, この規格に従って電源を投入してください。

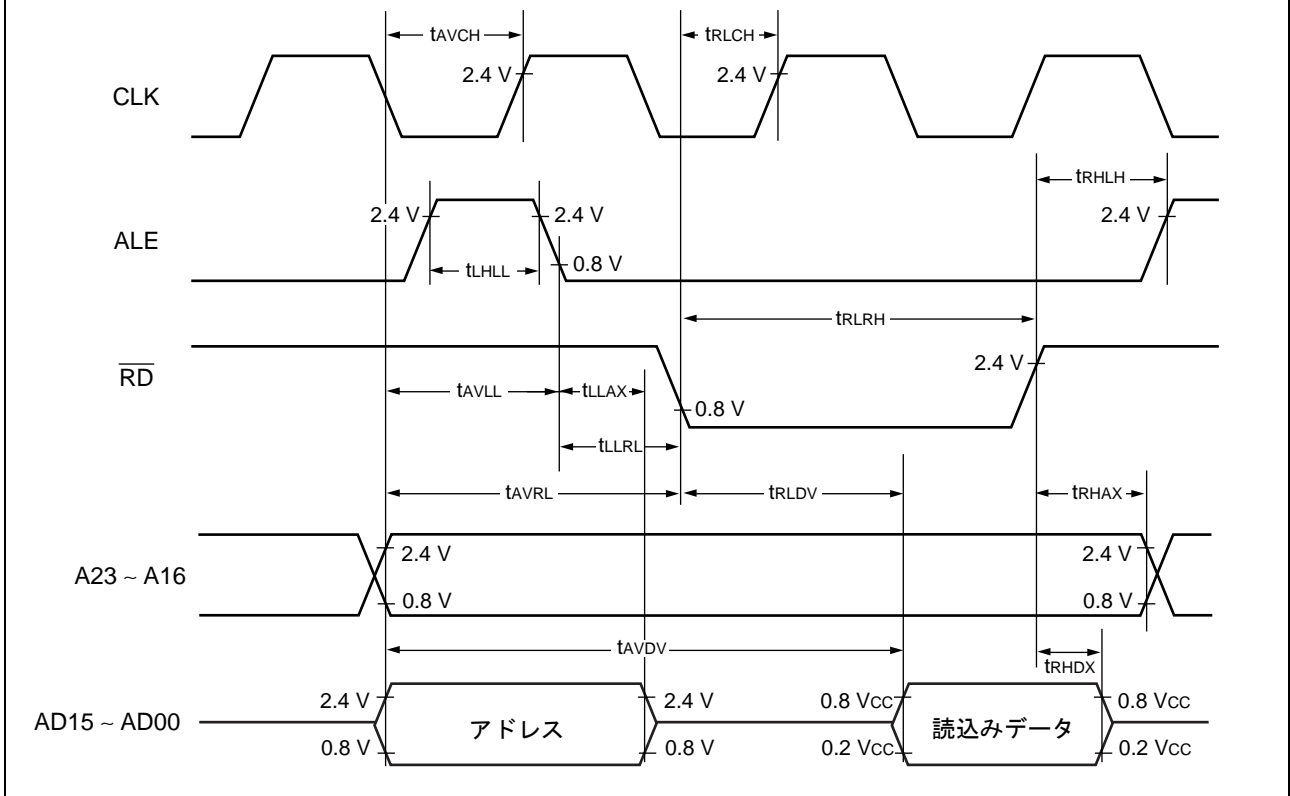


11.4.5 バスリードタイミング

(MB90543G(S)/547G(S)/548G(S), MB90F548GL(S) : $V_{CC} = 3.5\text{ V} \sim 5.5\text{ V}$, $V_{SS} = AV_{SS} = 0.0\text{ V}$, $T_A = -40\text{ }^\circ\text{C} \sim +105\text{ }^\circ\text{C}$)
 (上記以外 : $V_{CC} = 4.5\text{ V} \sim 5.5\text{ V}$, $V_{SS} = 0.0\text{ V}$, $T_A = -40\text{ }^\circ\text{C} \sim +105\text{ }^\circ\text{C}$)

項目	記号	端子名	規格値		単位	備考
			最小	最大		
ALE パルス幅	t_{LHLL}	ALE	$t_{CP}/2 - 20$	—	ns	
有効アドレス→ALE ↓ 時間	t_{AVLL}	ALE, A16 ~ A23, AD00 ~ AD15	$t_{CP}/2 - 20$	—	ns	
ALE ↓→アドレス有効時間	t_{LLAX}	ALE, AD00 ~ AD15	$t_{CP}/2 - 15$	—	ns	
有効アドレス→ \overline{RD} ↓ 時間	t_{AVRL}	A16 ~ A23, AD00 ~ AD15, \overline{RD}	$t_{CP} - 15$	—	ns	
有効アドレス→有効データ入力	t_{AVDV}	A16 ~ A23, AD00 ~ AD15	—	$5 t_{CP}/2 - 60$	ns	
\overline{RD} パルス幅	t_{RLRH}	\overline{RD}	$3 t_{CP}/2 - 20$	—	ns	
\overline{RD} ↓→有効データ入力	t_{RLDV}	\overline{RD} , AD00 ~ AD15	—	$3 t_{CP}/2 - 60$	ns	
RD ↑→データホールド時間	t_{RHDX}	\overline{RD} , AD00 ~ AD15	0	—	ns	
\overline{RD} ↑→ALE ↑ 時間	t_{RHLH}	\overline{RD} , ALE	$t_{CP}/2 - 15$	—	ns	
\overline{RD} ↑→アドレス有効時間	t_{RHAX}	\overline{RD} , A16 ~ A23	$t_{CP}/2 - 10$	—	ns	
有効アドレス→CLK ↑ 時間	t_{AVCH}	A16 ~ A23, AD00 ~ AD15, CLK	$t_{CP}/2 - 20$	—	ns	
\overline{RD} ↓→CLK ↑ 時間	t_{RLCH}	\overline{RD} , CLK	$t_{CP}/2 - 20$	—	ns	
ALE ↓→ \overline{RD} ↓ 時間	t_{LLRL}	ALE, \overline{RD}	$t_{CP}/2 - 15$	—	ns	

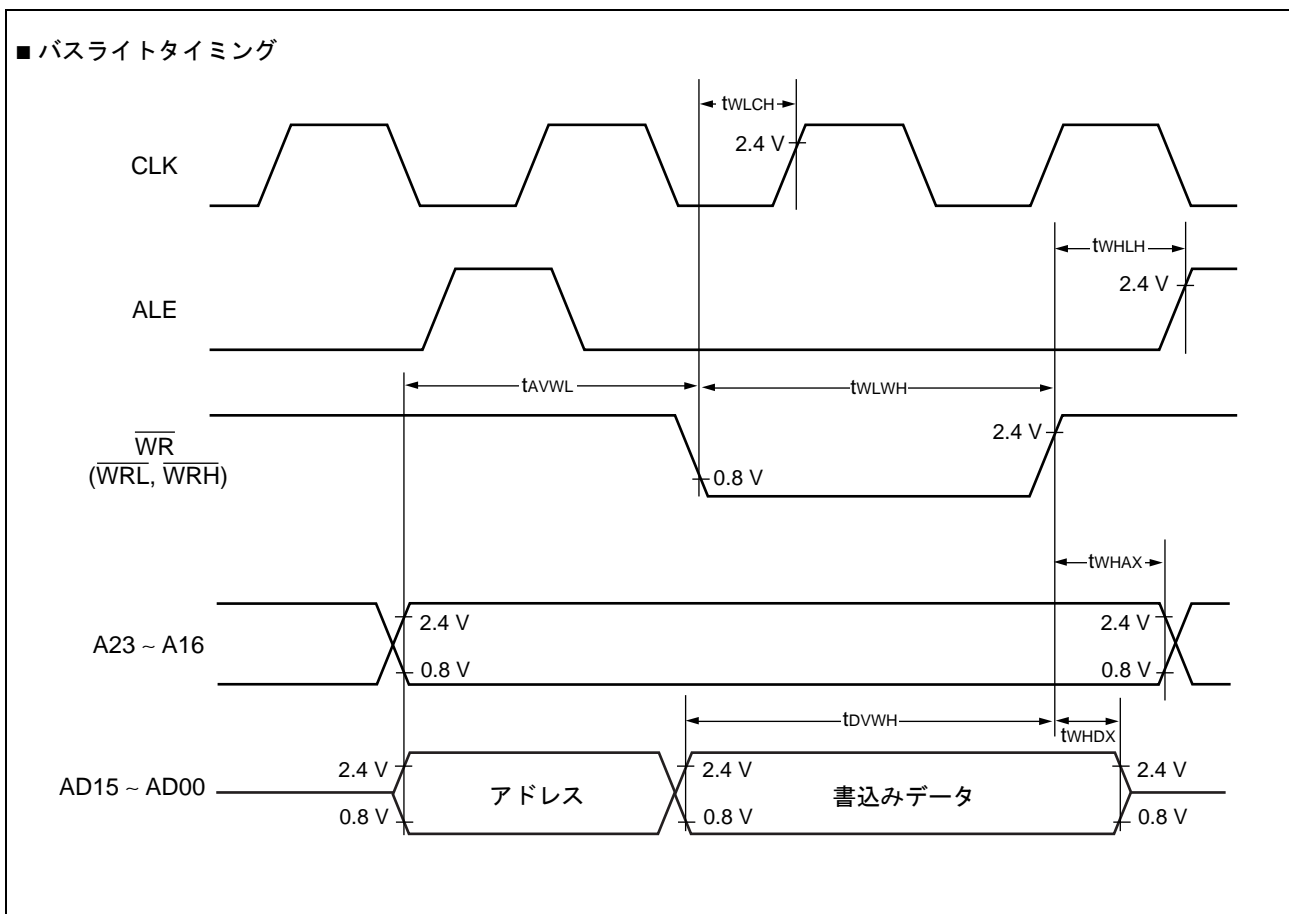
■ バスリードタイミング



11.4.6 バスライトタイミング

(MB90543G(S)/547G(S) /548G (S) , MB90F548GL (S) : $V_{CC} = 3.5\text{ V} \sim 5.5\text{ V}$, $V_{SS} = AV_{SS} = 0.0\text{ V}$, $T_A = -40\text{ }^\circ\text{C} \sim +105\text{ }^\circ\text{C}$)
 (上記以外 : $V_{CC} = 4.5\text{ V} \sim 5.5\text{ V}$, $V_{SS} = 0.0\text{ V}$, $T_A = -40\text{ }^\circ\text{C} \sim +105\text{ }^\circ\text{C}$)

項目	記号	端子名	規格値		単位	備考
			最小	最大		
有効アドレス→ $\overline{\text{WR}}$ ↓時間	t_{AVWL}	A16 ~ A23, AD00 ~ AD15, $\overline{\text{WR}}$	$t_{\text{CP}} - 15$	—	ns	
$\overline{\text{WR}}$ パルス幅	t_{WLWH}	$\overline{\text{WR}}$	$3 t_{\text{CP}}/2 - 20$	—	ns	
有効データ出力→ $\overline{\text{WR}}$ ↑時間	t_{DVWH}	AD00 ~ AD15, $\overline{\text{WR}}$	$3 t_{\text{CP}}/2 - 20$	—	ns	
$\overline{\text{WR}}$ ↑ → データホールド時間	t_{WHDX}	AD00 ~ AD15, $\overline{\text{WR}}$	20	—	ns	
$\overline{\text{WR}}$ ↑ → アドレス有効時間	t_{WHAX}	A16 ~ A23, $\overline{\text{WR}}$	$t_{\text{CP}}/2 - 10$	—	ns	
$\overline{\text{WR}}$ ↑ → ALE ↑時間	t_{WHLH}	$\overline{\text{WR}}$, ALE	$t_{\text{CP}}/2 - 15$	—	ns	
$\overline{\text{WR}}$ ↓ → CLK ↑時間	t_{WLCH}	$\overline{\text{WR}}$, CLK	$t_{\text{CP}}/2 - 20$	—	ns	

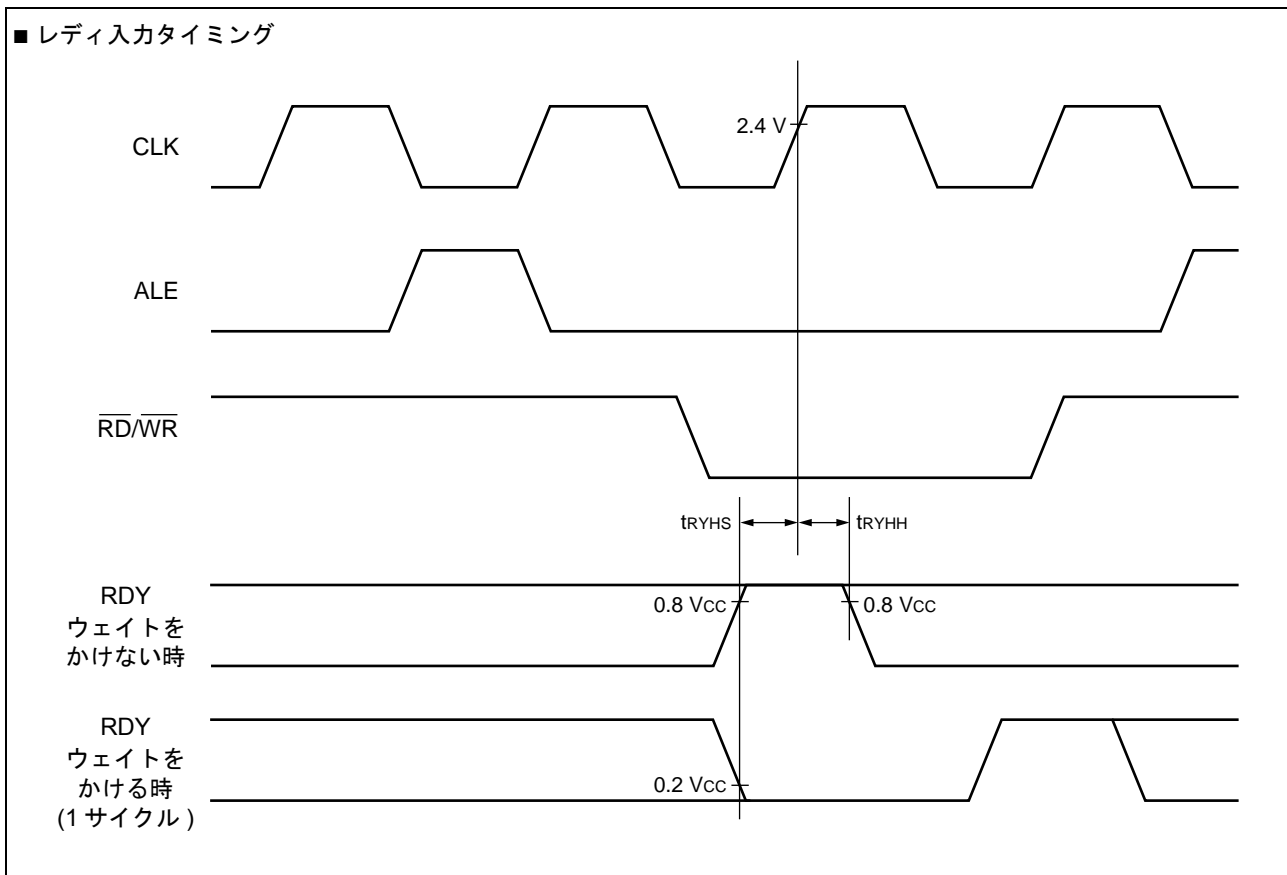


11.4.7 レディ入カタイミング

(MB90543G(S)/547G(S)/548G(S), MB90F548GL(S) : $V_{CC} = 3.5\text{ V} \sim 5.5\text{ V}$, $V_{SS} = AV_{SS} = 0.0\text{ V}$, $T_A = -40\text{ }^\circ\text{C} \sim +105\text{ }^\circ\text{C}$)
 (上記以外 : $V_{CC} = 4.5\text{ V} \sim 5.5\text{ V}$, $V_{SS} = 0.0\text{ V}$, $T_A = -40\text{ }^\circ\text{C} \sim +105\text{ }^\circ\text{C}$)

項目	記号	端子名	規格値		単位	備考
			最小	最大		
RDY セットアップ時間	t_{RYHS}	RDY	45	—	ns	
RDY ホールド時間	t_{RYHH}	RDY	0	—	ns	

(注意事項) RDY の立下り時のセットアップ時間が不足する場合には、オートレディ機能を使用してください。

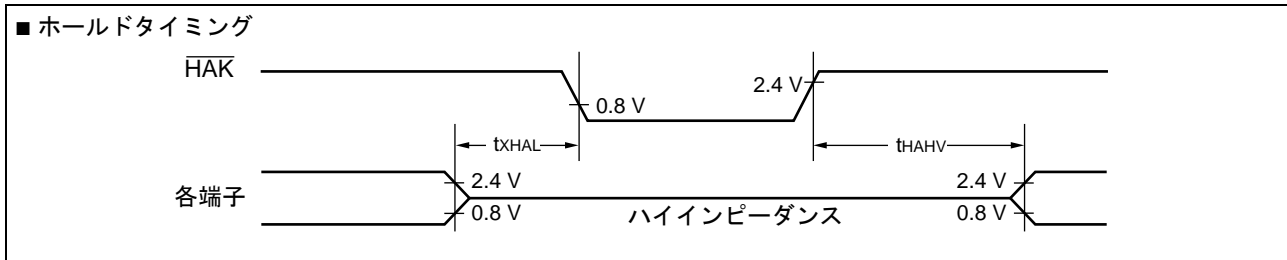


11.4.8 ホールドタイミング

(MB90543G(S)/547G(S)/548G(S), MB90F548GL(S) : $V_{CC} = 3.5\text{ V} \sim 5.5\text{ V}$, $V_{SS} = AV_{SS} = 0.0\text{ V}$, $T_A = -40\text{ }^\circ\text{C} \sim +105\text{ }^\circ\text{C}$)
 (上記以外 : $V_{CC} = 4.5\text{ V} \sim 5.5\text{ V}$, $V_{SS} = 0.0\text{ V}$, $T_A = -40\text{ }^\circ\text{C} \sim +105\text{ }^\circ\text{C}$)

項目	記号	端子名	規格値		単位	備考
			最小	最大		
端子フローティング→ $\overline{\text{HAK}}$ ↓時間	t_{XHAL}	$\overline{\text{HAK}}$	30	t_{CP}	ns	
$\overline{\text{HAK}}$ ↑→端子有効時間	t_{HAHV}	$\overline{\text{HAK}}$	t_{CP}	$2 t_{\text{CP}}$	ns	

(注意事項) HRQ 端子が取り込まれてから、 $\overline{\text{HAK}}$ が変化するまでは、1 マシンサイクル以上あります。


11.4.9 UART0/1, シリアル I/O タイミング

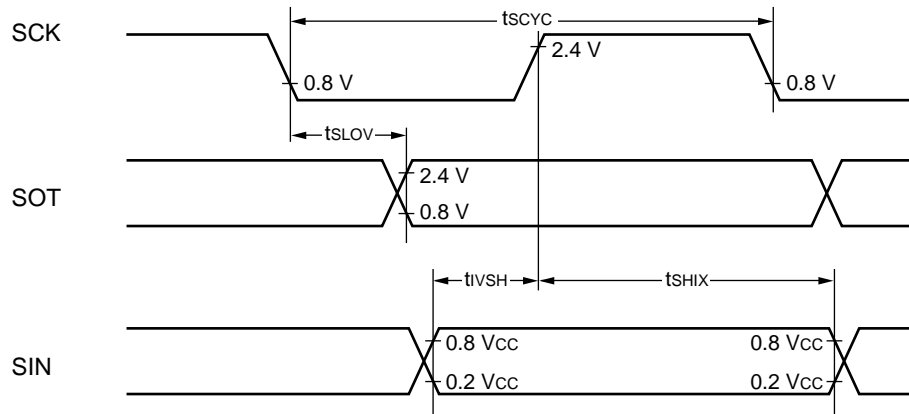
(MB90543G(S)/547G(S)/548G(S), MB90F548GL(S) : $V_{CC} = 3.5\text{ V} \sim 5.5\text{ V}$, $V_{SS} = AV_{SS} = 0.0\text{ V}$, $T_A = -40\text{ }^\circ\text{C} \sim +105\text{ }^\circ\text{C}$)
 (上記以外 : $V_{CC} = 4.5\text{ V} \sim 5.5\text{ V}$, $V_{SS} = 0.0\text{ V}$, $T_A = -40\text{ }^\circ\text{C} \sim +105\text{ }^\circ\text{C}$)

項目	記号	端子名	条件	規格値		単位	備考
				最小	最大		
シリアルクロックサイクルタイム	t_{SCYC}	SCK0 ~ SCK2	内部シフト クロックモード出力端子は $C_L = 80\text{ pF} + 1\text{ TTL}$	$8 t_{\text{CP}}$	—	ns	
SCK ↓ → SOT 遅延時間	t_{SLOV}	SCK0 ~ SCK2, SOT0 ~ SOT2		— 80	80	ns	
有効 SIN → SCK ↑	t_{IVSH}	SCK0 ~ SCK2, SIN0 ~ SIN2		100	—	ns	
SCK ↑ → 有効 SIN ホールド時間	t_{SHIX}	SCK0 ~ SCK2, SIN0 ~ SIN2		60	—	ns	
シリアルクロック “H” パルス幅	t_{SHSL}	SCK0 ~ SCK2		$4 t_{\text{CP}}$	—	ns	
シリアルクロック “L” パルス幅	t_{SLSH}	SCK0 ~ SCK2	外部シフト クロックモード出力端子は $C_L = 80\text{ pF} + 1\text{ TTL}$	$4 t_{\text{CP}}$	—	ns	
SCK ↓ → SOT 遅延時間	t_{SLOV}	SCK0 ~ SCK2, SOT0 ~ SOT2		—	150	ns	
有効 SIN → SCK ↑	t_{IVSH}	SCK0 ~ SCK2, SIN0 ~ SIN2		60	—	ns	
SCK ↑ → 有効 SIN ホールド時間	t_{SHIX}	SCK0 ~ SCK2, SIN0 ~ SIN2		60	—	ns	

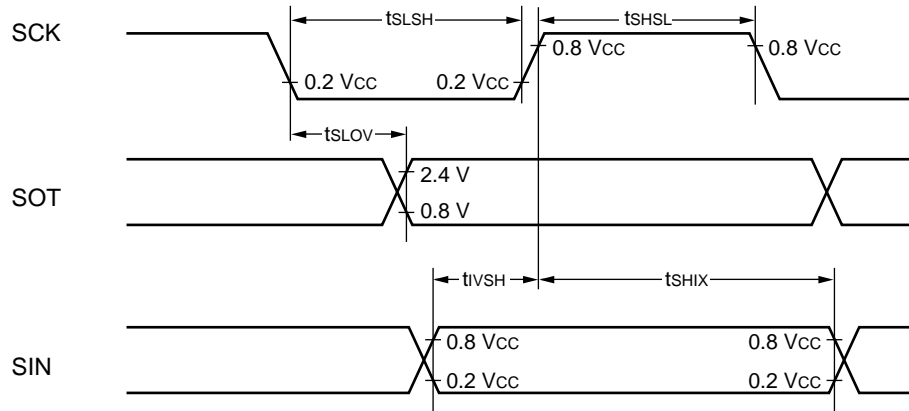
(注意事項)

- t_{CP} (内部動作クロックサイクルタイム) については、「11.4.1 クロックタイミング」を参照してください。
- CLK 同期モード時の AC 規格です。
- C_L は、テスト時の端子に付けられる負荷容量値です。

■ 内部シフトクロックモード



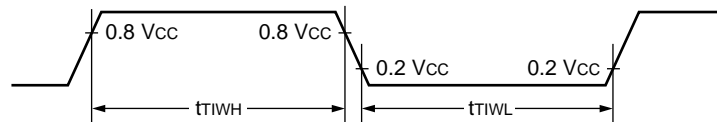
■ 外部シフトクロックモード



11.4.10 タイマ入力タイミング

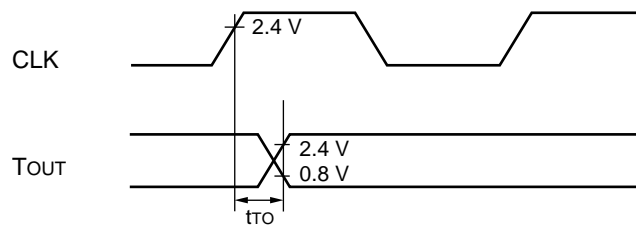
(MB90543G(S)/547G(S)/548G(S), MB90F548GL(S) : $V_{CC} = 3.5\text{ V} \sim 5.5\text{ V}$, $V_{SS} = AV_{SS} = 0.0\text{ V}$, $T_A = -40\text{ }^\circ\text{C} \sim +105\text{ }^\circ\text{C}$)
 (上記以外 : $V_{CC} = 4.5\text{ V} \sim 5.5\text{ V}$, $V_{SS} = 0.0\text{ V}$, $T_A = -40\text{ }^\circ\text{C} \sim +105\text{ }^\circ\text{C}$)

項目	記号	端子名	条件	規格値		単位	備考
				最小	最大		
入力パルス幅	t_{TIWH}	TIN0, TIN1	—	$4 t_{CP}$	—	ns	
	t_{TIWL}	IN0 ~ IN7					

■ タイマ入力タイミング

11.4.11 タイマ出力タイミング

(MB90543G(S)/547G(S)/548G(S), MB90F548GL(S) : $V_{CC} = 3.5\text{ V} \sim 5.5\text{ V}$, $V_{SS} = AV_{SS} = 0.0\text{ V}$, $T_A = -40\text{ }^\circ\text{C} \sim +105\text{ }^\circ\text{C}$)
 (上記以外 : $V_{CC} = 4.5\text{ V} \sim 5.5\text{ V}$, $V_{SS} = 0.0\text{ V}$, $T_A = -40\text{ }^\circ\text{C} \sim +105\text{ }^\circ\text{C}$)

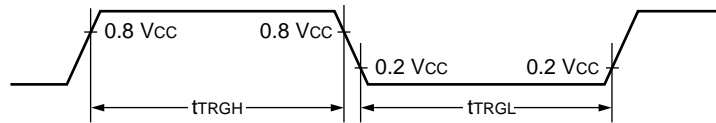
項目	記号	端子名	条件	規格値		単位	備考
				最小	最大		
CLK \uparrow \rightarrow T _{OUT} 変化時間	t_{TO}	TOT0, TOT1, PPG0 ~ PPG3	—	30	—	ns	

■ タイマ出力タイミング


11.4.12 トリガ入力タイミング

(MB90543G(S)/547G(S)/548G(S), MB90F548GL(S) : $V_{CC} = 3.5\text{ V} \sim 5.5\text{ V}$, $V_{SS} = AV_{SS} = 0.0\text{ V}$, $T_A = -40\text{ }^\circ\text{C} \sim +105\text{ }^\circ\text{C}$)
 (上記以外 : $V_{CC} = 4.5 \sim 5.5\text{ V}$, $V_{SS} = 0.0\text{ V}$, $T_A = -40\text{ }^\circ\text{C} \sim +105\text{ }^\circ\text{C}$)

項目	記号	端子名	条件	規格値		単位	備考
				最小	最大		
入力パルス幅	t_{TRGH}	INT0 ~ INT7, ADTG	—	$5 t_{CP}$	—	ns	通常動作時
	t_{TRGL}			1	—	μs	ストップモード時

■ トリガ入力タイミング


11.5 A/D コンバータ
11.5.1 電気的特性
 $(V_{CC} = AV_{CC} = 5.0 \text{ V} \pm 10\%, V_{SS} = AV_{SS} = 0.0 \text{ V}, 3.0 \text{ V} \leq AVRH - AVRL, T_A = -40 \text{ }^\circ\text{C} \sim +105 \text{ }^\circ\text{C})$

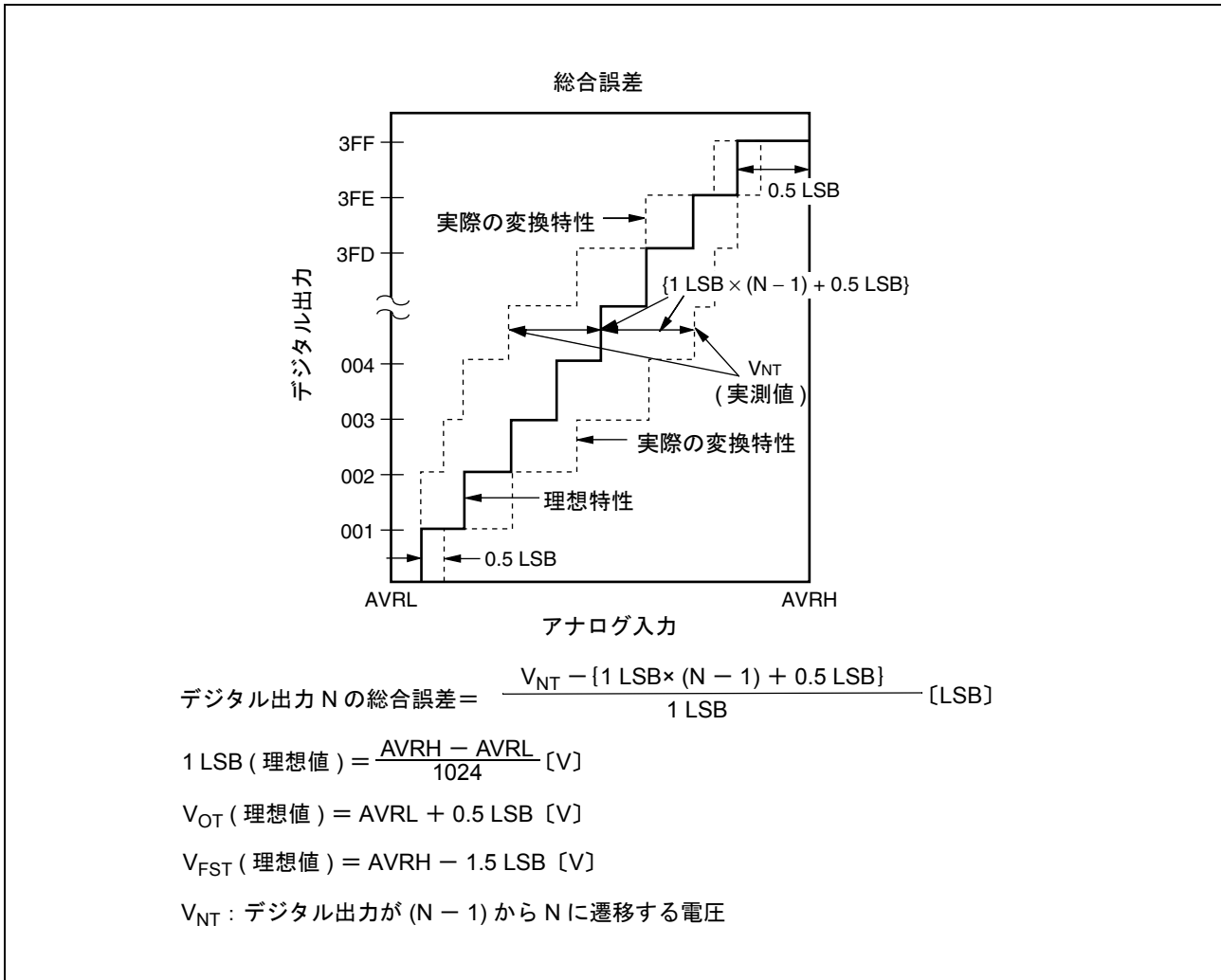
項目	記号	端子名	規格値			単位	備考
			最小	標準	最大		
分解能	—	—	—	—	10	bit	
総合誤差	—	—	—	—	± 5.0	LSB	
非直線性誤差	—	—	—	—	± 2.5	LSB	
微分直線性誤差	—	—	—	—	± 1.9	LSB	
ゼロトランジション電圧	V_{OT}	AN0 ~ AN7	$AVRL - 3.5 \text{ LSB}$	$AVRL + 0.5 \text{ LSB}$	$AVRL + 4.5 \text{ LSB}$	V	
フルスケールトランジション電圧	V_{FST}	AN0 ~ AN7	$AVRH - 6.5 \text{ LSB}$	$AVRH - 1.5 \text{ LSB}$	$AVRH + 1.5 \text{ LSB}$	V	
コンペア時間	—	—	$352 t_{CP}$	—	—	ns	内部 16 MHz 動作時
サンプリング期間	—	—	$64 t_{CP}$	—	—	ns	内部 16 MHz 動作時
アナログポート入力電流	I_{AIN}	AN0 ~ AN7	-1	—	1	μA	$V_{CC} = AV_{CC} = 5.0 \text{ V} \pm 1\%$
アナログ入力電圧	V_{AIN}	AN0 ~ AN7	AVRL	—	AVRH	V	
基準電圧	—	AVRH	$AVRL + 2.7$	—	AV_{CC}	V	
	—	AVRL	0	—	$AVRH - 2.7$	V	
電源電流	I_A	AV_{CC}	—	5	—	mA	
	I_{AH}	AV_{CC}	—	—	5	μA	*
基準電圧供給電流	I_R	AVRH	—	400	600	μA	フラッシュ品
			—	140	260	μA	マスク ROM
	I_{RH}	AVRH	—	—	5	μA	*
チャンネル間バラツキ	—	AN0 ~ AN7	—	—	4	LSB	

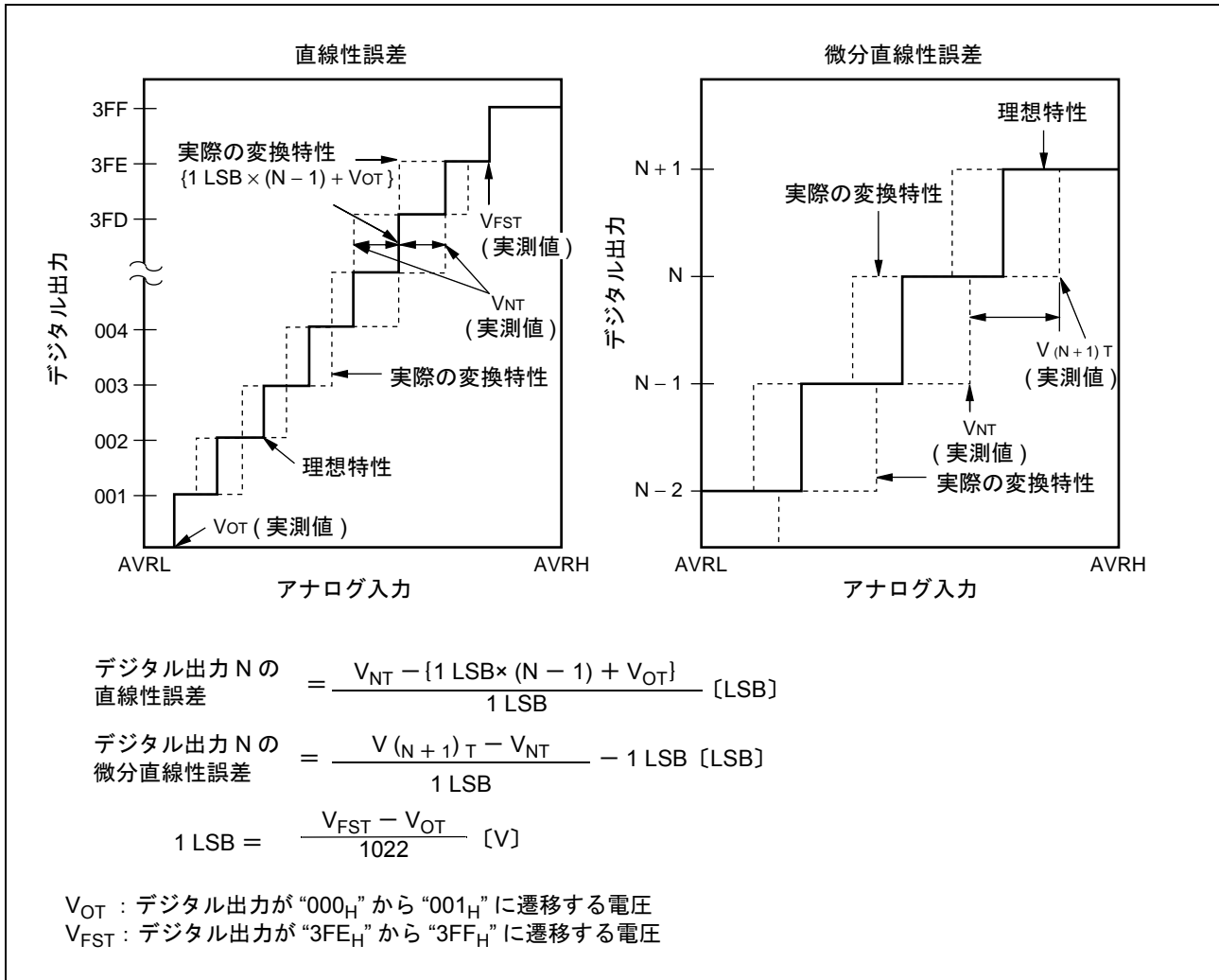
* : A/D コンバータを動作させていないときは, CPU を停止させたときの電流 ($V_{CC} = AV_{CC} = AVRH = 5.0 \text{ V}$) になります。

(注意事項) : MB90543G(S)/547G(S)/548G(S)/F548G(S)/F548GL(S) の A/D コンバータは, $V_{CC} = 5.0 \text{ V} \pm 10\%$ で機能します。

11.5.2 A/D コンバータの用語の定義

- 分解能 : A/D 変換器により識別可能なアナログ変化
- 直線性誤差 : ゼロトランジション点 (“00 0000 0000” ↔ “00 0000 0001”) とフルスケールトランジション点 (“11 1111 1110” ↔ “11 1111 1111”) とを結んだ直線と、実際の変換特性との偏差
- 微分直線性誤差 : 出力コードを 1 LSB 変化させるのに必要な入力電圧の理想値からの偏差
- 総合誤差 : 実際の値と論理値との差をいい、ゼロトランジション誤差 / フルスケールトランジション誤差 / 直線性誤差を含む誤差



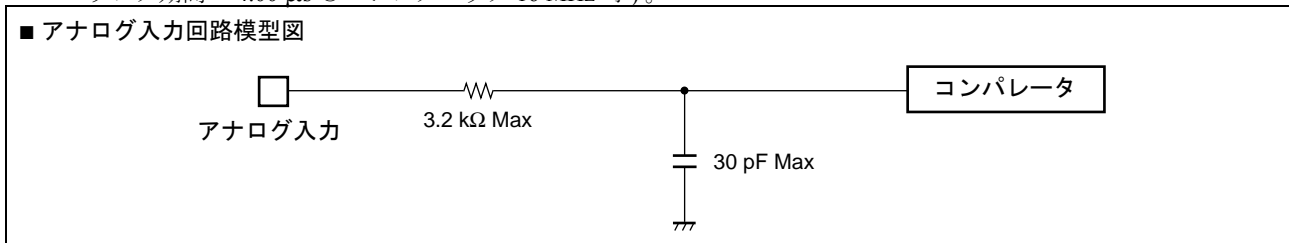


11.5.3 A/D 変換部の注意事項

アナログ入力の外部回路の出力インピーダンスは、以下のような条件で使用してください。

- 外部回路の出力インピーダンスは約 15 kΩ 以下を推奨します。
- 外部にコンデンサを使用する場合には、外部コンデンサとチップ内部のコンデンサの容量分圧による影響を考慮して、内部コンデンサの数千倍を目安にすることを推奨します。

(注意事項) 外部回路の出力インピーダンスが高すぎる場合、アナログ電圧のサンプリング期間が不足する場合があります (サンプリング期間 = 4.00 μs @ マシンクロック 16 MHz 時)。



11.5.4 誤差について

| AVR_H - AVR_L | が小さくなるに従って、相対的な誤差は大きくなります。

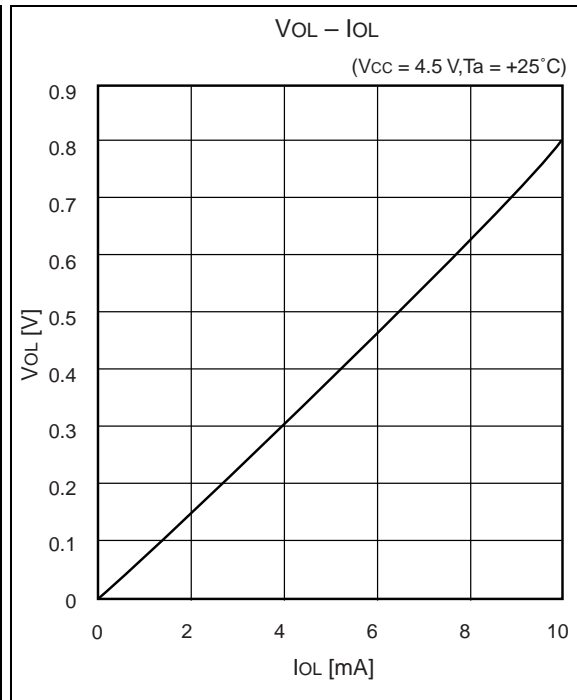
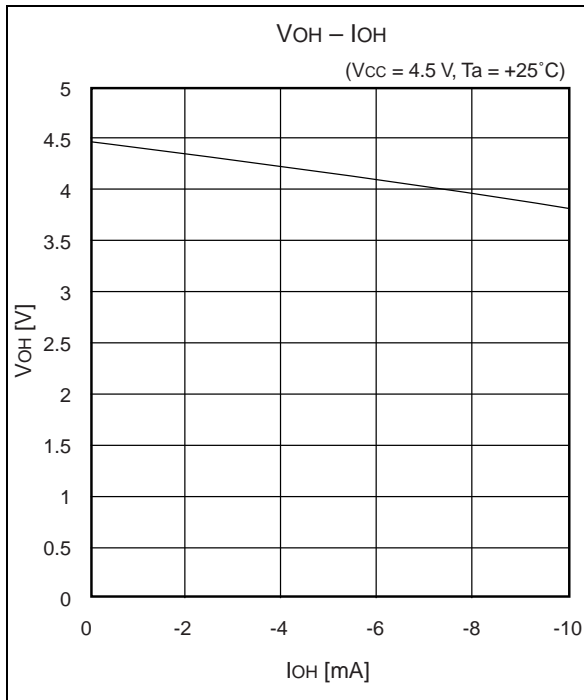
11.6 フラッシュメモリ書込み / 消去特性

項目	条件	規格値			単位	備考	
		最小	標準	最大			
セクタ消去時間	T _A = +25 °C V _{CC} = 5.0 V	—	1	15	s	内部での消去前書込み時間を除く	
チップ消去時間		—	5	—	s	MB90F543G (S) / F548G (S) / F548GL(S)	内部での消去前書込み時間を除く
		—	7	—	s	MB90F549G (S) / F546G (S)	
ワード (16 ビット幅) 書込み時間		—	16	3,600	μs	システムレベルのオーバヘッド時間を除く	
書込み消去回数	—	10,000	—	—	cycle		

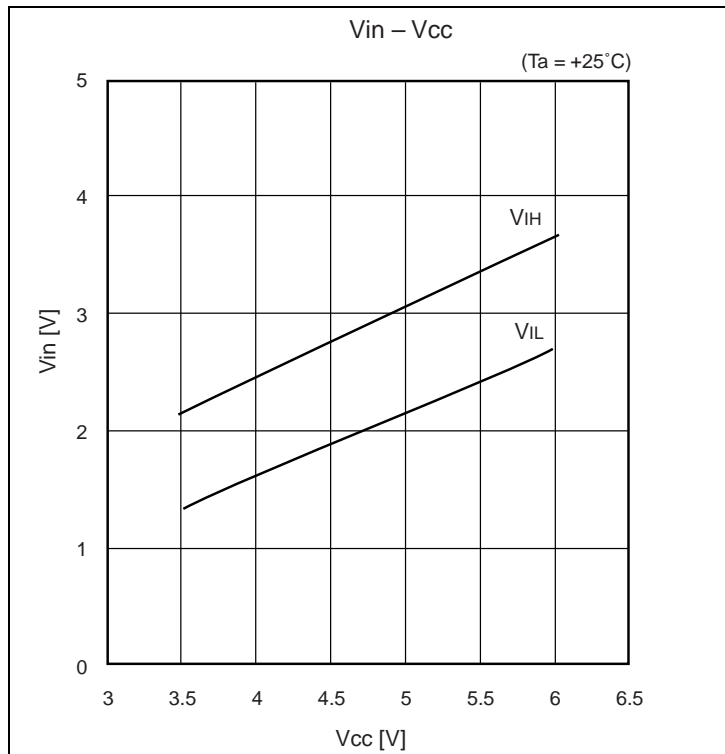
12. 特性例

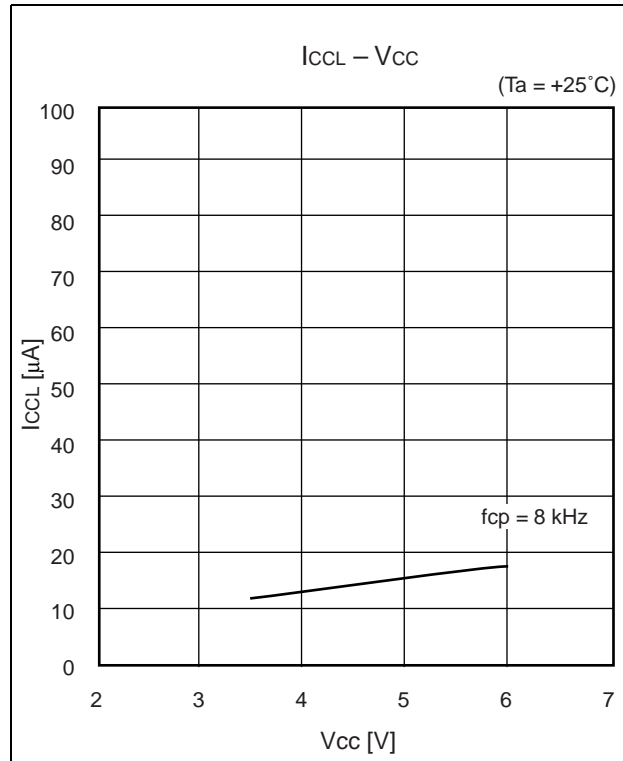
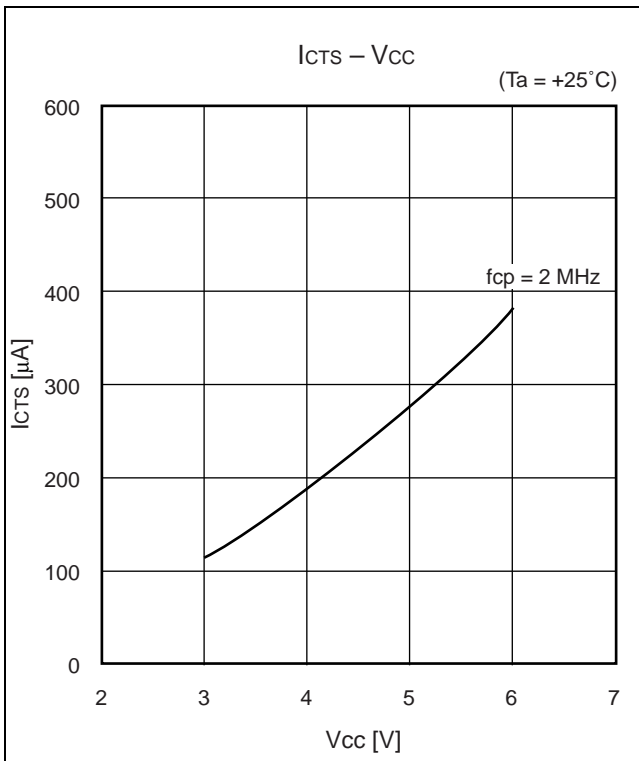
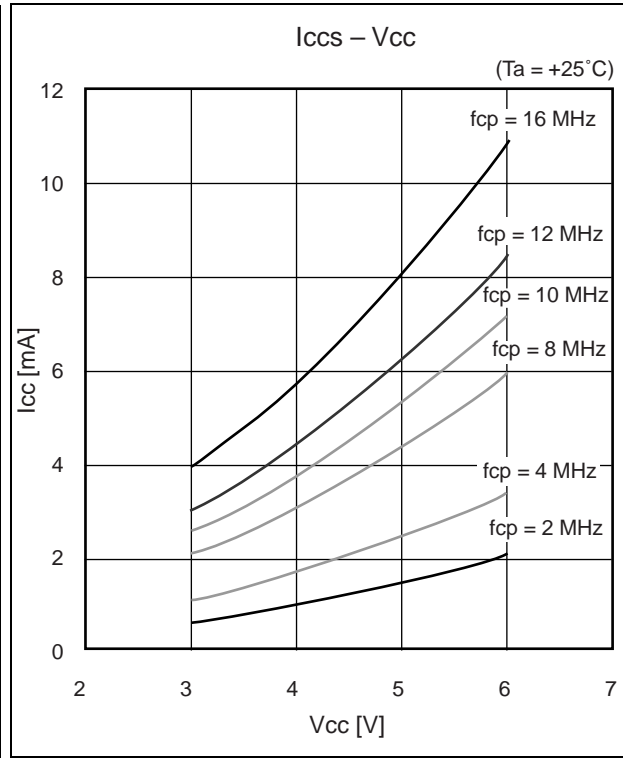
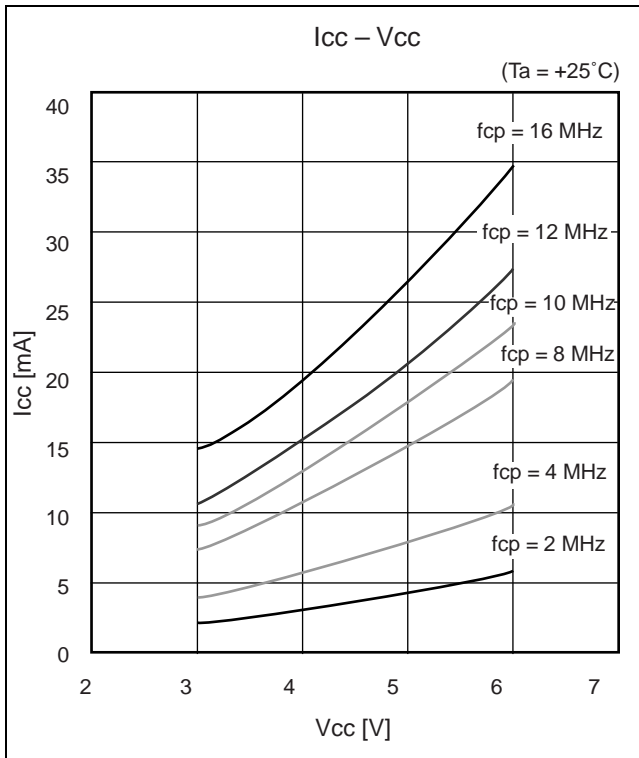
■ “H” レベル出力電圧

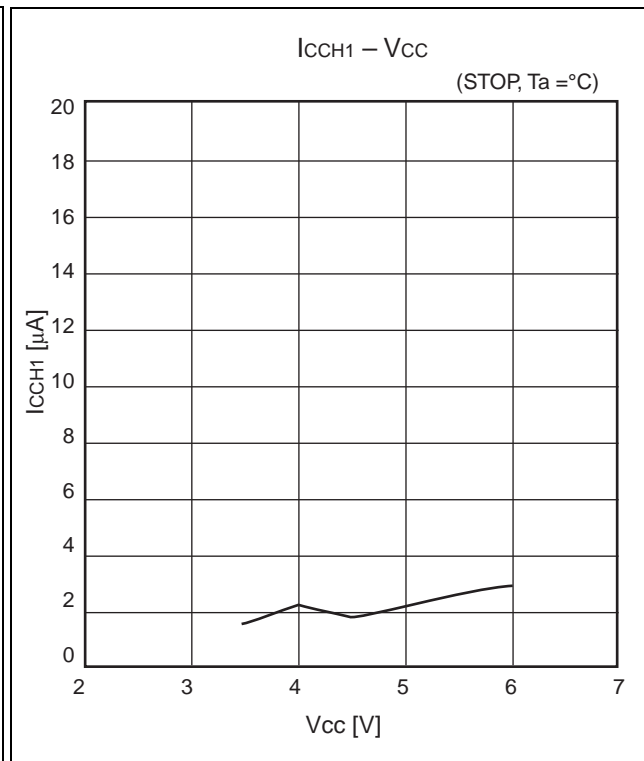
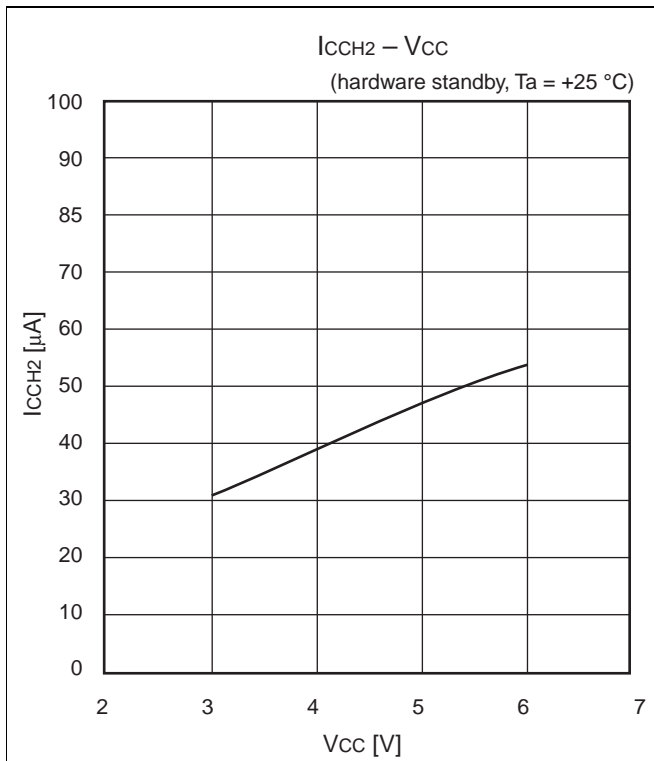
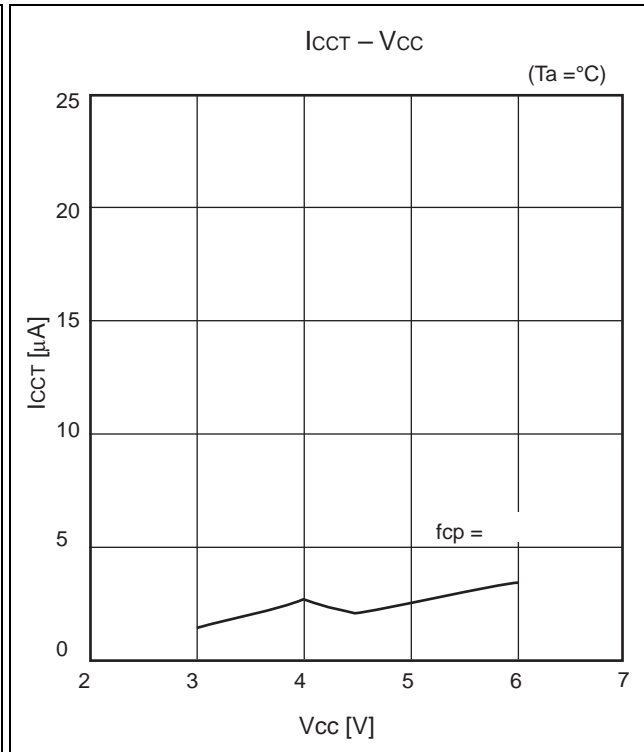
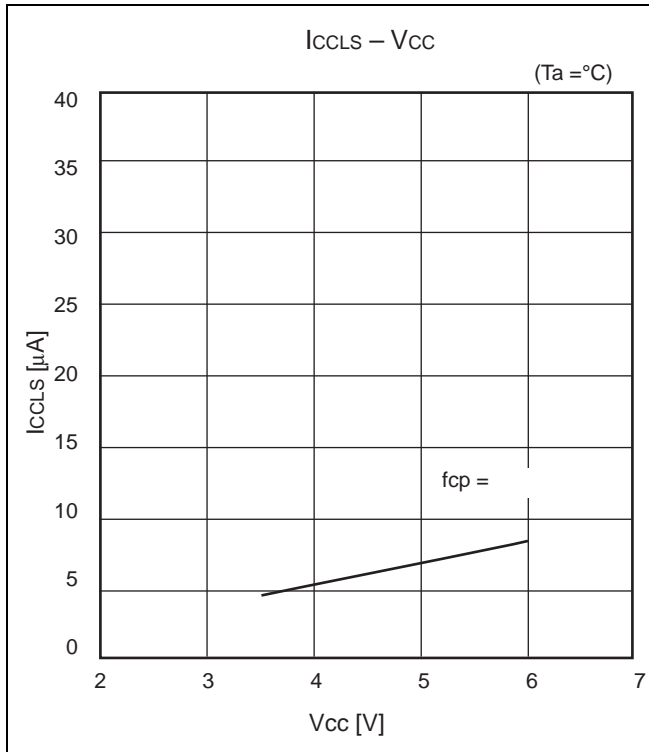
■ “L” レベル出力電圧



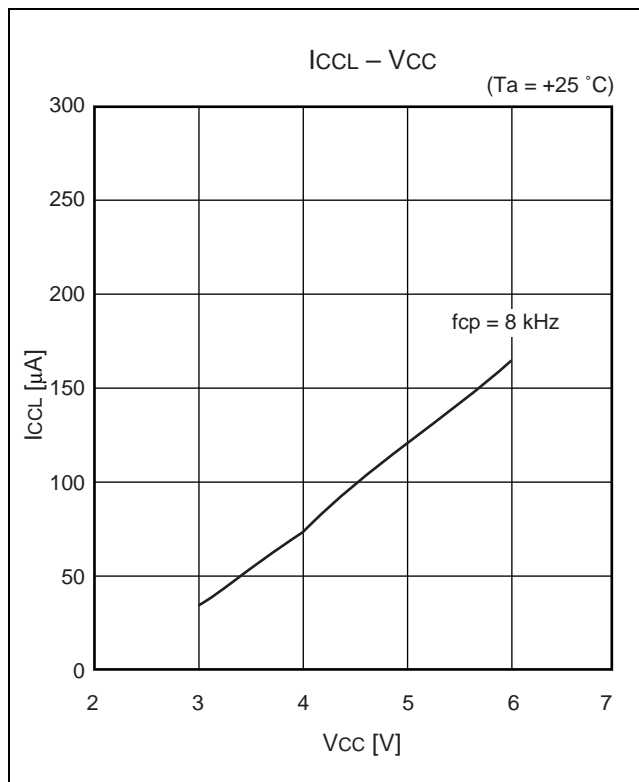
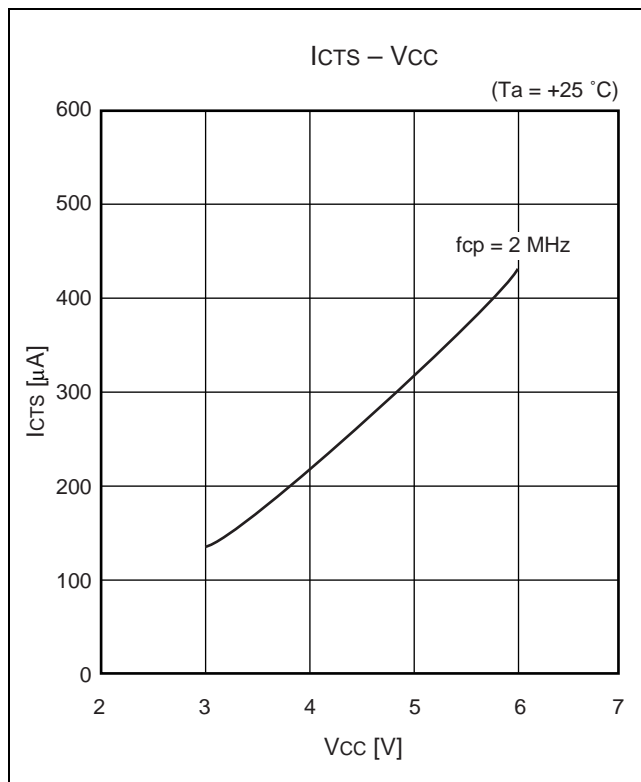
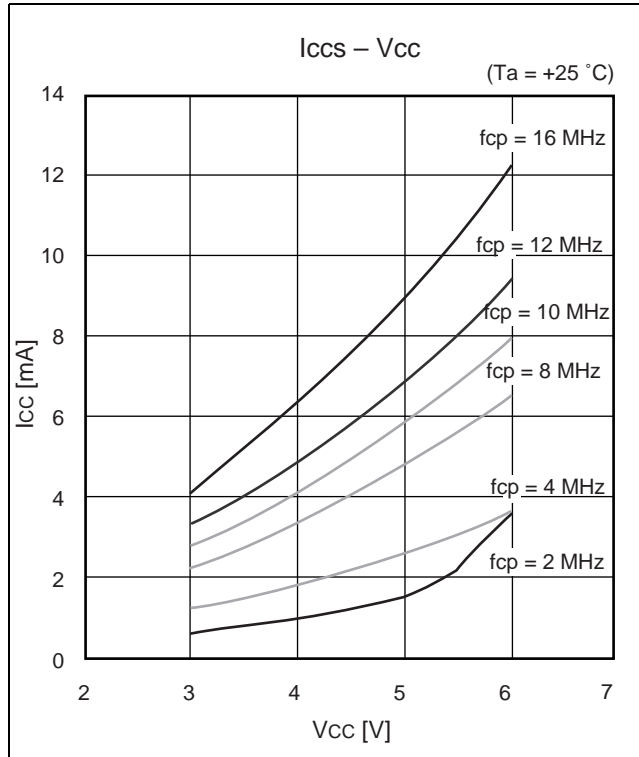
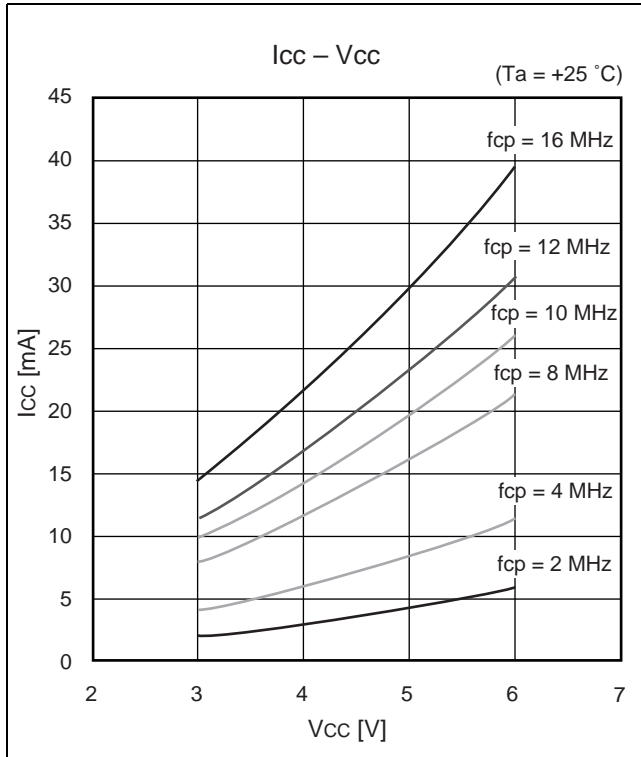
■ “H” レベル入力電圧 / “L” レベル入力電圧 (ヒステリシス入力)

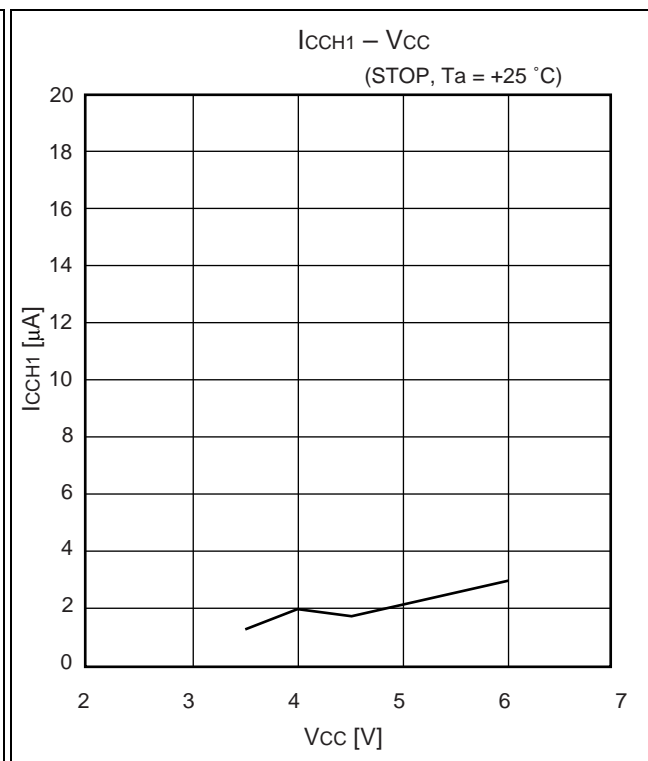
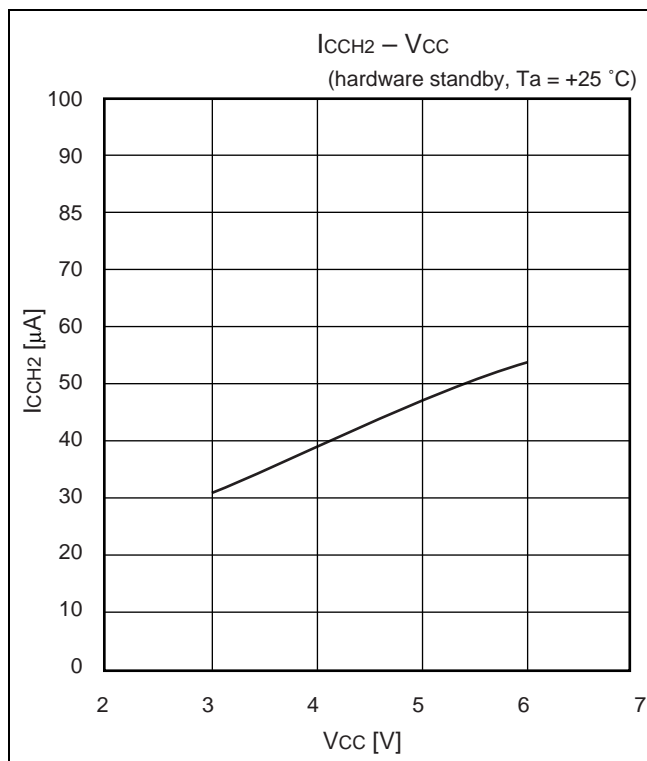
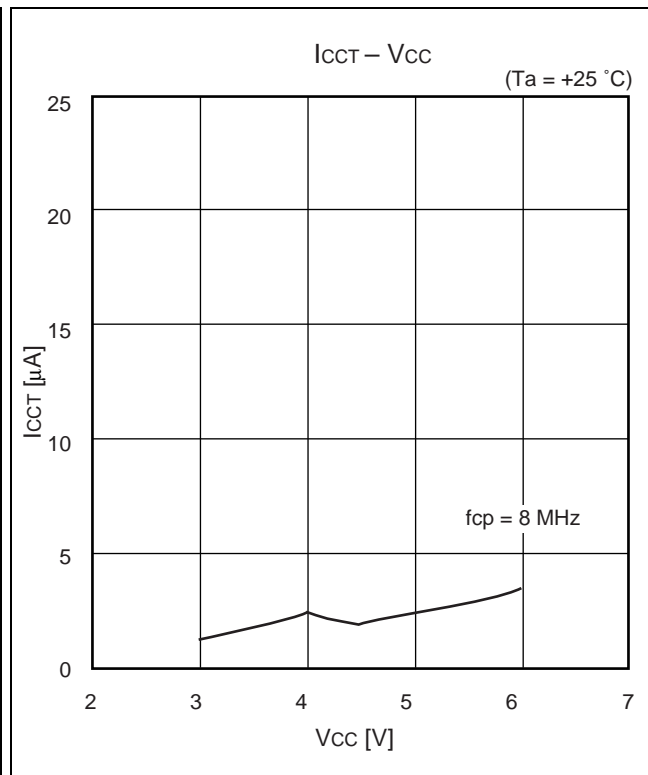
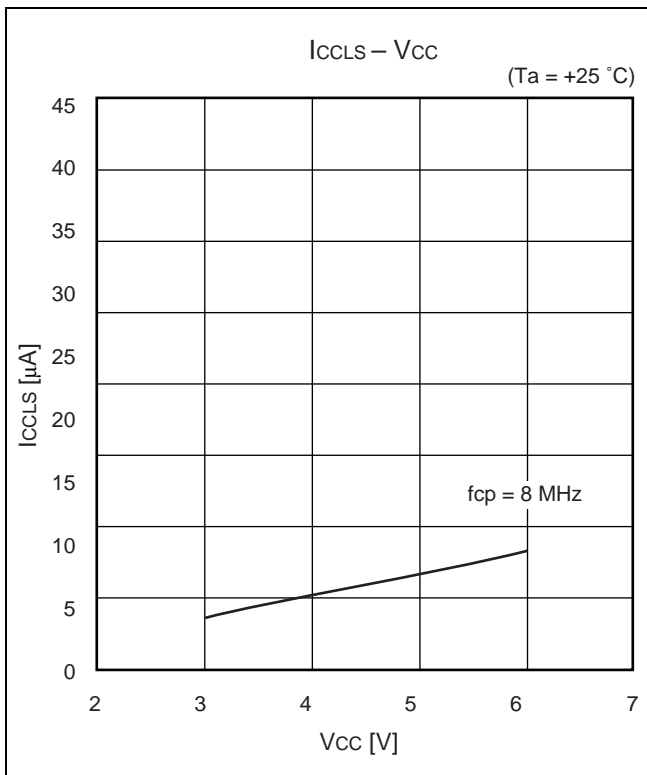


■ 電源電流 (MB90549G)




■ 電源電流 (MB90F549G)



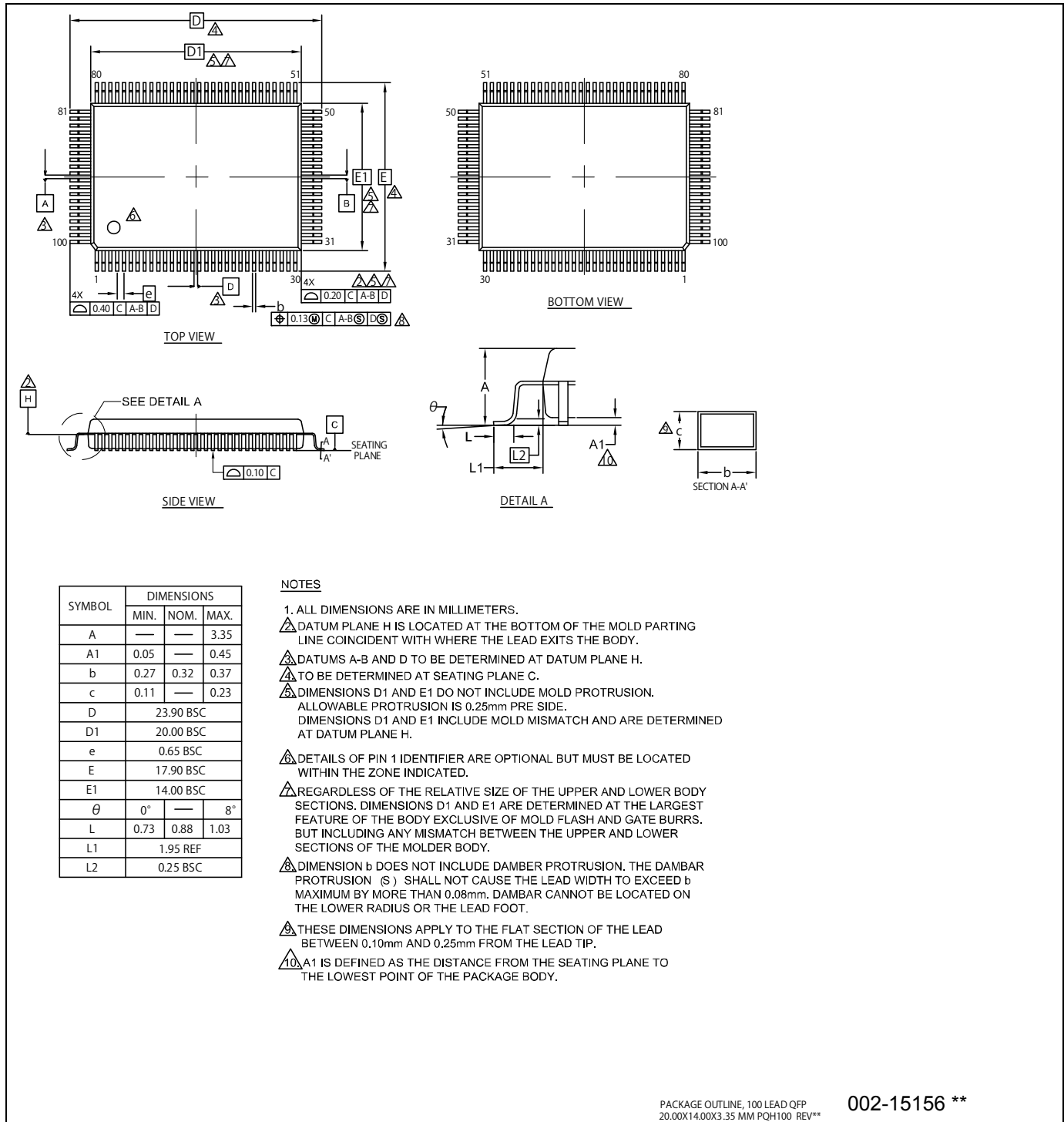


13. オーダ型格

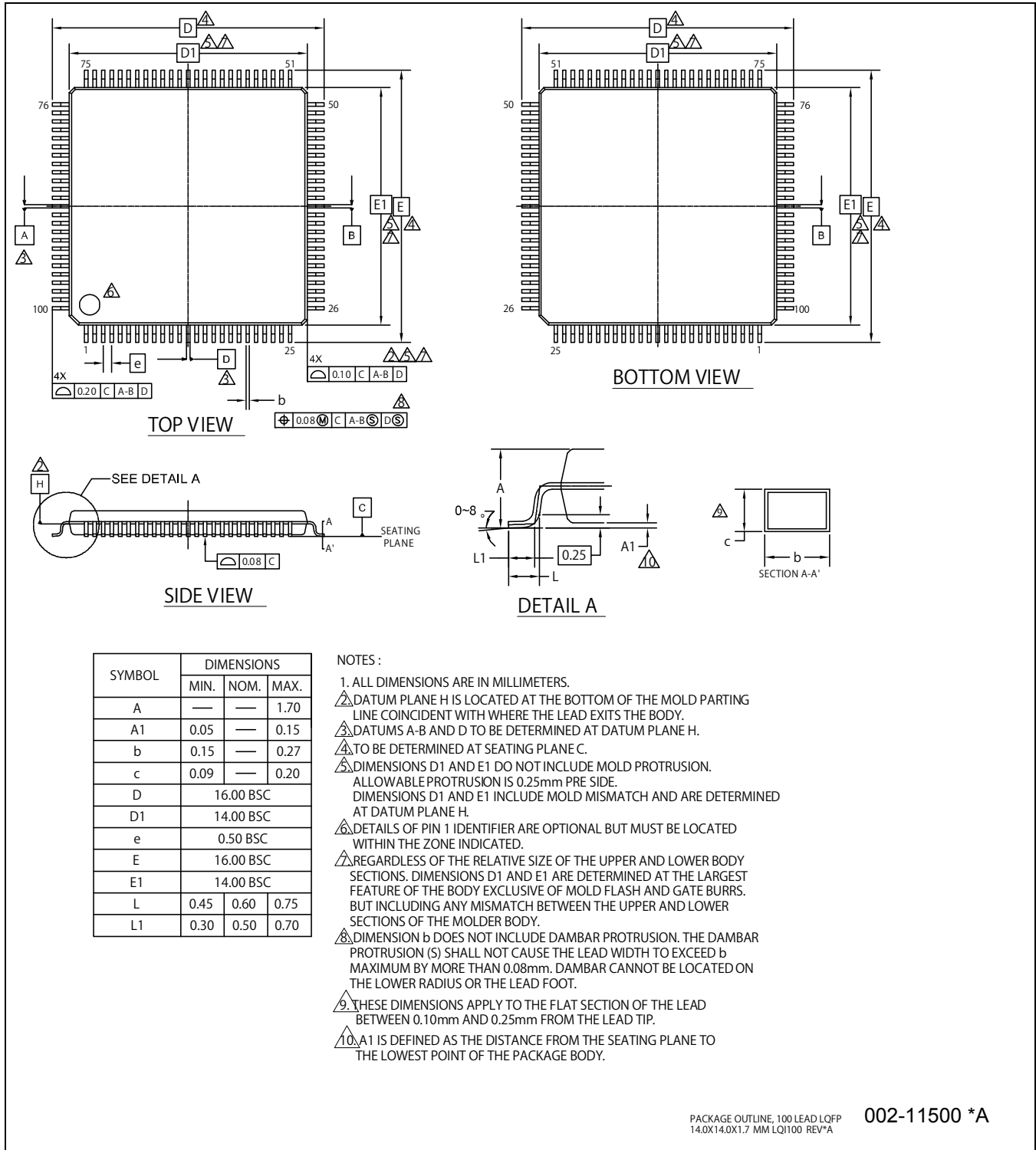
型格	パッケージ	備考
MB90F543GPF MB90F543GSPF MB90F546GPF MB90F546GSPF MB90F548GPF MB90F548GSPF MB90F548GLPF MB90F548GLSPF MB90F549GPF MB90F549GSPF MB90543GPF MB90543GSPF MB90547GPF MB90547GSPF MB90548GPF MB90548GSPF MB90549GPF MB90549GSPF	プラスチック・QFP, 100 ピン (PQH100)	
MB90F543GPMC MB90F543GSPMC MB90F546GPMC MB90F546GSPMC MB90F548GPMC MB90F548GSPMC MB90F548GLPMC MB90F548GLSPMC MB90F549GPMC MB90F549GSPMC MB90543GPMC MB90543GSPMC MB90547GPMC MB90547GSPMC MB90548GPMC MB90548GSPMC MB90549GPMC MB90549GSPMC	プラスチック・LQFP, 100 ピン (LQH100)	

14. パッケージ外形寸法図

Package Type	Package Code
QFP 100	PQH100



Package Type	Package Code
LQFP 100	LQ1100



15. 本版での主な変更内容

Spansion Publication Number: DS07-13703

ページ	場所	変更箇所
4	■ 品種構成	周辺リソース名を変更 16 ビット入出力タイマ → 16 ビットフリーランタイマ
14 ~ 16	■ 入出力回路形式	入力のタイプ名を変更 ヒステリシス入力 → CMOS ヒステリシス入力
20	■ ブロックダイアグラム	UART1(SCI) の SOT1 信号の矢印を変更 “←→ (入出力)” → “← (出力)”
		外部バスインタフェースの HRQ, RDY 信号の矢印を変更 “→ (出力)” → “← (入力)”
27	■ I/O マップ	(注意事項) の内容を変更
34	■ 割込み要因と割込みベクタ, 割り込み制御レジスタ	番号 :#19 の割込み要因名を変更 I/O タイマ → 16 ビットフリーランタイマ
37	■ 電気的特性 2. 推奨動作条件	項目 : 電源電圧の備考欄を変更
38	3. 直流規格	項目 : プルダウン抵抗の備考欄に以下を追加 「フラッシュ品を除く」
39	4. 交流規格	(1) クロックタイミングの項目 : クロック周波数, 項目 : クロックサイクルタイムに外部クロック使用時の規格値を追加
41		「・PLL 動作保証範囲」に AD コンバータ動作保証範囲を追記
43		以下の規格値を変更 (3) リセット, ハードウェアスタンバイ入力タイミング 項目 : リセット入力時間 備考 : サブクロックモード, サブスリープモード, 時計モード時 $2t_{CP} \rightarrow 2t_{LCP}$
52	5. A/D コンバータ	ゼロトランジション電圧, フルスケールトランジション電圧の単位を変更 mV → V

注意事項 : 以降の変更点に関しては、「改訂履歴」を参照してください。

改訂履歴

文書名 : MB90F543G(S)/546G(S)/548G(S)/549G(S)/V540G/MB90543G(S)/547G(S)/548G(S)/F548GL(S) CMOS F ² MC-16LX MB90540G/545G Series 16-bit Proprietary Microcontroller 文書番号 : 002-07695				
版	ECN	変更者	発行日	変更内容
**	-	AKIH	10/15/2008	サイプレスとしてドキュメントコード 002-07695 に登録しました。 本版の内容およびフォーマットに変更はありません。
*A	5585454	AKIH	01/13/2017	これは英語版の 002-07696 Rev. *A を翻訳した日本語版です。
*B	6040588	YSAT	02/07/2018	これは英語版の 002-07696 Rev. *B を翻訳した日本語版です。 Cypress の新ロゴを適用。 パッケージコードを以下のように変更 FPT-100P-M06 → PQH100 FPT-100P-M20 → LQI100

セールス、ソリューションおよび法律情報

ワールドワイドな販売と設計サポート

サイプレスは、事業所、ソリューション センター、メーカー代理店、および販売代理店の世界的なネットワークを保持しています。お客様の最寄りのオフィスについては、[サイプレスのロケーション ページ](#)をご覧ください。

製品

Arm® Cortex® Microcontrollers	cypress.com/arm
車載用	cypress.com/automotive
クロック & バッファ	cypress.com/clocks
インターフェース	cypress.com/interface
IoT (モノのインターネット)	cypress.com/iot
メモリ	cypress.com/memory
マイクロコントローラ	cypress.com/mcu
PSoC	cypress.com/psoc
電源用 IC	cypress.com/pmic
タッチ センシング	cypress.com/touch
USB コントローラ	cypress.com/usb
ワイヤレス	cypress.com/wireless

PSoC® ソリューション

[PSoC 1](#) | [PSoC 3](#) | [PSoC 4](#) | [PSoC 5LP](#) | [PSoC 6 MCU](#)

サイプレス開発者コミュニティ

[コミュニティ](#) | [Projects](#) | [ビデオ](#) | [ブログ](#) | [トレーニング](#) | [Components](#)

テクニカル サポート

cypress.com/support

Arm and Cortex are registered trademarks of Arm Limited (or its subsidiaries) in the US and/or elsewhere.

All other trademarks or registered trademarks referenced herein are the property of their respective owners.

© Cypress Semiconductor Corporation, 2002-2018. 本書面は、Cypress Semiconductor Corporation 及び Spansion LLC を含むその子会社（以下、「Cypress」という。）に帰属する財産である。本書面（本書面に含まれ又は言及されているあらゆるソフトウェア又はファームウェア（以下、「本ソフトウェア」という。）を含む）は、アメリカ合衆国及び世界のその他の国における知的財産法令及び条約に基づき、Cypress が所有する。Cypress はこれらの法令及び条約に基づく全ての権利を留保し、また、本段落で特に記載されているものを除き、Cypress の特許権、著作権、商標権又はその他の知的財産権のライセンスを一切許諾していない。本ソフトウェアにライセンス契約書が伴っておらず、かつ、あなたが Cypress との間で別途本ソフトウェアの使用方法を定める書面による合意をしていない場合、Cypress は、あなたに対して、(1) 本ソフトウェアの著作権に基づき、(a) ソースコード形式で提供されている本ソフトウェアについて、Cypress ハードウェア製品と共に用いるためのみ、組織内部でのみ、本ソフトウェアの修正及び複製を行うこと、並びに (b) Cypress のハードウェア製品ユニットに用いるためのみ、（直接又は再販売者及び販売代理店を介して間接のいずれかで）エンドユーザーに対して、バイナリーコード形式で本ソフトウェアを外部に配布すること、並びに (2) 本ソフトウェア (Cypress により提供され、修正がなされていないもの) に抵触する Cypress の特許権のクレームに基づき、Cypress ハードウェア製品と共に用いるためのみ、本ソフトウェアの作成、利用、配布及び輸入を行うことについての非独占的譲渡不能な一身専属的ライセンス (サブライセンスの権利を除く) を付与する。本ソフトウェアのその他の使用、複製、修正、変換又はコンパイルを禁止する。

適用される法律により許される範囲内で、Cypress は、本書面又はいかなる本ソフトウェア若しくはこれに伴うハードウェアに関しても、明示又は黙示を問わず、いかなる保証 (商品性及び特定の目的への適合性の黙示の保証を含むがこれらに限られない) も行わない。いかなるコンピューティングデバイスも絶対に安全ということはない。従って、Cypress のハードウェアまたはソフトウェア製品に講じられたセキュリティ対策にもかかわらず、Cypress は、Cypress 製品への権限のないアクセスまたは使用といったセキュリティ違反から生じる一切の責任を負わない。加えて、本書面に記載された製品には、エラーと呼ばれる設計上の欠陥またはエラーが含まれている可能性があり、公表された仕様とは異なる動作をする場合がある。適用される法律により許される範囲内で、Cypress は、別途通知することなく、本書面を変更する権利を留保する。Cypress は、本書面に記載のある、いかなる製品若しくは回路の適用又は使用から生じる一切の責任を負わない。本書面で提供されたあらゆる情報 (あらゆるサンプルデザイン情報又はプログラムコードを含む) は、参照目的のためのみに提供されたものである。この情報で構成するあらゆるアプリケーション及びその結果としてのあらゆる製品の機能性及び安全性を適切に設計、プログラム、かつテストすることは、本書面のユーザーの責任において行われるものとする。Cypress 製品は、兵器、兵器システム、原子力施設、生命維持装置若しくは生命維持システム、蘇生用の設備及び外科的移植を含むその他の医療機器若しくは医療システム、汚染管理若しくは有害物質管理の運用のために設計され若しくは意図されたシステムの重要な構成部分としての使用、又は装置若しくはシステムの不具合が人身傷害、死亡若しくは物的損害を生じさせるようなその他の使用 (以下「本目的外使用」という。) のためには設計、意図又は承認されていない。重要な構成部分とは、その不具合が装置若しくはシステムの不具合を生じさせるか又はその安全性若しくは実効性に影響すると合理的に予想されるような装置若しくはシステムのあらゆる構成部分をいう。Cypress 製品はあらゆる本目的外使用から生じ、若しくは本目的外使用に関連するいかなる請求、損害又はその他の責任についても、Cypress はその全部又は一部を問わず一切の責任を負わず、かつ Cypress はそれら一切から本書により免除される。Cypress は Cypress 製品の本来目的外使用から生じ又は本目的外使用に関連するあらゆる請求、費用、損害及びその他の責任 (人身傷害又は死亡に基づく請求を含む) から免責補償される。

Cypress、Cypress のロゴ、Spansion、Spansion のロゴ及びこれらの組み合わせ、WICED、PSoC、Capsense、EZ-USB、F-RAM、及び Traveo は、米国及びその他の国における Cypress の商標又は登録商標である。Cypress の商標のより完全なリストは、cypress.com を参照のこと。その他の名称及びブランドは、それぞれの権利者の財産として権利主張がなされている可能性がある。