

アプリケーション・ノート : AN-1135

D級オーディオ用ゲート駆動回路の プリント回路基板レイアウト

Jun Honda, Connie Huang International Rectifier Corporation

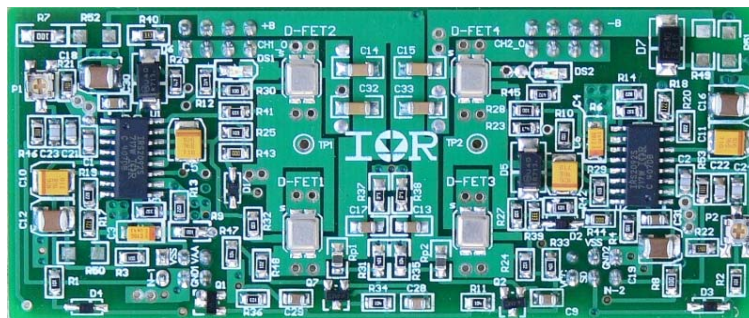
目次

	頁
アプリケーション・ノート : AN-1135	1
0 はじめに	2
0-1 プリント回路基板と D 級オーディオ特性	2
0-2 部品の配置	2
0-3 電流ループ	2
0-4 共通インピーダンス	3
1 D 級パワー段のレイアウト	3
1-1 主要部品の配置法	4
1-1-1 配置が特性の最大化を決める	4
1-1-2 雑音の考察	4
1-1-3 熱的考察	5
1-1-4 主要部品の配置.....	6
1-2 ゲート駆動段のレイアウト法	6
1-2-1 MOSFET のゲート駆動の電流ループ	6
1-2-2 ゲート駆動信号の配線のレイアウト法	7
1-2-3 バイパス・コンデンサの配置	8
1-3 MOSFET と電力経路のレイアウト法	8
1-3-1 電力経路の電流ループ	8
1-3-2 過電流検出	9
1-3-3 共通インピーダンス	10
2 接地の 2 つの概念	10
2-1 スター接地の考え方	10
2-2 接地プレーンの考察	11
2-3 シールド	12
3 まとめ	12

©インターナショナル・レクティファイアー・ジャパン (2008 年 3 月)
この文献の無断複製・転載を禁じます。

0 はじめに

インターナショナル・レクティファイアー（IR）社の D 級オーディオ・アンプ用チップ・セットは、優れたオーディオ性能と高効率を得ています。D 級オーディオ・アンプの特性を最適化するために、回路設計者は、回路図を起こし、適切な部品を選択し、プリント回路基板のレイアウト設計をします。この 3 つの仕事のうち、最初の 2 つには、設計のためのしっかりとした指針がありますが、回路基板のレイアウトは、設計工程の中で最もあいまいな部分です。このアプリケーション・ノートの目的は、設計者が非常に気を使うプリント回路基板のレイアウトに注目して説明したものです。



0-1 プリント回路基板と D 級オーディオ特性

従来の A 級アンプや AB 級アンプと同様に、D 級アンプでもプリント回路基板の設計はシステム特性を決める重要な要素です。より高い周波数を扱う D 級アンプは、従来のオーディオ・アンプの設計に比べて、基板の設計がはるかに大きな影響を及ぼします。

回路基板のレイアウトで重要な 3 つ要素、すなわち部品の配置、電流ループ、共通インピーダンスは、D 級オーディオ・アンプの総合的な特性に影響します。各要素は、出力の雑音や歪みの原因となる可能性があります。それぞれの要素の影響を押さえ込むために、設計者は、どの電流ループが、どの部品が、どの端子がアンプの特性に重要な影響を及ぼすか、それはなぜかを知るべきです。

0-2 部品の配置

回路基板レイアウトの 3 つの要素の中で、アンプ特性に影響する代表例が部品の配置です。言い換えれば、部品のレイアウトは、与えられた部品から得られる最高の特性を決定します。部品配置の第 1 段階は、3 つの主な視点、すなわち信号の流れ、雑音のカップリング、熱の考察のすべてを考慮することから始まります。この 3 つの視点に基づいて、各回路がどこに配置されるべきかを決めます。次に、共通インピーダンスと電流ループという 2 つの要素に基づいて機能ブロック内部の詳細を設計します。

0-3 電流ループ

大きな交流電流が流れる電流ループは、回路の EMI（電磁干渉）雑音を発生させる可能性が大きく、レイアウトでは優先事項となります。このループに流れる電流は、高いピーク電

流と鋭い立ち上がり／降下特性によって特徴付けられます。従って、注意しないと容易に周辺回路に雑音を注入します。電流ループの影響を最小にするためには、電流経路の距離とループの面積が最小になるように設計しなければなりません。これによって、出力オーディオ信号を歪ませる要因となるスイッチング電流波形を効果的に減らすことができます。

0-4 共通インピーダンス

2つ以上の別々の回路によって共有された配線によるインピーダンスを共通インピーダンスと呼びます。ある回路では接地のインピーダンスを小さくしたい、他の回路では周辺回路からの干渉を最小にするために接地への経路を分離したい、という場合があります。雑音の大きい回路と小さい回路によって共有された共通インピーダンスを回避できないならば、最小化するようにしなければなりません。「スター接地（星の形状のパターンにした接地）」の考え方を使えば、アンプ特性に影響する共通インピーダンスを効果的に回避することができます。このアプリケーション・ノート「接地」の章で詳しく論議します。

1 D 級パワー段のレイアウト

D 級オーディオ・アンプは、2つの回路に分けられます。ゲート駆動段と出力パワー段です。各段は、増幅の品質に影響を及ぼす特定の電流ループ、部品、共通インピーダンスによって特徴付けられます。各段の構成を理解すれば、D 級オーディオ・アンプの特性と効率を最適化するためのレイアウトが可能です（図 1）。

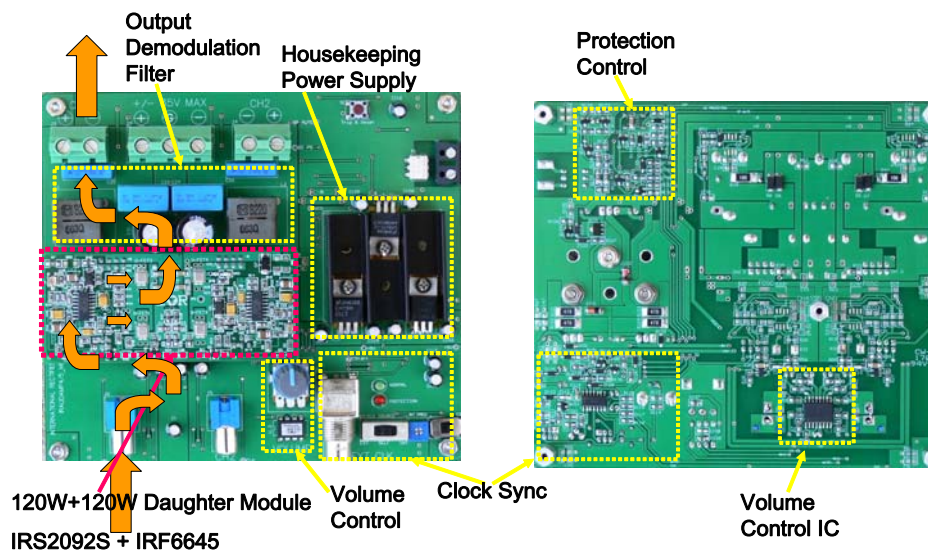


図 1 評価基板「IRAUDAMP5」のプリント回路基板

1-1 主要部品の配置法

1-1-1 配置が特性の最大化を決める

プリント回路基板の設計者にとって最初の、そして、最も重要なステップは、以下の目的に使う部品を分類することです。

- オーディオ入力回路
- PWM（パルス幅変調）制御回路
- ゲート駆動段
- スイッチング段
- ICの特性を維持するためのローカル電源
- アンプを停止させるための遮断回路

どの部品をどのようにグループ化するかを決めて、回路基板の空き領域に適切にそれらをまとめることによって、残りの回路の配置を決められます。

1-1-2 雑音の考察

雑音に対する感度の高い機能ブロック（図2）もあれば、雑音を発生させる機能ブロック（図3）もあります。それらを特定し、機械的な要件、および熱的な要件に基づいて、配置の最適解を見つけなければなりません。この考えに基づいて設計した評価基板 IRAUDAMP5 の例を次頁の図4に示します。

雑音感度の高い機能ブロック

- オーディオ入力回路
- PWM 制御回路

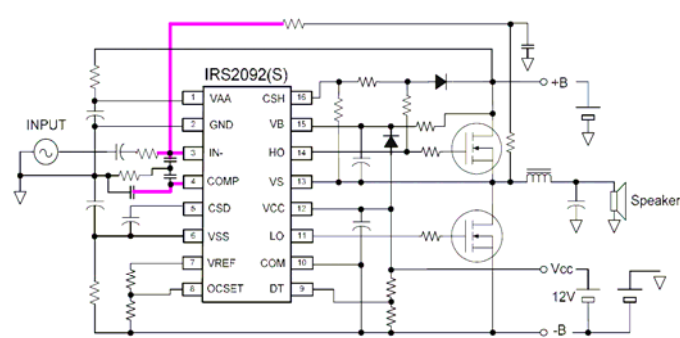


図2 最も雑音感度の高い端子

雑音を発生する機能ブロック

- ゲート駆動段
- スイッチング段

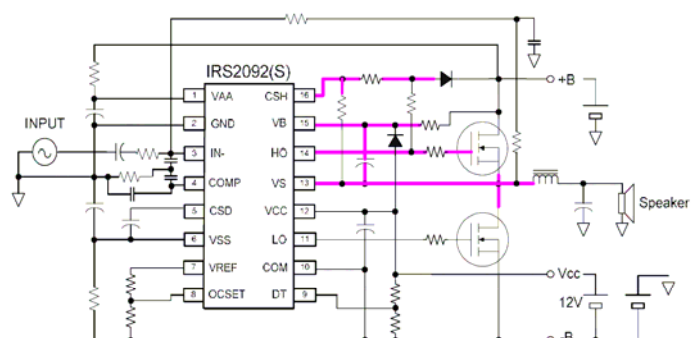


図3 最も雑音を発生する端子

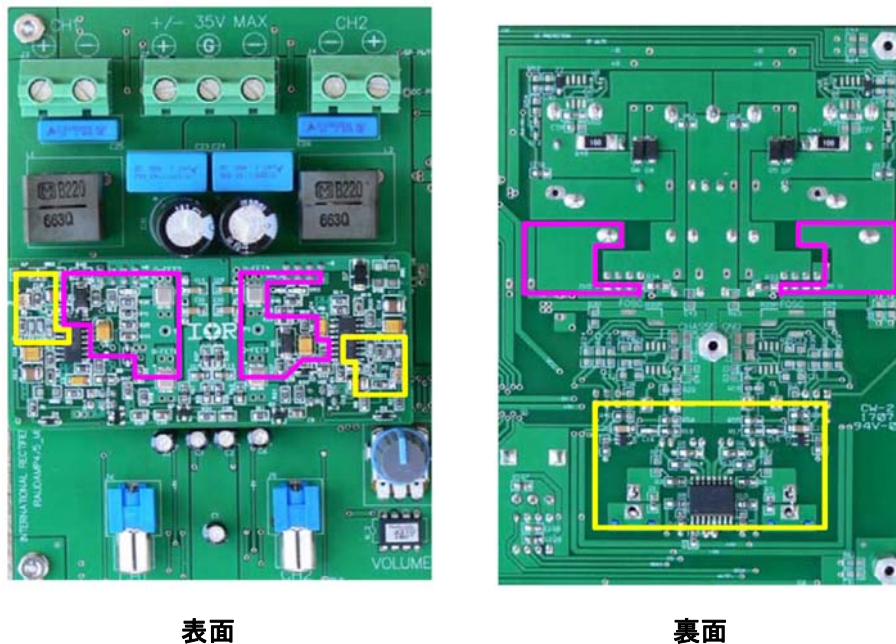


図 4 IRAUDAMP5 における雑音感度の高い領域と雑音が発生する領域
黄色の線で囲んだ領域は雑音感度の高い領域、マゼンタ（赤色系）色で囲んだ領域は雑音が発生する領域

1-1-3 熱的考察

DirectFET などの表面実装のパワー・デバイス、放熱するための一定の領域が必要です。

パワー・デバイスは、放熱の視点から見ると、お互いの間隔を離す方がよいのですが、小さな電流ループ領域の視点で考えるとあまり遠くに配置しない方がよいわけです。

図 5 に 4 つのパワー MOSFET (DirectFET パッケージ) を搭載した IRAUDAMP5 の例を示します。なお、電解コンデンサなどの熱に弱い部品は、パワー・デバイスから離してください。

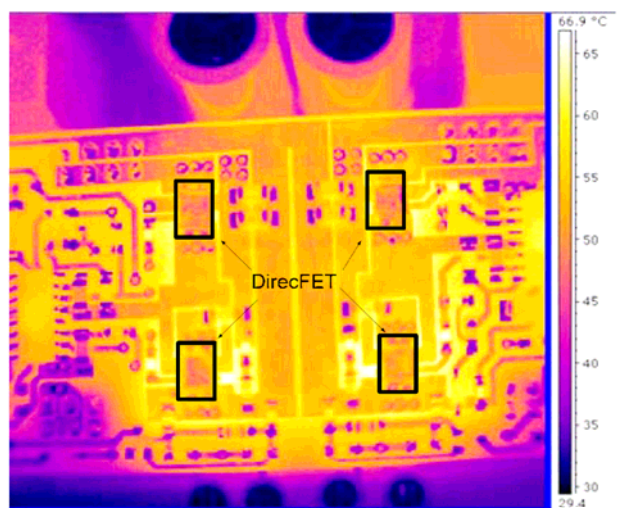


図 5 4 つの DirectFET パワー MOSFET を搭載した IRAUDAMP5 (ドーター・ボード) の温度分布写真

1-1-4 主要部品の配置

これら考慮して、与えられた領域に主要部品を配置してみてください。設計全体に影響し、この段階で考慮すべき主要部品を以下にまとめました。この実装例が図 6 です。

- オーディオ信号の入力コネクタ
- 誤差アンプの OPA
- ゲート駆動 IC
- パワー MOSFET
- バス・コンデンサ
- 出力の低域通過フィルタ (LPF)
- 電源の供給口
- スピーカへの出力コネクタ

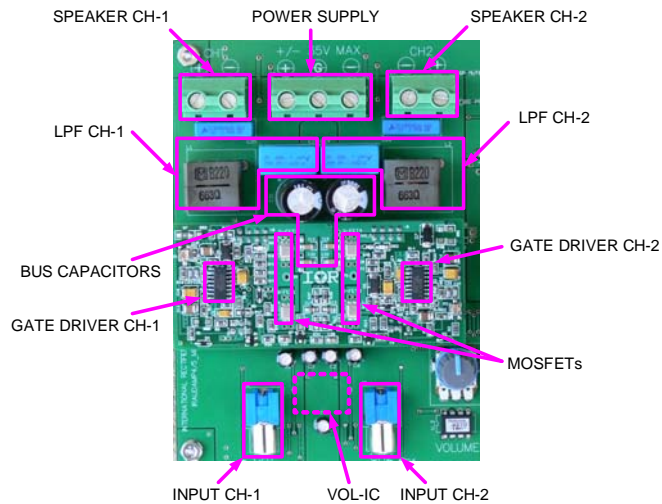


図 6 主要部品の配置例 (IRAUDAMP5 の場合)

1-2 ゲート駆動段のレイアウト法

1-2-1 MOSFET のゲート駆動の電流ループ

スイッチ用 MOSFET のオン/オフを含むゲート駆動段には 5 つの電流ループがあります。それぞれの電流ループは、鋭い立ち上がり/降下特性を持ち、大きなピークの電流を扱います。この高周波スイッチング動作は、電流で誘起された雑音をアンプ出力に加える可能性があります。MOSFET のゲートを充放電する電流で発生する EMI 雑音を含むように、ループの領域と距離を最小にしてください。

ここでは、IR 社のデジタル・オーディオ用ゲート駆動 IC の 1 つで、最も一般的な IRS2092 (S) を例に説明します。ローサイド MOSFET がオンしている間、3 つの電流ループがアンプのゲート駆動段の周辺で動作しています (図 7)。

○ ピンク色のループは、ローサイド MOSFET のゲートを充電する電流の経路です。VCC 端子のバス・コンデンサから供給された電荷は、ローサイド MOSFET のゲートを充電するために、IRS2092 (S) の VCC 端子と LO 端子の間に内蔵した MOSFET を経由します。

○ 緑色のループは、ハイスайд MOSFET のゲートを放電する電流の経路です。電流は IRS2092 (S) の HO 端子と VS 端子の間の内蔵 MOSFET を通して、ハイスайд MOSFET のゲートから電荷を引き抜きます。

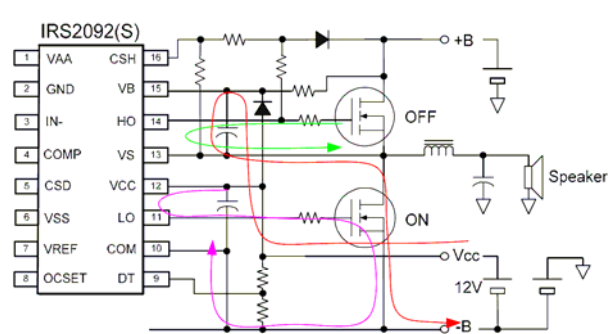


図 7 ローサイドがオンしている間の電流ループ

○ オレンジ色のループは、ハイサイドのブートストラップ・コンデンサ C_{VBS} を充電する電流の経路です。ローサイドがオンしている間、VS 端子は -B 電源にプルダウンされて、VCC 端子と VB 端子の間のダイオードがオンします。ハイサイドがオンする準備のために、VCC 端子のバス・コンデンサがブートストラップ・コンデンサを充電し始めます。

ハイサイド MOSFET がオンしている間、2つの電流ループがゲート駆動段の周りで動作します (図 8)。

○ 青色のループは、ローサイド MOSFET のゲートを放電する電流の経路です。IRS2092 (S) の LO 端子と COM 端子の間の内蔵 MOSFET を通してローサイド MOSFET のゲートから電荷を引き抜きます。

○ 赤色のループは、ハイサイド MOSFET のゲートを充電する電流の経路です。ハイサイドのブートストラップ・コンデンサによって供給された電荷は、ハイサイド MOSFET のゲートを充電するために IRS2092 (S) の VB 端子と HO 端子の間の内蔵 MOSFET を経由して流れます。

ハイサイドとローサイドを切り換えている間、どちらかの電流ループが動作しているので、アンプ特性を最適化するために注意深くレイアウトしなければなりません。IR 社の評価基板である IRAUDAMP4 や IRAUDAMP5 では、EMI 雑音を最小にするために、ゲート駆動段の電流ループの効果的な構成を示しています。

IRAUDAMP4 はゲート駆動 IC に IRS20955 を、IRAUDAMP5 は IRS2092 (S) を搭載しています。パワー MOSFET は、DirectFET の IRF6645 を使っています。

1-2-2 ゲート駆動信号の配線のレイアウト法

図 9 はハイサイドがオフしている間のハイサイド MOSFET の放電経路、図 10 はハイサイド MOSFET の充電経路です。充電経路も放電経路も、与えられた基板の大きさの中で最短にします。さらに、IC から MOSFET のゲートへの経路は、ループ領域を最小にするために、戻りの経路を行きの経路の近くに配線します。

この2つの電流ループのレイアウトは、回路基板上のスイッチングによって生じる鋭いピーク電流が原因となる EMI 雑音を最小にします。

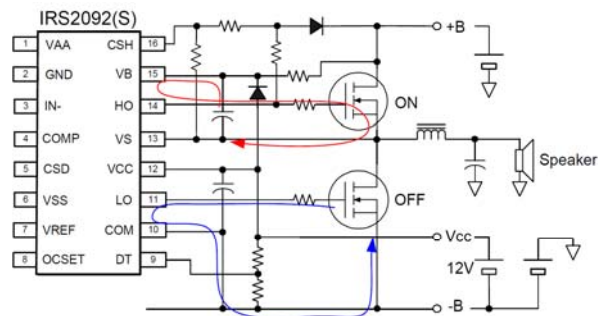


図 8 ハイサイドがオンしている間の電流ループ

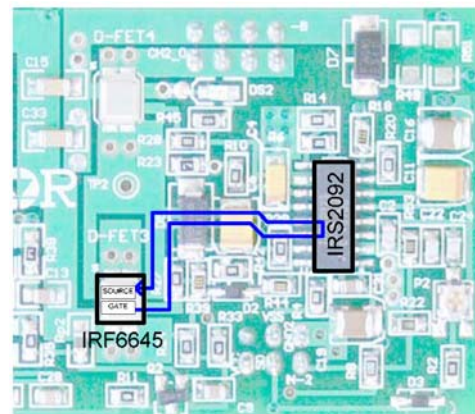


図 9 ハイサイド MOSFET の放電経路

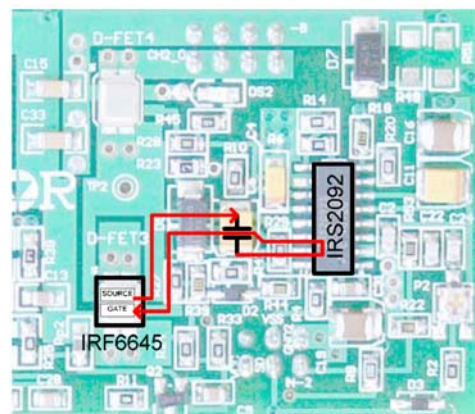


図 10 ハイサイド MOSFET の充電経路

1-2-3 バイパス・コンデンサの配置

動作中、IRS2092 (S) は、VDD 端子、VCC 端子、VB 端子と VS 端子の間の 3 つのバス・コンデンサ、すなわち C_{VDD} 、 C_{VCC} 、 C_{VBS} から高い周波数で電流を吸い込み／吐き出します (図 11)。コンデンサから IC への配線距離は、できるだけ短くしてください。IRS2092 (S) からバス・コンデンサからまでの配線の長さの影響は 2 つ考えられます。

1 つは、各コンデンサが電流ループに含まれるので、EMI 雑音の潜在的な発生源となることです。もう 1 つは、コンデンサから IC のピンまでの配線による寄生インダクタンスが、各コンデンサに流れる電流波形を歪ませることです。

図 11 の IRAUDAMP5 のレイアウトでは、アンプの特性を劣化させる上記 2 つの影響を軽減するために、バス・コンデンサは IC の横に配置しました。

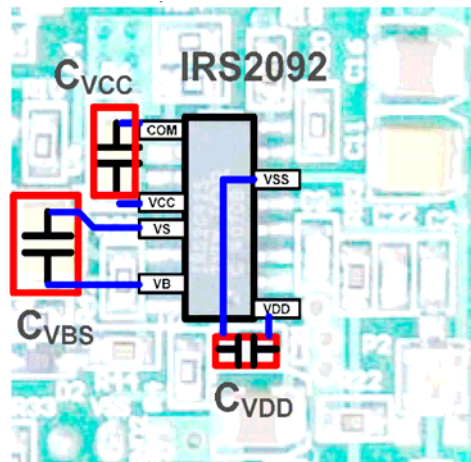


図 11 バス・コンデンサは IC の隣に配置

1-3 MOSFET と電力経路のレイアウト法

1-3-1 電力経路の電流ループ

スイッチング用 MOSFET と低域通過フィルタ (LPF) に流れる高周波電流の経路には 3 つの電流ループがあります。

○ 図 12 に示したオレンジ色のループは、ハイサイド MOSFET がオンすると動作し、ハイサイド MOSFET を通して +B 電源のコンデンサの正の端子から電流が流れます。さらに電流は、LPF から +B 電源のコンデンサの負の端子へと流れます。

○ ローサイド MOSFET がオンすると、LPF を介して -B 電源のコンデンサの正の端子から電流が流れて、緑色のループが動作します。この電流は、ローサイド MOSFET から -B 電源のコンデンサの負の端子へと流れます。

○ 図 13 の青色のループは、ハイサイド MOSFET とローサイド MOSFET のボディ・ダイオードの逆回復電流を示しています。それぞれのスイッチング周期の間、ボディ・ダイオードをオフするために必要な逆回復電流は、負の電圧バスにスパイク電流を注入します。高周波雑音を吸収するためのコンデンサは、電流ループの領域と距離を最小にするために、ローサイド MOSFET のソースとハイサイド MOSFET のドレインの近くに配置してください。次頁の図 14 はハーフブリッジ回路の寄生インダクタンスを表しています。図 15 は VS 端子の電圧スパイク波形です。

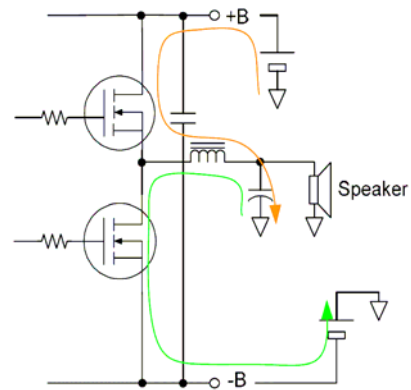


図 12 出力パワー MOSFET の電流ループ

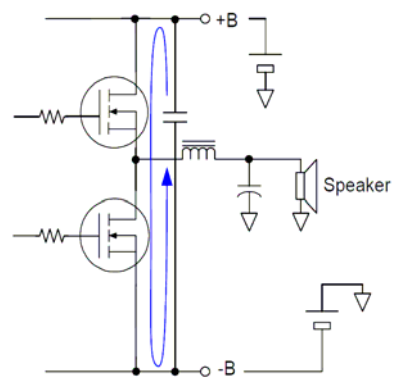


図 13 電力経路の逆回復電流ループ

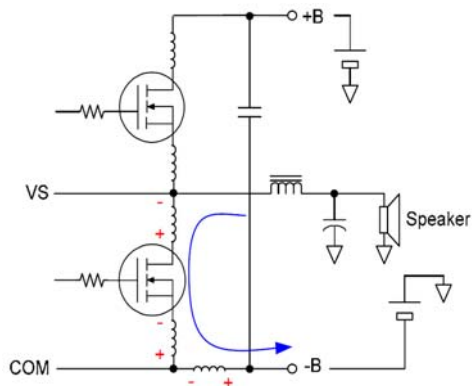


図 14 ハーフブリッジ回路の
寄生インダクタンス

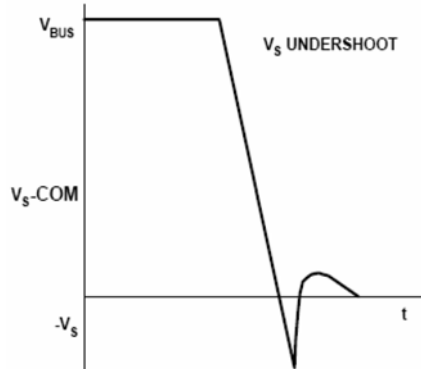


図 15 VS 端子の 電圧スパイク波形

出力パワー段の 3 つの電流ループの中では、逆回復電流（青色のループ）が最も高い周波数成分を持っています。オレンジ色と緑色のループは、2 番目に高い周波数成分を含んでいます。ループの領域と距離を最小にするときは、これに従ってループのレイアウトの優先度を決めてください。

1-3-2 過電流検出

IRS2092 (S) は、出力パワー MOSFET のソースとドレインの間のオン抵抗（内部抵抗）に基づく電圧低下を過電流検出に利用します。ローサイドかハイサイドの MOSFET がオンしているとき、IC は、その MOSFET のソースとドレインの間の電圧 V_{DS} を測定し、その値をユーザーが設定したしきい電圧と比較します。測定された電圧がトリップ・レベルを超えると、IC は遮断モードに入り、設定した長さの時間、IC の動作を停止します。

IRS2092 (S) の OCP（過電流保護）は、ローサイドとハイサイドの V_{DS} を正確に検出することに依存しています。3 本のピン、すなわち COM 端子、VS 端子、CSH 端子が 2 つの MOSFET の V_{DS} の測定に使われます。ローサイドがオンの間、IC は COM 端子と VS 端子との間の電位差を測定します。ハイサイドがオンの間は、IC が VS 端子と CSH 端子の間の電位差を測定します。

実際の V_{DS} を確実に測定するためには、COM 端子と VS 端子を、できるだけローサイド MOSFET の近くに配置し、VS 端子と CSH 端子をハイサイド MOSFET の近くに配置してください（図 16）。つまり、ハイサイド MOSFET のソースとローサイド MOSFET のドレインの近くに VS 端子があることになります。このためには、ローサイド MOSFET とハイサイド MOSFET を近くに配置すれば良いわけです。

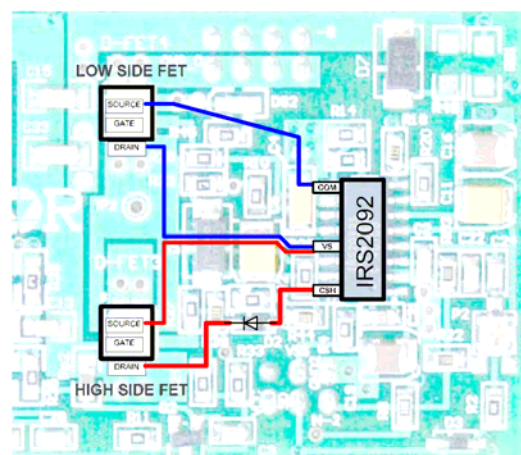


図 16 オン抵抗に基づく電流検出ルートの例

1-3-3 共通インピーダンス

異なるチャネルのスイッチング用 MOSFET によって共有される配線の共通インピーダンスは、最小にしてください。各チャネルの $-B$ 電源からローサイド MOSFET のソースに供給する電圧の経路と、 $+B$ 電源からハイサイド MOSFET のドレインに供給する電圧の経路は分離してください。D 級オーディオ・アンプの特性を最適化するために、前述のスター結線の接地の考え方をこの段階で適用してください。同様に、LPF の接地基準電位は、接地端子とは別の経路にしてください。

2 接地の 2 つの概念

D 級アンプには、アンプのすべてのスイッチング信号によって参照される 2 つの基準電位があります。すなわち、オーディオ信号の基準電位（アナログ接地）とゲート駆動の基準電位です。オーディオ信号の基準電位とゲート駆動の基準電位は、本質的に異なる接地方法にする必要があります。この違いを表 1 にまとめました。

表 1 オーディオ信号の参照基準電位とゲート駆動の参照基準電位

電位	オーディオ信号の基準電位	ゲート駆動の基準電位
	接地	負のバス電圧
参照する回路	<ul style="list-style-type: none"> ➤ オーディオ入力 ➤ 誤差アンプ ➤ IC の入力回路 ➤ 正と負のバス・コンデンサ ➤ オーディオ出力 	<ul style="list-style-type: none"> ➤ IC のゲート駆動出力 ➤ ハーフブリッジ構成の MOSFET
レイアウトの考察	入力と出力の基準接地と同様に、異なるチャネルの基準接地の間の共通インピーダンスが生じないようにしてください。	ゲート駆動段はアンプの他の部品の信号品質を劣化させる高周波電流を含んでいます。アンプの最適な特性を保証するために入力信号の制御回路から、これらの高周波信号を適切に分離してください。
推奨するレイアウト手法	スター結線の接地	接地プレーン

2-1 スター接地の考え方

オーディオ・アンプの回路の中で雑音を発生する回路は、接地の配線に交流の雑音を混入させます。プリント回路基板の接地配線のインピーダンス結合によって、高い周波数の電流が接地配線に高い周波数の電圧摂動を引き起こします。言い換えれば、接地の配線の 1 つの点の電位が、他の点の電位と異なってしまうということです。理想的には、接地のどの点でも同じ電位になるように接地パターンをレイアウトしなければなりません。スター接地の考え方は、より雑音の大きい部品が雑音の小さい領域の回路特性を劣化させないようにする効果的な手法です。

スター接地は本質的に、回路基板上の1つの点を指定します。他のすべての接地の配線と接地プレーンは、別々の経路でこの点と接続されます。この結果、中心となる接地点から放射状、つまりスター状に伸びるパターンを形成することになります（図17）。ICの入力によって参照される接地と同様に、アンプの異なる出力チャンネルのために、スター接地の異なる経路を指定してください。

スター接地を効果的に実現するために、以下の方法に従ってください。

- 1 プリント回路基板に「スター接地」（接地の中心となる点）を確立します。通常、この点は、アース接地が回路基板の接地に接続する点です。
- 2 各チャンネル入力の接地を別々にスター接地に配線します。
- 3 各チャンネル出力の接地を別々にスター接地に配線します。
- 4 各チャンネルの入力部への接地プレーンを個別に形成します。
- 5 各接地プレーンを異なる経路を通してスター接地に接続します。
- 6 アンプ特性に影響せずに、接地への共通インピーダンスを共有できる回路をまとめます。
- 7 まとめた回路のそれぞれの接地を別々にスター接地に接続します。

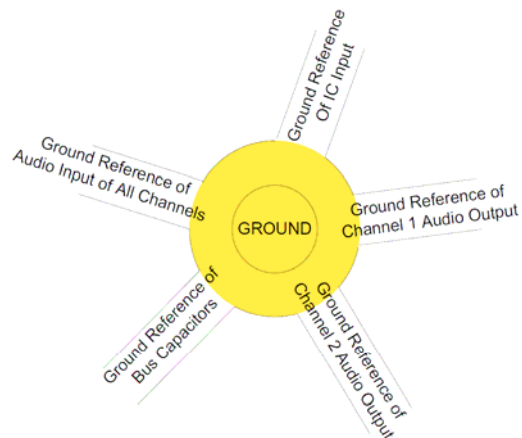


図17 D級アンプの「スター接地」

2-2 接地プレーンの考察

接地プレーンは銅の層で形成され、アンプの信号の基準電位を伝えます。これらのプレーン構造はプリント回路基板設計の3つの目標の実現に役立ちます。1つ目は、回路基板の異なる点で、同じ基準電位が同じ電位であることを確実にすること。2つ目は、同じ回路基板の中で、高い周波数でスイッチングしている回路から入力アンプをシールドすること。3つ目は、別々の配線をせずに、回路基板の接地部分を容易に設計できることです。

接地プレーンの考察を負のバス電圧に効果的に応用すると、実質的にアンプ特性の最適化に役立ちます。ゲート駆動段とスイッチング用 MOSFET はすべて、負のバス電圧を基準にして動作しています。アンプのこの段の高周波スイッチング動作は、潜在的に負のバス電圧と周囲の回路に雑音をカップリングさせます。この段で発生するスイッチング雑音を回避するために接地プレーンの考え方を応用してください（図18）。

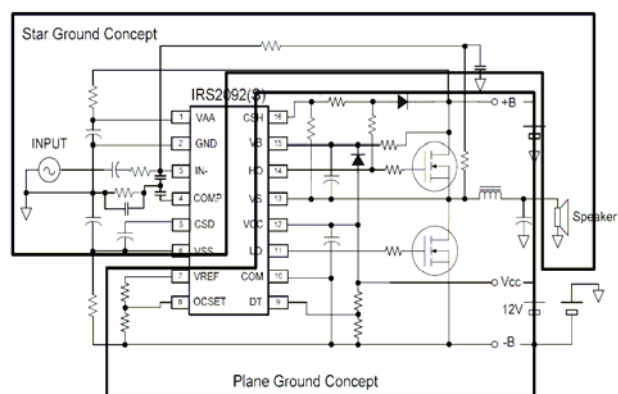


図18 IRS2092 (S) の設計にスター接地と接地プレーンの考え方を適応した例

2-3 シールド

多層基板の設計では、層の間の静電結合に注意してください。このとき、D級アンプが100dB以上のS/Nの信号を扱っていることに留意してください。フロントエンド段に混入する小さな雑音は、大きな特性劣化を引き起こします。図19と図20にIRS2092(S)におけるシールド構造を示します。

最も雑音が発生する部分は、ハイサイドMOSFETとそのゲート駆動段です。ハイサイド回路と入力OTA段の端子の間の浮遊容量ができるだけ生じないようにしてください。

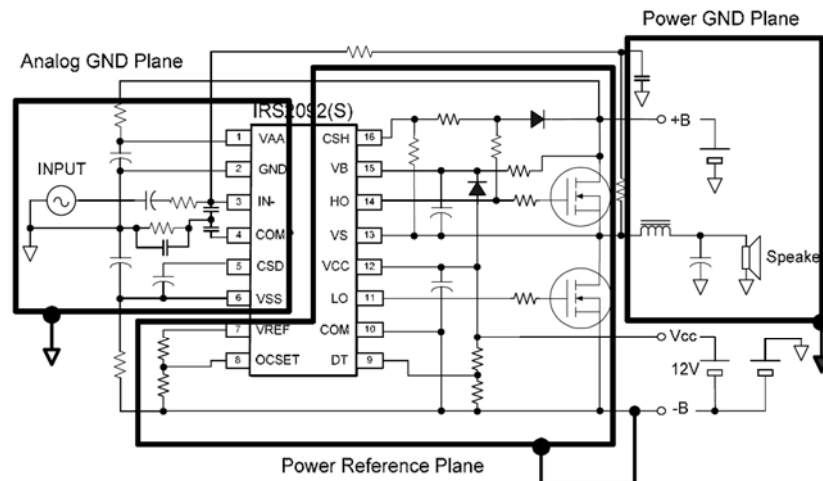


図19 IRS2092(S)のシールド面の考え方

3 まとめ

D級アンプの回路を適切にレイアウトする方法について、段階を追って説明しました。プリント回路基板をうまくレイアウトすると、実装面積が小さくて済み、しかも良い特性が得られます。

ここで説明した指針に従うことによって、最も小さい面積で高性能のD級アンプを組み立てることができるはずです。

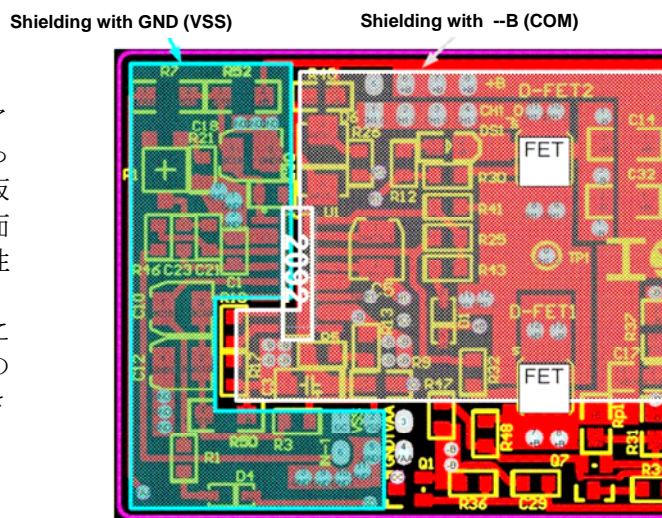


図20 IRAUDAMP5のシールド面の設計例

©インターナショナル・レクティファイアー・ジャパン（2008年3月）
この文献の無断複製・転載を禁じます。