

アプリケーション・ノート : AN-1084

パワーMOSFETの基礎

Vrej Barkhordarian International Rectifier Corporation

目次

はじめに.....	2
ブレークダウン電圧（降伏電圧）.....	6
オン抵抗.....	7
トランスコンダクタンス.....	8
しきい電圧.....	8
ダイオードの順方向電圧.....	8
消費電力.....	9
動特性.....	9
ゲート電荷.....	10
dv/dt 特性.....	11

このアプリケーション・ノートは、パワーMOSFETの降伏電圧、オン抵抗、トランスコンダクタンス、しきい電圧、ダイオードの順方向電圧、動特性、ゲート電荷、dv/dt 特性、消費電力などをまとめたものです。

©インターナショナル・レクティファイアー・ジャパン
この文献の無断複製・転載を禁じます。

はじめに

ディスクリット（個別）のパワーMOSFETは、デバイス形状、電圧レベル、電流レベルがLSIで使われるMOSFETと大きく異なっていますが、半導体の製造工程はほぼ同じ技術を使っています。金属酸化膜半導体電界効果トランジスタ（MOSFET）は、1970年代に登場した初期の電界効果トランジスタ（FET）から派生したデバイスです。図1にパワーMOSFETのデバイス構造を示します。電流はドレインからソースに流れます。この電流をゲートに加えた電圧で制御します。

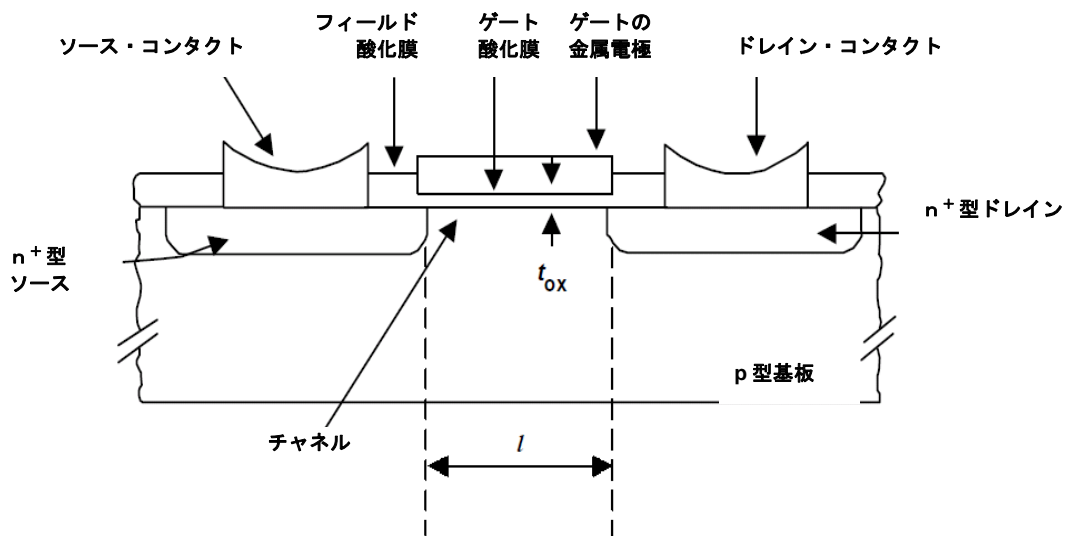


図1 パワーMOSFETの構造

パワーMOSFETの開発が促進された理由の1つは、パワー・エレクトロニクス用途で、当初、広く使われていたパワー・バイポーラ・トランジスタ（BJT）に限界があることです。「パワー・デバイス」を厳密に定義することは難しいですが、ここでは、最小1Aでスイッチングできるデバイスを大まかにパワー・デバイスと呼ぶことにします。

パワー・バイポーラ・トランジスタは、電流制御のデバイスです。ベース電流でコレクタ電流を制御します。デバイスのオン（導通）状態を維持するためには、コレクタ電流の1/5もの大きなベース電流が必要です。高速にオフさせるためには、逆方向の大きなベース電流も必要になります。ベース駆動回路の設計が複雑になります。バイポーラ・トランジスタの生産性が改善されてコストが下がってきていますが、パワーMOSFETに比べると高価です。

バイポーラ・トランジスタのもう1つの制約は、導通時の電子と正孔の役割です。キャリア寿命の長い正孔が存在するため、同じ大きさで同じ定格電圧のパワーMOSFETに比べて、スイッチング速度が数桁低速になります。熱暴走の危険性もあります。温度が上昇すると順方向電圧降下が減少するため、複数のデバイスを並列接続したとき、1つのデバイスに電流が集中しやすくなります。

これに対してパワーMOSFETは、少数キャリアの注入がない多数キャリア・デバイスです。スイッチング損失が重要になる高い周波数の用途では、バイポーラ・トランジスタよりも優れています。大電流と高電圧が同時に印加されても、2次ブレイクダウンに起因する破壊的故障の危険性は小さくなっています。パワーMOSFETでは温度が上昇すると順方向電圧降下が大きくなるた

め、並列接続してもすべてのデバイス間で電流が均等に分布しやすいと言えます。MOSFETの入出力特性（入力電圧と出力電流の関係）と回路記号を図2に示します。

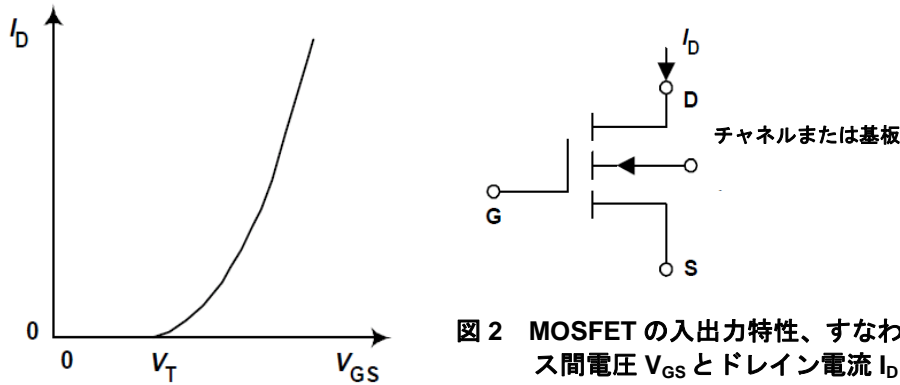


図2 MOSFETの入出力特性、すなわちゲート-ソース間電圧 V_{GS} とドレイン電流 I_D の関係（左）と回路記号（右）

ただし、ブレイクダウン電圧が高い（200 V以上）デバイスでは、パワーMOSFETの導通時の電圧降下が、同じ定格電圧で同じ大きさのバイポーラ・トランジスタに比べて大きくなります。このために、高周波特性が劣るにもかかわらずバイポーラ・トランジスタを使うことが魅力的になっています。

図3に、パワーMOSFETとバイポーラ・トランジスタのおおよその電流-電圧の限界を示します。材料、構造、製造技術の進歩と共に、これらの限界が改善されています。

nチャンネル・パワーMOSFETのデバイス構造と寄生素子の発生場所を次頁の図4に示します。基板の表面がソース、裏面がドレインの縦型構造です。ドレイン電圧の増加と共に、2つの隣接するボディ・ダイオードのデプリーション領域がドリフト領域へ広がると、2つのボディ領域の間に現れる寄生の接合型FET (JFET) が電流を制限します。

図4の寄生バイポーラ・トランジスタによって、デバイスがオンしやすくなり、ブレイクダウンを早めます。ソース領域の下のドーピングと距離を注意深く設定して、ベース抵抗 R_B を小さくしなければなりません。

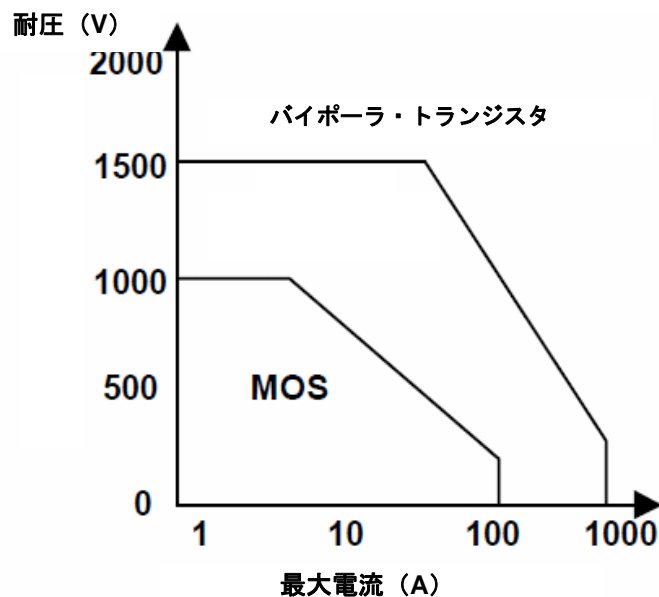


図3 パワーMOSFETとバイポーラ・トランジスタの電流-電圧の限界

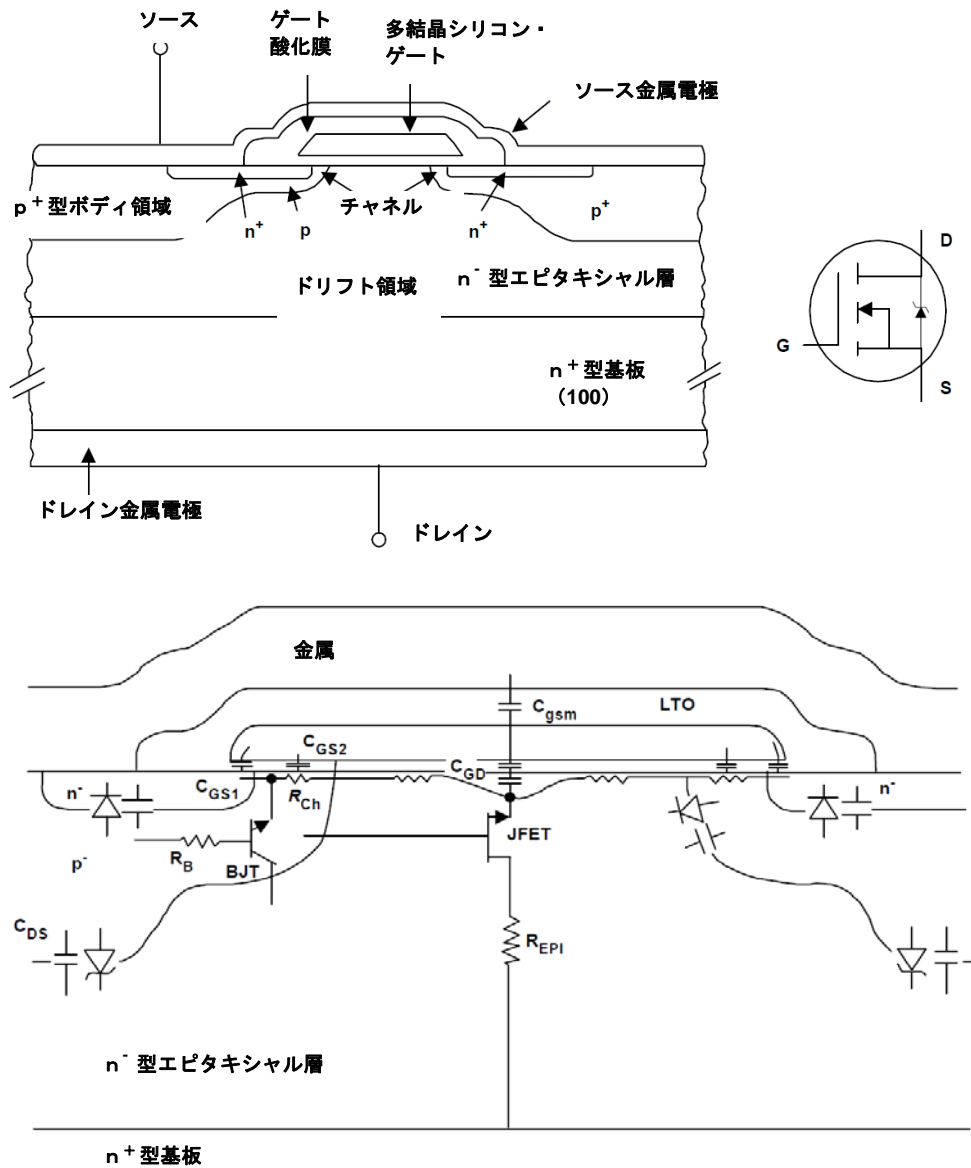


図4 パワーMOSFETのデバイス構造(上)と寄生素子(下)

図4の下図中のC_{GS}は、多結晶シリコン(ポリシリコン)・ゲートによって覆われたソース領域とチャネル領域との間に構成される容量であり、印加電圧には依存しません。

C_{GD}は2つの部分から構成されています。1つ目は、多結晶シリコン・ゲートとその下のシリコンのJFET領域との間で構成される容量です。2つ目は、ゲート直下のデプリーション領域にある容量です。C_{GD}は電圧の非線形関数です。

最後に、C_{DS}はボディとドリフト領域との間のダイオードの容量で、ドレイン-ソース間バイアス電圧の平方根に反比例します。

パワーMOSFETには、プレーナ（平坦）型とトレンチ（溝）型と呼ばれる2種類の構造があります。図4のデバイス構造はプレーナ型です。トレンチ型パワーMOSFETの2つの例を図5に示します。トレンチ型はセル密度が高いという長所がありますが、プレーナ型よりも、製造工程が複雑です。

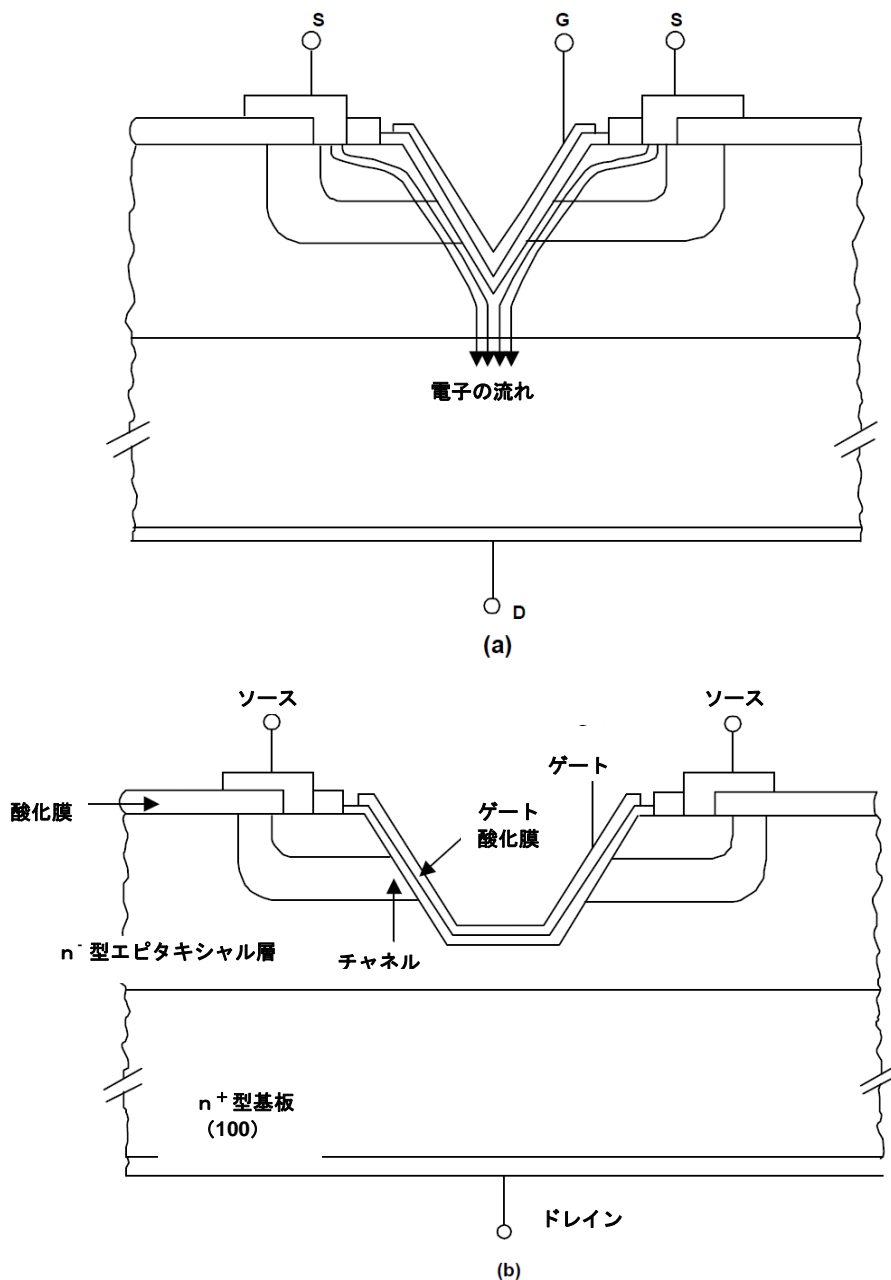


図5 トレンチ型パワーMOSFETの構造 (a)はV溝に電流が集中する構造。(b)はV溝の底面を平坦にした構造。

ブレイクダウン電圧

ブレイクダウン電圧（降伏電圧） BV_{DSS} とは、ゲートとソースを短絡した状態で、逆バイアスされたボディ-ドリフト領域間のダイオードがブレイクダウンし、アバランシェ増幅効果によってソースとドレインとの間に大きな電流が流れ始めるときの電圧を意味します。ダイオードの耐圧です。パワーMOSFETの電流-電圧特性が図6です。

BV_{DSS} は通常、ドレイン電流 $250\mu A$ で測定します。ドレイン電圧が BV_{DSS} より低く、かつゲートにバイアス電圧が加わっていない場合、表面のゲートの下にチャネルが形成されないため、ドレイン電圧はすべて逆バイアスされたボディ-ドリフト領域間のpn接合に加わります。構造と製造工程が良くないデバイスでは、これに関連したパンチスルー（貫通）とリーチスルーと呼ばれる現象が発生します。

パンチスルーは、デバイスのアバランシェ定格電圧よりも低いドレイン電圧で、ボディ-ドリフト領域間のpn接合のソース側のデプリーション領域がソース領域まで広がったときに発生します。

このために、ソースとドレインとの間に電流経路が生じて、図7に示すソフト・ブレイクダウン現象が発生します。ソースとドレインとの間に流れる漏れ電流は I_{DSS} で表します。

チャネルを短くするとオン抵抗 $R_{DS(on)}$ は低くなりますが、パンチスルーを防止するためにはチャネルを長くしなければなりません。このトレードオフを考慮する必要があります。

リーチスルー現象は、ボディ-ドリフト領域間のp-n接合のドリフト側のデプリーション領域がエピタキシャル層と基板との境界まで広がり、かつエピタキシャル層でアバランシェが発生する前に生じます。デプリーションの縁が高キャリア濃度の基板内に広がって、ドレイン電圧がさらに上昇すると、電界はアバランシェ現象が発生する臨界値である $2 \times 10^5 V/cm$ に急速に到達します。

ドレイン電流

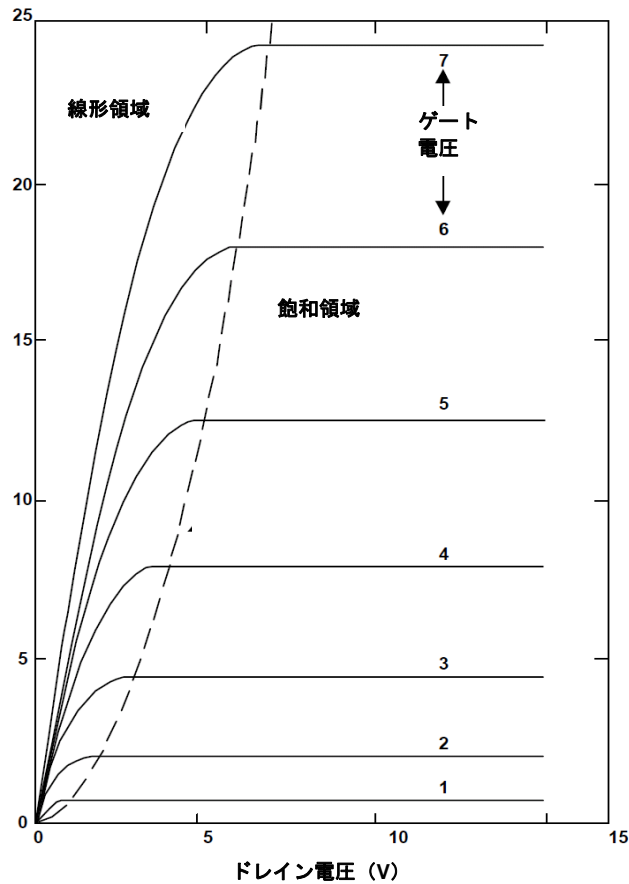


図6 パワーMOSFETの電流-電圧特性

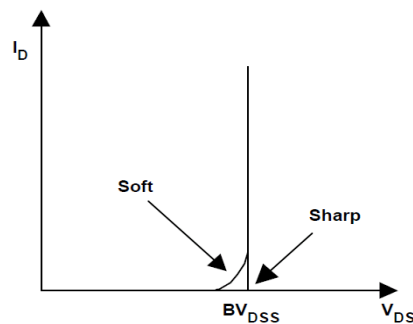


図7 パワーMOSFETのブレイクダウン特性

オン抵抗

パワーMOSFETが導通したときの抵抗、すなわちオン抵抗 $R_{DS(on)}$ は、図8に示すように複数の成分で構成されています。

$$R_{DS(on)} = R_{SOURCE} + R_{CH} + R_A + R_J + R_D + R_{SUB} + R_{wcm1} \dots (1)$$

- R_{SOURCE} : ソースの拡散抵抗
- R_{CH} : チャネルの抵抗
- R_A : 蓄積抵抗
- R_J : 2つのボディ間の領域に形成される寄生のJFETの抵抗
- R_D : ドリフト領域の抵抗
- R_{SUB} : 基板の抵抗。高耐圧デバイスには、最大 $20m\Omega\text{-cm}$ の基板の比抵抗を持つウエハーが使われ、低耐圧デバイスには $5m\Omega\text{-cm}$ 未満のウエハーが使われます。

R_{wcm1} : ボンディング・ワイヤの抵抗、ソースとドレインの金属とシリコンの抵抗、金属とリードフレームのコンタクト抵抗の合計。これらは通常、高耐圧デバイスでは無視できますが、低耐圧デバイスでは無視できません。

図9に、各電圧領域での $R_{DS(on)}$ の各成分の構成比率を示します。図から分かるように、高い電圧では、 $R_{DS(on)}$ はエピタキシャル抵抗とJFETの抵抗成分が支配的です。この成分は、高耐圧デ

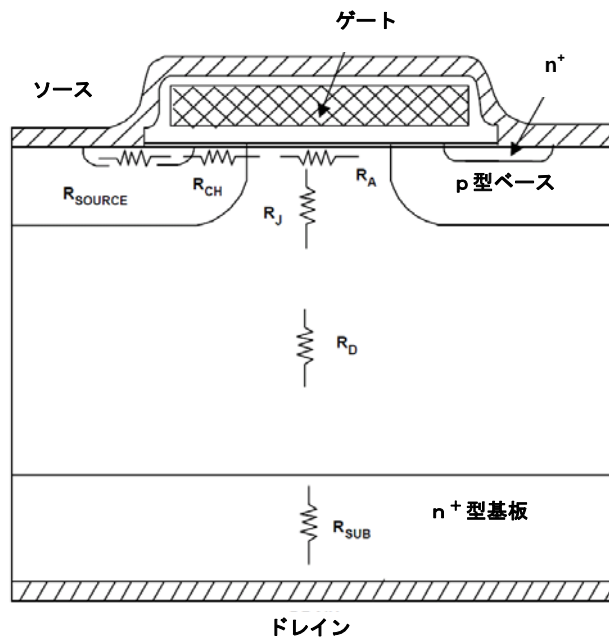


図8 パワーMOSFETの内部抵抗（オン抵抗）

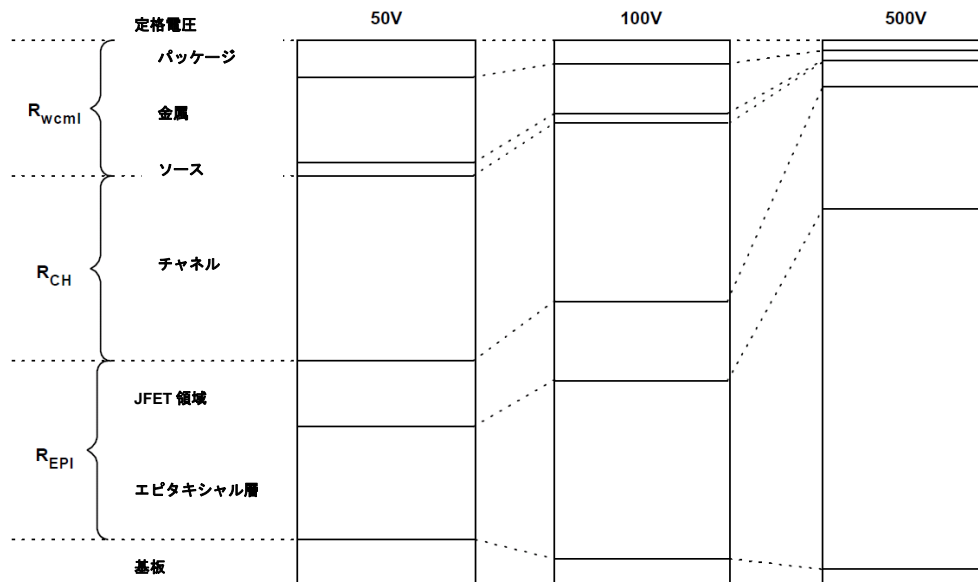


図8 定格電圧の異なるデバイスに影響する $R_{DS(on)}$ の抵抗成分

バイスで大きくなります。エピタキシャル層のキャリア濃度が低く、抵抗が大きいからです。

低い電圧では、 $R_{DS(on)}$ は、チャネル抵抗と、金属と半導体との間のコンタクト、金属配線、ボンディング・ワイヤ、リードフレームの各抵抗成分が支配的になります。

基板の抵抗成分は、ブレークダウン電圧が低いデバイスで大きくなります。

トランスコンダクタンス

トランスコンダクタンス g_{fs} は、ゲート-ソース間のバイアス電圧の変化に対するドレイン電流の感度を表します。このパラメータは通常、最大定格電流値の約半分のドレイン電流を与える V_{GS} および定電流領域で動作を保證する V_{DS} で表されます。

トランスコンダクタンスは、ゲート幅の影響を受けます。ゲート幅は実効面積に比例して大きくなります。セル密度は年々、高まっています。高密度化の制約要因は、リソグラフィ工程の制御とセル中央でのソースの金属配線へのコンタクトを可能にする分解能です。チャネル長もトランスコンダクタンスに影響します。チャネルを短くすることは、 g_{fs} とオン抵抗の両方にとって望ましいことですが、パンチスルーとのトレードオフになります。チャネル長の下限は、2重拡散工程を制御する能力で決まります。最小加工寸法や設計ルールと呼ばれている値です。最後に、ゲート酸化膜が薄いほど g_{fs} が大きくなります。

しきい電圧

しきい電圧 V_{TH} は、多結晶シリコン層の下の表面を強く反転させて、ソース領域とドレイン領域との間に導通チャンネルを形成するために必要とされる最小ゲート・バイアス電圧と定義されます。

V_{TH} は通常、ドレイン-ソース間電流 $250 \mu A$ で測定されます。一般的な値は、ゲート酸化膜が厚い高耐圧デバイスの場合には $2V \sim 4V$ 、ゲート酸化膜が薄い低耐圧の標準論理 IC のデバイスでは $1V \sim 2V$ 程度です。

ダイオードの順方向電圧

ダイオードの順方向電圧 V_F は、規定のソース電流値でのボディ-ドレイン間に形成されるダイオードの保証された最大順方向電圧降下です。図9に、2種類の温度におけるこのダイオードの I-V 特性（標準値）を示します。pチャネル・デバイスは、金属と p型シリコンとの間のコンタクト抵抗が n型シリコンに比べて大きいので、 V_F は大きくなります。一般的には、高耐圧デバイス（100V 以上）の場合は最大で $1.6V$ 程度、低耐圧デバイス（100V 以下）は $1.0V$ 程度です。

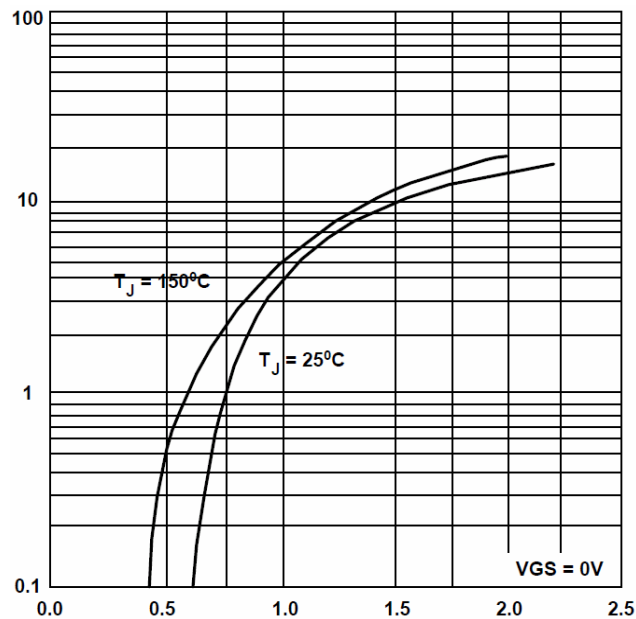


図9 ソース-ドレイン（ボディ）間ダイオードの順方向電圧特性 縦軸は逆方向のドレイン-ソース間電流 I_{SD} (A)。横軸はソース-ドレイン間電圧 V_{SD} (V)。

消費電力

パッケージ温度を 25°C に維持したとき、チップ温度を最大許容値まで上げる最大許容消費電力値は P_d で与えられます。ここで、

$$P_d = (T_{jmax} - 25) / R_{thJC} \quad \dots \quad (2)$$

です。

T_{jmax} : デバイスの pn 接合の最大許容温度（一般的には、150°C または 175°C）。

R_{thJC} : 接合部とパッケージ（ケース）の間の熱抵抗。

動特性

MOSFET をスイッチとして使うとき、その基本的な機能は、ゲート電圧でドレイン電流を制御することです。図 10 の (a) に伝達特性を、(b) に MOSFET のスイッチング特性の解析に使われる等価回路を示します。

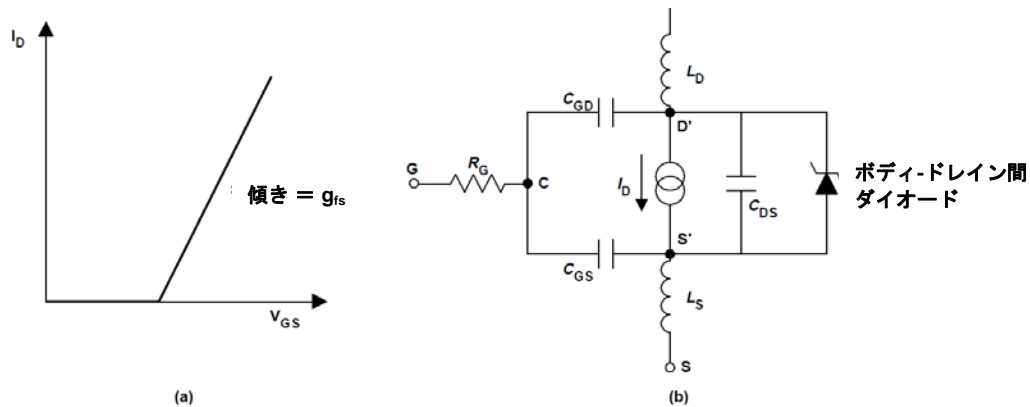


図 10 MOSFET の伝達特性 (a) とスイッチング特性の解析に使われる等価回路 (b)

デバイスのスイッチング特性は、容量に加わる電圧を変化させるために必要な時間、すなわち容量を充電するための時間によって決まります。 R_G はゲートの分布抵抗で、有効面積にほぼ反比例します。 L_S と L_D は、それぞれソースとドレインのリードのインダクタンスで、大きさは数 10nH 程度です。

データシートに記載される入力容量 (C_{iss})、出力容量 (C_{oss})、逆伝達容量 (C_{rss}) の標準値は、回路部品の値を決めるときに考慮されます。データシートの容量値は、等価回路の容量を使って次のように定められます。

$$\begin{aligned} C_{iss} &= C_{GS} + C_{GD} & C_{DS} \text{ は短絡} \\ C_{rss} &= C_{GD} \\ C_{oss} &= C_{DS} + C_{GD} \end{aligned}$$

ゲート-ドレイン間容量 C_{GD} は、電圧の非線形関数であり、回路の出力と入力の間で帰還ループを決めるときに最も重要なパラメータです。 C_{GD} は、動特性で決まる入力容量の合計が、静特性で決まる容量の和より大きくなるため、ミラー容量とも呼ばれます。

図 11 に一般的なスイッチング時間のテスト回路、および V_{GS} 波形と V_{DS} 波形の立ち上がり/降下特性を示しました。オンするときの遅延時間 $t_{d(on)}$ は、デバイスの入力容量を充電するために必要な時間です。その後、ドレイン電流が流れ始めます。同様に、オフするときの遅延時間 $t_{d(off)}$ は、スイッチがオフした後に容量の放電にかかる時間です。

ゲート電荷

入力容量の値は参考にはなりませんが、異なるメーカーの2つのデバイス間でスイッチング特性を比較しても、正しい比較とは言えません。デバイスの大きさやトランスコンダクタンスの影響も考慮すると、比較はさらに困難になります。

回路設計の視点から見た有効なパラメータは、入力容量ではなくゲート電荷と言えます。多くのメーカーは、データシートに両方のパラメータを記載しています。

ゲート電荷のテスト回路が図 12 です。ゲート電荷の波形は次頁の図 13 のようになります。

ゲートを電源電圧 V_{DD} に接続すると、 V_{GS} は V_{TH} まで上昇し、ここでドレイン電流が流れ始め、 C_{GS} の充電が始まります。時間 $t_1 \sim t_2$ の間、 C_{GS} の充電が続き、ゲート電圧が上昇し、これに比例してドレイン電流が増加します。時間 t_2 で C_{GS} が完全に充電され、ドレイン電流は所定の電流 I_D に到達して一定になり、ドレイン電圧が下がり始めます。

一方、 C_{GS} は t_2 で完全に充電されて、 V_{GS} が一定になり、駆動電流はミラー容量 C_{DG} の充電を開始します。これは時間 t_3 まで続きます。

ミラー容量の充電時間は、ゲート-ソース間容量 C_{GS} の充電時間よりも長くなります。 t_2 と t_3 の間にドレイン電圧が急速に変化するからです (電流 = $C dv/dt$)。

C_{GS} と C_{DG} の両容量が完全に充電されると、ゲート電圧 V_{GS} は再び上昇し、時間 t_4 で電源電圧に到達するまで続きます。

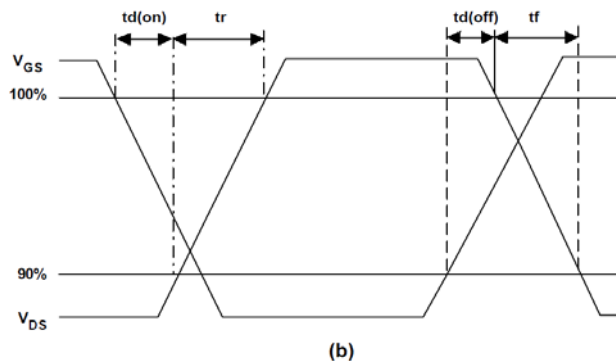
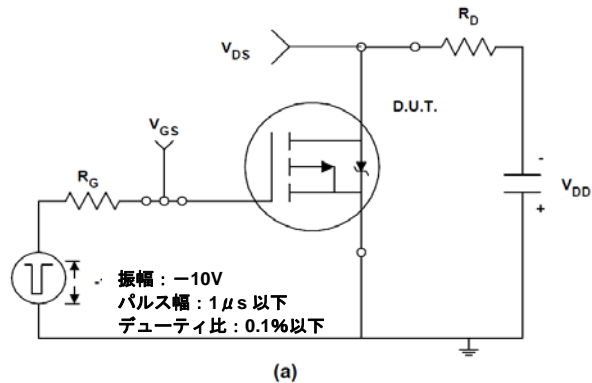


図 11 スwitchング時間のテスト回路 (a) および V_{GS} と V_{DS} の波形 (b)

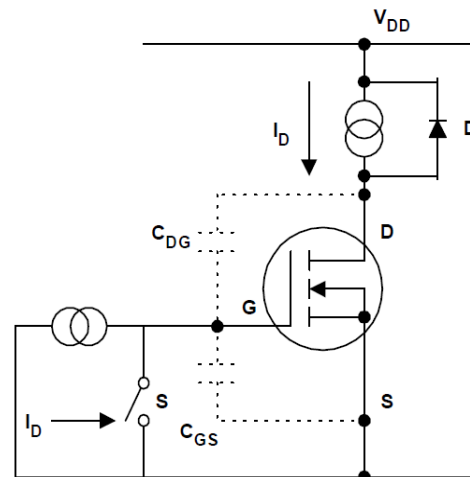


図 12 ゲート電荷のテスト回路

時間 t_3 に対応するゲート電荷 ($C_{GS} + C_{DG}$) は、デバイスをオンするために必要な最小の電荷です。回路設計では一般に、スイッチングに必要な最小の電圧値よりもゲート電圧を高く設定するため、計算に使うゲート電荷は、 t_4 に対応する Q_G になります。

ゲート電荷を使う利点は、所定の時間内にデバイスをオンさせるために必要な駆動回路の出力電流を簡単に計算できることです。これは $Q = CV$ かつ $I = C dv/dt$ から、 $Q =$ 時間 \times 電流で求められるからです。例えば、ゲート電荷 20 nC のデバイスは、 1 mA をゲートに供給すると $20 \mu\text{s}$ でオンします。ゲート電流を 1 A に増やすと、 20 ns でオンできます。これらの簡単な計算は、入力容量値を使った場合には不可能です。

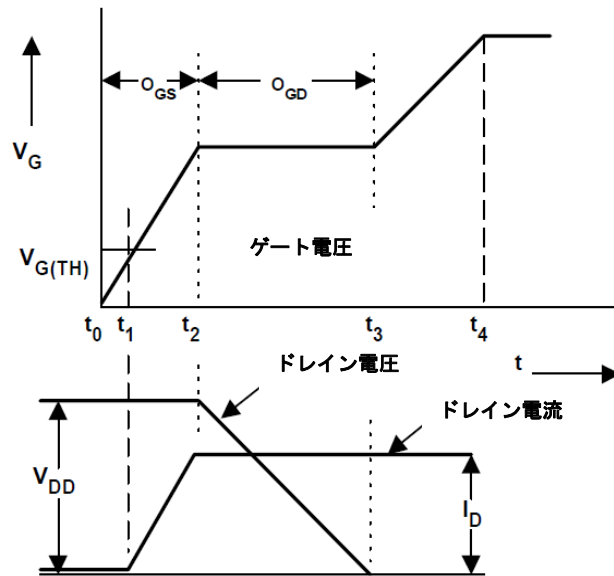


図 13 ゲート電圧とドレイン電流/電圧の特性

dv/dt 特性

ピーク・ダイオード回復は、ドレイン-ソース間電圧の最大上昇率、すなわち dv/dt として定義されます。

この上昇率を超えた場合、ゲート-ソース間電圧がデバイスのしきい電圧よりも高くなるため、デバイスは電流導通モードになり、ある条件下では致命的な故障が発生します。

dv/dt でパワー-MOSFET がオンするメカニズムは2種類あります。図 14 に、バイポーラ・トランジスタを含むパワー-MOSFET の等価回路

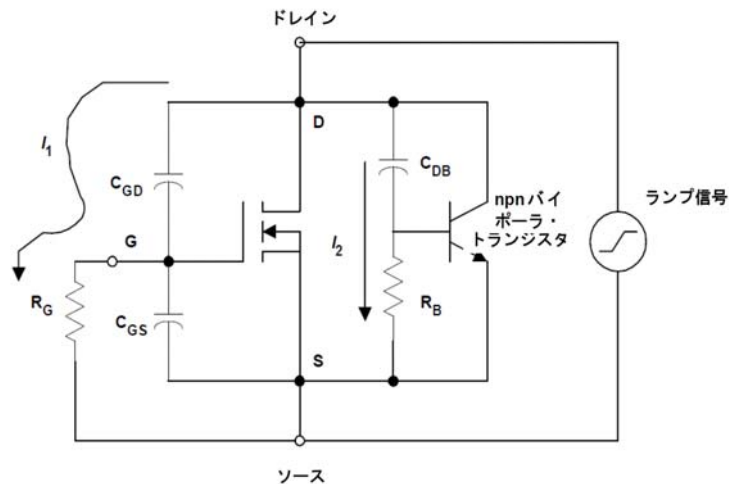


図 14 dv/dt でパワー-MOSFET がオンするメカニズム

を示します。 dv/dt でオンする 1 つ目のメカニズムは、ゲート-ドレイン間容量 C_{GD} の帰還動作によって始まります。デバイスのドレイン-ソース間に電圧ランプ信号が現れると、ゲート-ドレイン間容量 C_{GD} を介してゲート抵抗 R_G に電流 I_1 が流れます。 R_G は回路内の合計ゲート抵抗で、抵抗両端に加わる電圧は次式で表されます。

$$V_{GS} = I_1 \times R_G = R_G \times C_{GD} \times (dv/dt) \quad (3)$$

ゲート電圧 V_{GS} がデバイスのしきい電圧 V_{TH} を超えると、デバイスが導通します。従って、このメカニズムの dv/dt 能力は次式で決定されます。

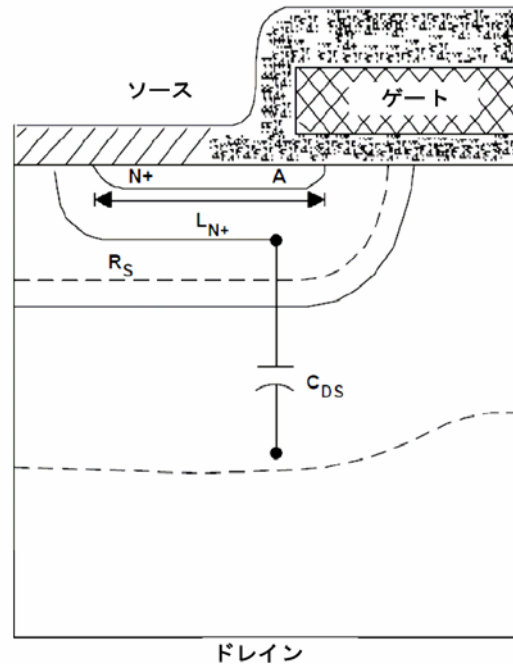
$$dv/dt = V_{TH} / (R_G \times C_{GD}) \quad (4)$$

V_{TH} の低いデバイスが dv/dt でオンしやすい傾向があることは明らかです。 V_{TH} の温度係数は負なので、高温の環境で使う用途では特に注意が必要です。この影響を回避するため、ゲート回路のインピーダンスを注意深く選ばなければなりません。

dv/dt で MOSFET がオンするメカニズムの2つ目は、図 15 に示すように、寄生のバイポーラ・トランジスタによって起こります。ドリフト領域まで広がったボディ・ダイオードのデプリーション領域に対応する容量を C_{DB} とすると、 C_{DB} はバイポーラ・トランジスタのベースと MOSFET のドレインの間の容量として表せます。ドレイン-ソース間に電圧ランプ信号が現れると、この容量はベース抵抗 R_B を流れる電流 I_2 を発生させます。1つ目のメカニズムにならうと、このメカニズムの dv/dt 特性は次式で表されます。

$$dv/dt = V_{BE} / (R_B \times C_{DB}) \quad (5)$$

図 14 寄生のバイポーラ・トランジスタの構造
 dv/dt でオンしてしまう原因となります。



R_B の両端の電圧が約 0.7V より大きくなると、ベース-エミッタ間の接合部が順方向にバイアスされるため、寄生バイポーラ・トランジスタがオンします。 dv/dt が大きく、かつ R_B の値が大きい条件の下では、MOSFET のブレイクダウン電圧は、バイポーラ・トランジスタのオープン・ベース・ブレイクダウン電圧に制限されます。加えられたドレイン電圧がオープン・ベース・ブレイクダウン電圧より大きい場合、MOSFET はアバランシェ領域に入り、電流を外部で制限しないと破壊されてしまいます。

dv/dt 特性を大きくするときには、ボディ領域のドーピング量を増やしてベース抵抗 R_B を小さくすることと、電流 I_2 がソース金属配線に集まる前に横に流れる距離を短くすることが必要になります。1つ目のモードの場合と同じで、温度上昇と共に R_B が増加し、 V_{BE} が減少するため、バイポーラ・トランジスタに関する dv/dt 特性は高温で劣化します。

<参考文献>

“HEXFET Power MOSFET Designer’s Manual – Application Notes and Reliability Data”, International Rectifier

“Modern Power Devices”, B.Jayant Baliga

“Physics of Semiconductor Devices”, S.M.Sze

“Power FETs and Their Applications”, Edwin S. Oxner

“Power MOSFETs – Theory and Applications”, Duncan A. Grant and John Gower

©インターナショナル・レクティファイアー・ジャパン
この文献の無断複製・転載を禁じます。