

Diseño de convertidores reductores de rectificación síncrona en el punto de carga

Selección de MOSFET en el lado de alto y de bajo potencial

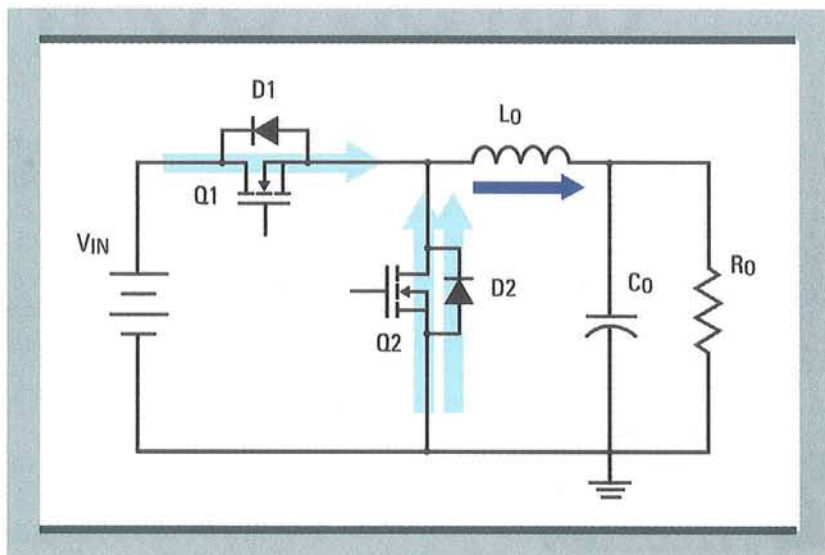
ELECTRÓNICA DE POTENCIA. La demanda de modernos reguladores reductores síncronos en aplicaciones de punto de carga (POL) exige FET de control y FET síncronos altamente optimizados para cada función, tanto en el silicio como en el encapsulado. La llegada al mercado de juegos de circuitos de potencia que combinan FET de control y síncronos, ambos optimizados, resuelve con antelación la dificultad de selección y permite que los diseñadores de fuentes de alimentación logren de forma rápida una solución eficiente y efectiva.

CARL BLAKE

DIRECTOR DE MARKETING TÉCNICO, INTERNATIONAL RECTIFIER CORP.

Un análisis del funcionamiento de un regulador reductor síncrono dentro de un ciclo completo de conmutación proporciona una valiosa información para comprender las diferentes condiciones de trabajo impuestas a cada MOSFET en un

Figura 1. Esquema del regulador.



regulador reductor síncrono. La figura 1 muestra un esquema del regulador e ilustra la función del FET de control y del FET síncrono.

Consideremos la figura 1 en relación con el diagrama de tiempos de la figura 2, cuando el FET de control Q1 está conduciendo, el FET síncrono Q2 está al corte y la corriente en el inductor aumenta, almacenando energía en el campo magnético del inductor. La corriente circula por el bucle exterior mostrado en la figura 1 a través de la fuente, Q1, L0, Ro, masa y de vuelta a la tensión de alimentación. Al final del ciclo de trabajo, Q1 pasa a corte y Q2 permanece en corte durante un corto período de tiempo de unos pocos nanosegundos para evitar el riesgo de disparo (shoot-through).

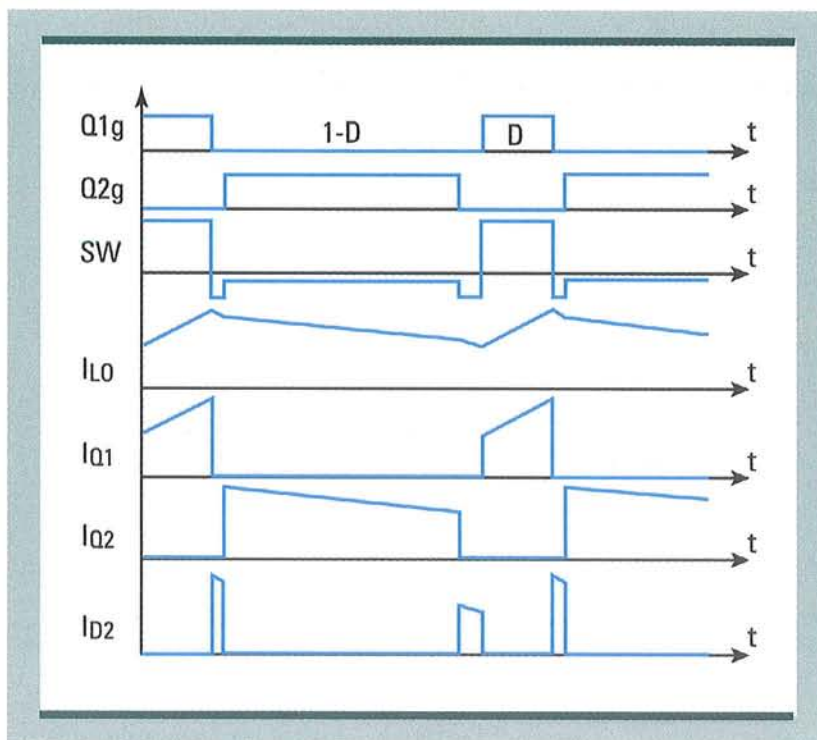
Con el fin de minimizar las pérdidas, este tiempo muerto debe ser lo más reducido posible sin permitir conducción cruzada de ambos FET al mismo tiempo. Durante el tiempo muerto, el camino que sigue la corriente circula por el inductor, la carga y vuelve a través del diodo intrínseco de Q2 y la tensión

CONVERTIDORES REDUCTORES

de drenador del FET síncrono cae hasta 0,7 V por debajo de masa. Tras el tiempo muerto, Q2 vuelve a conducir sin que haya presente tensión alguna entre fuente y drenador. Este estado se denomina conmutación suave a tensión cero. Cuando Q2 pasa a conducir, la energía almacenada del inductor se descarga y la corriente cae mientras que Q1 permanece en corte durante el resto del ciclo de trabajo. Antes de que empiece el siguiente ciclo, Q2 pasa de nuevo a corte durante un corto período de tiempo y no circula corriente por el inductor, Q2 o Q1. Si todavía hay corriente circulando, un cambio rápido de la corriente en el inductor a cero generará un pico de tensión que podría crear otros problemas que se comentarán más adelante. Después del tiempo muerto, Q1 pasa a conducir y el proceso se repite. Si la corriente era cero, un rápido incremento de la corriente en el inductor generará de nuevo un pico de tensión que podría crear otros problemas que se comentarán más adelante.

Consideremos un convertidor reductor en una aplicación en el punto de carga, el cual alimenta un núcleo de procesador CMOS de baja tensión a 1,2 V desde una entrada CC de 12 V. El ciclo de trabajo es del orden del 10-15%. Éste es también el período en el cual el FET de control (Q1) está conduciendo. Como resultado de ello las pérdidas de conducción en Q1 son relativamente bajas. Pero Q1 trabaja bajo condiciones de conmutación dura, haciendo de las pérdidas de conmutación el mecanismo dominante para las pérdidas en esta parte del circuito. El FET síncrono (Q2) conduce durante un 85-90% del ciclo. De ahí que las pérdidas de conducción sean dominantes, mientras que la conmutación suave a tensión cero hace que las pérdidas de conmutación sean insignificantes.

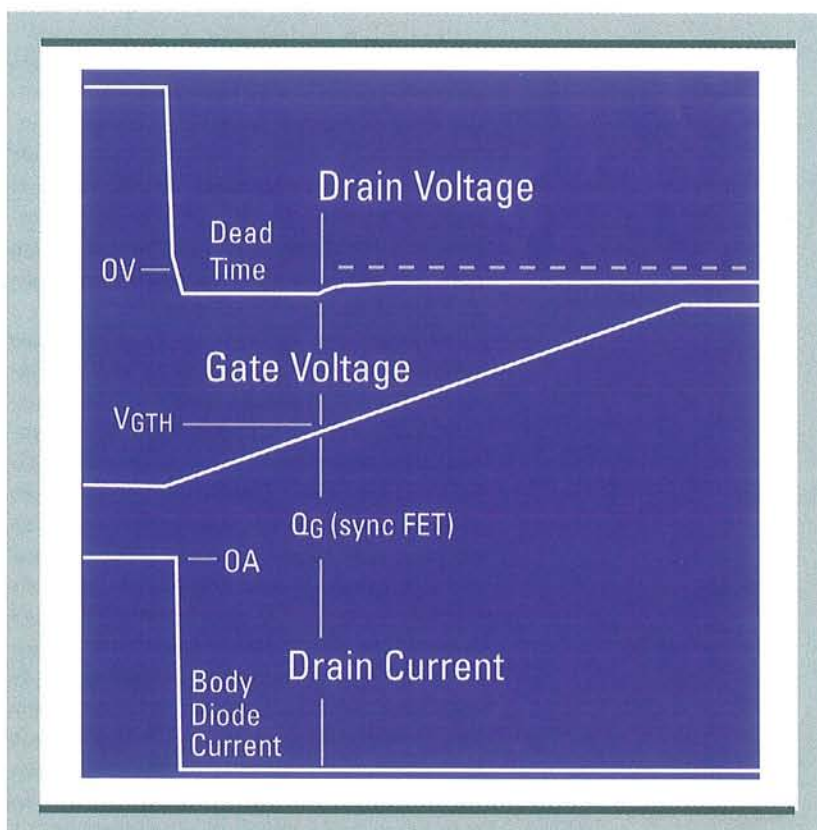
Hablando en líneas generales, el FET de control debería optimizarse para unas bajas pérdidas de conmutación, mientras que las pérdidas del FET síncrono deberían mitigarse con el diseño de una baja $R_{DS(ON)}$ para minimizar las pérdidas de conducción. En la práctica, el funcionamiento del convertidor reductor síncrono exige propiedades añadidas tanto al FET de control como al FET síncrono para minimizar las pérdidas derivadas de los efectos parásitos. Entre éstos se encuentran el paso a conducción inducido por C_{dv}/dt del FET síncrono causado por la capacidad Miller, así como efectos inductivos en la puerta del FET de control. La protección frente a estos mecanismos de pérdidas está ganando importancia con el continuo incre-



mento de las frecuencias de conmutación. La geometría del transistor y las técnicas de fabricación son los factores más importantes, pero las propiedades del dispositivo al nivel del encapsulado, así como la disposición del convertidor, tienen también una gran influencia.

Figura 2. Diagrama de tiempos con Q1 en conducción y Q2 al corte.

Figura 3. Formas de onda de conmutación para el FET síncrono.



CONVERTIDORES REDUCTORES

$$DriverLoss = Q_g \times V_{gate} \times f$$

$$Q_{oss}Loss = \frac{Q_{oss}}{2} \times V_{IN} \times f$$

$$Q_{rr}Loss = Q_{rr} \times V_{IN} \times f$$

$$DeadtimeLoss = (t_{d1} + t_{d2}) \times I_{out} \times V_F \times f$$

$$ConductionLoss = R_{ds} \times I_{out}^2 \times (1 - D)$$

Figura 4. Ecuaciones que describen los componentes de las pérdidas en el FET síncrono.

RESPUESTA DEL FET SÍNCRONO

La figura 3 ilustra las formas de onda de conmutación para el FET síncrono y muestran cómo la conmutación suave da como resultado unas pérdidas insignificantes. Antes de que la tensión de puerta alcance su nivel de umbral, el diodo intrínseco transporta la corriente de la carga y la tensión de drenador se establece en -0,7 V. Por encima del nivel de umbral de la tensión de puerta, la corriente del drenador varía gradualmente hacia el canal FET, y el drenador se establece en -100mV o menos. Las pérdidas de recuperación inversa del diodo intrínseco y las pérdidas de la capacidad de salida se disipan principalmente en el FET de control cuando éste pasa a conducir, acercando de este modo el nodo de conmutación a la tensión de alimentación, polarizando inversamente el diodo para que pase a corte y cargando la capacidad de salida del FET síncrono.

Las ecuaciones de la figura 4 describen los componentes de las pérdidas en el FET síncrono. Dado que son las pérdidas de conducción las normalmente dominantes, la respuesta natural pasaría por escoger un MOSFET que tenga una gran superficie de silicio para minimizar $R_{DS(ON)}$. Ahora bien, una gran superficie de silicio da como resultado una elevada carga, la cual implica un nivel de pérdidas sustancial en el controlador de puerta. Una estructura de zanja en el MOSFET ofrece una favorable combinación de baja $R_{DS(ON)}$ sin almacenar una carga excesiva. Pero la selección de un MOSFET de zanja con la resistencia en conducción más baja posible no asegurará necesariamente las pérdidas más bajas en la práctica. Por ejemplo, un

FET síncrono adecuado también debe tener una alta inmunidad al paso a conducción inducido de Cdv/dt , y está estrechamente relacionado con la carga de puerta.

El paso a conducción inducido de Cdv/dt del FET síncrono puede tener lugar mientras el FET de control pasa a conducir, debido a que el rápido aumento del nodo de conmutación inducirá un pico de tensión en la puerta del FET síncrono a través del condensador C_{gd} . El pico puede ser lo suficientemente grande como para que el FET síncrono pase a conducir mientras el FET síncrono está conduciendo, creando así un cortocircuito en la tensión de alimentación.

Las pérdidas ocasionadas durante el paso a conducción inducido de Cdv/dt resultan apreciables si se comparan con la baja $R_{DS(ON)}$ de los modernos MOSFET de zanja, incluso cuando el tiempo es de tan sólo unos pocos nanosegundos. Por ejemplo, un MOSFET de muestra optimizado para su inmunidad a un elevado paso a conducción de Cdv/dt ha mostrado unas pérdidas de potencia más bajas en un 18% a 1 MHz y 10 A que un dispositivo comparable con una $R_{DS(ON)}$ un 10% más baja. La mejor resultante de la eficiencia es importante incluso con pequeñas cargas, dado que las pérdidas de Cdv/dt no guardan una fuerte dependencia respecto a la corriente de carga.

La clave para evitar las pérdidas de Cdv/dt consiste en asegurar una baja carga entre puerta y drenador (Q_{gd}) y una baja tasa de carga. La tasa de carga, tal como se define por Q_{gd}/Q_{gs1} , es el parámetro utilizado para medir la inmunidad Cdv/dt de un dispositivo. Q_{gs1} determina la cantidad de carga que necesita la carga para pasar de masa a su umbral de paso a conducción. Q_{gd} se define como la carga C_{gd} cuando la tensión del drenador aumenta hasta 15 V. Como regla práctica, una tasa de carga inferior a 1,4 se considera suficientemente baja como para el paso a conducción de Cdv/dt .

Por tanto, al seleccionar un FET de zanja para minimizar las pérdidas en conducción, los diseñadores también deberían valorar la Q_{gd} del dispositivo y la tasa de carga Q_{gd}/Q_{gs1} . Entre las topologías de FET de zanja en producción, una disposición en bandas proporciona una menor carga de puerta que la estructura alternativa de tipo celular gracias a la eliminación de gran parte del "espacio muerto" entre células. La disposición en bandas es también robusta de forma inherente. La estructura presenta menos cantos angulosos, lo cual tiene una doble ventaja ya que elimina las elevadas concentraciones de campo eléctrico y los puntos débiles

CONVERTIDORES REDUCTORES

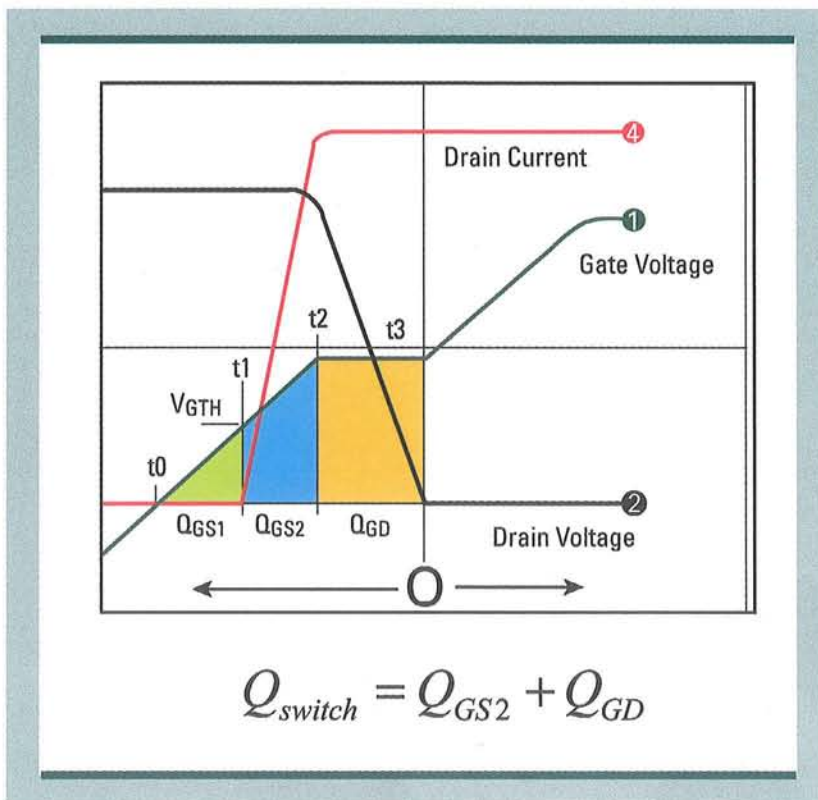


Figura 5. Funcionamiento del FET de control durante la transición a conducción.

desde un punto de vista físico que pueden provocar una ruptura de tensión temprana.

Por lo que respecta a evitar el paso a conducción inducido de Cdv/dt , la selección de una tecnología de encapsulado de baja impedancia proporcionará asimismo una apreciable mejora. Al nivel del sistema, la utilización de un controlador de baja impedancia o la incorporación de un condensador con una pequeña puerta también ayuda a protegerse frente a este efecto.

Figura 6. Ecuaciones que expresan todas las pérdidas generadas en el FET de control a lo largo del ciclo.

$$DriverLoss = Q_g \times V_{gate} \times f$$

$$Q_{oss}Loss = \frac{Q_{oss}}{2} \times V_{IN} \times f$$

$$SwitchingLoss = \frac{Q_{switch}}{I_{gate}} \times V_{IN} \times I_{OUT} \times f$$

$$ConductionLoss = R_{ds} \times I_{out}^2 \times D$$

OPTIMIZACIÓN DEL FET DE CONTROL

La figura 5 muestra el funcionamiento del FET de control durante la transición a conducción. La transición a corte es un reflejo del proceso de paso a conducción. Las pérdidas de conmutación se generan durante el solapamiento entre la corriente de drenador y la tensión de drenador. Cuando la tensión de puerta aumenta hasta superar el nivel de umbral, la corriente del drenador se incrementará desde cero y hasta la corriente del inductor, mientras la tensión de drenador permanece en V_{in} . Una vez que la corriente de drenador se iguala a la corriente del inductor, la tensión de drenador empezará a caer a medida que la tensión en el nodo del interruptor aumenta su valor hacia la tensión de alimentación, y su dv/dt absorberá corriente de drenador a través de la capacidad entre puerta y drenador del MOSFET. Durante este período la tensión de puerta permanece en la Meseta de Miller. La transición de la conmutación se completa cuando la tensión de drenador cae hasta acercarse a cero debido al producto $I \times R_{DS(ON)}$.

En la figura 5, Q_{gs2} es la carga de puerta acumulada a medida que la tensión de control sigue aumentando hasta superar el valor umbral, y Q_{gd} es la carga de puerta acumulada en el condensador Miller. La carga de conmutación total es la suma de estas dos cargas.

Las ecuaciones mostradas en la figura 6 expresan todas las pérdidas generadas en el FET de control a lo largo del ciclo. La ecuación de la pérdida de conmutación incluye las pérdidas en el paso a conducción y a corte, y confirma la pérdida de conmutación total es una función de la frecuencia de conmutación, la tensión de entrada y la velocidad del controlador. Las otras pérdidas son las pérdidas de conducción, las pérdidas del condensador de salida (Q_{oss}) y las pérdidas del controlador. Las pérdidas de conducción dependen del ciclo de trabajo y las pérdidas del controlador son una función de la carga de puerta. En la práctica, se necesita un equilibrio favorable entre las pérdidas de conducción y de conmutación, así como una baja carga de puerta y una baja capacidad de salida.

CONSIDERACIONES ACERCA DEL ENCAPSULADO

Han surgido diversos encapsulados de potencia para reducir la impedancia tanto eléctrica como térmica y por tanto mejorar las prestaciones y la fiabilidad en aplicaciones de MOSFET como las funciones de FET de control y el FET síncrono. Por ejemplo el encapsulado Copperstrap elimina los elevados valores de la

CONVERTIDORES REDUCTORES

inductancia y de la resistencia que son inherentes a los hilos de conexión convencionales mediante la utilización de conductor de cobre con una gran sección transversal para conectar la fuente al panel terminales. Esto no sólo reduce la inductancia de la fuente del encapsulado más de un 45% sino que también reduce la resistencia del encapsulado sin la pastilla de silicio en más de un 37%. Esto supone una importante ventaja en aplicaciones de FET síncrono, que están dominadas por las pérdidas de $R_{DS(ON)}$. Copperstrap conserva la ampliamente utilizada huella de montaje superficial SO-8, que permite la sustitución directa de un MOSFET de potencia SO-8 convencional.

El encapsulado PowerPak supone una evolución posterior que expone el terminal de drenador para su soldadura directa a la placa. Además de una reducción de la resistencia del encapsulado en un 20%, esto reduce sustancialmente la impedancia térmica entre unión y placa si se compara con Copperstrap y los encapsulados SO-8 estándar y aprovecha también las propiedades de disipación de las placas de circuito impreso. El encapsulado DirectFET mostrado en la figura 7 van más allá al eliminar la pastilla de silicio y exponer tanto la puerta como la fuente para su soldadura directa a la placa. El terminal de drenador expuesto en la superficie superior se conecta directamente a una carcasa metálica que llega hasta la placa y que se puede soldar a un terminal que dispersa el calor en la placa de circuito impreso. El encapsulado DirectFET reduce la resistencia del encapsulado sin la pastilla de silicio hasta $0,15 \text{ m}\Omega$, la inductancia hasta situarla por debajo de $0,1 \text{ nH}$, y la resistencia térmica entre unión y carcasa hasta menos de 1°C/W para las conexiones de puerta y fuente y $1,4^\circ\text{C/W}$ para el drenador.

Además de menos efectos parásitos en el encapsulado, la tecnología DirectFET presenta unas mejores prestaciones desde un punto de vista térmico. La pastilla de silicio se retira para permitir la conexión directa del drenador a un electrodo metálico en la parte superior, lo que incrementa la disipación de calor al ambiente para evitar la saturación térmica de la placa de circuito impreso. También se puede conectar fácilmente un disipador a la parte superior del encapsulado DirectFET para incrementar aún más la disipación al ambiente.

El encapsulado DirectFET también permite contar con una técnica apropiada para minimizar la inductancia de fuente común. Se tra-

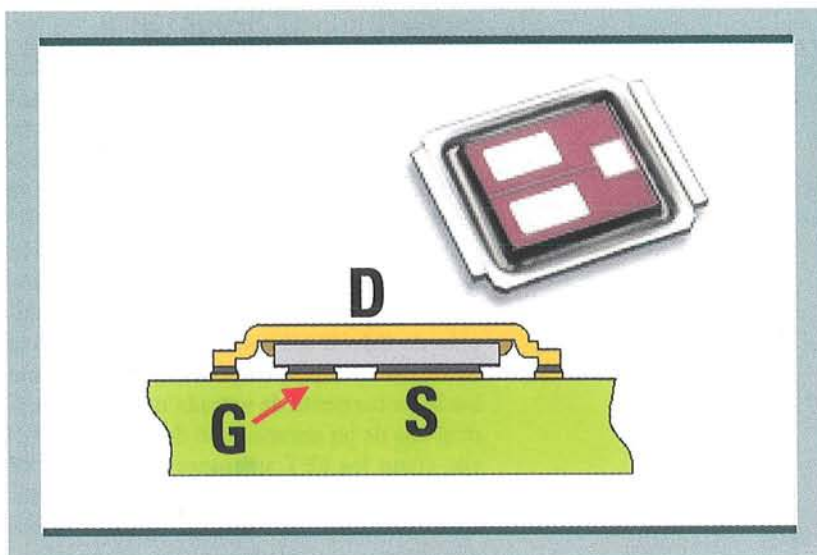


Figura 7. Encapsulado DirectFET.

ta de un fenómeno a nivel del sistema que depende de cómo se conecte el controlador al FET de control. Si el controlador comparte una pequeña inductancia de bucle con el tren de potencia de alta corriente, una tensión inducida por di/dt actúa en serie con el bucle del controlador de puerta. Éste trabaja en contra de la tensión del controlador en el paso a conducción, y también ofrece una rápida descarga de puerta durante el paso a corte. En la práctica, una inductancia de fuente común que puede llegar a ser tan sólo 1 nH puede añadir más de 1 W de pérdidas de conmutación a 30 A y 500 kHz .

Para combatirlo, el encapsulado de MOSFET de potencia DirectFET permite enrutar el retorno de la puerta de forma separada hacia el terminal de la fuente como un contacto

Figura 8. Forma de onda cuadrada limpia en el nodo de conmutación (V_{sw}).

