

Pioneering 300: Weniger ist mehr in der Chip-Produktion

Die Halbleiterwelt wird geprägt durch ständig steigenden Bedarf an immer schnelleren und leistungsfähigeren integrierten Schaltkreisen zu immer niedrigeren Preisen. Um mit dieser Entwicklung Schritt zu halten, werden die physikalischen Strukturen der Chips verkleinert, was die Zahl der Chips - bei gleichzeitiger Steigerung der Leistungsfähigkeit - auf der gleichen Waferfläche erhöht. Die Produktivitätserhöhung durch das Verkleinern der Schaltkreise erfordert aufwendige und kostenintensive Technologien. Zudem müssen trotz Verkleinerung der Strukturbreiten die Chips immer leistungsfähiger und schneller werden. Auf Wafern mit größerem Durchmesser können gleichzeitig eine größere Anzahl von integrierten Schaltkreisen kostengünstiger gefertigt werden.

Bei der Fertigung der ersten ICs (Integrated Circuits) hatten Wafer noch einen Durchmesser von etwa 3 Zoll (75 mm). Je mehr Fortschritte die Halbleitertechnologie machte, umso größer wurden die Wafer: Über 4 Zoll (100 mm) und 5 Zoll (125 mm) wurde Ende der 80er Jahre ein Durchmesser von 6 Zoll (150 mm) erreicht. Jede einzelne dieser Steigerungen erforderte hohe Investitionen, um zuverlässige Produktionsanlagen und stabile Prozesse zu entwickeln. Anfang der 90er Jahre sanken die Strukturbreiten der Chips unter ein μm (ein millionstel Meter) und die Fertigungsprozesse wurden immer komplexer. Der Schritt vom 6-Zoll-Wafer zum 8-Zoll-Wafer (200 mm) war erheblich schwieriger. Der Fertigungsprozess selbst musste weiter automatisiert werden, und die Anforderungen an den Reinraum wurden immer strenger. Die Hersteller der Produktionsanlagen mussten ihre Geräte und Systeme weiterentwickeln, um gleichbleibende Qualität und die Wiederholbarkeit einzelner Fertigungsschritte sicherzustellen.

Die fortschreitende Miniaturisierung hat die Strukturbreite der Halbleiter heute auf $0,14 \mu\text{m}$ reduziert: ein Fünftel dessen, was vor rund zehn Jahren üblich war. Die Entwicklung dieser neuen, kleineren Chips, die dazu noch wesentlich leistungsfähiger sind, erfordert den Einsatz hoher Investitionen für die Entwicklung und Fertigung. Um mittelfristig angemessene Chipkosten zu erreichen, wurde es wiederum nötig, den verfügbaren Platz auf einem Wafer zu vergrößern. Dies wird durch eine Ausdehnung des Wafer-Durchmessers auf 300 mm erreicht. Angesichts der beachtlichen Kosten und

Schwierigkeiten beim Übergang zu 300-mm-Wafern, aber auch weil man aus den Erfahrungen bei der Einführung der 200-mm-Fertigung gelernt hat, arbeiten Halbleiter-, Equipment- und Materialhersteller zusammen, um den Übergang zu 300-mm-Wafern so effizient wie möglich zu realisieren.

Internationale Kooperationen: International Sematech (I300I) und SELETE

Um die eigenen Entwicklungskosten niedrig zu halten, haben sich Halbleiterhersteller in verschiedenen Konsortien zusammengeschlossen. International Sematech in Austin, Texas, treibt die Evaluierung von Equipment und von internationalen Standards für die 300-mm-Fertigung voran. Infineon ist mit elf weiteren Halbleiterherstellern aus USA, Europa und Asien Mitglied in diesem Gremium. In Japan werden die Entwicklungsaktivitäten durch die Organisation „Semiconductor Leading Edge Technologies“ (SELETE) betreut, die von japanischen Unternehmen gegründet wurde. Darüber hinaus befassen sich Japans J300-Konsortium, das European Semiconductor Equipment Assessment (SEA) und Micro-Electronics Development for European Applications (MEDEA+) mit der Entwicklung der 300-mm-Technologie.

Semiconductor300, die Infineon/Motorola Pilotlinie

Die weltweit erste, voll integrierte 300-mm-Pilotlinie wurde von Infineon und Motorola gemeinsam in Dresden errichtet. Das Chip-Werk von Infineon in Dresden bot die erforderliche technische Infrastruktur. Gemeinsam haben Infineon und Motorola Anlagen und Technologien zusammen mit Equipment- und Materialherstellern entwickelt. Das Ziel des Entwicklungs-Joint-Ventures war die Verbesserung der Fertigungseffizienz. Nach dem erfolgreichen Start der Dresdner Pilotlinie im Februar 1998 lieferte

Infineon bereits im September 1999 erste 64-Mbit-Produkte auf Basis von 300-mm-Siliziumscheiben an seine Kunden. Die Entwicklungsarbeiten waren gegen Ende 2000 abgeschlossen und Infineon begann mit dem Aufbau der 300-mm-Fertigungslinie, die Mitte Dezember 2001 die Volumenproduktion aufnahm. Mit der 300-mm-Prozess-technologie wird eine signifikante Kostensenkung pro Chip erreicht. Im Vergleich zur bisherigen 200-mm-Technologie können rund 2,5-mal so viele Chips auf den größeren Siliziumscheiben untergebracht werden – damit verbunden ist eine Kostenreduzierung von ca. 30 Prozent.