サイプレスはインフィニオン テクノロジーズになりました

この表紙に続く文書には「サイプレス」と表記されていますが、これは同社が最初にこの製品を開発したからです。新規および既存のお客様いずれに対しても、引き続きインフィニオンがラインアップの一部として当該製品をご提供いたします。

文書の内容の継続性

下記製品がインフィニオンの製品ラインアップの一部として提供されたとしても、それを理由としてこの文書に変更が加わることはありません。今後も適宜改訂は行いますが、変更があった場合は文書の履歴ページでお知らせします。

注文時の部品番号の継続性

インフィニオンは既存の部品番号を引き続きサポートします。ご注文の際は、データシート記載の注文部品番号をこれまで通りご利用下さい。

S6BP202A

ASSP, 42V, 2.4A, 同期整流式昇降圧 DC/DCコンバータIC

S6BP202A は、4 つのスイッチング FET を内蔵した 1-Ch 昇降圧 DC/DC コンバータ IC です。本 IC は広範囲な入力電圧 2.5V～42V と最大 2.4A の出力電流を供給できます。本製品は軽負荷時に自動で PFM 動作へ切換る動作を有しており、非常に低い 20µA の休止電流による超高効率を実現しています。自動車のコールドクランク条件から最大 42V のロードダンプ条件に対し、1 ms の遷移時間で安定した出力電圧を供給します。そのため、本製品は自動車向け、産業機器向けの用途の電源に適しています。本製品は外部クロック信号を入力できる SYNC 機能を持ち合わせています。200 kHz から 400 kHz の範囲のクロック信号が外部から入力された場合、FET は外部クロック信号に同期してスイッチング動作します。外部からクロック信号を与えられない場合、FET は内部クロック信号を基準にスイッチング動作します。外付け抵抗により内部クロック信号は 200 kHz から 2.1 MHz の範囲で設定可能です。本製品には外付けの出力電圧設定抵抗や位相補償部品が不要であるため、外部部品点数と部品実装面積を削減できます。本製品は、入力低電圧時誤動作防止 (入力 UVLO: 入力 Under Voltage Lockout), 出力低電圧保護 (出力 UVP: 出力 Under Voltage Protection), 出力過電圧保護 (出力 OVP: 出力 Over Voltage Protection), 出力過電流保護 (出力 OCP: 出力 Over Current Protection), 過熱保護 (TSD: Thermal Shutdown) の 5 種の保護機能を搭載しています。さらに、出力電圧 (VOUT 端子) の状態を示すパワーグッド (PG: Power Good) 機能を搭載しています。出力電圧が PG 電圧に到達した時点で PG 信号を出力させます。

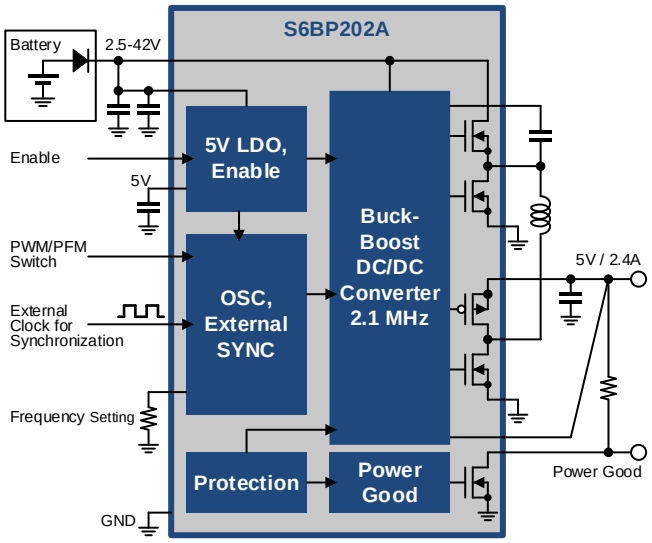
特長

- 広範囲な入力電圧範囲: 2.5V～42V
  プリセット出力電圧: 5.000V
- 広範囲な動作周波数範囲: 200 kHz～2.1 MHz
- 外部クロック同期範囲: 200 kHz～400 kHz
- SYNC 機能
  - SYNC_IN: 外部クロック入力
    (外部クロック未入力時、内部クロック動作)
- 軽負荷時 PFM 動作による超高効率
  (MODE 端子ローレベル選択時)
- PWM/PFM 自動切換え動作と PWM 固定動作は MODE 端子で選択可能
- スイッチング FET 内蔵
- 同期整流式カレントモード制御
- 停止電流: 1 µA 以下
- 休止電流: 20 µA
- パワーグッド監視
  - ウィンドウコンパレータによる出力電圧監視
  - パワーオンリセット時間: 14 ms
- 負荷依存のないソフトスタート時間: 0.9 ms
  (スイッチング周波数 2.1 MHz 設定時)
- 高度保護機能
  - 入力低電圧時誤動作防止
  - 出力低電圧保護: 92.0%
  - 出力過電圧保護: 108.0%
  - 出力過電流保護
  - 過熱保護
- 小型 ETSSOP16 パッケージ (放熱パッドタイプ) : 5 mm × 6.4 mm
- AEC-Q100 規格に準拠 (Grade-1)

アプリケーション

- インストルメントクラスタ
- 先進運転支援システム (ADAS: Advanced Driver Assistance Systems)
- ゲートウェイモジュール
- 車載機器
- 産業機器

ブロックダイヤグラム



詳細情報

サイプレスは、www.cypress.com/pmic に大量のデータを掲載しており、ユーザがデザインに適切な PMIC デバイスを選択し、デバイスをデザインに迅速で効果的に統合する手助けをしています。以下は、S6BP202A の要約です。

■概要: 車載 PMIC ポートフォリオ、車載 PMIC ロードマップ

■製品セレクタ:
- S6BP202A:
  1-Ch 車載向け昇降圧 PMIC

■アプリケーションノート: サイプレスは、S6BP202A アプリケーションノートを提供しています。以下は、S6BP202A 用の推奨アプリケーションノートです。
- AN99497: 電源システムの部品選定
- AN201006: 熱の検討とパラメータ

■評価キット取扱説明書:
- S6SBP202A1FVA1001:
  S6BP202A 評価キット取扱説明書

■関連製品:
- S6BP201A, S6BP203A:
  1-Ch 車載向け昇降圧 PMIC:
- S6BP401A:
  6-Ch 車載 ADAS 向け PMIC
- S6BP501A, S6BP502A:
  3-Ch 車載クラスタ向け PMIC

目次

特長 **1**
アプリケーション **1**
ブロックダイヤグラム **1**
詳細情報 **2**
1. 品種構成 **4**
2. 端子配列図 **4**
3. 端子機能説明 **4**
4. アーキテクチャブロックダイヤグラム **6**
5. 絶対最大定格 **7**
6. 推奨動作条件 **7**
7. 電気的特性 **8**
8. 機能説明 **9**
8.1 保護機能 9
8.2 保護機能一覧表 10
9. 応用回路例・部品表 **11**
10. アプリケーションノート **12**
10.1 動作条件の設定 12
11. 参考データ **14**
12. 使用上の注意 **16**
13. RoHS 指令に対応した品質管理 **16**
14. オーダ型格 **16**
15. パッケージ・外形寸法図 **17**
16. 主な変更内容 **18**
改版履歴 **18**
セールス，ソリューションおよび法律情報 **19**

1. 品種構成

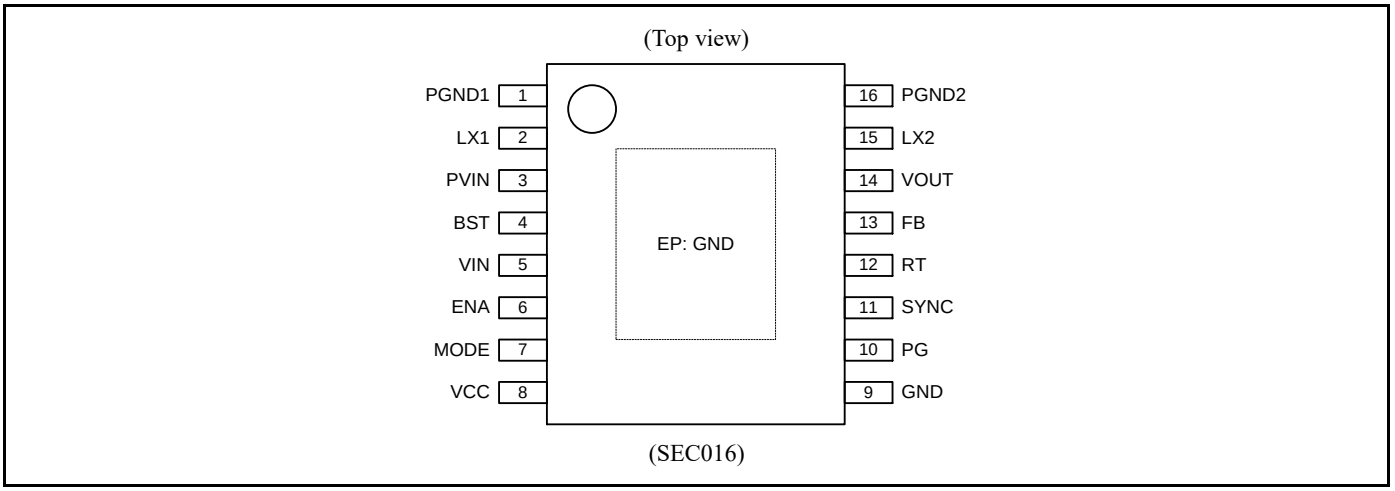
本製品の VOUT 出力電圧, SYNC 機能, VOUT UVP 閾値, VOUT OVP 閾値, パワーオンリセット時間は工場出荷時に設定されます。

型格 (MPN)	オーダコード	VOUT 出力電圧 [V]	SYNC 機能	VOUT UVP 閾値[%]		VOUT OVP 閾値[%]		パワーオンリセット時間 [s]
				立下り (標準)	立上り (標準)	立上り (標準)	立下り (標準)	
S6BP202A1FST2B00A	1F	5.000	SYNC_IN	92.0	93.0	108.0	107.0	14.0m

MPN: Marketing Part Number

2. 端子配列図

Figure 2-1 端子配列図

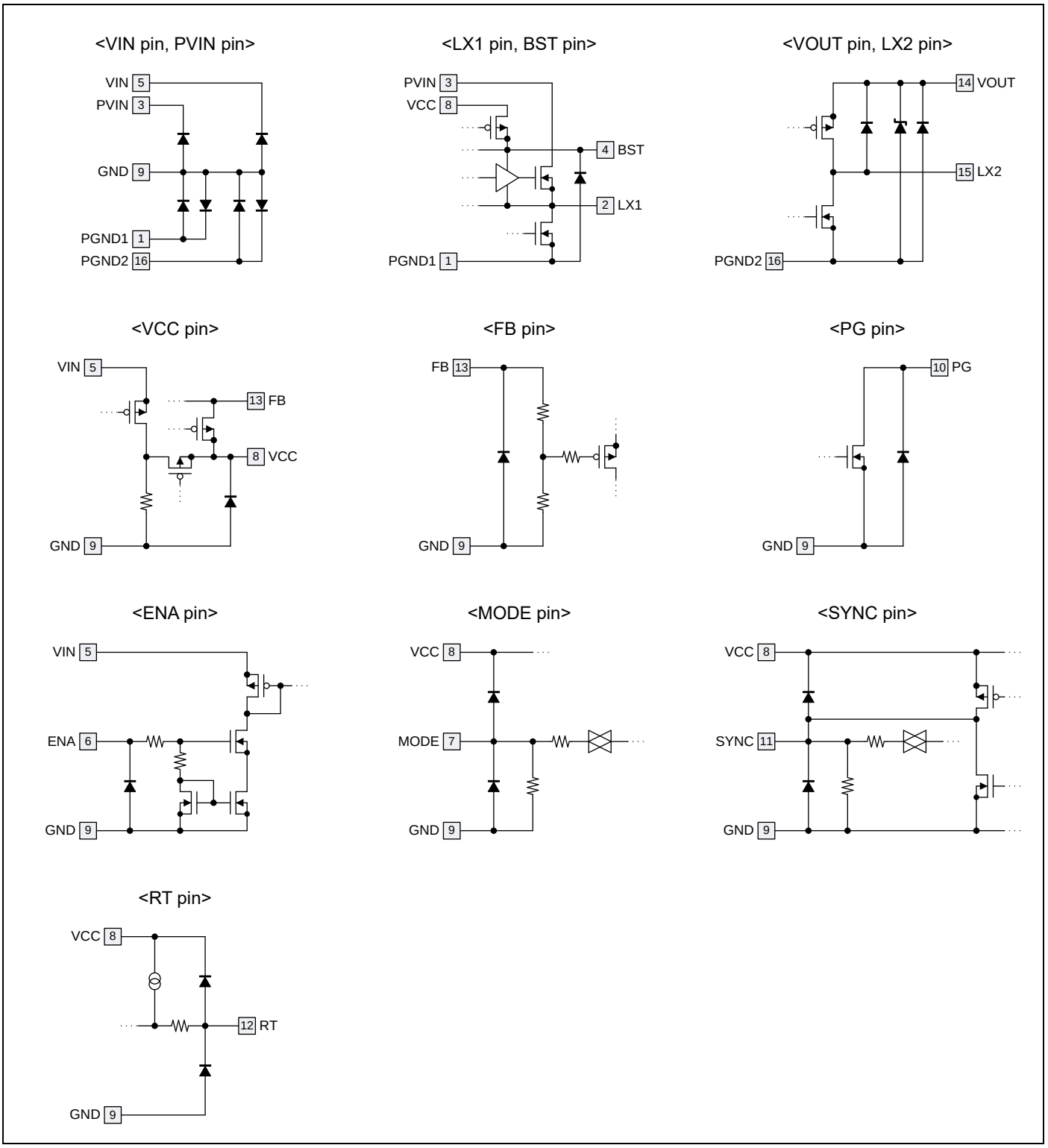


3. 端子機能説明

Table 3-1 端子機能説明

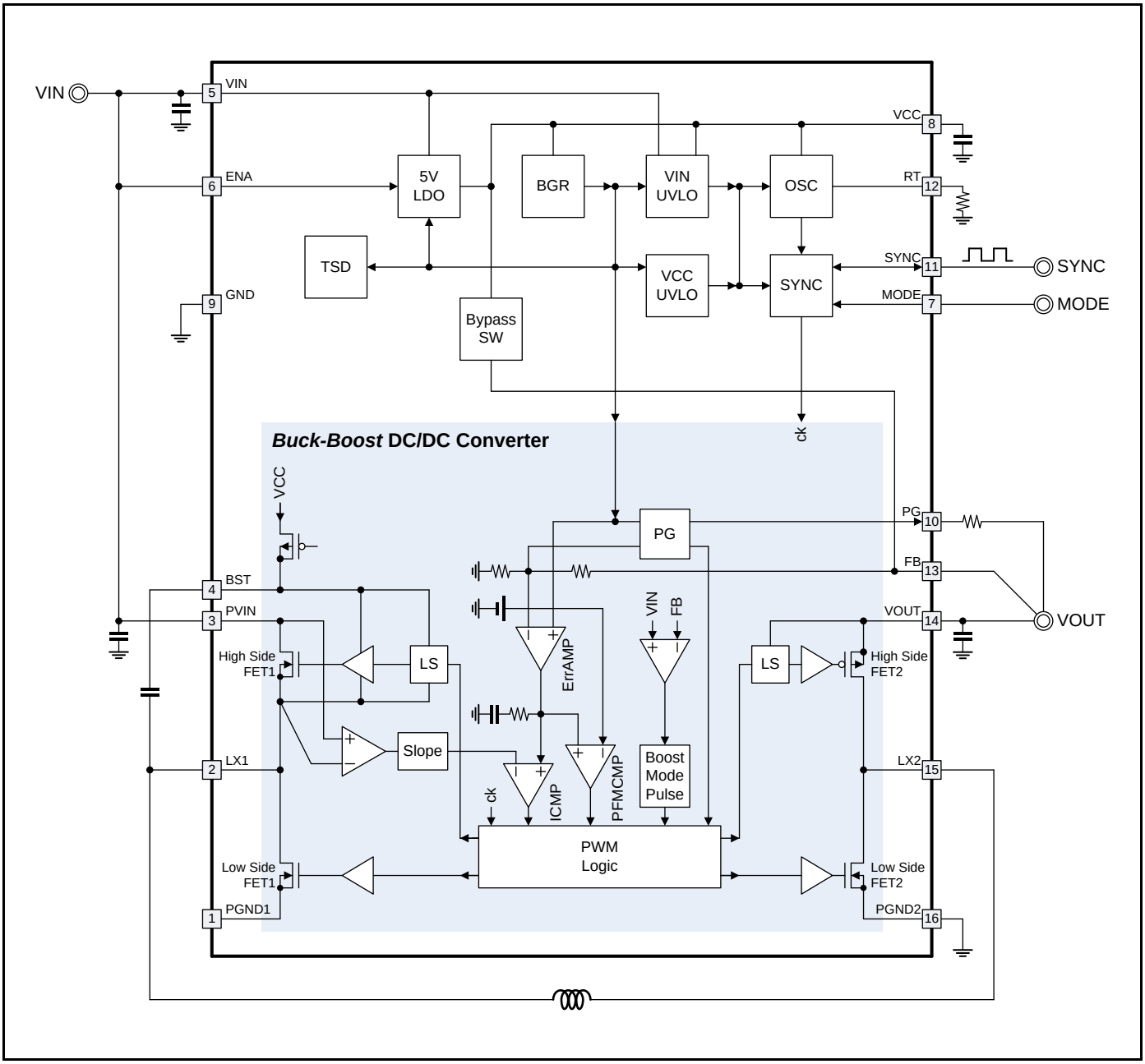
端子番号	端子記号	I/O	機能説明
1	PGND1	–	内蔵スイッチング FET 用接地端子
2	LX1	O	インダクタ接続端子
3	PVIN	I	PWM コントローラおよびスイッチング FET 用電源端子
4	BST	I	昇圧容量接続端子
5	VIN	I	電源端子
6	ENA	I	DC/DC コンバータイネーブル端子
7	MODE	I	PWM/PFM 動作制御端子
8	VCC	O	内部基準電圧 LDO 出力端子, VCC 容量接続端子
9	GND	–	接地端子
10	PG	O	パワーグッド用オープンドレイン出力端子。使用時は VCC 端子または VOUT 端子に接続してください。未使用時はオープンにしてください。
11	SYNC	I	外部クロック入力端子。SYNC 端子の設定は「10.1 動作条件の設定」を参照
12	RT	O	内部クロック (スイッチング周波数) 用抵抗接続端子 設定抵抗値は「10.1 動作条件の設定」を参照
13	FB	I	出力電圧フィードバック端子
14	VOUT	O	DC/DC コンバータ出力端子
15	LX2	O	インダクタ接続端子
16	PGND2	–	内蔵スイッチング FET 用接地端子
EP	GND	–	接地端子

Figure 3-1 入出力端子等価回路図



4. アーキテクチャブロックダイヤグラム

Figure 4-1 アーキテクチャブロックダイヤグラム



5. 絶対最大定格

項目	記号	条件	定格値		単位
			最小	最大	
電源電圧 (*1)	V_{VIN}	VIN 端子	−0.3	+48.0	V
	V_{PVIN}	PVIN 端子	−0.3	+48.0	V
	V_{VCC}	VCC 端子	−0.3	+6.9	V
端子電圧 (*1)	V_{BST}	BST 端子	−0.3	+48.0	V
	V_{LX1}	LX1 端子	−2.0	+48.0	V
	V_{LX2}	LX2 端子	−2.0	+6.9	V
	V_{FB}	FB 端子	−0.3	V_{VCC}	V
	V_{RT}	RT 端子	−0.3	V_{VCC}	V
	V_{MODE}	MODE 端子	−0.3	V_{VCC}	V
	V_{SYNC}	SYNC 端子	−0.3	V_{VCC}	V
	V_{ENA}	ENA 端子	−0.3	+48.0	V
	V_{PG}	PG 端子	−0.3	+6.9	V
差分電圧 (*1)	V_{BST-LX}	BST–LX1 端子間	−0.3	+6.9	V
	V_{GND}	GND–PGND1 端子間, GND–PGND2 端子間	−0.3	+0.3	V
PG 出力電流	I_{PG}	PG 端子	−3	0	mA
許容損失 (*1)	P_D	Ta ≤ ±25°C	0	3324 (*2)	mW
保存温度	T_{STG}	−	−55	+150	°C

*1: PGND1 = PGND2 = GND = 0V 時

*2: 76.2 mm × 114.3 mm の 4 層 FR-4 基板に本製品を実装時

<注意事項>

1. *絶対最大定格を超えるストレス（電圧，電流，温度など）の印加は、半導体デバイスを破壊する可能性があります。したがって、定格を一項目でも超えることのないようご注意ください。*

6. 推奨動作条件

項目	記号	条件		規格値			単位
				最小	標準	最大	
電源電圧 (*1)	V_{VIN}	VIN 端子	起動時	5.0	12.0	42.0	V
			起動後	2.5	12.0	42.0	V
端子電圧 (*1)	V_{BST}	BST 端子		0.0	−	47.5	V
	V_{LX1}	LX1 端子		−1.0	+12.0	+42.0	V
	V_{LX2}	LX2 端子		−1.0	−	+5.5	V
	V_{FB}	FB 端子		0.0	−	5.5	V
	V_{MODE}	MODE 端子		0.0	−	5.5	V
	V_{SYNC}	SYNC 端子		0.0	−	5.5	V
	V_{ENA}	ENA 端子		0.0	12.0	42.0	V
	V_{PG}	PG 端子		0.0	−	5.5	V
差分電圧 (*1)	$V_{BST-LX1}$	BST−LX1 端子間		0.0	−	5.5	V
	V_{GND}	GND−PGND1 端子間, GND−PGND2 端子間		−0.05	0.00	+0.05	V
PG 出力電流	I_{PG}	PG 端子(吸い込み電流)		0	−	1	mA
BST 容量値	C_{BST}	BST−LX1 端子間		0.068	0.100	0.470	µF
VCC 容量値	C_{VCC}	VCC−GND 端子間		2.2	4.7	10.0	µF
RT 抵抗値	R_{RT}	RT−GND 端子間, 内部クロック使用時		22	−	270	kΩ
動作周囲温度	Ta	−		−40	+25	+125	°C

*1: PGND1 = PGND2 = GND = 0V 時

<注意事項>

1. *推奨動作条件は、半導体デバイスの正常な動作を確保するための条件です。電気的特性の規格値は、すべてこの条件の範囲内で保証されます。常に推奨動作条件下で使用してください。*
2. *この条件を超えて使用すると、信頼性に悪影響を及ぼすことがあります。*
3. *データシートに記載されていない項目，使用条件，論理の組合せでの使用は、保証していません。*
4. *記載されている以外の条件での使用をお考えの場合は、必ず事前に営業部門までご相談ください。*

7. 電気的特性

VIN=PVIN=12V, ENA=5V (特に記載がない場合には推奨動作条件下における電気的特性)

項目		記号	条件	規格値			単位
				最小	標準	最大	
昇降圧 DC/DC コンバータ ブロック	VOUT 出力電圧	V_{VOUT}	I_{VOUT} = 0A, V_{VOUT} = 5.000 選択時	4.925	5.000	5.075	V
	FB 入力抵抗値	R_{FB}	EN = 0V, Ta = +25°C	3.84	4.80	5.76	MΩ
	スイッチング FET オン抵抗	$R_{HSIDEFET1}$	LX1 = −30 mA (PVIN−LX1 端子間)	−	150	−	mΩ
		$R_{LSIDEFET1}$	LX1 = 30mA (LX1−PGND1 端子間)	−	150	−	mΩ
		$R_{HSIDEFET2}$	LX2 = −30mA (VOUT−LX2 端子間)	−	150	−	mΩ
		$R_{LSIDEFET2}$	LX2 = 30mA (LX2−PGND2 端子間)	−	150	−	mΩ
	スイッチング FET リーク電流	I_{LEAK}	−	−	−	5	µA
	ソフトスタート時間	T_{SS}	R_{RT} = 22 kΩ	0.855	0.9	0.945	ms
	最大出力電流	I_{VOUT}	PVIN ≥ 7.5V, Ta = 25°C	2.4 (*1)	−	−	A
			PVIN = 4.5V, Ta = 25°C	1.0 (*1)	−	−	A
	電流リミット	I_{LIMT}	PVIN = 12V, L= 2.2 µH	2.4 (*1)	−	−	A
5V LDO ブロック	VCC 出力電圧	V_{VCC}	VIN = 12V	4.9	5.0	5.1	V
VIN UVLO ブロック	VIN UVLO 立下り閾値	$V_{UVLOVINHL}$	VIN 入力電圧立下り時	2.30	2.40	2.50	V
	VIN UVLO 立上り閾値	$V_{UVLOVINLH}$	VIN 入力電圧立上り時	4.55	4.75	4.95	V
VCC UVLO ブロック	VCC UVLO 立下り閾値	$V_{UVLOVCCHL}$	VCC 入力電圧立下り時	2.30	2.40	2.50	V
	VCC UVLO 立上り閾値	$V_{UVLOVCCLH}$	VCC 入力電圧立上り時	4.55	4.75	4.95	V
ENA 端子	イネーブル条件	V_{ENA}	イネーブル電圧範囲	1.10	−	V_{VIN}	V
		V_{DSB}	ディセーブル電圧範囲	0.0	−	0.2	V
	ENA 入力電流	I_{ENA}	V_{ENA} = 12V	−	1	3	µA
MODE 端子	MODE 入力電圧	V_{MODE_L}	PWM/PFM 自動切換え動作	0.0	−	0.4	V
		V_{MODE_H}	PWM 固定動作	2.0	−	V_{VOUT}	V
	MODE 入力電流	I_{MODE}	MODE = 5.0V	−	5	10	µA
OSC ブロック	スイッチング周波数 (SYNC 出力周波数)	F_{OSC}	R_{RT} = 22 kΩ	2.0	2.1	2.2	MHz
			R_{RT} = 270 kΩ	180	200	220	kHz
SYNC ブロック (SYNC_IN)	SYNC 入力閾値電圧	V_{SYNC_L}	SYNC_IN 選択時	0.0	−	0.4	V
		V_{SYNC_H}	SYNC_IN 選択時	2.0	−	V_{VOUT}	V
	SYNC 入力周波数	V_{SYNC_L}	SYNC_IN 選択時	200	−	400	kHz
	SYNC 入力デューティ比	V_{SYNC_H}	SYNC_IN 選択時	+20	+50	+80	%
	SYNC リーク電流	I_{LKSYNC}	V_{SYNC} = 5.0V, SYNC_IN 選択時	−	5	10	µA
PG ブロック (UVP, OVP)	VOUT UVP 立下り閾値	P_{GUVPHL}	出力電圧設定値に対する立下り閾値	90.5	92.0	93.5	%
	VOUT UVP 立上り閾値	P_{GUVPLH}	出力電圧設定値に対する立上り閾値	91.5	93.0	94.5	%
	VOUT OVP 立上り閾値	P_{GOVPLH}	出力電圧設定値に対する立上り閾値	106.5	108.0	109.5	%
	VOUT OVP 立下り閾値	P_{GOVPHL}	出力電圧設定値に対する立下り閾値	105.5	107.0	108.5	%
	リーク電流	I_{LKPG}	V_{PWRGD} = 5.0V, V_{ENA} = 0V	0	−	1	µA
	ローレベル出力電圧	V_{OLPG}	I_{PGSINK} = 1mA	0.025	0.05	0.15	V
	異常検出時遅延時間	T_{PPG}	パワー停止時	−	7 (*1)	12 (*1)	µs
	パワーオンリセット時間	T_{RPG}	パワーグッド時	9.1	14.0	18.9	ms
過熱保護 ブロック (TSD)	停止温度	T_{TSDH}	−	−	165 (*1)	−	°C
		T_{TSDL}	ヒステリシス	−	10 (*1)	−	°C
電源電流	停止電流	I_{VINSDN}	VIN 入力電流, V_{ENA} = 0V	−	1	5	µA
	休止電流	I_{VINQ}	VIN 入力電流, V_{ENA} = 12V, I_{VOUT} = 0A, MODE/SYNC/PG 端子 = OPEN	−	20	40	µA

*1: 電気的特性は、統計的特性評価および代替試験により確認しています。

8. 機能説明

8.1 保護機能

入力低電圧時誤動作防止 (入力 UVLO)

入力 UVLO は下記に示した状態から IC の誤動作を防止し、後段デバイスを保護する機能です。

- 電源投入時の過渡状態
- 入力電圧の瞬時低下

このような誤動作を防止するため、本機能は VIN 入力電圧と VCC 電圧を監視しています。VIN または VCC のどちらかの電圧が UVLO 立下り閾値 2.4V (標準値) 以下まで低下すると、IC は VOUT 電圧出力を停止させ、UVLO 状態となります。VIN と VCC 双方の電圧が UVLO 立上り閾値 4.75V (標準値) 以上になると、IC は UVLO 状態から解除され通常動作に復帰します。

出力低電圧保護 (出力 UVP)

出力 UVP は出力電圧が低下したことを監視し PG 端子で通知する機能です。

出力電圧が出力電圧設定値に対し UVP 立下り閾値 (P_{GUVPHL}) 低下した場合、PG 電圧をローレベルに固定します。IC は UVP 状態となるが、UVP 状態下では DC/DC スイッチング動作を継続します。

出力電圧が出力電圧設定値より UVP 立上り閾値 (P_{GUVPLH}) 以上に再び上昇すると、IC は UVP 状態から解除され、PG 電圧をハイレベルに固定します。

出力過電圧保護 (出力 OVP)

出力 OVP は VOUT 出力電圧が上昇したことを監視しスイッチング動作を停止させる機能です。これは過電圧から後段デバイスを保護します。また、VOUT の状態は PG 端子で通知されます。

出力電圧が出力電圧設定値に対し OVP 立上り閾値 (P_{GOVPLH}) 上昇した場合、PG 端子電圧をローレベルに固定します。IC は OVP 状態となり、ハイ側 FET のスイッチング動作は停止します。出力電圧が出力電圧設定値より VOUT OVP 立下り閾値 (P_{GOVPHL}) 以下に再び降下すると、IC は OVP 状態から解除され、スイッチング動作を再開します。PG 端子電圧は再びハイレベルに固定されます。

出力過電流保護 (出力 OCP)

出力 OCP は過大な負荷電流を制限することで後段デバイスを保護する機能です。

過熱保護 (TSD)

TSD は IC を熱破壊から保護するための機能です。接合部温度が+165°C (標準値) に達するとハイ側 FET とロー側 FET のスイッチングを停止し、IC は TSD 状態となります。接合部温度が+155°C (標準値) 以下になると IC は TSD 状態から解除され、電源供給を再開させます。

8.2 保護機能一覧表

各保護機能が働いた場合の状態を下記の表に示します。

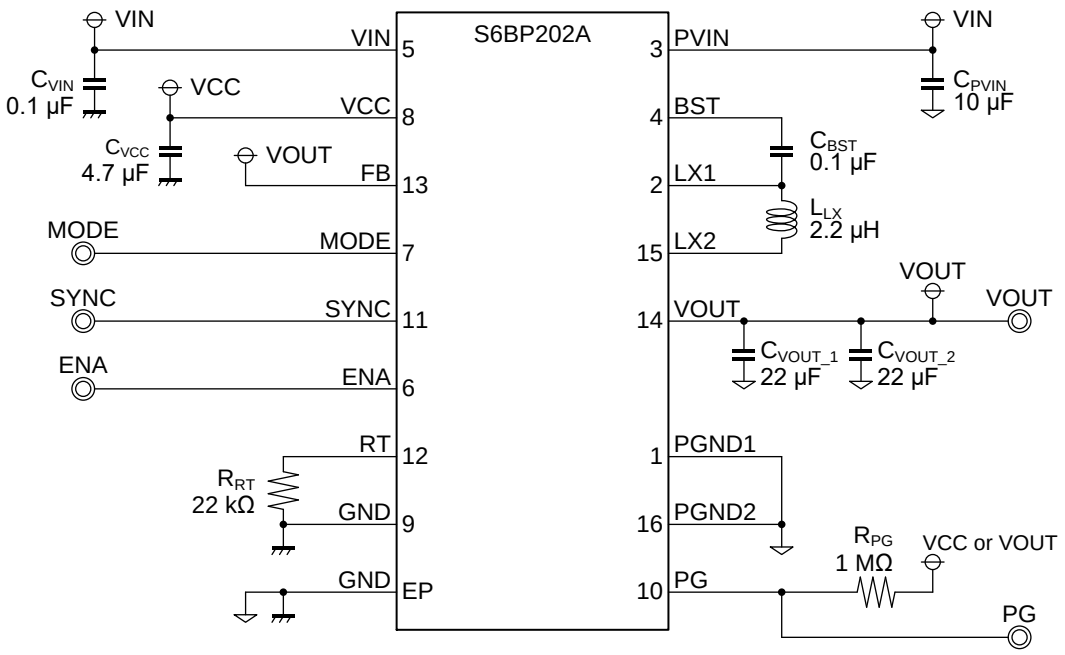
Table 8-1 保護機能一覧表

機能	ENA 端子設定	PG 端子出力	DC/DC コンバータ動作	備考
停止動作	L	Hi-Z (*1)	停止	PG 端子は VCC 端子もしくは VOUT 端子にプルアップ抵抗を介して接続することを推奨します。 ENA 端子がローレベルの際には VCC 端子、VOUT 端子は 0V になるため、PG 端子は 0V を出力します。
通常動作	H	Hi-Z (*1)	スイッチング	−
入力低電圧時誤動作防止 (入力 UVLO)	H	L	停止	UVLO 状態から解除後、ソフトスタートで自動復帰します。
出力低電圧保護 (出力 UVP)	H	L	スイッチング	−
出力過電圧保護 (出力 OVP)	H	L	停止	−
出力過電流保護 (出力 OCP)	H	L	スイッチング	OCP は出力電圧を垂加させる動作です。
過熱保護 (TSD)	H	L	停止	TSD 解除後、ソフトスタートで自動復帰します。

*1: PG 端子はオープンドレインです。内部 MOSFET は OFF 状態。

9. 応用回路例・部品表

Figure 9-1 応用回路例



F_{OSC} = 2.1 MHz
When selecting “VOUT output voltage = 5.0V”

Table 9-1 部品表

記号	項目	値	型格	ベンダ	パッケージサイズ (W×L×H[mm])	備考
C_{VIN}, C_{BST}	セラミック容量	0.1 µF	CGA2B3X7R1H104K050BB	TDK	1.0×0.5×0.5	X7R, 定格電圧: 50 Vdc
C_{PVIN}	セラミック容量	10 µF	CGA9N3X7R1H106K230KB	TDK	5.7×5.0×2.3	X7R, 定格電圧: 50 Vdc
C_{VCC}	セラミック容量	4.7 µF	CGA4J3X7R1C475K125AB	TDK	2.0×1.25×1.25	X7R, 定格電圧: 16 Vdc
C_{VOUT_1}, C_{VOUT_2}	セラミック容量	22 µF	CGA6P1X7R1C226M250AC	TDK	3.2×2.5×2.5	X7R, 定格電圧: 16 Vdc
L_{LX}	インダクタ	2.2 µH	CLF7045T-2R2N-D	TDK	7.2×6.9×4.5	DCR: 14.6 mΩ, I_{DC_MAX}: 5.5A
R_{RT}	抵抗	22 kΩ	RK73H1JTTD2202F	KOA	0.8×1.6×0.45	–
R_{PG}	抵抗	1 MΩ	RK73H1JTTD1004F	KOA	0.8×1.6×0.45	–

TDK: TDK 株式会社
KOA: コーア株式会社

10. アプリケーションノート

10.1 動作条件の設定

SYNC_IN 選択時の DC/DC コンバータ動作設定

DC/DC コンバータの動作状態は MODE 端子と SYNC 端子によって設定されます。

Table 10-1 SYNC_IN 選択時の DC/DC コンバータ動作設定

MODE 端子	SYNC 端子 (信号入力)	DC/DC コンバータの動作状態
L (*3)	L (*3)	内部クロック信号による PWM/PFM 自動切換え動作
	外部クロック入力 (*5)	外部クロック信号と同期した PWM 固定動作 (*2)
	H (*4)	使用禁止 (*1)
H (*4)	L (*3)	内部クロック信号による PWM 固定動作
	外部クロック入力 (*5)	外部クロック信号と同期した PWM 固定動作 (*2)
	H (*4)	使用禁止 (*1)

*1: SYNC_IN 選択時かつ SYNC 端子がハイレベルの場合、休止電流 (I_{VINQ}) が上昇します。

*2: RT 抵抗値 (R_{RT}) を 330 kΩ に設定してください。

*3: GND1 端子または GND2 端子電圧を印加してください。

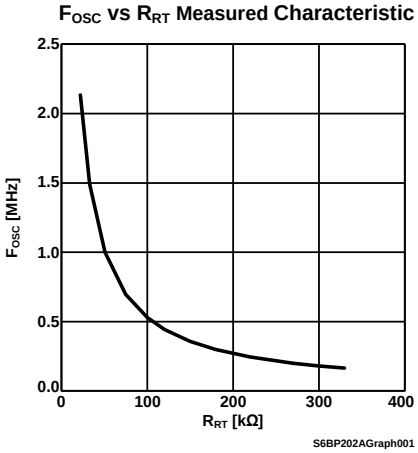
*4: VOUT 端子電圧を印加してください。

*5: ハイレベル時は VOUT 端子電圧を印加してください。ローレベル時は GND1 端子または GND2 電圧を印加してください。

スイッチング周波数 (内部クロック) の設定

スイッチング周波数 (内部クロック) は RT 端子に接続するタイミング抵抗(R_{RT})で設定できます。以下のグラフの範囲でタイミング抵抗を設定してください。

Figure 10-1 F_{OSC} vs R_{RT} の実測特性



下記の式で参考値を算出できます。

$$F_{OSC}\ [Hz] \approx \frac{1}{R_{RT} \times 21.7 \times 10^{-12}}$$

F_{OSC} ： スイッチング周波数 [Hz]
R_{RT} ： タイミング抵抗値 [Ω]

ソフトスタート時間の設定

ソフトスタート時間は、RT 端子に接続するタイミング抵抗(R_{RT})で決まります。

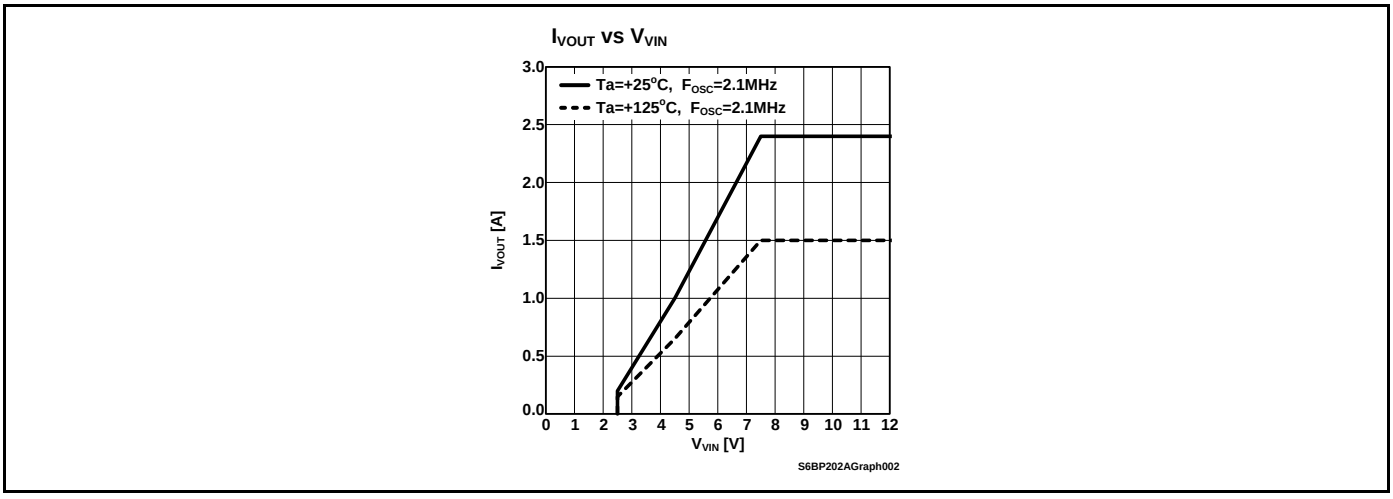
$$T_{SS}\ [s] = \frac{1}{F_{OSC}} \times 2 \times 1024$$

T_{SS} ： ソフトスタート時間 [s]
F_{OSC} ： スイッチング周波数 [Hz]

VOUT 最大出力電流の検討

VOUT 端子の最大出力電流が以下のグラフの範囲内であることを確認してください。

Figure 10-2 I_{VOUT} vs V_{VIN}

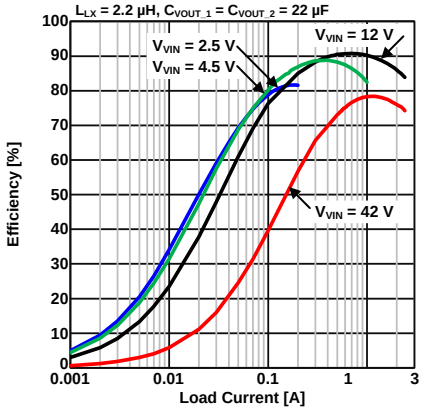


11. 参考データ

下記は、「9. 応用回路例・部品表」の条件で測定した参考データです。

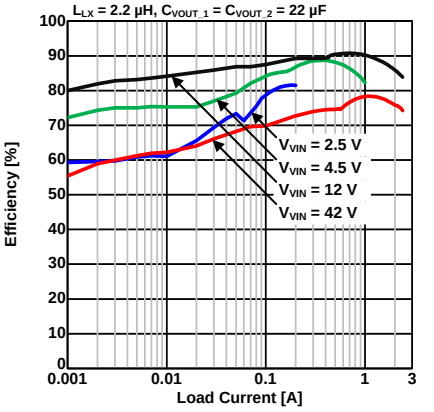
Efficiency (Fixed PWM)

V_{VOUT} = 5 V, F_{OSC} = 2.1 MHz set, T_A = +25°C,
L_{LX} = 2.2 µH, C_{VOUT_1} = C_{VOUT_2} = 22 µF



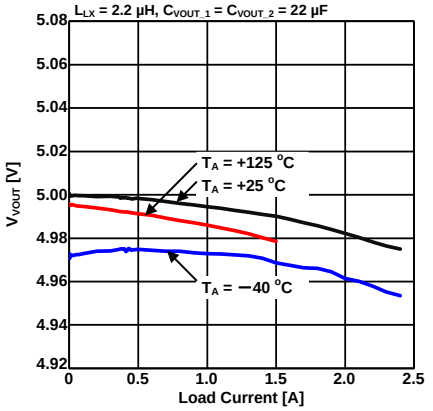
Efficiency (Automatic PWM/PFM)

V_{VOUT} = 5 V, F_{OSC} = 2.1 MHz set, T_A = +25°C,
L_{LX} = 2.2 µH, C_{VOUT_1} = C_{VOUT_2} = 22 µF



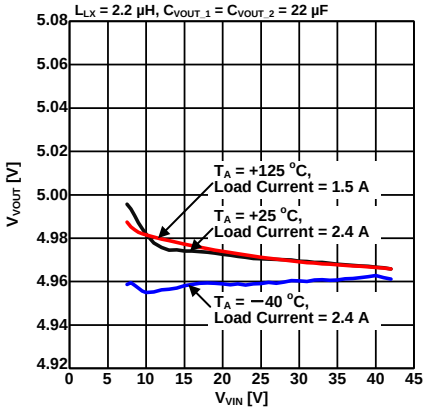
Load Regulation (Fixed PWM)

V_{VIN} = 12V, V_{VOUT} = 5 V, F_{OSC} = 2.1 MHz set,
L_{LX} = 2.2 µH, C_{VOUT_1} = C_{VOUT_2} = 22 µF



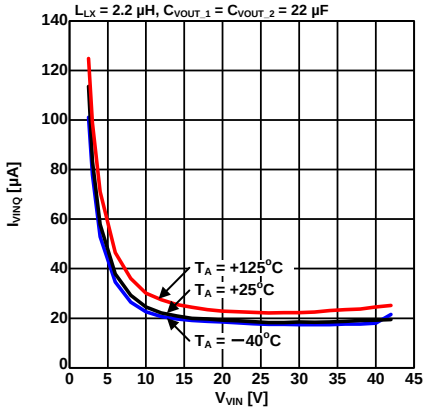
Line Regulation (Fixed PWM)

V_{VOUT} = 5 V, F_{OSC} = 2.1 MHz set,
L_{LX} = 2.2 µH, C_{VOUT_1} = C_{VOUT_2} = 22 µF



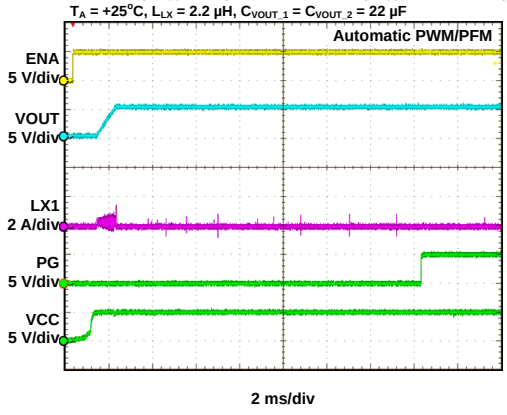
I_{VINQ} vs V_{VIN} (Automatic PWM/PFM)

V_{VOUT} = 5 V, Load Current = 0 A, F_{OSC} = 2.1 MHz set,
L_{LX} = 2.2 µH, C_{VOUT_1} = C_{VOUT_2} = 22 µF



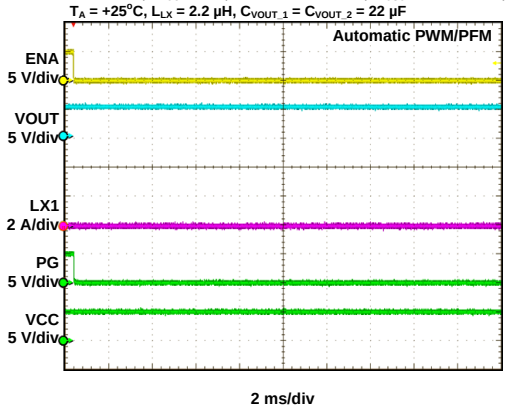
Turn On Response

V_{VIN} = 12 V, V_{VOUT} = 5 V, Load Current = 0 A, F_{OSC} = 2.1 MHz set,
T_A = +25°C, L_{LX} = 2.2 µH, C_{VOUT_1} = C_{VOUT_2} = 22 µF



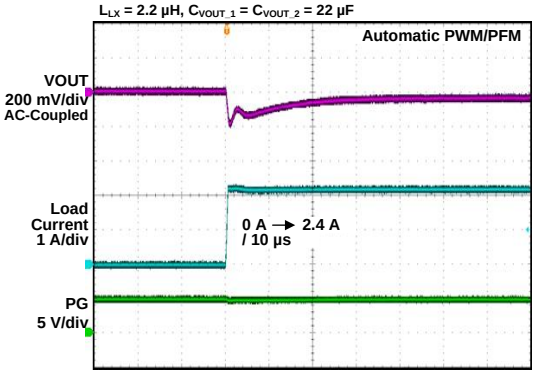
Turn Off Response

V_{VIN} = 12 V, V_{VOUT} = 5 V, Load Current = 0 A, F_{OSC} = 2.1 MHz set,
T_A = +25°C, L_{LX} = 2.2 µH, C_{VOUT_1} = C_{VOUT_2} = 22 µF



Load Transient Response

V_{VIN} = 12 V, V_{VOUT} = 5 V, F_{OSC} = 2.1 MHz set, T_A = +25°C, L_{LX} = 2.2 µH, C_{VOUT_1} = C_{VOUT_2} = 22 µF

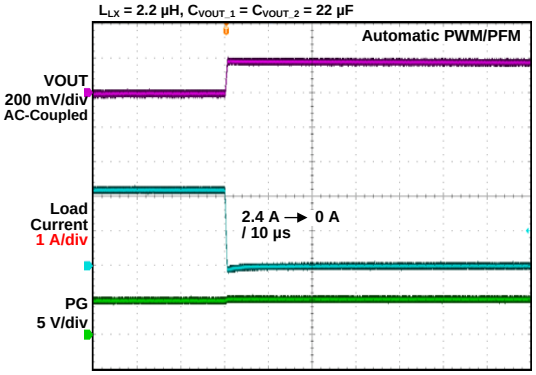


200 µs/div

S6BP202AGraph010-1

Load Transient Response

V_{VIN} = 12 V, V_{VOUT} = 5 V, F_{OSC} = 2.1 MHz set, T_A = +25°C, L_{LX} = 2.2 µH, C_{VOUT_1} = C_{VOUT_2} = 22 µF

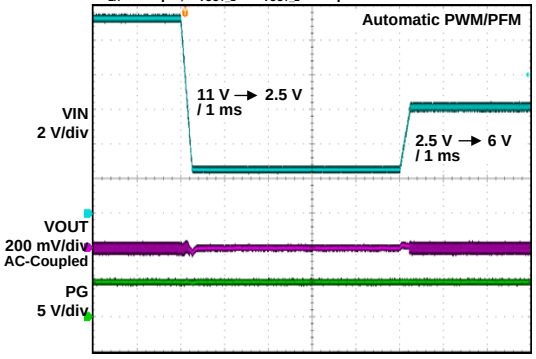


200 µs/div

S6BP202AGraph010-2

Cold Crank Line Transient Response

V_{VOUT} = 5 V, Load Current = 0.2 A, F_{OSC} = 2.1 MHz set, T_A = +25°C, L_{LX} = 2.2 µH, C_{VOUT_1} = C_{VOUT_2} = 22 µF

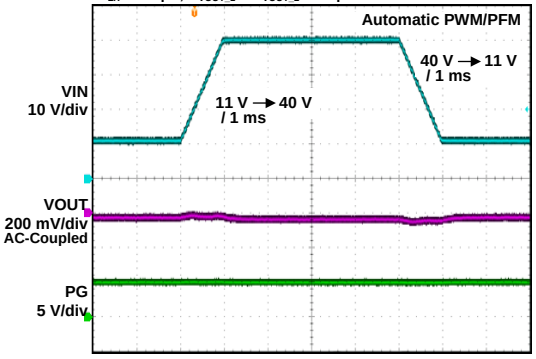


4 ms/div

S6BP202AGraph011-1

Load Dump Line Transient Response

V_{VOUT} = 5 V, Load Current = 2.4 A, F_{OSC} = 2.1 MHz set, T_A = +25°C, L_{LX} = 2.2 µH, C_{VOUT_1} = C_{VOUT_2} = 22 µF

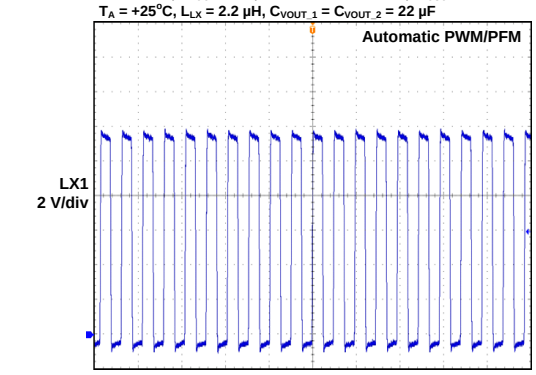


1 ms/div

S6BP202AGraph011-2

Switching Waveform

V_{VIN} = 12 V, V_{VOUT} = 5 V, Load Current = 2.4 A, F_{OSC} = 2.1 MHz set, T_A = +25°C, L_{LX} = 2.2 µH, C_{VOUT_1} = C_{VOUT_2} = 22 µF

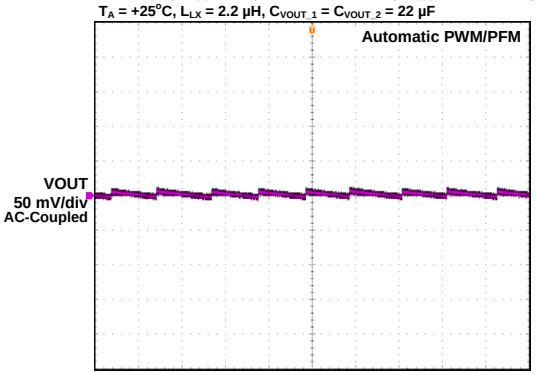


1 µs/div

S6BP202AGraph012-1

Ripple Waveform

V_{VIN} = 12 V, V_{VOUT} = 5 V, Load Current = 0 A, F_{OSC} = 2.1 MHz set, T_A = +25°C, L_{LX} = 2.2 µH, C_{VOUT_1} = C_{VOUT_2} = 22 µF



10 ms/div

S6BP202AGraph012-2

12. 使用上の注意

プリント基板のアースラインは，共通インピーダンスを考慮し設計してください。

静電気対策を行ってください。

- 半導体を入れる容器は、静電気対策を施した容器か導電性の容器をご使用ください。
- 実装後のプリント基板を保管・運搬する場合は、導電性の袋か容器に収納してください。
- 作業台，工具，測定機器は、アースを取ってください。
- 作業する人は、人体とアースの間に 250 kΩ～1 MΩ の抵抗を直列に入れてください。

負電圧を印加しないでください。

−0.3V 以下の負電圧を印加した場合、LSI の寄生トランジスタが動作し誤動作を起こすことがあります。

13. RoHS 指令に対応した品質管理

本製品は、RoHS 指令に対応し、鉛・カドミウム・水銀・六価クロムと、特定臭素系難燃剤 PBB と PBDE の基準を遵守しています。

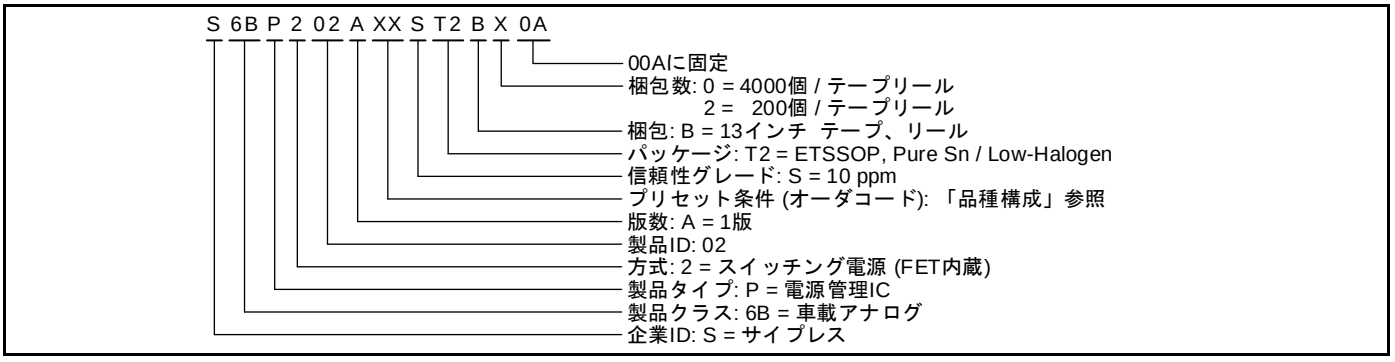
14. オーダ型格

Table 14-1 オーダ型格

オーダコード	型格 (MPN)	パッケージ
1F	S6BP202A1FST2B00A, S6BP202A1FST2B20A	プラスチック・ETSSOP16 (0.65 mm ピッチ), 16 ピン (Package Code: SEC016)

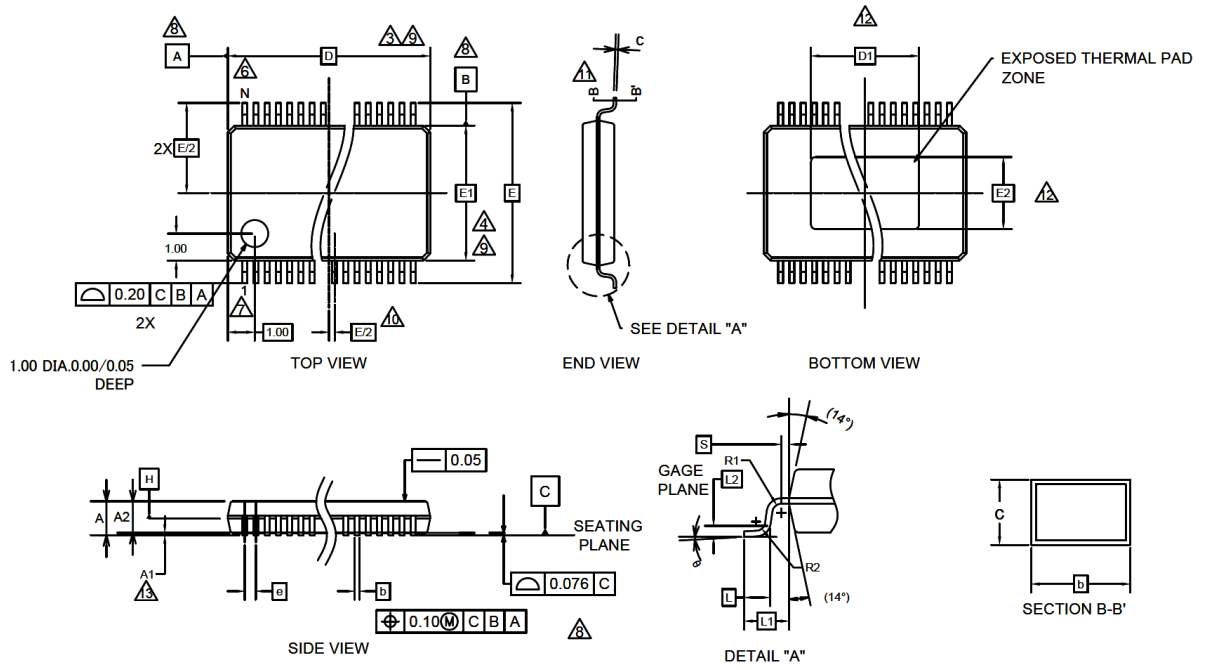
MPN: Marketing Part Number

Figure 14-1 オーダ型格の定義



15. パッケージ・外形寸法図

Package Code: SEC016



SYMBOL	DIMENSIONS		
	MIN.	NOM.	MAX.
A	-	-	1.10
A1	0.05	-	0.15
A2	0.85	0.90	0.95
D	4.90	5.00	5.10
E1	4.30	4.40	4.50
E	6.40 BSC		
D1	2.90	3.00	3.10
E2	2.90	3.00	3.10
S	0.20	-	-
R1	0.09	-	-
R2	0.09	-	-
θ	0°	-	8°
c	0.09	-	0.20
b	0.19	-	0.30
L	0.50	0.60	0.70
L 1	1.00 REF		
L 2	0.25 BSC		
e	0.65 BSC		
N	16		

NOTE:

1. ALL DIMENSIONS ARE IN MILLIMETERS.
2. DIMENSIONING & TOLERANCES PER ASME. Y14.5M-1994.
3. DIMENSION 'D' DOES NOT INCLUDE MOLD FLASH, PROTRUSIONS OR GATE BURRS. MOLD FLASH, PROTRUSIONS OR GATE BURRS SHALL NOT EXCEED 0.15 PER SIDE.
4. DEMENSION 'E1' DOES NOT INCLUDE INTERLEAD FLASH OR PROTRUSION SHALL NOT EXCEED 0.25 PER SIDE.
5. DIMENSION 'b' DOES NOT INCLUDE DAMBER PROTRUSION.ALLOWABLE DAMBER PROTRUSIONS SHALL BE 0.07mm TOTAL IN EXCESS OF THE 'b' DIMENSION AT MAXIMUM MATERIAL CONDITION. DAMBER CANNOT BE LOCATED ON THE LOWER RADIUS OF THE FOOT.MINIMUM SPACE BETWEEN PROTRUSION AND ADJACENT LEAD SHOULD BE 0.08mm FOR 0.65mm PITCH,0.08mm FOR 0.50mm PITCH AND 0.07mm FOR 0.40mm PITCH PACKAGES.
6. 'N' IS THE MAXIMUM NUMBER OF TERMINAL POSITIONS FOR THE SPECIFIED PACKAGE LENGTH
7. TERMINAL NUMBERS ARE SHOWN FOR REFERENCE ONLY.
8. DATUMS A AND B TO BE DETERMINED AT DATUM PLANE H.
9. DIMENSIONS 'D' AND 'E1' TO BE DETERMINED AT DATUM PLANE H.
10. THIS DIMENSION APPLIES ONLY TO VARIATIONS WITH AN EVEN NUMBER OF LEADS PER SIDE FOR VARIATION WITH AN ODD NUMBER OF LEADS PER SIDE, THE "CENTER" LEAD MUST BE COINCIDENT WITH THE PACKAGE CENTERLINE, DATUM A.
11. CROSS SECTION B-B' TO BE DETERMINED AT 0.10 TO 0.25MM FROM THE LEAD TIP.
12. DIMENSIONS "D1" AND "E2" ARE THERMALLY ENHANCED VARIATIONS. END USER SHOULD VERIFY AVAILABLE SIZE OF EXPOSED PER FOR SPECIFIC DEVICE APPLICATION "D1" AND "E2" DIMENSIONS DO NOT INCLUDE MOLD FLASH.
13. A1 IS DEFINED AS THE VERTICAL CLEARANCE FROM THE SEATING PLANE TO THE LOWEST POINT ON THE PACKAGE BODY.

PACKAGE OUTLINE, 16 LEAD ETSSOP
SEC016

002-10769 Rev. **

16. 主な変更内容

Spansion Publication Number: S6BP202A_DS405-00027

ページ	場所	変更箇所
Preliminary 0.1		
–	–	初版
Preliminary 0.2		
14	11. 機能説明	「出力過電圧保護 (出力 OVP)」の説明を修正 「VOUT OVP 立上り閾値 (P_{GOVPHL})」→「VOUT OVP 立下り閾値 (P_{GOVPHL})」

注意事項：以降の変更点に関しては、「改版履歴」を参照してください。

改版履歴

文書名: S6BP202A, ASSP, 42V, 2.4A, 同期整流式昇降圧 DC/DC コンバータ IC
文書番号: 002-08497

版	ECN 番号	発行日	変更内容
**	–	09/04/2015	New Spec.
*A	5056152	12/18/2015	これは英語版の 002-08496 Rev. *A を翻訳した日本語版です。
*B	5164348	03/08/2016	これは英語版の 002-08496 Rev. *B を翻訳した日本語版です。
*C	5839055	07/31/2017	Adapted Cypress new logo. これは英語版の 002-08496 Rev. *C を翻訳した日本語版です。
*D	5968512	11/17/2017	これは英語版の 002-08496 Rev. *D を翻訳した日本語版です。
*E	7022886	11/18/2020	これは英語版の 002-08496 Rev. *F を翻訳した日本語版です。

セールス，ソリューションおよび法律情報

ワールドワイドな販売と設計サポート

サイプレスは、事業所、ソリューション センター、メーカー代理店、および販売代理店の世界的なネットワークを保持しています。お客様の最寄りのオフィスについては、サイプレスのロケーション ページをご覧ください。

製品

Arm® Cortex® Microcontrollers	cypress.com/arm
車載用	cypress.com/automotive
クロック&バッファ	cypress.com/clocks
インターフェース	cypress.com/interface
IoT (モノのインターネット)	cypress.com/iot
メモリ	cypress.com/memory
マイクロコントローラ	cypress.com/mcu
PSoC	cypress.com/psoc
電源用 IC	cypress.com/pmic
タッチセンシング	cypress.com/touch
USB コントローラー	cypress.com/usb
ワイヤレス	cypress.com/wireless

PSoC® ソリューション

PSoC 1 | PSoC 3 | PSoC 4 | PSoC 5LP | PSoC 6 MCU

サイプレス開発者コミュニティ

コミュニティ | サンプルコード | Projects | ビデオ | ブログ | トレーニング | Components

テクニカルサポート

cypress.com/support

Arm and Cortex are registered trademarks of Arm Limited (or its subsidiaries) in the US and/or elsewhere.

© Cypress Semiconductor Corporation, 2015-2020. 本書面は, Cypress Semiconductor Corporation 及び Spansion LLC を含むその子会社（以下「Cypress」という。）に帰属する財産である。本書面（本書面に含まれ又は言及されているあらゆるソフトウェア若しくはファームウェア（以下「本ソフトウェア」という。）を含む）は，アメリカ合衆国及び世界のその他の国における知的財産法令及び条約に基づき Cypress が所有する。Cypress はこれらの法令及び条約に基づく全ての権利を留保し，本段落で特に記載されているものを除き，その特許権，著作権，商標権又はその他の知的財産権のライセンスを一切許諾しない。本ソフトウェアにライセンス契約書が伴っておらず，かつ Cypress との間で別途本ソフトウェアの使用方法を定める書面による合意がない場合，Cypress は，(1) 本ソフトウェアの著作権に基づき，(a) ソースコード形式で提供されている本ソフトウェアについて，Cypress ハードウェア製品と共に用いるためにのみ，かつ組織内部でのみ，本ソフトウェアの修正及び複製を行うこと，並びに (b) Cypress のハードウェア製品ユニットに用いるためにのみ，（直接又は再販売者及び販売代理店を介して間接のいずれかで）本ソフトウェアをバイナリーコード形式で外部エンドユーザーに配布すること，並びに (2) 本ソフトウェア（Cypress により提供され，修正がなされていないもの）が抵触する Cypress の特許権のクレームに基づき，Cypress ハードウェア製品と共に用いるためにのみ，本ソフトウェアの作成，利用，配布及び輸入を行うことについての非独占的で譲渡不能な一身専属的ライセンス（サブライセンスの権利を除く）を付与する。本ソフトウェアのその他の使用，複製，修正，変換又はコンパイルを禁止する。

適用される法律により許される範囲内で，Cypress は，本書面又はいかなる本ソフトウェア若しくはこれに伴うハードウェアに関しても，明示又は黙示をとわず，いかなる保証（商品性及び特定の目的への適合性の黙示の保証を含むがこれらに限られない）も行わない。いかなるコンピューティングデバイスも絶対に安全ということはない。従って，Cypress のハードウェアまたはソフトウェア製品に講じられたセキュリティ対策にもかかわらず，Cypress は，Cypress 製品への権限のないアクセスまたは使用といったセキュリティ違反から生じる一切の責任を負わない。加えて，本書面に記載された製品には，エラッタと呼ばれる設計上の欠陥またはエラーが含まれている可能性があり，公表された仕様とは異なる動作をする場合がある。適用される法律により許される範囲内で，Cypress は，別途通知することなく，本書面を変更する権利を留保する。Cypress は，本書面に記載のある，いかなる製品若しくは回路の適用又は使用から生じる一切の責任を負わない。本書面で提供されたあらゆる情報（あらゆるサンプルデザイン情報又はプログラムコードを含む）は，参照目的のためのみに提供されたものである。この情報で構成するあらゆるアプリケーション及びその結果としてのあらゆる製品の機能性及び安全性を適切に設計，プログラム，かつテストすることは，本書面のユーザーの責任において行われるものとする。Cypress 製品は，兵器，兵器システム，原子力施設，生命維持装置若しくは生命維持システム，蘇生用の設備及び外科的移植を含むその他の医療機器若しくは医療システム，汚染管理若しくは有害物質管理の運用のために設計され若しくは意図されたシステムの重要な構成部分としての使用，又は装置若しくはシステムの不具合が人身傷害，死亡若しくは物的損害を生じさせるようなその他の使用（以下「本目的外使用」という。）のためには設計，意図又は承認されていない。重要な構成部分とは，それの不具合が装置若しくはシステムの不具合を生じさせるか又はその安全性若しくは実効性に影響すると合理的に予想できるような装置若しくはシステムのあらゆる構成部分をいう。Cypress 製品のあらゆる本目的外使用から生じ，若しくは本目的外使用に関連するいかなる請求，損害又はその他の責任についても，Cypress はその全部又は一部をとわず一切の責任を負わず，かつ Cypress はそれら一切から本書により免除される。Cypress は Cypress 製品の本目的外使用から生じ又は本目的外使用に関連するあらゆる請求，費用，損害及びその他の責任（人身傷害又は死亡に基づく請求を含む）から免責補償される。

Cypress, Cypress のロゴ, Spansion, Spansion のロゴ及びこれらの組み合わせ, WICED, PSoC, CapsSense, EZ-USB, F-RAM，及び Traveo は，米国及びその他の国における Cypress の商標又は登録商標である。Cypress のより完全な商標のリストは，cypress.com を参照すること。その他の名称及びブランドは，それぞれの権利者の財産として権利主張がなされている可能性がある。