CYDXXS72V18
CYDXXS36V18
CYDXXS18V18

FullFlex™ 同期 SDR デュアル ポート SRAM

特長

- 各ポートから共有アレイへの同時アクセスが可能な真のデュアル ポート メモリ
- 各ポートでのシングル データ レート (SDR) の同期パイプライン動作
  - 200MHz で動作する SDR インターフェース
  - 最大 28.8Gb/s の帯域幅 (200MHz × 72 ビット × 2 ポート)
- 選択可能なパイプラインまたはフロースルー モード
- 1.5V または 1.8V のコア電源
- 商業用および産業用温度グレード
- IEEE 1149.1 JTAG 準拠のバウンダリ スキャン
- 484 ボール PBGA (×72) および 256 ボール FBGA (×36 および ×18) パッケージで提供
- FullFlex72 ファミリ
  - 36M ビット : 512K × 72 (CYD36S72V18)
  - 18M ビット : 256K × 72 (CYD18S72V18)
  - 9M ビット : 128K × 72 (CYD09S72V18)
- FullFlex36 ファミリ
  - 36M ビット : 1M × 36 (CYD36S36V18)
  - 18M ビット : 512K × 36 (CYD18S36V18)
  - 9M ビット : 256K × 36 (CYD09S36V18)
  - 2M ビット : 64K × 36 (CYD02S36V18)
- FullFlex18 ファミリ
  - 36M ビット : 2M × 18 (CYD36S18V18)
  - 18M ビット : 1M × 18 (CYD18S18V18)
  - 9M ビット : 512K × 18 (CYD09S18V18)
- アドレス衝突を管理する内蔵決定的アクセス コントロール
  - 衝突検出時の決定的フラグ出力
  - 連続したクロック サイクルでの衝突検出
  - 最初のビジー アドレス リードバック
- 高速データ転送および柔軟性を改善するための高度な機能
  - 可変インピーダンス整合 (VIM)
  - エコー クロック
  - 各々ポートには LVTTL (3.3V)、拡張 HSTL (1.4V ～ 1.9V)、1.8V LVCMOS、または 2.5V LVCMOS IO を選択可能
  - 順次メモリ アクセス用のバースト カウンター
  - メッセージの受け渡し用の割り込みに対応したメールボックス
  - 簡単な深度拡張用のデュアル チップ イネーブル

機能の詳細

FullFlex™ デュアル ポート SRAM ファミリは 2M ビット、9M ビット、18M ビットおよび 36M ビットの真の同期デュアル ポート スタティック RAM を含んでいます。これらの SRAM は高速且つ低消費電力で、1.8V または 1.5V CMOS で動作します。2 つのポートが提供されており、アレイへの同時アクセスが可能です。同じ位置への同時アクセスは決定的アクセス コントロールをトリガーします。FullFlex72 ファミリでは、これらのポートは 72 ビット バス幅と関係なく動作し、各々ポートは 2 パイプライン段階に個別に設定されます。各ポートはまた、パイプラインまたはフロースルー モードで動作するように設定されます。

高度な機能は以下を含んでいます。

- 同じメモリ位置への同時アクセス時のアドレス衝突を管理する内蔵決定的アクセス コントロール
- 出力ドライバーのインピーダンスをライン　インピーダンスに一致させることでデータ送信を改善させる可変インピーダンス整合 (VIM)
- データ転送を改善させるエコー クロック

静的消費電力を減少させるために、チップ イネーブルは内部回路の電源を切断します。データ バスを有効／無効にする CE_0 ／ CE_1 の変化前のレイテンシ サイクル数は、デバイスの選択された読み出しレイテンシ サイクル数に一致します。有効な書き込みまたは読み出しを実行するために、1 つのポートで両方のチップ イネーブル入力をアクティブにします。

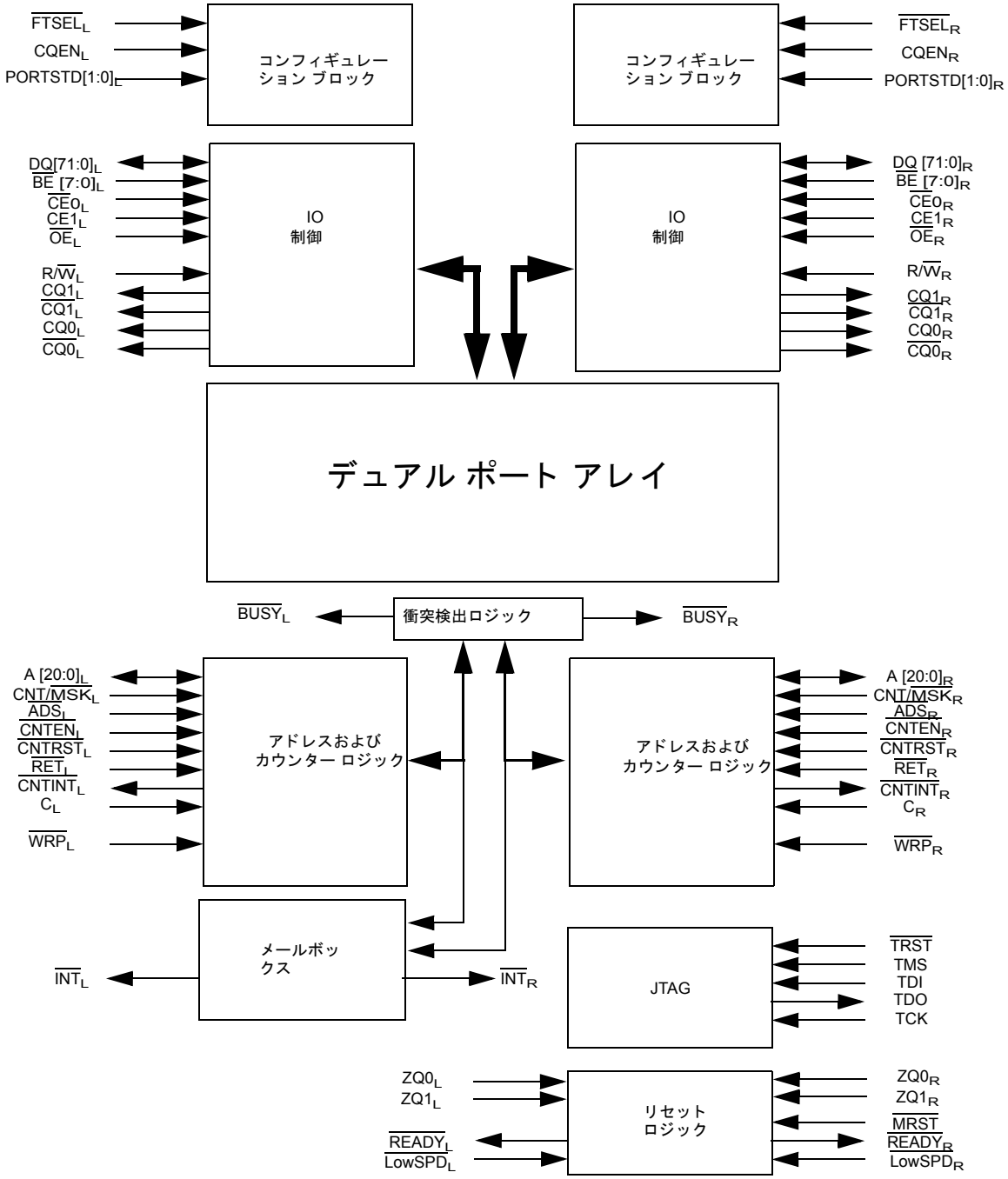
各ポートは、入力アドレス レジスタにある任意のバースト カウンターを備えています。外部的に初期アドレスをカウンターにロードした後、カウンターは内部的にアドレスをインクリメントします。

追加のデバイス機能には、カウンター インクリメントとラップアラウンドを制御するマスク レジスタとミラー レジスタがあります。カウンター割り込み (CNTINT) フラグは、カウンターが最大カウント値に達したことを次のクロック サイクルでホストに通知します。ホストはアドレス ライン上のバースト カウンターの内部アドレス、マスク レジスタのアドレス、およびビジー アドレスを読み出します。また、ホストは再送信機能を使用して、ミラー レジスタに保存されたアドレスをカウンターにロードします。メールボックス割り込みフラグはメッセージ受け渡しに使用されます。さらに、JTAG バウンダリ スキャンおよび非同期マスター リセット (MRST) も備えられています。2 ページの論理ブロック図はこれらの機能を示します。

FullFlex72 デバイスは 484 ボール プラスティック BGA パッケージで提供されています。484 ボール プラスティック BGA パッケージで提供された 36M ビット デバイスを除き、FullFlex36 および FullFlex18 は 256 ボール微細ピッチ BGA パッケージで提供されています。

論理ブロック図

以下は FullFlex72、FullFlex36 および FullFlex18 ファミリの論理ブロック図です。[1、2、3]



注
1. CYD36S18V18 デバイスには 21 個のアドレス ビットがあります。CYD36S36V18 および CYD18S18V18 デバイスには 20 個のアドレス ビットがあります。CYD36S72V18、CYD18S36V18、および CYD09S18V18 デバイスには 19 個のアドレス ビットがあります。CYD18S72V18 および CYD09S36V18 デバイスには 18 個のアドレス ビットがあります。CYD09S72V18 デバイスには 17 個のアドレス ビットがあります。CYD02S36V18 デバイスには 16 個のアドレス ビットがあります。
2. FullFlex72 デバイス ファミリには 72 本のデータ ラインがあります。FullFlex36 デバイス ファミリには 36 本のデータ ラインがあります。FullFlex18 デバイス ファミリには 18 本のデータ ラインがあります。
3. FullFlex72 デバイス ファミリには 8 本のバイト イネーブルがあります。FullFlex36 デバイス ファミリには 4 本のバイト イネーブルがあります。FullFlex18 デバイス ファミリには 2 個のバイト イネーブルがあります。

目次

選択ガイド 9
ピンの機能 9
選択可能な IO 規格 11
クロッキング 11
選択可能なパイプラインまたはフロースルー モード 11
DLL 11
エコー クロッキング 11
決定的アクセス制御 11
可変インピーダンス整合 12
アドレス カウンターおよびマスク レジスタの動作 .. 13
カウンター ロード動作 13
マスク ロード動作 13
カウンター リードバック動作 13
マスク リードバック動作 13
カウンター リセット動作 13
マスク リセット動作 13
インクリメント動作 15
保持動作 15
再送信 15
カウンター割り込み 15
2 カウント 15
4 カウント 15
メールボックス割り込み 15
マスター リセット 18
IEEE 1149.1 シリアル バウンダリ スキャン (JTAG) 18
最大定格 19
動作範囲 19
電源の要件 19
電気的特性 19
電気的特性 21
電気的特性 24
静電容量 24
熱抵抗 24
AC テスト ロードおよび波形 25
スイッチング特性 26
スイッチング波形 29
注文情報 43
512K × 72 (36M ビット) 1.8V/1.5V 同期 CYD36S72V18
デュアル ポート SRAM 43
256K × 72 (18M ビット) 1.8V/1.5V 同期 CYD18S72V18
デュアル ポート SRAM 43
128K × 72 (9M ビット) 1.8V/1.5V 同期 CYD09S72V18
デュアル ポート SRAM 43
1024K × 36 (36M ビット) 1.8V/1.5V 同期 CYD36S36V18
デュアル ポート SRAM 43
512K × 36 (18M ビット) 1.8V/1.5V 同期 CYD18S36V18
デュアル ポート SRAM 43
256K × 36 (9M ビット) 1.8V/1.5V 同期 CYD09S36V18
デュアル ポート SRAM 44
64K × 36 (2M ビット) 1.8V/1.5V 同期 CYD02S36V18 デュアル ポート SRAM 44
2048K × 18 (36M ビット) 1.8V/1.5V 同期 CYD36S18V18
デュアル ポート SRAM 45
1024K × 18 (18M ビット) 1.8V/1.5V 同期 CYD18S18V18
デュアル ポート SRAM 45
512K × 18 (9M ビット) 1.8V/1.5V 同期 CYD09S18V18
デュアル ポート SRAM 45
注文コードの定義 45
外形図 46
略語 49
本書の表記法 49
測定単位 49
改訂履歴 50
セールス、ソリューションおよび法律情報 51
ワールドワイドな販売と設計サポート 51
製品 51
PSoC® ソリューション 51
サイプレス開発者コミュニティ 51
テクニカル サポート 51

図 1. FullFlex72 SDR 484 ボール BGA のピン配置 (上面図)

	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22
A	DNU	DQ61L	DQ59L	DQ57L	DQ54L	DQ51L	DQ48L	DQ45L	DQ42L	DQ39L	DQ36L	DQ36R	DQ39R	DQ42R	DQ45R	DQ48R	DQ51R	DQ54R	DQ57R	DQ59R	DQ61R	DNU
B	DQ63L	DQ62L	DQ60L	DQ58L	DQ55L	DQ52L	DQ49L	DQ46L	DQ43L	DQ40L	DQ37L	DQ37R	DQ40R	DQ43R	DQ46R	DQ49R	DQ52R	DQ55R	DQ58R	DQ60R	DQ62R	DQ63R
C	DQ65L	DQ64L	VSS	VSS	DQ56L	DQ53L	DQ50L	DQ47L	DQ44L	DQ41L	DQ38L	DQ38R	DQ41R	DQ44R	DQ47R	DQ50R	DQ53R	DQ56R	VSS	VSS	DQ64R	DQ65R
D	DQ67L	DQ66L	VSS	VSS	VSS	$\overline{\text{CQ1L}}$	CQ1L	VSS	$\overline{\text{LOWSPDL}}$	PORTSTD0L	ZQ0L[4]	$\overline{\text{BUSYL}}$	$\overline{\text{CNTINTL}}$	PORTSTD1L	DNU	CQ1R	$\overline{\text{CQ1R}}$	VSS	VSS	VSS	DQ66R	DQ67R
E	DQ69L	DQ68L	VDDIOL	VSS	VSS	VDDIOL	VDDIOL	VDDIOL	VDDIOL	VDDIOL	VTTL	VTTL	VTTL	VDDIOR	VDDIOR	VDDIOR	VDDIOR	DNU	VSS	VDDIOR	DQ68R	DQ69R
F	DQ71L	DQ70L	CE1L	$\overline{\text{CE0L}}$	VDDIOL	VDDIOL	VDDIOL	VDDIOL	VDDIOL	VCORE	VCORE	VCORE	VCORE	VDDIOR	VDDIOR	VDDIOR	VDDIOR	VDDIOR	$\overline{\text{CE0R}}$	CE1R	DQ70R	DQ71R
G	A0L	A1L	$\overline{\text{RETL}}$	$\overline{\text{BE4L}}$	VDDIOL	VDDIOL	VREFL	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VREFR	VDDIOR	VDDIOR	$\overline{\text{BE4R}}$	$\overline{\text{RETR}}$	A1R	A0R
H	A2L	A3L	$\overline{\text{WRPL}}$	$\overline{\text{BE5L}}$	VDDIOL	VDDIOL	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VDDIOR	VDDIOR	$\overline{\text{BE5R}}$	$\overline{\text{WRPR}}$	A3R	A2R
J	A4L	A5L	$\overline{\text{READYL}}$	$\overline{\text{BE6L}}$	VDDIOL	VDDIOL	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VDDIOR	VDDIOR	$\overline{\text{BE6R}}$	$\overline{\text{READYR}}$	A5R	A4R
K	A6L	A7L	ZQ1L[4、5]	$\overline{\text{BE7L}}$	VTTL	VCORE	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VCORE	VDDIOR	$\overline{\text{BE7R}}$	ZQ1R[4、5]	A7R	A6R
L	A8L	A9L	CL	$\overline{\text{OEL}}$	VTTL	VCORE	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VCORE	VTTL	$\overline{\text{OER}}$	CR	A9R	A8R
M	A10L	A11L	VSS	$\overline{\text{BE3L}}$	VTTL	VCORE	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VCORE	VTTL	$\overline{\text{BE3R}}$	VSS	A11R	A10R
N	A12L	A13L	$\overline{\text{ADSL}}$	$\overline{\text{BE2L}}$	VDDIOL	VCORE	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VCORE	VTTL	$\overline{\text{BE2R}}$	$\overline{\text{ADSR}}$	A13R	A12R
P	A14L	A15L	CNT/$\overline{\text{MSKL}}$	$\overline{\text{BE1L}}$	VDDIOL	VDDIOL	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VDDIOR	VDDIOR	$\overline{\text{BE1R}}$	CNT/$\overline{\text{MSKR}}$	A15R	A14R
R	A16L[8]	A17L[7]	$\overline{\text{CNTENL}}$	$\overline{\text{BE0L}}$	VDDIOL	VDDIOL	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VDDIOR	VDDIOR	$\overline{\text{BE0R}}$	$\overline{\text{CNTENR}}$	A17R[7]	A16R[8]
T	A18L[6]	DNU	$\overline{\text{CNTRSTL}}$	$\overline{\text{INTL}}$	VDDIOL	VDDIOL	VREFL	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VREFR	VDDIOR	VDDIOR	$\overline{\text{INTR}}$	$\overline{\text{CNTRSTR}}$	DNU	A18R[6]
U	DQ35L	DQ34L	R/$\overline{\text{WL}}$	CQENL	VDDIOL	VDDIOL	VDDIOL	VDDIOL	VDDIOL	VCORE	VCORE	VCORE	VCORE	VDDIOR	VDDIOR	VDDIOR	VDDIOR	VDDIOR	CQENR	R/$\overline{\text{WR}}$	DQ34R	DQ35R
V	DQ33L	DQ32L	$\overline{\text{FTSELL}}$	VDDIOL	DNU	VDDIOL	VDDIOL	VDDIOL	VDDIOL	VTTL	VTTL	VTTL	VTTL	VDDIOR	VDDIOR	VDDIOR	VDDIOR	$\overline{\text{TRST}}$	VDDIOR	$\overline{\text{FTSELR}}$	DQ32R	DQ33R
W	DQ31L	DQ30L	VSS	$\overline{\text{MRST}}$	VSS	$\overline{\text{CQ0L}}$	CQ0L	DNU	PORTSTD1R	$\overline{\text{CNTINTR}}$	$\overline{\text{BUSYR}}$	ZQ0R[4]	PORTSTD0R	$\overline{\text{LOWSPDR}}$	VSS	CQ0R	$\overline{\text{CQ0R}}$	VSS	TDI	TDO	DQ30R	DQ31R
Y	DQ29L	DQ28L	VSS	VSS	DQ20L	DQ17L	DQ14L	DQ11L	DQ8L	DQ5L	DQ2L	DQ2R	DQ5R	DQ8R	DQ11R	DQ14R	DQ17R	DQ20R	TMS	TCK	DQ28R	DQ29R
AA	DQ27L	DQ26L	DQ24L	DQ22L	DQ19L	DQ16L	DQ13L	DQ10L	DQ7L	DQ4L	DQ1L	DQ1R	DQ4R	DQ7R	DQ10R	DQ13R	DQ16R	DQ19R	DQ22R	DQ24R	DQ26R	DQ27R
AB	DNU	DQ25L	DQ23L	DQ21L	DQ18L	DQ15L	DQ12L	DQ9L	DQ6L	DQ3L	DQ0L	DQ0R	DQ3R	DQ6R	DQ9R	DQ12R	DQ15R	DQ18R	DQ21R	DQ23R	DQ25R	DNU

注
4. VIM を無効にするためこのボールを未接続のままにします。
5. このボールは 36M ビットのデバイスにのみ適用され、18M ビットおよびそれ以下の容量のデバイスでは DNU です。
6. このボールを CYD18S72V18 および CYD09S72V18 では未接続のままにします。
7. このボールを CYD09S72V18 では未接続のままにします。
8. このボールを CYD04S72V18 では未接続のままにします。

図 2. FullFlex36 SDR 484 ボール BGA のピン配置 (上面図)[9]

	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22
A	DNU	DNU	DNU	DNU	DNU	DQ33L	DQ30L	DQ27L	DQ24L	DQ21L	DQ18L	DQ18R	DQ21R	DQ24R	DQ27R	DQ30R	DQ33R	DNU	DNU	DNU	DNU	DNU
B	DNU	DNU	DNU	DNU	DNU	DQ34L	DQ31L	DQ28L	DQ25L	DQ22L	DQ19L	DQ19R	DQ22R	DQ25R	DQ28R	DQ31R	DQ34R	DNU	DNU	DNU	DNU	DNU
C	DNU	DNU	VSS	VSS	DNU	DQ35L	DQ32L	DQ29L	DQ26L	DQ23L	DQ20L	DQ20R	DQ23R	DQ26R	DQ29R	DQ32R	DQ35R	DNU	VSS	VSS	DNU	DNU
D	DNU	DNU	VSS	VSS	VSS	$\overline{\text{CQ1L}}$	CQ1L	VSS	$\overline{\text{LOWSPDL}}$	PORTSTD0L	ZQ0L[10]	$\overline{\text{BUSYL}}$	$\overline{\text{CNTINTL}}$	PORTSTD1L	DNU	CQ1R	$\overline{\text{CQ1R}}$	VSS	VSS	VSS	DNU	DNU
E	DNU	DNU	VDDIOL	VSS	VSS	VDDIOL	VDDIOR	VDDIOR	VDDIOR	VDDIOR	VTTL	VTTL	VTTL	VDDIOL	VDDIOL	VDDIOL	VDDIOL	DNU	VSS	VDDIOR	DNU	DNU
F	DNU	DNU	CE1L	$\overline{\text{CE0L}}$	VDDIOL	VDDIOL	VDDIOR	VDDIOR	VDDIOR	VCORE	VCORE	VCORE	VCORE	VDDIOL	VDDIOL	VDDIOL	VDDIOR	VDDIOR	$\overline{\text{CE0R}}$	CE1R	DNU	DNU
G	A0L	A1L	$\overline{\text{RETL}}$	$\overline{\text{BE2L}}$	VDDIOL	VDDIOL	VREFL	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VREFR	VDDIOR	VDDIOR	$\overline{\text{BE2R}}$	$\overline{\text{RETR}}$	A1R	A0R
H	A2L	A3L	$\overline{\text{WRPL}}$	$\overline{\text{BE3L}}$	VDDIOL	VDDIOL	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VDDIOR	VDDIOR	$\overline{\text{BE3R}}$	$\overline{\text{WRPR}}$	A3R	A2R
J	A4L	A5L	$\overline{\text{READYL}}$	DNU	VDDIOL	VDDIOL	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VDDIOR	VDDIOR	DNU	$\overline{\text{READYR}}$	A5R	A4R
K	A6L	A7L	ZQ1L[10]	DNU	VTTL	VCORE	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VCORE	VDDIOR	DNU	ZQ1R[10]	A7R	A6R
L	A8L	A9L	CL	$\overline{\text{OEL}}$	VTTL	VCORE	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VCORE	VTTL	$\overline{\text{OER}}$	CR	A9R	A8R
M	A10L	A11L	VSS	DNU	VTTL	VCORE	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VCORE	VTTL	DNU	VSS	A11R	A10R
N	A12L	A13L	$\overline{\text{ADSL}}$	DNU	VDDIOL	VCORE	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VCORE	VTTL	DNU	$\overline{\text{ADSR}}$	A13R	A12R
P	A14L	A15L	CNT/$\overline{\text{MSKL}}$	$\overline{\text{BE1L}}$	VDDIOL	VDDIOL	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VDDIOR	VDDIOR	$\overline{\text{BE1R}}$	CNT/$\overline{\text{MSKR}}$	A15R	A14R
R	A16L	A17L	$\overline{\text{CNTENL}}$	$\overline{\text{BE0L}}$	VDDIOL	VDDIOL	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VDDIOR	VDDIOR	$\overline{\text{BE0R}}$	$\overline{\text{CNTENR}}$	A17R	A16R
T	A18L	A19L	$\overline{\text{CNTRSTL}}$	$\overline{\text{INTL}}$	VDDIOL	VDDIOL	VREFL	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VREFR	VDDIOR	VDDIOR	$\overline{\text{INTR}}$	$\overline{\text{CNTRSTR}}$	A19R	A18R
U	DNU	DNU	R/$\overline{\text{WL}}$	CQENL	VDDIOL	VDDIOL	VDDIOR	VDDIOR	VDDIOR	VCORE	VCORE	VCORE	VCORE	VDDIOL	VDDIOL	VDDIOL	VDDIOR	VDDIOR	CQENR	R/$\overline{\text{WR}}$	DNU	DNU
V	DNU	DNU	$\overline{\text{FTSELL}}$	VDDIOL	DNU	VDDIOR	VDDIOR	VDDIOR	VDDIOR	VTTL	VTTL	VTTL	VDDIOL	VDDIOL	VDDIOL	VDDIOL	VDDIOR	$\overline{\text{TRST}}$	VDDIOR	$\overline{\text{FTSELR}}$	DNU	DNU
W	DNU	DNU	VSS	$\overline{\text{MRST}}$	VSS	$\overline{\text{CQ0L}}$	CQ0L	DNU	PORTSTD1R	$\overline{\text{CNTINTR}}$	$\overline{\text{BUSYR}}$	ZQ0R[10]	PORTSTD0R	$\overline{\text{LOWSPDR}}$	VSS	CQ0R	$\overline{\text{CQ0R}}$	VSS	TDI	TDO	DNU	DNU
Y	DNU	DNU	VSS	VSS	DNU	DQ17L	DQ14L	DQ11L	DQ8L	DQ5L	DQ2L	DQ2R	DQ5R	DQ8R	DQ11R	DQ14R	DQ17R	DNU	TMS	TCK	DNU	DNU
AA	DNU	DNU	DNU	DNU	DNU	DQ16L	DQ13L	DQ10L	DQ7L	DQ4L	DQ1L	DQ1R	DQ4R	DQ7R	DQ10R	DQ13R	DQ16R	DNU	DNU	DNU	DNU	DNU
AB	DNU	DNU	DNU	DNU	DNU	DQ15L	DQ12L	DQ9L	DQ6L	DQ3L	DQ0L	DQ0R	DQ3R	DQ6R	DQ9R	DQ12R	DQ15R	DNU	DNU	DNU	DNU	DNU

注
9. このピン配置は、FullFlex36 ファミリの CYD36S36V18 デバイスにのみ使用されます。
10. VIM を無効にするためこのボールを未接続のままにします。

図 3. FullFlex18 SDR 484 ボール BGA のピン配置 (上面図)[11]

	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22
A	DNU	DNU	DNU	DNU	DNU	DNU	DNU	DNU	DQ15L	DQ12L	DQ9L	DQ9R	DQ12R	DQ15R	DNU	DNU	DNU	DNU	DNU	DNU	DNU	DNU
B	DNU	DNU	DNU	DNU	DNU	DNU	DNU	DNU	DQ16L	DQ13L	DQ10L	DQ10R	DQ13R	DQ16R	DNU	DNU	DNU	DNU	DNU	DNU	DNU	DNU
C	DNU	DNU	VSS	VSS	DNU	DNU	DNU	DNU	DQ17L	DQ14L	DQ11L	DQ11R	DQ14R	DQ17R	DNU	DNU	DNU	DNU	VSS	VSS	DNU	DNU
D	DNU	DNU	VSS	VSS	VSS	$\overline{\text{CQ1L}}$	CQ1L	VSS	$\overline{\text{LOWSPDL}}$	PORTSTD0L	ZQ0L[12]	$\overline{\text{BUSYL}}$	$\overline{\text{CNTINTL}}$	PORTSTD1L	DNU	CQ1R	$\overline{\text{CQ1R}}$	VSS	VSS	VSS	DNU	DNU
E	DNU	DNU	VDDIOL	VSS	VSS	VDDIOL	VDDIOR	VDDIOR	VDDIOR	VDDIOR	VTTL	VTTL	VTTL	VDDIOL	VDDIOL	VDDIOL	VDDIOL	DNU	VSS	VDDIOR	DNU	DNU
F	DNU	DNU	CE1L	$\overline{\text{CE0L}}$	VDDIOL	VDDIOL	VDDIOR	VDDIOR	VDDIOR	VCORE	VCORE	VCORE	VCORE	VDDIOL	VDDIOL	VDDIOL	VDDIOR	VDDIOR	$\overline{\text{CE0R}}$	CE1R	DNU	DNU
G	A0L	A1L	$\overline{\text{RETL}}$	$\overline{\text{BE1L}}$	VDDIOL	VDDIOL	VREFL	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VREFR	VDDIOR	VDDIOR	$\overline{\text{BE1R}}$	$\overline{\text{RETR}}$	A1R	A0R
H	A2L	A3L	$\overline{\text{WRPL}}$	DNU	VDDIOL	VDDIOL	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VDDIOR	VDDIOR	DNU	$\overline{\text{WRPR}}$	A3R	A2R
J	A4L	A5L	$\overline{\text{READYL}}$	DNU	VDDIOL	VDDIOL	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VDDIOR	VDDIOR	DNU	$\overline{\text{READYR}}$	A5R	A4R
K	A6L	A7L	ZQ1L[12]	DNU	VTTL	VCORE	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VCORE	VDDIOR	DNU	ZQ1R[12]	A7R	A6R
L	A8L	A9L	CL	$\overline{\text{OEL}}$	VTTL	VCORE	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VCORE	VTTL	$\overline{\text{OER}}$	CR	A9R	A8R
M	A10L	A11L	VSS	DNU	VTTL	VCORE	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VCORE	VTTL	DNU	VSS	A11R	A10R
N	A12L	A13L	$\overline{\text{ADSL}}$	DNU	VDDIOL	VCORE	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VCORE	VTTL	DNU	$\overline{\text{ADSR}}$	A13R	A12R
P	A14L	A15L	CNT/$\overline{\text{MSKL}}$	DNU	VDDIOL	VDDIOL	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VDDIOR	VDDIOR	DNU	CNT/$\overline{\text{MSKR}}$	A15R	A14R
R	A16L	A17L	$\overline{\text{CNTENL}}$	$\overline{\text{BE0L}}$	VDDIOL	VDDIOL	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VDDIOR	VDDIOR	$\overline{\text{BE0R}}$	$\overline{\text{CNTENR}}$	A17R	A16R
T	A18L	A19L	$\overline{\text{CNTRSTL}}$	$\overline{\text{INTL}}$	VDDIOL	VDDIOL	VREFL	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VREFR	VDDIOR	VDDIOR	$\overline{\text{INTR}}$	$\overline{\text{CNTRSTR}}$	A19R	A18R
U	A20L	DNU	R/$\overline{\text{WL}}$	CQENL	VDDIOL	VDDIOL	VDDIOR	VDDIOR	VDDIOR	VCORE	VCORE	VCORE	VCORE	VDDIOL	VDDIOL	VDDIOL	VDDIOR	VDDIOR	CQENR	R/$\overline{\text{WR}}$	DNU	A20R
V	DNU	DNU	$\overline{\text{FTSELL}}$	VDDIOL	DNU	VDDIOR	VDDIOR	VDDIOR	VDDIOR	VTTL	VTTL	VTTL	VDDIOL	VDDIOL	VDDIOL	VDDIOL	VDDIOR	$\overline{\text{TRST}}$	VDDIOR	$\overline{\text{FTSELR}}$	DNU	DNU
W	DNU	DNU	VSS	$\overline{\text{MRST}}$	VSS	$\overline{\text{CQ0L}}$	CQ0L	DNU	PORTSTD1R	$\overline{\text{CNTINTR}}$	$\overline{\text{BUSYR}}$	ZQ0R[12]	PORTSTD0R	$\overline{\text{LOWSPDR}}$	VSS	CQ0R	$\overline{\text{CQ0R}}$	VSS	TDI	TDO	DNU	DNU
Y	DNU	DNU	VSS	VSS	DNU	DNU	DNU	DNU	DQ8L	DQ5L	DQ2L	DQ2R	DQ5R	DQ8R	DNU	DNU	DNU	DNU	TMS	TCK	DNU	DNU
AA	DNU	DNU	DNU	DNU	DNU	DNU	DNU	DNU	DQ7L	DQ4L	DQ1L	DQ1R	DQ4R	DQ7R	DNU	DNU	DNU	DNU	DNU	DNU	DNU	DNU
AB	DNU	DNU	DNU	DNU	DNU	DNU	DNU	DNU	DQ6L	DQ3L	DQ0L	DQ0R	DQ3R	DQ6R	DNU	DNU	DNU	DNU	DNU	DNU	DNU	DNU

注
11. このピン配置は、FullFlex18 ファミリの CYD36S18V18 デバイスにのみ使用されます。
12. VIM を無効にするためこのボールを未接続のままにします。

図 4. FullFlex36 SDR 256 ボール BGA (上面図)

	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16
A	DQ32L	DQ30L	DQ28L	DQ26L	DQ24L	DQ22L	DQ20L	DQ18L	DQ18R	DQ20R	DQ22R	DQ24R	DQ26R	DQ28R	DQ30R	DQ32R
B	DQ33L	DQ31L	DQ29L	DQ27L	DQ25L	DQ23L	DQ21L	DQ19L	DQ19R	DQ21R	DQ23R	DQ25R	DQ27R	DQ29R	DQ31R	DQ33R
C	DQ34L	DQ35L	$\overline{\text{RETL}}$	$\overline{\text{INTL}}$	CQ1L	$\overline{\text{CQ1L}}$	DNU	$\overline{\text{TRST}}$	$\overline{\text{MRST}}$	ZQ0R[13]	$\overline{\text{CQ1R}}$	CQ1R	$\overline{\text{INTR}}$	$\overline{\text{RETR}}$	DQ35R	DQ34R
D	A0L	A1L	$\overline{\text{WRPL}}$	VREFL	$\overline{\text{FTSELL}}$	$\overline{\text{LOWSPDL}}$	VSS	VTTL	VTTL	VSS	$\overline{\text{LOWSPDR}}$	$\overline{\text{FTSELR}}$	VREFR	$\overline{\text{WRPR}}$	A1R	A0R
E	A2L	A3L	$\overline{\text{CE0L}}$	CE1L	VDDIOL	VDDIOL	VDDIOL	VCORE	VCORE	VDDIOR	VDDIOR	VDDIOR	CE1R	$\overline{\text{CE0R}}$	A3R	A2R
F	A4L	A5L	$\overline{\text{CNTINTL}}$	$\overline{\text{BE3L}}$	VDDIOL	VSS	VSS	VSS	VSS	VSS	VSS	VDDIOR	$\overline{\text{BE3R}}$	$\overline{\text{CNTINTR}}$	A5R	A4R
G	A6L	A7L	$\overline{\text{BUSYL}}$	$\overline{\text{BE2L}}$	ZQ0L[13]	VSS	VSS	VSS	VSS	VSS	VSS	VDDIOR	$\overline{\text{BE2R}}$	$\overline{\text{BUSYR}}$	A7R	A6R
H	A8L	A9L	CL	VTTL	VCORE	VSS	VSS	VSS	VSS	VSS	VSS	VCORE	VTTL	CR	A9R	A8R
J	A10L	A11L	VSS	PORTSTD1L	VCORE	VSS	VSS	VSS	VSS	VSS	VSS	VCORE	PORTSTD1R	VSS	A11R	A10R
K	A12L	A13L	$\overline{\text{OEL}}$	$\overline{\text{BE1L}}$	VDDIOL	VSS	VSS	VSS	VSS	VSS	VSS	VDDIOR	$\overline{\text{BE1R}}$	$\overline{\text{OER}}$	A13R	A12R
L	A14L	A15L	$\overline{\text{ADSL}}$	$\overline{\text{BE0L}}$	VDDIOL	VSS	VSS	VSS	VSS	VSS	VSS	VDDIOR	$\overline{\text{BE0R}}$	$\overline{\text{ADSR}}$	A15R	A14R
M	A16L[16]	A17L[15]	R/$\overline{\text{WL}}$	CQENL	VDDIOL	VDDIOL	VDDIOL	VCORE	VCORE	VDDIOR	VDDIOR	VDDIOR	CQENR	R/$\overline{\text{WR}}$	A17R[15]	A16R[16]
N	A18L[14]	DNU	CNT/$\overline{\text{MSKL}}$	VREFL	PORTSTD0L	$\overline{\text{READYL}}$	DNU	VTTL	VTTL	DNU	$\overline{\text{READYR}}$	PORTSTD0R	VREFR	CNT/$\overline{\text{MSKR}}$	DNU	A18R[14]
P	DQ16L	DQ17L	$\overline{\text{CNTENL}}$	$\overline{\text{CNTRSTL}}$	CQ0L	$\overline{\text{CQ0L}}$	TCK	TMS	TDO	TDI	$\overline{\text{CQ0R}}$	CQ0R	$\overline{\text{CNTRSTR}}$	$\overline{\text{CNTENR}}$	DQ17R	DQ16R
R	DQ15L	DQ13L	DQ11L	DQ9L	DQ7L	DQ5L	DQ3L	DQ1L	DQ1R	DQ3R	DQ5R	DQ7R	DQ9R	DQ11R	DQ13R	DQ15R
T	DQ14L	DQ12L	DQ10L	DQ8L	DQ6L	DQ4L	DQ2L	DQ0L	DQ0R	DQ2R	DQ4R	DQ6R	DQ8R	DQ10R	DQ12R	DQ14R

注
13. VIM を無効にするためこのボールを未接続のままにします。
14. このボールを CYD09S36V18 および CYD02S36V18 では未接続のままにします。
15. このボールを CYD02S36V18 では未接続のままにします。
16. このボールを CYD02S36V18 では未接続のままにします。

図 5. FullFlex18 SDR 256 ボール BGA (上面図)

	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16
A	DNU	DNU	DNU	DQ17L	DQ16L	DQ13L	DQ12L	DQ9L	DQ9R	DQ12R	DQ13R	DQ16R	DQ17R	DNU	DNU	DNU
B	DNU	DNU	DNU	DNU	DQ15L	DQ14L	DQ11L	DQ10L	DQ10R	DQ11R	DQ14R	DQ15R	DNU	DNU	DNU	DNU
C	DNU	DNU	$\overline{\text{RETL}}$	$\overline{\text{INTL}}$	CQ1L	$\overline{\text{CQ1L}}$	DNU	$\overline{\text{TRST}}$	$\overline{\text{MRST}}$	ZQ0R[17]	$\overline{\text{CQ1R}}$	CQ1R	$\overline{\text{INTR}}$	$\overline{\text{RETR}}$	DNU	DNU
D	A0L	A1L	$\overline{\text{WRPL}}$	VREFL	$\overline{\text{FTSELL}}$	$\overline{\text{LOWSPDL}}$	VSS	VTTL	VTTL	VSS	$\overline{\text{LOWSPDR}}$	$\overline{\text{FTSELR}}$	VREFR	$\overline{\text{WRPR}}$	A1R	A0R
E	A2L	A3L	$\overline{\text{CE0L}}$	CE1L	VDDIOL	VDDIOL	VDDIOL	VCORE	VCORE	VDDIOR	VDDIOR	VDDIOR	CE1R	$\overline{\text{CE0R}}$	A3R	A2R
F	A4L	A5L	$\overline{\text{CNTINTL}}$	DNU	VDDIOL	VSS	VSS	VSS	VSS	VSS	VSS	VDDIOR	DNU	$\overline{\text{CNTINTR}}$	A5R	A4R
G	A6L	A7L	$\overline{\text{BUSYL}}$	DNU	ZQ0L[17]	VSS	VSS	VSS	VSS	VSS	VSS	VDDIOR	DNU	$\overline{\text{BUSYR}}$	A7R	A6R
H	A8L	A9L	CL	VTTL	VCORE	VSS	VSS	VSS	VSS	VSS	VSS	VCORE	VTTL	CR	A9R	A8R
J	A10L	A11L	VSS	PORTSTD1L	VCORE	VSS	VSS	VSS	VSS	VSS	VSS	VCORE	PORTSTD1R	VSS	A11R	A10R
K	A12L	A13L	$\overline{\text{OEL}}$	$\overline{\text{BE1L}}$	VDDIOL	VSS	VSS	VSS	VSS	VSS	VSS	VDDIOR	$\overline{\text{BE1R}}$	$\overline{\text{OER}}$	A13R	A12R
L	A14L	A15L	$\overline{\text{ADSL}}$	$\overline{\text{BE0L}}$	VDDIOL	VSS	VSS	VSS	VSS	VSS	VSS	VDDIOR	$\overline{\text{BE0R}}$	$\overline{\text{ADSR}}$	A15R	A14R
M	A16L	A17L	R/$\overline{\text{WL}}$	CQENL	VDDIOL	VDDIOL	VDDIOL	VCORE	VCORE	VDDIOR	VDDIOR	VDDIOR	CQENR	R/$\overline{\text{WR}}$	A17R	A16R
N	A18L[19]	A19L[18]	CNT/$\overline{\text{MSKL}}$	VREFL	PORTSTD0L	$\overline{\text{READYL}}$	DNU	VTTL	VTTL	DNU	$\overline{\text{READYR}}$	PORTSTD0R	VREFR	CNT/$\overline{\text{MSKR}}$	A19R[18]	A18R[19]
P	DNU	DNU	$\overline{\text{CNTENL}}$	$\overline{\text{CNTRSTL}}$	CQ0L	$\overline{\text{CQ0L}}$	TCK	TMS	TDO	TDI	$\overline{\text{CQ0R}}$	CQ0R	$\overline{\text{CNTRSTR}}$	$\overline{\text{CNTENR}}$	DNU	DNU
R	DNU	DNU	DNU	DNU	DQ6L	DQ5L	DQ2L	DQ1L	DQ1R	DQ2R	DQ5R	DQ6R	DNU	DNU	DNU	DNU
T	DNU	DNU	DNU	DQ8L	DQ7L	DQ4L	DQ3L	DQ0L	DQ0R	DQ3R	DQ4R	DQ7R	DQ8R	DNU	DNU	DNU

注
17. VIM を無効にするためこのボールを未接続のままにします。
18. このボールを CYD09S18V18 では未接続のままにします。
19. このボールを CYD04S18V18 では未接続のままにします。

選択ガイド

パラメーター	-200	-167	単位
f_{MAX}[21]	200	167	MHz
最大アクセス時間 (クロックからデータまで)	3.3	4.0	ns
標準動作電流 I_{CC}	800[20]	700[20]	mA
標準スタンバイ電流 I_{SB3} (両ポートが CMOS レベル)	210[20]	210[20]	mA

ピンの機能

左ポート	右ポート	説明
$A[20:0]_L$	$A[20:0]_R$	**アドレス入力** [22]
$DQ[71:0]_L$	$DQ[71:0]_R$	**データ バス入力と出力** [23]
$\overline{BE}[7:0]_L$	$\overline{BE}[7:0]_R$	**バイト選択入力** [24]。これらの信号をアサートすると、メモリ アレイの対応するバイトへの書き込み／読み出し動作が有効になる
$\overline{BUSY}_L$	$\overline{BUSY}_R$	**ポート ビジー出力**。アドレスが一致し、両チップ イネーブルが両ポート用に有効になっている時、外部 BUSY 信号は衝突が発生してから 5 クロック サイクル目にアサートされる
C_L	C_R	**クロック信号**。最大クロック入力レートは f_{MAX}
$\overline{CE0}_L$	$\overline{CE0}_R$	**アクティブ LOW のチップ イネーブル入力**
$CE1_L$	$CE1_R$	**アクティブ HIGH のチップ イネーブル入力**
$CQEN_L$	$CQEN_R$	**エコー クロック イネーブル入力**: 対応するポートでエコー クロッキングを有効にするために HIGH にアサート
$CQ0_L$	$CQ0_R$	**FullFlex72 デバイスにおける DQ[35:0] のエコー クロック信号出力**。FullFlex36 デバイスにおける DQ[17:0] のエコー クロック信号出力。FullFlex18 デバイスにおける DQ[8:0] のエコー クロック信号出力
$\overline{CQ0}_L$	$\overline{CQ0}_R$	**FullFlex72 デバイスにおける DQ[35:0] の反転エコー クロック信号出力**。FullFlex36 デバイスにおける DQ[17:0] の反転エコー クロック信号出力。FullFlex18 デバイスにおける DQ[8:0] の反転エコー クロック信号出力
$CQ1_L$	$CQ1_R$	**FullFlex72 デバイスにおける DQ[71:36] のエコー クロック信号出**。FullFlex36 デバイスにおける DQ[35:18]のエコー クロック信号出力。FullFlex18デバイスにおけるDQ[17:9]のエコー クロック信号出力
$\overline{CQ1}_L$	$\overline{CQ1}_R$	**FullFlex72 デバイスにおける DQ[71:36] の反転エコー クロック信号出力**。FullFlex36 デバイスにおける DQ[35:18] の反転エコー クロック信号出力。FullFlex18 デバイスにおける DQ[17:9] の反転エコー クロック信号出力
$ZQ[1:0]_L$	$ZQ[1:0]_R$	**VIM 出力インピーダンス整合入力** [25]。使用するために、ZQ とグランド間を校正抵抗で接続。抵抗値は、デュアル ポートの駆動対象となるライン インピーダンスより 5 倍大きいことが必要。VIM を無効にするために、HIGH にアサートする、または DNU のままにする
$\overline{OE}_L$	$\overline{OE}_R$	**出力イネーブル入力**。この非同期信号は、読み出し動作中に DQ データ ピンを有効にするために LOW にアサートすることが必要
$\overline{INT}_L$	$\overline{INT}_R$	**メールボックス割り込みフラグ出力**。メールボックスはポート間の通信を可能にする。2 つの上位メモリ位置はメッセージの受け渡しに使用。INT_L は、右ポートが左ポートのメールボックス位置に書き込む時、またその逆の時に LOW にアサートされる。ポートへの割り込みは、ポートがそれ自体のメールボックスの内容を読み出す時に HIGH にデアサートされる

注
20. 18M ビット x72 商業用コンフィギュレーションのみ。詳細情報は 19 ページの電気的特性を参照してください。
21. 2 パイプライン段階の SDR モード。
22. CYD36S18V18 デバイスには 21 個のアドレス ビットがあります。CYD36S36V18 および CYD18S18V18 デバイスには 20 個のアドレス ビットがあります。CYD36S72V18、CYD18S36V18、および CYD09S18V18 デバイスには 19 個のアドレス ビットがあります。CYD18S72V18 および CYD09S36V18 デバイスには 18 個のアドレス ビットがあります。CYD09S72V18 デバイスには 17 個のアドレス ビットがあります。CYD02S36V18 デバイスには 16 個のアドレス ビットがあります。
23. FullFlex72 デバイス ファミリには 72 本のデータ ラインがあります。FullFlex36 デバイス ファミリには 36 本のデータ ラインがあります。FullFlex18 デバイス ファミリには 18 本のデータ ラインがあります。
24. FullFlex72 デバイス ファミリには 8 本のバイト イネーブルがあります。FullFlex36 デバイス ファミリには 4 本のバイト イネーブルがあります。FullFlex18 デバイス ファミリには 2 個のバイト イネーブルがあります。
25. ZQ[1] ピンは 36M ビット デバイスにのみ適用されます。このピンは 18M ビットおよびそれ以下の容量のデバイスでは DNU です。

ピンの機能 (続き)

左ポート	右ポート	説明
$\overline{LowSPD}_L$	$\overline{LowSPD}_R$	**ポート低速選択入力**。DLL を無効にするために、このピンを LOW にアサート。フロースルー モードでは、このピンを LOW にアサートすることが必要
$PORTSTD[1:0]_L$ [26]	$PORTSTD[1:0]_R$ [26]	**ポート クロック／アドレス／制御／データ／エコー クロック／ I/O 標準選択入力**。これらのピンを、LVTTL では LOW ／ LOW、HSTL では LOW ／ HIGH、2.5V LVCMOS では HIGH ／ LOW、1.8V LVCMOS では HIGH ／ HIGH にアサート。これらのピンは VTTL リファレンス レベルで駆動
$R/\overline{W}_L$	$R/\overline{W}_R$	**読み出し／書き込みイネーブル入力**。このピンを、デュアル ポート メモリ アレイに書き込むためには LOW に、デュアル ポート メモリ アレイから読み出すためには HIGH にアサート
$\overline{READY}_L$	$\overline{READY}_R$	**ポート DLL レディー出力**。この信号は、DLL および可変インピーダンス整合回路が校正を完了すると LOW にアサートされる。これはワイヤード OR 接続が可能な出力
$CNT/\overline{MSK}_L$	$CNT/\overline{MSK}_R$	**ポート カウンター／マスク選択入力**。カウンター制御入力
$\overline{ADS}_L$	$\overline{ADS}_R$	**ポート カウンター アドレス ロード ストローブ入力**。カウンター制御入力
$\overline{CNTEN}_L$	$\overline{CNTEN}_R$	**ポート カウンター イネーブル入力**。カウンター制御入力
$\overline{CNTRST}_L$	$\overline{CNTRST}_R$	**ポート カウンター リセット入力**。カウンター制御入力
$\overline{CNTINT}_L$	$\overline{CNTINT}_R$	**ポート カウンター割り込み出力**。このピンは、カウンターの非マスク部分の全ビットが「1」インクリメントされる 1 クロック前に LOW にアサートされる
$\overline{WRP}_L$	$\overline{WRP}_R$	**ポート カウンター ラップ入力**。バースト カウンターが最大カウントに達した後、$\overline{WRP}$ は次のカウンター インクリメントでカウンターのマスクされないビットを 0 にロードするために LOW にセットされる。このピンは、ミラー レジスタに格納された値をカウンターにロードするために HIGH にセットされる
$\overline{RET}_L$	$\overline{RET}_R$	**ポート カウンター再送信入力**。繰り返しアクセスの初期アドレスを同じメモリ セグメントにリロードするためにこのピンを LOW にアサート
$VREF_L$	$VREF_R$	**ポート外部 HSTL IO リファレンス入力**。HSTL を使用しない場合、このピンを DNU のままにする
$VDDIO_L$	$VDDIO_R$	**ポート データ IO 電源**
$\overline{FTSEL}_L$	$\overline{FTSEL}_R$	**ポート フロースルー モード選択入力**。フロースルー モードを選択するために、このピンを LOW にアサート。パイプライン モードを選択するために、このピンを HIGH にアサート
$\overline{MRST}$		**マスター リセット入力**。$\overline{MRST}$ は非同期入力信号であり、両ポートに影響を与える。$\overline{MRST}$ を LOW にアサートすると、すべてのリセット機能が本書で説明する通りに実行される。電源投入時に $\overline{MRST}$ 動作が必要。このピンは $VDDIO_L$ リファレンス信号で駆動される
TMS		**JTAG テスト モード選択入力**。JTAG TAP ステート マシンの遷移を制御。ステート マシンの遷移は TCK の立ち上がりエッジで発生。LVTTL または 2.5V LVCMOS で動作
TDI		**JTAG テスト データ入力**。TDI 入力上のデータは選択されたレジスタに順次シフト インされる。LVTTL または 2.5V LVCMOS で動作
$\overline{TRST}$		**JTAG リセット入力**。LVTTL または 2.5V LVCMOS で動作
TCK		**JTAG テスト クロック入力**。LVTTL または 2.5V LVCMOS で動作
TDO		**JTAG テスト データ出力**。TDO の遷移は TCK の立ち下がりエッジで発生。取り込まれたデータが JTAG TAP からシフト アウトされる時を除き、TDO は通常トライステートにされている。LVTTL または 2.5V LVCMOS で動作
VSS		**グランド入力**
VCORE		**デバイス コア電源**
VTTL		**LVTTL 電源**

注
26. $PORTSTD[1:0]_L$ および $PORTSTD[1:0]_R$ は内部プルダウン抵抗に接続しています。

選択可能な IO 規格

FullFlex デバイス ファミリでは、4 種のポート規格から 1 種をデバイスに選択することが可能です。各々ポートは個別に、シングルエンド HSTL クラス I、シングルエンド LVTTL、2.5V LVCMOS、または 1.8V LVCMOS から 1 つを選択します。規格の選択は、各ポートの PORTSTD ピンで決定されます。これらのピンは LVTTL 電源に接続する必要があります。これは表 1 に示すように、各ポートの入力クロック、アドレス、制御、データおよびエコー クロックの規格を決定します。

表 1. ポート標準の選択

PORTSTD1	PORTSTD0	I/O 標準
VSS	VSS	LVTTL
VSS	VTTL	HSTL
VTTL	VSS	2.5V LVCMOS
VTTL	VTTL	1.8V LVCMOS

クロッキング

個別のクロックは各ポートでの動作を同期させます。各ポートにはクロック入力 C があります。このモードでは、すべてのアドレス、制御およびデータ入出力のトランザクションは C の立ち上がりエッジで行われます。すべてのアドレス、制御、データ入出力およびバイト イネーブルのトランザクションはCの立ち上がりエッジで行われます。

表 2. データ ピンの割り当て

$\overline{BE}$ ピン名	データ ピン名
$\overline{BE}$[7]	DQ[71:63]
$\overline{BE}$[6]	DQ[62:54]
$\overline{BE}$[5]	DQ[53:45]
$\overline{BE}$[4]	DQ[44:36]
$\overline{BE}$[3]	DQ[35:27]
$\overline{BE}$[2]	DQ[26:18]
$\overline{BE}$[1]	DQ[17:9]
$\overline{BE}$[0]	DQ[8:0]

選択可能なパイプラインまたはフロースルー モード

FullFlex ファミリでは、データ レートおよびスループットの要件を満たすためにパイプラインまたはフロースルー モードの選択が可能です。フロースルー モードでは、エコー クロックは対応されず、DLL は無効でなければなりません。

フロースルー モードは FTSEL ピンにより選択します。このピンを HIGH にストラップすると、パイプライン モードが選択されます。このピンを LOW にストラップすると、フロースルー モードが選択されます。

DLL

FullFlex ファミリのデバイスには DLL を内蔵しています。DLL を有効にすると、クロックからデータ有効までの時間 (t_{CD}) が短縮し、受信デバイスのセットアップ時間が延長されます。フロースルー モードでは、DLL は無効である必要があります。これは、$\overline{LowSPD}$ を LOW にストラップすることで選択されます。

動作周波数がクロック入力のサイクル ツー サイクル ジッタの仕様から外れた場合、DLL をリセットし、その後 1024 クロックが経過してから有効な動作を行ってください。

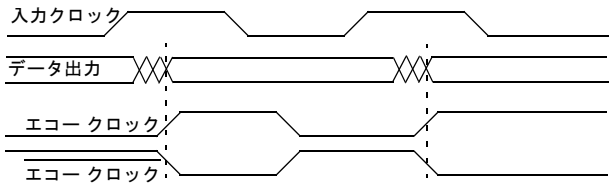
$\overline{LowSPD}$ ピンは、他の回路から独立した単一のポートの DLL をリセットするために使用されます。MRST は、チップ内のすべての DLL をリセットするために使用されます。DLL ロックおよびリセット時間の詳細は、18 ページのマスター リセットを参照してください。

エコー クロッキング

データ速度が増加すると、寄生容量により生じた基板上の遅延は正確なクロック ツリーを提供することが困難になります。FullFlex ファミリはこの問題に対処するために、エコー クロックを組み込んでいます。エコー クロックは各々のポートで対応されています。デュアル ポートは、読み出し動作のアドレスと制御信号をクロック入力するために使用する入力クロックを受信します。デュアル ポートは、データ出力に対応する入力クロックを再送信します。バッファリングされたクロックは CQ1/$\overline{CQ1}$ と CQ0/$\overline{CQ0}$ 出力に提供されます。各ポートには 1 対のエコー クロックがあります。各クロックはデータ ビットの半数に対応します。出力クロックは対応するポート IO のコンフィギュレーションに一致します。

エコー クロック出力を有効にするには、CQEN を HIGH にします。エコー クロック出力を無効にするには、CQEN を LOW にします。

図 6. SDR エコー クロック遅延



決定的アクセス制御

決定的アクセス制御は設計を簡素化するために提供されています。回路は両ポートが同じ位置にアクセスする時点を検出し、データが破損されたポートに外部の BUSY フラグを提供します。衝突検出ロジックは衝突のあるアドレス (ビジー アドレス) を読み出し可能なレジスタに保存します。複数の衝突が発生した場合、最初のビジー アドレスはビジー アドレス レジスタに書き込まれます。

両ポートが同時に同じ位置にアクセスしたが、1 つのポートだけが書き込み中である場合、t_{CCS} の要件が満たされると、そのアドレスへの読み書きデータは有効なデータとなります。例えば、右ポートが読み出し中であり、左ポートが書き込み中で t_{CCS} の要件を満たした場合、右ポートがそのアドレスから読み出したデータは古いデータとなります。また、右ポートが t_{CCS} の要件を満たした場合、右ポートがそのアドレスから読み出したデータは新しいデータとなります。この場合、ポートのクロックが一方のポートに対して t_{CCS} の要件に違反し、右ポートが外部 BUSY フラグを受信すると、右ポートからのデータは破損されます。12 ページの表 3 は、データを保証するために満たす必要がある t_{CCS} タイミングを示します。

12 ページの表 4 に示すように、左ポートが書き込み中で、右ポートが読み出し中である場合、右ポートで外部 BUSY フラグがアサートされると、デバイスから読み出されたデータは保証されません。

ビジー アドレス レジスタ内の値はアドレス ラインにリードバックされます。この機能に必要な入力制御信号は 14 ページの表 7 に示されます。ビジー アドレス レジスタ内の値は、データ読み出し動作に相当するレイテンシが経過してから t_{CA} の時間後にアドレス ラインにリードバックされます。最初のアドレス一致の後、BUSY フラグはアサートされ、衝突のあるアドレ

スはビジー アドレス レジスタに保存されます。それ以降のすべてのアドレス一致は BUSY フラグを生成することが可能です。しかし、どのアドレスもビジー アドレス レジスタに保存されません。ビジー リードバックが行われる場合、ビジー リードバックの少なくとも 2 クロック サイクル後に最初に発生したアドレス一致のアドレスはビジー アドレス レジスタに保存されます。

表 3. すべての動作モードの t_{CCS} タイミング

ポート A — アーリー アライビング ポート		ポート B — レイト アライビング ポート		t_{CCS} C 立ち上がりから逆 C 立ち上がりまでの非破損データのセットアップ時間	単位
モード	アクティブなエッジ	モード	アクティブなエッジ		
SDR	C	SDR	C	$t_{CYC(min)} - 0.5$	ns

表 4. 決定性のアクセス制御ロジック

左ポート	右ポート	左クロック	右クロック	$\overline{BUSY_L}$	$\overline{BUSY_R}$	説明
読み出し	読み出し	X	X	H	H	衝突なし
書き込み	読み出し	> t_{CCS}	0	H	H	古いデータを読み出す
		0	> t_{CCS}	H	H	新しいデータを読み出す
		< t_{CCS}	0	H	H	古いデータを読み出す
				H	L	データが保証されない
		0	< t_{CCS}	H	H	新しいデータを読み出す
				H	L	データが保証されない
読み出し	書き込み	> t_{CCS}	0	H	H	新しいデータを読み出す
		0	> t_{CCS}	H	H	古いデータを読み出す
		< t_{CCS}	0	H	H	新しいデータを読み出す
				L	H	データが保証されない
		0	< t_{CCS}	H	H	古いデータを読み出す
				L	H	データが保証されない
書き込み	書き込み	0	> $-t_{CCS}$ & < t_{CCS}	L	L	アレイ データが破損される
		0	> t_{CCS}	L	H	アレイが右ポートのデータを格納
		> t_{CCS}	0	H	L	アレイが左ポートのデータを格納

可変インピーダンス整合

各ポートには、IO ドライバーのインピーダンスを基板配線のインピーダンスに一致させるように設定するための可変インピーダンス整合回路が備えられています。インピーダンスは JTAG を除くすべての出力用にポートにより設定されます。VIM 機能を利用するには、駆動対象となるラインのインピーダンスより 5 倍大きいである校正抵抗 (RQ) で $ZQ_{[1:0]}$[27] ピンと V_{SS} の間を接続します。その後 1024 クロック サイクルごとに、出力インピーダンスは電源電圧のドリフトおよび温度に応じて調整されます。ポートのクロックが停止された場合、VIM 回路はクロックが再起動されるまで一番最近の設定を維持します。再起動時に、定期的な調整が再開されます。デバイス温度や電源電圧が大きく変化した場合、再校正は 1024 クロック サイクルごとに行われます。マスター リセットは VIM 回路を初期化します。表 5 は VIM のパラメーターを示し、表 6 は VIM の動作モードを説明します。

VIM を無効にするために、マスター リセット前に ZQ ピンを IO 関連の電源 VDDIO に接続します。

表 5. 可変インピーダンス整合パラメーター

パラメーター	Min	Max	単位	許容範囲
RQ 値	100	275	Ω	±2%
出力インピーダンス	20	55	Ω	±15%
リセット時間	–	1024	サイクル	–
更新時間	–	1024	サイクル	–

表 6. 可変インピーダンス整合動作

RQ の接続	出力コンフィギュレーション
100Ω ～ 275Ω 抵抗が V_{SS} に接続	出力ドライバー インピーダンス = RQ/5 ± 15% (Vout = VDDIO/2 の時)
ZQ が VDDIO に接続	VIM が無効。Rout ≤ 20Ω (Vout = VDDIO/2 の時)

注
27. ZQ[1] ピンは 36M ビット デバイスにのみ適用されます。このピンは 18M ビットおよびそれ以下の容量のデバイスでは DNU です。

アドレス カウンターおよびマスク レジスタの動作 [28]

FullFlex ファミリの各ポートはプログラム可能なバースト アドレス カウンターを備えています。バースト カウンターはカウンター レジスタ、マスク レジスタ、ミラー レジスタ、ビジー アドレス レジスタの 4 つのレジスタを含んでいます。

カウンター レジスタは RAM アレイにアクセスするためのアドレスを格納します。これはマスター リセット (MRST)、カウンター リセット、カウンター ロード、再送信およびカウンター インクリメント動作でのみ変更されます。

マスク レジスタの値は、カウンター レジスタにある対応するビットが変化しないようにすることでカウンター インクリメントおよびカウンター リセット動作に影響を与えます。これはまた、カウンター割り込み出力 (CNTINT) にも影響します。マスク レジスタはマスク リセット、マスク ロードおよび MRST でのみ変更されます。マスク ロード動作はアドレス バスの値をマスク レジスタにロードします。マスク レジスタはカウンター レジスタのカウント範囲を定義します。マスク レジスタは 2 ～ 3 つの連続領域に分けられています。1 つ以上の 0 値はカウンター レジスタのマスクされた領域を定義し、1 つ以上の 1 値はマスクされない領域を定義します。カウンター レジスタは 3 つまでの領域に分けられます。最下位ビットを含む領域の 0 値は 2 つを超えてはいけません。ビット 1 が 1、ビット 0 が 0 である場合、カウンターの最下位ビットがマスクされ、カウンターは 1 の代わりに 2 インクリメントさせます。ビット 1 が 0、ビット 0 が 0 である場合、2 つの最下位ビットがマスクされ、カウンターは 1 の代わりに 4 インクリメントします。例えば、256K × 72 のコンフィギュレーションの場合、003FC 値のマスク レジスタは 3 つの領域に分けられています。ビット 0 が最下位ビット、ビット 17 が最上位ビットであるため、最下位 2 ビットはマスクされ、次の 8 ビットはマスクされず、残りのビットがマスクされます。

ミラー レジスタは再送信動作 (15 ページの再送信を参照) およびラップ機能 (15 ページのカウンター割り込みを参照) が実行される時にカウンター レジスタをリロードします。カウンター レジスタに最後にロードされた値はミラー レジスタに保存されます。ミラー レジスタはマスタ リセット (MRST)、カウンター リセットおよびカウンター ロードでのみ変更されます。

14 ページの表 7 は、これらのレジスタの動作および必要な入力制御信号をまとめています。MRST を除くすべての信号はポート クロックと同期されます。

カウンター ロード動作 [28]

非バーストおよびバースト両方の読み書きアクセスでは、外部アドレスは 14 ページの表 7 に示すようにカウンター ロード動作によりロードされます。アドレス カウンターおよびミラー レジスタは、アドレス ライン上のアドレス値でロードされます。この値は 0 ～ 1FFFFF の範囲内です。

マスク ロード動作 [28]

マスク レジスタは、アドレス バス上のアドレス値でロードされます。この値は 0 ～ 1FFFFF の範囲内ですが、すべての値は正しいインクリメント動作となるわけではありません。有効な値は 2^n–1、2^n–2、または 2^n–4 の形式です。カウンター レジスタは最大 3 つの領域に分けられています。最上位ビットから最下位ビットまで、有効な値は 1 つ以上の 0 値、1 つ以上の 1 ビットを持ち、最下位 2 ビットは 11、10 または 00 です。したがって 1FFFFE、07FFFF および 003FFC は有効な値ですが、02FFFF、003FFA および 07FFE4 は有効な値ではありません。

カウンター リードバック動作

カウンター レジスタの内部値はアドレス ラインで読み出されます。アドレスは、FTSEL で設定されたレイテンシ サイクル数が経過してから t_{CA} の時間後に有効になります。データ バス (DQ) は、アドレスがアドレス ラインに出力されるサイクルでトライステートになります。16 ページの図 7 はこのロジックのブロック図を示します。

マスク リードバック動作

マスク レジスタの内部値はアドレス ラインで読み出されます。アドレスは、FTSEL で設定されたレイテンシ サイクル数が経過してから t_{CA} の時間後に有効になります。データ バス (DQ) は、アドレスがアドレス ラインに出力されるサイクルでトライステートになります。16 ページの図 7 はこの動作のブロック図を示します。

カウンター リセット動作

カウンターとミラー レジスタのマスクされないビットはすべて「0」にリセットされます。すべてのマスクされたビットは変更されません。マスク リセット後にカウンター リセットを行うと、カウンターとミラー レジスタは 00000 にリセットされます。

マスク リセット動作

マスク レジスタの全ビットは 1 にリセットされ、バースト カウンターの全ビットは非マスク状態にされます。

注

28. CYD36S18V18 デバイスには 21 個のアドレス ビットがあります。CYD36S36V18 および CYD18S18V18 デバイスには 20 個のアドレス ビットがあります。CYD36S72V18、CYD18S36V18、および CYD09S18V18 デバイスには 19 個のアドレス ビットがあります。CYD18S72V18 および CYD09S36V18 デバイスには 18 個のアドレス ビットがあります。CYD09S72V18 デバイスには 17 個のアドレス ビットがあります。CYD02S36V18 デバイスには 16 個のアドレス ビットがあります。

表 7. バースト カウンターおよびマスク レジスタ制御動作

以下はすべてのポートのバースト カウンターおよびマスク レジスタ制御動作です。[29、30]

C	$\overline{MRST}$	$\overline{CNTRST}$	CNT/$\overline{MSK}$	$\overline{CNTEN}$	$\overline{ADS}$	$\overline{RET}$	動作	説明
X	L	X	X	X	X	X	マスター リセット	アドレス カウンターの全ビットを 0 に、マスク レジスタの全ビットを 1 に、ビジー アドレスの全ビットを 0 にリセット
⎍	H	L	H	X	X	X	カウンター リセット	カウンターおよびミラーのマスクされない部分の全ビットを 0 にリセット
⎍	H	L	L	X	X	X	マスク リセット	マスク レジスタの全ビットを1にリセット
⎍	H	H	H	L	L	X	バースト用カウンター ロード／非バースト用外部アドレス ロード	アドレス ライン上にある外部アドレス値をバースト カウンターおよびミラーにロード
⎍	H	H	L	L	L	X	マスク ロード	アドレス ライン上にある値をマスク レジスタにロード
⎍	H	H	H	L	H	L	再送信	ミラー レジスタ内の値をカウンターにロード
⎍	H	H	H	L	H	H	カウンター インクリメント	内部的にアドレス カウンター値をインクリメント
⎍	H	H	H	H	H	H	カウンター保持	複数のクロック サイクルの間アドレス値を絶えずに保持
⎍	H	H	H	H	L	H	カウンター リードバック	アドレス ライン上のカウンター内部値を読み出す
⎍	H	H	L	H	L	H	マスク リードバック	アドレス ライン上のマスク レジスタ値を読み出す
⎍	H	H	L	H	H	L	ビジー アドレス リードバック	一番最近のビジー アドレスのリードバック後の最初のビジー アドレスを読み出す
⎍	H	H	L	L	H	X	予約済み	
⎍	H	H	L	H	L	L	予約済み	
⎍	H	H	L	H	H	H	予約済み	
⎍	H	H	H	H	L	L	予約済み	
⎍	H	H	H	H	H	L	予約済み	

注
29.「X」= ドント ケア、「H」= HIGH、「L」= LOW。
30. カウンターの動作およびマスク レジスタの動作はチップ イネーブルとは関係ありません。

インクリメント動作 [31]

初期に外部アドレスがアドレス カウンターにロードされた後、カウンターは内部的にアドレス値をインクリメントし、メモリ アレイ全体をアドレス指定することができます。カウンター レジスタの非マスク ビットのみはインクリメントされます。カウンター ビットを変更するには、マスク レジスタにある対応するビットは 1 である必要があります。マスク レジスタの最下位 2 ビットが 11 である場合、バースト カウンターは 1 インクリメントします。最下位 2 ビットが 10 である場合、バースト カウンターは 2 インクリメントします。00 である場合、バースト カウンターは 4 インクリメントします。カウンターのすべての非マスク ビットが 1 にインクリメントされ、WRP がデアサートされた場合、次のインクリメントではカウンターは初期にロードされた値に戻ります。カウンターのすべての非マスク ビットを 1 にするインクリメントの前のサイクルでは、カウンターがもう一度インクリメントされると、カウンター割り込みフラグ (CNTINT) がアサートされます。このインクリメントでは、カウンターは最大値に到達します。次のインクリメントでは、WRP がデアサートされた場合、カウンター レジスタはミラー レジスタに保存された初期値に戻ります。WRP がアサートされた場合、カウンターのマスクされない部分の全ビットは 0 になります。17 ページの図 8 の例は、00007F のマスク値がマスク レジスタにロードされ、最下位 7 ビットを非マスク状態にする CYDD36S18V18 デバイスを示します。この値にマスク レジスタを設定すると、カウンターはメモリ空間全体にアクセスすることができます。その後、WRP がデアサートされれば、アドレス カウンターは初期値 000005 でロードされます。インクリメント動作では、7 番目のアドレスから 21 番目のアドレスまでのマスクされたビットはインクリメントされません。カウンター アドレスはアドレス 000005 から始まり、マスク レジスタ値 00007F に達するまでその内部アドレスをインクリメントします。次のカウントでは、カウンターはメモリ ブロックの位置 000005 に戻ります。カウンターが最大 – 1 カウントに達すると、CNTINT が発行されます。

保持動作

3 つのレジスタのすべての値は、制限のないクロック サイクル数にわたり不変のまま保持されます。この動作は、ウェイト ステートが必要となる、または共有バス インターフェースでアドレスがデータの数サイクル前に使用可能になるアプリケーションに役立ちます。

再送信

再送信機能により、初期アドレスをリロードする必要なく同じメモリ ブロックへの繰り返しアクセスが可能です。内部のミラー レジスタは一番最近にロードされたアドレス カウンター値を保存します。RET が LOW にアサートされている間、WRP の状態にかかわらず、カウンターはカウントし続けてミラー レジスタに保存された値にラップバックします。

カウンター割り込み

カウンター割り込み (CNTINT) は、カウンター レジスタの非マスクの部分を全 1 にするインクリメント動作の 1 クロック サイクル前にアサートされます。これはカウンター リセット、カウンター ロード、カウンター インクリメント、マスク リセット、マスク ロードおよび MRST でデアサートされます。

2 カウント

マスク レジスタの最下位 2 ビットが 10 である場合、カウンターは 2 インクリメントします。

4 カウント

マスク レジスタの最下位 2 ビットが 00 である場合、カウンターは 4 インクリメントします。

メールボックス割り込み

2 つの上部メモリ位置をメッセージ受け渡しに使用し、ポート間の通信を可能にします。17 ページの表 8 は両ポートの割り込み動作を示します。最上部のメモリ位置は右ポートのメールボックスで、最大アドレス – 1 は左ポートのメールボックスです。

ポートが一方のポートのメールボックスに書き込む場合、2 番目のポートの INT フラグが LOW にアサートされます。INT フラグは、メールボックス位置が一方のポートによって読み出されるまでアサートされたままです。ポートがその自体のメールボックスを読み出す場合、INT フラグは OE の状態にかかわらず、そのポートの入力クロックに対して 1 サイクルのレイテンシ後に HIGH にデアサートされます。

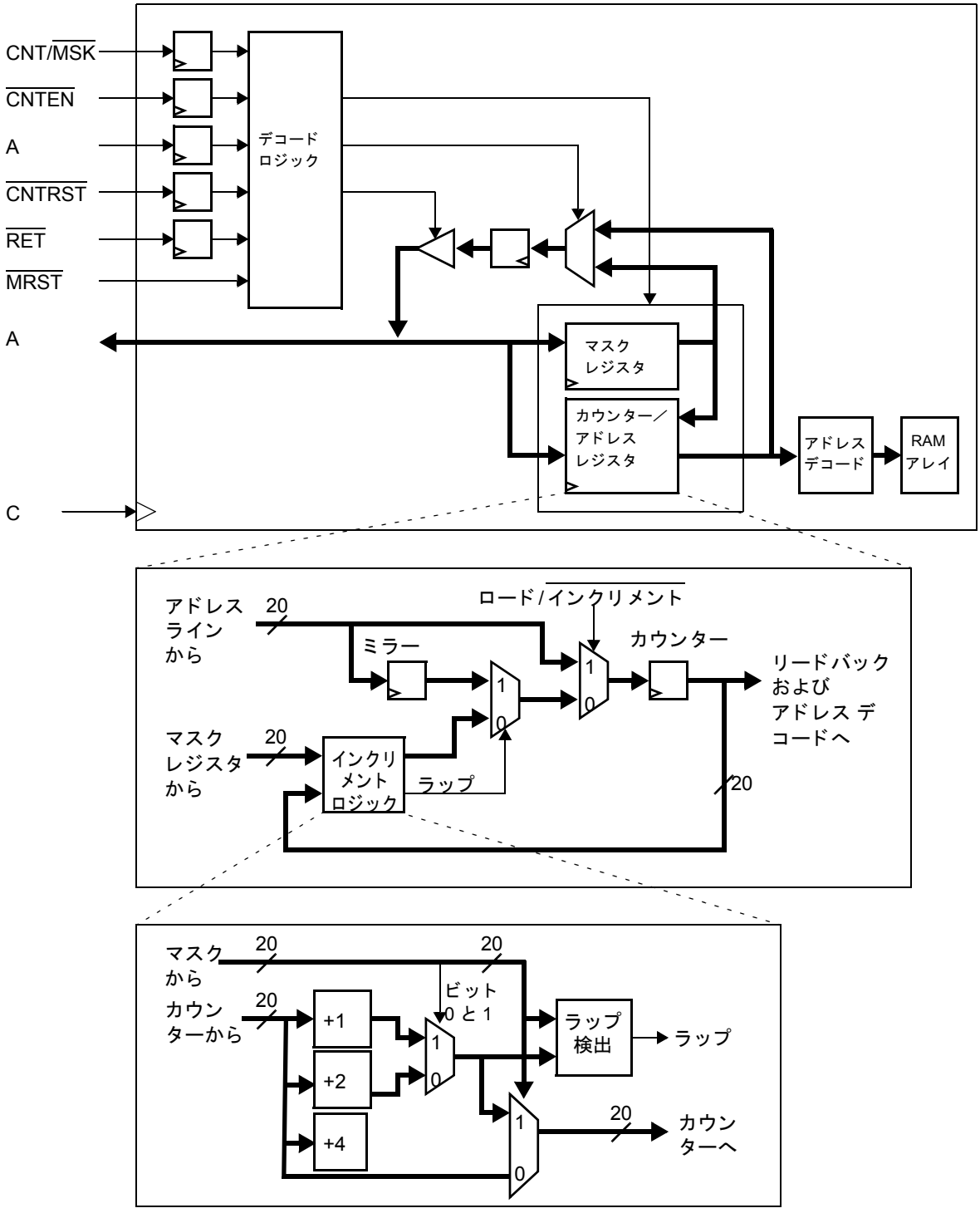
17 ページの表 8 に示すように、$\overline{INT}_R$ フラグをセットするために、左ポートのアドレス 1FFFFF への書き込み動作は $\overline{INT}_R$ を LOW にアサートします。右ポートの 1FFFFF 位置への有効な読み出しは、右ポートのクロックに対して 1 クロックのレイテンシ後に $\overline{INT}_R$ を HIGH にリセットします。メールボックス割り込みをセット／リセットするには、少なくとも 1 バイト イネーブルをアクティブにする必要があります。

注

31. CYD36S18V18 デバイスには 21 個のアドレス ビットがあります。CYD36S36V18 および CYD18S18V18 デバイスには 20 個のアドレス ビットがあります。CYD36S72V18、CYD18S36V18、および CYD09S18V18 デバイスには 19 個のアドレス ビットがあります。CYD18S72V18 および CYD09S36V18 デバイスには 18 個のアドレス ビットがあります。CYD09S72V18 デバイスには 17 個のアドレス ビットがあります。CYD02S36V18 デバイスには 16 個のアドレス ビットがあります。

図 7. カウンター、マスクおよびミラー論理ブロック図

図 7 はカウンター、マスクおよびミラー論理ブロック図を示します。[32]



注

32. CYD36S18V18 デバイスには 21 個のアドレス ビットがあります。CYD36S36V18 および CYD18S18V18 デバイスには 20 個のアドレス ビットがあります。CYD36S72V18、CYD18S36V18、および CYD09S18V18 デバイスには 19 個のアドレス ビットがあります。CYD18S72V18 および CYD09S36V18 デバイスには 18 個のアドレス ビットがあります。CYD09S72V18 デバイスには 17 個のアドレス ビットがあります。CYD02S36V18 デバイスには 16 個のアドレス ビットがあります。

図 8. プログラマブル カウンター マスク レジスタ動作、$\overline{WRP}$ がアサート停止

図 8 は WRP がアサート停止されている状態でのプログラマブル カウンター マスク レジスタの動作を示します。[36、38]

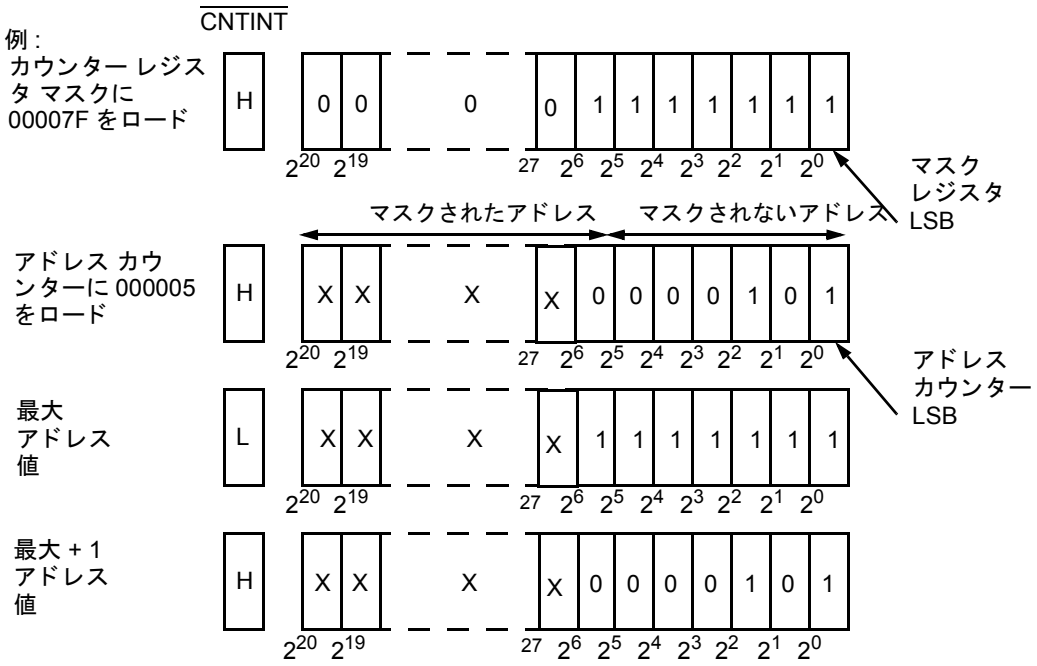


表 8. 割り込み動作例

表 8 は割り込み動作例を示します。[33、34、35、37、38]

機能	左ポート				右ポート			
	$R/\overline{W}_L$	$\overline{CE}_L$	$A_{0L} \sim 20L$	$\overline{INT}_L$	$R/\overline{W}_R$	$\overline{CE}_R$	$A_{0R} \sim 20R$	$\overline{INT}_R$
右 $\overline{INT}_R$ フラグをセット	L	L	最大アドレス	X	X	X	X	L
右 $\overline{INT}_R$ フラグをリセット	X	X	X	X	H	L	最大アドレス	H
左 $\overline{INT}_L$ フラグをセット	X	X	X	L	L	L	最大アドレス – 1	X
左 $\overline{INT}_L$ フラグをリセット	H	L	最大アドレス – 1	H	X	X	X	X

注
33. $\overline{CE}$ は内部信号です。$\overline{CE}_0$ = LOW 且つ CE_1 = HIGH の時、$\overline{CE}$ = LOW。シングル読み出し動作では、$\overline{CE}$ は C の立ち上がりエッジで 1 回のみアサートされてからデアサートされます。データは次の C エッジ後に出力され、その後の C エッジ後にトライステートになります。
34. $\overline{OE}$ はメールボックス動作では「ドント ケア」です。
35. BE0、BE1、BE2、BE3、BE4、BE5、BE6、BE7 の中の少なくとも 1 本の信号は LOW である必要があります。
36. この図の「X」はカウンターの上位ビットを示します。
37.「X」= ドント ケア、「H」= HIGH、「L」= LOW。
38. CYD36S18V18 デバイスには 21 個のアドレス ビットがあります。CYD36S36V18 および CYD18S18V18 デバイスには 20 個のアドレス ビットがあります。CYD36S72V18、CYD18S36V18、および CYD09S18V18 デバイスには 19 個のアドレス ビットがあります。CYD18S72V18 および CYD09S36V18 デバイスには 18 個のアドレス ビットがあります。CYD09S72V18 デバイスには 17 個のアドレス ビットがあります。CYD02S36V18 デバイスには 16 個のアドレス ビットがあります。

マスター リセット

デュアル ポート FullFlex ファミリのデバイスは、MRST がアサートされると完全なリセットを受けます。MRST は $VDDIO_L$ リファレンス レベルで駆動する必要があります。MRST はクロックと非同期してアサートされ、少なくとも t_{RS} の間アサートされたままである必要があります。MRST がアサートされると、READY はデアサートされ、内部バースト カウンター、内部ミラー レジスタおよび内部ビジー アドレスは初期化されます。また、内部マスク レジスタの全ビットが 1 に初期化されます。メールボックス割り込み (INT)、ビジー アドレス出力 (BUSY) およびバースト カウンター割り込み (CNTINT) はすべて、マスター リセット時にデアサートされます。さらに、VREF を含むすべての電源が最大限にランプされ、すべてのポート クロックおよびモード選択入力 (LOWSPD、ZQ、CQEN、FTSEL、PORTSTD) が有効となり安定するまでは、MRST を解除しないでください。これにより、DLL および VIM 回路の校正が開始されます。READY は 1024 クロック サイクルの間アサートされます。READY は、強プルアップ抵抗および弱プルダウン抵抗に接続した、ワイヤード OR 接続が可能な出力です。4 つまでの出力が互いに接続することがあります。信号を速くプルダウンするには、250Ω 抵抗を VSS に接続してください。DLL および VIM 回路がポートで無効にされた場合、そのポートは 5 クロック サイクルの間しか動作できません。しかし、READY は 160 クロック サイクルの間アサートされます。

IEEE 1149.1 シリアル バウンダリ スキャン (JTAG)

FullFlex ファミリは IEEE 1149.1 シリアル バウンダリ スキャン テスト アクセス ポート (TAP) を内蔵しています。TAP は、VTTL 電源によって JEDEC 準拠の 3.3V または 2.5V IO 論理レベルを使用して動作します。これは、規格で規定されている通りにテスト ロジックに必要な 4 つの入力接続および 1 つの出力接続で構成されています。

表 9. JTAG IDCODE レジスタの定義

製品番号	コンフィギュレーション	値
CYD36S72V18	512K × 72	0C026069h (×2)
CYD36S36V18	1024K × 36	0C023069h
CYD36S18V18	2048K × 18	0C024069h
CYD18S72V18	256K × 72	0C025069h
CYD18S36V18	512K × 36	0C026069h
CYD18S18V18	1024K × 18	0C027069h
CYD09S72V18	128K × 72	0C028069h
CYD09S36V18	256K × 36	0C029069h
CYD09S18V18	512K × 18	0C02A069h
CYD02S36V18	64K × 36	0C030069h

表 10. スキャン レジスタのサイズ

レジスタ名	ビット サイズ
命令	4
バイパス	1
ID	32
バウンダリ スキャン	n[39]

表 11. 命令 ID コード

命令	コード	説明
EXTEST	0000	入力および出力リングの内容を取り込む。BSR を TDI と TDO の間に配置
BYPASS	1111	BYR を TDI と TDO の間に配置
IDCODE	1011	ベンダー ID コードを IDR にロードし、レジスタを TDI と TDO の間に配置
HIGHZ	0111	BYR を TDI と TDO の間に配置。すべての FullFlex72 および FullFlex36 出力ドライバーを High Z 状態に移行させる
CLAMP	0100	1 または 0 へのバウンダリを制御。BYR を TDI と TDO の間に配置
SAMPLE ／ PRELOAD	1000	入力および出力リングの内容を取り込む。BSR を TDI と TDO の間に配置
RESERVED	他のすべてのコード	他の組み合わせは予約済み。述べた組み合わせ以外のものを使用しないでください。

注
39. バウンダリ スキャン長の詳細は、デバイスの BSDL ファイルにあります。

最大定格

最大定格を超えると、デバイスの寿命が短くなる可能性があります。ユーザー ガイドラインはテストされていません。

保存温度 ..... –65°C ～ +150°C
通電時の周囲温度 ..... –55°C ～ +125°C
グランド電位に対する電源電圧 ..... –0.5V ～ +4.1V
High-Z 状態の出力に印加する DC 電圧 ..... –0.5V ～ V_{DDIO} + 0.5V
DC 入力電圧 ..... –0.5V ～ V_{DDIO} + 0.5V
出力に流れ込む出力電流 (LOW) 20mA
静電気放電電圧 ..... > 2200V
(JEDEC JESD8-6、JESD8-B)
ラッチアップ電流 ..... > 200mA

動作範囲

範囲	周囲温度	VCORE
商業用	0°C ～ +70°C	1.8V ± 100mV 1.5V ± 80mV
産業用	–40°C ～ +85°C	1.8V ± 100mV 1.5V ± 80mV

電源の要件

	Min	Typ	Max
LVTTL VDDIO	3.0V	3.3V	3.6V
2.5V LVCMOS VDDIO	2.3V	2.5V	2.7V
HSTL VDDIO	1.4V	1.5V	1.9V
1.8V LVCMOS VDDIO	1.7V	1.8V	1.9V
3.3V VTTL	3.0V	3.3V	3.6V
2.5V VTTL	2.3V	2.5V	2.7V
HSTL VREF	0.68V	0.75V	0.95V

電気的特性

動作範囲において

パラメーター	説明	コンフィギュレーション	すべての速度グレード			単位
			Min	Typ	Max	
V_{OH}	出力 HIGH 電圧 (V_{DDIO} = Min、I_{OH} = –8mA)	LVTTL	2.4[40]	–	–	V
	(V_{DDIO} = Min、I_{OH} = –4mA)	HSTL (DC)[41]	VDDIO – 0.4[40]	–	–	V
	(V_{DDIO} = Min、I_{OH} = –4mA)	HSTL (AC)[41]	VDDIO – 0.5[40]	–	–	V
	(V_{DDIO} = Min、I_{OH} = –6mA)	2.5V LVCMOS	1.7[40]	–	–	V
	(V_{DDIO} = Min、I_{OH} = –4mA)	1.8V LVCMOS	VDDIO – 0.45[40]	–	–	V
V_{OL}	出力 HIGH 電圧 (V_{DDIO} = Min、I_{OL} = 8mA)	LVTTL	–	–	0.4[40]	V
	(V_{DDIO} = Min、I_{OL} = 4mA)	HSTL(DC)[41]	–	–	0.4[40]	V
	(V_{DDIO} = Min、I_{OL} = 4mA)	HSTL (AC)[41]	–	–	0.5[40]	V
	(V_{DDIO} = Min、I_{OL} = 6mA)	2.5V LVCMOS	–	–	0.7[40]	V
	(V_{DDIO} = Min、I_{OL} = 4mA)	1.8V LVCMOS	–	–	0.45[40]	V
V_{IH}	入力 HIGH 電圧	LVTTL	2	–	VDDIO + 0.3	V
		HSTL(DC)[41]	VREF + 0.1	–	VDDIO + 0.3	V
		2.5V LVCMOS	1.7	–		V
		1.8V LVCMOS	0.65 × VDDIO	–		V
V_{IL}	入力 LOW 電圧	LVTTL	–0.3	–	0.8	V
		HSTL(DC)[41]	–0.3	–	VREF – 0.1	V
		2.5V LVCMOS	–	–	0.7	V
		1.8V LVCMOS	–	–	0.35 × VDDIO	V

注
40. これらのパラメーターは VIM が無効にされた場合に満たされます。
41. DC仕様は安定状態の条件で測定されます。AC仕様は速度切り替え中に測定されます。HSTLモードでのAC VIH/VILは1V/nsの入力エッジ速度で測定されます。

電気的特性 (続き)

動作範囲において

パラメーター	説明	コンフィギュレーション	すべての速度グレード			単位
			Min	Typ	Max	
$\overline{READY}$ V_{OH}	出力 HIGH 電圧 (V_{DDIO} = Min、I_{OH} = –24mA)	LVTTL	2.7[42]	–	–	V
	(V_{DDIO} = Min、I_{OH} = –12mA)	HSTL(DC)[43]	VDDIO – 0.4[42]	–	–	V
	(V_{DDIO} = Min、I_{OH} = –12mA)	HSTL (AC)[43]	VDDIO – 0.5[42]	–	–	V
	(V_{DDIO} = Min、I_{OH} = –15mA)	2.5V LVCMOS	2.0[42]	–	–	V
	(V_{DDIO} = Min、I_{OH} = –12mA)	1.8V LVCMOS	VDDIO – 0.45[42]	–	–	V
$\overline{READY}$ V_{OL}	出力 HIGH 電圧 (V_{DDIO} = Min、I_O = 0.12mA)	LVTTL	–	–	0.4[42]	V
	(V_{DDIO} = Min、I_{OL} = 0.12mA)	HSTL(DC)[43]	–	–	0.4[42]	V
	(V_{DDIO} = Min、I_{OL} = 0.12mA)	HSTL (AC)[43]	–	–	0.5[42]	V
	(V_{DDIO} = Min、I_{OL} = 0.15mA)	2.5V LVCMOS	–	–	0.7[42]	V
	(V_{DDIO} = Min、I_{OL} = 0.08mA)	1.8V LVCMOS	–	–	0.45[42]	V
I_{OZ}	出力リーク電流		–10	–	10	µA
I_{IX1}	入力リーク電流 (TDI、TMS、MRST、PORTSTD を除く)		–10	–	10	µA
I_{IX2}	入力リーク電流 (TDI、TMS、MRST)		–300	–	10	µA
I_{IX3}	入力リーク電流 (PORTSTD)		–10	–	300	µA

注
42. これらのパラメーターは VIM が無効にされた場合に満たされます。
43. DC 仕様は安定状態の条件で測定されます。AC 仕様は速度切り替え中に測定されます。HSTL モードでの AC VIH/VIL は 1V/ns の入力エッジ速度で測定されます。

電気的特性

動作範囲において

パラメーター	説明	コンフィギュレーション		-200		-167		単位
				Typ	Max	Typ	Max	
I_{CC}	動作電流 (V_{CORE} = Max、I_{OUT} = 0mA) 出力が無効	512K × 72	商業用	1440	1800	1280	1620	mA
			産業用	–	–	1330	1730	mA
		1024K × 36	商業用	1180	1500	1050	1350	mA
			産業用	–	–	1110	1470	mA
		2048K × 18	商業用	1130	1430	1000	1290	mA
			産業用	–	–	1060	1410	mA
		256K × 72	商業用	800	980	700	880	mA
			産業用	820	1030	730	930	mA
		512K × 36	商業用	640	800	570	720	mA
			産業用	670	860	590	780	mA
		1024K × 18	商業用	610	770	540	690	mA
			産業用	640	830	570	750	mA
		128K × 72	商業用	640	790	560	700	mA
			産業用	660	830	580	740	mA
		256K × 36	商業用	540	640	470	570	mA
			産業用	550	670	490	600	mA
		512K × 18	商業用	550	660	480	580	mA
			産業用	570	690	500	610	mA
		64K × 36	商業用	–	–	–	–	mA
			産業用	–	–	–	–	mA

電気的特性 (続き)

動作範囲において

パラメーター	説明	コンフィギュレーション		-200		-167		単位
				Typ	Max	Typ	Max	
I_{SB1}	スタンバイ電流 (両ポートが TTL レベル) CE_L と $CE_R \geq V_{IH}$、$f = f_{MAX}$	512K × 72	商業用	1000	1250	920	1160	mA
			産業用	–	–	970	1260	mA
		1024K × 36	商業用	910	1140	820	1050	mA
			産業用	–	–	880	1160	mA
		2048K × 18	商業用	890	1110	810	1030	mA
			産業用	–	–	860	1140	mA
		256K × 72	商業用	500	630	460	580	mA
			産業用	530	680	490	630	mA
		512K × 36	商業用	460	570	410	530	mA
			産業用	480	630	440	580	mA
		1024K × 18	商業用	450	560	410	520	mA
			産業用	470	610	430	570	mA
		128K × 72	商業用	400	490	360	450	mA
			産業用	420	540	380	490	mA
		256K × 36	商業用	380	440	340	400	mA
			産業用	390	470	360	430	mA
		512K × 18	商業用	390	460	350	410	mA
			産業用	410	480	370	440	mA
		64K × 36	商業用	–	–	–	–	mA
			産業用	–	–	–	–	mA

電気的特性 (続き)

動作範囲において

パラメーター	説明	コンフィギュレーション		-200		-167		単位
				Typ	Max	Typ	Max	
I_{SB2}	スタンバイ電流 (1 ポートが TTL または CMOS レベル) $\overline{CE_L}$ | $\overline{CE_R} \geq V_{IH}$、$f = f_{MAX}$	512K × 72	商業用	1300	1570	1160	1410	mA
			産業用	–	–	1210	1520	mA
		1024K × 36	商業用	1090	1330	980	1210	mA
			産業用	–	–	1030	1330	mA
		2048K × 18	商業用	1040	1270	930	1160	mA
			産業用	–	–	980	1270	mA
		256K × 72	商業用	650	790	580	710	mA
			産業用	680	840	610	760	mA
		512K × 36	商業用	550	670	490	610	mA
			産業用	570	730	520	670	mA
		1024K × 18	商業用	520	640	470	580	mA
			産業用	550	690	490	640	mA
		128K × 72	商業用	520	630	460	560	mA
			産業用	550	670	480	610	mA
		256K × 36	商業用	460	530	400	470	mA
			産業用	480	560	430	500	mA
		512K × 18	商業用	460	530	410	480	mA
			産業用	480	560	430	510	mA
		64K × 36	商業用	–	–	–	–	mA
			産業用	–	–	–	–	mA

電気的特性

動作範囲において

パラメーター	説明	コンフィギュレーション		すべての速度グレード		単位
				Typ	Max	
I_{SB3}	スタンバイ電流 (両ポートが CMOS レベル) $\overline{CE}_L$ と $\overline{CE}_R \geq V_{CORE} - 0.2V$、f = 0	512K × 72	商業用	410	590	mA
			産業用	460	700	mA
		1024K × 36	商業用	410	590	mA
			産業用	460	700	mA
		2048K × 18	商業用	410	590	mA
			産業用	460	700	mA
		256K × 72	商業用	210	300	mA
			産業用	230	350	mA
		512K × 36	商業用	210	300	mA
			産業用	230	350	mA
		1024K × 18	商業用	210	300	mA
			産業用	230	350	mA
		128K × 72	商業用	150	200	mA
			産業用	170	220	mA
		256K × 36	商業用	150	200	mA
			産業用	170	220	mA
		512K × 18	商業用	150	200	mA
			産業用	170	220	mA

静電容量

信号	パッケージ			
	CYD18S72V18 CYD09S72V18 CYD18S36V18 CYD09S36V18 CYD02S36V18	CYD18S18V18 CYD09S18V18	CYD36S72V18 CYD36S36V18	CYD36S18V18
$\overline{OE}$	12pF	12pF	20pF	20pF
$\overline{BE}$、DQ	10pF	18pF	16pF	30pF
他のすべての信号	10pF	10pF	16pF	16pF

熱抵抗

パラメーター	説明	テスト条件	484 ボール BGA	256 ボール BGA (18M ビットのみ)	256 ボール BGA (9M ビット & 2M ビット)	単位
θ_{JA}	熱抵抗 (接合部から周囲へ)	無風状態で 3×4.5 インチの 4 層プリント回路基板に半田付け	14.92	17.02	18.31	°C/W
θ_{JC}	熱抵抗 (接合部からケースへ)		3.6	1.25	1.68	°C/W

AC テスト ロードおよび波形

図 9. LVTTL/CMOS での出力テスト ロード

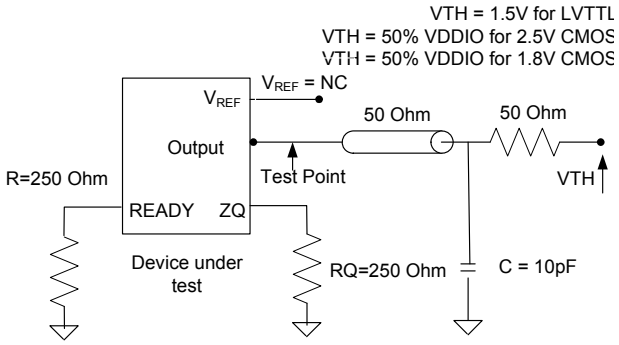


図 10. HSTL での出力テスト ロード

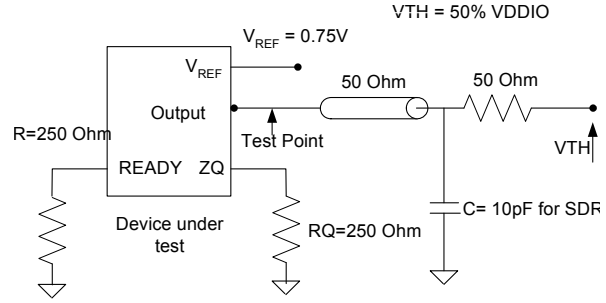
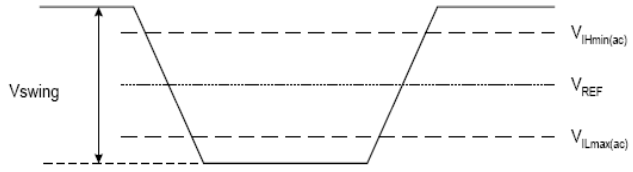


図 11. HSTL 入力波形

AC Input Test Signal Waveform



Vswing = 1.0V
VREF = 0.75V
V_{IH} = 1.25V
V_{IL} = 0.25V
Slew = 2.0V/ns
All input parameters are referenced to VREF

スイッチング特性

動作範囲において

表 12. SDR モード、信号がに DLL 影響される

パラメーター	説明	DLL ON (LOWSPD=1)[46]				DLL OFF (LOWSPD=0)[46]		単位
		-200		-167				
		Min	Max	Min	Max	Min	Max	
t_{CD2}[49]	C 立ち上がりから DQ 有効まで (パイプライン モード)	–	3.30[45、48]	–	4.00[45、48]	–	6.00[45, 48]	ns
t_{CCQ}[49]	C 立ち上がりから CQ 立ち上がりまで	1.00	3.30 [48]	1.00	4.00[48]	1.00	6.00[48]	ns
t_{CKHZ2}[44、49]	C 立ち上がりから DQ 出力 High Z まで (パイプライン モード)	1.00	3.30[45、48]	1.00	4.00[45、48]	1.00	6.00[45、48]	ns
t_{CKLZ2}[44、49]	C 立ち上がりから DQ 出力 Low Z まで (パイプライン モード)	1.00	–	1.00	–	1.00	–	ns

表 13. SDR モード

パラメーター	説明		-200		-167		単位
			Min	Max	Min	Max	
f_{MAX} (パイプライン)	最大動作周波数 (パイプライン モード)		100	200	100	167	MHz
f_{MAX} (フロースルー)	最大動作周波数 (フロースルー モード)		–	77	–	66.7	MHz
t_{CYC} (パイプライン)	C クロック サイクル時間 (パイプライン モード)		5.00[48]	10.00	6.00[48]	10.00	ns
t_{CYC} (フロースルー)	C クロック サイクル時間 (フロースルー モード)		13.00[48]	–	15.00[48]	–	ns
t_{CKD}	C クロック デューティ比		45	55	45	55	%
t_{SD}	C 立ち上がりまでのデータ入力セットアップ時間	HSTL 1.8V LVCMOS	1.50[45、48]	–	1.70[45、48]	–	ns
		2.5V LVCMOS 3.3V LVTTL	1.75[45、48]	–	1.95[45、48]		ns
t_{HD}[47]	C 立ち上がりからのデータ入力ホールド時間		0.5	–	0.5	–	ns
t_{SAC}	C 立ち上がりまでのアドレスおよび制御入力セットアップ時間	HSTL 1.8V L VCMOS	1.50[45、47、48]	–	1.70[45、47、48]	–	ns
		2.5V LVCMOS 3.3V LVTTL	1.75[45、47、48]	–	1.95[45、47、48]	–	ns
t_{HAC}[47]	C 立ち上がりからのアドレスおよび制御入力ホールド時間		0.50	–	0.60	–	ns
t_{OE}	出力イネーブルからデータ有効まで		–	4.40[45、48]	–	5.00[45、48]	ns
t_{OLZ}[44]	$\overline{OE}$ から Low Z まで		1.00	–	1.00	–	ns

注
44. パラメーターは、25 ページの図 9 と 25 ページの図 10 に示した負荷容量で指定されています。
45. x18 デバイスでは、表 13 内のこのパラメーターに 200ps を追加します。
46. テスト条件は信号遷移時間が 2V/ns であることを前提にしています。
47. 36M デバイスでは、このタイミングに 300ps を追加します。
48. 1.5V の VCORE を使用する場合、このパラメーターに 15% を追加します。
49. このパラメーターは、入力クロックのサイクル ツー サイクル ジッタが ±0ps であることを前提にしています。

表 13. SDR モード (続き)

パラメーター	説明		-200		-167		単位
			Min	Max	Min	Max	
t_{OHZ}[50]	$\overline{OE}$ から High Z まで		1.00	4.40[51、52]	1.00	5.00[51、52]	ns
t_{CD1}	C 立ち上がりから DQ 有効まで (フロースルー モード) (LowSPD = 0)		–	9.00[51、52]	–	11.00[51、52]	ns
t_{CA1}	C 立ち上がりからアドレス リードバック有効まで (フロースルー モード)		–	9.00[52]	–	11.00[52]	ns
t_{CA2}	C 立ち上がりからアドレス リードバック有効まで (パイプライン モード)		–	5.00[52]	–	6.00[52]	ns
t_{DC}[53]	C 立ち上がりからの DQ 出力ホールド時間		1.00	–	1.00	–	ns
t_{JIT}	クロック入力のサイクル ツー サイクル ジッタ		–	+/- 200	–	+/- 200	ps
t_{CQHQV}[53]	エコー クロック (CQ) HIGH から出力有効まで	HSTL 1.8V LVCMOS	–	0.70[51]	–	0.80[51]	ns
		2.5V LVCMOS 3.3V LVTTL	–	0.80[51]	–	0.90[51]	ns
t_{CQHQX}[53]	エコー クロック (CQ) HIGH から出力ホールドまで	HSTL 1.8V LVCMOS	–0.70	–	–0.80	–	ns
		2.5V LVCMOS 3.3V LVTTL	–0.85	–	–0.95	–	ns
t_{CKHZ1}[50]	C 立ち上がりから DQ 出力 High Z まで (フロースルー モード)		1.00	9.00[51、52]	1.00	11.00[51、52]	ns
t_{CKLZ1}[50]	C 立ち上がりから DQ 出力 Low Z まで (フロースルー モード)		1.00	–	1.00	–	ns
t_{AC}	C 立ち上がりからのアドレス出力ホールド時間		1.00	–	1.00	–	ns
t_{CKHZA1}[50]	C 立ち上がりからアドレス出力 High Z まで (フロースルー モード)		1.00	9.00[52]	1.00	11.00[52]	ns
t_{CKHZA2}[50]	C 立ち上がりからアドレス出力 High Z まで (パイプライン モード)		1.00	5.00[52]	1.00	6.00[52]	ns
t_{CKLZA}[50]	C 立ち上がりからアドレス出力 Low Z まで		1.00	–	1.00	–	ns
t_{SCINT}	C 立ち上がりから $\overline{CNTINT}$ LOW まで		1.00	3.30[52]	1.00	4.00[52]	ns
t_{RCINT}	C 立ち上がりから $\overline{CNTINT}$ HIGH まで		1.00	3.30[52]	1.00	4.00[52]	ns
t_{SINT}	C 立ち上がりから $\overline{INT}$ LOW まで		0.50	7.00[52]	0.50	8.00[52]	ns
t_{RINT}	C 立ち上がりから $\overline{INT}$ HIGH まで		0.50	7.00[52]	0.50	8.00[52]	ns
t_{BSY}	C 立ち上がりから $\overline{BUSY}$ 有効まで		1.00	3.30[52]	1.00	4.00[52]	ns

注
50. パラメーターは、25 ページの図 9 と 25 ページの図 10 に示した負荷容量で指定されています。
51. x18 デバイスでは、表 13 内のこのパラメーターに 200ps を追加します。
52. 1.5V の VCORE を使用する場合、このパラメーターに 15% を追加します。
53. このパラメーターは、入力クロックのサイクル ツー サイクル ジッタが ±0ps であることを前提にしています。

表 14. マスター リセット タイミング

パラメーター	説明	-200		-167		単位
		Min	Max	Min	Max	
t_{PUP}	電源投入時間	1	–	1	–	ms
t_{RS}	マスター リセット パルス幅	5	–	5	–	サイクル
t_{RSR}	マスター リセット回復時間	5	–	5	–	サイクル
t_{RSF}	マスター リセットから出力非アクティブ／Hi Z まで	–	15	–	18	ns
t_{RDY}[54]	マスター リセット解除からポート レディーまで	–	1024	–	1024	サイクル
t_{CORDY}[55]	C 立ち上がりからポート レディーまで	–	9.5[56]	–	11[56]	ns

表 15. JTAG タイミング

パラメーター	説明	-200		-167		単位
		Min	Max	Min	Max	
f_{JTAG}	JTAG TAP コントローラー周波数	–	20	–	20	MHz
t_{TCYC}	TCK サイクル時間	50	–	50	–	ns
t_{TH}	TCK HIGH 時間	20	–	20	–	ns
t_{TL}	TCK LOW 時間	20	–	20	–	ns
t_{TMSS}	TCK 立ち上がりまでの TMS セットアップ時間	10	–	10	–	ns
t_{TMSH}	TCK 立ち上がりまでの TMS ホールド時間	10	–	10	–	ns
t_{TDIS}	TCK 立ち上がりまでの TDI セットアップ時間	10	–	10	–	ns
t_{TDIH}	TCK 立ち上がりまでの TDI ホールド時間	10	–	10	–	ns
t_{TDOV}	TCK LOW から TDO 有効まで	–	10	–	10	ns
t_{TDOX}	TCK LOW から TDO 無効まで	0	–	0	–	ns
t_{JXZ}	TCK LOW から TDO High Z まで	–	15	–	15	ns
t_{JZX}	TCK LOW から TDO アクティブまで	–	15	–	15	ns
t_{JZX}	TCK LOW から TDO アクティブまで	–	15	–	15	ns

注
54. $\overline{\text{READY}}$ は、弱プルダウン抵抗に接続した、ワイヤード OR 接続が可能な出力です。立ち下がりエッジで遅延を低下させるために、250Ω 抵抗を V_{SS} に接続します。
55. すべてのマスター リセット動作で、t_{RDY} が経過するとこの伝播遅延を追加します。
56. 1.5V の VCORE を使用する場合、このパラメーターに 15% を追加します。

スイッチング波形

図 12. JTAG タイミング

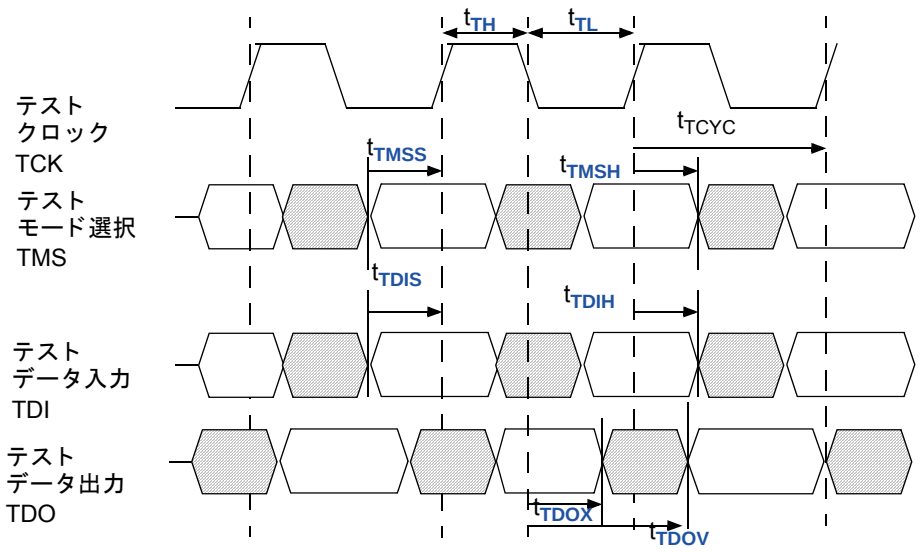
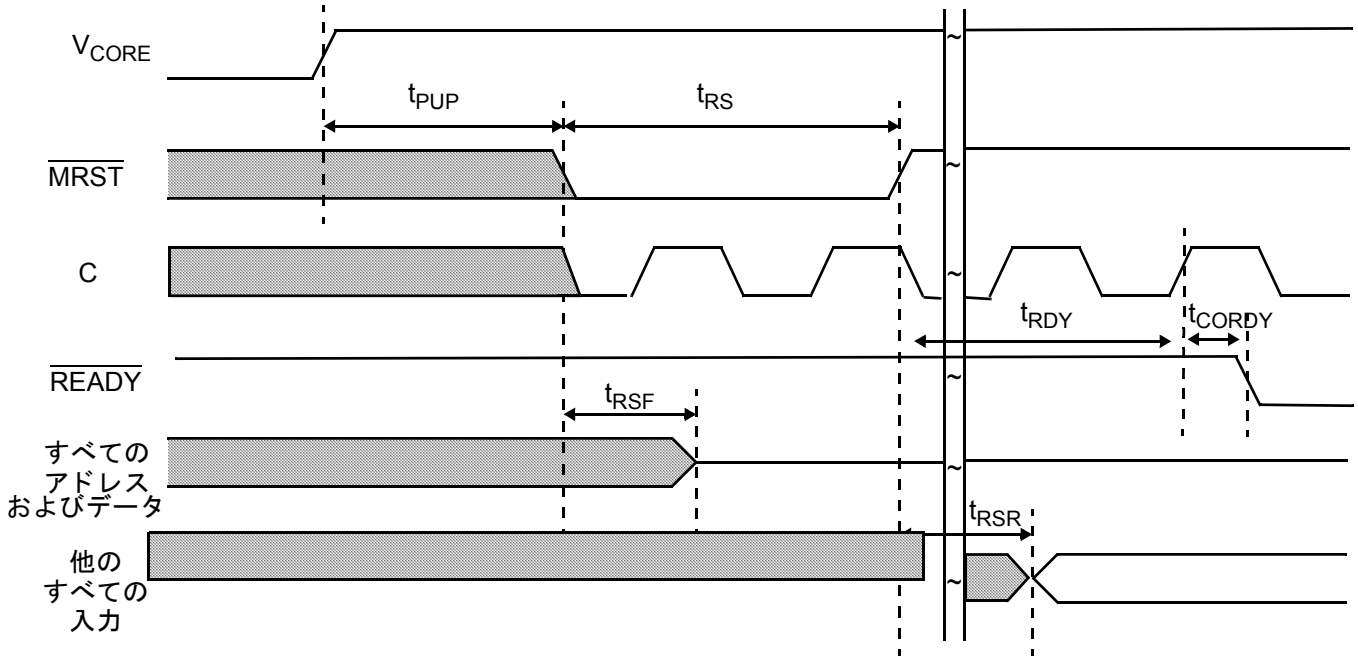


図 13. マスター リセット [57]



注
57. READY は、弱プルダウン抵抗に接続した、ワイヤード OR 接続が可能な出力です。立ち下がりエッジで遅延を低下させるために、250Ω 抵抗を VSS に接続します。

スイッチング波形 (続き)

図 14. 読み出しサイクル (パイプライン モード)

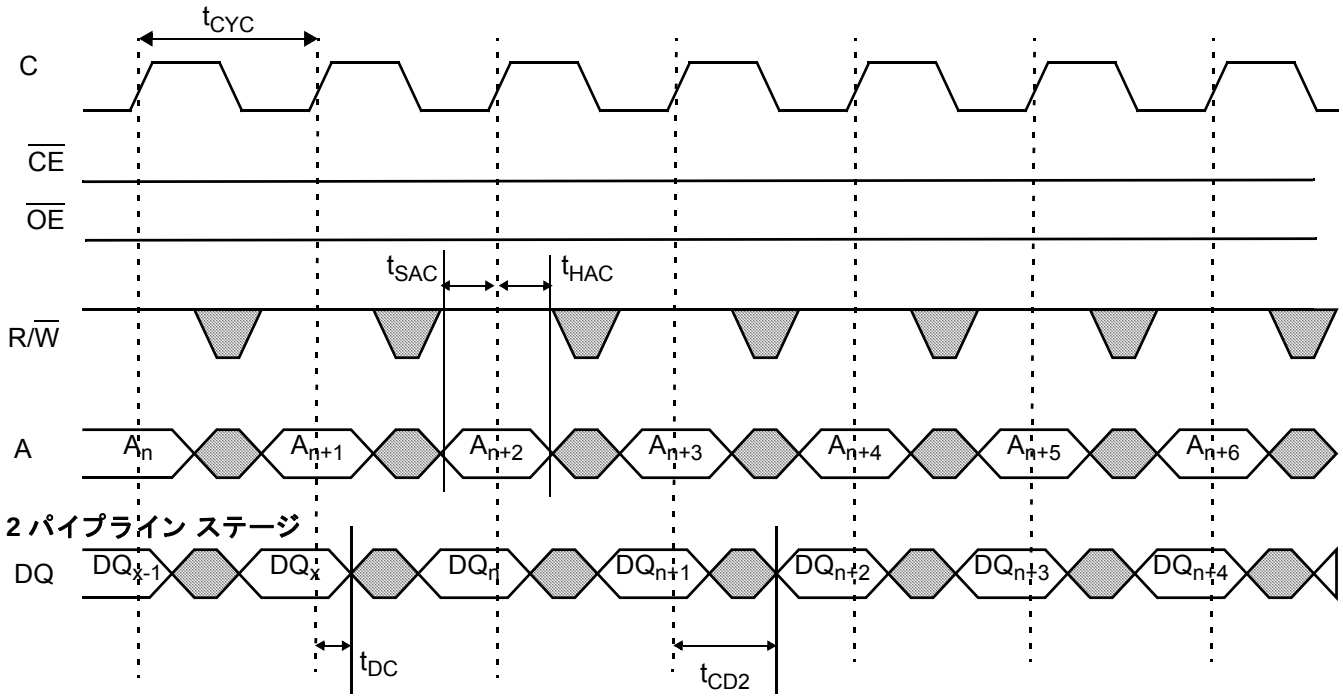
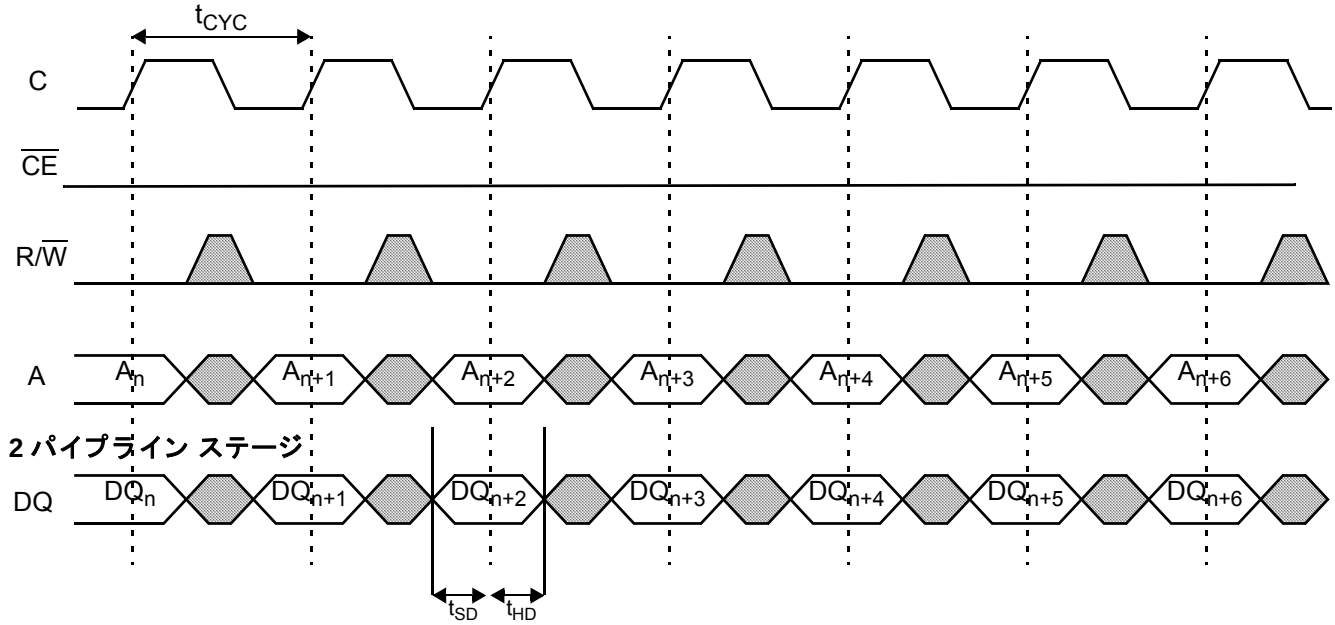


図 15. 書き込みサイクル (パイプラインおよびフロースルー モード)



スイッチング波形 (続き)

図 16. 読み出しおよびアドレス カウンター増分 (パイプライン モード)

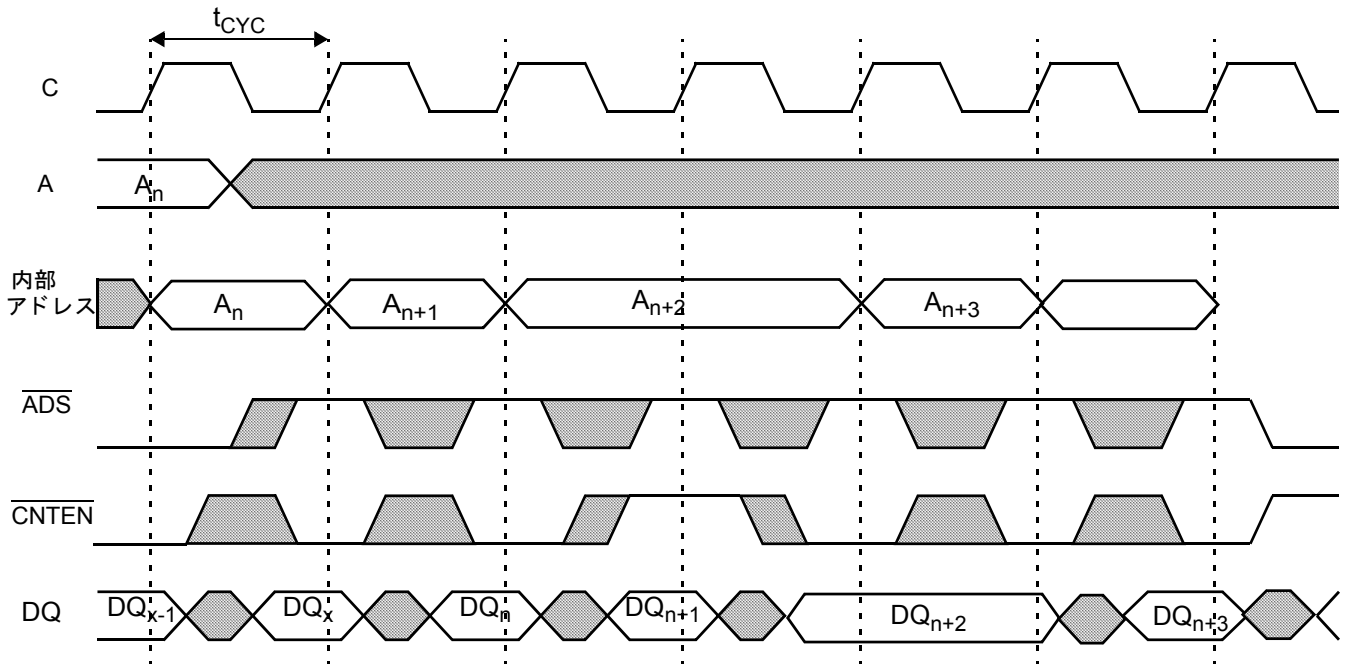
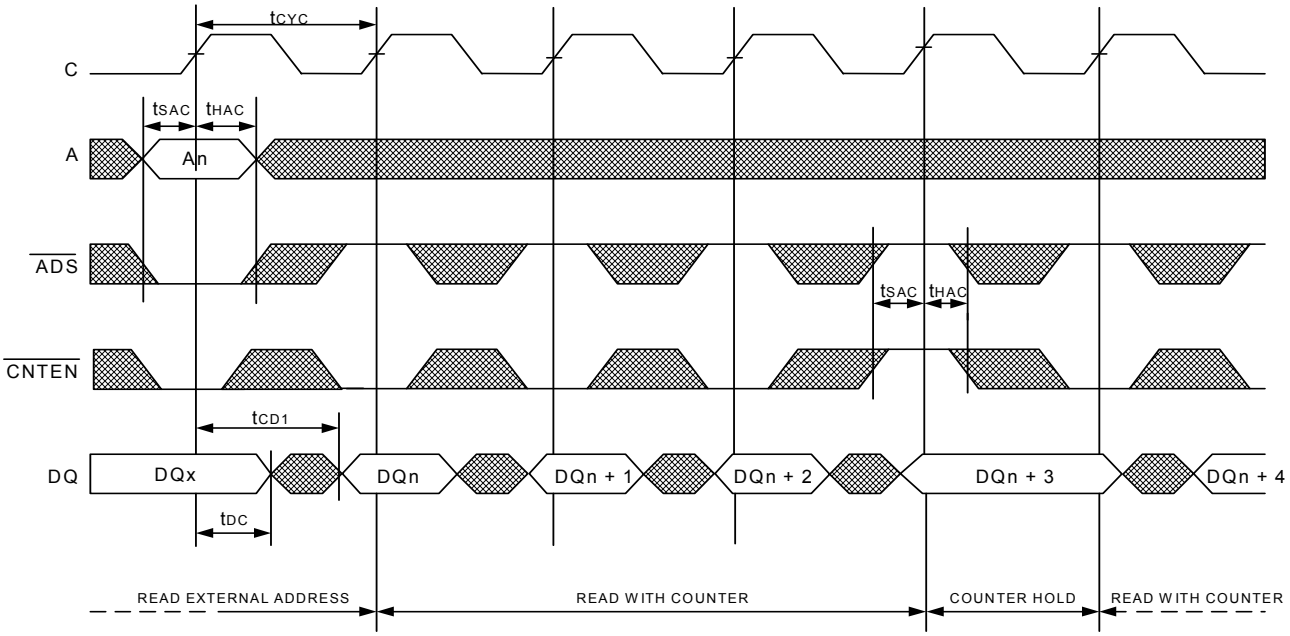


図 17. 読み出しおよびアドレス カウンター増分 (フロースルー モード)



スイッチング波形 (続き)

図 18. ポート間の書き込み – 読み出し (パイプライン モード)

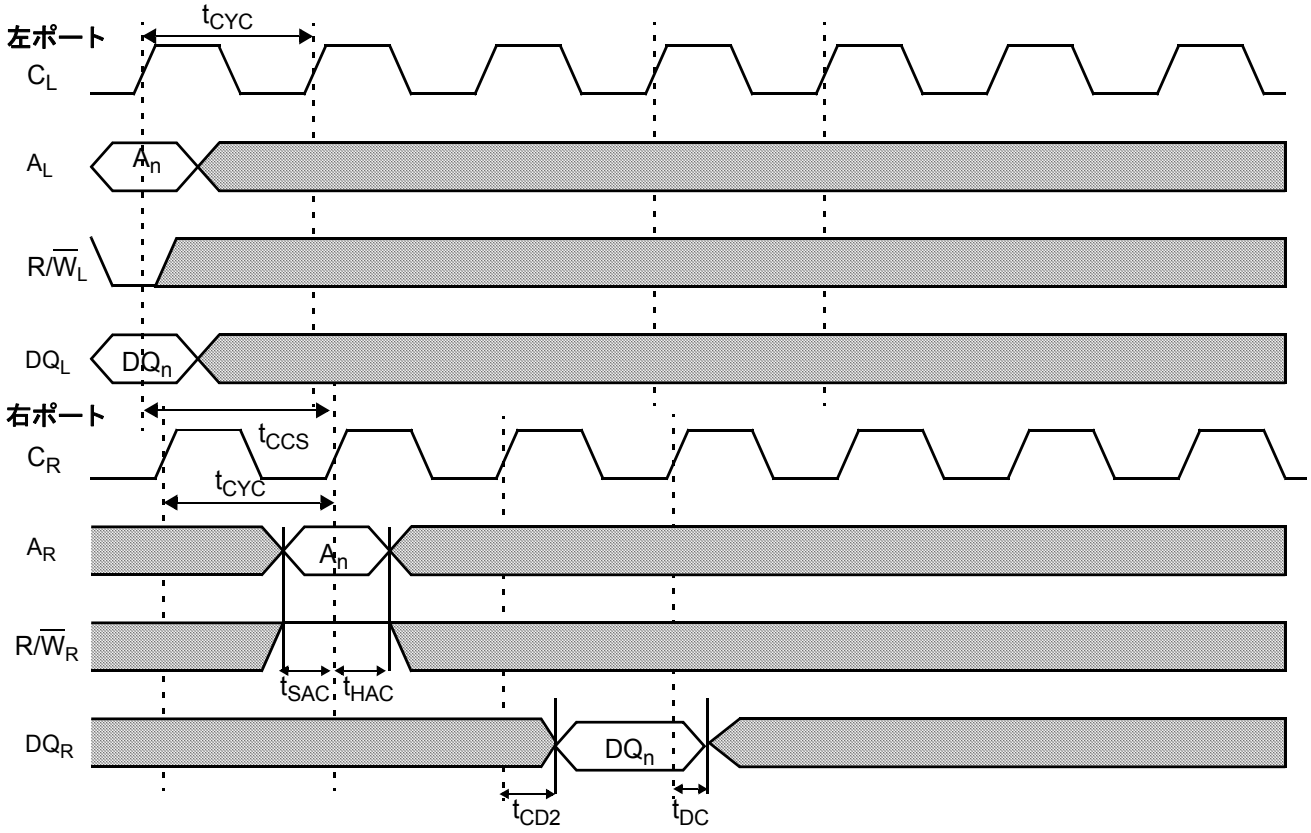
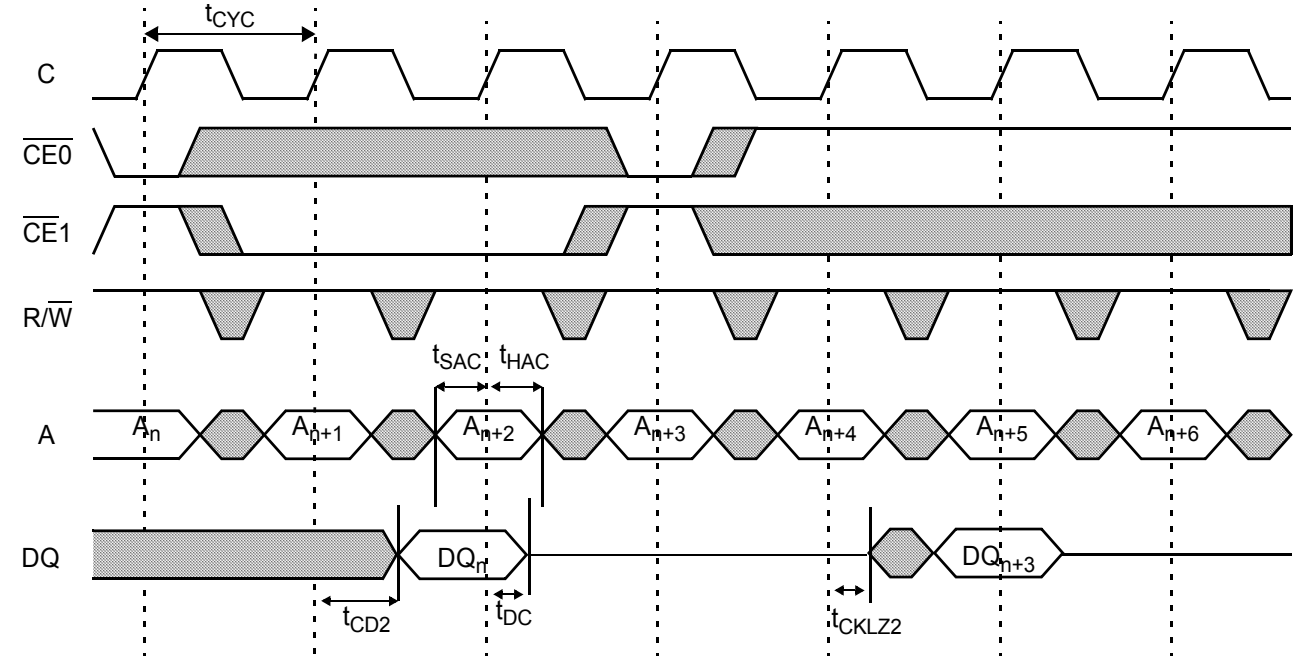


図 19. チップ イネーブル読み出し (パイプライン モード)



スイッチング波形 (続き)

図 20. OE 制御書き込み (パイプライン モード)

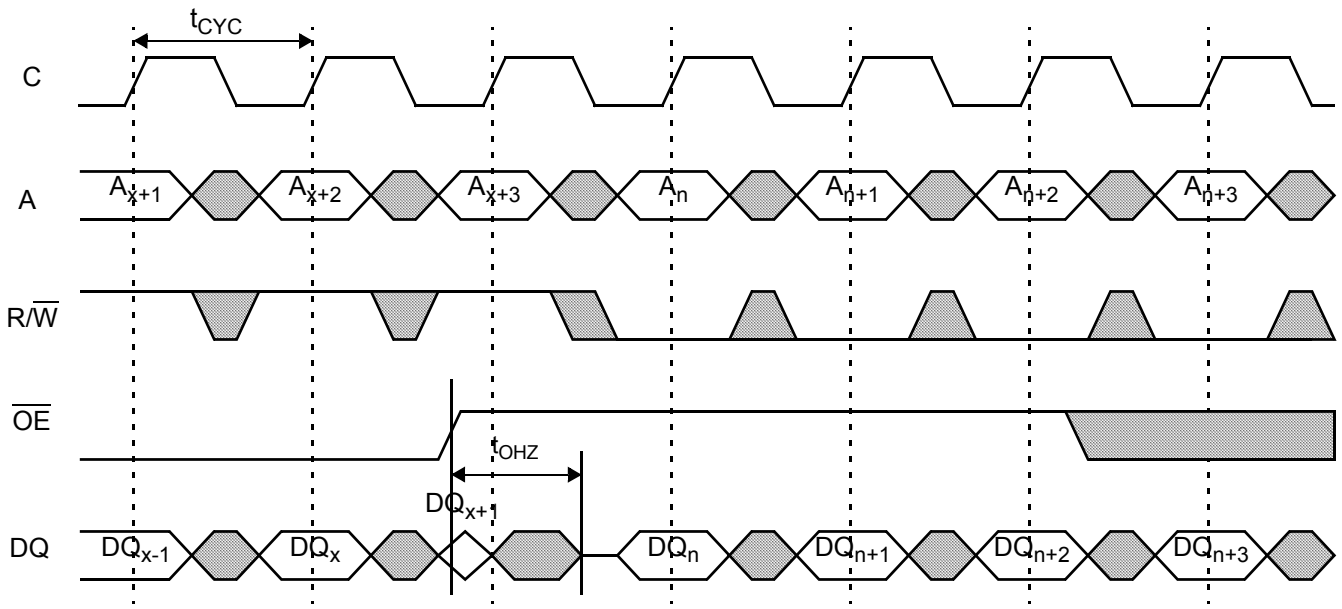
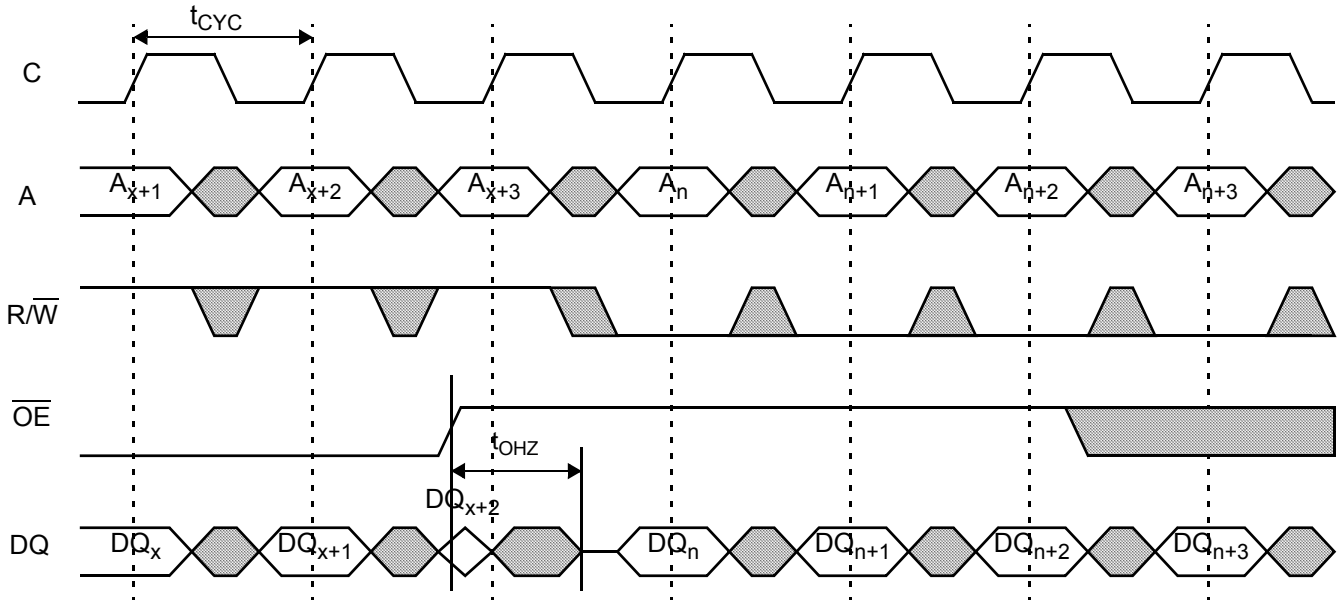
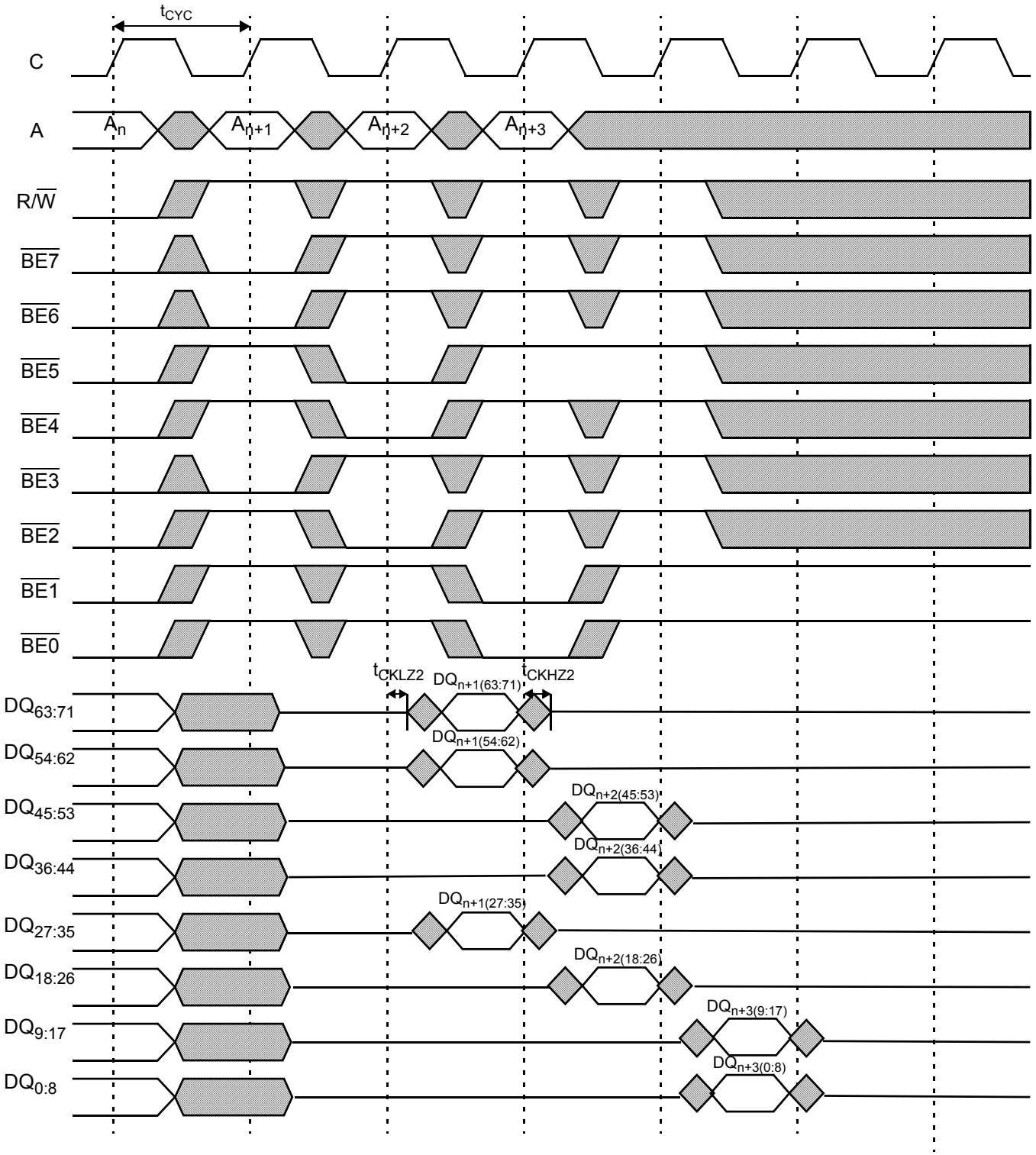


図 21. OE 制御書き込み (フロースルー モード)



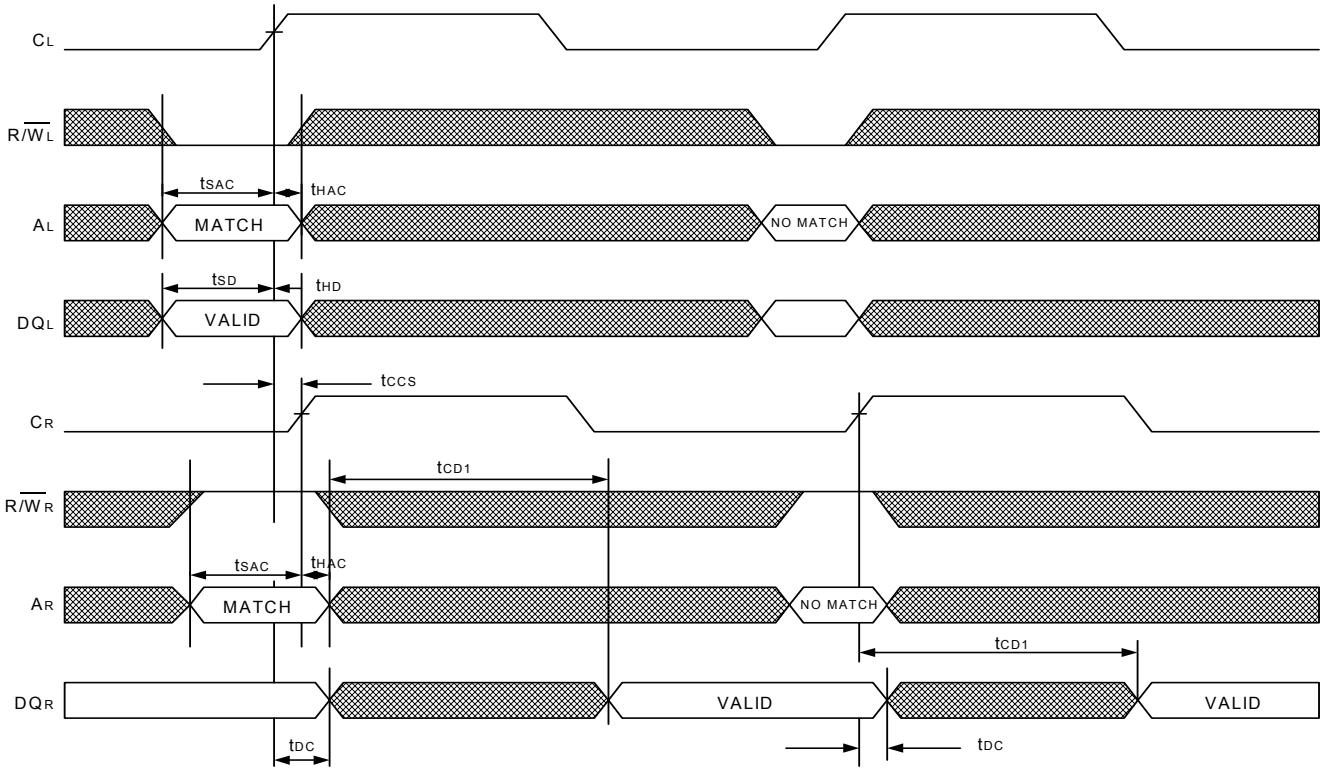
スイッチング波形 (続き)

図 22. バイト イネーブル読み出し (パイプライン モード)



スイッチング波形 (続き)

図 23. ポート間の書き込み – 読み出し (パイプライン モード)



スイッチング波形 (続き)

図 24. ビジー アドレス リードバック (パイプラインおよびフロースルー モード、CNT/$\overline{MSK}$ = $\overline{RET}$ = LOW) [58]

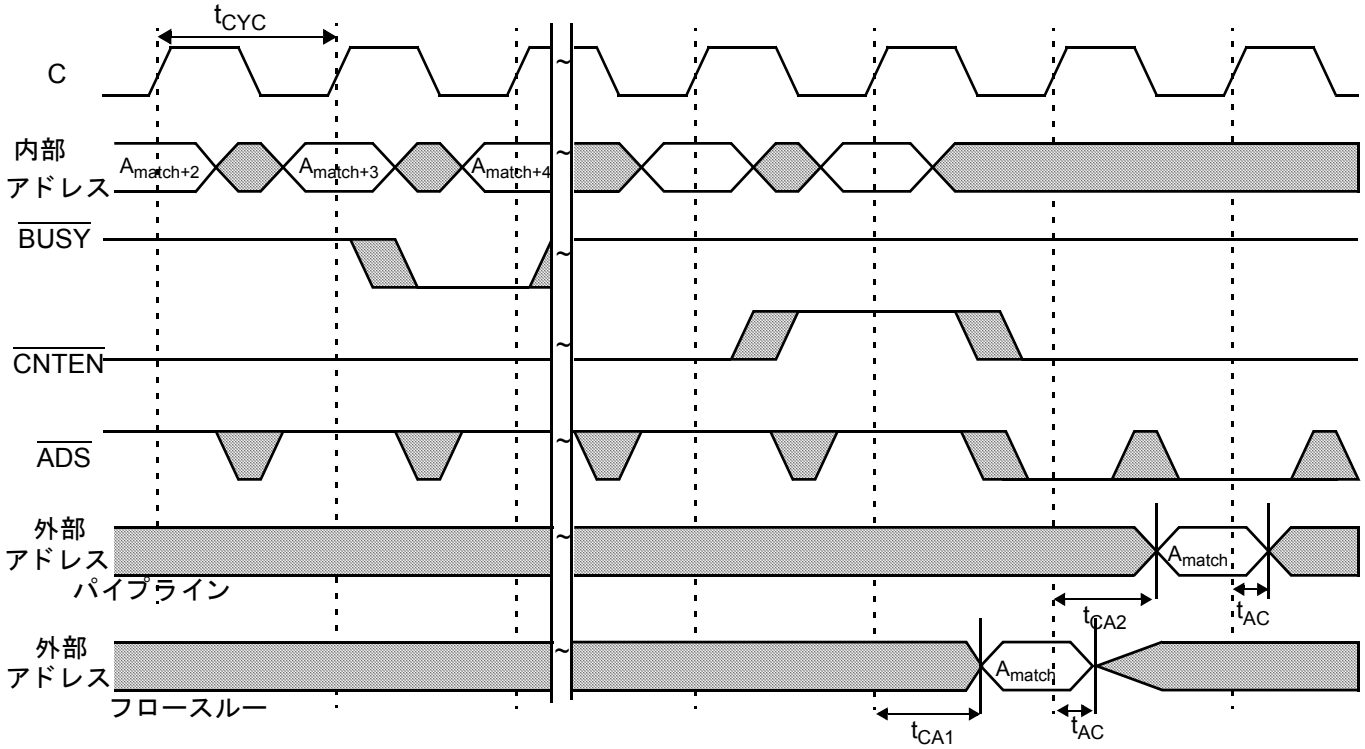
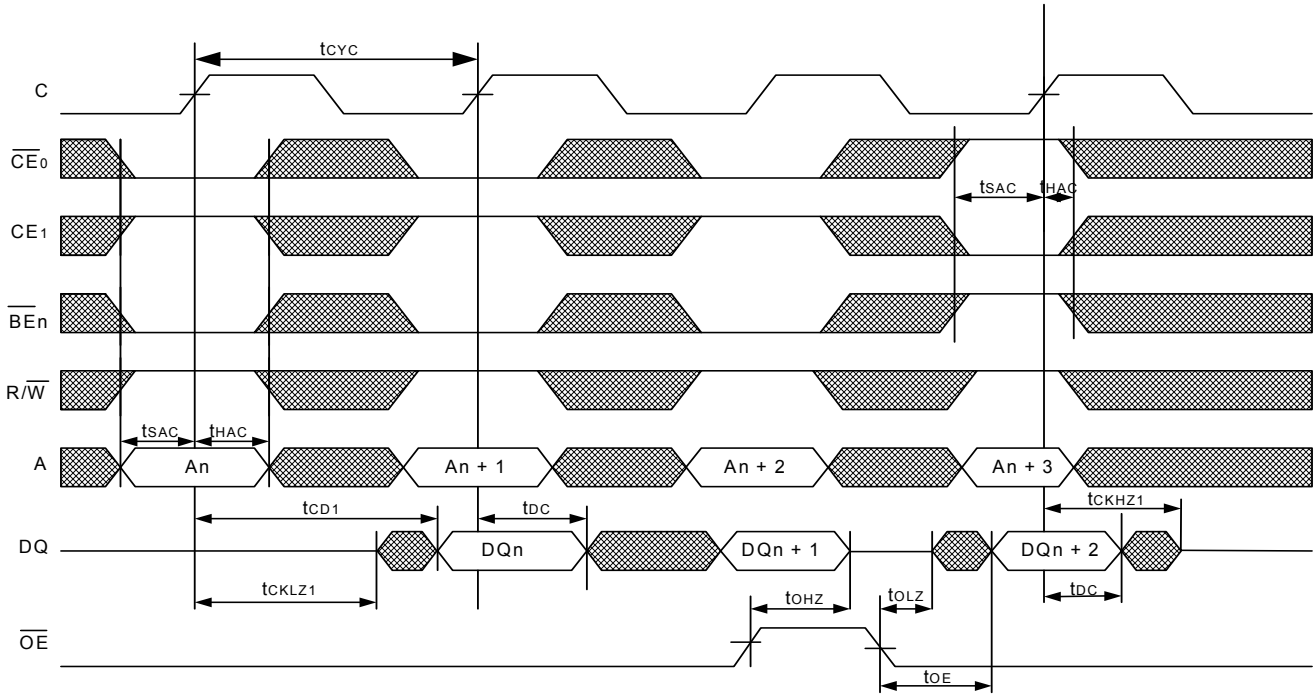


図 25. 読み出しサイクル (フロースルー モード)



注

58. A_{match} は、負けポートのアドレス バスで報告されたマッチング アドレスです。アドレスの報告用に選択されたカウンター動作は「ビジー アドレス リードバック」です。

スイッチング波形 (続き)

図 26. 読み出し～書き込み (パイプライン モード、$\overline{OE}$ = V_{IL}) [59、60、61]

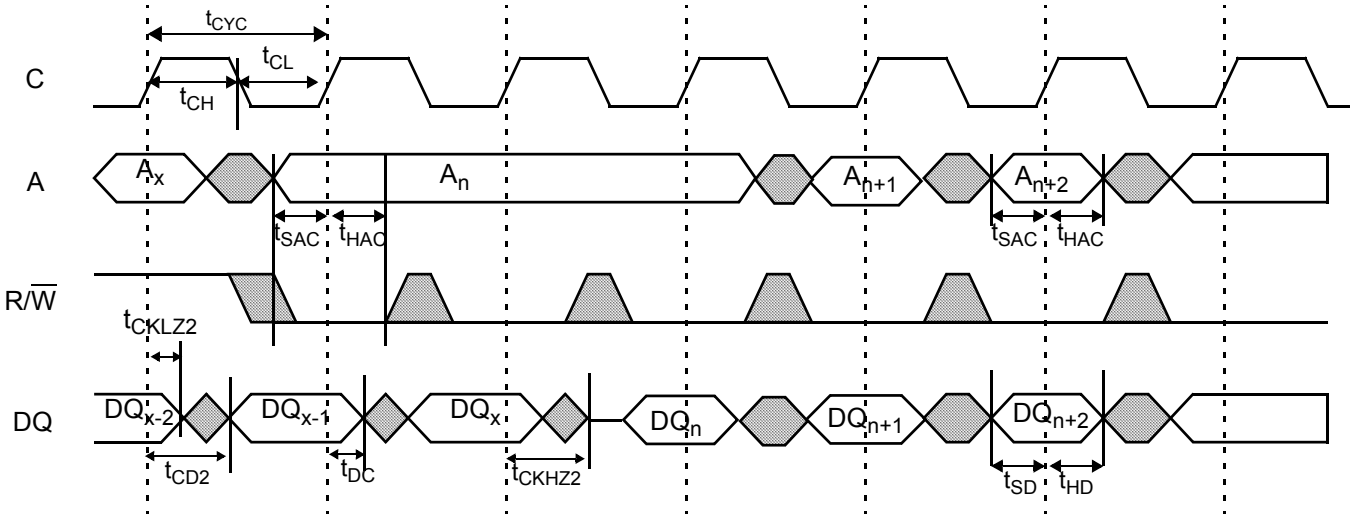
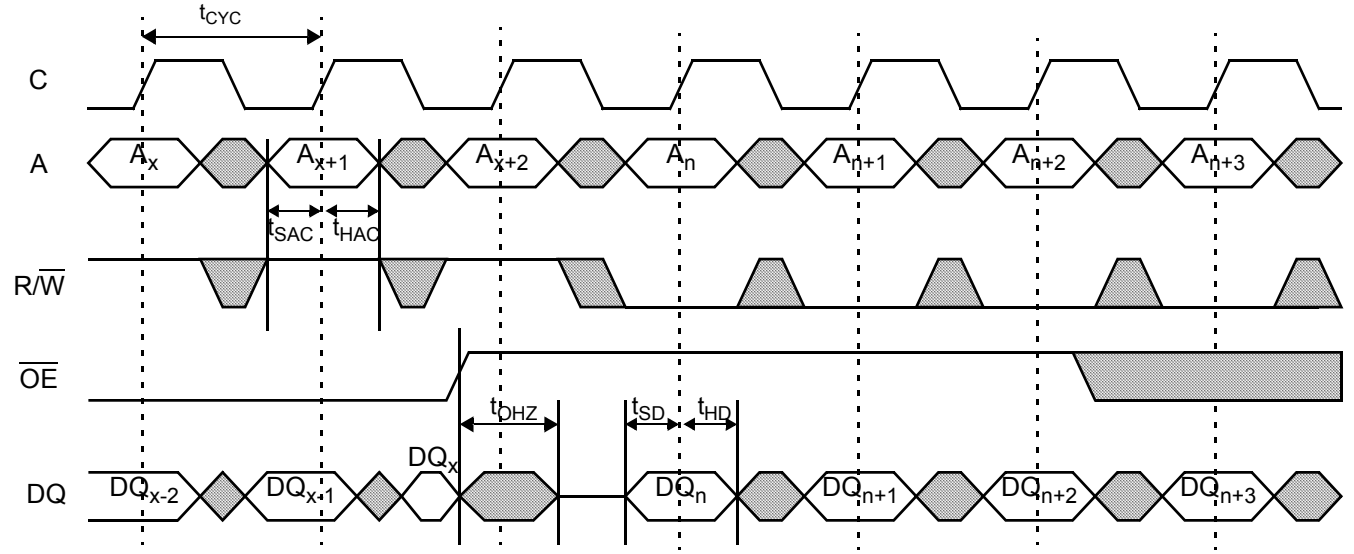


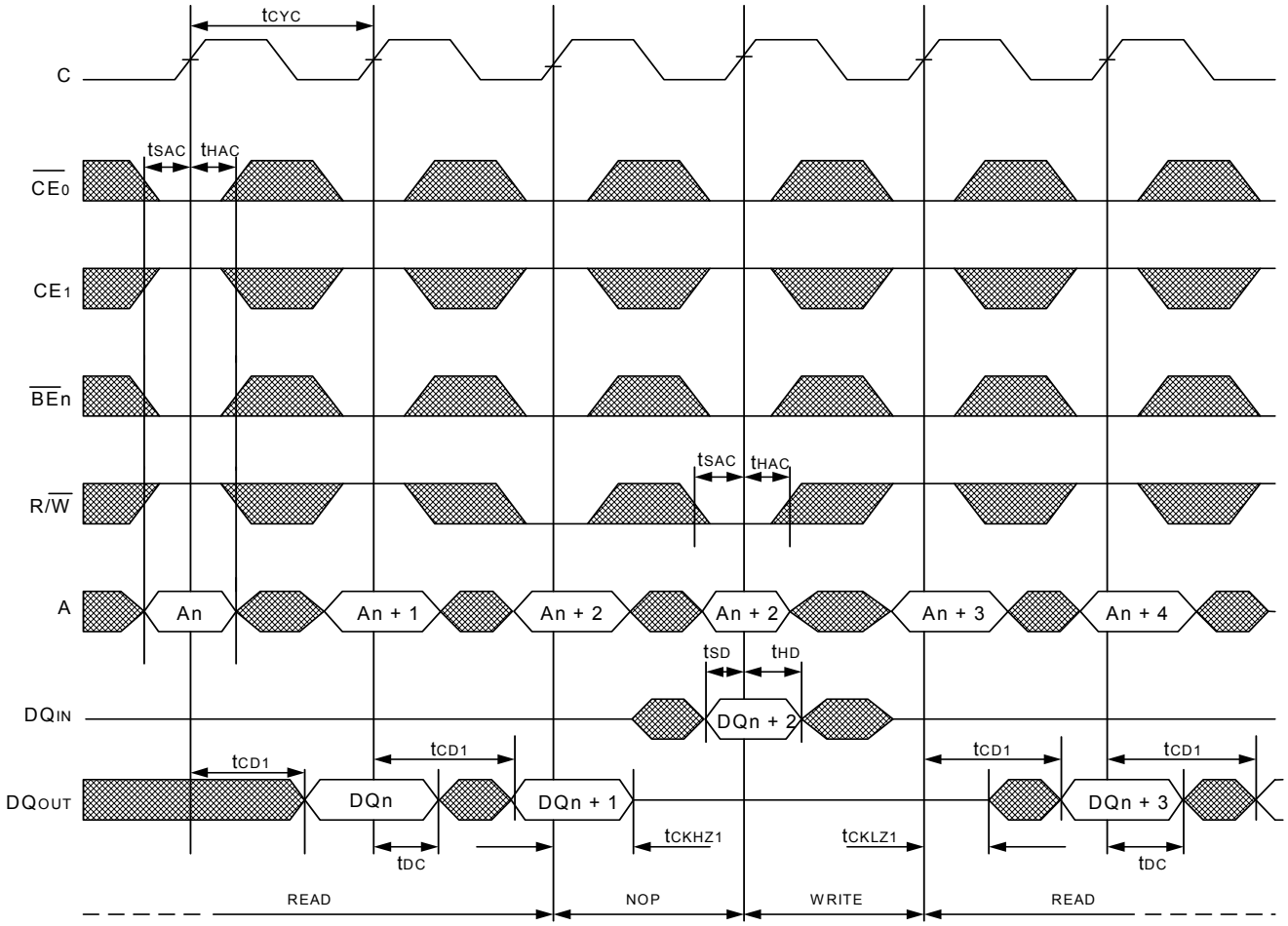
図 27. 読み出し～書き込み (パイプライン モード、$\overline{OE}$ 制御) [62、63]



注
59. $\overline{OE}$ = V_{IL} の時、前回の読み出し動作が DQ バスがトライステートになる前に完了でき、ユーザーは書き込みデータを駆動できるようになります。
60. 2 回のダミー データ書き込みはバス ターンアラウンドのために発行されます。3 回目の命令は最初の有効な書き込みです。
61. チップ イネーブルまたはすべてのバイト イネーブルは 2 回のダミー データ書き込みの実行中に、データ破損を防ぐために非アクティブに維持されます。
62. $\overline{OE}$ はデアサートされて、最初の書き込み動作が実行されるまで t_{OHZ} が経過します。
63. $\overline{OE}$ がデアサートされた後に完了する予定があるすべての書き込み動作は防止されます。

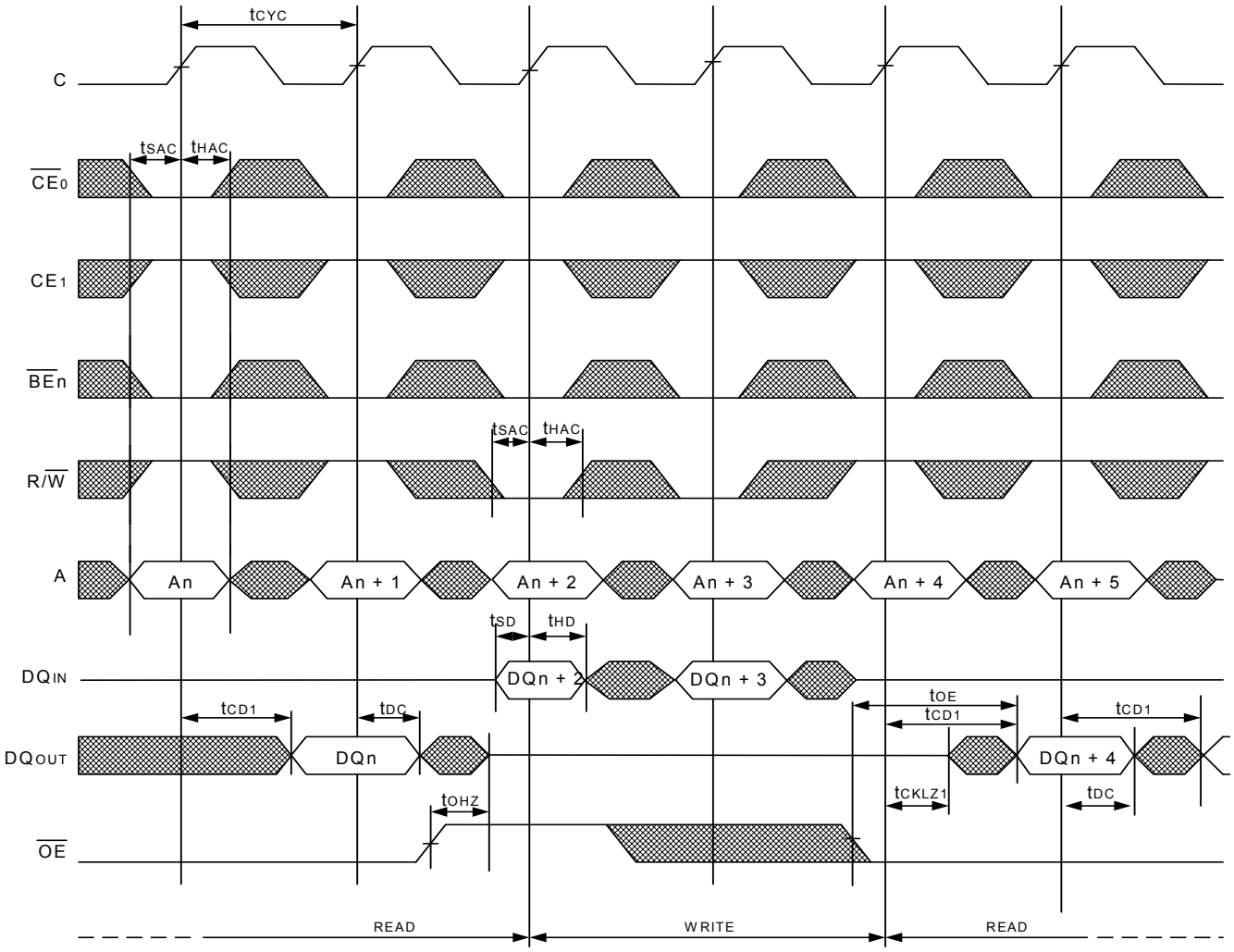
スイッチング波形 (続き)

図 28. 読み出し～書き込み～読み出し (フロースルー モード、$\overline{OE}$ = LOW)



スイッチング波形 (続き)

図 29. 読み出し～書き込み～読み出し (フロースルー モード、$\overline{OE}$ 制御)



スイッチング波形 (続き)

図 30. $\overline{BUSY}$ タイミング、書き込み - 書き込み衝突 (パイプラインおよびフロースルー モード)、クロック タイミングが t_{CCS} の要件に違反 (両ポートに対してフラグをセット)

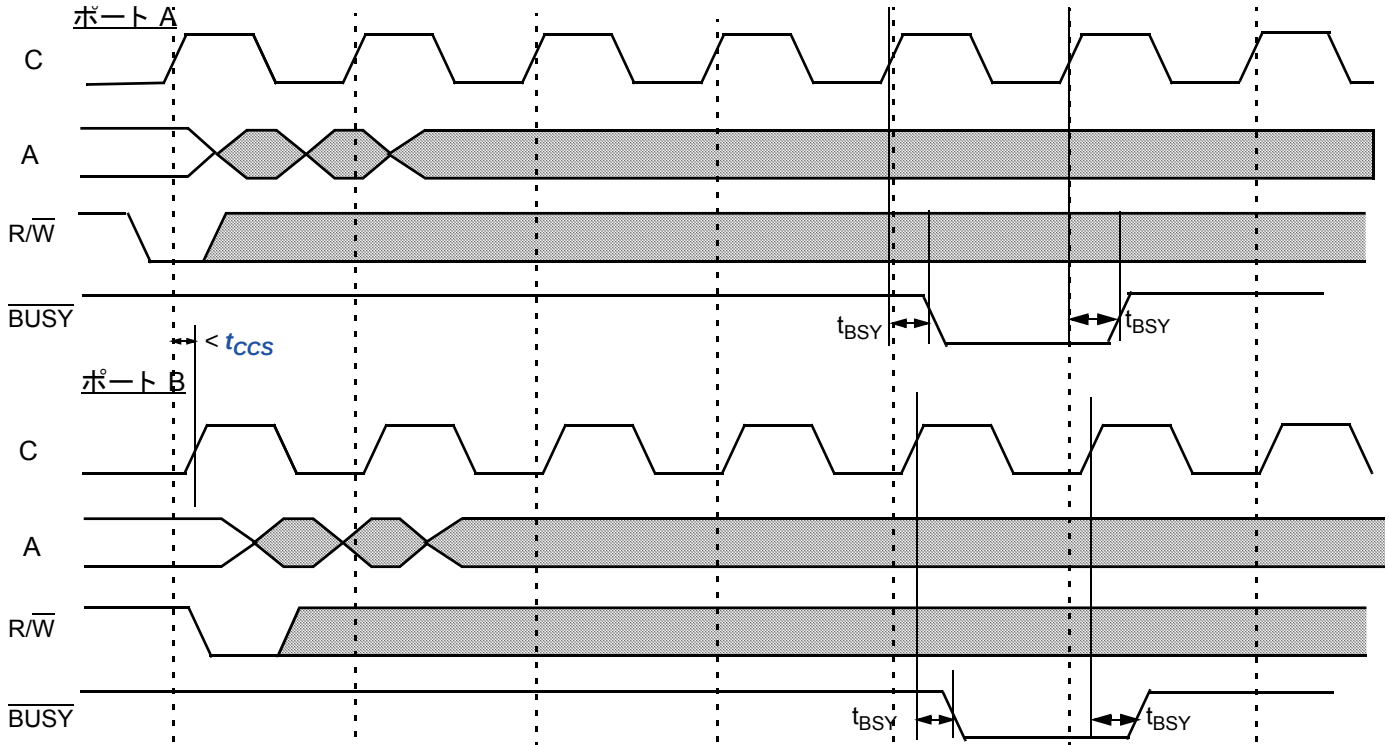
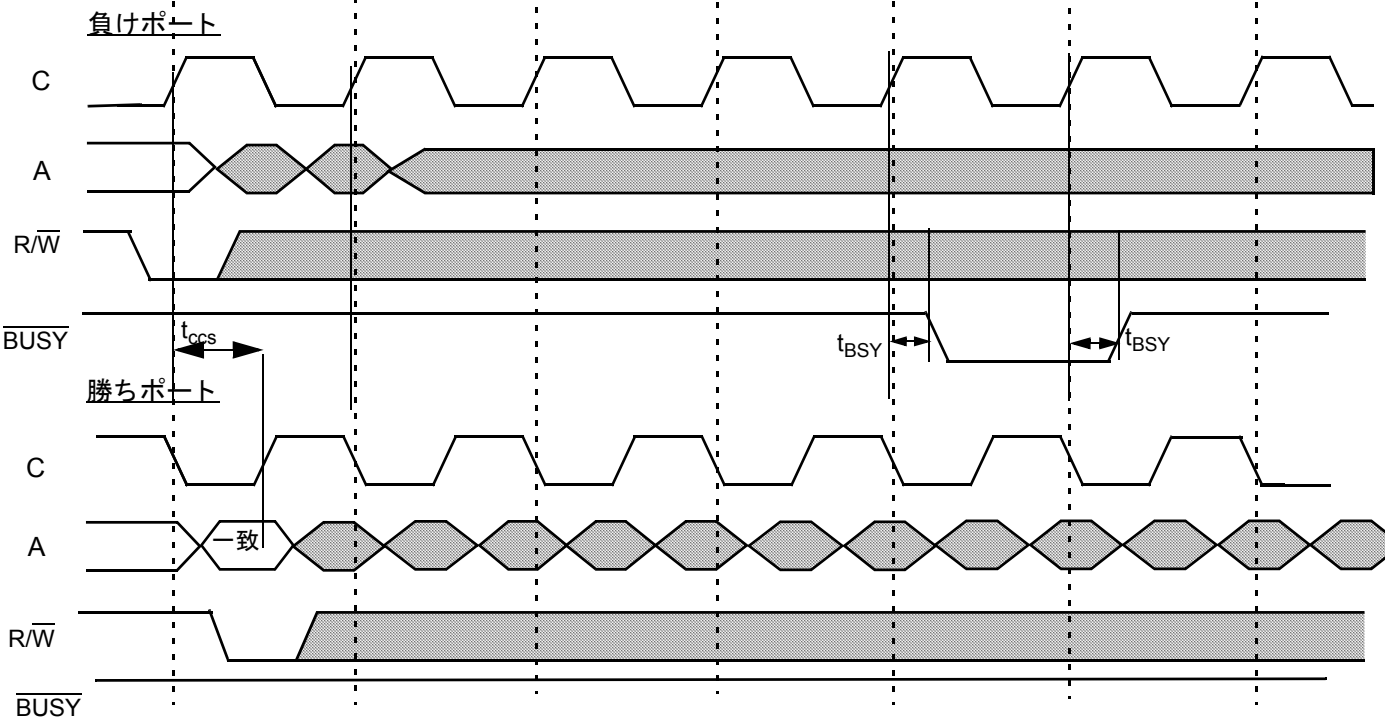
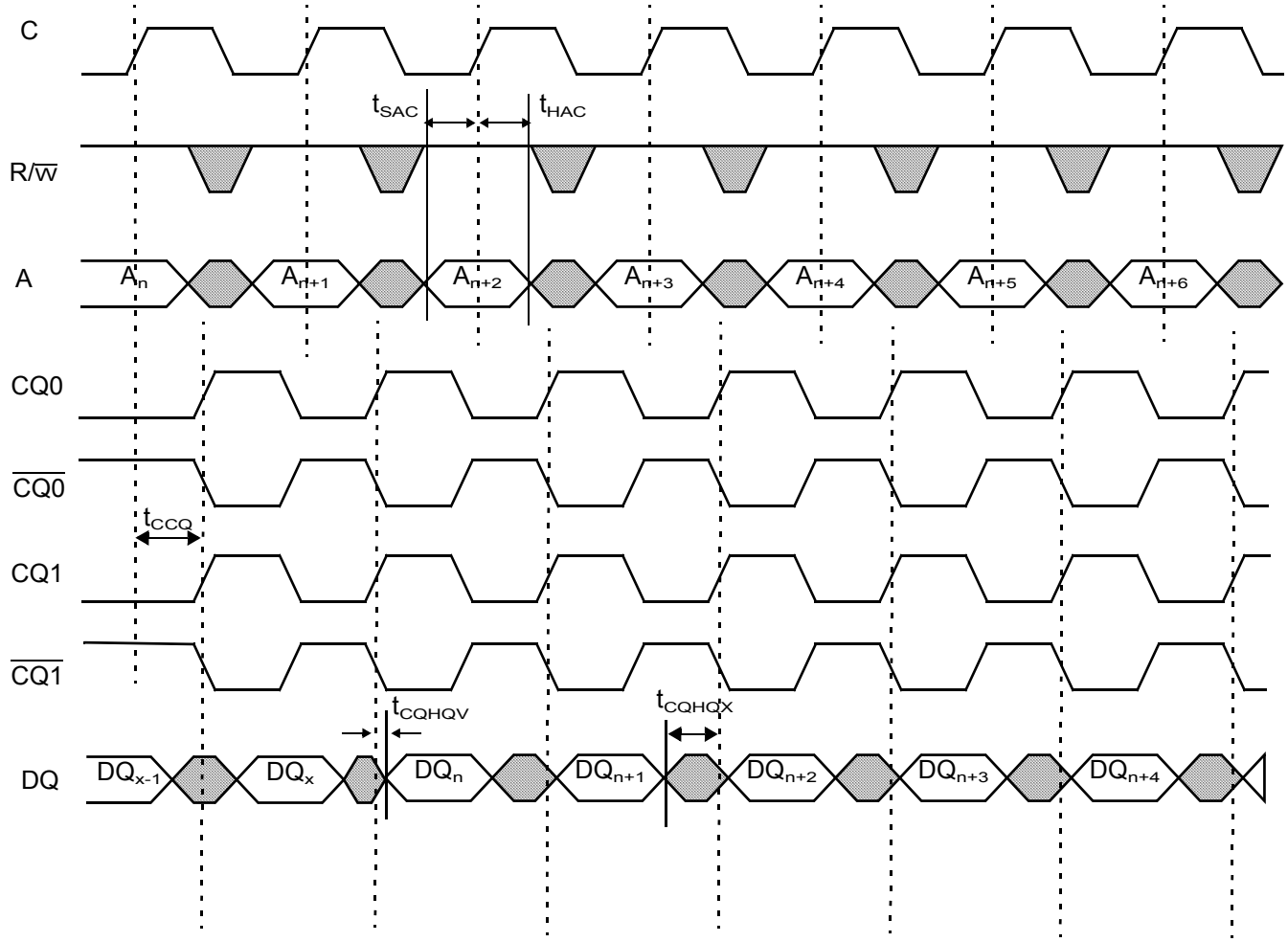


図 31. $\overline{BUSY}$ タイミング、書き込み - 書き込み衝突 (パイプラインおよびフロースルー モード)、クロック タイミングが t_{CCS} の要件を満たす



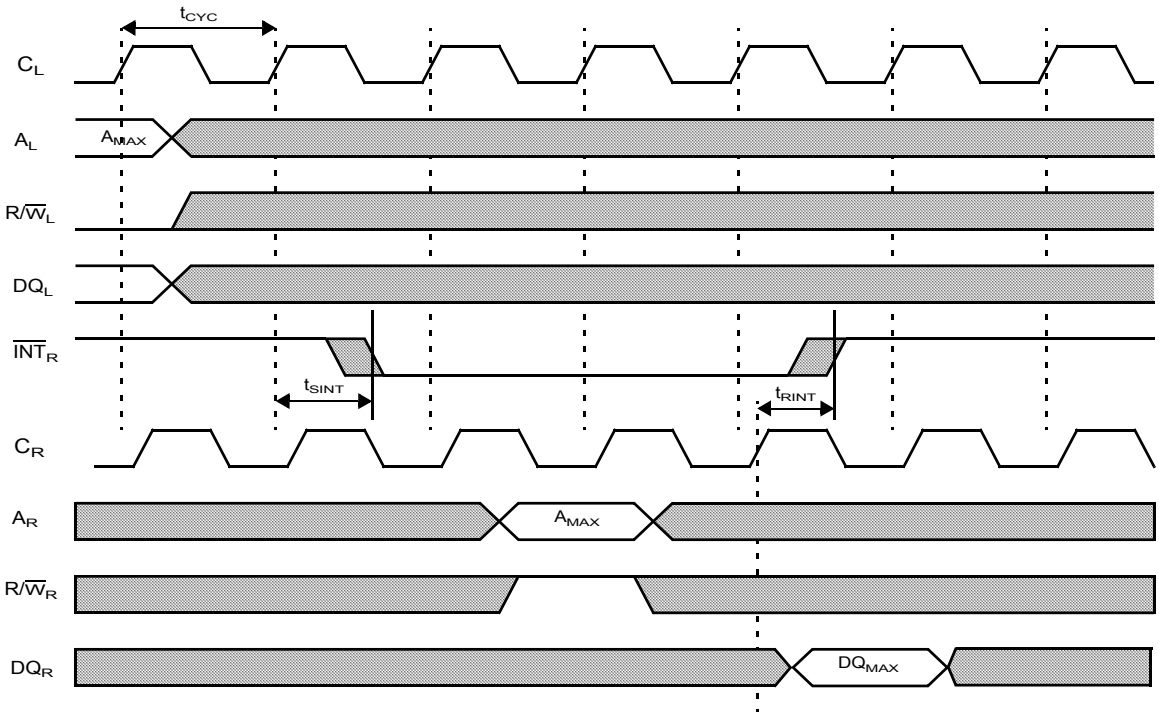
スイッチング波形 (続き)

図 32. エコー クロックを使用した読み出し (パイプライン モード、CQEN = HIGH)



スイッチング波形 (続き)

図 33. メールボックス割り込み出力



注文情報

512K × 72 (36M ビット) 1.8V/1.5V 同期 CYD36S72V18 デュアル ポート SRAM

速度 (MHz)	注文コード	パッケージ図	パッケージ タイプ	動作範囲
200	CYD36S72V18-200BGXC	001-07825	484 ボール ボール グリッド アレイ 27mm × 27mm、1.0mm ピッチ (鉛フリー)	商業用
167	CYD36S72V18-167BGXI	001-07825	484 ボール ボール グリッド アレイ 27mm × 27mm、1.0mm ピッチ (鉛フリー)	産業用

256K × 72 (18M ビット) 1.8V/1.5V 同期 CYD18S72V18 デュアル ポート SRAM

速度 (MHz)	注文コード	パッケージ図	パッケージ タイプ	動作範囲
200	CYD18S72V18-200BGXI	51-85218	484 ボール ボール グリッド アレイ 23mm × 23mm、1.0mm ピッチ (鉛フリー)	産業用
200	CYD18S72V18-200BGI	51-85218	484 ボール ボール グリッド アレイ 23mm × 23mm、1.0mm ピッチ	産業用
167	CYD18S72V18-167BGI	51-85218	484 ボール ボール グリッド アレイ 23mm × 23mm、1.0mm ピッチ	産業用

128K × 72 (9M ビット) 1.8V/1.5V 同期 CYD09S72V18 デュアル ポート SRAM

速度 (MHz)	注文コード	パッケージ図	パッケージ タイプ	動作範囲
167	CYD09S72V18-167BBXC	51-85218	484 ボール ボール グリッド アレイ 23mm × 23mm、1.0mm ピッチ (鉛フリー)	商業用

1024K × 36 (36M ビット) 1.8V/1.5V 同期 CYD36S36V18 デュアル ポート SRAM

速度 (MHz)	注文コード	パッケージ図	パッケージ タイプ	動作範囲
167	CYD36S36V18-167BGXI	001-07825	484 ボール ボール グリッド アレイ 27mm × 27mm、1.0mm ピッチ (鉛フリー)	産業用

512K × 36 (18M ビット) 1.8V/1.5V 同期 CYD18S36V18 デュアル ポート SRAM

速度 (MHz)	注文コード	パッケージ図	パッケージ タイプ	動作範囲
200	CYD18S36V18-200BBAXI	51-85108	256 ボール ボール グリッド アレイ 17mm × 17mm、1.0mm ピッチ (鉛フリー)	産業用
167	CYD18S36V18-167BBAI	51-85108	256 ボール ボール グリッド アレイ 17mm × 17mm、1.0mm ピッチ	産業用

注文情報 (続き)

256K × 36 (9M ビット) 1.8V/1.5V 同期 CYD09S36V18 デュアル ポート SRAM

速度 (MHz)	注文コード	パッケージ図	パッケージ タイプ	動作範囲
200	CYD09S36V18-200BBXI	51-85108	256 ボール ボール グリッド アレイ 17mm × 17mm、1.0mm ピッチ (鉛フリー)	産業用
167	CYD09S36V18-167BBXC	51-85108	256 ボール ボール グリッド アレイ 17mm × 17mm、1.0mm ピッチ (鉛フリー)	商業用

64K × 36 (2M ビット) 1.8V/1.5V 同期 CYD02S36V18 デュアル ポート SRAM

速度 (MHz)	注文コード	パッケージ図	パッケージ タイプ	動作範囲
200	CYD02S36V18-200BBC	51-85108	256 ボール ボール グリッド アレイ 17mm × 17mm、1.0mm ピッチ	商業用
200	CYD02S36V18-200BBXC	51-85108	256 ボール ボール グリッド アレイ 17mm × 17mm、1.0mm ピッチ (鉛フリー)	商業用

注文情報 (続き)

2048K × 18 (36M ビット) 1.8V/1.5V 同期 CYD36S18V18 デュアル ポート SRAM

速度 (MHz)	注文コード	パッケージ図	パッケージ タイプ	動作範囲
167	CYD36S18V18-167BGXI	001-07825	484 ボール ボール グリッド アレイ 27mm × 27mm、1.0mm ピッチ (鉛フリー)	産業用

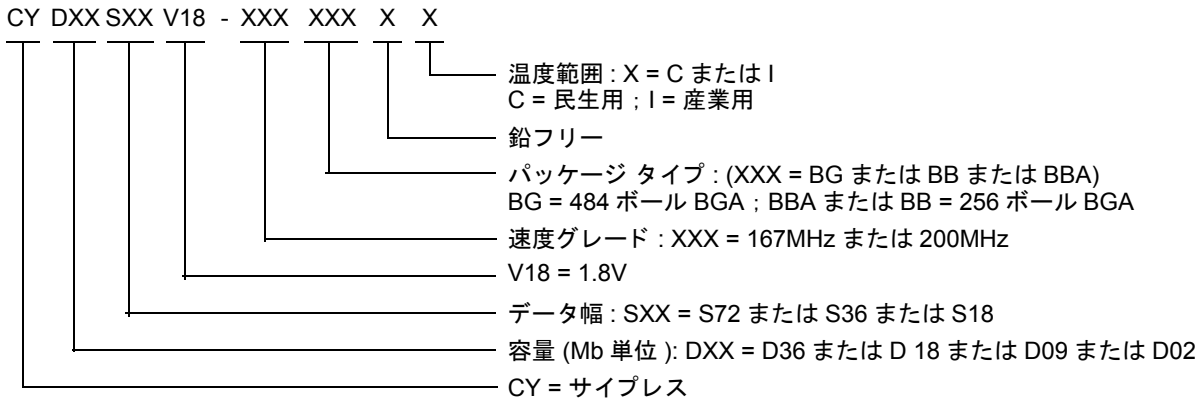
1024K × 18 (18M ビット) 1.8V/1.5V 同期 CYD18S18V18 デュアル ポート SRAM

速度 (MHz)	注文コード	パッケージ図	パッケージ タイプ	動作範囲
200	CYD18S18V18-200BBAXI	51-85108	256 ボール ボール グリッド アレイ 17mm × 17mm、1.0mm ピッチ (鉛フリー)	産業用
200	CYD18S18V18-200BBAXC	51-85108	256 ボール ボール グリッド アレイ 17mm × 17mm、1.0mm ピッチ (鉛フリー)	商業用
167	CYD18S18V18-167BBAXI	51-85108	256 ボール ボール グリッド アレイ 17mm × 17mm、1.0mm ピッチ (鉛フリー)	産業用

512K × 18 (9M ビット) 1.8V/1.5V 同期 CYD09S18V18 デュアル ポート SRAM

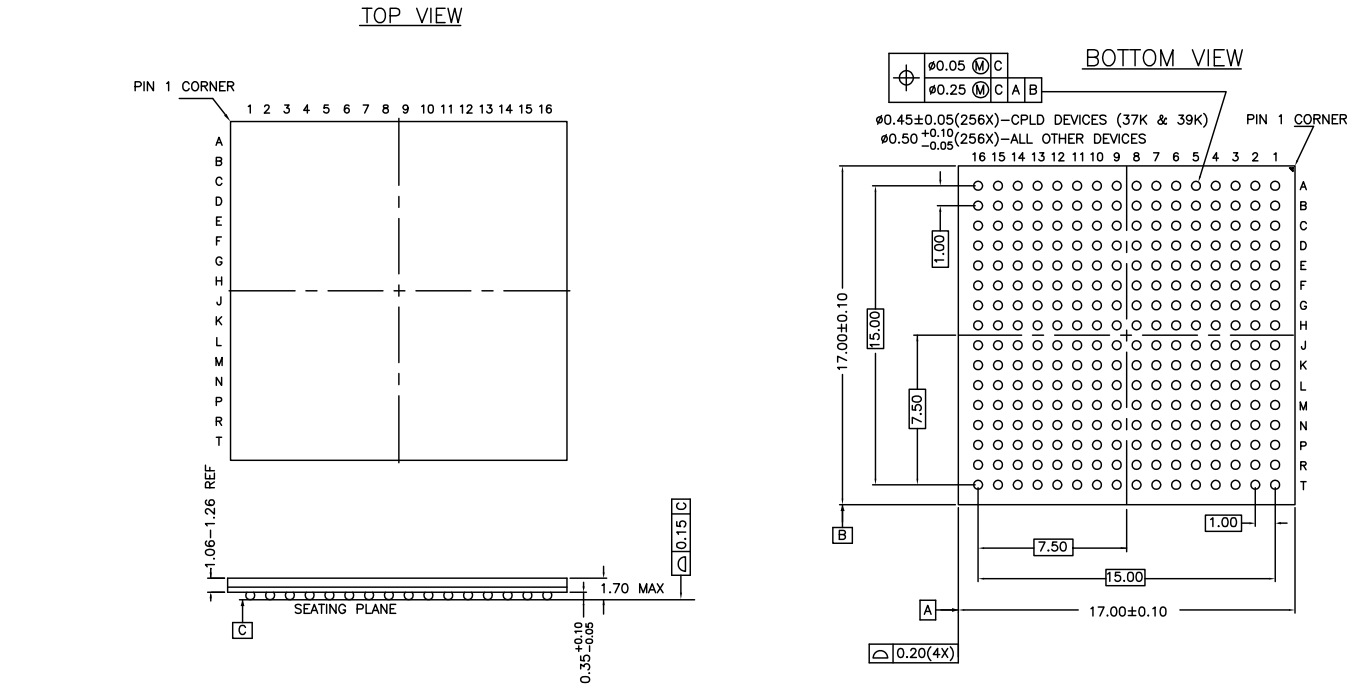
速度 (MHz)	注文コード	パッケージ図	パッケージ タイプ	動作範囲
167	CYD09S18V18-167BBXI	51-85108	256 ボール ボール グリッド アレイ 17mm × 17mm、1.0mm ピッチ (鉛フリー)	産業用

注文コードの定義



外形図

図 34. 256 ボール FBGA (17 × 17 × 1.7mm) BB256/BW0BD パッケージ図、51-85108

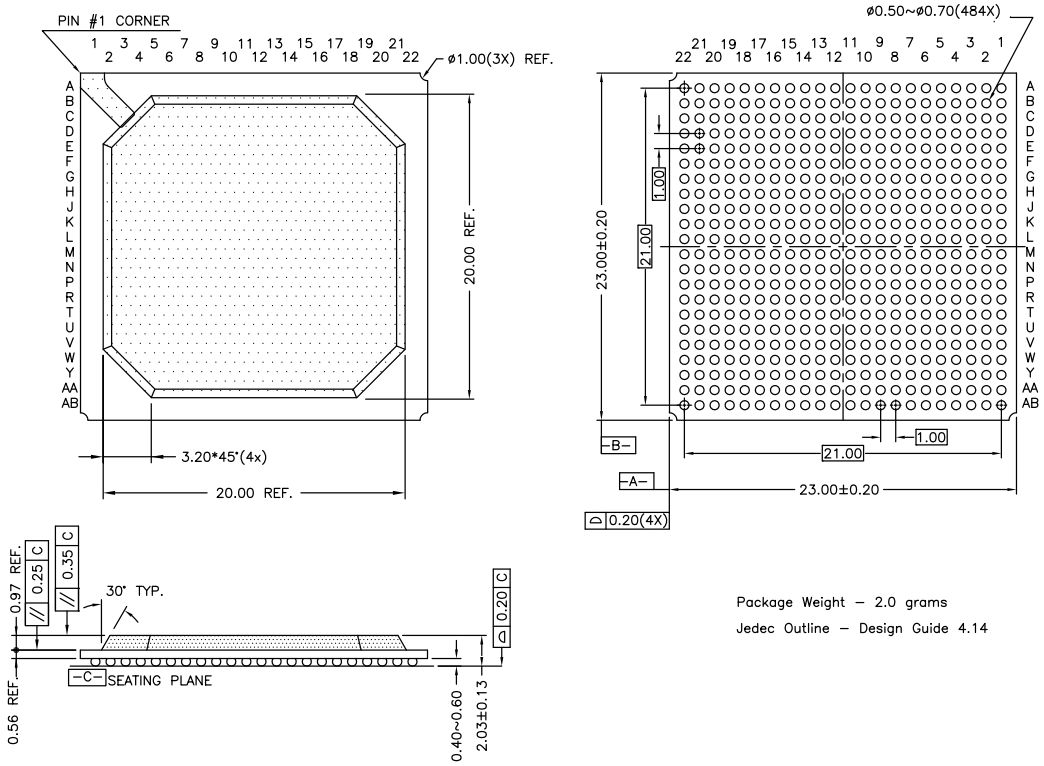


REFERENCE JEDEC MO–192 PACKAGE WEIGHT – 0.95gr

51-85108 *J

外形図 (続き)

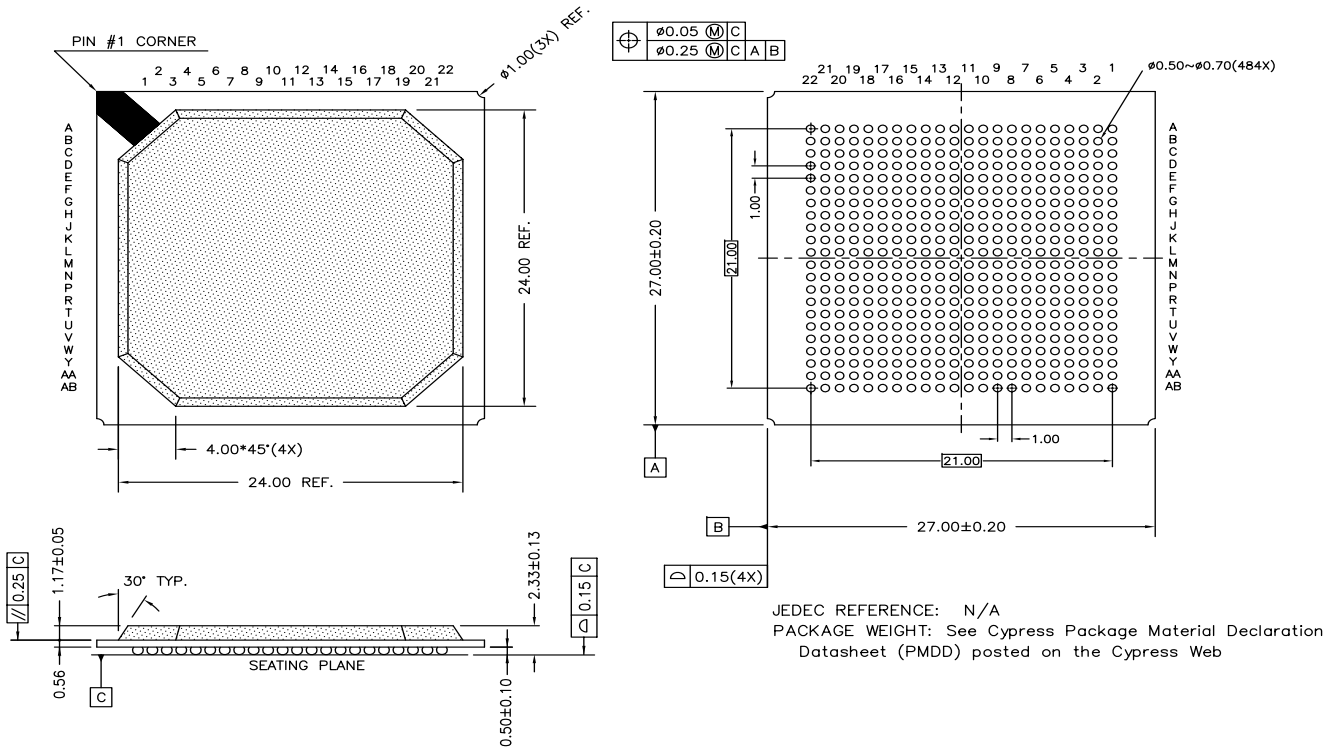
図 35. 484 ボール PBGA (23 × 23 × 2.03mm) BY484 パッケージ図、51-85218



51-85218 *B

外形図 (続き)

図 36. 484 ボール PBGA (27 × 27 × 2.33mm) BY484S パッケージ図、001-07825



略語

略語	説明
BGA	Ball Grid Array (ボール グリッド アレイ)
CMOS	Complementary Metal Oxide Semiconductor (相補型金属酸化膜半導体)
DLL	Delay Lock Loop (遅延ロック ループ)
FBGA	Fine-Pitch Ball Grid Array (微細ピッチ ボール グリッド アレイ)
HSTL	High Speed Transceiver Logic (高速トランシーバー ロジック)
I/O	入力／出力
SDR	Single Data Rate (シングル データ レート)
SRAM	Static Random Access Memory (スタティック ランダム アクセス メモリ)
TCK	Test Clock (テスト クロック)
TDI	Test Data-In (テスト データ入力)
TDO	Test Data-Out (テスト データ出力)
TMS	Test Mode Select (テスト モード選択)
VIM	Variable Impedance Matching (可変インピーダンス整合)

本書の表記法

測定単位

記号	測定単位
°C	摂氏温度
MHz	メガヘルツ
µA	マイクロアンペア
mA	ミリアンペア
ms	ミリ秒
mV	ミリボルト
ns	ナノ秒
pF	ピコファラッド
V	ボルト
W	ワット

改訂履歴

文書名 : CYDXXS72V18/CYDXXS36V18/CYDXXS18V18、FullFlex™ 同期 SDR デュアル ポート SRAM 文書番号 : 001-95872				
版	**ECN 番号**	**発行日**	**変更者**	**変更内容**
**	4700350	05/05/2015	YOHK	これは英語版 38-06082 Rev. *P を翻訳した日本語版 001-95872 Rev. ** です。

セールス、ソリューションおよび法律情報

ワールドワイドな販売と設計サポート

サイプレスは、事業所、ソリューション センター、メーカー代理店および販売代理店の世界的なネットワークを保持しています。お客様の最寄りのオフィスについては、サイプレスのロケーション ページをご覧ください。

製品

車載用	cypress.com/go/automotive
クロック & バッファ	cypress.com/go/clocks
インターフェース	cypress.com/go/interface
照明 & 電力制御	cypress.com/go/powerpsoc cypress.com/go/plc
メモリ	cypress.com/go/memory
PSoC	cypress.com/go/psoc
タッチ センシング	cypress.com/go/touch
USB コントローラー	cypress.com/go/USB
ワイヤレス／RF	cypress.com/go/wireless

PSoC® ソリューション

psoc.cypress.com/solutions

PSoC 1 | PSoC 3 | PSoC 4 | PSoC 5LP

サイプレス開発者コミュニティ

コミュニティ | フォーラム | ブログ | ビデオ | トレーニング

テクニカル サポート

cypress.com/go/support

© Cypress Semiconductor Corporation, 2005-2015. 本文書に記載される情報は、予告なく変更される場合があります。Cypress Semiconductor Corporation (サイプレス セミコンダクタ社) は、サイプレス製品に組み込まれた回路以外のいかなる回路を使用することに対して一切の責任を負いません。サイプレス セミコンダクタ社は、特許またはその他の権利に基づくライセンスを譲渡することも、または含意することもありません。サイプレス製品は、サイプレスとの書面による合意に基づくものでない限り、医療、生命維持、救命、重要な管理、または安全の用途のために使用することを保証するものではなく、また使用することを意図したものでもありません。さらにサイプレスは、誤動作や故障によって使用者に重大な傷害をもたらすことが合理的に予想される生命維持システムの重要なコンポーネントとしてサイプレス製品を使用することを許可していません。生命維持システムの用途にサイプレス製品を供することは、製造者がそのような使用におけるあらゆるリスクを負うことを意味し、その結果サイプレスはあらゆる責任を免除されることを意味します。

すべてのソース コード (ソフトウェアおよび／またはファームウェア) はサイプレス セミコンダクタ社 (以下「サイプレス」) が所有し、全世界の特許権保護 (米国およびその他の国)、米国の著作権法ならびに国際協定の条項により保護され、かつそれらに従います。サイプレスが本書面によりライセンシーに付与するライセンスは、個人的、非独占的かつ譲渡不能のライセンスであり、適用される契約で指定されたサイプレスの集積回路と併用されるライセンシーの製品のみをサポートするカスタム ソフトウェアおよび／またはカスタム ファームウェアを作成する目的に限って、サイプレスのソース コードの派生著作物をコピー、使用、変更そして作成するためのライセンス、ならびにサイプレスのソース コードおよび派生著作物をコンパイルするためのライセンスです。上記で指定された場合を除き、サイプレスの書面による明示的な許可なくして本ソース コードを複製、変更、変換、コンパイル、または表示することはすべて禁止します。

免責条項：サイプレスは、明示的または黙示的を問わず、本資料に関するいかなる種類の保証も行いません。これには、商品性または特定目的への適合性の黙示的な保証が含まれますが、これに限定されません。サイプレスは、本文書に記載される資料に対して今後予告なく変更を加える権利を留保します。サイプレスは、本文書に記載されるいかなる製品または回路を適用または使用したことによって生ずるいかなる責任も負いません。サイプレスは、誤動作や故障によって使用者に重大な傷害をもたらすことが合理的に予想される生命維持システムの重要なコンポーネントとしてサイプレス製品を使用することを許可していません。生命維持システムの用途にサイプレス製品を供することは、製造者がそのような使用におけるあらゆるリスクを負うことを意味し、その結果サイプレスはあらゆる責任を免除されることを意味します。

ソフトウェアの使用は、適用されるサイプレス ソフトウェア ライセンス契約によって制限され、かつ制約される場合があります。

本書で言及するすべての製品名および会社名は、それぞれの所有者の商標である場合があります。