CYDXXS72V18
CYDXXS36V18
CYDXXS18V18

FullFlex™ 同步 SDR 双端口 SRAM

特性

- 真正的双端口存储器允许同时访问每个端口共享的阵列
- 以单倍数据速率 （SDR）在每个端口上进行同步管道式操作
  - 工作频率为 200 MHz 的 SDR 接口
  - 高达 28.8 Gb/s 的带宽 （200 MHz × 72 位 × 2 个端口）
- 可选管道模式或输出模式
- 1.5 V 或 1.8 V 内核电源
- 商业级和工业级温度
- IEEE 1149.1 JTAG 边界扫描
- 采用了 484 球型焊盘 PBGA（× 72）和 256 球型焊盘 FBGA（× 36 和 × 18）封装形式
- FullFlex72 系列
  - 36 Mbit：512 K × 72 （CYD36S72V18）
  - 18 Mbit：256 K × 72 （CYD18S72V18）
  - 9 Mbit：128 K × 72 （CYD09S72V18）
- FullFlex36 系列
  - 36 Mbit：1 M × 36 （CYD36S36V18）
  - 18 Mbit：512 K × 36 （CYD18S36V18）
  - 9 Mbit：256 K × 36 （CYD09S36V18）
  - 2 Mbit：64 K × 36 （CYD02S36V18）
- FullFlex18 系列
  - 36 Mbit：2 M × 18 （CYD36S18V18）
  - 18 Mbit：1 M × 18 （CYD18S18V18）
  - 9 Mbit：512 K × 18 （CYD09S18V18）
- 内置确定访问控制，以管理地址冲突
  - 检测出冲突时的确定标志输出
  - 连续时钟周期上的冲突标志
  - 第一个繁忙地址回读
- 高级性能用于提高数据传输的速度和灵活性
  - 变量阻抗匹配 （VIM）
  - 随路时钟
  - 每个端口上的可选 LVTTL（3.3 V）、扩展 HSTL（1.4 V 到 1.9 V）、1.8 V LVCMOS 或 2.5 V LVCMOS IO
  - 序列存储器访问的突发计数器
  - “ 邮箱 ”（地址）带有指示信息传输的中断标志
  - 用于轻松实现深度扩展的双芯片

功能说明

FullFlex™ 双端口 SRAM 系列包括 2 Mbit、9 Mbit、18 Mbit 和 36 Mbit 同步且真端口静态 RAM，这些 RAM 是高速运行，使用低功耗 1.8 V 或 1.5 V 的 CMOS。提供了两个端口，允许同时访问阵列。同时访问一个位置会触发确定访问控制。对于 FullFlex72 系列的器件，这些端口在宽度为 72 位的总线上单独工作，并且每个端口为两个管道式阶段单独配置。此外，还配置了每个端口以便能够在管道模式或输出模式下工作。

高级性能如下：

- 内置的确定放置控制，用于在同时访问同一个存储器期间管理地址冲突
- 变量阻抗匹配 （VIM），通过使输出驱动器阻抗与线路阻抗相互匹配来改善数据转换
- 回波时钟，用于提高数据传输速率

为降低静态功耗，芯片使能会关闭内部电路的电源。$\overline{CE}_0$ 或 CE_1 中的更改会使能或禁用数据总线前的延迟周期数量与为器件选定的读取延迟周期的数量相互匹配。要想执行有效的读 / 写操作，需要在一个端口上激活这两个芯片使能输入。

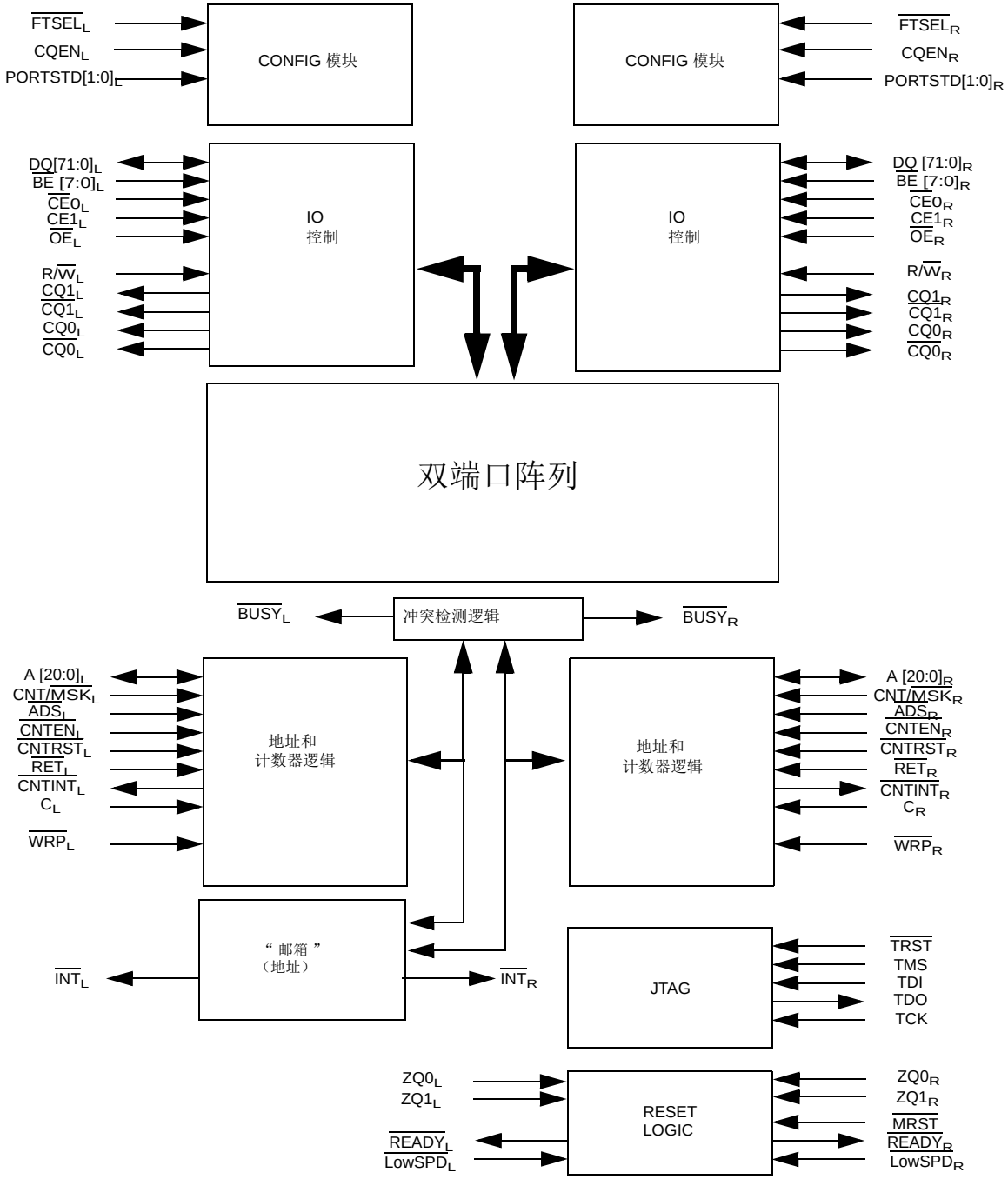
每个端口都包含了一个输入地址寄存器上的可选突发计数器。将初始地址外部载入计数器内后，该计数器会内部递增地址。

此外，器件特性还包括一个屏蔽寄存器和一个镜像寄存器，用于控制计数器递增并循环反转。计数器中断 （CNTINT）标志会通知主机：计数器将在下一个时钟周期到来时达到最大计数值。主机会读取地址行上的突发计数器内部地址、屏蔽寄存器地址和繁忙地址。通过使用重新传输功能，主机还会将存储在镜像寄存器内的地址载入到计数器内。“ 邮箱 ”（地址）中断标志用于信息传递、JTAG 边界扫描和异步主设备复位 （$\overline{MRST}$）。第 2 页上的逻辑框图解释了这些性能。

FullFlex72 采用了 484 球型焊盘塑料 BGA 封装形式。除了 36 Mbit 器件采用 484 球型焊盘塑料 BGA 封装外， FullFlex36 和 FullFlex18 系列的器件都采用了 256 球型焊盘小间距 BGA 封装形式。

逻辑框图

下面分别显示了 FullFlex72、 FullFlex36 和 FullFlex18 系列的逻辑框图：[1、 2、 3]



注释：

1. CYD36S18V18 器件有 21 个地址位。CYD36S36V18 和 CYD18S18V18 器件有 20 个地址位。 CYD36S72V18、CYD18S36V18 和 CYD09S18V18 器件有 19 个地址位。 CYD18S72V18 和 CYD09S36V18 器件有 18 个地址位。 CYD09S72V18 器件有 17 个地址位。 CYD02S36V18 器件有 16 个地址位。
2. FullFlex72 系列的器件有 72 个数据线。 FullFlex36 系列的器件有 36 个数据线。 FullFlex18 系列的器件有 18 个数据线。
3. FullFlex72 系列的器件有 8 个字节使能。 FullFlex36 系列的器件有 4 个字节使能。 FullFlex18 系列的器件有 2 个字节使能。

目录

产品选型指南 9
引脚定义 9
可选 IO 标准 11
时钟 11
可选管道模式或输出模式 11
DLL 11
回波时钟 11
确定访问控制 11
变量阻抗匹配 12
地址计数器和屏蔽寄存器操作 [28] 13
计数器负载操作 [28] 13
屏蔽寄存器负载操作 [28] 13
计数器回读操作 13
屏蔽寄存器回读操作 13
计数器复位操作 13
屏蔽复位操作 13
递增操作 [31] 15
保持操作 15
重新传输 15
计数器中断 15
计数器增加 2 15
计数器增加 4 15
“ 邮箱 ”（地址）中断 15
主设备复位 18
IEEE 1149.1 串行边界扫描（JTAG） 18
最大额定值 19
工作范围 19
电源要求 19
电气特性 19
电气特性 21
电气特性 24
电容 24
热阻 24
交流测试负载和波形 25
切换特性 26
切换波形 29
订购信息 43
512 K × 72（36 Mbit）1.8 V/1.5 V 同步
CYD36S72V18 双端口 SRAM 43
256 K × 72（18 Mbit）1.8 V/1.5 V 同步
CYD18S72V18 双端口 SRAM 43
128 K × 72（9 Mbit）1.8 V/1.5 V 同步
CYD09S72V18 双端口 SRAM 43
1024 K × 36（36 Mbit）1.8 V/1.5 V 同步
CYD36S36V18 双端口 SRAM 43
512 K × 36（18 Mbit）1.8 V/1.5 V 同步
CYD18S36V18 双端口 SRAM 43
256 K × 36（9 Mbit）1.8 V/1.5 V 同步
CYD09S36V18 双端口 SRAM 44
64 K × 36（2 Mbit）1.8 V 或 1.5 V 同步
CYD02S36V18 双端口 SRAM 44
2048 K × 18（36 Mbit）1.8 V/1.5 V 同步
CYD36S18V18 双端口 SRAM 45
1024 K × 18（18 Mbit）1.8 V/1.5 V 同步
CYD18S18V18 双端口 SRAM 45
512 K × 18（9 Mbit）1.8 V/1.5 V 同步
CYD09S18V18 双端口 SRAM 45
订购代码定义 45
封装图 46
缩略语 49
文档规范 49
测量单位 49
文档修订记录页 50
销售、解决方案和法律信息 51
全球销售和设计支持 51
产品 51
PSoC® 解决方案 51
赛普拉斯开发者社区 51
技术支持 51

图 1. FullFlex72 SDR 484 球型焊盘 BGA 引脚分布 （顶视图）

	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22
A	DNU	DQ61L	DQ59L	DQ57L	DQ54L	DQ51L	DQ48L	DQ45L	DQ42L	DQ39L	DQ36L	DQ36R	DQ39R	DQ42R	DQ45R	DQ48R	DQ51R	DQ54R	DQ57R	DQ59R	DQ61R	DNU
B	DQ63L	DQ62L	DQ60L	DQ58L	DQ55L	DQ52L	DQ49L	DQ46L	DQ43L	DQ40L	DQ37L	DQ37R	DQ40R	DQ43R	DQ46R	DQ49R	DQ52R	DQ55R	DQ58R	DQ60R	DQ62R	DQ63R
C	DQ65L	DQ64L	VSS	VSS	DQ56L	DQ53L	DQ50L	DQ47L	DQ44L	DQ41L	DQ38L	DQ38R	DQ41R	DQ44R	DQ47R	DQ50R	DQ53R	DQ56R	VSS	VSS	DQ64R	DQ65R
D	DQ67L	DQ66L	VSS	VSS	VSS	$\overline{\text{CQ1L}}$	CQ1L	VSS	$\overline{\text{LOWSPDL}}$	PORTSTD0L	ZQ0L[4]	$\overline{\text{BUSYL}}$	$\overline{\text{CNTINTL}}$	PORTSTD1L	DNU	CQ1R	$\overline{\text{CQ1R}}$	VSS	VSS	VSS	DQ66R	DQ67R
E	DQ69L	DQ68L	VDDIOL	VSS	VSS	VDDIOL	VDDIOL	VDDIOL	VDDIOL	VDDIOL	VTTL	VTTL	VTTL	VDDIOR	VDDIOR	VDDIOR	VDDIOR	DNU	VSS	VDDIOR	DQ68R	DQ69R
F	DQ71L	DQ70L	CE1L	$\overline{\text{CE0L}}$	VDDIOL	VDDIOL	VDDIOL	VDDIOL	VDDIOL	VCORE	VCORE	VCORE	VCORE	VDDIOR	VDDIOR	VDDIOR	VDDIOR	VDDIOR	$\overline{\text{CE0R}}$	CE1R	DQ70R	DQ71R
G	A0L	A1L	$\overline{\text{RETL}}$	$\overline{\text{BE4L}}$	VDDIOL	VDDIOL	VREFL	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VREFR	VDDIOR	VDDIOR	$\overline{\text{BE4R}}$	$\overline{\text{RETR}}$	A1R	A0R
H	A2L	A3L	$\overline{\text{WRPL}}$	$\overline{\text{BE5L}}$	VDDIOL	VDDIOL	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VDDIOR	VDDIOR	$\overline{\text{BE5R}}$	$\overline{\text{WRPR}}$	A3R	A2R
J	A4L	A5L	$\overline{\text{READYL}}$	$\overline{\text{BE6L}}$	VDDIOL	VDDIOL	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VDDIOR	VDDIOR	$\overline{\text{BE6R}}$	$\overline{\text{READYR}}$	A5R	A4R
K	A6L	A7L	ZQ1L[4、5]	$\overline{\text{BE7L}}$	VTTL	VCORE	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VCORE	VDDIOR	$\overline{\text{BE7R}}$	ZQ1R[4, 5]	A7R	A6R
L	A8L	A9L	CL	$\overline{\text{OEL}}$	VTTL	VCORE	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VCORE	VTTL	$\overline{\text{OER}}$	CR	A9R	A8R
M	A10L	A11L	VSS	$\overline{\text{BE3L}}$	VTTL	VCORE	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VCORE	VTTL	$\overline{\text{BE3R}}$	VSS	A11R	A10R
N	A12L	A13L	$\overline{\text{ADSL}}$	$\overline{\text{BE2L}}$	VDDIOL	VCORE	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VCORE	VTTL	$\overline{\text{BE2R}}$	$\overline{\text{ADSR}}$	A13R	A12R
P	A14L	A15L	CNT/$\overline{\text{MSKL}}$	$\overline{\text{BE1L}}$	VDDIOL	VDDIOL	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VDDIOR	VDDIOR	$\overline{\text{BE1R}}$	CNT/$\overline{\text{MSKR}}$	A15R	A14R
R	A16L[8]	A17L[7]	$\overline{\text{CNTENL}}$	$\overline{\text{BE0L}}$	VDDIOL	VDDIOL	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VDDIOR	VDDIOR	$\overline{\text{BE0R}}$	$\overline{\text{CNTENR}}$	A17R[7]	A16R[8]
T	A18L[6]	DNU	$\overline{\text{CNTRSTL}}$	$\overline{\text{INTL}}$	VDDIOL	VDDIOL	VREFL	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VREFR	VDDIOR	VDDIOR	$\overline{\text{INTR}}$	$\overline{\text{CNTRSTR}}$	DNU	A18R[6]
U	DQ35L	DQ34L	R/$\overline{\text{WL}}$	CQENL	VDDIOL	VDDIOL	VDDIOL	VDDIOL	VDDIOL	VCORE	VCORE	VCORE	VCORE	VDDIOR	VDDIOR	VDDIOR	VDDIOR	VDDIOR	CQENR	R/$\overline{\text{WR}}$	DQ34R	DQ35R
V	DQ33L	DQ32L	$\overline{\text{FTSELL}}$	VDDIOL	DNU	VDDIOL	VDDIOL	VDDIOL	VDDIOL	VTTL	VTTL	VTTL	VTTL	VDDIOR	VDDIOR	VDDIOR	VDDIOR	VDDIOR	$\overline{\text{TRST}}$	VDDIOR	$\overline{\text{FTSELR}}$	DQ32R	DQ33R
Ω	DQ31L	DQ30L	VSS	$\overline{\text{MRST}}$	VSS	$\overline{\text{CQ0L}}$	CQ0L	DNU	PORTSTD1R	$\overline{\text{CNTINTR}}$	$\overline{\text{BUSYR}}$	ZQ0R[4]	PORTSTD0R	$\overline{\text{LOWSPDR}}$	VSS	CQ0R	$\overline{\text{CQ0R}}$	VSS	TDI	TDO	DQ30R	DQ31R
Y	DQ29L	DQ28L	VSS	VSS	DQ20L	DQ17L	DQ14L	DQ11L	DQ8L	DQ5L	DQ2L	DQ2R	DQ5R	DQ8R	DQ11R	DQ14R	DQ17R	DQ20R	TMS	TCK	DQ28R	DQ29R
AA	DQ27L	DQ26L	DQ24L	DQ22L	DQ19L	DQ16L	DQ13L	DQ10L	DQ7L	DQ4L	DQ1L	DQ1R	DQ4R	DQ7R	DQ10R	DQ13R	DQ16R	DQ19R	DQ22R	DQ24R	DQ26R	DQ27R
AB	DNU	DQ25L	DQ23L	DQ21L	DQ18L	DQ15L	DQ12L	DQ9L	DQ6L	DQ3L	DQ0L	DQ0R	DQ3R	DQ6R	DQ9R	DQ12R	DQ15R	DQ18R	DQ21R	DQ23R	DQ25R	DNU

注释：
4. 断开该球型焊盘的连接以禁用 VIM。
5. 该球型焊盘仅适用于容量为 36 Mbit 的器件，不能将其用于容量为 18 Mbit 或更低的器件。
6. 断开该球型焊盘与 CYD18S72V18 和 CYD09S72V18 间的连接。
7. 断开该球型焊盘与 CYD09S72V18 的连接。
8. 断开该球型焊盘与 CYD04S72V18 的连接。

图 2. FullFlex36 SDR 484 球型焊盘 BGA 引脚分布 （顶视图）[9]

	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22
A	DNU	DNU	DNU	DNU	DNU	DQ33L	DQ30L	DQ27L	DQ24L	DQ21L	DQ18L	DQ18R	DQ21R	DQ24R	DQ27R	DQ30R	DQ33R	DNU	DNU	DNU	DNU	DNU
B	DNU	DNU	DNU	DNU	DNU	DQ34L	DQ31L	DQ28L	DQ25L	DQ22L	DQ19L	DQ19R	DQ22R	DQ25R	DQ28R	DQ31R	DQ34R	DNU	DNU	DNU	DNU	DNU
C	DNU	DNU	VSS	VSS	DNU	DQ35L	DQ32L	DQ29L	DQ26L	DQ23L	DQ20L	DQ20R	DQ23R	DQ26R	DQ29R	DQ32R	DQ35R	DNU	VSS	VSS	DNU	DNU
D	DNU	DNU	VSS	VSS	VSS	$\overline{\text{CQ1L}}$	CQ1L	VSS	$\overline{\text{LOWSPDL}}$	PORTSTD0L	ZQ0L[10]	$\overline{\text{BUSYL}}$	$\overline{\text{CNTINTL}}$	PORTSTD1L	DNU	CQ1R	$\overline{\text{CQ1R}}$	VSS	VSS	VSS	DNU	DNU
E	DNU	DNU	VDDIOL	VSS	VSS	VDDIOL	VDDIOR	VDDIOR	VDDIOR	VDDIOR	VTTL	VTTL	VTTL	VDDIOL	VDDIOL	VDDIOL	VDDIOL	DNU	VSS	VDDIOR	DNU	DNU
F	DNU	DNU	CE1L	$\overline{\text{CE0L}}$	VDDIOL	VDDIOL	VDDIOR	VDDIOR	VDDIOR	VCORE	VCORE	VCORE	VCORE	VDDIOL	VDDIOL	VDDIOL	VDDIOR	VDDIOR	$\overline{\text{CE0R}}$	CE1R	DNU	DNU
G	A0L	A1L	$\overline{\text{RETL}}$	$\overline{\text{BE2L}}$	VDDIOL	VDDIOL	VREFL	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VREFR	VDDIOR	VDDIOR	$\overline{\text{BE2R}}$	$\overline{\text{RETR}}$	A1R	A0R
H	A2L	A3L	$\overline{\text{WRPL}}$	$\overline{\text{BE3L}}$	VDDIOL	VDDIOL	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VDDIOR	VDDIOR	$\overline{\text{BE3R}}$	$\overline{\text{WRPR}}$	A3R	A2R
J	A4L	A5L	$\overline{\text{READYL}}$	DNU	VDDIOL	VDDIOL	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VDDIOR	VDDIOR	DNU	$\overline{\text{READYR}}$	A5R	A4R
K	A6L	A7L	ZQ1L[10]	DNU	VTTL	VCORE	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VCORE	VDDIOR	DNU	ZQ1R[10]	A7R	A6R
L	A8L	A9L	CL	$\overline{\text{OEL}}$	VTTL	VCORE	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VCORE	VTTL	$\overline{\text{OER}}$	CR	A9R	A8R
M	A10L	A11L	VSS	DNU	VTTL	VCORE	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VCORE	VTTL	DNU	VSS	A11R	A10R
N	A12L	A13L	$\overline{\text{ADSL}}$	DNU	VDDIOL	VCORE	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VCORE	VTTL	DNU	$\overline{\text{ADSR}}$	A13R	A12R
P	A14L	A15L	CNT/$\overline{\text{MSKL}}$	$\overline{\text{BE1L}}$	VDDIOL	VDDIOL	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VDDIOR	VDDIOR	$\overline{\text{BE1R}}$	CNT/$\overline{\text{MSKR}}$	A15R	A14R
R	A16L	A17L	$\overline{\text{CNTENL}}$	$\overline{\text{BE0L}}$	VDDIOL	VDDIOL	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VDDIOR	VDDIOR	$\overline{\text{BE0R}}$	$\overline{\text{CNTENR}}$	A17R	A16R
T	A18L	A19L	$\overline{\text{CNTRSTL}}$	$\overline{\text{INTL}}$	VDDIOL	VDDIOL	VREFL	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VREFR	VDDIOR	VDDIOR	$\overline{\text{INTR}}$	$\overline{\text{CNTRSTR}}$	A19R	A18R
U	DNU	DNU	R/$\overline{\text{WL}}$	CQENL	VDDIOL	VDDIOL	VDDIOR	VDDIOR	VDDIOR	VCORE	VCORE	VCORE	VCORE	VDDIOL	VDDIOL	VDDIOL	VDDIOR	VDDIOR	CQENR	R/$\overline{\text{WR}}$	DNU	DNU
V	DNU	DNU	$\overline{\text{FTSELL}}$	VDDIOL	DNU	VDDIOR	VDDIOR	VDDIOR	VDDIOR	VTTL	VTTL	VTTL	VDDIOL	VDDIOL	VDDIOL	VDDIOL	VDDIOR	$\overline{\text{TRST}}$	VDDIOR	$\overline{\text{FTSELR}}$	DNU	DNU
Ω	DNU	DNU	VSS	$\overline{\text{MRST}}$	VSS	$\overline{\text{CQ0L}}$	CQ0L	DNU	PORTSTD1R	$\overline{\text{CNTINTR}}$	$\overline{\text{BUSYR}}$	ZQ0R[10]	PORTSTD0R	$\overline{\text{LOWSPDR}}$	VSS	CQ0R	$\overline{\text{CQ0R}}$	VSS	TDI	TDO	DNU	DNU
Y	DNU	DNU	VSS	VSS	DNU	DQ17L	DQ14L	DQ11L	DQ8L	DQ5L	DQ2L	DQ2R	DQ5R	DQ8R	DQ11R	DQ14R	DQ17R	DNU	TMS	TCK	DNU	DNU
AA	DNU	DNU	DNU	DNU	DNU	DQ16L	DQ13L	DQ10L	DQ7L	DQ4L	DQ1L	DQ1R	DQ4R	DQ7R	DQ10R	DQ13R	DQ16R	DNU	DNU	DNU	DNU	DNU
AB	DNU	DNU	DNU	DNU	DNU	DQ15L	DQ12L	DQ9L	DQ6L	DQ3L	DQ0L	DQ0R	DQ3R	DQ6R	DQ9R	DQ12R	DQ15R	DNU	DNU	DNU	DNU	DNU

注释：
9. 该引脚分布仅适用于 FullFlex36 系列的 CYD36S36V18 器件。
10. 断开该球型焊盘的连接以禁用 VIM。

图 3. FullFlex18 SDR 484 球型焊盘 BGA 引脚分布 （顶视图）[11]

	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22
A	DNU	DNU	DNU	DNU	DNU	DNU	DNU	DNU	DQ15L	DQ12L	DQ9L	DQ9R	DQ12R	DQ15R	DNU	DNU	DNU	DNU	DNU	DNU	DNU	DNU
B	DNU	DNU	DNU	DNU	DNU	DNU	DNU	DNU	DQ16L	DQ13L	DQ10L	DQ10R	DQ13R	DQ16R	DNU	DNU	DNU	DNU	DNU	DNU	DNU	DNU
C	DNU	DNU	VSS	VSS	DNU	DNU	DNU	DNU	DQ17L	DQ14L	DQ11L	DQ11R	DQ14R	DQ17R	DNU	DNU	DNU	DNU	VSS	VSS	DNU	DNU
D	DNU	DNU	VSS	VSS	VSS	$\overline{\text{CQ1L}}$	CQ1L	VSS	$\overline{\text{LOWSPDL}}$	PORTSTD0L	ZQ0L[12]	$\overline{\text{BUSYL}}$	$\overline{\text{CNTINTL}}$	PORTSTD1L	DNU	CQ1R	$\overline{\text{CQ1R}}$	VSS	VSS	VSS	DNU	DNU
E	DNU	DNU	VDDIOL	VSS	VSS	VDDIOL	VDDIOR	VDDIOR	VDDIOR	VDDIOR	VTTL	VTTL	VTTL	VDDIOL	VDDIOL	VDDIOL	VDDIOL	DNU	VSS	VDDIOR	DNU	DNU
F	DNU	DNU	CE1L	$\overline{\text{CE0L}}$	VDDIOL	VDDIOL	VDDIOR	VDDIOR	VDDIOR	VCORE	VCORE	VCORE	VCORE	VDDIOL	VDDIOL	VDDIOL	VDDIOR	VDDIOR	$\overline{\text{CE0R}}$	CE1R	DNU	DNU
G	A0L	A1L	$\overline{\text{RETL}}$	$\overline{\text{BE1L}}$	VDDIOL	VDDIOL	VREFL	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VREFR	VDDIOR	VDDIOR	$\overline{\text{BE1R}}$	$\overline{\text{RETR}}$	A1R	A0R
H	A2L	A3L	$\overline{\text{WRPL}}$	DNU	VDDIOL	VDDIOL	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VDDIOR	VDDIOR	DNU	$\overline{\text{WRPR}}$	A3R	A2R
J	A4L	A5L	$\overline{\text{READYL}}$	DNU	VDDIOL	VDDIOL	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VDDIOR	VDDIOR	DNU	$\overline{\text{READYR}}$	A5R	A4R
K	A6L	A7L	ZQ1L[12]	DNU	VTTL	VCORE	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VCORE	VDDIOR	DNU	ZQ1R[12]	A7R	A6R
L	A8L	A9L	CL	$\overline{\text{OEL}}$	VTTL	VCORE	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VCORE	VTTL	$\overline{\text{OER}}$	CR	A9R	A8R
M	A10L	A11L	VSS	DNU	VTTL	VCORE	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VCORE	VTTL	DNU	VSS	A11R	A10R
N	A12L	A13L	$\overline{\text{ADSL}}$	DNU	VDDIOL	VCORE	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VCORE	VTTL	DNU	$\overline{\text{ADSR}}$	A13R	A12R
P	A14L	A15L	CNT/$\overline{\text{MSKL}}$	DNU	VDDIOL	VDDIOL	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VDDIOR	VDDIOR	DNU	CNT/$\overline{\text{MSKR}}$	A15R	A14R
R	A16L	A17L	$\overline{\text{CNTENL}}$	$\overline{\text{BE0L}}$	VDDIOL	VDDIOL	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VDDIOR	VDDIOR	$\overline{\text{BE0R}}$	$\overline{\text{CNTENR}}$	A17R	A16R
T	A18L	A19L	$\overline{\text{CNTRSTL}}$	$\overline{\text{INTL}}$	VDDIOL	VDDIOL	VREFL	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VREFR	VDDIOR	VDDIOR	$\overline{\text{INTR}}$	$\overline{\text{CNTRSTR}}$	A19R	A18R
U	A20L	DNU	R/$\overline{\text{WL}}$	CQENL	VDDIOL	VDDIOL	VDDIOR	VDDIOR	VDDIOR	VCORE	VCORE	VCORE	VCORE	VDDIOL	VDDIOL	VDDIOL	VDDIOR	VDDIOR	CQENR	R/$\overline{\text{WR}}$	DNU	A20R
V	DNU	DNU	$\overline{\text{FTSELL}}$	VDDIOL	DNU	VDDIOR	VDDIOR	VDDIOR	VDDIOR	VTTL	VTTL	VTTL	VDDIOL	VDDIOL	VDDIOL	VDDIOL	VDDIOR	$\overline{\text{TRST}}$	VDDIOR	$\overline{\text{FTSELR}}$	DNU	DNU
Ω	DNU	DNU	VSS	$\overline{\text{MRST}}$	VSS	$\overline{\text{CQ0L}}$	CQ0L	DNU	PORTSTD1R	$\overline{\text{CNTINTR}}$	$\overline{\text{BUSYR}}$	ZQ0R[12]	PORTSTD0R	$\overline{\text{LOWSPDR}}$	VSS	CQ0R	$\overline{\text{CQ0R}}$	VSS	TDI	TDO	DNU	DNU
Y	DNU	DNU	VSS	VSS	DNU	DNU	DNU	DNU	DQ8L	DQ5L	DQ2L	DQ2R	DQ5R	DQ8R	DNU	DNU	DNU	DNU	TMS	TCK	DNU	DNU
AA	DNU	DNU	DNU	DNU	DNU	DNU	DNU	DNU	DQ7L	DQ4L	DQ1L	DQ1R	DQ4R	DQ7R	DNU	DNU	DNU	DNU	DNU	DNU	DNU	DNU
AB	DNU	DNU	DNU	DNU	DNU	DNU	DNU	DNU	DQ6L	DQ3L	DQ0L	DQ0R	DQ3R	DQ6R	DNU	DNU	DNU	DNU	DNU	DNU	DNU	DNU

注释：
11. 该引脚分布仅适用于 FullFlex18 系列的 CYD36S18V18 器件。
12. 断开该球型焊盘的连接以禁用 VIM。

图 4. FullFlex36 SDR 256 球型焊盘 BGA （顶视图）

	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16
A	DQ32L	DQ30L	DQ28L	DQ26L	DQ24L	DQ22L	DQ20L	DQ18L	DQ18R	DQ20R	DQ22R	DQ24R	DQ26R	DQ28R	DQ30R	DQ32R
B	DQ33L	DQ31L	DQ29L	DQ27L	DQ25L	DQ23L	DQ21L	DQ19L	DQ19R	DQ21R	DQ23R	DQ25R	DQ27R	DQ29R	DQ31R	DQ33R
C	DQ34L	DQ35L	$\overline{\text{RETL}}$	$\overline{\text{INTL}}$	CQ1L	$\overline{\text{CQ1L}}$	DNU	$\overline{\text{TRST}}$	$\overline{\text{MRST}}$	ZQ0R[13]	$\overline{\text{CQ1R}}$	CQ1R	$\overline{\text{INTR}}$	$\overline{\text{RETR}}$	DQ35R	DQ34R
D	A0L	A1L	$\overline{\text{WRPL}}$	VREFL	$\overline{\text{FTSELL}}$	$\overline{\text{LOWSPDL}}$	VSS	VTTL	VTTL	VSS	$\overline{\text{LOWSPDR}}$	$\overline{\text{FTSELR}}$	VREFR	$\overline{\text{WRPR}}$	A1R	A0R
E	A2L	A3L	$\overline{\text{CE0L}}$	CE1L	VDDIOL	VDDIOL	VDDIOL	VCORE	VCORE	VDDIOR	VDDIOR	VDDIOR	CE1R	$\overline{\text{CE0R}}$	A3R	A2R
F	A4L	A5L	$\overline{\text{CNTINTL}}$	$\overline{\text{BE3L}}$	VDDIOL	VSS	VSS	VSS	VSS	VSS	VSS	VDDIOR	$\overline{\text{BE3R}}$	$\overline{\text{CNTINTR}}$	A5R	A4R
G	A6L	A7L	$\overline{\text{BUSYL}}$	$\overline{\text{BE2L}}$	ZQ0L[13]	VSS	VSS	VSS	VSS	VSS	VSS	VDDIOR	$\overline{\text{BE2R}}$	$\overline{\text{BUSYR}}$	A7R	A6R
H	A8L	A9L	CL	VTTL	VCORE	VSS	VSS	VSS	VSS	VSS	VSS	VCORE	VTTL	CR	A9R	A8R
J	A10L	A11L	VSS	PORTSTD1L	VCORE	VSS	VSS	VSS	VSS	VSS	VSS	VCORE	PORTSTD1R	VSS	A11R	A10R
K	A12L	A13L	$\overline{\text{OEL}}$	$\overline{\text{BE1L}}$	VDDIOL	VSS	VSS	VSS	VSS	VSS	VSS	VDDIOR	$\overline{\text{BE1R}}$	$\overline{\text{OER}}$	A13R	A12R
L	A14L	A15L	$\overline{\text{ADSL}}$	$\overline{\text{BE0L}}$	VDDIOL	VSS	VSS	VSS	VSS	VSS	VSS	VDDIOR	$\overline{\text{BE0R}}$	$\overline{\text{ADSR}}$	A15R	A14R
M	A16L[16]	A17L[15]	R/$\overline{\text{WL}}$	CQENL	VDDIOL	VDDIOL	VDDIOL	VCORE	VCORE	VDDIOR	VDDIOR	VDDIOR	CQENR	R/$\overline{\text{WR}}$	A17R[15]	A16R[16]
N	A18L[14]	DNU	CNT/$\overline{\text{MSKL}}$	VREFL	PORTSTD0L	$\overline{\text{READYL}}$	DNU	VTTL	VTTL	DNU	$\overline{\text{READYR}}$	PORTSTD0R	VREFR	CNT/$\overline{\text{MSKR}}$	DNU	A18R[14]
P	DQ16L	DQ17L	$\overline{\text{CNTENL}}$	$\overline{\text{CNTRSTL}}$	CQ0L	$\overline{\text{CQ0L}}$	TCK	TMS	TDO	TDI	$\overline{\text{CQ0R}}$	CQ0R	$\overline{\text{CNTRSTR}}$	$\overline{\text{CNTENR}}$	DQ17R	DQ16R
R	DQ15L	DQ13L	DQ11L	DQ9L	DQ7L	DQ5L	DQ3L	DQ1L	DQ1R	DQ3R	DQ5R	DQ7R	DQ9R	DQ11R	DQ13R	DQ15R
T	DQ14L	DQ12L	DQ10L	DQ8L	DQ6L	DQ4L	DQ2L	DQ0L	DQ0R	DQ2R	DQ4R	DQ6R	DQ8R	DQ10R	DQ12R	DQ14R

注释：
13. 断开该球型焊盘的连接以禁用 VIM。
14. 断开该球型焊盘与 CYD09S36V18 和 CYD02S36V18 的连接。
15. 断开该球型焊盘与 CYD02S36V18 的连接。
16. 断开该球型焊盘与 CYD02S36V18 的连接。

图 5. FullFlex18 SDR 256 球型焊盘 BGA （顶视图）

	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16
A	DNU	DNU	DNU	DQ17L	DQ16L	DQ13L	DQ12L	DQ9L	DQ9R	DQ12R	DQ13R	DQ16R	DQ17R	DNU	DNU	DNU
B	DNU	DNU	DNU	DNU	DQ15L	DQ14L	DQ11L	DQ10L	DQ10R	DQ11R	DQ14R	DQ15R	DNU	DNU	DNU	DNU
C	DNU	DNU	$\overline{\text{RETL}}$	$\overline{\text{INTL}}$	CQ1L	$\overline{\text{CQ1L}}$	DNU	$\overline{\text{TRST}}$	$\overline{\text{MRST}}$	ZQ0R[17]	$\overline{\text{CQ1R}}$	CQ1R	$\overline{\text{INTR}}$	$\overline{\text{RETR}}$	DNU	DNU
D	A0L	A1L	$\overline{\text{WRPL}}$	VREFL	$\overline{\text{FTSELL}}$	$\overline{\text{LOWSPDL}}$	VSS	VTTL	VTTL	VSS	$\overline{\text{LOWSPDR}}$	$\overline{\text{FTSELR}}$	VREFR	$\overline{\text{WRPR}}$	A1R	A0R
E	A2L	A3L	$\overline{\text{CE0L}}$	CE1L	VDDIOL	VDDIOL	VDDIOL	VCORE	VCORE	VDDIOR	VDDIOR	VDDIOR	CE1R	$\overline{\text{CE0R}}$	A3R	A2R
F	A4L	A5L	$\overline{\text{CNTINTL}}$	DNU	VDDIOL	VSS	VSS	VSS	VSS	VSS	VSS	VDDIOR	DNU	$\overline{\text{CNTINTR}}$	A5R	A4R
G	A6L	A7L	$\overline{\text{BUSYL}}$	DNU	ZQ0L[17]	VSS	VSS	VSS	VSS	VSS	VSS	VDDIOR	DNU	$\overline{\text{BUSYR}}$	A7R	A6R
H	A8L	A9L	CL	VTTL	VCORE	VSS	VSS	VSS	VSS	VSS	VSS	VCORE	VTTL	CR	A9R	A8R
J	A10L	A11L	VSS	PORTSTD1L	VCORE	VSS	VSS	VSS	VSS	VSS	VSS	VCORE	PORTSTD1R	VSS	A11R	A10R
K	A12L	A13L	$\overline{\text{OEL}}$	$\overline{\text{BE1L}}$	VDDIOL	VSS	VSS	VSS	VSS	VSS	VSS	VDDIOR	$\overline{\text{BE1R}}$	$\overline{\text{OER}}$	A13R	A12R
L	A14L	A15L	$\overline{\text{ADSL}}$	$\overline{\text{BE0L}}$	VDDIOL	VSS	VSS	VSS	VSS	VSS	VSS	VDDIOR	$\overline{\text{BE0R}}$	$\overline{\text{ADSR}}$	A15R	A14R
M	A16L	A17L	R/$\overline{\text{WL}}$	CQENL	VDDIOL	VDDIOL	VDDIOL	VCORE	VCORE	VDDIOR	VDDIOR	VDDIOR	CQENR	R/$\overline{\text{WR}}$	A17R	A16R
N	A18L[19]	A19L[18]	CNT/$\overline{\text{MSKL}}$	VREFL	PORTSTD0L	$\overline{\text{READYL}}$	DNU	VTTL	VTTL	DNU	$\overline{\text{READYR}}$	PORTSTD0R	VREFR	CNT/$\overline{\text{MSKR}}$	A19R[18]	A18R[19]
P	DNU	DNU	$\overline{\text{CNTENL}}$	$\overline{\text{CNTRSTL}}$	CQ0L	$\overline{\text{CQ0L}}$	TCK	TMS	TDO	TDI	$\overline{\text{CQ0R}}$	CQ0R	$\overline{\text{CNTRSTR}}$	$\overline{\text{CNTENR}}$	DNU	DNU
R	DNU	DNU	DNU	DNU	DQ6L	DQ5L	DQ2L	DQ1L	DQ1R	DQ2R	DQ5R	DQ6R	DNU	DNU	DNU	DNU
T	DNU	DNU	DNU	DQ8L	DQ7L	DQ4L	DQ3L	DQ0L	DQ0R	DQ3R	DQ4R	DQ7R	DQ8R	DNU	DNU	DNU

注释：
17. 断开该球型焊盘的连接以禁用 VIM。
18. 断开该球型焊盘与 CYD09S18V18 的连接。
19. 断开该球型焊盘与 CYD04S18V18 的连接。

产品选型指南

参数	-200	-167	单位
f_{MAX}[21]	2000	167	MHz
最长的访问时间 （从时钟到数据）	3.3	4.0	ns
典型的工作电流 I_{CC}	800[20]	700[20]	mA
I_{SB3} 的典型待机电流 （两个端口均为 CMOS 电平）	210[20]	210[20]	mA

引脚定义

左端口	右端口	说明
$A[20:0]_L$	$A[20:0]_R$	**地址输入**。[22]
$DQ[71:0]_L$	$DQ[71:0]_R$	**数据总线输入和输出**。[23]
$\overline{BE}[7:0]_L$	$\overline{BE}[7:0]_R$	**字节选择输入**。[24] 置位这些信号会使能对存储器阵列中相应字节进行的读 / 写操作。
$\overline{BUSY}_L$	$\overline{BUSY}_R$	**端口繁忙输出**。如果存在一个地址匹配，并且两个端口的芯片使能都有效，那么从发生冲突时开始后第五个时钟周期内外部 BUSY 信号有效。
C_L	C_R	**时钟信号**。时钟输入的最大速率为 f_{MAX}。
$\overline{CE0}_L$	$\overline{CE0}_R$	**低电平有效的芯片使能输入**。
$CE1_L$	$CE1_R$	**高电平有效的芯片使能输入**。
$CQEN_L$	$CQEN_R$	**回波时钟使能输入**。将该引脚设置为高电平会使能相应端口上的回波时钟。
$CQ0_L$	$CQ0_R$	**FullFlex72 器件的 DQ[35:0] 的回波时钟信号输出**。FullFlex36 器件的 DQ[17:0] 的回波时钟信号输出。 FullFlex18 器件的 DQ[8:0] 的回波时钟信号输出。
$\overline{CQ0}_L$	$\overline{CQ0}_R$	**FullFlex72 器件的 DQ[35:0] 的反转回波时钟信号输出**。FullFlex36 器件的 DQ[17:0] 的反转回波时钟信号输出。 FullFlex18 器件的 DQ[8:0] 的反转回波时钟信号输出。
$CQ1_L$	$CQ1_R$	**FullFlex72 器件的 DQ[71:36] 的回波时钟信号输出**。 FullFlex36 器件的 DQ[35:18] 的回波时钟信号输出。 FullFlex18 器件的 DQ[17:9] 的回波时钟信号输出。
$\overline{CQ1}_L$	$\overline{CQ1}_R$	**FullFlex72 器件的 DQ[71:36] 的反转回波时钟信号输出**。 FullFlex36 器件的 DQ[35:18] 的反转回波时钟信号输出。 FullFlex18 器件的 DQ[17:9] 的反转回波时钟信号输出。
$ZQ[1:0]_L$	$ZQ[1:0]_R$	**VIM 输出阻抗匹配输入**。[25] 要想使用该输入，应在 ZQ 和地面间连接一个校准电阻。电阻必须是由双端口驱动的目标路线阻抗的 5 倍。将该引脚设置为高电平或不使用该引脚可以禁用 VIM。
$\overline{OE}_L$	$\overline{OE}_R$	**输出使能输入**。必须将该异步信号置为低电平，以便在执行读取操作期间使能 DQ 数据引脚。
$\overline{INT}_L$	$\overline{INT}_R$	**“ 邮箱 ” （地址）中断标志输出**。该 “ 邮箱 ” （地址）允许在各端口间进行通信。两个高位存储器位置用于传递信息。当右端口写入到左端口的 “ 邮箱 ” （地址）位置，或者反过来进行时， $\overline{INT}_L$ 都将被置为低电平。如果某个端口读取其 “ 邮箱 ” （地址）里面的内容，那么该端口终端被置为高电平。

注释：
20. 如果只要了解 18 Mbit x72 商业级配置，请参考第 19 页上的电气特性以获得完整信息。
21. 具有两个管道式阶段的 SDR 模式。
22. CYD36S18V18 器件具有 21 个地址位。 CYD36S36V18 和 CYD18S18V18 器件有 20 个地址位。 CYD36S72V18、 CYD18S36V18 和 CYD09S18V18 器件具有 19 个地址位 CYD18S72V18 和 CYD09S36V18 器件有 18 个地址位。 CYD09S72V18 器件有 17 个地址位。 CYD02S36V18 器件有 16 个地址位。
23. FullFlex72 系列的器件有 72 个数据线。 FullFlex36 系列的器件有 36 个数据线。 FullFlex18 系列的器件有 18 个数据线。
24. FullFlex72 系列的器件有 8 个字节使能。 FullFlex36 系列的器件有 4 个字节使能。 FullFlex18 系列的器件有 2 个字节使能。
25. ZQ[1] 引脚仅适用于 36 Mbit 器件。该引脚不适用于容量为 18 Mbit 或更低的器件。

引脚定义（续）

左端口	右端口	说明
$\overline{LowSPD}_L$	$\overline{LowSPD}_R$	**端口低速选择输入**。将该引脚置为低电平以禁用 DLL。在输出模式下，必须将该引脚设置为低电平。
$PORTSTD[1:0]_L$[26]	$PORTSTD[1:0]_R$[26]	**端口时钟 / 地址 / 控制 / 输出 / 回波时钟 /I/O 标准选择输入**。对于 LVTTL、HSTL、2.5 V LVCMOS 和 1.8 V LVCMOS，将这些引脚分别设置为低电平 / 低电平、低电平 / 高电平、高电平 / 低电平以及高电平 / 高电平。这些引脚是由 VTTL 参考电平驱动的。
$R/\overline{W}_L$	$R/\overline{W}_R$	**读 / 写使能输入**。将该引脚置为低电平以对双端口存储器阵列进行写入，或将该引脚置为高电平以读取双端口存储器阵列。
$\overline{READY}_L$	$\overline{READY}_R$	**端口 DLL 就绪输出**。当 DLL 和变量阻抗匹配电路完成校准操作时，该信号将被设置为低电平。这是一个有线的 “ 或 ” 功能输出。
$CNT/\overline{MSK}_L$	$CNT/\overline{MSK}_R$	**端口计数器 / 屏蔽选择输入**。计数器控制输入。
$\overline{ADS}_L$	$\overline{ADS}_R$	**端口计数器地址负载选通输入**。计数器控制输入。
$\overline{CNTEN}_L$	$\overline{CNTEN}_R$	**端口计数器使能输入**。计数器控制输入。
$\overline{CNTRST}_L$	$\overline{CNTRST}_R$	**端口计数器复位输入**。计数器控制输入。
$\overline{CNTINT}_L$	$\overline{CNTINT}_R$	**端口计数器中断输出**。计数器的未屏蔽部分被递增为全 “1” 前，在每个周期内该引脚都被置为低电平。
$\overline{WRP}_L$	$\overline{WRP}_R$	**端口计数器反转输入**。如果突发计数器递增到最大计数值，那么计数器在下一次递增时，$\overline{WRP}$ 将被置为低电平，用以将未屏蔽计数器位设置为 0。它将被置为高电平，以便将镜像寄存器中存储的数值载入到计数器内。
$\overline{RET}_L$	$\overline{RET}_R$	**端口计数器重新传输输入**。将该引脚置为低电平以重载初始地址，用于重复访问存储器中的同一段。
$VREF_L$	$VREF_R$	**端口外部 HSTL IO 参考输入**。如果未使用 HSTL，那么不能使用该引脚。
$VDDIO_L$	$VDDIO_R$	**端口数据 IO 电源**。
$\overline{FTSEL}_L$	$\overline{FTSEL}_R$	**端口输出模式选择输入**。将该引脚置为低电平以选择输出模式。将该引脚置为高电平以选择管道模式。
$\overline{MRST}$		**主设备复位输入**。$\overline{MRST}$ 是一个异步输入信号，它对两个端口产生影响。将 $\overline{MRST}$ 置为低电平会执行文本中介绍的所有复位功能。加电时，需要执行 MRST 操作。该引脚是由 $VDDIO_L$ 参考信号驱动的。
TMS		**JTAG 测试模式选择引脚**。JTAG 测试模式会控制 JTAG TAP 状态机的超前相位。状态机转换将在 TCK 的上升沿上发生。 LVTTL 或 2.5 V LVCMOS 的操作。
TDI		**JTAG 测试数据输入**。TDI 输入上的数据被连续移入到选定的寄存器内。LVTTL 或 2.5 V LVCMOS 的操作。
$\overline{TRST}$		**JTAG 复位输入**。 LVTTL 或 2.5 V LVCMOS 的操作。
TCK		**JTAG 测试时钟输入**。 LVTTL 或 2.5 V LVCMOS 的操作。
TDO		**JTAG 测试数据输出**。 TDO 转换将在 TCK 的上升沿上发生。除了获取的数据被移出 JTAG TAP 情况外，通常 TDO 处于三态。 LVTTL 或 2.5 V LVCMOS 的操作。
VSS		**接地输入**。
VCORE		**器件内核电源**。
VTTL		**LVTTL 电源**。

注释：
26. $PORTSTD[1:0]_L$ 和 $PORTSTD[1:0]_R$ 具有内部下拉电阻。

可选 IO 标准

FullFlex 器件系列给器件提供了四个端口标准选项，用户可以选择其中一个合适的标准。每个端口可单独从单端 HSTL 类型 I、单端 LVTTL、2.5 V LVCMOS 和 1.8 V LVCMOS 等标准中选择。每个端口的 PORTSTD 引脚决定了标准的选择情况。必须将这些引脚连接到 LVTTL 电源。这样可以确定每个端口的输入时钟、地址、控制、数据和回波时钟标准，具体如表 1 所示。

表 1. 端口标准选择

PORTSTD1	PORTSTD0	I/O 标准
VSS	VSS	LVTTL
VSS	VTTL	HSTL
VTTL	VSS	2.5 V LVCMOS
VTTL	VTTL	1.8 V LVCMOS

时钟

单独时钟可以同步化所有端口上的操作。所有端口都有一个时钟输入 C。在这种模式下，地址、控制和数据输入 / 输出上的所有数据传输都在 C 上升沿上进行。地址、控制、数据输入 / 输出和字节使能上的所有数据传输均发生在 C 上升沿上。

表 2. 数据引脚分配

$\overline{BE}$ 引脚名称	数据引脚名称
$\overline{BE}$[7]	DQ[71:63]
$\overline{BE}$[6]	DQ[62:54]
$\overline{BE}$[5]	DQ[53:45]
$\overline{BE}$[4]	DQ[44:36]
$\overline{BE}$[3]	DQ[35:27]
$\overline{BE}$[2]	DQ[26:18]
$\overline{BE}$[1]	DQ[17:9]
$\overline{BE}$[0]	DQ[8:0]

可选管道模式或输出模式

为了满足数据速率和吞吐量等要求， FullFlex 系列提供了可选的管道模式或输出模式。在输出模式中，回波时钟不可用，DLL 必须处于禁用状态。

输出模式是由 $\overline{FTSEL}$ 引脚选择的。将该引脚设置为高电平可选择管道模式。将该引脚设置为低电平则为选择输出模式。

DLL

FullFlex 系列的器件带有一个片上 DLL。使能 DLL 可缩短从时钟到数据有效的时间（t_{CD}），从而延长接收器件的建立时间。在输出模式下，必须禁用 DLL。可通过将 LowSPD 置为低电平来禁用它。

将工作频率修改为时钟输入周期到时钟的抖动规范以外时，必须要复位 DLL，然后经过 1024 个时钟后才能执行其他有效操作。

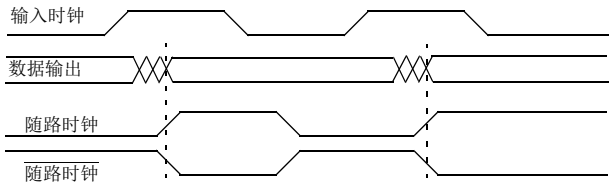
$\overline{LowSPD}$ 引脚是独立于所有其他电路的单一端口复位 DLL。$\overline{MRST}$ 用于复位芯片上的所有 DLL。有关 DLL 时钟和复位时间的更多信息，请查看第 18 页上的主设备复位。

回波时钟

当提高数据速率时，由寄生电容导致的片上延迟会使时钟树的准确性收到很大挑战。为了解决这个问题， FullFlex 系列包含了回波时钟。在所有端口上使能回波时钟。双端口会接受输入时钟，它为读取操作的地址和控制信号提供时钟脉冲。双端口会重新传输与数据输出相关的输入时钟。在 CQ1/$\overline{CQ1}$ 和 CQ0/$\overline{CQ0}$ 输出上提供缓冲时钟。每个端口都有一对回波时钟。每个时钟与半个数据位相对应。输出时钟与相应的端口 IO 配置相匹配。

要想使能回波时钟输出，将 CQEN 置为高电平。要想禁用回波时钟输出，则将 CQEN 置为低电平。

图 6. SDR 回波时钟延迟



确定访问控制

确定访问控制的设计是简单的。当两个端口访问同一个位置时，将进行电路检测，并向发生数据损坏的端口提供一个外部 $\overline{BUSY}$（繁忙）标志。冲突检测会将冲突地址 （繁忙地址）存到可读寄存器内。如果存在多个冲突地址，那么第一个繁忙地址将被写入繁忙地址寄存器内。

两个端口同时访问一个位置，并且只有一个端口正在执行写入操作时，如果满足 t_{CCS} 时间规范，那么从地址读取或写入到地址寄存器内的是有效数据。例如，如果右端口正在执行读取操作、左端口正在执行写入操作，并且左端口的时钟满足 t_{CCS} 时间规范，那么右端口从地址寄存器读取的是旧数据。在相同情况下，如果右端口的时钟满足 t_{CCS} 时间规范，右端口从地址读取的便是新数据。在上述情况中，如果端口时钟 （与其他端口有关）违背了 t_{CCS} 时间规范，并且右端口获得外部 $\overline{BUSY}$（繁忙）标志，那么右端口的数据将被损坏。第 11 页上的表 3 显示的是必须满足以保证数据完整性的 t_{CCS} 时间。

第 12 页上的表 4 显示，当左端口正在写入并且右端口正在读取时，如果外部 $\overline{BUSY}$ 标志在右端口上被置位，则从该器件读取的是未得到保证的数据。

繁忙地址寄存器中的值将被回读到地址行内。该功能所需的输入控制信号会显示在第 14 页上的表 7 中。经过如同执行数据读取操作所需时间的延迟后，在 t_{CA} 时间内，繁忙地址寄存器中的值将被读取并传输到地址行内。初始地址匹配后， $\overline{BUSY}$ 标志将被置位，并且冲突地址将被存入到繁忙地址寄存器内。以下所有地址匹配都可以生成 $\overline{BUSY}$ 标志。但是没有任何一个地址被存入到繁忙地址寄存器内。执行繁忙回读操作时，第一个匹配地址（在执行繁忙回读后至少两个时钟周期才会发生）将被存入到繁忙地址寄存器内。

表 3. 所有工作模式的 t_{CCS} 时间

端口 A — 早到达端口		端口 B — 晚到达端口		t_{CCS} 无损坏数据中从 C 上升到相反 C 上升的设置时间	单位
模式	有效边沿	模式	有效边沿		
SDR	C	SDR	C	$t_{CYC(min)} - 0.5$	ns

表 4. 确定的访问控制逻辑

左端口	右端口	左时钟	右时钟	$\overline{BUSY}_L$	$\overline{BUSY}_R$	说明
读取	读取	X	X	H	H	无冲突
写	读取	> t_{CCS}	0	H	H	读取旧数据
		0	> t_{CCS}	H	H	读取新数据
		< t_{CCS}	0	H	H	读取旧数据
				H	L	数据未得到保证
		0	< t_{CCS}	H	H	读取新数据
				H	L	数据未得到保证
读	写	> t_{CCS}	0	H	H	读取新数据
		0	> t_{CCS}	H	H	读取旧数据
		< t_{CCS}	0	H	H	读取新数据
				L	H	数据未得到保证
		0	< t_{CCS}	H	H	读取旧数据
				L	H	数据未得到保证
写	写	0	> $-t_{CCS}$ & < t_{CCS}	L	L	阵列数据被损坏
		0	> t_{CCS}	L	H	阵列储存右端口数据
		> t_{CCS}	0	H	L	阵列储存左端口数据

变量阻抗匹配

每个端口都包含了一个变量阻抗匹配电路，用于设置 IO 驱动器的阻抗，从而使之与板上走线的阻抗相互匹配。JTAG 除外，端口将设置所有输出的阻抗。为了发挥 VIM 特性的优势，将（校准电阻（RQ）相当于目标线路阻抗的 5 倍）从 $ZQ_{[1:0]}$[27] 引脚连接到 V_{SS}。每隔 1024 个周期调整输出阻抗一次，用以补偿电源电压和温度漂移。如果某个端口的时钟被暂停，那么 VIM 电路会保持该输出阻抗的最终设置，直到该时钟被重启为止。时钟重启时，该输出阻抗会恢复周期性调整。如果器件的温度或电源电压发生了明显变化，那么每隔 1024 个时钟周期便会重新校准一次。主设备复位初始化了 VIM 电路。表 5 显示的是 VIM 参数，表 6 说明的是 VIM 工作模式。

要想禁用 VIM 功能，在执行主设备复位操作前，应将 ZQ 引脚连接到与 IO 电源相关的 VDDIO。

表 5. 变量阻抗匹配参数

参数	最小值	最大值	单位	容差
RQ 值	100	275	Ω	±2%
输出阻抗	20	55	Ω	±15%
复位时间	–	1024	周期	–
更新时间	–	1024	周期	–

表 6. 变量阻抗匹配操作

RQ 连接	输出配置
100 Ω–275 Ω 到 V_{SS}	Vout = VDDIO/2 时，输出驱动器阻抗 = RQ/5 ± 15%
ZQ 到 VDDIO	VIM 被禁用。Vout = VDDIO/2 时，Rout ≤ 20 Ω

注释：
27. ZQ[1] 引脚仅适用于 36 Mbit 器件。该引脚不适用于容量为 18 Mbit 或更低的器件。

地址计数器和屏蔽寄存器操作 [28]

FullFlex 系列的每个端口都包含一个可编程突发地址计数器。该突发计数器包括四个寄存器，分别为：计数器寄存器、屏蔽寄存器、镜像寄存器和繁忙地址寄存器。

计数器寄存器包含用于访问 RAM 阵列的地址。只有执行主设备复位 （MRST）、计数器复位、计数器负载、重新传输和计数器递增等操作时，才能更改该寄存器。

屏蔽寄存器值会阻止对计数器寄存器上相应位的更改，因此影响计数器递增和计数器复位操作。它还影响到计数器中断输出（CNTINT）。只有通过执行屏蔽复位、屏蔽负载和 MRST 等操作，才能更改屏蔽寄存器。屏蔽寄存器负载操作会将地址总线上的值载入到屏蔽寄存器内。屏蔽寄存器定义了计数器寄存器的计数范围。屏蔽寄存器将被分为 2 到 3 个连续的区域。零值或多个零值定义了屏蔽区域，1 值或多个 1 值则定义了计数器寄存器的未屏蔽部分。最多可以将计数器寄存器分为三个区域。包含最低有效位的区域最多只能存储两个零值。位 1 和位 0 可能分别显示为 10，屏蔽了最低有效计数器位并使计数器增加 2（而不是增加 1）。如果位 1 和位 0 显示为 00，那么两个最低有效位将被屏蔽，计数器增加 4 （而不是增加 1）。例如，在 256 K × 72 配置的情况下，屏蔽寄存器值 003FC 会将屏蔽寄存器分为三个区域。位 0 作为最低有效位且位 17 为最高有效位时，两个最低有效位将被屏蔽，后面的八位则是未屏蔽位，其余位将被屏蔽。

执行重新传输操作 （请参考第 15 页上的重新传输）和反转功能（请参考下面的第 15 页上的计数器中断）时，**镜像寄存器**会重新加载计数器寄存器。最后载入到计数器寄存器内的值将被存入镜像寄存器内。只有通过执行主设备 （MRST）、计数器复位和计数器负载等操作，才能更改镜像寄存器。

第 14 页上的表 7 总结了这些寄存器的操作以及所需的输入控制信号。所有信号 （MRST 除外）与端口时钟同步。

计数器负载操作 [28]

进行非突发 / 突发读或写访问时，都会通过执行计数器负载操作来加载外部地址，具体如第 14 页上的表 7 中所示。地址行上所提供的地址值将被载入到地址计数器和镜像计数器内。该值的有效范围为 0 到 1FFFFF。

屏蔽寄存器负载操作 [28]

在地址总线上提供的地址值将被载入屏蔽寄存器内。该值的有效范围为 0 到 1FFFFF，并非所有值都允许正确执行递增操作。许可值以 2^n–1、2^n–2 或 2^n–4 等形式显示。计数器寄存器只能分为最多单个区域。在最高有效位到最低有效位的范围内，许可值包括零值或多个零值、1 值或多个 1 值，并且两个最低有效位为 11、10 或 00。因此，1FFFFE、07FFFF 和 003FFC 都是许可值，而 02FFFF、 003FFA 和 07FFE4 则不是。

计数器回读操作

在地址行上读取计数器寄存器的内部值。经过由 $\overline{\text{FTSEL}}$ 配置的延迟周期的选定数量后，在 t_{CA} 期间，地址是有效的。在地址行上提供地址的周期内，数据总线 （DQ）信号将处于三态。第 16 页上的图 7 显示的是该逻辑信号的框图。

屏蔽寄存器回读操作

在地址行上读取屏蔽寄存器的内部值。经过由 $\overline{\text{FTSEL}}$ 配置的延迟周期的选定数量后，在 t_{CA} 期间，地址处于有效状态。在地址行上提供地址的周期内，数据总线 （DQ）信号处于三态。第 16 页上的图 7 显示的是该操作的框图。

计数器复位操作

计数器寄存器和镜像寄存器的所有未屏蔽位均被复位为 ‘0’。所有屏蔽位保持不变。通过执行计数器复位随后的屏蔽复位操作，将计数器和镜像寄存器复位为 00000。

屏蔽复位操作

屏蔽寄存器的位被复位为全 1，因此不会屏蔽突发计数器的所有位。

注释：

28. CYD36S18V18 器件具有 21 个地址位。CYD36S36V18 和 CYD18S18V18 器件有 20 个地址位。CYD36S72V18、CYD18S36V18 和 CYD09S18V18 器件有 19 个地址位。 CYD18S72V18 和 CYD09S36V18 器件有 18 个地址位。 CYD09S72V18 器件有 17 个地址位。 CYD02S36V18 器件有 16 个地址位。

表 7. 突发计数器和屏蔽寄存器控制操作

下面任何端口的突发计数器和屏蔽寄存器控制操作。[29、 30]

C	$\overline{MRST}$	$\overline{CNTRST}$	CNT/$\overline{MSK}$	$\overline{CNTEN}$	$\overline{ADS}$	$\overline{RET}$	操作	说明
X	L	X	X	X	X	X	主设备复位	将地址计数器复位为全 0，屏蔽寄存器为全 1，繁忙地址为全 0。
⎍	H	L	H	X	X	X	计数器复位	将计数器和镜像未屏蔽部分复位为全 0。
⎍	H	L	L	X	X	X	屏蔽寄存器复位	将屏蔽寄存器复位为全 1。
⎍	H	H	H	L	L	X	突发读写访问的计数器负载 / 未突发读写访问的外部地址负载	将提供在地址行上的外部地址值载入到突发计数器和镜像寄存器内。
⎍	H	H	L	L	L	X	屏蔽寄存器负载	将提供在地址行上的值载入到屏蔽寄存器内。
⎍	H	H	H	L	H	L	重新传输	将镜像寄存器中的值载入到计数器内。
⎍	H	H	H	L	H	H	计数器递增	内部递增地址计数器值。
⎍	H	H	H	H	H	H	计数器保持	一直保持多个时钟周期的地址值。
⎍	H	H	H	H	L	H	计数器回读	读取地址行上计数器内部的值。
⎍	H	H	L	H	L	H	屏蔽寄存器回读	读取地址行上屏蔽寄存器的值。
⎍	H	H	L	H	H	L	繁忙 地址回读	回读最后一个繁忙地址后，再读取第一个繁忙地址。
⎍	H	H	L	L	H	X	预留	
⎍	H	H	L	H	L	L	预留	
⎍	H	H	L	H	H	H	预留	
⎍	H	H	H	H	L	L	预留	
⎍	H	H	H	H	H	L	预留	

注释：
29. “X” = 无需关注， “H” = 高电平， “L” = 低电平。
30. 计数器操作和屏蔽寄存器操作使用了独立的芯片使能。

递增操作 [31]

将外部地址初始地载入地址计数器内后，计数器可以内部递增地址值并对整个寄存器阵列进行寻址。在计数器寄存器中，只有未屏蔽位被递增。对于需要修改的计数器位，屏蔽寄存器中的相应位必须为 1。如果屏蔽寄存器的两个最低有效位为 11，那么突发计数器将增加 1。如果两个最低有效位为 10，那么突发计数器会增加 2；如果它们为 00，突发计数器将增加 4。如果所有未屏蔽计数器位都递增为 1，并且 WRP 被取消置位，下一次递增时，计数器会返回到初始加载的值。在递增使所有未屏蔽计数器位全为 1 前的周期内，如果再次递增计数器，计数器中断标志（CNTINT）将被置位。这次递增会使计数器达到它的最大值，如果 WRP 被取消置位，那么下一次递增会使计数器寄存器返回到其初始值（该值被存入镜像寄存器内）。如果 WRP 被置位，会将 0 填入到计数器的未屏蔽部分。第 17 页上的图 8 显示的是 CYDD36S18V18 器件的示例，该器件带有载入了屏蔽值为 00007F（未屏蔽七个最低有效位）的屏蔽寄存器。将屏蔽寄存器设置为该值可使计数器访问整个存储器空间。然后，初始值 000005 将被载入地址计数器内（假设 WRP 被取消置位）。屏蔽位（头 20 个地址中的第七个地址）不会在一个递增操作中递增。计数器地址的起始地址为 000005，并会持续递增其内部地址，直到达到屏蔽寄存器值 00007F 为止。在下一次计数时，计数器将从存储器模块到位置 000005 循环反转。当该计数器达到最大计数值减一时，将会发送 CNTINT。

保持操作

在无限量的时钟周期内，全三个寄存器的值会一直保持不变。在需要等待状态的应用中或当地址在共享总线接口中的前几个数据周围内有效时，该操作非常有用。

重新传输

重新传输允许重新访问存储器的同一个模块，而无需重新加载初始地址。内部镜像寄存器存储了最终载入的地址计数器值。当 RET 被设置为低电平时，计数器将持续返回到镜像寄存器中的值，无论 WRP 的状态如何。

计数器中断

在执行递增操作（导致计数器寄存器的未屏蔽部分为全 1）前，计数器中断（CNTINT）将被置为低电平。如果执行计数器复位、计数器负载、计数器递增、屏蔽复位、屏蔽负载和 MRST 等操作，都将取消该计数器的中断置位。

计数器增加 2

当屏蔽寄存器的两个最低有效位为 10 时，计数器将增加 2。

计数器增加 4

当屏蔽寄存器的两个最低有效位为 00 时，计数器将增加 4。

“ 邮箱 ”（地址）中断

使用两个高位存储器位来传递信息和允许端口间的通信。第 17 页上的表 8 显示的是两个端口的中断操作。最高位存储器位置是右端口的 “ 邮箱 ”（地址），最大地址减一则是左端口的 “ 邮箱 ”（地址）。

当一个端口写入另一个端口的 “ 邮箱 ”（地址）内时，该 “ 邮箱 ”（地址）所属的端口的 INT 标志将被置为低电平。INT 标志会保持有效状态，直到 “ 邮箱 ”（地址）位置被其他端口读取为止。当一个端口读取它的 “ 邮箱 ”（地址）时，经过一个延迟周期（与该 “ 邮箱 ”（地址）所属的端口的输入时钟有关）后，无论 OE 的状态如何，INT 标志都被取消置为高电平。

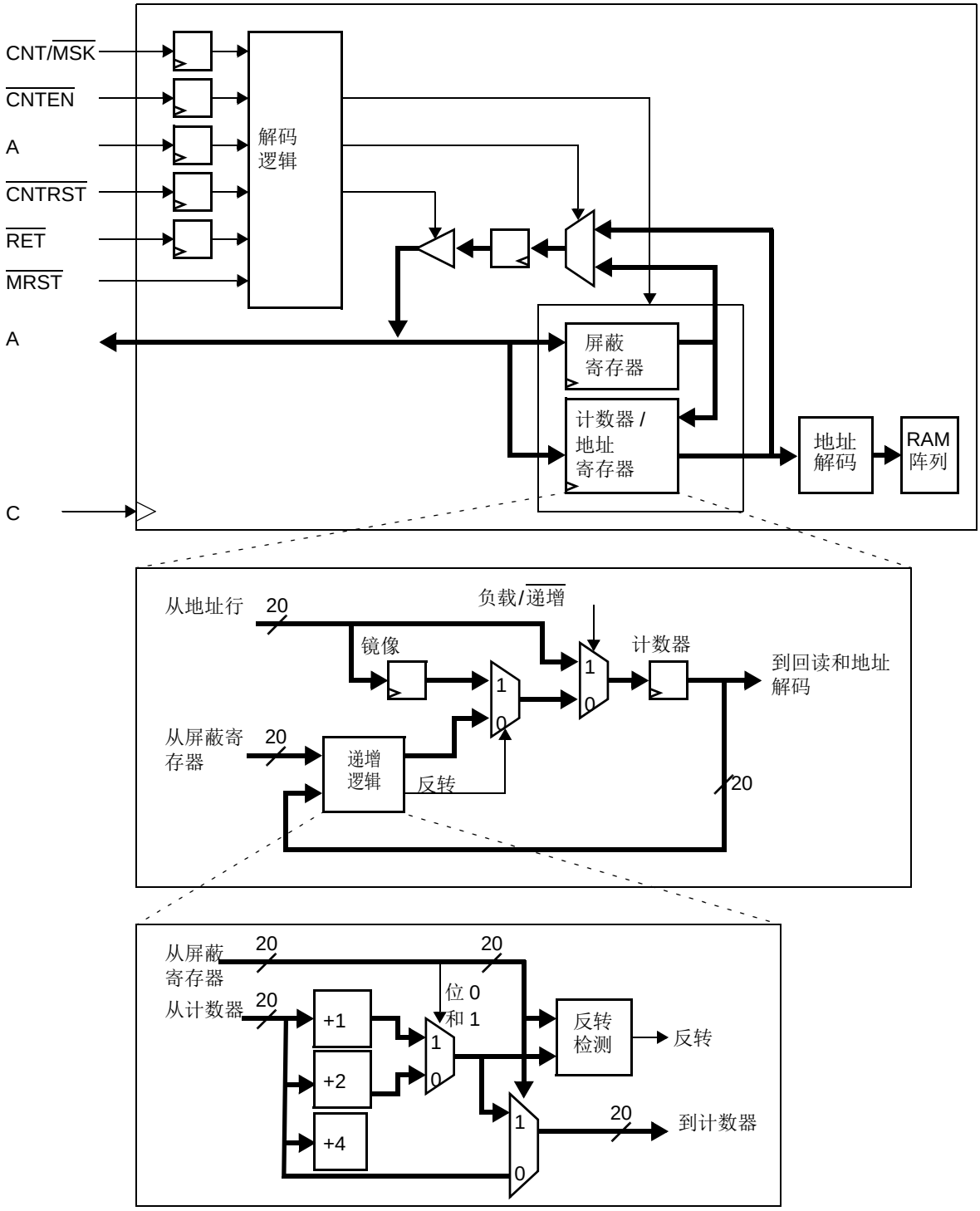
如第 17 页上的表 8 中所示，要想设置 $\overline{INT}_R$ 标志，左端口向地址 1FFFFF 执行的写入操作会使 $\overline{INT}_R$ 置为低电平。经过一个延迟周期（与右端口的时钟有关）后，右端口对 1FFFFF 位置执行的有效读取操作会使 $\overline{INT}_R$ 复位为高电平。用户至少要激活一个字节使能，以便设置或重新设置 “ 邮箱 ”（地址）中断。

注释：

31. CYD36S18V18 器件具有 21 个地址位。CYD36S36V18 和 CYD18S18V18 器件有 20 个地址位。CYD36S72V18、CYD18S36V18 和 CYD09S18V18 器件有 19 个地址位。 CYD18S72V18 和 CYD09S36V18 器件有 18 个地址位。 CYD09S72V18 器件有 17 个地址位。 CYD02S36V18 器件有 16 个地址位。

图 7. 计数器、屏蔽和镜像逻辑框图

图 7 显示的是计数器、屏蔽和镜像逻辑框图。[32]



注释：

32. CYD36S18V18 器件具有 21 个地址位。 CYD36S36V18 和 CYD18S18V18 器件有 20 个地址位。 CYD36S72V18、CYD18S36V18 和 CYD09S18V18 器件有 19 个地址位。 CYD18S72V18 和 CYD09S36V18 器件有 18 个地址位。 CYD09S72V18 器件有 17 个地址位。 CYD02S36V18 器件有 16 个地址位。

图 8. $\overline{WRP}$ 取消置位时的可编程计数器 - 屏蔽寄存器操作

图 8 显示的是 WRP 取消置位时的可编程计数器 - 屏蔽寄存器操作。[36、 38]

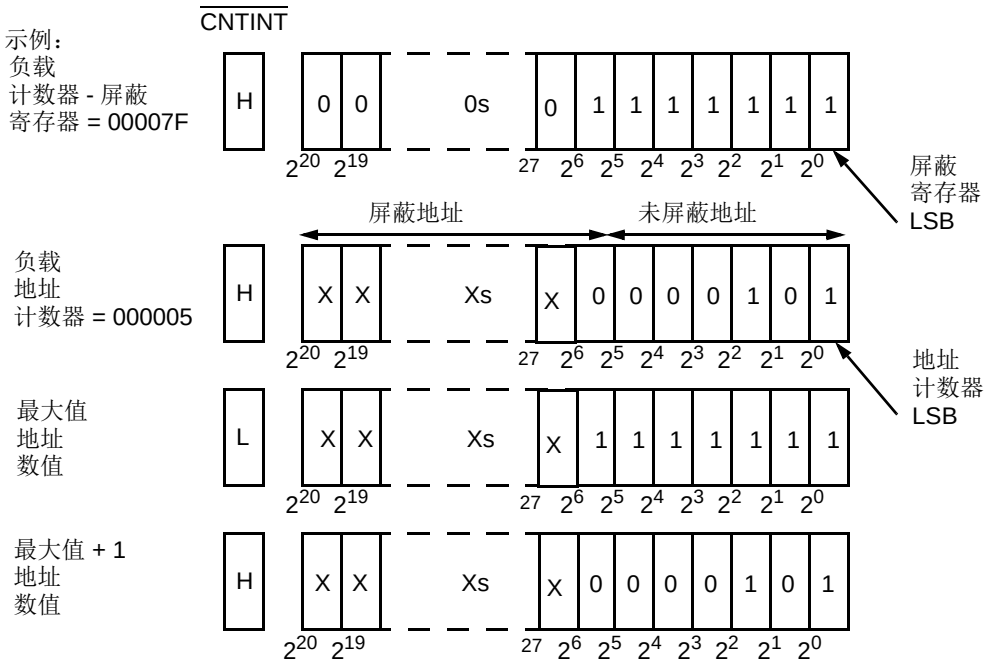


表 8. 中断操作示例

表 8 显示的是中断操作的示例。[33、 34、 35、 37、 38]

函数	左端口				右端口			
	$R/\overline{W}_L$	$\overline{CE}_L$	$A_{0L–20L}$	$\overline{INT}_L$	$R/\overline{W}_R$	$\overline{CE}_R$	$A_{0R–20R}$	$\overline{INT}_R$
设置右 $\overline{INT}_R$ 标志	L	L	最大地址	X	X	X	X	L
重置右 $\overline{INT}_R$ 标志	X	X	X	X	H	L	最大地址	H
设置左 $\overline{INT}_L$ 标志	X	X	X	L	L	L	最大地址 –1	X
重置左 $\overline{INT}_L$ 标志	H	L	最大地址 –1	H	X	X	X	X

注释：
33. $\overline{CE}$ 是内部信号。如果 $\overline{CE}_0$ 为低电平，并且 CE_1 为高电平，那么 $\overline{CE}$ 将为低电平。执行单个读操作时，只需要在 C 上升沿上将 $\overline{CE}$ 置位， C 上升沿过后再取消置位。 C 沿过后，将输出数据，在下一个 C 沿后，数据将处于三态。
34. 在进行 “ 邮箱 ” （地址）操作过程中， “ 无需关注 ” $\overline{OE}$。
35. 在 $\overline{BE0}$、 $\overline{BE1}$、 $\overline{BE2}$、 $\overline{BE3}$、 $\overline{BE4}$、 $\overline{BE5}$、 $\overline{BE6}$ 和 $\overline{BE7}$ 等信号中，至少要有一个信号处于低电平状态。
36. 该框图中的 “X” 指的是计数器的高位。
37. “X” = 无需关注， “H” = 高电平， “L” = 低电平。
38. CYD36S18V18 器件具有 21 个地址位。 CYD36S36V18 和 CYD18S18V18 器件有 20 个地址位。 CYD36S72V18、 CYD18S36V18 和 CYD09S18V18 器件具有 19 个地址位 CYD18S72V18 和 CYD09S36V18 器件有 18 个地址位。 CYD09S72V18 器件有 17 个地址位。 CYD02S36V18 器件有 16 个地址位。

主设备复位

当 MRST 被置位时，FullFlex 系列的双端口将进行一次完整的复位操作。 MRST 必须由 $VDDIO_L$ 参考电平驱动。 MRST 与时钟异步，它必须至少保持置位状态 t_{RS} 时长。已置位的 MRST 取消置位 READY 时，它会将内部突发计数器、内部镜像寄存器和内部繁忙地址初始化为零。它还将内部屏蔽寄存器初始化为全 1。执行主设备复位时，所有 “ 邮箱 ”（地址）中断（INT）、繁忙地址输出（BUSY）和突发计数器中断（CNTINT）将被取消置位。此外，请勿释放 MRST，直到所有电源（包括 VREF）完全上升并且所有端口时钟和模式选择输入（LOWSPD、ZQ、CQEN、FTSEL 和 PORTSTD）有效并处于稳定状态为止。该操作会启动对 DLL 和 VIM 电路的校准。READY 在 1024 个时钟周期内有效。 READY 是带有强上拉 / 弱下拉电阻的有线 “ 或 ” 功能输出。最多可以将四个输出连接在一起。要想使下拉信号电平的速度更快，请在 VSS 端连接一个 250 Ω 的电阻。如果 DLL 和 VIM 电路在某个端口上不可用，那么该端口的有效工作时间为五个时钟周期。不过， READY 在 160 个时钟周期内有效。

IEEE 1149.1 串行边界扫描（JTAG）

FullFlex 系列包含了 IEEE 1149.1 串行边界扫描测试访问端口（TAP）。根据 VTTL 电源，该 TAP 采用了符合 JEDEC 标准的 3.3 V 或 2.5 V IO 逻辑电平来执行操作。它包括测试逻辑（由标准定义）所要求的四个输入连接和一个输出连接。

表 9. JTAG IDCODE 寄存器定义

器件型号	配置	数值
CYD36S72V18	512 K × 72	0C026069h （×2）
CYD36S36V18	1024 K × 36	0C023069h
CYD36S18V18	2048 K × 18	0C024069h
CYD18S72V18	256 K × 72	0C025069h
CYD18S36V18	512 K × 36	0C026069h
CYD18S18V18	1024 K × 18	0C027069h
CYD09S72V18	128 K × 72	0C028069h
CYD09S36V18	256 K × 36	0C029069h
CYD09S18V18	512 K × 18	0C02A069h
CYD02S36V18	64 K × 36	0C030069h

表 10. 扫描寄存器大小

寄存器名称	位大小
指令	4
旁路	1
标识	32
边界扫描	n[39]

表 11. 指令标识代码

指令	代码	说明
EXTEST	0000	捕获输入和输出环的内容。将 BSR 置于 TDI 和 TDO 之间。
BYPASS	1111	将 BYR 置于 TDI 和 TDO 之间。
IDCODE	1011	将供应商 ID 代码加载到 IDR 中，并将该寄存器置于 TDI 和 TDO 之间。
HIGHZ	0111	将 BYR 置于 TDI 和 TDO 之间。强制使所有 FullFlex72 和 FullFlex36 输出驱动器均进入高阻态。
CLAMP	0100	将边界控制为 1 或 0。将 BYR 置于 TDI 和 TDO 之间。
SAMPLE/PRELOAD	1000	捕获输入和输出环的内容。将 BSR 置于 TDI 和 TDO 之间。
RESERVED	所有其他代码	其他组合均被保留。只应使用提到的各个组合。

注释：
39. 器件的 BSDL 文件详细说明了边界扫描的长度。

最大额定值

超过最大额定值可能会影响器件的使用寿命。用户指南未经过测试。

存放温度 ..... –65 °C ~ +150 °C

通电状态下的环境温度 ..... –55 °C ~ +125 °C

供电电压 ..... –0.5 V ~ +4.0 V

应用于高阻 （High Z）状态下的输出直流电压 ..... –0.5 V ~ V_{DD}+ 0.5 V

直流输入电压 ..... –0.5 V ~ V_{DD} + 0.5 V

输出电流到输出 （低电平） ..... 20 mA

静电放电电压 ..... > 2200 V （JEDEC JESD8-6、 JESD8-B）

栓锁电流 ..... > 200 mA

工作范围

范围	环境温度	VCORE
商业级	0 °C 至 +70 °C	1.8 V ± 100 mV 1.5 V ± 80 mV
工业级	–40 °C ~ +85 °C	1.8 V ± 100 mV 1.5 V ± 80 mV

电源要求

	最小值	典型值	最大值
LVTTL VDDIO	3.0 V	3.3 V	3.6 V
2.5 V LVCMOS VDDIO	2.3 V	2.5 V	2.7 V
HSTL VDDIO	1.4 V	1.5 V	1.9 V
1.8 V LVCMOS VDDIO	1.7 V	1.8 V	1.9 V
3.3 V VTTL	3.0 V	3.3 V	3.6 V
2.5 V VTTL	2.3 V	2.5 V	2.7 V
HSTL VREF	0.68 V	0.75 V	0.95 V

电气特性

在工作范围内

参数	说明	配置	所有速度参数			单位
			最小值	典型值	最大值	
V_{OH}	输出高电压（V_{DDIO} = 最小值， I_{OH} = –8 mA）	LVTTL	2.4[40]	–	–	V
	（V_{DDIO} = 最小值， I_{OH} = –4 mA）	HSTL （直流） [41]	VDDIO – 0.4[40]	–	–	V
	（V_{DDIO} = 最小值， I_{OH} = –4 mA）	HSTL （交流） [41]	VDDIO – 0.5[40]	–	–	V
	（V_{DDIO} = 最小值， I_{OH} = –6 mA）	2.5 V LVCMOS	1.7[40]	–	–	V
	（V_{DDIO} = 最小值， I_{OH} = –4 mA）	1.8 V LVCMOS	VDDIO – 0.45[40]	–	–	V
V_{OL}	输出高电压（V_{DDIO} = 最小值， I_{OL} = 8 mA）	LVTTL	–	–	0.4[40]	V
	（V_{DDIO} = 最小值， I_{OL} = 4 mA）	HSTL （直流） [41]	–	–	0.4[40]	V
	（V_{DDIO} = 最小值， I_{OL} = 4 mA）	HSTL （交流） [41]	–	–	0.5[40]	V
	（V_{DDIO} = 最小值， I_{OL} = 6 mA）	2.5 V LVCMOS	–	–	0.7[40]	V
	（V_{DDIO} = 最小值， I_{OL} = 4 mA）	1.8 V LVCMOS	–	–	0.45[40]	V
V_{IH}	输入高电压	LVTTL	2	–	VDDIO + 0.3	V
		HSTL （直流） [41]	VREF + 0.1	–	VDDIO + 0.3	V
		2.5 V LVCMOS	1.7	–		V
		1.8 V LVCMOS	0.65 × VDDIO	–		V
V_{IL}	输入低电压	LVTTL	–0.3	–	0.8	V
		HSTL （直流） [41]	–0.3	–	VREF – 0.1	V
		2.5 V LVCMOS	–	–	0.7	V
		1.8 V LVCMOS	–	–	0.35 × VDDIO	V

注释：
40. VIM 被禁用时，这些参数会符合上述要求的值。
41. 直流规范是在稳定状态下测量的。交流规范是在切换速度时测量的。 HSTL 模式下的交流 VIH/VIL 以 1 V/ns 的输入沿速率测量的。

电气特性 （续）

在工作范围内

参数	说明	配置	所有速度参数			单位
			最小值	典型值	最大值	
$\overline{READY}$ V_{OH}	输出高电压 （V_{DDIO} = 最小值，I_{OH} = –24 mA）	LVTTL	2.7[42]	–	–	V
	（V_{DDIO} = 最小值，I_{OH} = –12 mA）	HSTL （直流） [43]	VDDIO – 0.4[42]	–	–	V
	（V_{DDIO} = 最小值，I_{OH} = –12 mA）	HSTL （交流） [43]	VDDIO – 0.5[42]	–	–	V
	（V_{DDIO} = 最小值，I_{OH} = –15 mA）	2.5 V LVCMOS	2.0[42]	–	–	V
	（V_{DDIO} = 最小值，I_{OH} = –12 mA）	1.8 V LVCMOS	VDDIO – 0.45[42]	–	–	V
$\overline{READY}$ V_{OL}	输出高电压 （V_{DDIO} = 最小值， I_O = 0.12 mA）	LVTTL	–	–	0.4[42]	V
	（V_{DDIO} = 最小值，I_{OL} = 0.12 mA）	HSTL （直流） [43]	–	–	0.4[42]	V
	（V_{DDIO} = 最小值，I_{OL} = 0.12 mA）	HSTL （交流） [43]	–	–	0.5[42]	V
	（V_{DDIO} = 最小值，I_{OL} = 0.15 mA）	2.5 V LVCMOS	–	–	0.7[42]	V
	（V_{DDIO} = 最小值，I_{OL} = 0.08 mA）	1.8 V LVCMOS	–	–	0.45[42]	V
I_{OZ}	输出漏电流		–10	–	10	mA
I_{IX1}	输入漏电流 （TDI、 TMS、 MRST、 PORTSTD 除外）		–10	–	10	mA
I_{IX2}	输入漏电流 TDI、 TMS、 $\overline{MRST}$		–300	–	10	mA
I_{IX3}	输入漏电流 PORTSTD		–10	–	300	mA

注释：
42. VIM 被禁用时，这些参数会符合上述要求的值。
43. 直流规范是在稳定状态下测量的。交流规范是在切换速度时测量的。 HSTL 模式下的交流 VIH/VIL 以 1 V/ns 的输入沿速率测量的。

电气特性

在工作范围内

参数	说明	配置		-200		-167		单位
				典型	最大值	典型	最大值	
I_{CC}	工作电流（V_{CORE} = 最大值， I_{OUT} = 0 mA）输出被禁用	512 K × 72	商业级	1440	1800	1280	1620	mA
			工业级	–	–	1330	1730	mA
		1024 K × 36	商业级	1180	1500	1050	1350	mA
			工业级	–	–	1110	1470	mA
		2048 K × 18	商业级	1130	1430	1000	1290	mA
			工业级	–	–	1060	1410	mA
		256 K × 72	商业级	800	980	700	880	mA
			工业级	820	1030	730	930	mA
		512 K × 36	商业级	640	800	570	720	mA
			工业级	670	860	590	780	mA
		1024 K × 18	商业级	610	770	540	690	mA
			工业级	640	830	570	750	mA
		128 K × 72	商业级	640	790	560	700	mA
			工业级	660	830	580	740	mA
		256 K × 36	商业级	540	640	470	570	mA
			工业级	550	670	490	600	mA
		512 K × 18	商业级	550	660	480	580	mA
			工业级	570	690	500	610	mA
		64 K × 36	商业级	–	–	–	–	mA
			工业级	–	–	–	–	mA

电气特性 （续）

在工作范围内

参数	说明	配置		-200		-167		单位
				典型	最大值	典型	最大值	
I_{SB1}	待机电流 （两个端口都处于 TTL 电平） $\overline{CE}_L$ 和 $\overline{CE}_R \geq V_{IH}$， $f = f_{MAX}$	512 K × 72	商业级	1000	1250	920	1160	mA
			工业级	–	–	970	1260	mA
		1024 K × 36	商业级	910	1140	820	1050	mA
			工业级	–	–	880	1160	mA
		2048 K × 18	商业级	890	1110	810	1030	mA
			工业级	–	–	860	1140	mA
		256 K × 72	商业级	500	630	460	580	mA
			工业级	530	680	490	630	mA
		512 K × 36	商业级	460	570	410	530	mA
			工业级	480	630	440	580	mA
		1024 K × 18	商业级	450	560	410	520	mA
			工业级	470	610	430	570	mA
		128 K × 72	商业级	400	490	360	450	mA
			工业级	420	540	380	490	mA
		256 K × 36	商业级	380	440	340	400	mA
			工业级	390	470	360	430	mA
		512 K × 18	商业级	390	460	350	410	mA
			工业级	410	480	370	440	mA
		64 K × 36	商业级	–	–	–	–	mA
			工业级	–	–	–	–	mA

电气特性 （续）

在工作范围内

参数	说明	配置		-200		-167		单位
				典型	最大值	典型	最大值	
I_{SB2}	待机电流 （一个端口处于 TTL 或 CMOS 电平） $\overline{CE}_L$ | $\overline{CE}_R \geq V_{IH}$， f = f_{MAX}	512 K × 72	商业级	1300	1570	1160	1410	mA
			工业级	–	–	1210	1520	mA
		1024 K × 36	商业级	1090	1330	980	1210	mA
			工业级	–	–	1030	1330	mA
		2048 K × 18	商业级	1040	1270	930	1160	mA
			工业级	–	–	980	1270	mA
		256 K × 72	商业级	650	790	580	710	mA
			工业级	680	840	610	760	mA
		512 K × 36	商业级	550	670	490	610	mA
			工业级	570	730	520	670	mA
		1024 K × 18	商业级	520	640	470	580	mA
			工业级	550	690	490	640	mA
		128 K × 72	商业级	520	630	460	560	mA
			工业级	550	670	480	610	mA
		256 K × 36	商业级	460	530	400	470	mA
			工业级	480	560	430	500	mA
		512 K × 18	商业级	460	530	410	480	mA
			工业级	480	560	430	510	mA
		64 K × 36	商业级	–	–	–	–	mA
			工业级	–	–	–	–	mA

电气特性

在工作范围内

参数	说明	配置		所有速度参数		单位
				典型值	最大值	
I_{SB3}	待机电流 （两个端口都处于 CMOS 电平） $\overline{CE}_L$ 和 $\overline{CE}_R \geq V_{CORE} - 0.2$ V， f = 0	512 K × 72	商业级	410	590	mA
			工业级	460	700	mA
		1024 K × 36	商业级	410	590	mA
			工业级	460	700	mA
		2048 K × 18	商业级	410	590	mA
			工业级	460	700	mA
		256 K × 72	商业级	210	300	mA
			工业级	230	350	mA
		512 K × 36	商业级	210	300	mA
			工业级	230	350	mA
		1024 K × 18	商业级	210	300	mA
			工业级	230	350	mA
		128 K × 72	商业级	150	2000	mA
			工业级	170	220	mA
		256 K × 36	商业级	150	2000	mA
			工业级	170	220	mA
		512 K × 18	商业级	150	2000	mA
			工业级	170	220	mA

电容

信号	封装			
	CYD18S72V18 CYD09S72V18 CYD18S36V18 CYD09S36V18 CYD02S36V18	CYD18S18V18 CYD09S18V18	CYD36S72V18 CYD36S36V18	CYD36S18V18
$\overline{OE}$	12 pF	12 pF	20 pF	20 pF
$\overline{BE}$、 DQ	10 pF	15	16 pF	30 pF
所有其他信号	10 pF	10 pF	16 pF	16 pF

热阻

参数	说明	测试条件	484 球型焊盘 BGA	256 球型焊盘 BGA（仅适用于 18 Mbit）	256 球型焊盘 BGA（适用于 9 Mbit 和 2 Mbit）	单位
θ_{JA}	热阻 （结温）	静止空气，被焊接在 3 × 4.5 英寸的四层印刷电路板上	14.92	17.02	18.31	°C/W
θ_{JC}	热阻 （壳温）		3.6	1.25	1.68	°C/W

交流测试负载和波形

图 9. LVTTL/CMOS 的输出测试负载

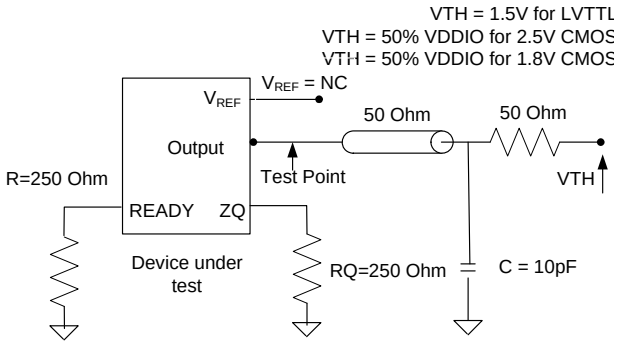


图 10. HSTL 的输出测试负载

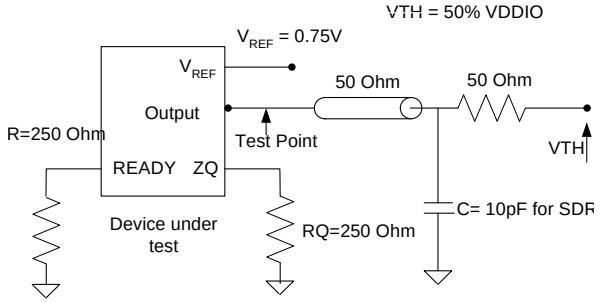
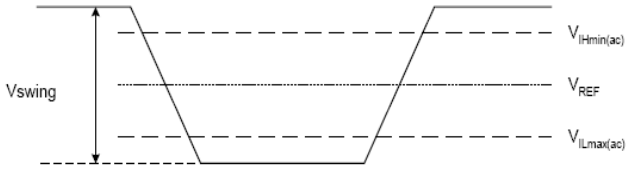


图 11. HSTL 输入波形

AC Input Test Signal Waveform



Vswing = 1.0V
VREF = 0.75V
V_{IH} = 1.25V
V_{IL} = 0.25V
Slew = 2.0V/ns
All input parameters are referenced to VREF

切换特性

在工作范围内

表 12. SDR 模式 （信号受 DLL 的影响时）

参数	说明	DLL 打开 （$\overline{\text{LOWSPD}}$=1）[46]				DLL 关闭 （$\overline{\text{LOWSPD}}$=0）[46]		单位
		-200		-167				
		最小值	最大值	最小值	最大值	最小值	最大值	
t_{CD2}[49]	管道模式下从 C 上升沿到 DQ 有效的时间	–	3.30[45、48]	–	4.00[45、48]	–	6.00[45、48]	ns
t_{CCQ}[49]	从 C 上升沿到 CQ 上升沿的时间	1.00	3.30 [48]	1.00	4.00[48]	1.00	6.00[48]	ns
t_{CKHZ2}[44、49]	在管道模式下从 C 上升沿到 DQ 输出高阻态的时间	1.00	3.30[45、48]	1.00	4.00[45、48]	1.00	6.00[45、48]	ns
t_{CKLZ2}[44、49]	在管道模式下从 C 上升沿到 DQ 输出低阻态的时间	1.00	–	1.00	–	1.00	–	ns

表 13. SDR 模式

参数	说明		-200		-167		单位
			最小值	最大值	最小值	最大值	
f_{MAX} （管道式）	在管道模式下的最大工作频率		100	2000	100	167	MHz
f_{MAX} （输出式）	在输出模式下的最大工作频率		–	77	–	66.7	MHz
t_{CYC} （管道式）	在管道模式下的 C 时钟周期时间		5.00[48]	10.00	6.00[48]	10.00	ns
t_{CYC} （输出式）	在输出模式下的 C 时钟周期时间		13.00[48]	–	15.00[48]	–	ns
t_{CKD}	C 时钟占用时间		45	55	45	55	%
t_{SD}	将数据输入设置到 C 上升沿的时间	HSTL 1.8 V LVCMOS	1.50[45、48]	–	1.70[45、48]	–	ns
		2.5 V LVCMOS 3.3 V LVTTL	1.75[45、48]	–	1.95[45、48]		ns
t_{HD}[47]	经过 C 上升沿后数据输入的保持时间		0.5	–	0.5	–	ns
t_{SAC}	将地址和控制输入设置到 C 上升沿的时间	HSTL 1.8 V L VCMOS	1.50[45、47、48]	–	1.70[45、47、48]	–	ns
		2.5 V LVCMOS 3.3 V LVTTL	1.75[45、47、48]	–	1.95[45、47、48]	–	ns
t_{HAC}[47]	经过 C 上升沿后地址和控制输入的保持时间		0.50	–	0.60	–	ns
t_{OE}	输出使能到数据有效的时间		–	4.40[45、48]	–	5.00[45、48]	ns
t_{OLZ}[44]	从 $\overline{\text{OE}}$ 到低阻态的时间		1.00	–	1.00	–	ns

注释：
44. 各参数的负载电容在第 25 页上的图 9 和第 25 页上的图 10 中显示。
45. 对于 x18 器件，在表 13 中向该参数添加 200 ps。
46. 测试条件假设：信号转换时间为 2 V/ns。
47. 对于 36M 的器件，将 300 ps 添加到该时序内。
48. 如果已经适用 1.5 V 的 VCORE，那么将 15% 添加到该参数。
49. 该参数假设输入时钟周期和周期间的抖动为 ± 0 ps。

表 13. SDR 模式 （续）

参数	说明		-200		-167		单位
			最小值	最大值	最小值	最大值	
t_{OHZ}[50]	从 $\overline{OE}$ 到高阻态的时间		1.00	4.40[51、52]	1.00	5.00[51、52]	ns
t_{CD1}	在输出模式下从 C 上升沿到 DQ 有效的时间（LowSPD = 0）		–	9.00[51、52]	–	11.00[51、52]	ns
t_{CA1}	输出模式下从 C 上升沿到地址回读有效的时间		–	9.00[52]	–	11.00[52]	ns
t_{CA2}	管道模式下从 C 上升沿到地址回读有效的时间		–	5.00[52]	–	6.00[52]	ns
t_{DC}[53]	经过 C 上升沿后 DQ 输出的保持时间		1.00	–	1.00	–	ns
t_{JIT}	从时钟输入周期到周期间的抖动		–	+/- 200	–	+/- 200	ps
t_{CQHQV}[53]	从回波时钟 （CQ）为高电平到输出有效的时间	HSTL 1.8 V LVCMOS	–	0.70[51]	–	0.80[51]	ns
		2.5 V LVCMOS 3.3 V LVTTL	–	0.80[51]	–	0.90[51]	ns
t_{CQHQX}[53]	从回波时钟 （CQ）为高电平到输出的保持时间	HSTL 1.8 V LVCMOS	–0.70	–	–0.80	–	ns
		2.5 V LVCMOS 3.3 V LVTTL	–0.85	–	–0.95	–	ns
t_{CKHZ1}[50]	在输出模式下从 C 上升沿到 DQ 输出高阻态的时间		1.00	9.00[51、52]	1.00	11.00[51、52]	ns
t_{CKLZ1}[50]	在输出模式下从 C 上升沿到 DQ 输出低阻态的时间		1.00	–	1.00	–	ns
t_{AC}	经过 C 上升沿后地址输出的保持时间		1.00	–	1.00	–	ns
t_{CKHZA1}[50]	在输出模式下从 C 上升沿到地址输出高阻态的时间		1.00	9.00[52]	1.00	11.00[52]	ns
t_{CKHZA2}[50]	在管道模式下从 C 上升沿到地址输出高阻态的时间		1.00	5.00[52]	1.00	6.00[52]	ns
t_{CKLZA}[50]	从 C 上升沿到地址输出低阻态的时间		1.00	–	1.00	–	ns
t_{SCINT}	从 C 上升沿到 $\overline{CNTINT}$ 低电平的时间		1.00	3.30[52]	1.00	4.00[52]	ns
t_{RCINT}	从 C 上升沿到 $\overline{CNTINT}$ 高电平的时间		1.00	3.30[52]	1.00	4.00[52]	ns
t_{SINT}	从 C 上升沿到 $\overline{INT}$ 低电平的时间		0.50	7.00[52]	0.50	8.00[52]	ns
t_{RINT}	从 C 上升沿到 $\overline{INT}$ 高电平的时间		0.50	7.00[52]	0.50	8.00[52]	ns
t_{BSY}	从 C 上升沿到 $\overline{BUSY}$ 有效的时间		1.00	3.30[52]	1.00	4.00[52]	ns

注释：
50. 各参数的负载电容在第 25 页上的图 9 和第 25 页上的图 10 中显示。
51. 对于 x18 器件，在表 13 中向该参数添加 200 ps。
52. 如果已经适用 1.5 V 的 VCORE，那么将 15% 添加到该参数。
53. 该参数假设输入时钟周期和周期间的抖动为 ± 0 ps。

表 14. 主机复位时序

参数	说明	-200		-167		单位
		最小值	最大值	最小值	最大值	
t_{PUP}	加电时间	1	–	1	–	ms
t_{RS}	主设备复位脉冲宽度	5	–	5	–	周期
t_{RSR}	主设备复位回复时间	5	–	5	–	周期
t_{RSF}	从主设备复位到输出无效 / 高阻态的时间	–	15	–	18	ns
t_{RDY}[54]	从主设备复位释放到端口就绪的时间	–	1024	–	1024	周期
t_{CORDY}[55]	从 C 上升沿到端口就绪的时间	–	9.5[56]	–	11[56]	ns

表 15. JTAG 时序

参数	说明	-200		-167		单位
		最小值	最大值	最小值	最大值	
f_{JTAG}	JTAG TAP 控制器的频率	–	20	–	20	MHz
t_{TCYC}	TCK 周期时间	50	–	50	–	ns
t_{TH}	TCK 为高电平的时间	20	–	20	–	ns
t_{TL}	TCK 为低电平的时间	20	–	20	–	ns
t_{TMSS}	从 TMS 到 TCK 上升沿的建立时间	10	–	10	–	ns
t_{TMSH}	从 TMS 到 TCK 上升沿的保持时间	10	–	10	–	ns
t_{TDIS}	从 TDI 到 TCK 上升沿的建立时间	10	–	10	–	ns
t_{TDIH}	从 TDI 到 TCK 上升沿的保持时间	10	–	10	–	ns
t_{TDOV}	从 TCK 为低电平到 TDO 有效的时间	–	10	–	10	ns
t_{TDOX}	从 TCK 为低电平到 TDO 无效的时间	0	–	0	–	ns
t_{JXZ}	从 TCK 为低电平到 TDO 为高阻态的时间	–	15	–	15	ns
t_{JZX}	从 TCK 为低电平到 TDO 有效的时间	–	15	–	15	ns
t_{JZX}	从 TCK 为低电平到 TDO 有效的时间	–	15	–	15	ns

注释：
54. $\overline{\text{READY}}$ 是带有弱下拉电阻的有线 “ 或 ” 功能输出。要想缩短下降沿上的延迟，将 250 Ω 的的电阻连接到 V_{SS}。
55. 经过 t_{RDY} 时长后，给所有主设备复位操作添加该输出延迟。
56. 如果已经适用 1.5 V 的 VCORE，那么将 15% 添加到该参数。

切换波形

图 12. JTAG 时序

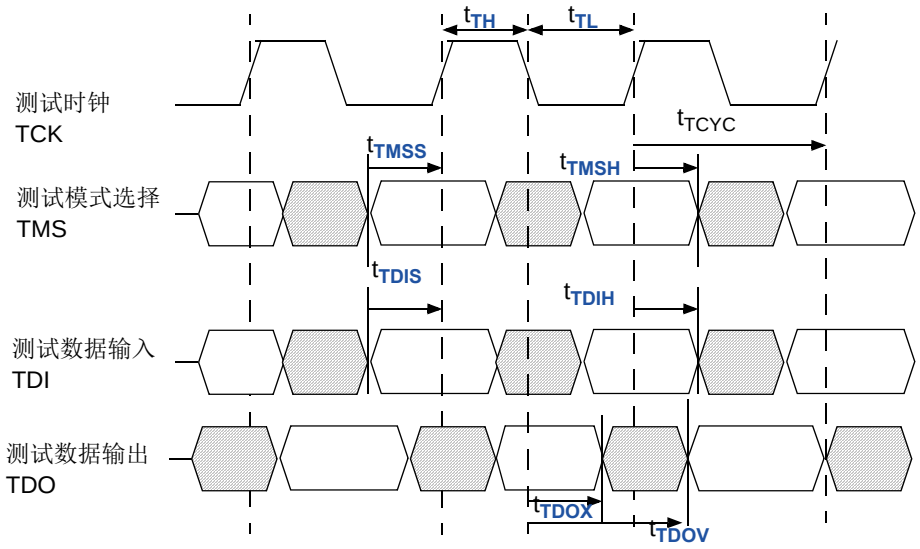
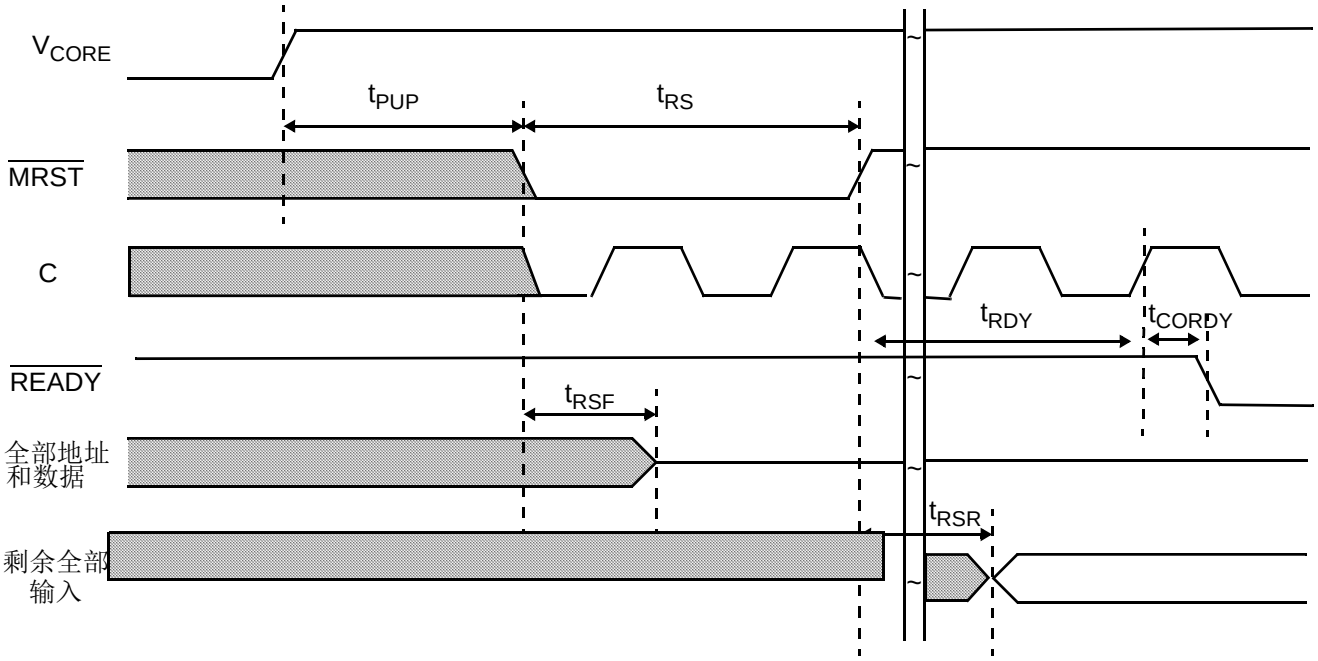


图 13. 主设备复位 [57]



注释：
57. READY 是带有弱下拉电阻的有线 “ 或 ” 功能输出。要想缩短下降沿上的延迟，将 250 Ω 电阻连接到 VSS。

切换波形（续）

图 14. 在管道模式下的读取周期

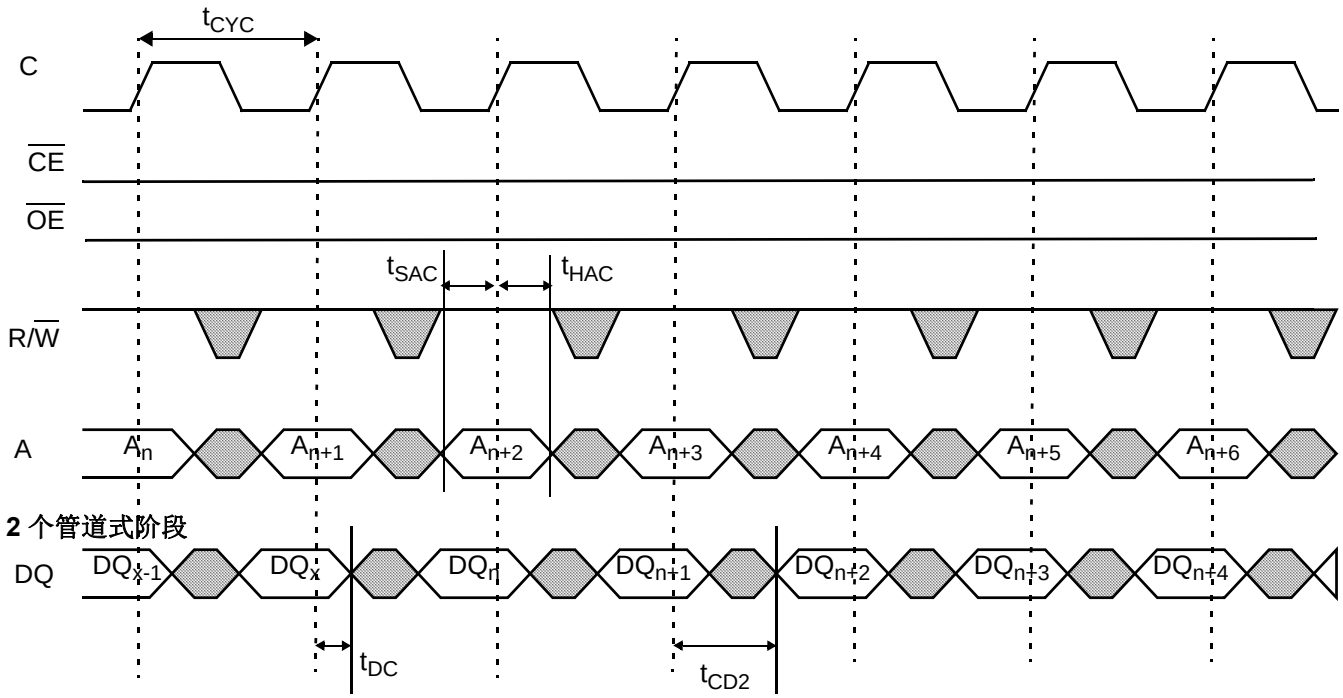
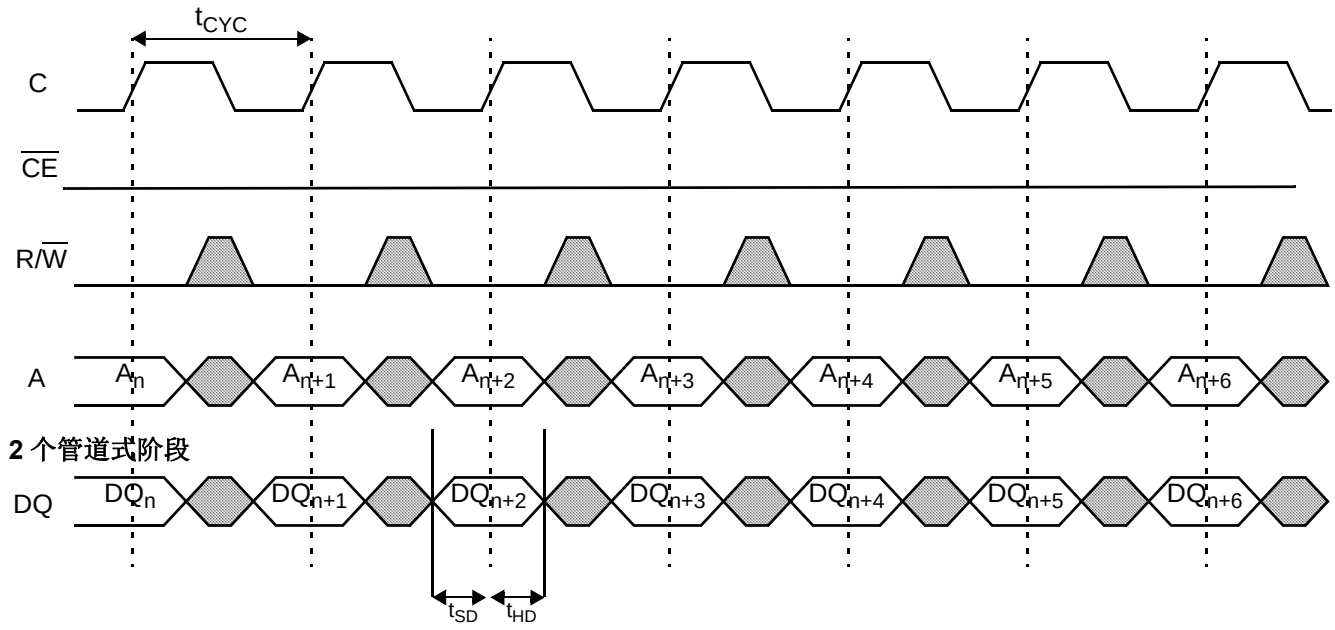


图 15. 在管道模式和输出模式下的写入周期



切换波形（续）

图 16. 在管道模式下通过地址计数器递增实现读取操作

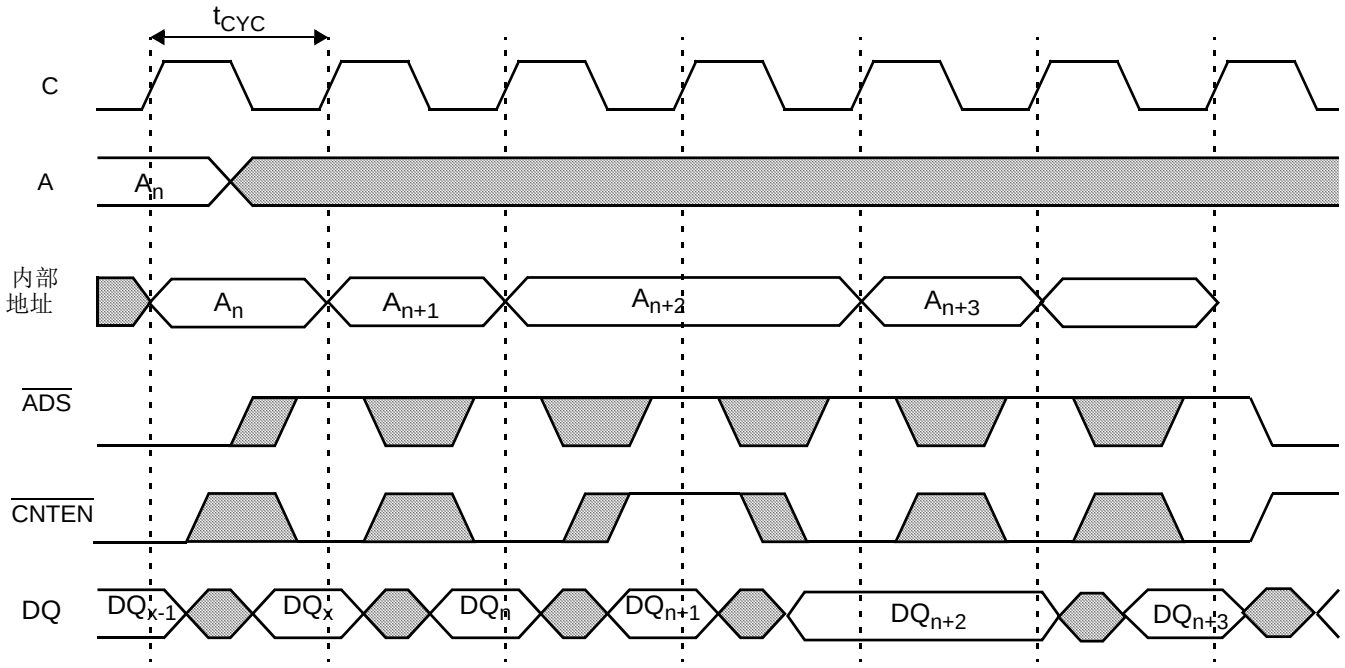
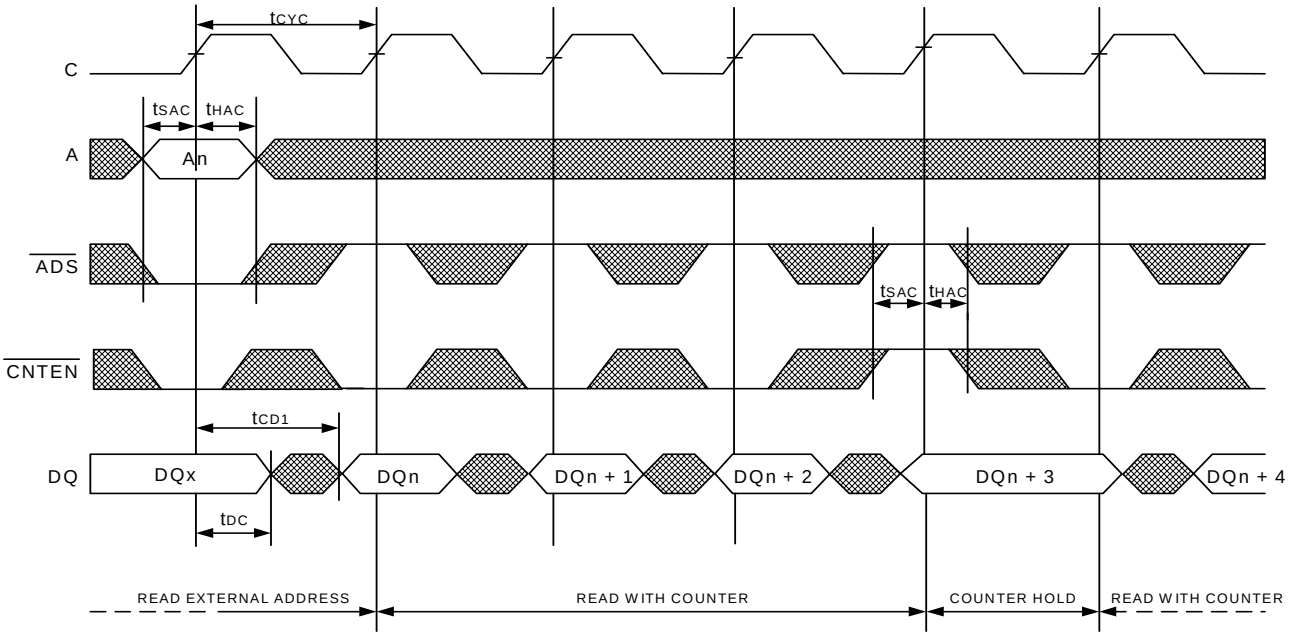


图 17. 在输出模式下通过地址计数器递增实现的读取操作



切换波形（续）

图 18. 在管道模式下端口间的读 - 写操作

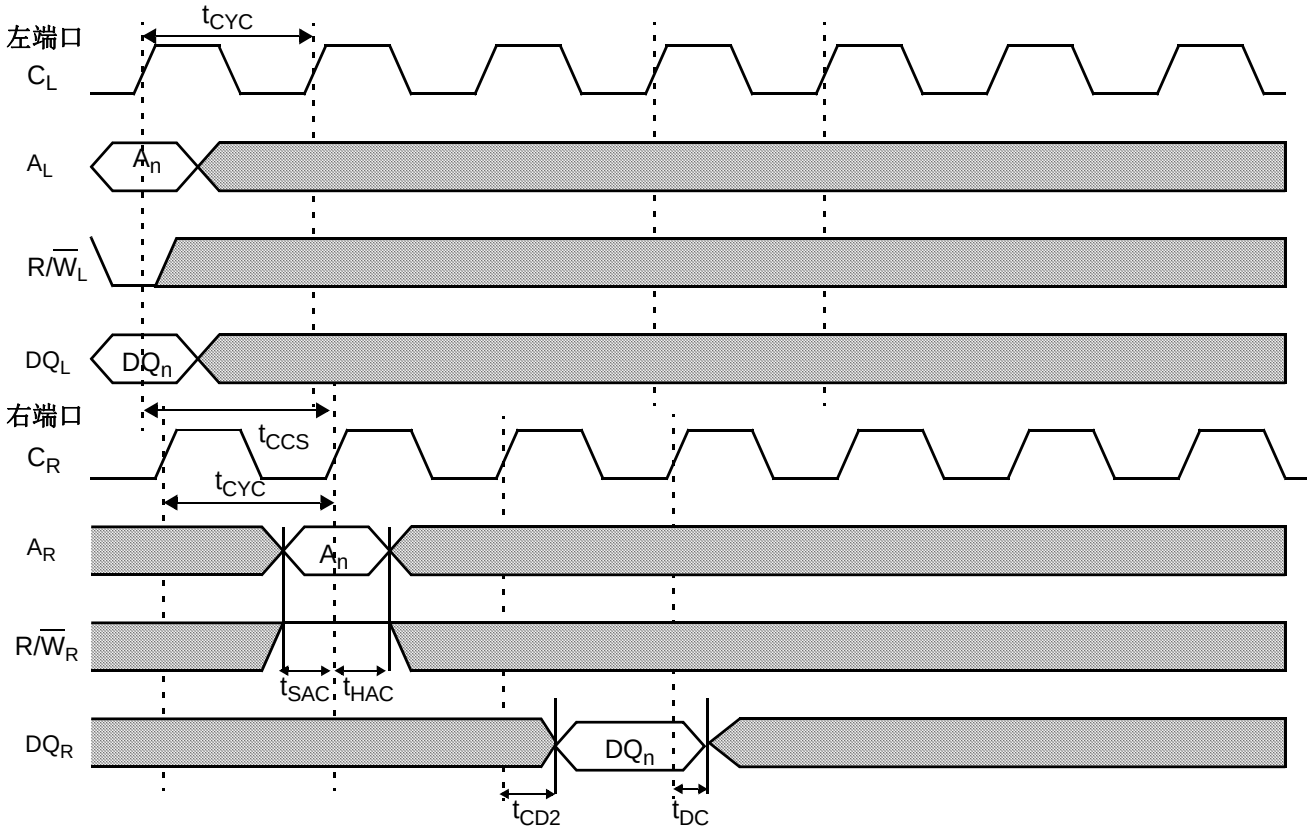
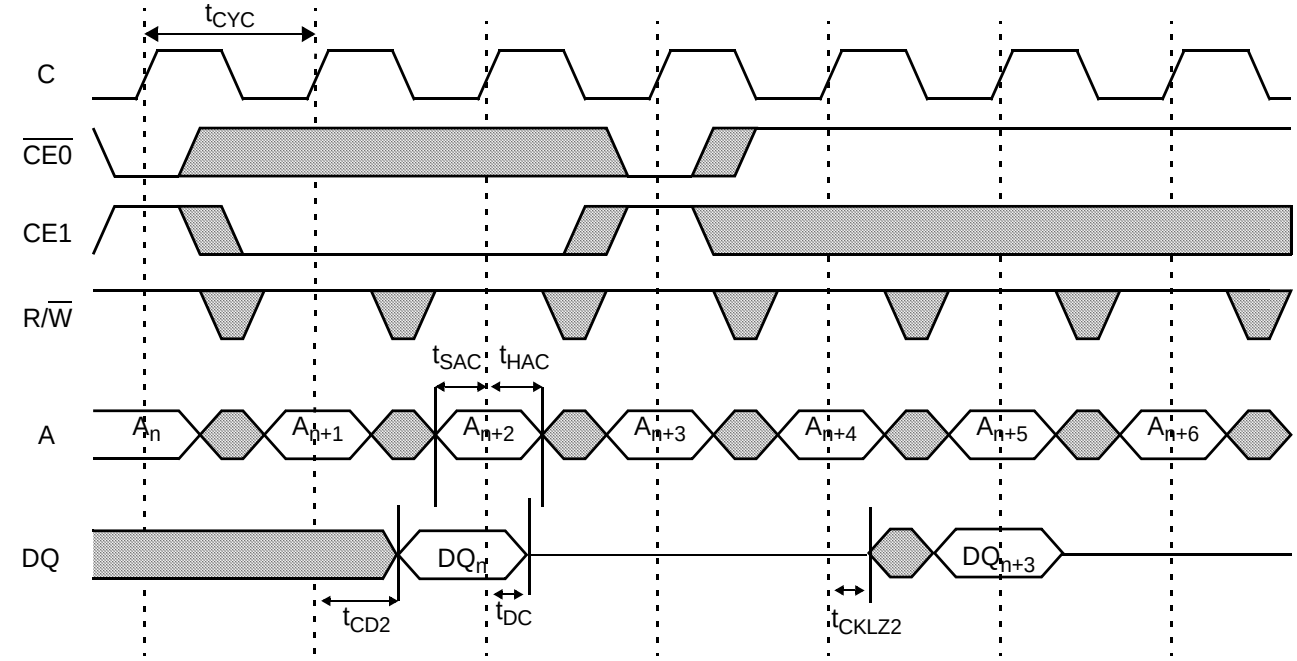


图 19. 管道模式下的芯片使能读取操作



切换波形（续）

图 20. 管道模式下受 OE 控制的写入操作

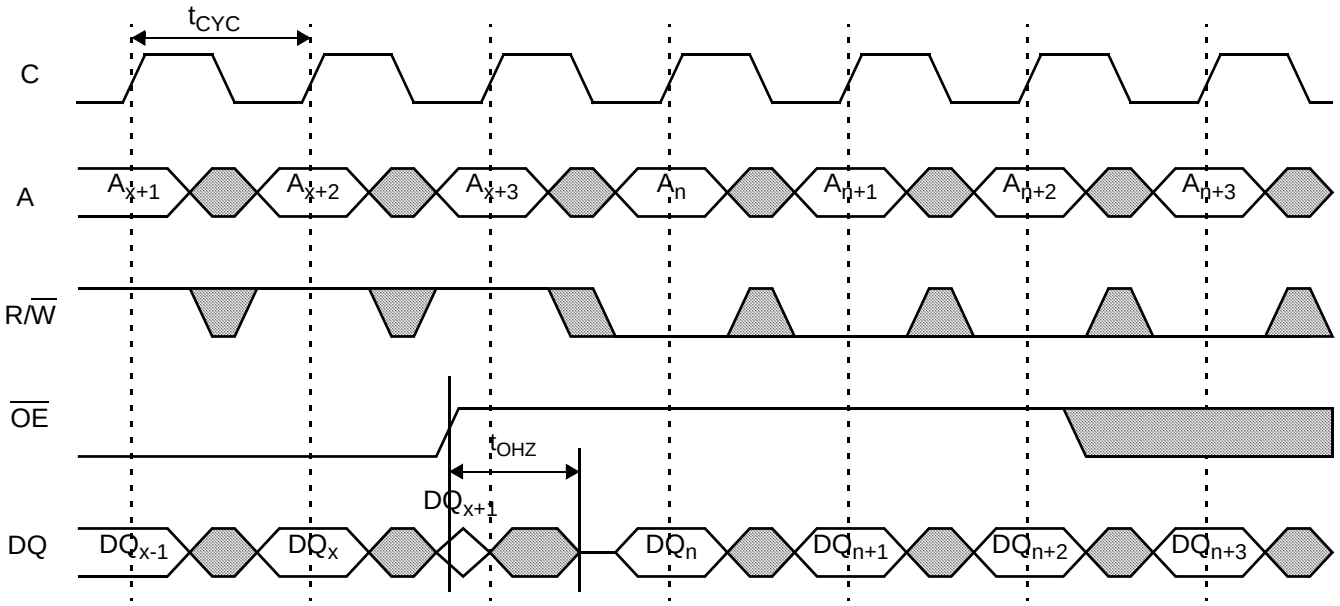
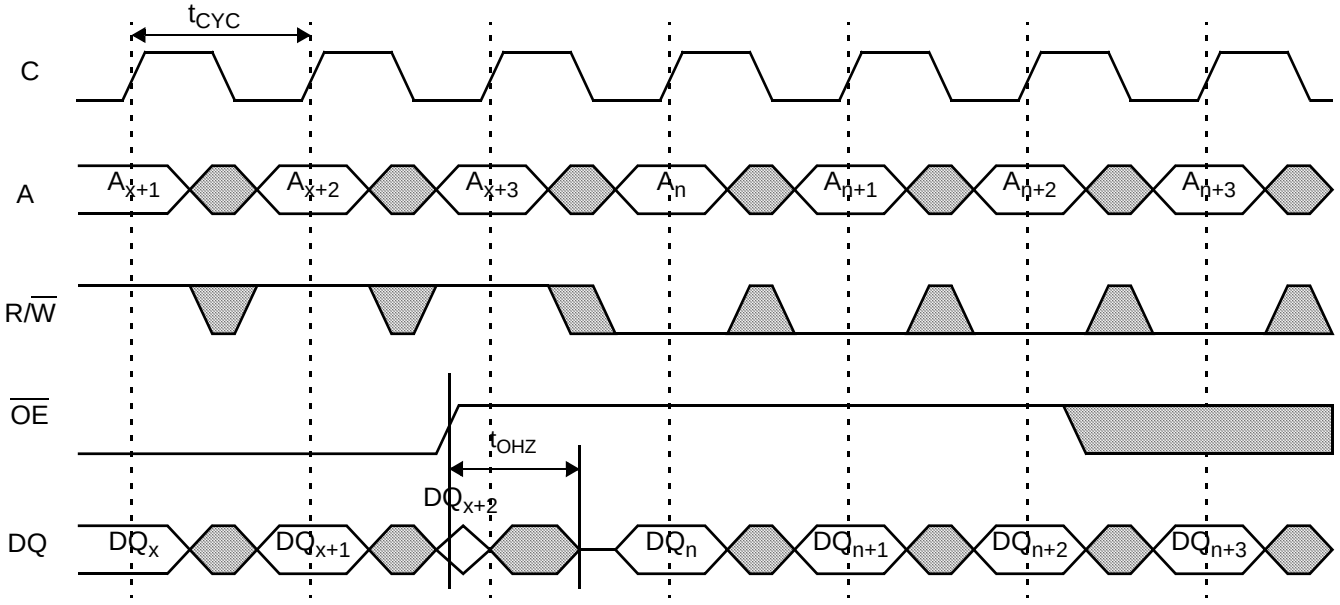
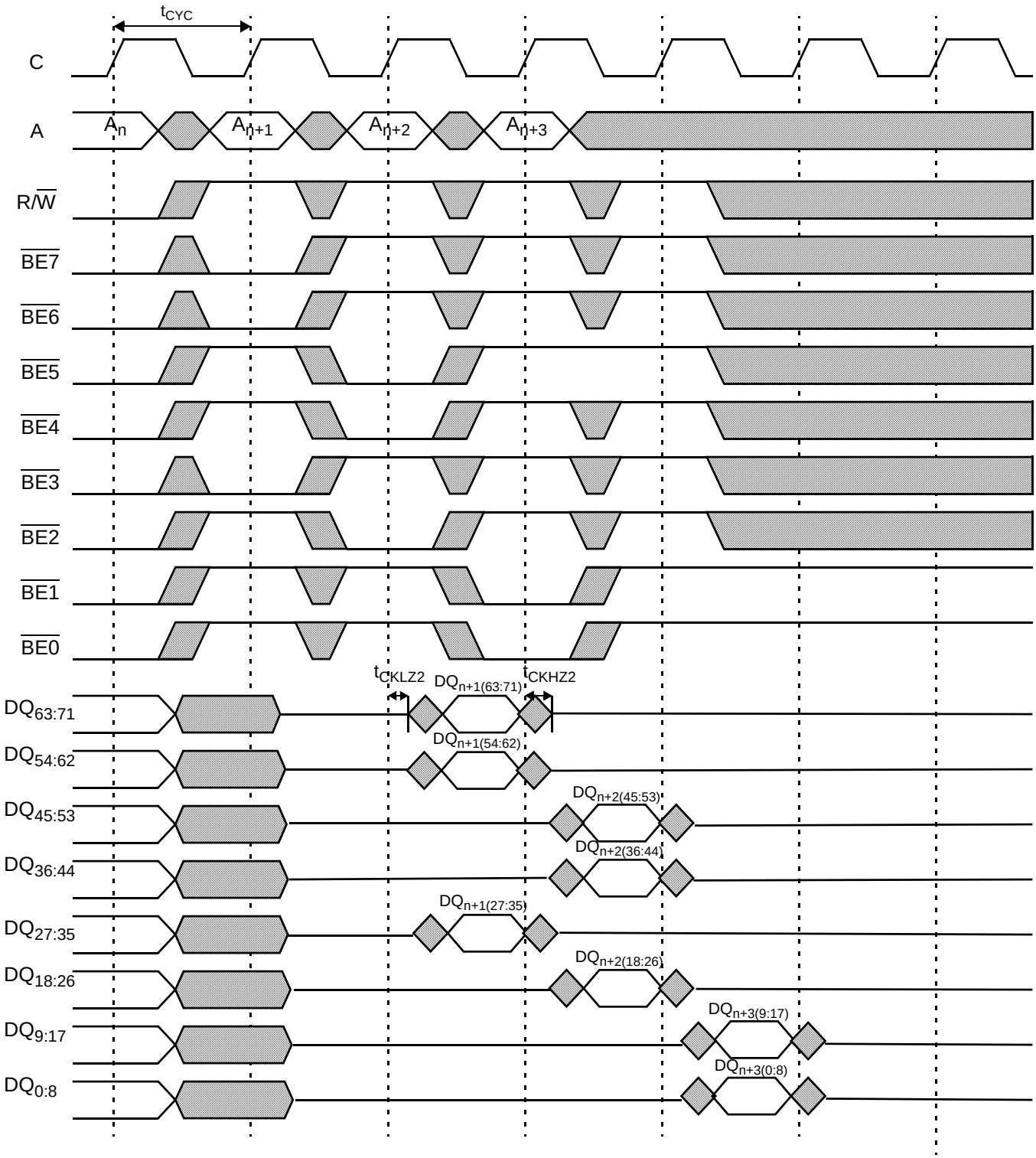


图 21. 在输出模式下受 OE 控制的写入操作



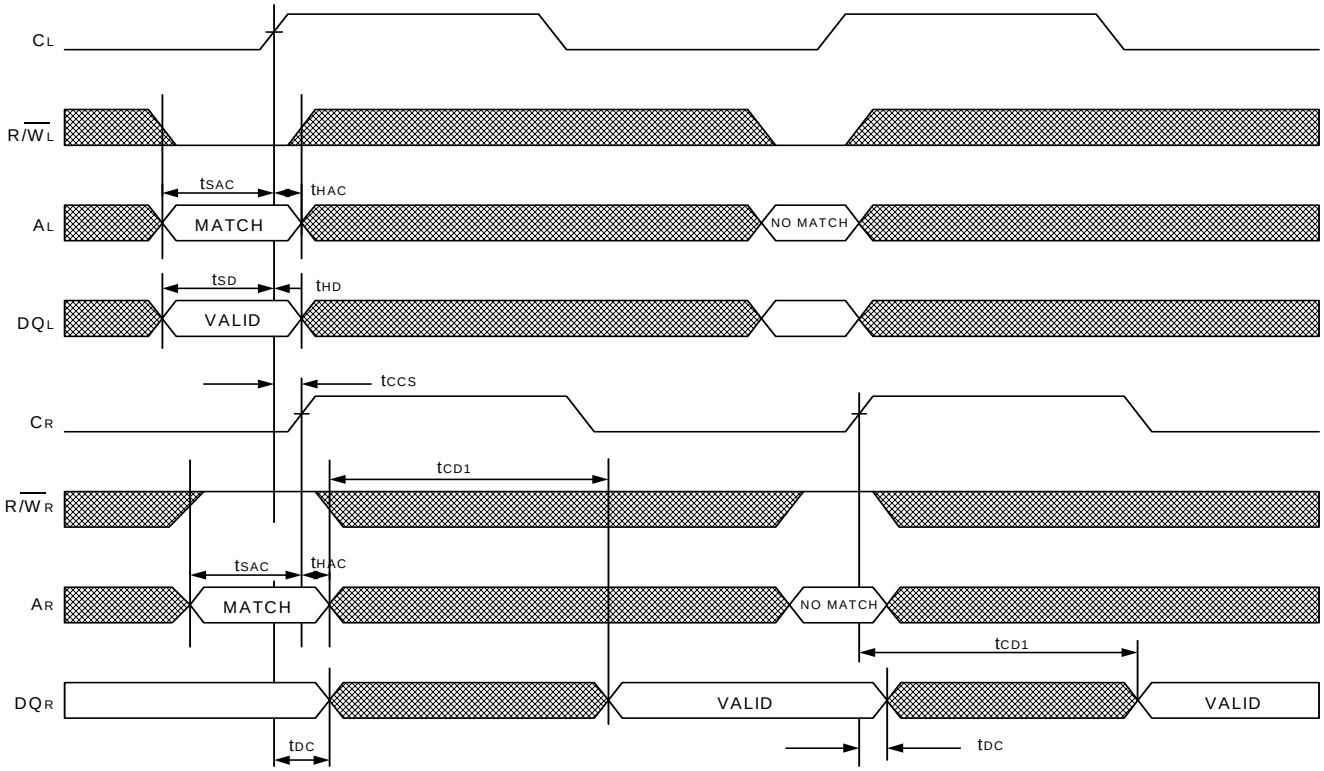
切换波形（续）

图 22. 管道模式下的 “ 字节使能读取 ” 操作



切换波形（续）

图 23. 在输出模式下端口间的 “ 写 - 读 ” 操作



切换波形（续）

图 24. 在管道模式和输出模式下的繁忙地址回读操作 （CNT/$\overline{MSK}$ = $\overline{RET}$ = 低电平）[58]

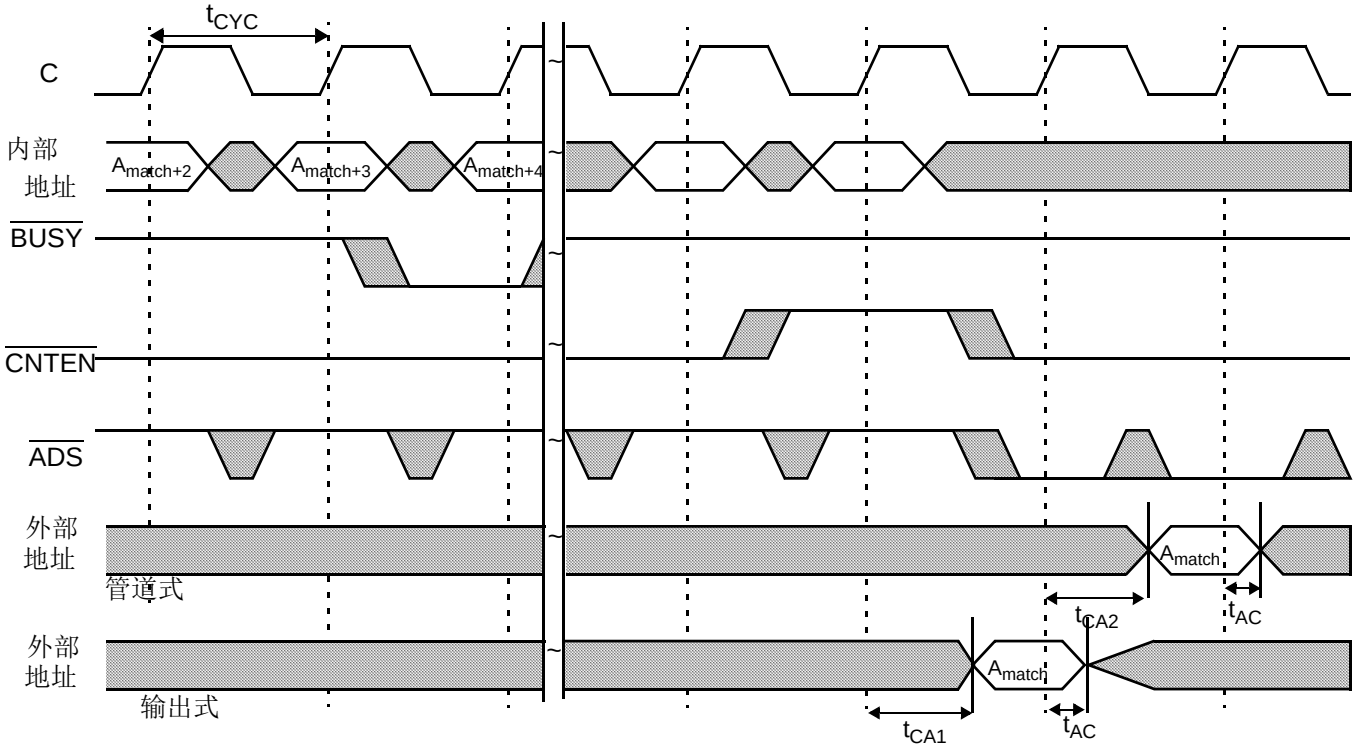
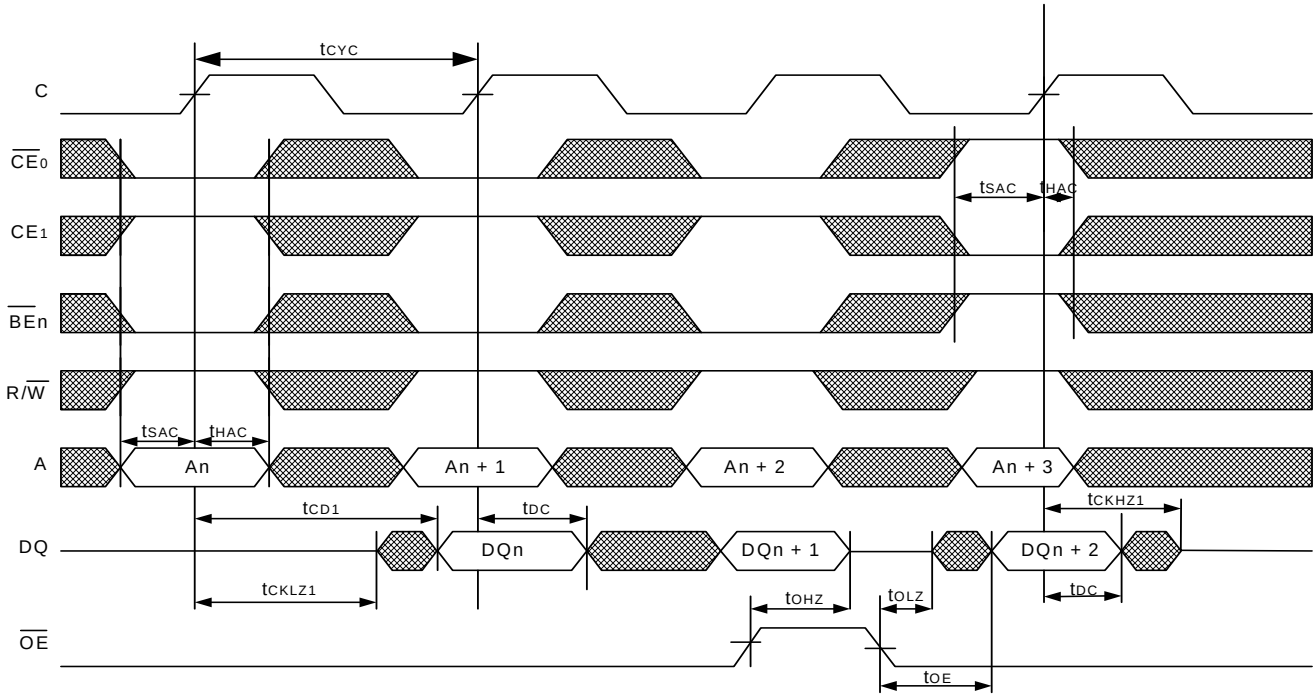


图 25. 输出模式下的读取周期



注释：

58. A_{match} 指的是在丢失端口的地址总线上上报的匹配地址。为了上报该地址而选择的计数器操作便是 “ 繁忙地址回读 ”。

切换波形（续）

图 26. 管道模式下的 “ 读 - 写 ” 操作 （$\overline{OE}$ = V_{IL}） [59、 60、 61]

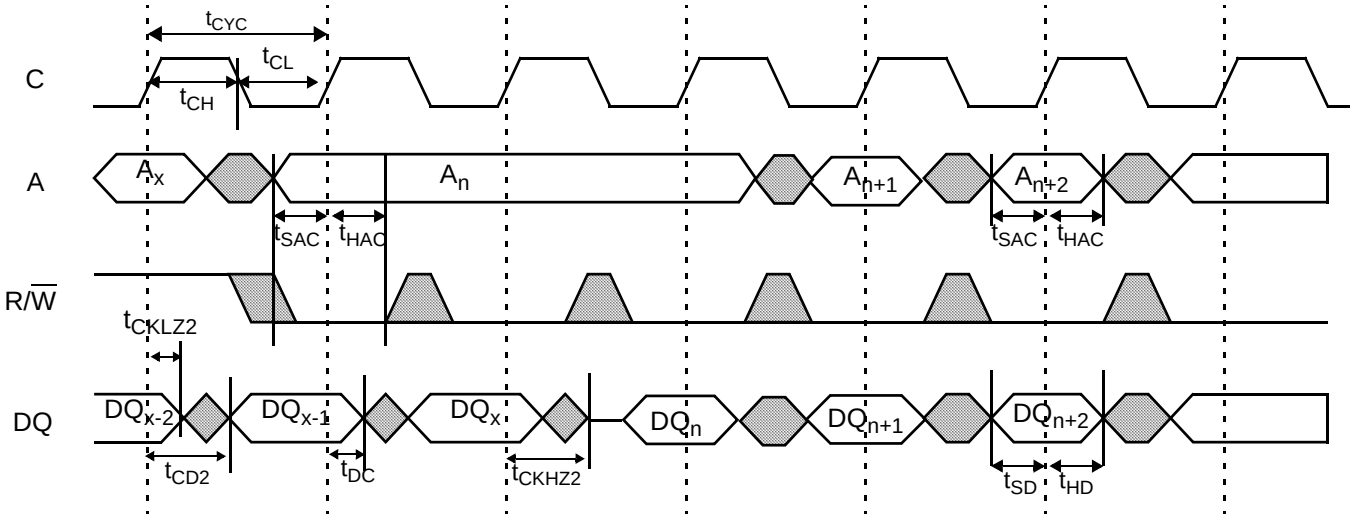
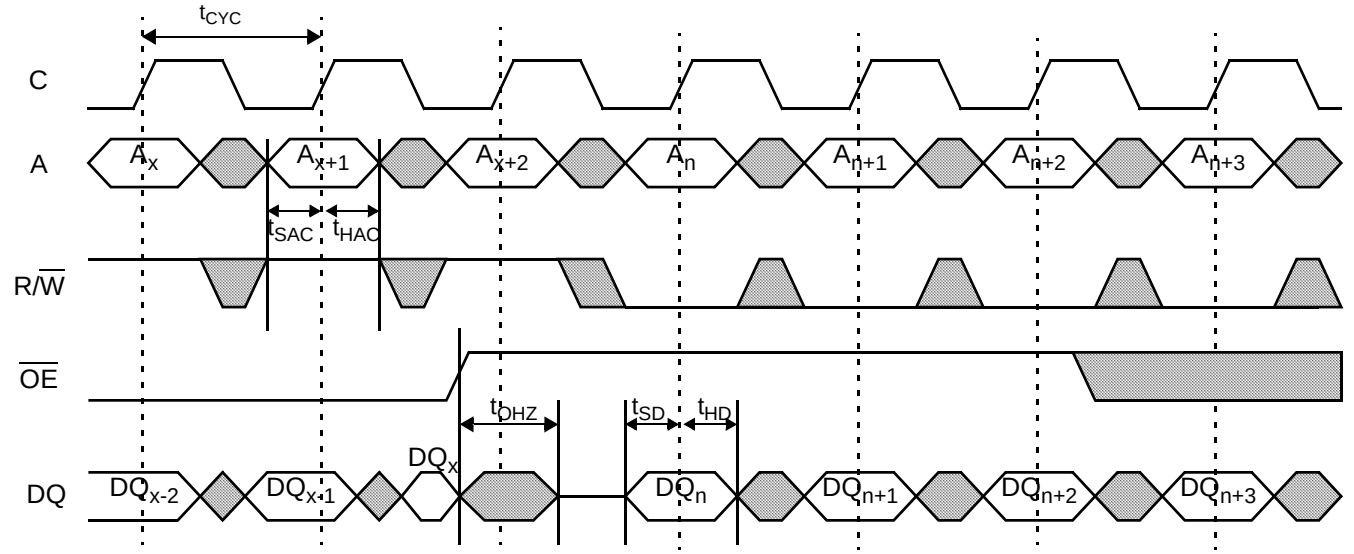


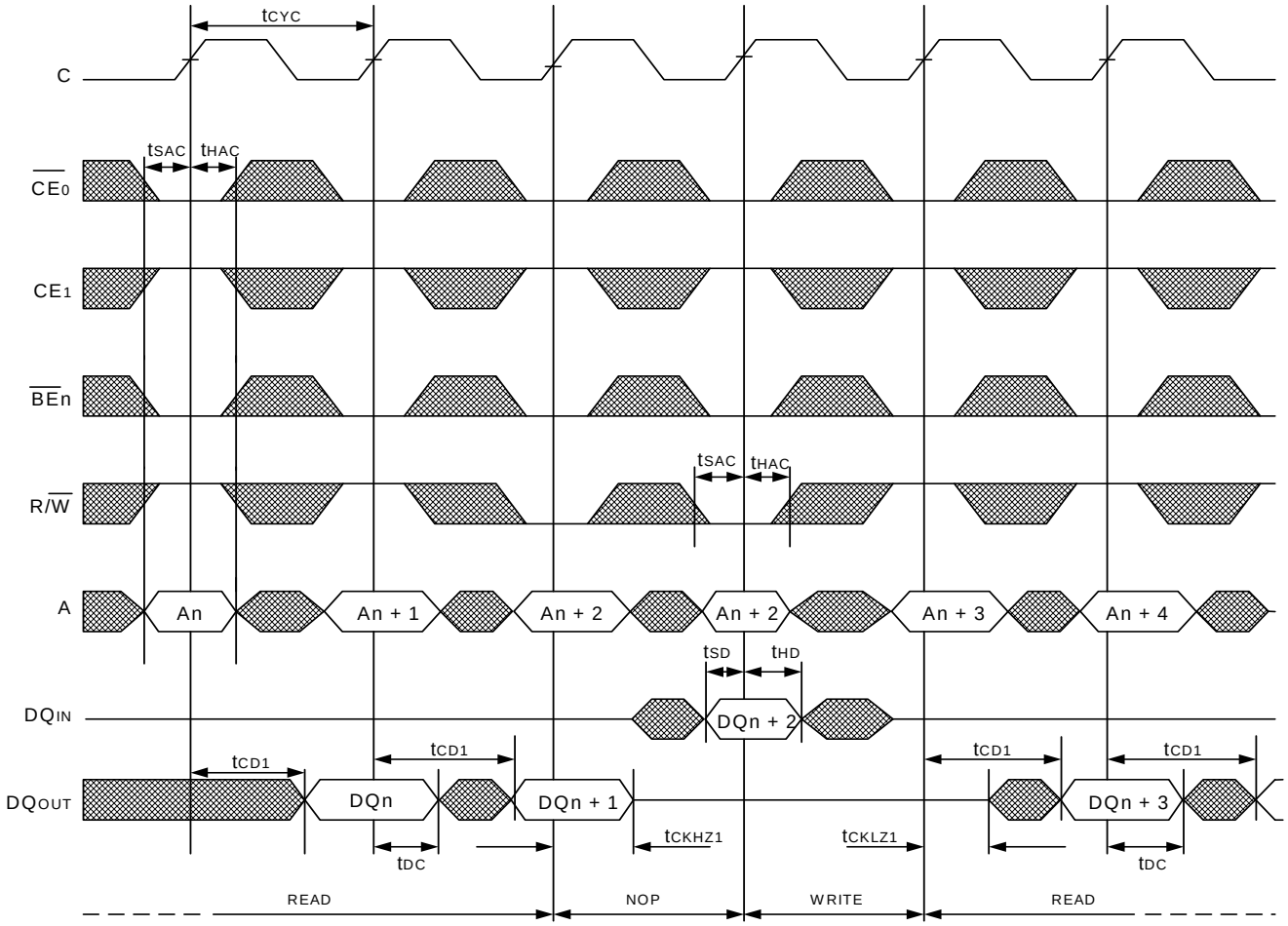
图 27. 管道模式下的 “ 读 - 写 ” 操作 （受 $\overline{OE}$ 控制） [62、 63]



注释：
59. 当 $\overline{OE}$ = V_{IL} 时，使能最后一个读取操作以便在 DQ 总线处于三态前完成该操作，并且用户能够驱动写数据。
60. 发送两个虚拟写数据以实现总线转换。第三个指令便是第一个有效的写数据。
61. 在发送这两个虚拟写数据期间，芯片使能或所有字节使能会保持为无效状态。
62. $\overline{OE}$ 被取消置位，并且经过 t_{OHZ} 时间后，可以发送第一个写数据。
63. 在 $\overline{OE}$ 取消置位后安排发送的所有写数据都被预先阻止。

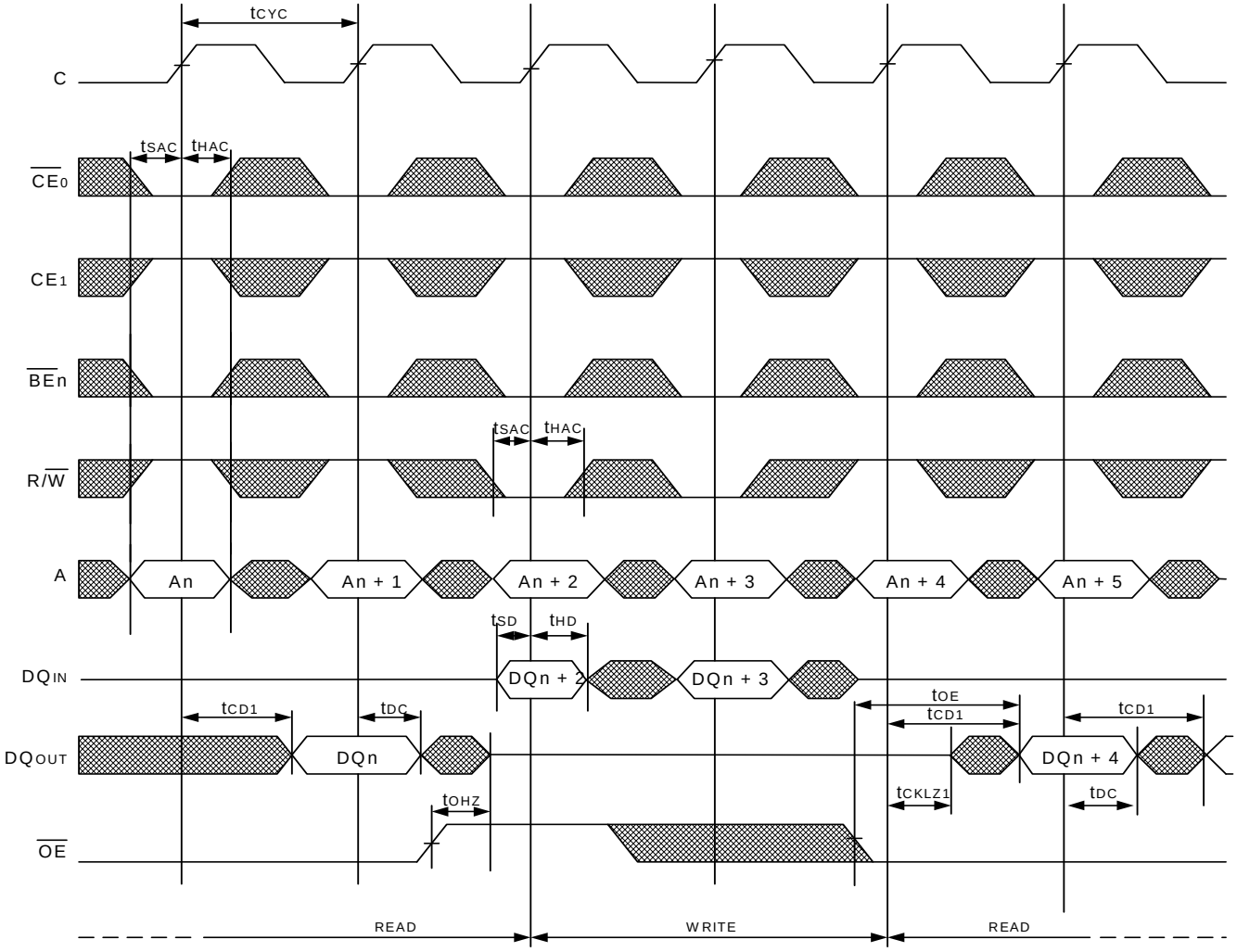
切换波形（续）

图 28. 输出模式下的 “ 读 - 写 - 读 ” 操作 （$\overline{OE}$ = 低电平）



切换波形（续）

图 29. 输出模式下的 “ 读 - 写 - 读 ” 操作 （受 $\overline{OE}$ 控制）



切换波形（续）

图 30. 在管道模式和输出模式下的 $\overline{BUSY}$ 时序和 WRITE-WRITE 冲突，时钟时序违背 t_{CCS} 时间要求（双端口标志）

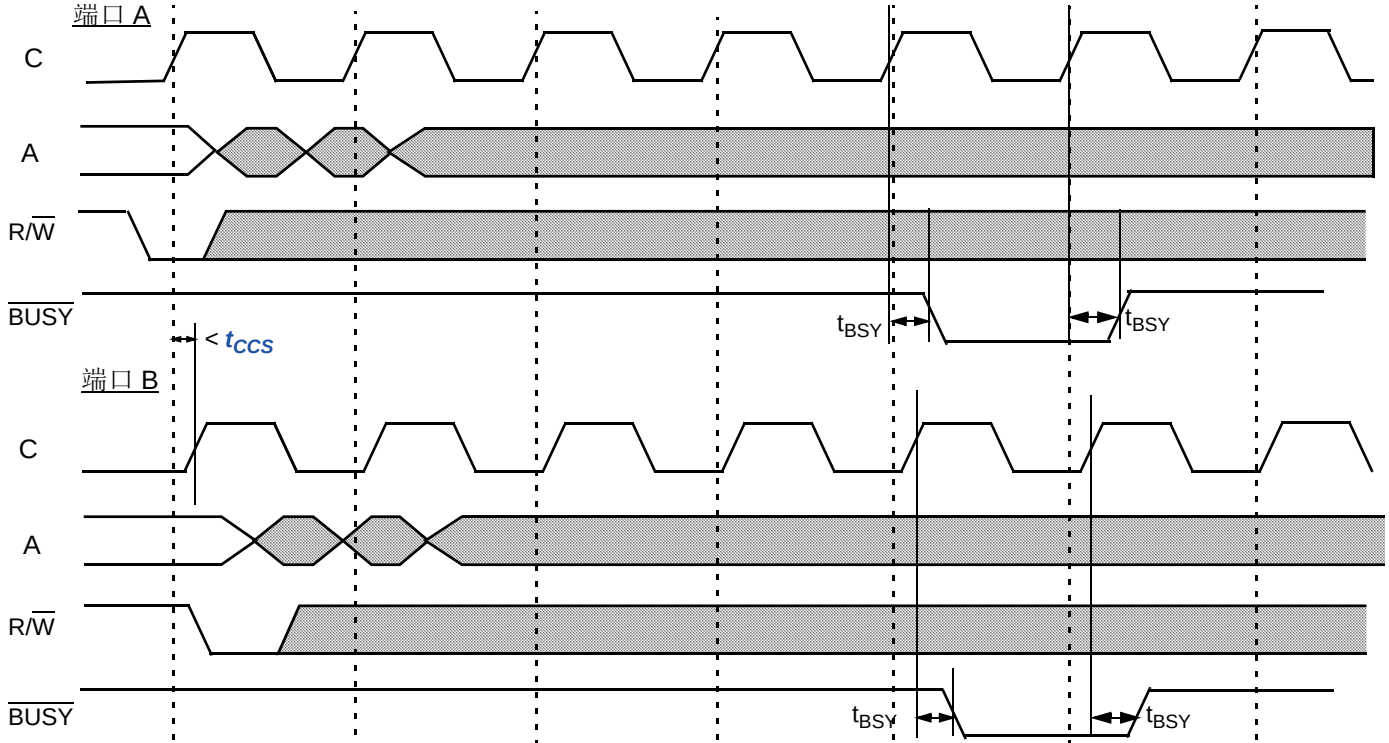
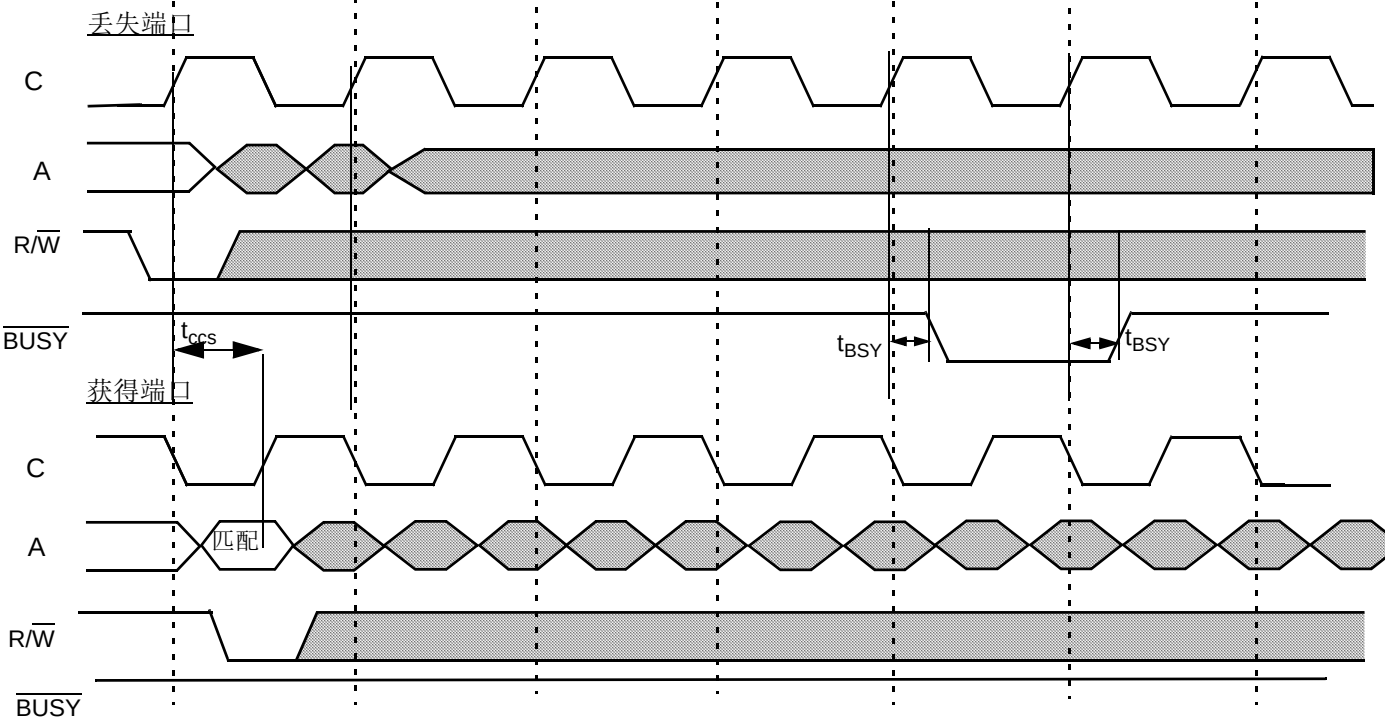
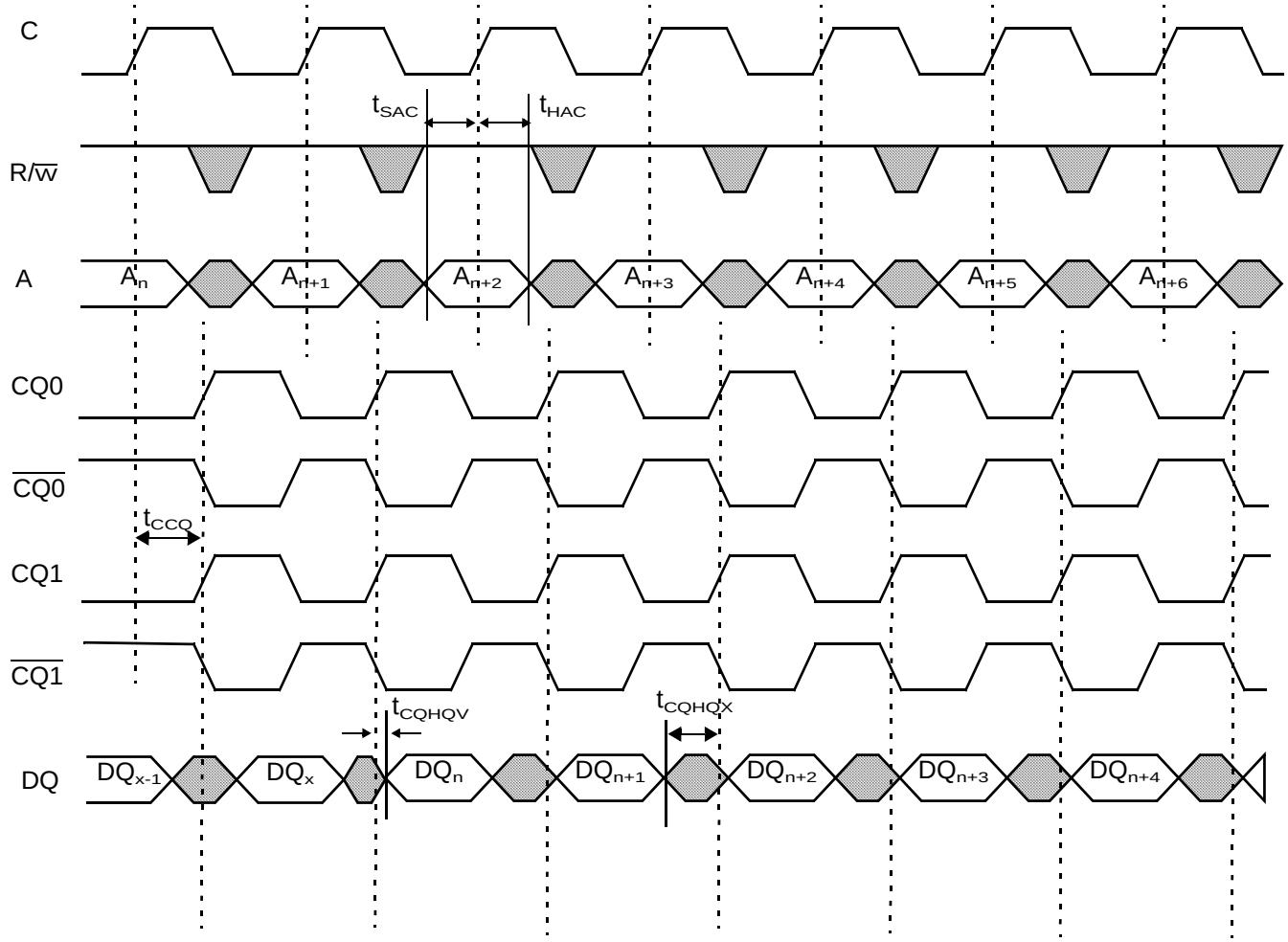


图 31. 管道模式和输出模式下的 $\overline{BUSY}$ 时序和 WRITE-WRITE 冲突，时钟时序符合 t_{CCS} 时间要求（标志丢失端口）



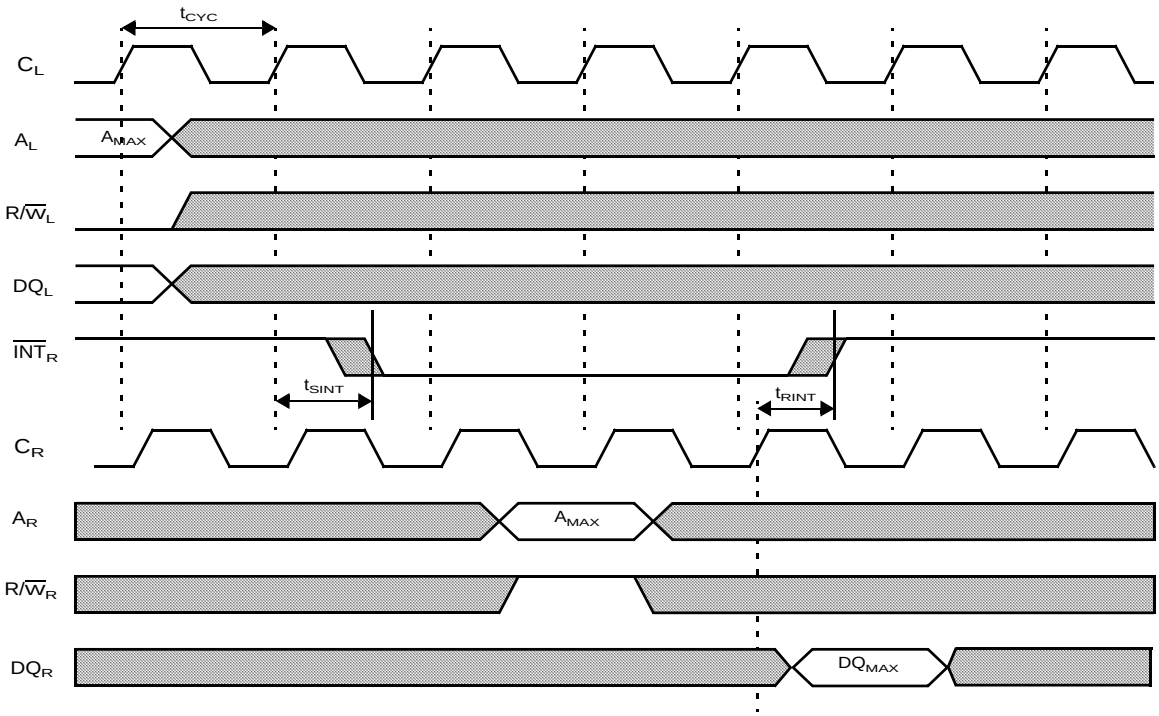
切换波形（续）

图 32. 在管道模式下采用回波时钟进行的读取操作 （CQEN = 高电平）



切换波形（续）

图 33. “ 邮箱 ”（地址）中断输出



订购信息

512 K × 72 （36 Mbit） 1.8 V/1.5 V 同步 CYD36S72V18 双端口 SRAM

速度 （MHz）	订购代码	封装图	封装类型	工作范围
2000	CYD36S72V18-200BGXC	001-07825	484 球型焊盘 BGA 27 mm × 27 mm，间距为 1.0 mm（无铅）	商业级
167	CYD36S72V18-167BGXI	001-07825	484 球型焊盘 BGA 27 mm × 27 mm，间距为 1.0 mm（无铅）	工业级

256 K × 72 （18 Mbit） 1.8 V/1.5 V 同步 CYD18S72V18 双端口 SRAM

速度 （MHz）	订购代码	封装图	封装类型	工作范围
2000	CYD18S72V18-200BGXI	51-85218	484 球型焊盘 BGA 23 mm × 23 mm，间距为 1.0 mm（无铅）	工业级
2000	CYD18S72V18-200BGI	51-85218	484 球型焊盘 BGA 23 mm × 23 mm，间距为 1.0 mm	工业级
167	CYD18S72V18-167BGI	51-85218	484 球型焊盘 BGA 23 mm × 23 mm，间距为 1.0 mm	工业级

128 K × 72 （9 Mbit） 1.8 V/1.5 V 同步 CYD09S72V18 双端口 SRAM

速度 （MHz）	订购代码	封装图	封装类型	工作范围
167	CYD09S72V18-167BBXC	51-85218	484 球型焊盘 BGA 23 mm × 23 mm，间距为 1.0 mm（无铅）	商业级

1024 K × 36 （36 Mbit） 1.8 V/1.5 V 同步 CYD36S36V18 双端口 SRAM

速度 （MHz）	订购代码	封装图	封装类型	工作范围
167	CYD36S36V18-167BGXI	001-07825	484 球型焊盘 BGA 27 mm × 27 mm，间距为 1.0 mm（无铅）	工业级

512 K × 36 （18 Mbit） 1.8 V/1.5 V 同步 CYD18S36V18 双端口 SRAM

速度 （MHz）	订购代码	封装图	封装类型	工作范围
2000	CYD18S36V18-200BBAXI	51-85108	256 球型焊盘 BGA 17 mm × 17 mm，间距为 1.0 mm（无铅）	工业级
167	CYD18S36V18-167BBAI	51-85108	256 球型焊盘 BGA 17 mm × 17 mm，间距为 1.0 mm	工业级

订购信息（续）

256 K × 36 （9 Mbit） 1.8 V/1.5 V 同步 CYD09S36V18 双端口 SRAM

速度 （MHz）	订购代码	封装图	封装类型	工作范围
2000	CYD09S36V18-200BBXI	51-85108	256 球型焊盘 BGA 17 mm × 17 mm，间距为 1.0 mm（无铅）	工业级
167	CYD09S36V18-167BBXC	51-85108	256 球型焊盘 BGA 17 mm × 17 mm，间距为 1.0 mm（无铅）	商业级

64 K × 36 （2 Mbit） 1.8 V 或 1.5 V 同步 CYD02S36V18 双端口 SRAM

速度 （MHz）	订购代码	封装图	封装类型	工作范围
2000	CYD02S36V18-200BBC	51-85108	256 球型焊盘 BGA 17 mm × 17 mm，间距为 1.0 mm	商业级
2000	CYD02S36V18-200BBXC	51-85108	256 球型焊盘 BGA 17 mm × 17 mm，间距为 1.0 mm（无铅）	商业级

订购信息（续）

2048 K × 18（36 Mbit） 1.8 V/1.5 V 同步 CYD36S18V18 双端口 SRAM

速度（MHz）	订购代码	封装图	封装类型	工作范围
167	CYD36S18V18-167BGXI	001-07825	484 球型焊盘 BGA 27 mm × 27 mm，间距为 1.0 mm（无铅）	工业级

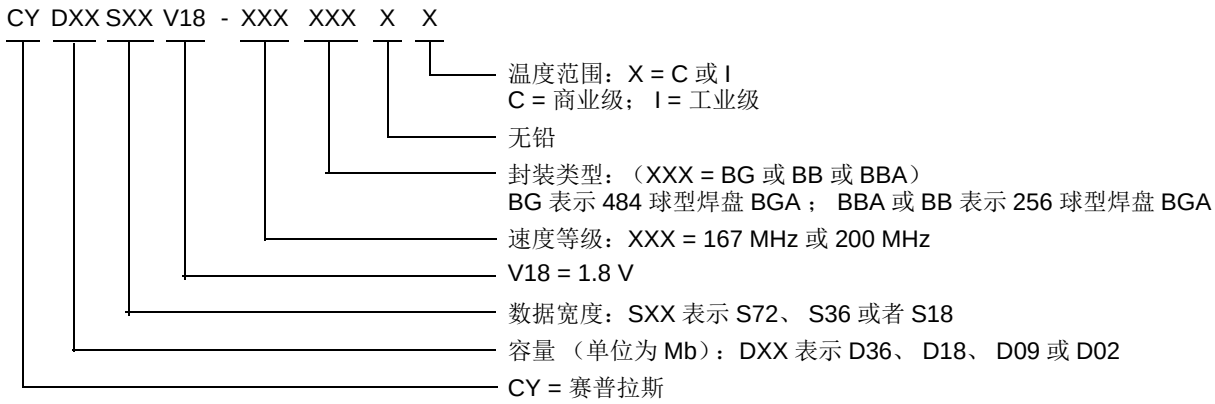
1024 K × 18（18 Mbit） 1.8 V/1.5 V 同步 CYD18S18V18 双端口 SRAM

速度（MHz）	订购代码	封装图	封装类型	工作范围
2000	CYD18S18V18-200BBAXI	51-85108	256 球型焊盘 BGA 17 mm × 17 mm，间距为 1.0 mm（无铅）	工业级
2000	CYD18S18V18-200BBAXC	51-85108	256 球型焊盘 BGA 17 mm × 17 mm，间距为 1.0 mm（无铅）	商业级
167	CYD18S18V18-167BBAXI	51-85108	256 球型焊盘 BGA 17 mm × 17 mm，间距为 1.0 mm（无铅）	工业级

512 K × 18（9 Mbit） 1.8 V/1.5 V 同步 CYD09S18V18 双端口 SRAM

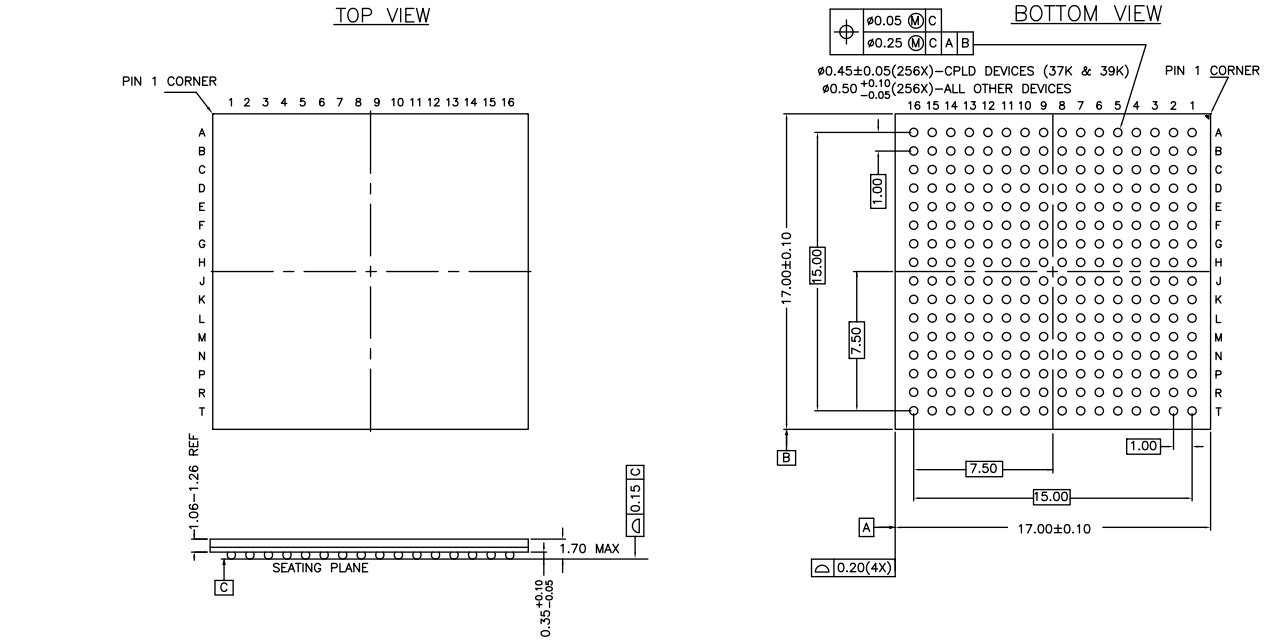
速度（MHz）	订购代码	封装图	封装类型	工作范围
167	CYD09S18V18-167BBXI	51-85108	256 球型焊盘 BGA 17 mm × 17 mm，间距为 1.0 mm（无铅）	工业级

订购代码定义



封装图

图 34. 256 球型焊盘 FBGA （17 × 17 × 1.7 mm） BB256/BW0BD 封装外形， 51-85108

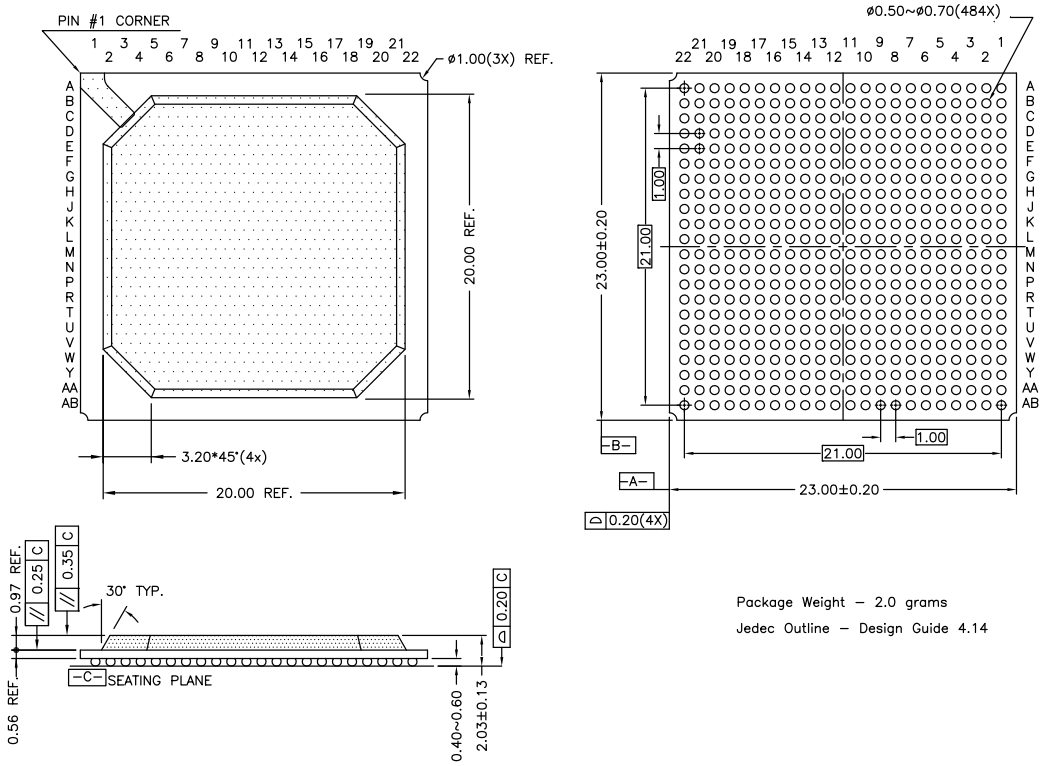


REFERENCE JEDEC MO–192 PACKAGE WEIGHT – 0.95gr

51-85108 *I

封装图（续）

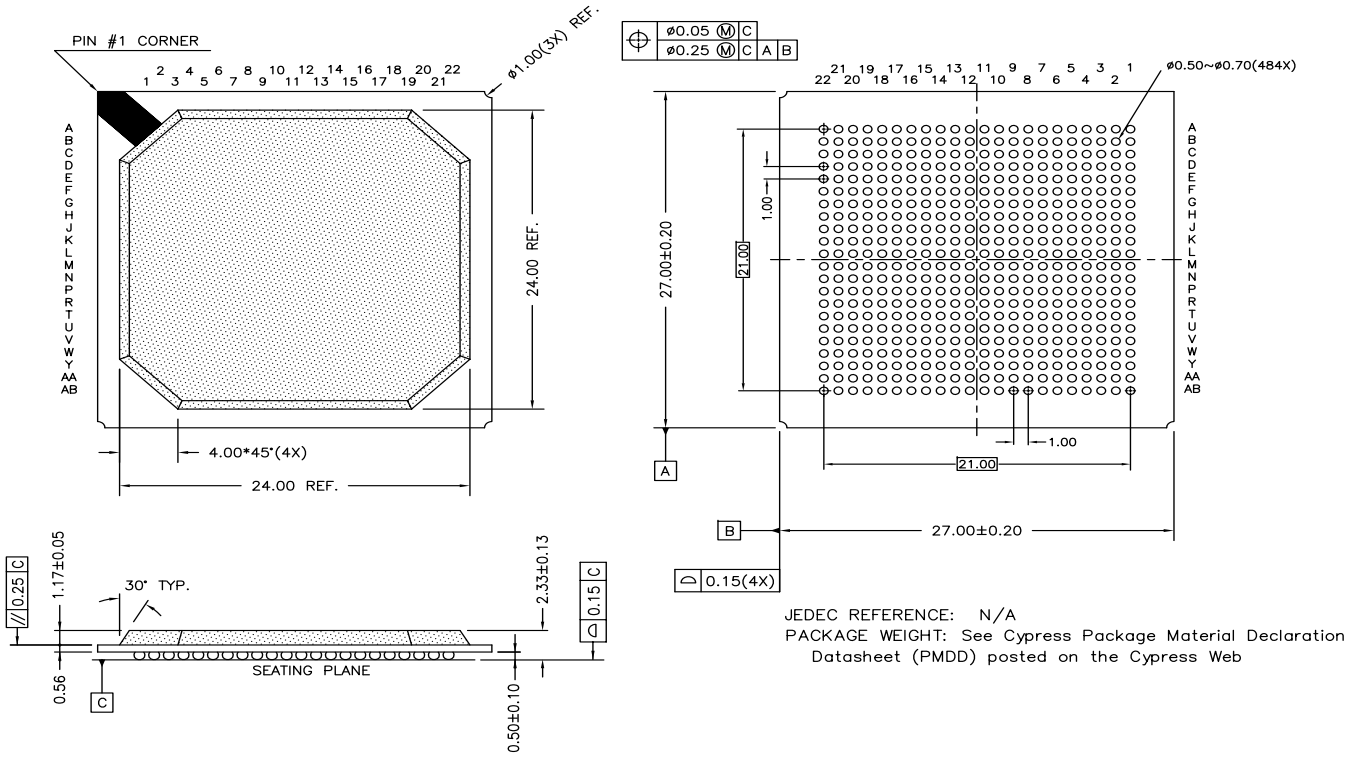
图 35. 484 球型焊盘 PBGA （23 × 23 × 2.03 mm） BY484 封装外形， 51-85218



51-85218 *B

封装图（续）

图 36. 484 球型焊盘 PBGA （27 × 27 × 2.33 mm） BY484S 封装外形， 001-07825



JEDEC REFERENCE: N/A
PACKAGE WEIGHT: See Cypress Package Material Declaration Datasheet (PMDD) posted on the Cypress Web

001-07825 *C

缩略语

缩略语	说明
BGA	球栅阵列
CMOS	互补金属氧化物半导体
DLL	延迟锁定回路
FBGA	小间距球栅阵列
HSTL	高速收发器逻辑
I/O	输入 / 输出
SDR	单倍数据速率
SRAM	静态随机存取存储器
TCK	测试时钟
TDI	测试数据输入
TDO	测试数据输出
TMS	测试模式选择
VIM	变量阻抗匹配

文档规范

测量单位

符号	测量单位
°C	摄氏度
MHz	兆赫兹
µA	微安
mA	毫安
ms	毫秒
mV	毫伏
ns	纳秒
pF	皮法
V	伏特
W	瓦特

文档修订记录

文档标题：CYDXXS72V18/CYDXXS36V18/CYDXXS18V18， FullFlex™ 同步 SDR 双端口 SRAM 文档编号：001-95831				
版本	ECN 编号	提交日期	变更者	变更说明
**	4691537	04/16/2015	SNYQ	本文档版本号为 Rev**，译自英文版 38-06082 Rev*P。

销售、解决方案和法律信息

全球销售和设计支持

赛普拉斯公司拥有一个由办事处、解决方案中心、厂商代表和经销商组成的全球性网络。要找到距您最近的办事处，请访问赛普拉斯所在地。

产品

汽车级产品	cypress.com/go/automotive
时钟与缓冲区	cypress.com/go/clocks
接口	cypress.com/go/interface
照明与电源控制	cypress.com/go/powerpsoc cypress.com/go/plc
存储器	cypress.com/go/memory
PSoC	cypress.com/go/psoc
触摸感应产品	cypress.com/go/touch
USB 控制器	cypress.com/go/USB
无线 / 射频	cypress.com/go/wireless

PSoC® 解决方案

psoc.cypress.com/solutions

PSoC 1 | PSoC 3 | PSoC 4 | PSoC 5LP

赛普拉斯开发者社区

社区 | 论坛 | 博客 | 视频 | 训练

技术支持

cypress.com/go/support

© 赛普拉斯半导体公司，2005-2015. 此处所包含的信息可能会随时更改，恕不另行通知。除赛普拉斯产品内嵌的电路外，赛普拉斯半导体公司不对任何其他电路的使用承担任何责任。也不会以明示或暗示的方式授予任何专利许可或其他权利。除非与赛普拉斯签订明确的书面协议，否则赛普拉斯不保证产品能够用于或适用于医疗、生命支持、救生、关键控制或安全应用领域。此外，对于可能发生运转异常和故障并对用户造成严重伤害的生命支持系统，赛普拉斯不授权将其产品用作此类系统的关键组件。若将赛普拉斯产品用于生命支持系统，则表示制造商将承担因此类使用而招致的所有风险，并确保赛普拉斯免于因此而受到任何指控。

所有源代码（软件和 / 或固件）均归赛普拉斯半导体公司（赛普拉斯）所有，并受全球专利法规（美国和美国以外的专利法规）、美国版权法以及国际条约规定的保护和约束。赛普拉斯据此向获许可者授予适用于个人的、非独占性、不可转让的许可，用以复制、使用、修改、创建赛普拉斯源代码的派生作品、编译赛普拉斯源代码和派生作品，并且其目的只能是创建自定义软件和 / 或固件，以支持获许可者仅将其获得的产品依照适用协议规定的方式与赛普拉斯集成电路配合使用。除上述指定的用途外，未经赛普拉斯明确的书面许可，不得对此类源代码进行任何复制、修改、转换、编译或演示。

免责声明：赛普拉斯不针对此材料提供任何类型的明示或暗示保证，包括（但不仅限于）针对特定用途的适销性和适用性的暗示保证。赛普拉斯保留在不做出通知的情况下对此处所述材料进行更改的权利。赛普拉斯不对此处所述之任何产品或电路的应用或使用承担任何责任。对于合理预计可能发生运转异常和故障，并对用户造成严重伤害的生命支持系统，赛普拉斯不授权将其产品用作此类系统的关键组件。若将赛普拉斯产品用于生命支持系统中，则表示制造商将承担因此类使用而招致的所有风险，并确保赛普拉斯免于因此而受到任何指控。

产品使用可能适用于赛普拉斯软件许可协议的限制。

本文件中介绍的所有产品和公司名称均为其各自所有者的商标。