CY14MB064Q1B/CY14MB064Q2B
CY14ME064Q1B/CY14ME064Q2B

64-Kbit (8 K × 8) SPI nvSRAM

特長

■ 元々8K×8として編成された64Kbitの不揮発性SRAM (nvSRAM)
- ❒ パワーダウン時に AutoStore(自動的ストア開始) するか、または SPI 命令 (ソフトウェア STORE) を使用して、量子トラップ不揮発性メモリ素子へ STORE。
- ❒ SRAM への RECALL 処理は、パワーアップ (パワーアップ RECALL) または SPI 命令 (ソフトウェア RECALL) による、RECALL 処理。
- ❒ パワーダウン時に小容量コンデンサにより、自動的 STORE 処理 (CY14MX064Q1B を除く)。

■ 高い信頼性
- ❒ 回数に制限のないリード、ライト、RECALL サイクル
- ❒ 量子トラップに対する 100 万回の STORE サイクル
- ❒ データリテンション期間 : 85°C で 20 年

■ 高速のシリアル ペリフェラル インタフェース（SPI）
- ❒ 40MHz のクロック速度の SPI は、ゼロサイクル遅延で書き込み / 読み取り
- ❒ SPI モード 0（0,0）および SPI モード 3（1,1）をサポート

■ 特別機能への SPI アクセス
- ❒ 不揮発性メモリ STORE/RECALL
- ❒ 8 バイトのシリアル番号
- ❒ メーカー ID および製品 ID
- ❒ スリープ モード

■ 書き込み保護
- ❒ 書き込み保護ピン（$\overline{WP}$）を使ったハードウェアによる保護
- ❒ 書き込みディスエーブル命令を使用したソフトウェアによる保護
- ❒ アレイの 1/4、1/2、または全体を対象としたソフトウェアブロック保護

■ 低消費電力
- ❒ 40MHz 動作で平均 3mA のアクティブ電流
- ❒ スタンバイモードの平均電流 120μA
- ❒ スリープモードの電流 8μA

■ 業界標準の構成
- ❒ 動作電圧：
  - CY14MB064Q1B/CY14MB064Q2B: V_{CC}=2.7V ～ 3.6V
  - CY14ME064Q1B/CY14ME064Q2B: V_{CC}=4.5V ～ 5.5V
- ❒ 工業用温度
- ❒ 8 ピン小型外形集積回路 (SOIC) パッケージ
- ❒ RoHS 準拠

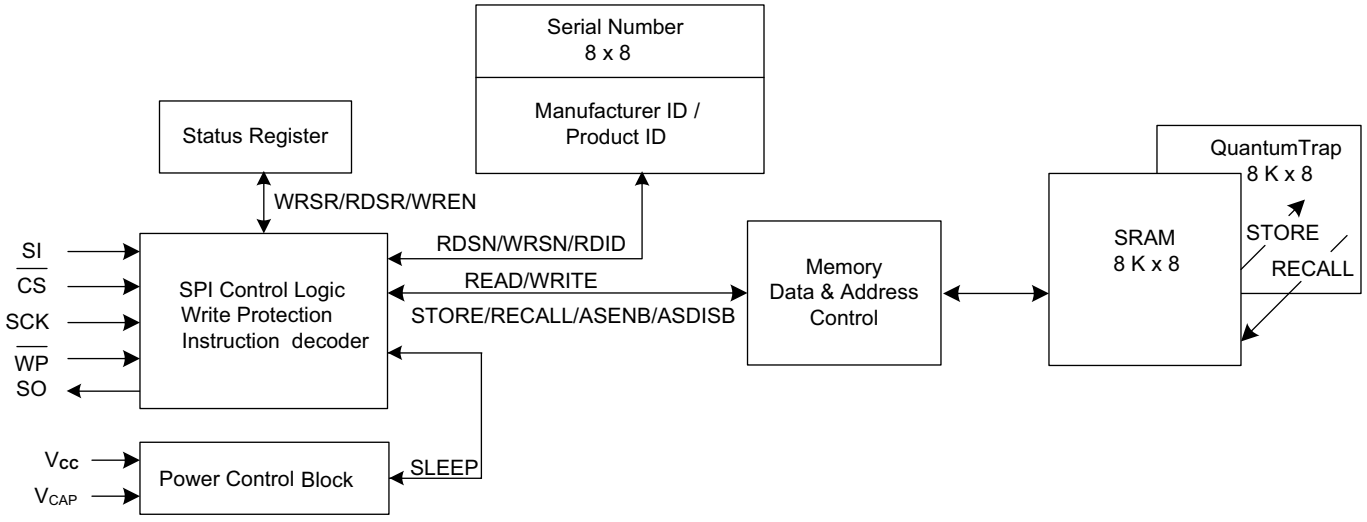
機能概要

サイプレスのCY14MX064Qは、シリアルSPIインターフェイスのあるメモリセルごとに不揮発性メモリ素子と64Kbit nvSRAMを結合しています。このメモリは、8Kワードx8ビットで編成されています。組み込み不揮発性メモリ素子には、量子トラップテクノロジが組み込まれており、世界でも最高レベルの信頼性を誇る不揮発性メモリを作り上げます。回数に制限のない読み取りと書き込みをSRAMで可能にする一方、高い信頼性を提供する不揮発性データ記憶域を量子トラップメモリセルで実現しています。SRAMから不揮発性メモリ素子へのデータ転送(STORE動作)は、パワーダウン時に自動的に実行されます(CY14MX064Q1Bを除く)。起動時には、不揮発性メモリから SRAM にデータが復元されます（RECALL 処理）。STORE動作とRECALL動作はいずれも、SPI 命令を使用してユーザーが開始することもできます。

構成

機能	CY14MX064Q1B	CY14MX064Q2B
AutoStore	なし	あり
ソフトウェア STORE	あり	あり

ロジック ブロック図



目次

ピン配列 3
ピン機能 3
動作説明 4
SRAM 書き込み 4
SRAM 読み込み 4
STORE 動作 4
AutoStore 処理 4
ソフトウェア STORE 動作 5
RECALL 動作 5
ハードウェア RECALL（電源オン） 5
ソフトウェア RECALL 5
AutoStore の無効化と有効化 5
シリアル周辺デバイスインターフェイス 6
SPI 概要 6
SPI モード 7
SPI 動作特長 8
パワーアップ 8
パワーダウン 8
アクティブ電力およびスタンバイ電力モード 8
SPI 機能の説明 9
状態レジスタ 10
読み取り状態レジスタ (RDSR) 命令 10
書き込み状態レジスタ (WRSR) 命令 10
書き込み保護およびブロック保護 11
書き込み有効 (WREN) 命令 11
書き込み無効 (WRDI) 命令 11
ブロック保護 12
ハードウェア書き込み保護 (WP) 12
メモリアクセス 12
読み取りシーケンス (READ) 命令 12
書き込みシーケンス (WRITE) 命令 12
nvSRAM 特別命令 14
ソフトウェア STORE(STORE) 命令 14
ソフトウェア RECALL(RECALL) 命令 14
AutoStore 有効 (ASENB) 命令 14
AutoStore 無効 (ASDISB) 命令 15
特別命令 14
SLEEP 命令 15
シリアル番号 15
WRSN(シリアル番号書き込み) 命令 15
RDSN (シリアル番号読み取り) 命令 16
デバイス ID 16
RDID(デバイス ID 読み取り) 命令 17
HOLD ピン動作 17
最大定格 18
動作範囲 18
DC 特性 18
データリテンション期間および書き換え回数 19
容量 19
熱抵抗 19
AC テストの負荷および波形 20
AC テスト条件 20
AC スイッチング特性 21
スイッチング波形 21
AutoStore またはパワーアップ RECALL 22
ソフトウェア制御 STORE および RECALL サイクル 23
スイッチング波形 23
製品名 (発注) 情報 24
注文コードの定義 24
パッケージ図 25
略号 26
本書の表記法 26
測定単位 26
改訂履歴 27
販売、ソリューション、および法律情報 28
ワールドワイドな販売および設計サポート 28
製品 28
PSoC ソリューション 28

ピン配列

図 1. 8 ピン SOIC ピン配列 [1、2]



ピンの定義

ピン名 [1、2]	入出力	説明
$\overline{CS}$	入力	**チップセレクト**。LOW にプルダウンされた時に、デバイスをアクティブにします。このピンを HIGH に駆動すると、デバイスが低消費電力スタンバイモードになります。
SCK	入力	**シリアルクロック**。最大 f_{SCK} までの速度で動作します。シリアル入力は、このクロックの立ち上がりエッジでラッチされます。シリアル出力は、クロックの立ち下がりエッジで駆動されます。
SI	入力	**シリアル入力**。すべての SPI 命令とデータの入力ピンです。
SO	出力	**シリアル出力**。SPI 経由のデータの出力ピンです。
$\overline{WP}$	入力	**書き込み保護**。SPI にハードウェア書き込み保護を実行します。
$\overline{HOLD}$	入力	**$\overline{HOLD}$** ピン。シリアル動作を保留します。
V_{CAP}	電源	**AutoStore コンデンサ**。SRAM から不揮発性メモリ素子にデータを格納するため、電力喪失時に nvSRAM へ電源を供給します。AutoStore が必要でない場合は、このピンは接続不要として外しておきます。これは絶対にグランドに接続しないでください。
NC	接続なし	**未接続：**このピンはダイに接続されていません。
V_{SS}	電源	**グランド**
V_{CC}	電源	**電源**

注
1. CY14MX064Q1B の部品には V_{CAP} ピンがありません。また、AutoStore をサポートしていません。
2. CY14MX064Q2B の部品には $\overline{WP}$ ピンがありません。

動作説明

CY14MX064Q は、メモリセルごとに不揮発性メモリセルを組み込んだ64Kbitシリアル(SPI) nvSRAMメモリです。nvSRAMへのすべての読み取りと書き込みは、メモリへの書き込みを無制限に処理可能にする独自のSRAMに対して行われます。SRAM内のデータは、不揮発性量子トラップセルへパラレルでデータを転送するSTORE命令によって保護されます。小容量コンデンサ(V_{CAP})は、電源が切れた時に不揮発性メモリセルに SRAM データを AutoStore するために使われ、電源遮断時のデータを保護します。信頼性の高い SONOS 技術を用いた 量子トラップ不揮発性メモリ素子により、nvSRAM は安全なデータ保存のための理想的な選択肢を提供します。

64Kbitメモリアレイは8Kワード×8ビットとして編成されます。メモリは、読み書きサイクルの遅延無しで、最大40MHzの極めて高速のクロック速度が可能な標準SPIインターフェイスを通じてアクセスされます。デバイスは SPI モード 0 および SPI モード 3（CPOL、CPHA = 0, 0 および 1, 1）をサポートし、SPI スレーブとして動作します。デバイスはチップセレクト（$\overline{CS}$）端子が使用でき、シリアル入力端子（SI）、シリアル出力端子（SO）、シリアルクロック端子（SCK）を通じてアクセスします。

このデバイスは、$\overline{WP}$ピンとWRDI命令によるハードウェアおよびソフトウェアの書き込み保護機能に加え、状態レジスタ内でBP0ピンとBP1ピンを使用して、ブロック書き込み保護(アレイの1/4、1/2、またはすべてを保護)のメカニズムを提供します。さらにHOLD端子は、シリアルシーケンスをリセットせずに、すべてのシリアル通信を一時停止するために使われます。

CY14MX064Q メモリへのアクセスに標準 SPI オペレーションコードを使用します。読み書き用の一般的な SPI 命令に加え、4 つの nvSRAM の特定機能にアクセス可能な、独自の 4 つの命令を実現します。 STORE、RECALL、AutoStore Disable（ASDISB）、AutoStore Enable（ASENB）を提供します。

シリアルEEPROMに対するnvSRAMの主な利点は、nvSRAMのすべての読み書きは遅延サイクルゼロのSPIバス速度で実行されることです。そのため、どのメモリアクセスの後でも待ち時間は不要です。STORE 処理と RECALL 処理は制限された時間で完了し、その間すべてのメモリアクセスは禁止されます。STOREまたはRECALL動作の実行中は、状態レジスタの$\overline{RDY}$ビットによってデバイスのビジー状態が表示されます。

デバイスは、ユーザーがアプリケーションに最適な部品を選択できるよう、3つの異なるピン構成で提供されています。

機能の概要については、表 1をご覧ください。

表 1. 機能概要

機能	CY14MX064Q1B	CY14MX064Q2B
$\overline{WP}$	あり	なし
V_{CAP}	なし	あり
AutoStore	なし	あり
パワーアップ RECALL	あり	あり
ソフトウェア STORE	あり	あり

SRAM 書き込み

nvSRAM へのすべての書き込みは SRAM 上で実施され、不揮発性メモリのどのような書き込み耐久サイクルも使い切ることはありません。これにより、無限の書き込み動作を実行することができます。書き込みサイクルはWRITE命令を通じて実行されます。WRITE命令はnvSRAMのSIピンより発行され、WRITEオペレーションコード、2バイトのアドレス、1バイトのデータで構成されます。nvSRAM への書き込みは遅延サイクル無しの SPI バス速度で行われます。

デバイスは、SPI経由で実行されるバーストモードの書き込みが使用可能です。これにより、新しい WRITE 命令を発行せずに、連続したアドレス上で書き込み処理を実行できます。バーストモードでメモリの最後のアドレスに到達したとき、アドレスは 0x0000 にロールオーバーし、デバイスは書き込みを継続します。

SPI書き込みサイクルシーケンスは、SPIプロトコル記述のメモリアクセスセクションに明示的に定義されます。

SRAM 読み取り

読み取りサイクルは、SPIバス速度で実行されます。データはREAD命令が実行された後、遅延サイクル無しで読み出しされます。READ命令はnvSRAMのSIピン経由で発行され、READオペレーションコードと2バイトのアドレスで構成されます。データは SO 端子で読み出しされます。

このデバイスは、SPI 経由で実行されるバーストモードの読み込みが使用可能です。これにより、新しい READ 命令を発行せずに、連続したアドレス上で読み込み処理を実行できます。バーストモード読み込みでメモリの最後のアドレスに到達したとき、アドレスは 0x0000 にロールオーバーし、デバイスは読み込みを継続します。

SPI読み取りサイクルシーケンスは、SPIプロトコル記述のメモリアクセスセクションに明示的に定義されます。

STORE 処理

STORE 処理は、SRAM から不揮発性量子トラップメモリ セルへデータを転送します。デバイスは、次の2つのSTORE動作のいずれかを使用してデータを不揮発性メモリセルへ保存します。デバイスのパワーダウンにより有効化されるAutoStore、およびSTORE命令によって有効化されるソフトウェアSTOREです。STORE サイクルの実行中、まず以前の不揮発性データの消去が実行され、次に不揮発性メモリ素子のプログラムが実行されます。STORE サイクルが開始されると、CY14MX064Qへの読み書きはそのサイクルが完了するまで禁止されます。

状態レジスタ内の$\overline{RDY}$ビットは、STOREまたはソフトウェアによるRECALLサイクルが実行中かどうかを検出するため、システムによる監視が可能です。nvSRAMのビジー状態は、$\overline{RDY}$ビットが「1」に設定されていることを示しています。不要な不揮発性メモリSTOREを避けるため、AutoStore動作は一番最後にSTOREまたはRECALLサイクルが実行されてから少なくとも1回の書き込み処理が行われるまで無視されます。ただし、STORE サイクルが起動されたソフトウェアは、書き込み処理が行われたかどうかに関係なく実行されます。

AutoStore 処理

AutoStore動作は、パワーダウン時にSRAMデータを量子トラップメモリセルに自動的に格納するnvSRAM独自の機能です。この STORE 処理では外付けコンデンサ（V_{CAP}）を活用し、デバイスは電源遮断時に不揮発性メモリへ安全にデータを保存することができます。

通常動作時、デバイスはV_{CC}から電流を得て、V_{CAP}ピンに接続されたコンデンサに充電します。パワーダウン時にV_{CC}ピンの電圧がV_{SWITCH} 未満に下がった場合、デバイスはnvSRAMへのメモリアクセスをすべて禁止し、V_{CAP}コンデンサからの電荷を使って自動的に条件付きSTORE動作を実行します。AutoStore

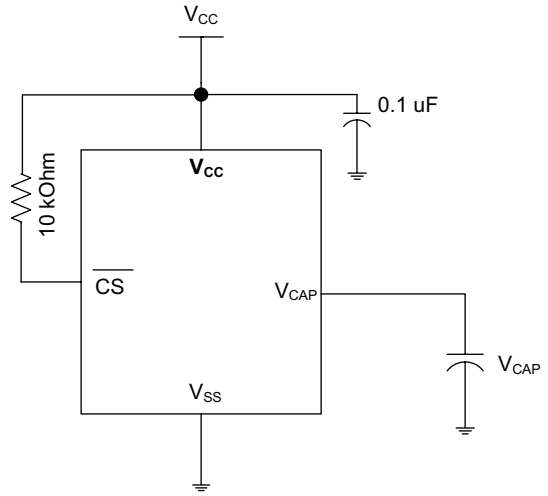
動作は、最後のRECALLの実行以降に書き込みサイクルが一度も実行されていない場合は起動されません。

注 コンデンサが V_{CAP}ピンに接続されていない場合、AutoStore無効命令を発行してAutoStoreを無効にする必要があります(15ページのAutoStore無効(ASDISB)命令)。V_{CAP}ピンに接続されたコンデンサなしでAutoStoreが有効にされた場合、デバイスは STORE 処理を完了するため、十分な電荷がないままAutoStore処理を実行しようとします。これにより、nvSRAMに格納されているデータ、状態レジスタ、並びにシリアル番号が破壊され、SNLビットのロックが解除されます。通常の機能を再開するには、WRSR命令を発行し、状態レジスタ内の不揮発性ビットBP0、BP1、WPENを更新する必要があります。

図 2 に、AutoStore 処理向けのストレージコンデンサ（V_{CAP}）の適切な接続方法を示します。V_{CAP}の静電容量については、18ページのDC 特性を参照してください。

注 CY14MX064Q1BはAutoStore動作をサポートしていません。ユーザーはデータ保護のためにSPI STORE命令を使用して、ソフトウェアによるSTORE動作を実行する必要があります。

図 2. AutoStore モード



ソフトウェア STORE 動作

ソフトウェア STORE 処理では、ユーザは特定の SPI 命令を通じて STORE 処理をトリガーすることができます。STORE 処理は最後の NV 処理以降に書き込みが実行されたかどうかに関係なく、STORE 命令の実行によって開始します。

STORE サイクルが完了するまでに t_{STORE}の時間がかかりますが、その間 nvSRAM へのすべてのメモリアクセスは禁止されます。状態レジスタの$\overline{RDY}$ビットは、nvSRAMのレディ状態またはビジー状態を検出するためにポーリングすることができます。t_{STORE}サイクル時間が完了した後、SRAM は再度読み書き処理が有効になります。

RECALL 処理

RECALL 処理は、量子トラップ 不揮発性メモリ素子内にストアされたデータを SRAM へ転送します。RECALL はハードウェアによります。ハードウェアRECALL(パワーアップで開始)およびソフトウェアRECALL(SPI RECALL命令によって開始)の2つの方法で実行することができます。

内部的に、RECALL は 2 段階の手順を踏みます。まず SRAM データがクリアされ、次に不揮発性メモリ情報が SRAM セルに転送されます。RECALL サイクルの実行中、メモリアクセスはすべて禁止されます。RECALL 処理では不揮発性素子内のデータは変更されません。

ハードウェア RECALL（電源オン）

パワーアップの間にV_{CC}がV_{SWITCH}を超えると、SRAM上に不揮発性メモリの内容を転送するRECALLシーケンスが自動的に開始されます。データはそれ以前に STORE シーケンスを通じて不揮発性メモリに保存されることになっています。

電源オン時に RECALL サイクルが完了するまでには t_{FA}の時間がかかり、その間のメモリアクセスは禁止されます。

ソフトウェア RECALL

ソフトウェアRECALLにより、ユーザーはRECALL動作を実行し、SRAMで不揮発性メモリの内容を復元できます。ソフトウェアによる RECALL は、SPI で RECALL 命令を発行することにより実行されます。

ソフトウェア RECALL が完了するまでには t_{RECALL}の時間がかかり、その間 nvSRAM へのすべてのメモリアクセスは禁止されます。コントローラは、すべてのメモリアクセス命令の発行前に RECALL 処理を完了するよう、十分な遅延を提供する必要があります。

AutoStore の無効化と有効化

アプリケーションに AutoStore 機能が不要な場合、ASDISB 命令により無効化できます。これを実行すると、nvSRAM は電源オフ時に STORE 処理を実行しません。

AutoStore は ASENB 命令を使って再度有効化できます。しかし、これらの命令は不揮発性ではないため、パワーサイクル後もこの設定を保持する必要がある場合は、AutoStoreの無効または有効動作の後に必ずSTORE動作を実行しなければなりません。

注 CY14MX064Q2Bは、AutoStoreが有効の状態で、工場から出荷されます。また、CY14MX064Q1B/CY14MX064Q2Bは、すべてのセルに0x00 が書き込まれて工場から出荷されます。CY14MX064Q1BにはV_{CAP}ピンが存在しないため、AutoStoreオプションは利用できません。

注 AutoStoreが無効かつ V_{CAP}が不要の場合、V_{CAP}ピンはオープンのままにしておく必要があります。V_{CAP}端子は絶対にグランドに接続しないでください。Power-Up RECALL 処理は、どのような場合でも無効化できません。

Serial peripheral interface（シリアル周辺デバイス インタフェース）

SPI 概要

SPIは、チップセレクト(CS)、シリアル入力(SI)、シリアル出力(SO)、およびシリアルクロック(SCK)ピンの4ピンインターフェイスです。CY14MX064Q は、SPI インターフェイス経由でnvSRAMにシリアルアクセスを提供します。CY14MX064QのSPIバスは、最大40MHzの速度で実行することができます。

SPIは、メモリアクセスにクロックとデータピンを使用し、データバス上の複数デバイスをサポートする同期シリアルインターフェイスです。SPIバス上のデバイスは、CSピンを使用してアクティブ化されます。

チップセレクト、クロック、データの間の関係は、SPIモードによって左右されます。このデバイスは、SPIモード0および3をサポートしています。これらの両モードで、CSがアクティブになった後の最初の立ち上がりエッジから始まるSCKの立ち上がりエッジで、データがnvSRAMにクロック入力されます。

SPIプロトコルはオペレーションコードによって制御されます。これらのオペレーションコードは、バスマスタからスレーブデバイスへのコマンドを指定します。CSがアクティブ化された後、バスマスタから転送される最初のバイトがオペレーションコードです。オペレーションコードに続いて、アドレスとデータが転送されます。動作完了後、新しいオペレーションコードが発行される前に、CSが非アクティブ化する必要があります。SPIプロトコルで使用される一般的用語は以下の通りです。

SPI マスタ

SPIマスタデバイスは、SPIバス上の動作を制御します。SPIバスは、1つまたは複数のスレーブデバイスを持つ1つのマスタを持っている場合があります。すべてのスレーブが同じSPIバスラインを共有し、マスタはCSピンを使用してスレーブデバイスのいずれかを選択することができます。すべての動作は、マスタがスレーブのCSピンをLOWにプルダウンすることによって、スレーブデバイスをアクティブにして開始する必要があります。また、マスタはSCKも生成し、SIおよびSOラインのすべてのデータ転送はこのクロックに同期されます。

SPI スレーブ

SPIスレーブデバイスは、チップセレクトラインを介してマスタによってアクティブにされます。スレーブデバイスは、SPIマスタからの入力としてSCKを取得し、すべての通信はこのクロックに同期されます。SPIスレーブがSPIバスでの通信を開始することはなく、マスタからの命令に従って動きます。

CY14MX064Q はSPIスレーブとして動作し、他のSPIスレーブデバイスとSPIバスを共有する場合があります。

チップセレクト (CS)

すべてのスレーブデバイスを選択するために、マスタは対応するCSピンをプルダウンする必要があります。CSピンがLOWの間だけ、命令をスレーブデバイスに発行することができます。デバイスが選択されていない場合、SIピン経由のデータは無視され、シリアル出力ピン(SO)はハイインピーダンス状態のままとなります。

注 新しい命令はCSの立ち下がりエッジで開始する必要があります。したがって、アクティブな各チップセレクトサイクルに対して1つのオペレーションコードのみが発行されます。

シリアルクロック (SCK)

シリアルクロックはSPIマスタによって生成され、CSがLOWになった後、通信がこのクロックに同期されます。

CY14MX064Qはデータ通信のためにSPIモード0と3を有効にします。これらの両モードにおいて、入力はSCKの立ち上がりエッジでスレーブデバイスによってラッチされ、出力は立ち下がりエッジで発行されます。そのため、SCKの最初の立ち上がりエッジが、SIピンにおけるSPI命令の最初のビット(MSB)の到着を意味します。さらに、すべてのデータの入力と出力はSCKに同期されます。

データ転送 - SI/SO

SPIデータバスは、シリアルデータ通信用にSIとSOの2ラインで構成されます。SIはマスタアウトスレーブイン(MOSI)、SOはマスタインスレーブアウト(MISO)と呼ばれています。マスタはSIピンを介してスレーブに命令を発し、スレーブはSOピンを介して応答します。複数のスレーブデバイスは、前述のようにSIとSOラインを共有する場合があります。

CY14MX064Qには、7ページの図3に示されているように、SIとSO用にマスタと接続することができる2つの独立したピンがあります。

最上位ビット (MSB)

SPIプロトコルでは、送信される最初のビットが最上位ビット(MSB)であることが必要です。これは、アドレスとデータ転送の両方に有効です。

64KbitシリアルnvSRAMは、すべての読み取りまたは書き込み動作において2バイトのアドレスを必要とします。しかし、アドレスは13 ビットであるため、入力された最初の3ビットはデバイスによって無視されることを意味します。これらの3ビットは「ドントケア」ですが、サイプレスは、より高いメモリ密度へのシームレスな移行を可能にするために、これらを0として扱うことをお勧めしています。

シリアルオペレーションコード

CSがLOWになる状態でスレーブデバイスが選択された後、最初に受信されたバイトは、意図されている動作のオペレーションコードとして扱われます。CY14MX064Qは、メモリアクセスのために標準オペレーションコードを使用します。メモリアクセスに加えて、nvSRAMの特定機能のために以下の追加のオペレーションコードを提供します。STORE、RECALL、AutoStore有効、およびAutoStore無効です。詳細は、9 ページの表 2をご覧ください。

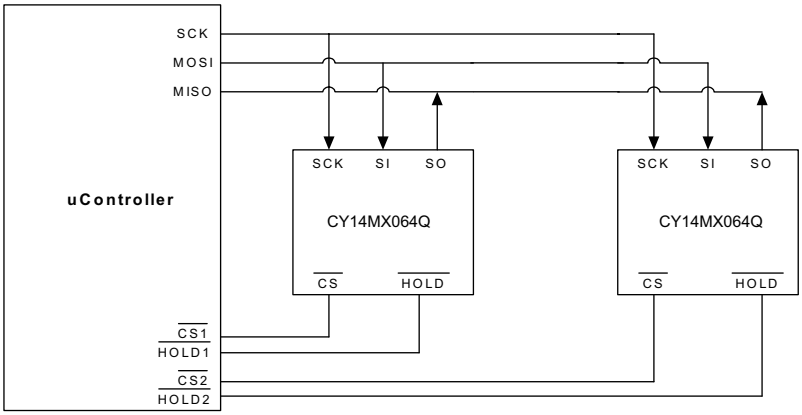
無効なオペレーションコード

無効なオペレーションコードが受信されると、そのオペレーションコードは無視され、次のCS の立ち下がりエッジまでデバイスはSIピン上の追加のシリアルデータを無視し、SOピンはトライステートのままとなります。

状態レジスタ

CY14MX064Qには8ビットの状態レジスタがあります。状態レジスタ内のビットは、SPIバスを構成するために使用されます。これらのビットは10 ページの表 4に説明されています。

図 3. SPI nvSRAM を用いたシステム構成



SPI モード

CY14MX064Qは、そのSPI周辺回路が以下の2つのモードのいずれかで実行されているマイクロコントローラによって駆動することができます。

■ SPI モード 0 (CPOL=0、CPHA=0)

■ SPI モード 3 (CPOL=1、CPHA=1)

これらの両モードでは、$\overline{CS}$がアクティブになった後の最初の立ち上がりエッジから始まるSCKの立ち上がりエッジで入力データがラッチされます。クロックがHIGH状態(モード3)から起動する場合は、クロックのトグル後の最初の立ち上がりエッジで入力データがラッチされます。出力データはSCKの立ち下がりエッジで利用可能となります。

2つのSPIモードは図 4と図 5に示されています。バスマスタがスタンバイモードで、データを転送していないクロックの状態は以下の通りです。

■ SCK はモード 0 で 0 のままです。

■ SCK はモード 3 で 1 のままです。

CPOLとCPHAビットは、SPIコントローラでモード0かモード3のいずれかに設定する必要があります。$\overline{CS}$ピンをLOWにすることによってデバイスが選択された時、デバイスはSCKピンの状態からSPIモードを検出します。デバイスが選択された時にSCKピンがLOWの場合はSPIモード0が想定され、SCKピンがHIGHの場合はSPIモード 3で動作します。

図 4. SPI モード 0

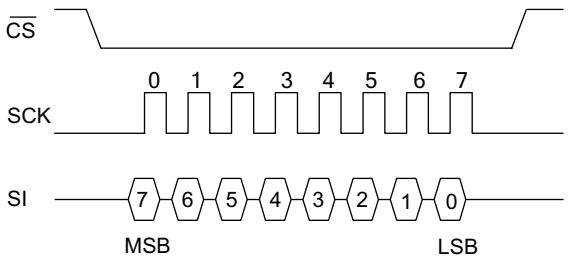
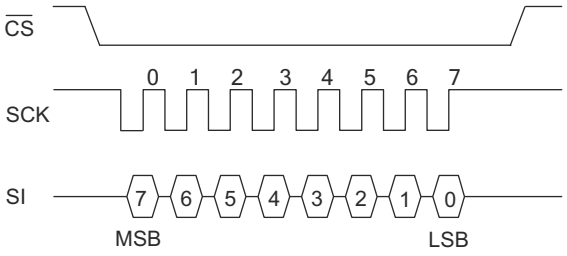


図 5. SPI モード 3



SPI 動作特長

パワーアップ

パワーアップは、電源がオンになっていて、V_{CC}がV_{switch}電圧を超えた状態として定義されます。

前述のように、パワーアップ時に、nvSRAMは、すべてのメモリアクセスが無効になっている間に、t_{FA}の時間でパワーアップRECALL動作を実行します。

以下はパワーアップ後のデバイス状態です。

- $\overline{CS}$ ピンが LOW の場合、選択 (アクティブ電力モード)
- $\overline{CS}$ ピンが HIGH の場合、選択解除 (スタンバイ電力モード)
- ホールド中でない状態
- 状態レジスタの状態：
  - 書き込み有効 (WEN) ビットが「0」にリセット。
  - WPEN、BP1、BP0 は前回の STORE 動作から変化なし。

状態レジスタのWPEN、BP1、およびBP0ビットは不揮発性メモリビットであり、前回のSTORE動作から変更されないままとなります。

パワーダウン

パワーダウン時(V_{CC}の連続減衰)、V_{CC}が通常の動作電圧を下回り、V_{SWITCH}の閾値電圧より下になると、デバイスはそれに送られたすべての命令への応答を停止します。書き込みサイクルが進行中であり、電源がダウンした時に最後のデータビットD0が受信された場合は、書き込みを完了させるまでのt_{DELAY}時間が許可されています。この後は、すべてのメモリアクセスが禁止され、条件付き AutoStore 動作が実行されます (最後のRECALLサイクル以降に書き込みが行われていない場合は、AutoStoreが実行されます)。この機能により、パワーダウン時に不注意なnvSRAMへの書き込みが行われるのを防ぐことができます。

しかし、パワーダウン時の不注意な書き込みの可能性を完全に防止するために、デバイスが選択解除されていること、およびスタンバイ電力モードになっていることを確認する必要があります。そうすれば、$\overline{CS}$はV_{CC}に印加される電圧に従います。

アクティブ電力およびスタンバイ電力モード

$\overline{CS}$がLOWの時、デバイスが選択され、アクティブ電力モードになります。18ページのDC 特性で指定されているように、デバイスはI_{CC}電流を消費します。$\overline{CS}$がHIGHの時、デバイスは選択解除され、STOREまたはRECALLサイクルが進行中でなければ、デバイスはt_{SB}時間後にスタンバイ電力モードとなります。STORE/RECALL サイクルが進行中の場合、STORE または RECALLサイクルが完了した後に、デバイスはスタンバイ電力モードになります。スタンバイ電力モードでは、デバイスに流れる電流はI_{SB}に低下します。

SPI 機能の説明

CY14MX064Qは8ビット命令レジスタを使用します。命令とそのオペレーションコードは表 2に一覧されています。すべての命令、アドレス、データは、最初にMSBとともに転送され、HIGHからLOW $\overline{CS}$への遷移で開始されます。nvSRAMでほとんどの機能へのアクセスを提供する、全部で14のSPI命令があります。さらに、$\overline{WP}$とHOLDピンがハードウェアを介して駆動される追加機能を提供します。

表 2. 命令セット

命令カテゴリ	命令名	オペレーションコード	動作
状態レジスタ制御命令			
状態レジスタアクセス	RDSR	0000 0101	読み取り状態レジスタ
	WRSR	0000 0001	書き込み状態レジスタ
書き込み保護およびブロック保護	WREN	0000 0110	書き込み有効ラッチを設定
	WRDI	0000 0100	書き込み有効ラッチをリセット
SRAM 読み取り / 書き込み命令			
メモリアクセス	READ	0000 0011	メモリアレイからの読み取りデータ
	WRITE	0000 0010	メモリアレイへの書き込みデータ
特別 NV 命令			
nvSRAM 特別命令	STORE	0011 1100	ソフトウェア STORE
	RECALL	0110 0000	ソフトウェア RECALL
	ASENB	0101 1001	AutoStore 有効
	ASDISB	0001 1001	AutoStore 無効
特別命令			
スリープ	SLEEP	1011 1001	スリープモード有効
シリアル番号	WRSN	1100 0010	書き込みシリアル番号
	RDSN	1100 0011	読み取りシリアル番号
デバイス ID 読み取り	RDID	1001 1111	メーカー JEDEC ID および製品 ID 読み取り
予約命令			
予約済み	- 予約済み -	0001 1110	
		0000 1001	
		0000 1011	
		1100 1001	
		1001 1001	

SPI命令は、機能に基づいて以下のタイプに分類されます。

- 状態レジスタ制御命令：
  - 状態レジスタアクセス：RDSR および WRSR 命令
  - 書き込み保護およびブロック保護： $\overline{WP}$ ピンと WEN、BP0、BP1 ビットに加えて、WREN および WRDI 命令
- SRAM 読み取り / 書き込み命令
  - メモリアクセス：READ および WRITE 命令
- 特別 NV 命令
  - nvSRAM 特別命令：STORE、RECALL、ASENB、および ASDISB
- 特別命令
  - SLEEP、WRSN、RDSN、RDID

状態レジスタ

状態レジスタのビットは表 3に列挙されています。状態レジスタは、レディビット(RDY)およびデータ保護ビットBP1、BP0、WEN、WPENで構成されます。nvSRAM STOREまたはソフトウェアRECALLサイクルが進行中、レディまたはビジー状態を確認するために、RDYビットをポーリングすることができます。状態レジスタはWRSR命令によって変更でき、RDSR命令で読み取ることができます。しかし、WRSR命令を使用して変更できるのは、状態レジスタのWPEN、BP1、およびBP0ビットのみです。WRSR命令はWENとRDYビットに影響を与えません。WEN、BP0、BP1、ビット4 -5、SNL、およびWPENの工場出荷時のデフォルト値は「0」です。

状態レジスタのSNL(ビット6)は、WRSN命令を使用して書かれたシリアル番号をロックするために使用されます。そのビットが「0」の間は、シリアル番号はWRSN命令を使用して複数回書き込むことができます。「1」に設定されている場合、このビットはシリアル番号に変更が加えられるのを防止します。このビットは工場で「0」にプログラムされており、一度だけ書き込むことができます。このビットが「1」に設定された後は、「0」にクリアすることはできません。

表 3. 状態レジスタフォーマット

ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
WPEN (0)	SNL (0)	X (0)	X (0)	BP1 (0)	BP0 (0)	WEN (0)	RDY

表 4. 状態レジスタのビット定義

ビット	定義	説明
ビット 0 (RDY)	レディ	読み取り専用ビットは、デバイスがメモリアクセスの実行に対してレディ状態であることを示しています。STORE またはソフトウェア RECALL サイクルの進行中、このビットはデバイスによって「1」に設定されます。
ビット 1 (WEN)	書き込み有効	WEN はデバイスの書き込みが有効かどうかを示します。パワーアップ時のこのビットのデフォルトは「0」(無効) です。 WEN = 「1」--> 書き込み有効 WEN = 「0」--> 書き込み無効
ビット 2 (BP0)	ブロック保護ビット「0」	ブロック保護のために使用されます。詳細については、12 ページの表 5 をご覧ください。
ビット 3 (BP1)	ブロック保護ビット「1」	ブロック保護のために使用されます。詳細については、12 ページの表 5 をご覧ください。
ビット 4-5	ドントケア (無視)	これらのビットは書き込み不可であり、常に読み取り時に「0」を返します。
ビット 6 (SNL)	シリアル番号ロック	「1」に設定されてシリアル番号をロックします。
ビット 7 (WPEN)	書き込み保護有効ビット	書き込み保護ピンの機能を有効にするために使用されます (WP)。詳細については、12 ページの表 6 をご覧ください。

読み取り状態レジスタ (RDSR) 命令

読み取り状態レジスタ命令は、状態レジスタへのアクセスを提供します。この命令は、デバイスの書き込み有効状態やデバイスのレディ状態をプローブするために使用されます。STOREまたはソフトウェアRECALLサイクルの進行中は常に、RDYビットはデバイスによって「1」に設定されます。ブロック保護とWPENビットは、用いられる保護の範囲を示します。

この命令は、RDSRのオペレーションコードを使用して、CSの立ち下がりエッジの後に発行されます。

書き込み状態レジスタ (WRSR) 命令

WRSR命令により、ユーザーによる状態レジスタへの書き込みが可能となります。しかし、この命令はビット0 (RDY)、ビット1 (WEN)、およびビット4-5を変更するために使用することはできません。BP0とBP1ビットは、ブロック保護の4つのレベルのいずれかを選択するために使用できます。さらに、書き込み保護(WP)ピンの使用を有効にするには、WPENビットは「1」に設定されている必要があります。

WRSR命令は書き込み命令であり、それが発行される前に、WREN命令を使用して(WENビットは「1」に設定)書き込みが有効になっている必要があります。WRSRのオペレーションコードを使用したCSの立ち下がりエッジの後に命令が発行され、その後に状態レジスタに格納される8ビットのデータが続きます。WRSR命令は、状態レジスタのビット2、3、6、および7のみを変更するために使用できます。

注 CY14MX064Qでは、状態レジスタに書き込まれた値は、STORE　動作の後にのみ不揮発性メモリに保存されます。AutoStoreが無効になっている場合(または、CY14MX064Q1Bを使用中)は、状態レジスタに加えられた変更は、ソフトウェアSTORE動作を実行して確保する必要があります。

注 CY14MX064Q2B にはWPピンはありません。状態レジスタのビット7への変更は、CY14MX064Q2Bの機能には何も影響はありません。

図 6. 読み取り状態レジスタ (RDSR) 命令タイミング

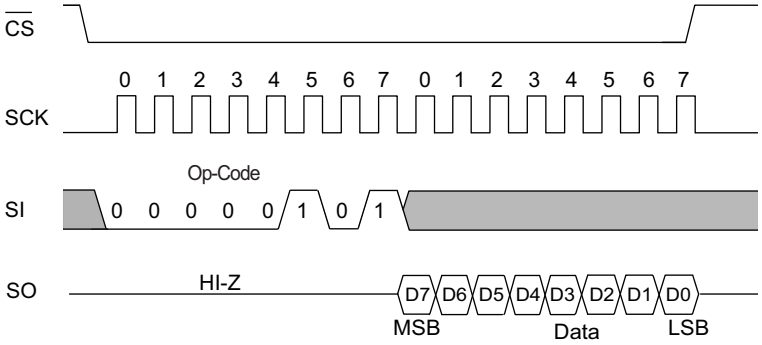
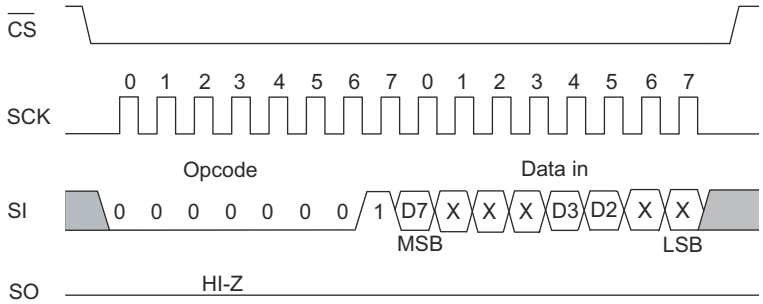


図 7. 書き込み状態レジスタ (WRSR) 命令タイミング



書き込み保護およびブロック保護

CY14MX064Qは、WRDI命令と$\overline{WP}$を使用して、ソフトウェアとハードウェア書き込み保護の両方に機能を提供します。加えてこのデバイスは、状態レジスタのBP0およびBP1ピンを介して、ブロック保護メカニズムを提供します。

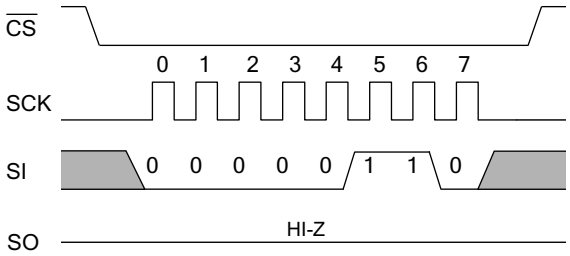
デバイスの書き込み有効/無効状態は、状態レジスタのWENビットによって示されます。書き込み命令(WRSR、WRITE、WRSN)およびnvSRAM特別命令(STORE、RECALL、ASENB、ASDISB)は、これらが発行される前に書き込みが有効(WENビット=「1」)になっている必要があります。

書き込み有効 (WREN) 命令

パワーアップ時、デバイスは常に書き込み無効状態にあります。したがって、以下のWRITE、WRSR、WRSN、またはnvSRAM特別命令の前に、書き込み有効命令が発行されている必要があります。デバイスが書き込み有効(WEN=「0」)になっていない場合は、書き込み命令を無視し、$\overline{CS}$がHIGHになるとスタンバイ状態に戻ります。シリアル通信を再開させるには、新しい$\overline{CS}$の立ち下がりエッジが必要です。命令は$\overline{CS}$の立ち下がりエッジ後に発行されます。この命令が使用される時、状態レジスタのWENビットは「1」に設定されています。パワーアップ時のWENビットのデフォルトは「0」です。

注 書き込み命令(WRSR、WRITE、WRSN)またはnvSRAM特殊命令(STORE、RECALL、ASENB、ASDISB)の完了後、WENビットは「0」にクリアされます。これにより、不注意な書き込みが防止されます。したがって、WREN命令は新しい書き込み命令が発行される前に使用する必要があります。

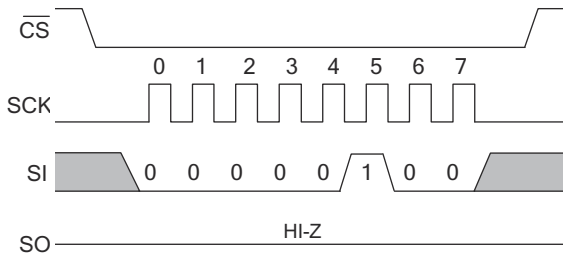
図 8. WREN 命令



書き込み無効 (WRDI) 命令

不注意な書き込みからデバイスを保護するために、書き込み無効命令によりWENビットが「0」にクリアされ、書き込みが無効となります。この命令は$\overline{CS}$の立ち下がりエッジ後に発行され、その後にWRDI命令のオペレーションコードが続きます。WENビットは、WRDI命令に続く$\overline{CS}$の立ち上がりエッジでクリアされます。

図 9. WRDI 命令



ブロック保護

ブロック保護は状態レジスタのBP0およびBP1ピンを使用して提供されます。これらのビットはWRSR命令を使用して設定でき、RDSR命令を使用して調査することができます。nvSRAMは4つのアレイセグメントに分割されます。1/4、1/2、またはすべてのメモリセグメントを保護することができます。保護された セグメント内のすべてのデータは、読み取り専用となります。表 5にブロック保護ビットの機能が示されています。

表 5. ブロック書き込み保護ビット

レベル	ステータス レジスタ ビット		保護されたアレイアドレス
	BP1	BP0	
0	0	0	なし
1 (1/4)	0	1	0x1800–0x1FFF
2 (1/2)	1	0	0x1000–0x1FFF
3 (すべて)	1	1	0x0000–0x1FFF

ハードウェア書き込み保護 ($\overline{WP}$)

書き込み保護ピン($\overline{WP}$)は、ハードウェア書き込み保護を提供するために使用されます。$\overline{WP}$ピンがHIGHに維持された時、すべて通常の読み取りと書き込み動作が可能となります。$\overline{WP}$ピンがLOWに下げられ、WPENビットが「1」になった時、状態レジスタへのすべての書き込み動作が禁止されます。WPENビットが「0」の時、ハードウェア書き込み保護機能がブロックされます。これにより、$\overline{WP}$ピンがグランドに接続している状態でシステムにデバイスをインストールすることができ、状態レジスタに書き込むこともできます。

メモリへの書き込みを禁止するために、WPピンを状態レジスタのWPENおよびブロック保護ビット(BP1とBP0)と一緒に使用することができます。$\overline{WP}$ピンがLOWでWPENが「1」に設定されていると、状態レジスタへの変更は無効になります。したがって、BP0およびBP1ビットに設定することによってメモリが保護され、$\overline{WP}$ピンがハードウェア書き込み保護を提供して、状態レジスタビットの変更が禁止されます。

注 $\overline{CS}$がまだLOWの状態で$\overline{WP}$がLOWになっても、状態レジスタへの進行中の書き込み動作への影響は何もありません。

注 CY14MX064Q2Bには$\overline{WP}$ピンがないため、ハードウェアへの書き込みは保護されません。

表 6 このデバイスのすべての保護機能一覧

表 6. 書き込み保護動作

WPEN	$\overline{WP}$	WEN	保護されているブロック	保護されていないブロック	状態レジスタ
X	X	0	保護	保護	保護
0	X	1	保護	書き込み可能	書き込み可能
1	LOW	1	保護	書き込み可能	保護
1	HIGH	1	保護	書き込み可能	書き込み可能

メモリアクセス

すべてのメモリアクセスは、READおよびWRITE命令を使用して行われます。STOREまたはRECALLサイクルが進行中は、これらの命令を使用することはできません。進行中のSTOREサイクルは、状態レジスタのRDYビットによって示されます。

読み取りシーケンス (READ) 命令

このデバイスの読み取り動作は、SIピンに命令を与え、SOピンの出力を読み取ることによって実行されます。次のシーケンスの後には読み取り動作が続く必要があります。デバイスを選択するために$\overline{CS}$ラインがLOWにプルダウンされると、読み取りオペレーションコードがSIラインを介して送信され、その後にアドレスの2バイト(A12-A0)が続きます。最上位アドレスビット(A15-A13)は「ドントケア（無視）」です。最後のアドレスビットがSIピンに送信された後、特定のアドレス位置のデータ(D7-D0)がD7で始まるSCKの立ち下がりエッジでSOラインにシフトアウトされます。最後のアドレスビットの後のSIライン上の他のデータは無視されます。

CY14MX064Qでは、SPIを介してバーストで読み取りを実行することができるので、新しいREAD命令を発行せずに、連続したアドレス上で読み取り処理を実行できます。1バイトだけが読み取られる場合、1バイトのデータが出力された後で、$\overline{CS}$ラインはHIGHに駆動される必要があります。しかし、読み取りシーケンスは$\overline{CS}$ラインをLOWに保持して継続することができ、アドレスは自動的にインクリメントされ、データのSOピンへのシフトアウトも継続されます。最後のデータメモリアドレス(0x1FFF)に到達すると、アドレスは0x0000にロールオーバーし、デバイスは読み取りを継続します。

書き込みシーケンス (WRITE) 命令

このデバイス上の書き込み動作は、SIピンを介して実行されます。デバイスが書き込み無効である場合に書き込み動作を実行するには、まずデバイスを書き込みWREN命令を使用して有効にする必要があります。書き込みが有効(WEN=「1」)にされると、$\overline{CS}$の立ち下がりエッジ後にWRITE命令が発行されます。WRITE命令はSIライン上のWRITEオペレーションコードの送信を構成し、その後アドレスの2つのバイト(A12 - A0)および書き込まれるデータ(D7-D0)が続きます。最上位アドレスビット(A15-A13)は「ドントケア（無視）」です。

CY14MX064Qでは、SPIを介してバーストで書き込みを実行することができるので、新しいWRITE命令を発行せずに、連続したアドレス上で書き込み処理を実行できます。1バイトだけが書き込まれる場合、D0(データのLSB)が送信された後、$\overline{CS}$ラインはHIGHに駆動される必要があります。より多くのバイトを書き込む場合は、$\overline{CS}$ラインをLOWに保持しなければならず、アドレスは自動的にインクリメントされます。SIラインの次のバイトはデータバイトとして扱われ、連続したアドレスに書き込まれます。最後のデータメモリアドレス(0x1FFF)に到達すると、アドレスは0x0000にロールオーバーし、デバイスは書き込みを継続します。書き込みシーケンスの完了時に、WENビットは「0」にリセットされます。

注 バースト書き込みが保護されたブロックアドレスに到達すると、保護された空間にアドレスのインクリメントを継続しますが、保護されたメモリにデータが書き込まれることはありません。アドレスのロールオーバーにより保護されていないスペースにバースト書き込みされる場合、書き込みが再開されます。バースト書き込みが書き込み保護されたブロック内で開始された場合は、同じ動作となります。

図 10. 読み取り命令タイミング

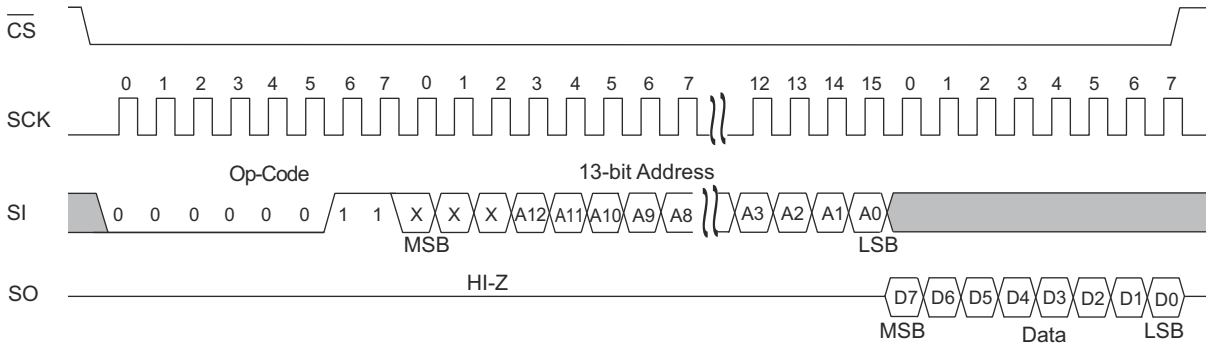


図 11. バーストモード読み取り命令タイミング

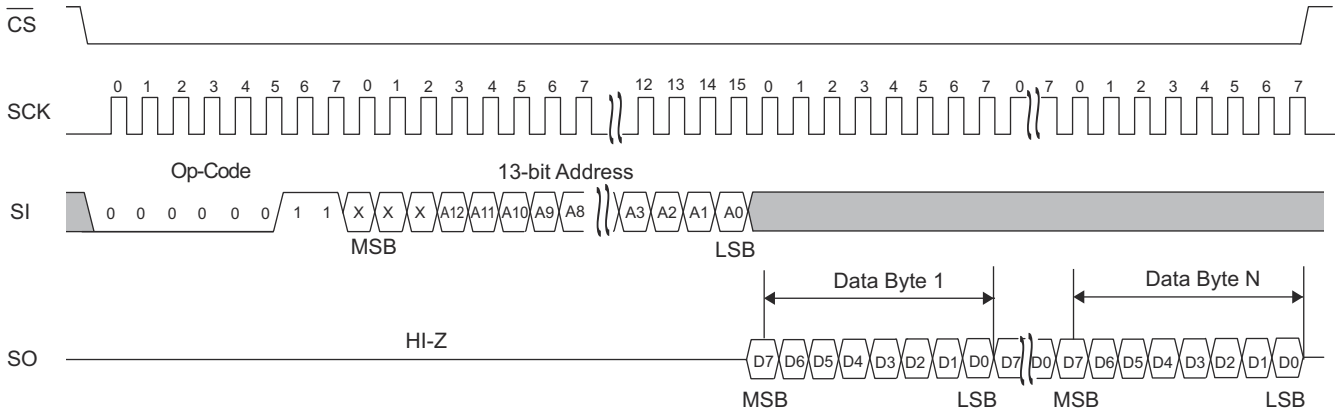


図 12. 書き込み命令タイミング

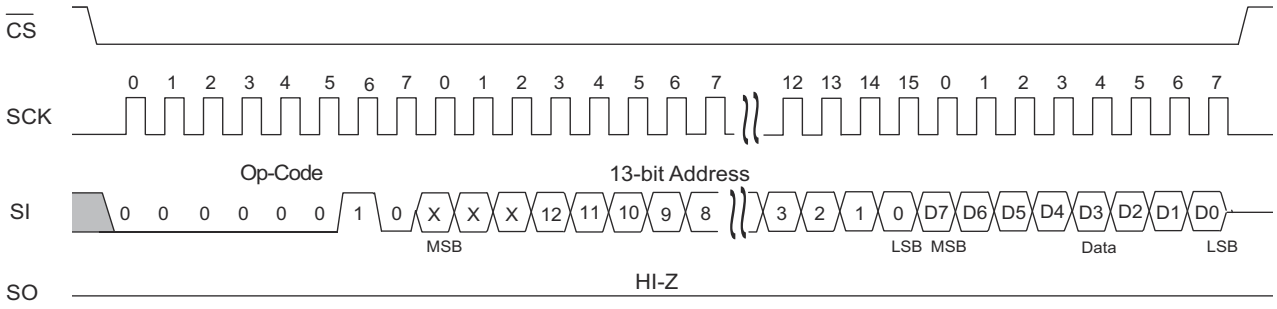
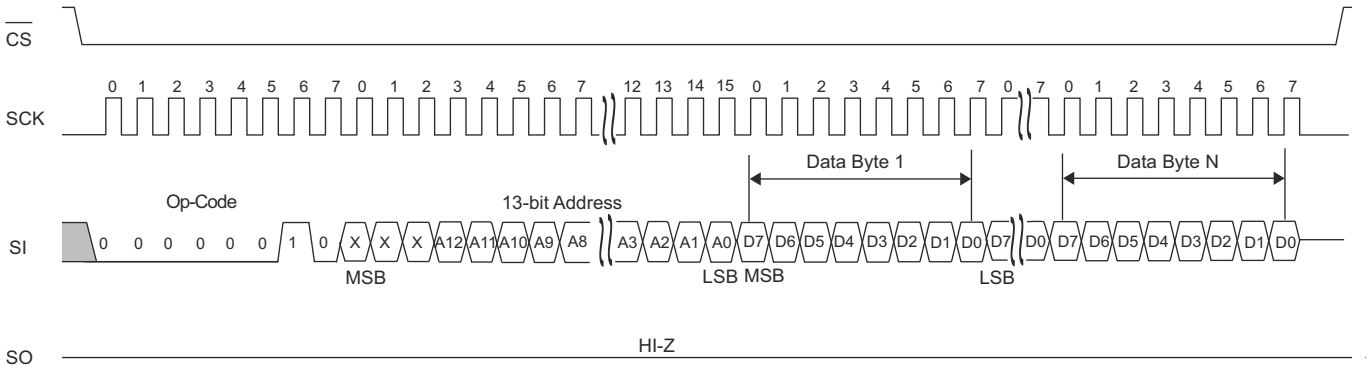


図 13. バーストモード書き込み命令タイミング



nvSRAM 特別命令

CY14MX064Qは、nvSRAMの特定機能へのアクセスを有効にする次の4つの特別命令を提供します。STORE、RECALL、ASDISB、およびASENBです。これらの命令は表 7に列挙されています。

表 7. nvSRAM 特別命令

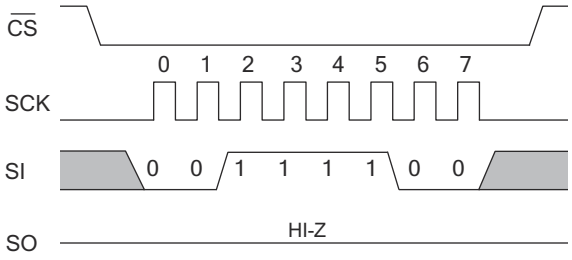
関数名	オペレーションコード	動作
STORE	0011 1100	ソフトウェア STORE
RECALL	0110 0000	ソフトウェア RECALL
ASENB	0101 1001	AutoStore 有効
ASDISB	0001 1001	AutoStore 無効

ソフトウェア STORE(STORE) 命令

STORE命令が実行されると、nvSRAMはソフトウェアSTORE動作を実行します。 STORE動作は、最後のSTOREまたはRECALL動作以降に書き込みが行われたかどうかに関係なく実行されます。

この命令を発行するには、デバイスは書き込み有効(WENビット=「1」)になっている必要があります。この命令は、CSの立ち下がりエッジの後にSIピンのSTOREオペレーションコードが送信されることで実行されます。STORE命令後のCSポジティブエッジでWENビットがクリアされます。

図 14. ソフトウェア STORE 動作

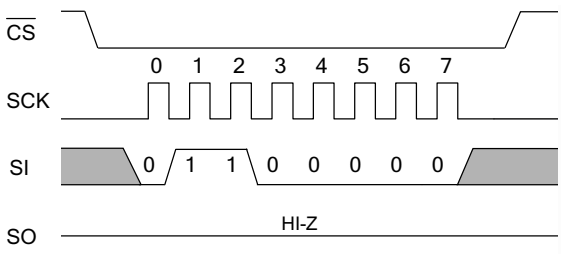


ソフトウェア RECALL(RECALL) 命令

RECALL 命令が実行されると、nvSRAM がソフトウェア RECALL動作を実行します。この命令を発行するには、デバイスは書き込み有効(WENビット=「1」)になっている必要があります。

この命令は、CSの立ち下がりエッジの後にSIピンのRECALLオペレーションコードが送信されることで実行されます。RECALL命令後のCSポジティブエッジで、WENビットがクリアされます。

図 15. ソフトウェア RECALL 動作



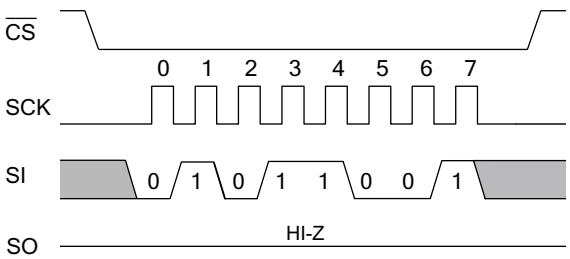
AutoStore 有効 (ASENB) 命令

AutoStore有効命令により、CY14MX064Q2BのAutoStoreが有効となります。この設定は不揮発性ではなく、パワーサイクルに耐えるためにはSTOREシーケンスが後に続く必要があります。

この命令を発行するには、デバイスは書き込み有効(WENビット=「1」)になっている必要があります。この命令は、CSの立ち下がりエッジの後にSIピンのASENBオペレーションコードが送信されることで実行されます。ASENB命令後のCSポジティブエッジで、WENビットがクリアされます。

注 ASDISBおよびASENB命令がCY14MX064Q2Bで実行される場合、デバイスはソフトウェアシーケンス処理時間の持続のためにビジー状態となります(t_{SS})。しかし、AutoStoreが内部的に無効になっているため、ASDISB および ASENB 命令はCY14MX064Q1Bには影響を与えません。

図 16. AutoStore 有効動作

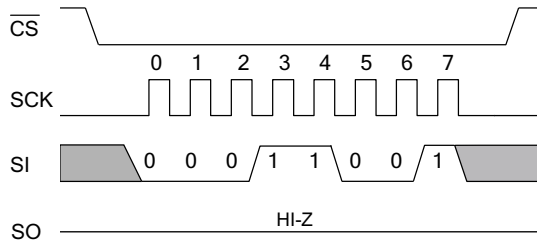


AutoStore 無効 (ASDISB) 命令

AutoStore は CY14MX064Q2B のデフォルトで有効です。ASDISB命令はAutoStoreを無効にします。この設定は不揮発性ではなく、パワーサイクルに耐えられるようにするには、その後にSTOREシーケンスを行う必要があります。

この命令を発行するには、デバイスは書き込み有効(WEN =「1」)になっている必要があります。この命令は$\overline{CS}$の立ち下がりエッジの後にSIピンのASDISBオペレーションコードが送信されることで実行されます。ASDISB命令後の$\overline{CS}$のポジティブエッジで、WENビットがクリアされます。

図 17. AutoStore 無効動作



特別命令

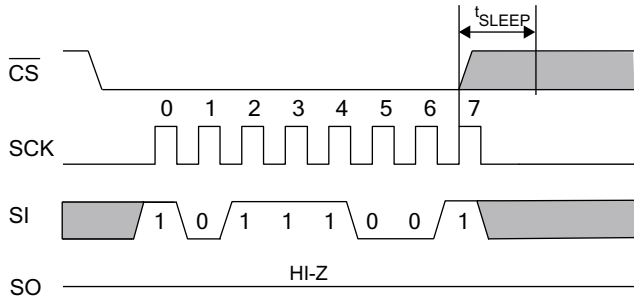
SLEEP 命令

SLEEP命令により、nvSRAMはスリープ モードとなります。SLEEP命令が発行されると、nvSRAMは、SLEEP要求を処理するために、t_{SS}時間を要します。いったん SLEEP コマンドが正常に取り込まれて処理されると、nvSRAM は不揮発性メモリにデータを確保するために STORE 動作を実行してから、スリープ モードに入ります。デバイスはSLEEP命令が取り込まれた時から、t_{SLEEP}時間後にI_{ZZ}電流を消費し始めます。SLEEP命令が発行された後は、通常の動作ではデバイスにアクセスできなくなります。いったんスリープモードになると、SCKおよびSIピンは無視され、SOはハイインピーダンスになりますが、デバイスは$\overline{CS}$ピンの監視を継続します。

nvSRAMをスリープモードから解除させるには、$\overline{CS}$ピンをHIGHからLOWにトグルしてからデバイスを選択する必要があります。$\overline{CS}$ピンの立ち下がりエッジが検出された後、t_{WAKE}期間が経過すると、デバイスはスリープモードから解除され、通常の動作でアクセス可能となります。

注 nvSRAM がスリープ モードに入る際は常に不揮発性STOREサイクルを開始し、その結果としてSLEEPコマンド実行のたびに耐久サイクルをもたらします。STOREサイクルは、最後のSTOREまたはRECALLサイクル以降、SRAMへの書き込みが実行された場合にのみ開始されます。

図 18. スリープモードへの移行



シリアル番号

シリアル番号は、このデバイスを一意に識別するためにユーザーに提供される8バイトのプログラマブルメモリ空間です。通常 2 バイトのカスタマ ID 、その後に続く固有の 5 バイトのシリアル番号と 1 バイトの CRC チェックで構成されています。ただし、nvSRAM は CRC を計算しないため、所望の形式で 8 バイトのメモリ空間を利用するかどうかはユーザー次第となります。8バイトの位置のデフォルト値は「0X00」に設定されています。

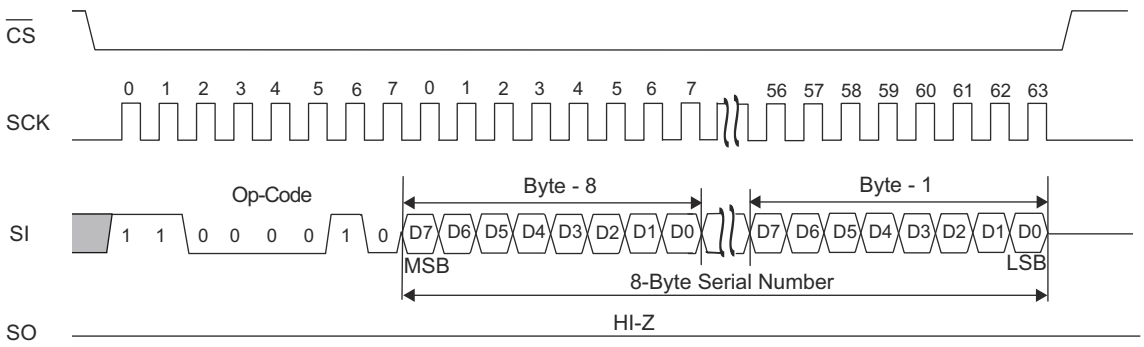
WRSN(シリアル番号書き込み) 命令

シリアル番号は、WRSN命令を使用して書き込むことができます。シリアル番号を書き込むには、WREN命令を使用して書き込みを有効にする必要があります。WRSN命令は、シリアル番号の8バイトすべてを書き込むためにバーストモードで使用することができます。

シリアル番号は、状態レジスタのSNLビットを使用してロックされます。いったんこのビットが「1」に設定されると、シリアル番号に変更を加えることはできなくなります。SNLビットが「1」に設定された後は、WRSN命令を使用してもシリアル番号に影響を与えません。

シリアル番号を不揮発性メモリに格納するには、STOREオペレーション(AutoStoreまたはソフトウェアSTORE)が必要です。AutoStoreが無効になっている場合は、ソフトウェアSTORE動作を実行して、シリアル番号を確保しロックする必要があります。SNLビットが「1」にセットされていて格納(AutoStore無効)されていない場合は、次のパワーサイクル時にSNLビットとシリアル番号はデフォルトで「0」となります。SNLビットが「1」に設定されていて格納されている場合は、SNLビットを「0」にクリアすることはできません。この命令では、実行前にWENビットが設定されている必要があります。この命令の完了後、WENビットは「0」にリセットされます。

図 19. WRSN 命令

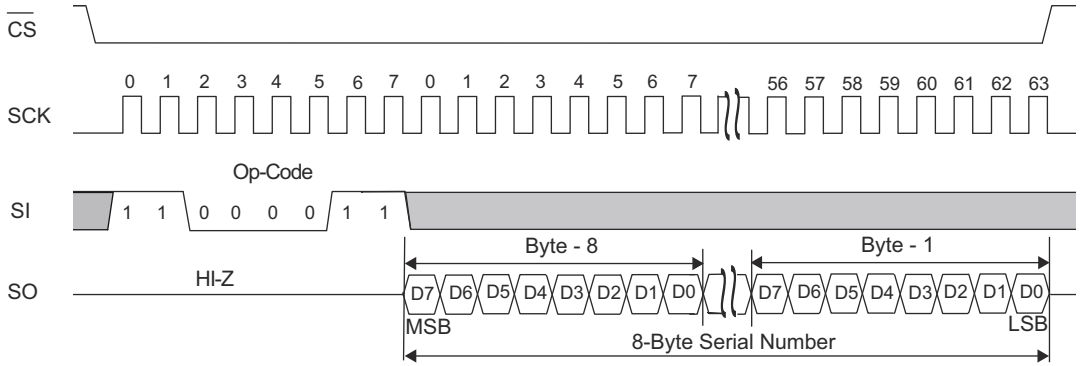


RDSN (シリアル番号読み取り) 命令

シリアル番号は、RDSN命令を使用して読み取られます。シリアル番号読み取りは、バーストモードで実行して一度にすべての8バイトを読み取ることができます。シリアル番号の最後のバイトが読み取られた後は、デバイスはループバックしません。

$\overline{CS}$がLOWになった後、nvSRAMのSIピン経由でRDSNのオペレーションコードをシフトすることによって、RDSN命令を発行することができます。この後、nvSRAMがSOピンを介してシリアル番号の8バイトをシフトアウトします。

図 20. RDSN 命令



デバイス ID

デバイスIDは製品の種類を一意に識別するための4バイトの読み取り専用コードです。これには、製品の製品ファミリコード、構成、および容量が含まれています。

表 8. デバイス ID

デバイス	デバイス ID (4 バイト)	デバイス ID の説明			
		31–21 (11 ビット)	20–7 (14 ビット)	6–3 (4 ビット)	2–0 (3 ビット)
		メーカー ID	製品 ID	デバイス ID	ダイリビジョン
CY14MB064Q1B	0x06810889	00000110100	00001000010001	0001	001
CY14MB064Q2B	0x06818809	00000110100	00001100010000	0001	001
CY14ME064Q1B	0x06811089	00000110100	00001000100001	0001	001
CY14ME064Q2B	0x06819009	00000110100	00001100100000	0001	001

表 8 に示されているように、デバイス ID は 4 つの部分に分かれています。

1. メーカー ID (11ビット)

これはサイプレス用に JEDECが割り当てたメーカー IDです。JEDECは異なるバンクでメーカーIDを割り当てます。メーカーIDの最初の3ビットは、IDが割り当てられているバンクを表しています。次の8ビットはメーカー IDを表しています。

サイプレスのメーカーIDはバンク0の0x34です。したがって、すべてのサイプレスのnvSRAM製品のメーカーIDは以下のようになっています。

Cypress ID - 000_0011_0100

2. 製品ID (14ビット)

製品IDは 表 8に示されています。

3. 容量ID (4ビット)

表 8 に示されているように、4ビットの容量IDは製品の64kb容量を示しています。

4. ダイリビジョン(3ビット)

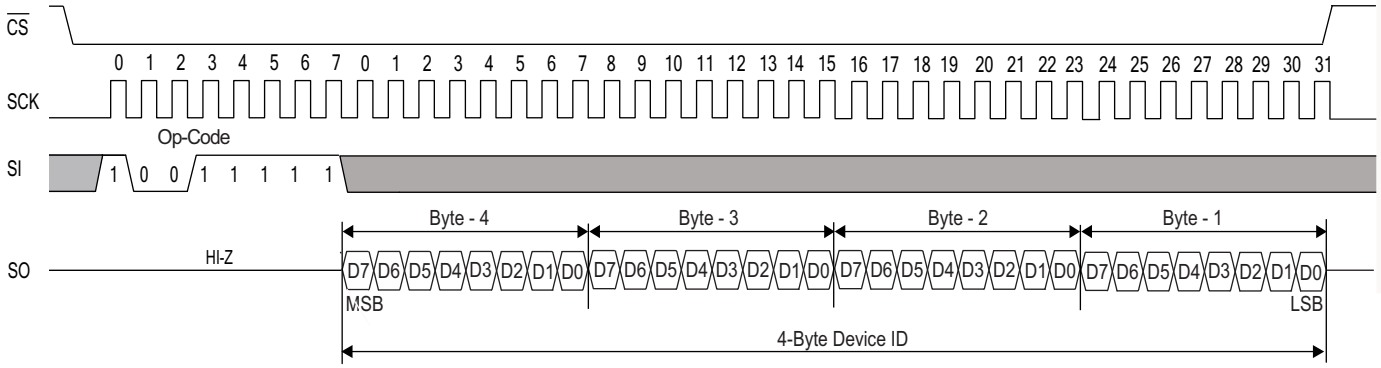
これは製品設計の重要変更を示すために使用されます。

デバイスのダイリビジョンは 表 8に示されています。

RDID(デバイス ID 読み取り) 命令

この命令は、JEDEC割り当てのメーカー IDとデバイスの製品IDを読み取るために使用されます。この命令は、バス上のデバイスを識別するためにも使用することができます。CSがLOWになった後、nvSRAMのSIピン経由でRDIDのオペレーションコードをシフトして、RDID命令を発行することができます。この後、nvSRAMがSOピンを介してデバイスIDの4バイトをシフトアウトします。

図 21. RDID 命令

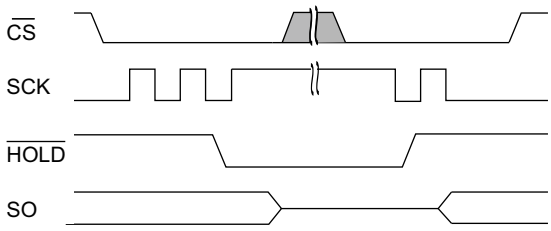


HOLD ピン動作

HOLDピンは、シリアル通信を一時停止するために使用されます。デバイスが選択されていて、シリアルシーケンスが進行中である場合、HOLDは現在進行中のシリアルシーケンスをリセットせずに、マスタデバイスでシリアル通信を一時停止するために使用されます。一時停止するには、SCKピンがLOWの時にHOLDピンをLOWにする必要があります。シリアル通信を再開するには、SCKピンがLOWの時にHOLDピンをHIGHにする必要があります(SCKはHOLD中トグルする場合があります)。デバイスのシリアル通信が一時停止している間、SIピンへの入力は無視され、SOピンはハイインピーダンス状態となります。

このピンは、シリアル通信をリセットせずに、HOLDピンをLOWにすることによってシリアル通信を一時停止するため、およびSPIスレーブを選択解除することによって他のスレーブデバイスとの通信を確立するために、CSピンとともにマスタによって使用されます。デバイスが選択され、HOLDピンがHIGHに設定された時点で、通信を再開することができます。

図 22. HOLD 動作



最大定格

最大定格を超えると、デバイスの寿命が短くなる可能性があります。これらのユーザ ガイドラインは未テストです。

保存温度 .....–65 °C～+150 °Cです。

最大累積保管時間
　周囲の温度150 °Cで 1000時間
　周囲の温度85°Cで 20年

最大接合部温度 ..... 150°C

V_{SS}を基準にしたV_{CC}の電源電圧
CY14MB064Q: V_{CC}= 2.7V～3.6V .....–0.5V～+4.1V
CY14ME064Q：V_{CC}=4.5V～5.5V .....–0.5V～+7.0V

High Z状態の出力に印加される電圧 ..... -0.5V ～V_{CC}+0.5V

入力電圧 ..... –0.5V～V_{CC} + 0.5V

任意のピンからグランド電位への過渡電圧（< 20ns）
..... –2.0 V～V_{CC} + 2.0V

パッケージ許容電力損失
（T_A = 25°C）..... 1.0 W

表面実装はんだ付け温度(3秒) ..... +260°C

DC出力電流（一度に1出力、1秒間）..... 15 mA

静電気放電電圧
（MIL-STD-883、メソッド3015による）..... > 2001V

ラッチアップ電流 .....>140mA

動作範囲

デバイス	範囲	周囲温度	V_{CC}
CY14MB064Q	工業用	–40°C ～ +85°C	2.7V ～ 3.6V
CY14ME064Q			4.5V ～ 5.5V

DC 特性

動作範囲以上

パラメータ	説明	テスト条件		最小値	標準値[3]	最大値	単位
V_{CC}	電源		CY14MB064Q	2.7	3.0	3.6	V
			CY14ME064Q	4.5	5.0	5.5	V
I_{CC1}	平均 V_{CC} 電流	f_{SCK}=40 MHz、出力負荷なしで得られた値 (I_{OUT}=0mA)	CY14MB064Q	–	–	3	mA
			CY14ME064Q	–	–	4	mA
I_{CC2}	STORE 中の平均 V_{CC} 電流	すべての入力はドントケア、V_{CC}= 最大期間 t_{STORE} の平均電流		–	–	3	mA
I_{CC3}	平均 V_{CC} 電流、f_{SCK}=1MHz、V_{CC} =$V_{CC(代表値)}$、25°C	すべての入力サイクルは CMOS レベル。出力負荷なしで得られた値。(I_{OUT}=0mA)		–	–	1	mA
I_{CC4}	AutoStore サイクル中の平均 V_{CAP} 電流	すべての入力はドントケア。期間 t_{STORE} の平均電流		–	–	3	mA
I_{SB}	V_{CC} スタンバイ電流	$\overline{CS}$≥ (V_{CC}–0.2V)。V_{IN}≤0.2V または ≥ (V_{CC}–0.2 V)。不揮発性メモリサイクルが完了した後のスタンバイ電流レベル。入力は静止状態。f_{SCK}=0MHz。	CY14MB064Q	–	–	120	µA
			CY14ME064Q	–	–	150	µA
I_{ZZ}	スリープ モード電流	SLEEP 命令が取り込まれた後の t_{SLEEP} 時間後。すべての入力は静的であり、CMOS ロジック レベルで設定。		–	–	8	µA
I_{IX}	入力リーク電流			–1	–	+1	µA
I_{OZ}	オフ状態の出力漏れ電流			–1	–	+1	µA
V_{IH}	入力 HIGH 電圧			2.0	–	V_{CC} + 0.5	V
V_{IL}	入力 LOW 電圧			V_{SS}–0.5	–	0.8	V
V_{OH}	出力 HIGH 電圧	I_{OUT} = –2 mA	CY14MB064Q	2.4	–	–	V
			CY14ME064Q	V_{CC}–0.4	–	–	
V_{OL}	出力 LOW 電圧	I_{OUT} = 4 mA		–	–	0.4	V
V_{CAP}[4]	ストレージ コンデンサ	V_{CAP} ピンと V_{SS} の間		42	47	180	µF

注
3. 標準値は 25 ℃、V_{CC} = $V_{CC(Typ)}$ です 。100% テストされているわけではありません。
4. V_{CAP} 最小値は、AutoStore 処理を完了するのに十分な電荷があることを保証するものです。V_{CAP} 最大値は、直後のワーダウン サイクルが AutoStore 処理を成功裏に終了するように、パワーアップ RECALL サイクルの間に、$_{CAP}$ 上のコンデンサが、最低電圧まで充電されることを保証します。したがって、指定した最小値と最大値の範囲内でコンデンサを使用することを常にお勧めします。V_{CAP} オプションの詳細については、アプリケーションノート AN43593 を参照してください。

DC 特性 (つづき)

動作範囲以上

パラメータ	説明	テスト条件		最小値	標準値 [3]	最大値	単位
V_{VCAP} [5, 6]	デバイスで駆動された V_{CAP} ピン上の最大電圧	V_{CC}= 最大	CY14MB064Q	–	–	V_{CC}	V
			CY14ME064Q	–	–	V_{CC}– 0.5	

データリテンション期間および書き換え回数

動作範囲以上

パラメータ	説明	最小値	単位
$DATA_R$	データリテンション期間	20	年
NV_C	不揮発性 STORE 処理回数	1,000	K 回

容量

パラメータ [6]	説明	テスト条件	最大値	単位
C_{IN}	入力容量	T_A=25°C、f=1MHz、V_{CC}=$V_{CC(代表値)}$	7	pF
C_{OUT}	出力ピン容量		7	pF

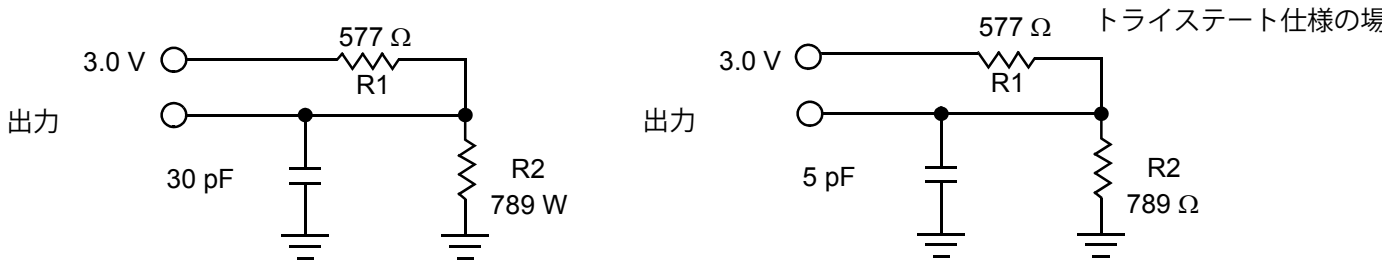
熱抵抗

記号 [6]	説明	テスト条件	8 ピン SOIC	単位
Θ_{JA}	熱抵抗 (ジャンクションから周囲)	テスト条件は、EIA/JESD51 に準拠した熱抵抗を測定するための標準的なテスト方法と手順に従う。	101.08	°C/W
Θ_{JC}	熱抵抗 (ジャンクションからケース)		37.86	°C/W

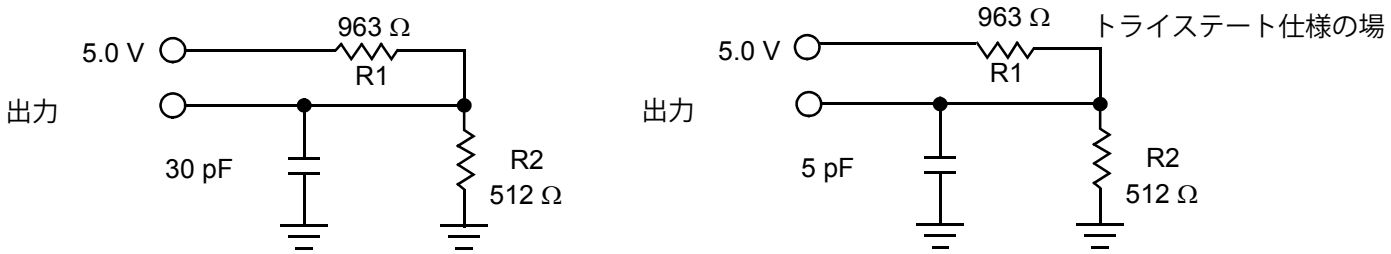
注
5. V_{CAP} ピン (V_{VCAP}) の最大電圧は、V_{CAP} コンデンサを選択する際に指針として提供されます。動作温度範囲にわたる V_{CAP} コンデンサの定格電圧は、V_{VCAP} 電圧よりも高くなければなりません。
6. これらのパラメータは設計保証であり、テストは行われていません。

AC テストの負荷と波形

3V (CY14MB064Q1B/CY14MB064Q2B) の場合： **図 23. AC テストの負荷と波形**



5V (CY14ME064Q1B/CY14ME064Q2B) の場合：



AC テスト条件

入力パルスレベル..... 0V～3V
入力立ち上がり/立ち下がり時間(10%～90%)..... < 3ns
入力と出力のタイミング参照レベル..... 1.5V

AC スイッチング特性

動作範囲以上

記号 [7]		説明	40MHz		単位
サイプレス パラメタ号	代替 パラメータ		最小値	最大値	
f_{SCK}	f_{SCK}	クロック周波数、SCK	–	40	MHz
t_{CL}[8]	t_{WL}	クロックパルス幅 LOW	11	–	ns
t_{CH}[8]	t_{WH}	クロックパルス幅 HIGH	11	–	ns
t_{CS}	t_{CE}	$\overline{CS}$ HIGH 時間	20	–	ns
t_{CSS}	t_{CES}	$\overline{CS}$ セットアップ時間	10	–	ns
t_{CSH}	t_{CEH}	$\overline{CS}$ ホールド時間	10	–	ns
t_{SD}	t_{SU}	データ入力セットアップ時間	5	–	ns
t_{HD}	t_H	データ入力ホールド時間	5	–	ns
t_{HH}	t_{HD}	$\overline{HOLD}$ ホールド時間	5	–	ns
t_{SH}	t_{CD}	$\overline{HOLD}$ セットアップ時間	5	–	ns
t_{CO}	t_V	出力有効	–	9	ns
t_{HHZ}[8]	t_{HZ}	$\overline{HOLD}$ から出力 HIGH Z までの時間	–	15	ns
t_{HLZ}[8]	t_{LZ}	$\overline{HOLD}$ から出力 LOW Z までの時間	–	15	ns
t_{OH}	t_{HO}	出力ホールド時間	0	–	ns
t_{HZCS}[8]	t_{DIS}	出力無効時間	–	20	ns

スイッチング波形

図 24. 同期データタイミング (モード 0)

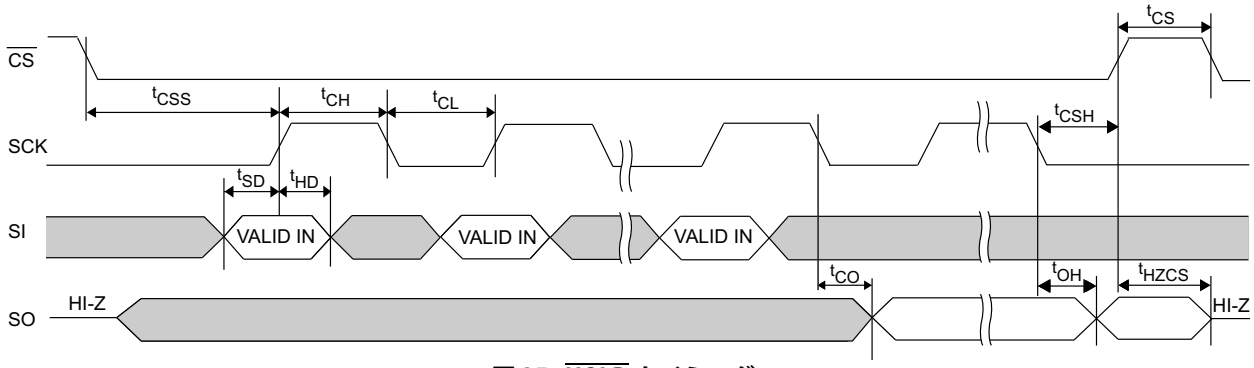
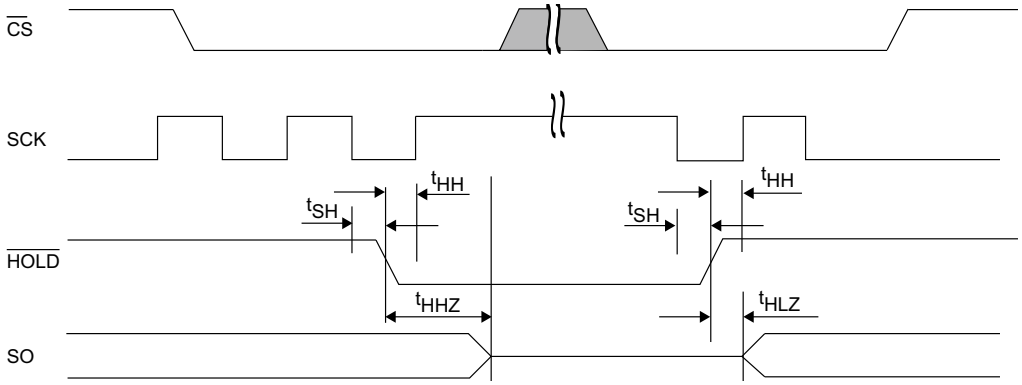


図 25. $\overline{HOLD}$ タイミング



注
7. テスト条件は、3 ns 以下の信号遷移時間、V_{CC} /2 のタイミング参照レベル、$V_{CC(typ)}$ への 0 の入力パルス レベル、指定された I_{OL} /I_{OH} の出力負荷、図 23 に示されている負荷容量を想定しています。
8. これらのパラメータは設計保証であり、テストは行われていません。

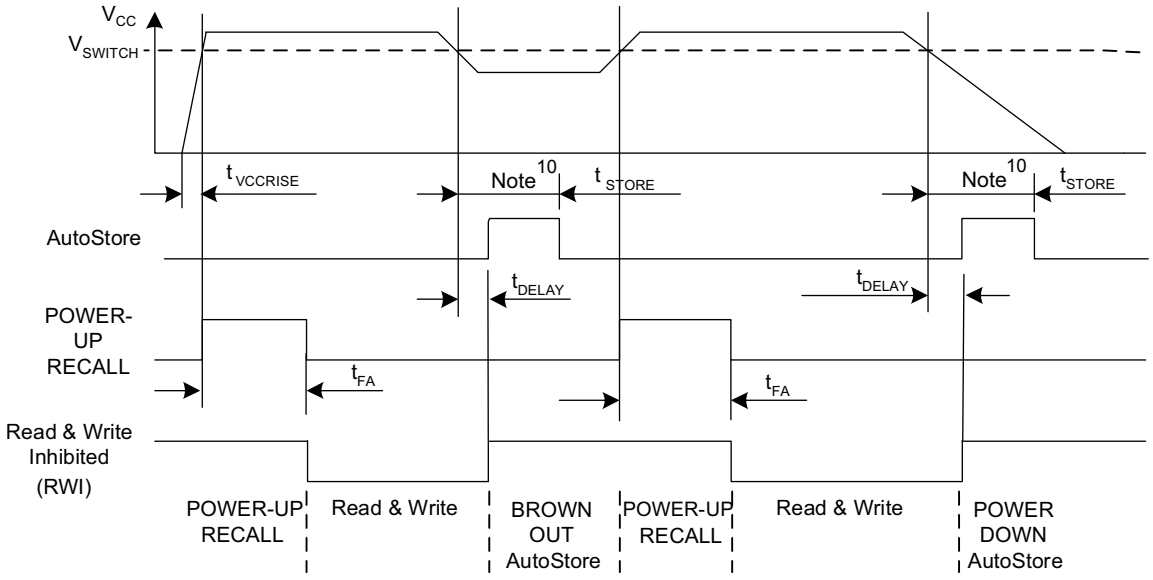
AutoStore またはパワーアップ RECALL

動作範囲に渡って

パラメータ	説明		CY14MX064Q		単位
			最小値	最大値	
t_{FA} [9]	電源オン RECALL 期間		–	20	ms
t_{STORE} [10]	STORE サイクル期間		–	8	ms
t_{DELAY} [11、12]	SRAM 書き込みサイクルを完了するのに許容される時間		–	25	ns
V_{SWITCH}	低電圧トリガレベル	CY14MB064Q	–	2.65	V
		CY14ME064Q	–	4.40	V
$t_{VCCRISE}$ [12]	V_{CC} 立ち上がり時間		150	–	ms
t_{WAKE}	SLEEP モードから nvSRAM が起動するまでの時間		–	20	ms
t_{SLEEP}	SLEEP 命令が発行されてからスリープモードに入るまでの時間		–	8	ms
t_{SB} [12]	$\overline{CS}$ が HIGH になってからスタンバイモードに入るまでの時間		–	100	µs

スイッチング波形

図 26. AutoStore またはパワーアップ時の RECALL [13]



注
9. t_{FA} は、V_{CC} が V_{SWITCH} を越えた時から始まります。
10. SRAM の書き込みが最後の不揮発性メモリサイクル以降に行われていない場合は、AutoStore は行われません。
11. ソフトウェア STORE/RECALL で、AutoStore 有効 / 無効、AutoStore の開始、および SRAM 動作は、t_{DELAY} の間継続できます。
12. これらのパラメータは設計保証であり、テストは行われていません。
13. 読み取りおよび書き込みサイクルは、STORE、RECALL、V_{CC} が V_{SWITCH} 未満である場合は無視されます。

ソフトウェア制御 STORE および RECALL サイクル

動作範囲以上

パラメータ	説明	CY14MX064Q		単位
		最小値	最大値	
t_{RECALL}	RECALL 期間	–	600	ms
t_{SS} [14, 15]	ソフト シーケンス処理時間	–	500	ms

スイッチング波形

図 27. ソフトウェア STORE サイクル [15]

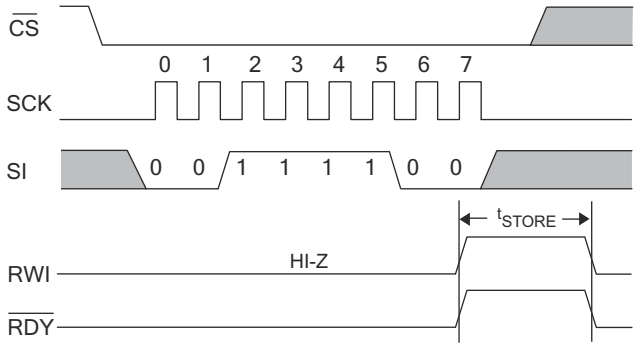


図 28. ソフトウェア RECALL サイクル [15]

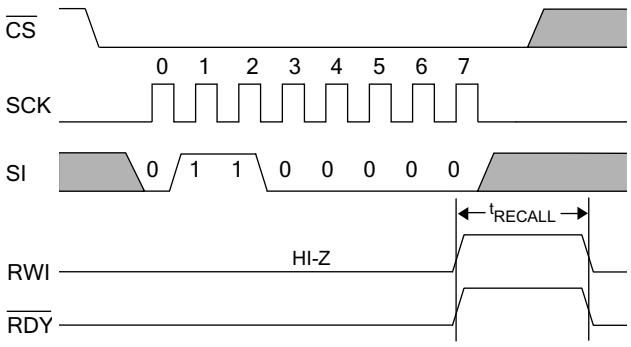


図 29. AutoStore 有効サイクル

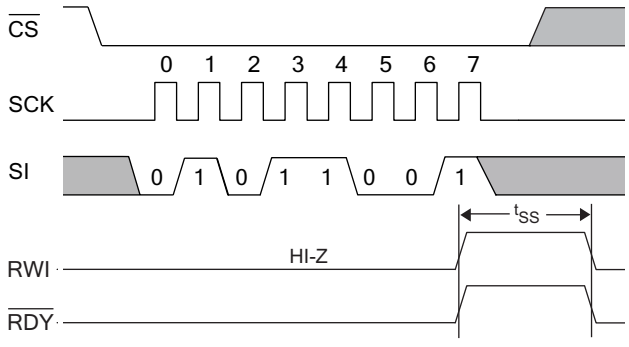
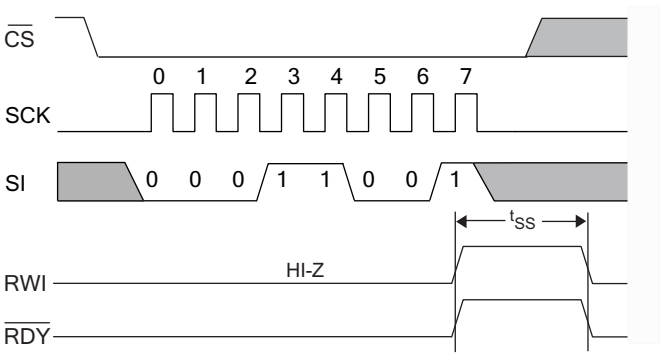


図 30. AutoStore 無効サイクル



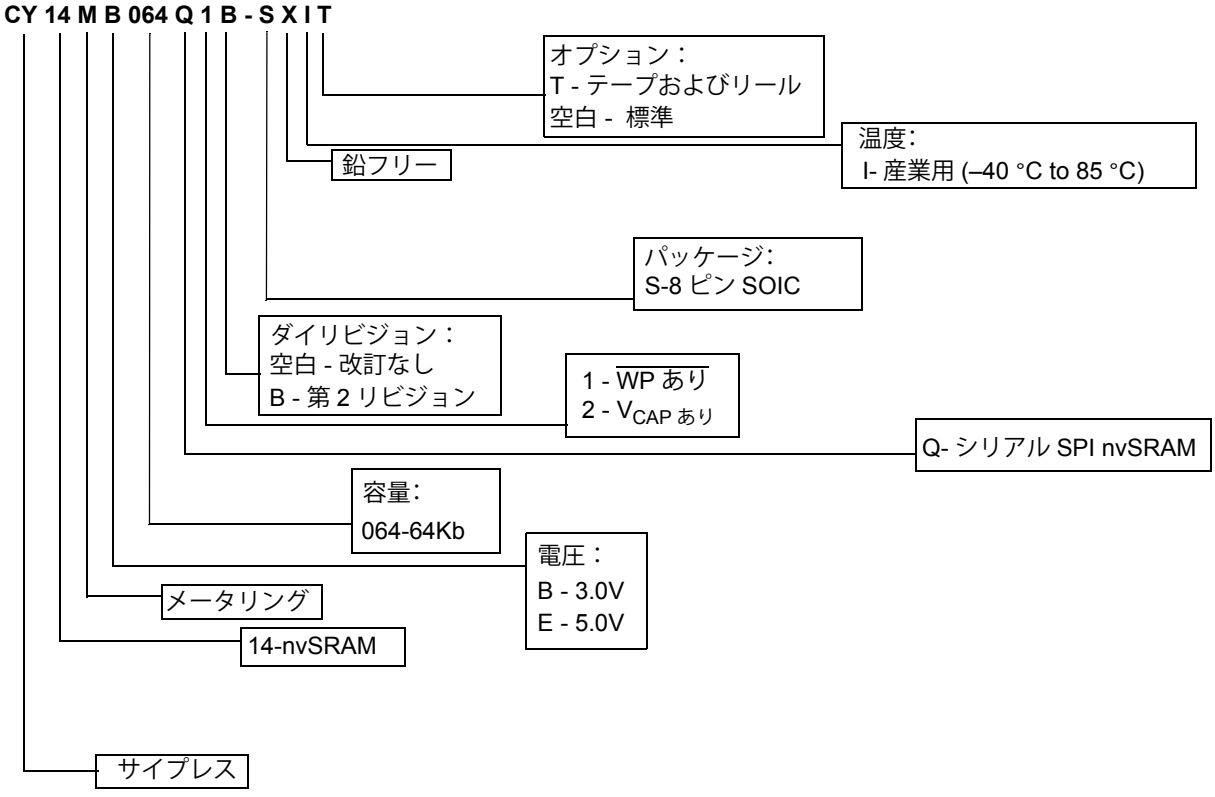
注
14. これは、ソフトシーケンス コマンドでの処理にかかる時間です。効果的にコマンドを登録するには、V CC 電圧は HIGH でなければなりません。
15. STORE や RECALL といったコマンドは、その処理完了まで I/O をロックアウトします。これが更にこの時間を増加させます。詳しくは個々のコマンドを参照してください。

注文情報

注文コード	パッケージ図	パッケージ タイプ	動作範囲
CY14MB064Q1B-SXI	51-85066	8 ピン SOIC($\overline{WP}$ あり)	工業用
CY14MB064Q1B-SXIT		8 ピン SOIC($\overline{WP}$ あり)	
CY14ME064Q2B-SXI		8 ピン SOIC(V_{CAP} あり)	
CY14ME064Q2B-SXIT		8 ピン SOIC(V_{CAP} あり)	

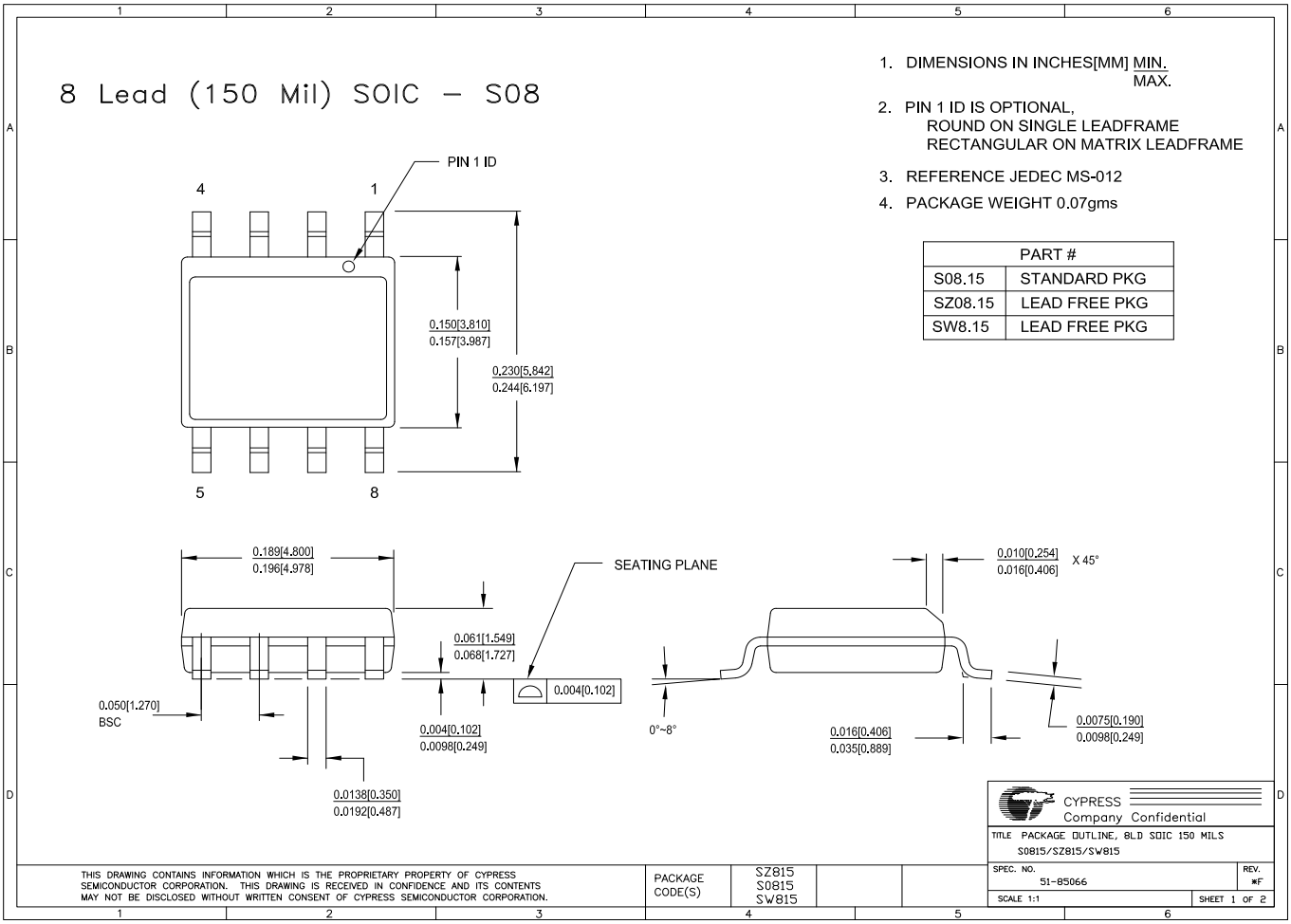
上記の部品は鉛フリーです。この表には最終的な情報が含まれています。これらの部品の在庫状況については、最寄りのサイプレスの販売代理店にお問い合わせください。

注文コードの定義



外形図

図 31. 8 ピン SOIC(150 ミル) パッケージの外形図、51-85066



略語

略語	説明
CPHA	クロック位相
CPOL	クロック極性
CMOS	相補性金属酸化膜半導体
CRC	cyclic redundancy check（巡回冗長検査）
EEPROM	電気的消去書き込み可能な読み出し専用メモリ
EIA	electronic industries alliance、米国電子工業会
I/O	入出力
JEDEC	半導体技術協会（旧電子機器技術評議会）
LSB	最下位ビット
MSB	最上位ビット
nvSRAM	不揮発性スタティック ランダム アクセス メモリ（SRAM）
RWI	読み取りおよび書き込み禁止
RoHS	特定有害物質使用制限指令
SNL	シリアル番号ロック
SPI	シリアル ペリフェラル デバイス インタフェース
SONOS	シリコン？酸化物？窒化物？酸化物半導体
SOIC	小型外形集積回路
SRAM	スタティック ランダム アクセス メモリ（SRAM）

本書の表記法

測定単位

記号	測定単位
°C	摂氏温度
Hz	ヘルツ
kHz	キロヘルツ
kΩ	キロオーム
MHz	メガヘルツ
µA	マイクロアンペア
mA	ミリアンペア
µF	マイクロファラッド
µs	マイクロ秒
ms	ミリ秒
ns	ナノ秒
Ω	オーム
%	パーセント
pF	ピコファラッド
V	ボルト
W	ワット

改訂履歴

ドキュメントのタイトル：CY14MB064Q1B/CY14MB064Q2B, CY14ME064Q1B/CY14ME064Q2B, 64-Kbit (8 K × 8) SPI nvSRAM 文書番号 : 001-87110				
リビジョン	ECN No.	変更起案者	提出日	変更内容
**	3964051	HZEN	4/12/2013	これは英語版 001-70382 Rev *G を翻訳した日本語版 Rev. ** です

セールス、ソリューション、および法律情報

ワールドワイドな販売と設計サポート

サイプレスは、事業所、ソリューション センター、メーカー代理店、および販売代理店の世界的なネットワークを保持しています。お客様の最寄りのオフィスについては、サイプレスのロケーションページをご覧ください。

製品

自動車	cypress.com/go/automotive
クロック & バッファ	cypress.com/go/clocks
インタフェース	cypress.com/go/interface
証明 & 電源制御	cypress.com/go/powerpsoc cypress.com/go/plc
メモリ	cypress.com/go/memory
光学 & 画像 センサ	cypress.com/go/image
PSoC	cypress.com/go/psoc
タッチセンサ	cypress.com/go/touch
USB コントローラ	cypress.com/go/USB
ワイヤレス/RF	cypress.com/go/wireless

PSoC Solutions

psoc.cypress.com/solutions

PSoC 1 | PSoC 3 | PSoC 5

Copyright © 2013 Cypress Semiconductor Corporation　本文書に記載される情報は、予告なく変更される場合があります。Cypress Semiconductor Corporation は、サイプレス製品に組み込まれた回路以外のいかなる回路を使用することに対しても一切の責任を負いません。特許又はその他の権限下で、ライセンスを譲渡又は暗示することもありません。サイプレス製品は、サイプレスとの書面による合意に基づくものでない限り、医療、生命維持、救命、重要な管理、又は安全の用途のために使用することを保証するものではなく、また使用することを意図したものでもありません。さらにサイプレスは、誤動作や故障によって使用者に重大な傷害をもたらすことを合理的に予想される、生命維持システムの重要なコンポーネンツとしてサイプレス製品を使用することを許可していません。生命維持システムの用途にサイプレス製品を提供することは、製造者がそのような使用におけるあらゆるリスクを負うことを意味し、その結果サイプレスはあらゆる責任を免除されることを意味します。

PSoC Designer™ 及び Programmable System-on-Chip™ は、Cypress Semiconductor Corp. の商標、PSoC® は同社の登録商標です。本文書で言及するその他全ての商標又は登録商標は各社の所有物です。

全てのソースコード (ソフトウェア及び / 又はファームウェア) は Cypress Semiconductor Corporation (以下「サイプレス」) が所有し、全世界 (米国及びその他の国) の特許権保護、米国の著作権法並びに国際協定の条項により保護され、かつそれらに従います。サイプレスが本書面によるライセンシーに付与するライセンスは、個人的、非独占的かつ譲渡不能のライセンスであって、適用される契約で指定されたサイプレスの集積回路と併用されるライセンシーの製品のみをサポートするカスタムソフトウェア及び / 又はカスタムファームウェアを作成する目的に限って、サイプレスのソースコードの派生著作物を複製、使用、変更、そして作成するためのライセンス、並びにサイプレスのソースコード及び派生著作物をコンパイルするためのライセンスです。上記で指定された場合を除き、サイプレスの書面による明示的な許可なくして本ソースコードを複製、変更、変換、コンパイル、又は表示することは全て禁止されます。

免責条項：サイプレスは、明示的又は黙示的を問わず、本資料に関するいかなる種類の保証も行いません。これには、商品性又は特定目的への適合性の黙示的な保証が含まれますが、これに限定されません。サイプレスは、本文書に記載される資料に対して今後予告なく変更を加える権利を留保します。サイプレスは、本文書に記載されるいかなる製品又は回路を適用又は使用したことによって生ずるいかなる責任も負いません。サイプレスは、誤動作や故障によって使用者に重大な傷害をもたらすことが合理的に予想される生命維持システムの重要なコンポーネンツとしてサイプレス製品を使用することを許可していません。生命維持システムの用途にサイプレス製品を提供することは、製造者がそのような使用におけるあらゆるリスクを負うことを意味し、その結果サイプレスはあらゆる責任を免除されることを意味します。

ソフトウェアの使用は、適用されるサイプレスソフトウェアライセンス契約によって制限され、かつ制約される場合があります。

本書で言及するすべての製品名および会社名は、それぞれの所有者の商標である場合があります。