CY14MB064Q1B/CY14MB064Q2B
CY14ME064Q1B/CY14ME064Q2B

64-Kbit (8 K × 8) SPI nvSRAM

特性

■ 64 Kbit 非易失性静态随机存取存储器 (nvSRAM) 内部采取 8 K × 8 的组织方式
- ❒ 在断电时自动触发存储至 QuantumTrap 非易失性原件（自动存储）或通过使用 SPI 指令触发存储至 QuantumTrap 非易失性原件 （软件存储）
- ❒ 在加电时触发回读至 SRAM（加电回读）或通过 SPI 指令触发回读至 SRAM （软件回读）
- ❒ 支持通过小型电容在断电时自动存储数据（CY14MX064Q1B 除外）

■ 可靠性高
- ❒ 无限次读、写和回读循环
- ❒ 一百万次 QuantumTrap 存储循环
- ❒ 数据保留时间：20 年 (85°C)

■ 高速串行外设接口 (SPI)
- ❒ 40 MHz 时钟频率 SPI 读写，循环延迟为零
- ❒ 支持 SPI 模式 0 (0,0) 和模式 3 (1,1)

■ 对特殊功能的 SPI 访问
- ❒ 非易失性存储 / 回读
- ❒ 8 字节序列号
- ❒ 制造商 ID 和产品 ID
- ❒ 睡眠模式

■ 写保护
- ❒ 使用写保护 ($\overline{WP}$) 引脚提供硬件保护
- ❒ 使用写禁用指令提供软件保护
- ❒ 可为 1/4、 1/2 或整个阵列提供软件模块保护

■ 低功耗
- ❒ 频率为 40 MHz 时，平均有功电流为 3 mA
- ❒ 待机模式下的平均电流为 120 μA
- ❒ 睡眠模式电流为 8 μA

■ 行业标准配置
- ❒ 工作电压：
  - CY14MB064Q1B/CY14MB064Q2B: V_{CC} = 2.7 V 至 3.6 V
  - CY14ME064Q1B/CY14ME064Q2B: V_{CC} = 4.5 V 至 5.5 V
- ❒ 工业级温度
- ❒ 8 引脚小外形集成电路 (SOIC) 封装
- ❒ 无铅并符合有害物质限制 (RoHS)

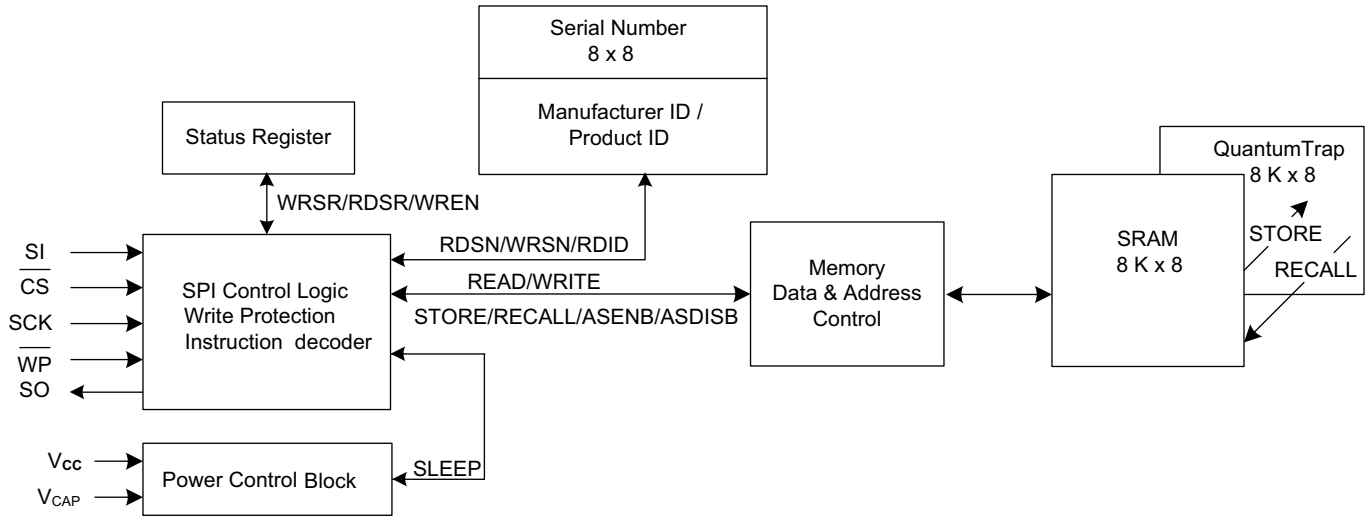
功能概述

赛普拉斯 CY14MX064Q 将每个存储器单元中带有非易失性元件的 64 Kbit nvSRAM 与串行 SPI 接口结合在一起。该存储器采用“8K 字，每字 8 位”的组织方式。嵌入式非易失性元件通过采用 QuantumTrap 技术，打造出了世界上最可靠的非易失性存储器。SRAM 能够实现无限次读写循环，而量子井单元则能够提供高度可靠的非易失性数据存储空间。断电时，数据将会自动从 SRAM 转移到非易失性元件中 （“ 存储 ” 操作）（CY14MX064Q1B 除外）。加电时，数据会从非易失性存储器回读到 SRAM （“ 回读 ” 操作）。也可通过 SPI 指令触发 “ 存储 ” 和 “ 回读 ” 操作。

配置

特性	CY14MX064Q1B	CY14MX064Q2B
自动存储	无	是
软件存储	是	是

逻辑框图



目录

引脚分布 **3**
引脚定义 **3**
组件操作 **4**
SRAM 写入 4
SRAM 读取 4
存储操作 4
自动存储操作 4
软件存储操作 5
回读操作 5
硬件回读 （加电） 5
软件回读 5
禁用和启用自动存储 5
串行外设接口 **6**
SPI 概述 6
SPI 模式 7
SPI 操作功能 **8**
加电 8
断电 8
有功功率模式和待机功率模式 8
SPI 功能说明 **9**
状态寄存器 **10**
读取状态寄存器 (RDSR) 指令 10
写入状态寄存器 (WRSR) 指令 10
写入保护和模块保护 **11**
写入启用 (WREN) 指令 11
写入禁用 (WRDI) 指令 11
模块保护 12
硬件写入保护 (WP) 12
存储器访问 **12**
读取序列 (READ) 指令 12
写入序列 (WRITE) 指令 12
nvSRAM 特殊指令 **14**
软件存储 (STORE) 指令 14
软件回读 (RECALL) 指令 14
自动存储启用 (ASENB) 指令 14
自动存储禁用 (ASDISB) 指令 15
特殊指令 **15**
睡眠指令 15
序列号 **15**
WRSN （序列号写入）指令 15
RDSN （序列号读取）指令 16
组件 ID **16**
RDID （组件 ID 读取）指令 17
保持引脚操作 17
最大额定值 **18**
工作范围 **18**
直流电气特性 **18**
数据保留与耐久性 **19**
电容 **19**
热电阻 **19**
交流测试负载和波形 **20**
交流测试条件 **20**
交流开关特性 **21**
开关波形 **21**
自动存储或加电回读 **22**
软件控制的存储及回读循环 **23**
开关波形 **23**
订购信息 **24**
订购代码定义 24
封装图 **25**
缩略语 **26**
文档规范 **26**
测量单位 26
文档修订记录页 **27**
销售、解决方案和法律信息 **28**
全球销售和设计支持 28
产品 28
PSoC 解决方案 28

引脚分布

图 1. 8 引脚 SOIC 的引脚分布 [1, 2]



引脚定义

引脚名称 [1, 2]	I/O 类型	说明
$\overline{CS}$	输入	**芯片选择**。当置于低电平状态时，激活该组件。驱动该引脚至高电平可以将组件置于低功耗待机模式。
SCK	输入	**串行时钟**。以 f_{SCK} 的最大速度运行。串行输入被锁存在本时钟的上升沿。串行输出被锁存在本时钟的下降沿。
SI	输入	**串行输入**。用于输入所有 SPI 指令和数据的引脚。
SO	输出	**串行输出**。用于通过 SPI 输出数据的引脚。
$\overline{WP}$	输入	**写入保护**。在 SPI 中实现硬件写入保护。
$\overline{HOLD}$	输入	**$\overline{HOLD}$ 引脚**。暂停串行操作。
V_{CAP}	电源	**自动存储电容**。在将数据从 SRAM 存储到非易失性元件的过程中断电时为 nvSRAM 提供电源。如果不需要自动存储，则必须将该引脚置于 “ 无连接 ” 状态。该引脚绝对不可以接地。
NC	无连接	**无连接**：该引脚未连接到 die。
V_{SS}	电源	**接地**
V_{CC}	电源	**电源**

注
1. CY14MX064Q1B 部件不包括 V_{CAP} 引脚并且不支持自动存储。
2. CY14MX064Q2B 部件不包括 $\overline{WP}$ 引脚。

组件运行

CY14MX064Q 是 64 Kbit 串行 (SPI) nvSRAM 存储器，每个存储器单元中都有一个非易失性元件。对 nvSRAM 的所有读取和写入操作都发生在 SRAM 上，它为 nvSRAM 提供独一无二的处理无限次存储器写入操作的能力。 SRAM 中的数据由存储序列保护，该序列将数据并行传输到非易失性 QuantumTrap 单元中。小电容 (V_{CAP}) 用于在断电时将 SRAM 数据自动存储到非易失性单元中，从而在断电时保障数据安全。通过可靠的 SONOS 技术制造的 QuantumTrap 非易失性元件使 nvSRAM 成为保护数据存储安全的最理想选择。

该 64 Kbit 存储器阵列采取 8K 字 × 8 位的组织形式。该存储器可以通过标准 SPI 接口访问，该接口可以实现高达 40 MHz 的高时钟速度，且具有零循环延迟的读取和写入循环。该组件支持 SPI 模式 0 和 3 （CPOL， CPHA = 0， 0 和 1， 1），并且可以作为 SPI 从组件工作。组件使用芯片选择 ($\overline{CS}$) 引脚启用，通过串行输入 (SI)、串行输出 (SO) 和串行时钟 (SCK) 引脚访问。

该组件分别通过 $\overline{WP}$ 引脚和 WRDI 指令提供硬件和软件写入保护功能，并使用状态寄存器中的 BP0 和 BP1 引脚实现模块写入保护机制的（1/4、1/2 或全阵列）。而且，$\overline{HOLD}$ 引脚可用于在未复位串行序列的情况下暂停任何串行通信。

CY14MX064Q 使用标准 SPI 操作码进行存储器访问。除了用于读取和写入的通用 SPI 指令，它还提供四个特别指令，这四个特别指令可以使用四个 nvSRAM 特殊功能： 存储、回读、自动存储禁用 (ASDISB) 和自动存储启用 (ASENB)。

nvSRAM 与串行 EEPROM 相比的主要优点是对 nvSRAM 的所有读和写操作都以 SPI 总线的速度执行，且循环延迟为零。因此，在任何存储器访问之后不需要等待时间。存储和回读操作需要有限时间来完成，在此期间将禁止所有存储器访问。当存储或回读操作进行时，组件的繁忙状态将由状态寄存器的 RDY 位进行指示。

可对该组件设置三种不同的引脚配置，这些引脚配置可以让您选择最适合应用的部件。

特性汇总在 表 1 中给出。

表 1. 特性汇总

特性	CY14MX064Q1B	CY14MX064Q2B
WP	是	无
V_{CAP}	无	是
自动存储	无	是
加电回读	是	是
软件存储	是	是

SRAM 写入

对 nvSRAM 的所有写操作都在 SRAM 上执行，不会用完非易失性存储器的任何耐久性循环。这允许您执行无限次的写入操作。通过 WRITE 指令执行写入循环。 WRITE 指令通过 nvSRAM 的 SI 引脚发出，由 WRITE 操作码、两个字节的地址和一个字节的数据组成。对 nvSRAM 的写操作以 SPI 总线速度完成，并且循环延迟为零。

该组件可以通过 SPI 执行突发模式写操作。这可以在不发出新的 WRITE 指令的情况下在连续的地址上启用写操作。当存储器中的最后一个地址在突发模式被锁存时，地址翻转为 0x0000，该组件继续写入。

在 SPI 协议说明的 “ 存储器访问 ” 一节中对 SPI 写入循环序列进行了明确的定义。

SRAM 读取

读取循环以 SPI 总线速度执行。在执行 READ 指令之后，可在零循环延迟的情况下读出数据。READ 指令通过 nvSRAM 的 SI 引脚发出，由 READ 操作码和两个字节的地址组成。该数据在 SO 引脚上读出。

该组件可以通过 SPI 执行突发模式读操作。这可以在不发出新的 READ 指令的情况下在连续的地址上启用写操作。当存储器中的最后一个地址在突发模式读取中被锁存时，地址翻转为 0x0000，该组件继续读取。

在 SPI 协议说明的 “ 存储器访问 ” 一节中对 SPI 读取循环序列进行了明确的定义。

存储操作

存储操作将 SRAM 中的数据传输到非易失性 QuantumTrap 单元。该组件使用两个存储操作之一将数据存储到非易失性单元：自动存储，组件断电时激活；软件存储，通过存储指令激活。在存储循环期间，首先擦除上一个非易失性数据，接下来执行非易失性元件程序。启动存储循环后，将禁止对 nvSRAM 进行 CY14MX064Q

系统可以监控状态寄存器中的 $\overline{RDY}$ 位以检测存储或软件回读循环是否在进行中。nvSRAM 的繁忙状态由被设置为 “1” 的 RDY 位进行指示。为了避免不必要的非易失性存储，除非在最近的存储或回读循环之后发生了至少一次写入操作，否则不会发生自动存储操作。但是，无论是否发生写操作，都会执行软件触发的存储循环。

自动存储操作

自动存储操作是 nvSRAM 的独有特性，可在断电期间自动将 SRAM 数据存储到 QuantumTrap 单元中。该存储利用外部电容 (V_{CAP})，在断电时，让组件可以安全地将数据存储到非易失性存储器中。

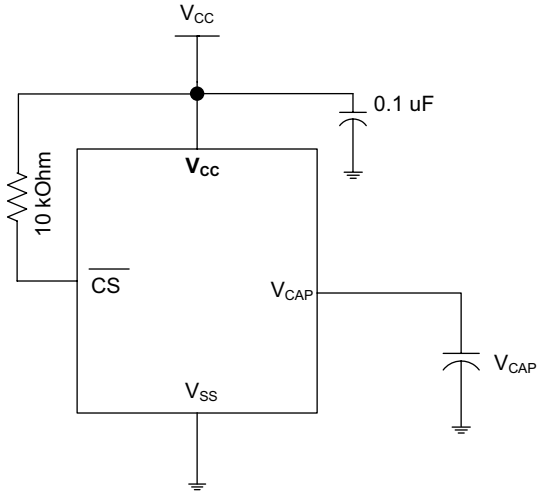
在正常工作时，组件将 V_{CC} 中得到电流用于与 V_{CAP} 引脚连接的电容充电。在断电期间，当 V_{CC} 引脚上的电压降至 V_{SWITCH} 以

注意：如果电容未连接至 V_{CAP} 引脚，则必须通过发出自动存储禁用指令 (第 15 页上的自动存储禁用 (ASDISB) 指令) 对自动存储进行禁用。如果在没有 V_{CAP} 引脚上的电容的情况下启用自动存储，则组件将在没有足够电荷的情况下尝试自动存储操作以完成存储。这将破坏存储在 nvSRAM、状态寄存器和序列号中的数据，并将锁定 SNL 位。若要恢复正常功能，必须发出 WRSR 指令以更新状态寄存器中的非易失性位 BP0、 BP1 和 WPEN。

图 2 显示自动存储操作之存储电容 (V_{CAP}) 的正确连接。请参考第 18 页上的直流电气特性了解 V_{CAP} 的大小。

注意：CY14MX064Q1B 不支持自动存储操作。您必须使用 SPI 存储指令执行软件存储操作以保证数据的安全。

图 2. 自动存储模式



软件存储操作

软件存储可让用户通过特殊 SPI 指令触发存储操作。通过执行存储指令启动存储操作，而不管在上一次 NV 操作之后是否已执行了写操作。

存储循环需要 t_{STORE} 的时间才能完成，在此期间，所有对 nvSRAM 的存储器访问都被禁止。可以轮询状态寄存器的 RDY 位以查找 nvSRAM 的就绪或繁忙状态。完成 t_{STORE} 循环时间后， SRAM 再次被激活以进行读和写操作。

回读操作

回读操作将存储在非易失性 QuantumTrap 元件中存储的数据传输到 SRAM。回读可通过两种方式启动：硬件回读，在加电时启动；软件回读，通过 SPI 回读指令启动。

在内部，回读是两步程序。首先，清除 SRAM 数据。然后，将非易失性信息传输到 SRAM 单元。在进行回读循环时，所有存储器访问都将被禁止。回读操作不会更改非易失性元件中数据。

硬件回读 （加电）

加电期间，当 V_{CC} 超过 V_{SWITCH} 时，将启动自动回读序列，将非易失性存储器的内容传输到 SRAM。数据之前已通过存储序列存储在非易失性存储器中。

加电回读循环需要 t_{FA} 的时间才能完成，在此期间，存储器访问将被禁用。

软件回读

软件回读可让您启动回读操作以将非易失性存储器上的内容重新存储到 SRAM 上。使用 SPI 回读指令触发软件回读。

软件回读需要 t_{RECALL} 时间才能完成，在此期间，对 nvSRAM 的所有存储器访问都被禁止。控制器必须在发出任何存储器访问指令之前提供完成回读操作所需的足够延迟。

禁用和启用自动存储

如果应用不需要自动存储功能，可通过 ASDISB 指令禁用该功能。这样做之后， nvSRAM 在断电时将不会执行存储操作。

使用 ASENB 指令可以重新启用自动存储。但是，这些操作不是非易失性操作。如果您需要该设置来保持电源循环，则必须在自动存储禁用或启用操作之后执行存储操作。

注意: CY14MX064Q2B 出厂时即启用了自动存储，CY14MX064Q1B/CY14MX064Q2B 在所有单元中都写入了 0x00。在 CY14MX064Q1B 中，不存在 V_{CAP} 引脚，并且没有自动存储选项。

注意: 如果禁用自动存储，且不需要 V_{CAP}，则必须让 V_{CAP} 引脚保持开路状态。 V_{CAP} 引脚绝对不可以接地。在任何情况下都不能禁用加电回读操作。

串行外设接口

SPI 概述

SPI 是带有芯片选择 (CS)、串行输入 (SI)、串行输出 (SO) 和串行时钟 (SCK) 引脚的四引脚接口，CY14MX064Q 并通过 SPI 接口提供对 nvSRAM 的串行访问。CY14MX064Q 上的 SPI 总线最高以 40 MHz 的频率运行。

SPI 是同步的串行接口，使用时钟和数据引脚进行存储器访问并支持数据总线上的多个组件。使用 CS 引脚可激活 SPI 总线上的组件。

芯片选择、时钟和数据之间的关系是由 SPI 模式决定的。该组件支持 SPI 模式 0 和 3。在两种模式下，数据都将在 SCK 上升沿时钟脉冲打入 nvSRAM （从 CS 变为有效之后的第一个上升沿）。

SPI 协议由操作码控制。这些操作码规定了从总线主控到从组件的所有命令。激活 CS 后，总线主控传输的第一个字节便是操作码。在操作码之后，可以传输地址和数据。在操作完成之后以及新操作码发出之前， CS 必须处于非活动状态。 SPI 协议中常用的术语如下：

SPI 主控

SPI 主控组件可控制 SPI 总线上的操作。SPI 总线可能只有一个主控，但该主控带有一个或多个从组件。所有从组件共享相同的 SPI 总线，而主控可通过 CS 引脚选择任一从组件。必须通过将从组件的 CS 引脚拨至 LOW 从而由主控激活从组件，进而启动所有操作。此外，主控也会产生 SCK，并且 SI 和 SO 线上的所有数据传输都将与该时钟同步。

SPI 从组件

SPI 从组件由主控通过 “ 芯片选择 ” 线激活。从组件使用 SCK 作为 SPI 主控的输入数据，且所有通信都将与本时钟同步。SPI 从组件绝不会在 SPI 总线上启动通信，也不会执行来自主控的指令。

CY14MX064Q 充当 SPI 从组件运行，且可能会与其他 SPI 从组件共享该 SPI 总线。

芯片选择 (CS)

选择任一从组件时，主控均需断开相应的 CS 引脚。仅当 CS 引脚处于 LOW 状态时，才能向从组件发出指令。未选中该组件时，通过 SI 引脚的数据将被忽略，串行输出引脚 (SO) 则会保持高阻状态。

注意：新指令必须开始于 CS 的下降沿。因此，只能为每个活跃的芯片选择循环发出一个操作码。

串行时钟 (SCK)

串行时钟由 SPI 主控产生，且当 CS 变为 LOW 状态时，该通信将与时钟同步。

CY14MX064Q 启用 SPI 模式 0 和 3 以便进行数据通信。在这两种模式下，输入数据将由位于 SCK 上升沿的从组件锁定，而输出数据则将在其下降沿发出。因此， SCK 的第一个上升沿表示 SPI 指令的第一位 (MSB) 已到达 SI 引脚。此后，所有数据输入和输出均会与 SCK 同步。

数据传输 – SI/SO

SPI 数据总线由 SI 和 SO 线组成，它可用于串行数据通信。SI 也被称为主出从入 (Master Out Slave In, MOSI) 而 SO 则被称为主入从出 (Master In Slave Out, MISO)。主控通过 SI 引脚向从组件发出指令，同时从组件将通过 SO 引脚进行响应。如上所述，多个从组件可能会共享 SI 和 SO 线路。

CY14MX064Q 拥有针对 SI 和 SO 的两个独立引脚。这些引脚可按第 7 页上的图 3 所示与主控互联。

最高有效位 (Most Significant Bit, MSB)

SPI 协议要求传输的第一位为最高有效位。这也适用于地址和数据传输。

64-Kbit 串行 nvSRAM 需要 2 字节地址才能进行读取和写入操作。然而，由于地址只有 13 位，因而输入的头三位将被组件忽略。尽管这三位并不重要，但赛普拉斯仍建议将其视为 0，以便无缝切换至更高存储器密度。

串行操作码

若在 CS 处于 LOW 状态时选中从组件，接收的第一位将用作既定操作的操作码。 CY14MX064Q 使用标准操作码访问存储器。除访问存储器外，它还提供附加的操作码以实现特定于 nvSRAM 的功能：存储、回读、自动存储启用以及自动存储禁用。更多详情请参考第 9 页上的表 2

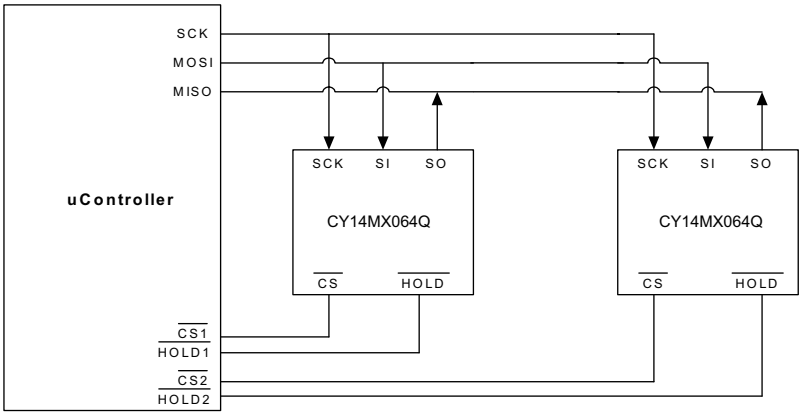
无效操作码

如果接收了无效操作码，则会忽略该操作码会被忽视且该组件会忽略 SI 引脚之上的任何其他串行数据，直至 CS 下一个下降沿且 SO 引脚保持三态。

Status Register （状态寄存器）

CY14MX064Q 拥有 8 位状态寄存器。状态寄存器中的位将用于配置 SPI 总线。第 10 页上的表 4 对这些位进行了说明。

图 3. 使用 SPI nvSRAM 时的系统配置



SPI 模式

CY14MX064Q 可由微控制器进行驱动，该控制器的 SPI 外围设备可运行于下列任一模式：

- SPI 模式 0 （CPOL = 0， CPHA = 0）
- SPI 模式 3 （CPOL = 1， CPHA = 1）

在这两种模式下，输入的数据都将锁存在 SCK 的上升沿，该上升沿源是自 CS 激活后的第一个上升沿。如果时钟由 HIGH 状态开始 （处于模式 3 时），则为时钟切换后的第一个上升沿。输出数据可在 SCK 下降沿上使用。

图 4和图 5分别描述了这两个 SPI 模式。当总线主控处于待机模式且未传输数据时，该时钟状态为：

- 在模式 0 下， SCK 保持为 0
- 在模式 3 下， SCK 保持为 1

无论是模式 0 还是 3，CPOL 和 CPHA 位都必须在 SPI 控制器内设置。当组件通过将 CS 引脚拨至 LOW 状态而被选中时，该组件将通过 SCK 引脚状态检测出 SPI 模式。若该组件选中时 SCK 引脚处于 LOW 状态，则会运行在 SPI 模式 0 下；如果 SCK 引脚处于 HIGH 状态，则运行于 SPI 模式 3。

图 4. SPI 模式 0

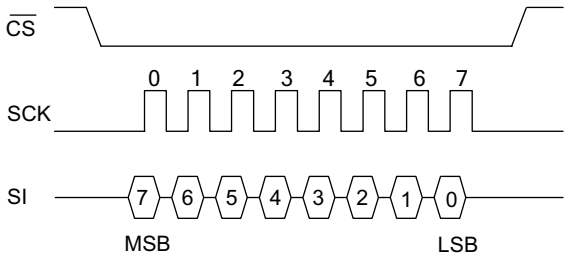
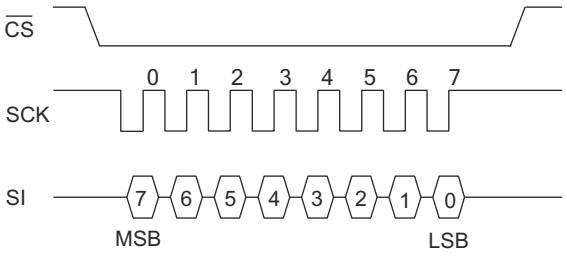


图 5. SPI 模式 3



SPI 操作功能

加电

当电源已打开且 V_{CC} 电压高于 V_{switch} 电压时，此时被称为 “ 加电 ”。

如上所述，在加电期间，nvSRAM 将为 t_{FA} 的持续运行进行加电回读操作。在此期间，将禁用所有存储器访问。

加电后的组件状态如下所述。

- 如果 $\overline{CS}$ 引脚处于 LOW 状态，则选中 （活跃功耗模式）
- 如果 $\overline{CS}$ 引脚处于 HIGH 状态，则取消选中 （待机功耗模式）
- “ 未输入保持 ” 条件
- “ 状态寄存器 ” 状态：
  - 写入启用 (WEN) 位被重置为 “0”。
  - 自上一存储操作后， WPEN、 BP1、 BP0 保持不变。

状态寄存器的 WPEN、 BP1 和 BP0 位均为非易失性位，且在上一存储操作后保持不变。

断电

当 V_{CC} 从正常工作电压降至 V_{SWITCH} 阈值电压以下，则该组件会停止对向其发送的指令进行响应，此时称为断电（V_{CC} 的连续衰变）状态。如果写入循环正在进行中且最后的数据位 D0 已在电源电压下降时被接收，则写入操作可在 t_{DELAY} 时间内完成写入。此后，所有存储器访问将被禁用并执行有条件的自动存储操作（若上次回读循环后未执行任何写入操作，则不会进行自动存储。）该功能可防止断电后向 nvSRAM 无意写入。

为彻底避免在断电期间无意写入，应保证组件未被选中且处于待机功耗模式，随后 $\overline{CS}$ 将采用 V_{CC} 的电压。

活跃功耗模式和待机功耗模式

当 $\overline{CS}$ 处于 LOW 状态时，将选中该组件并将其置于活跃功耗模式。该器材会消耗 I_{CC} 电流，如第 18 页上的直流电气特性所述。当 $\overline{CS}$ 的电平较高时，组件将处于未选择状态，且如果没有进行存储或者回读循环，则组件在 t_{SB} 时间 后将进入待机功耗模式。如果存储 / 回读循环正在进行，则组件将在存储或回读循环完成后进入待机功耗模式。在待机功耗模式中，由组件抽取的电流将下降至 I_{SB}。

SPI 功能描述

CY14MX064Q 使用一个 8 位的指令寄存器。表 2 列出了指令及其操作码。所有的指令、地址和数据都将首先传输 MSB，且从 $\overline{CS}$ 较高的电平向较低的电平过渡。共有 14 条 SPI 指令，提供对 nvSRAM 中大多数功能的访问。此外，$\overline{WP}$ 和 $\overline{HOLD}$ 引脚提供附加的通过硬件驱动的功能。

表 2. 指令集

指令类别	指令名称	操作码	操作
状态寄存器控制指令			
状态寄存器访问	RDSR	0000 0101	读取状态寄存器
	WRSR	0000 0001	写入状态寄存器
写入保护和模块保护	WREN	0000 0110	设置写入启用锁存
	WRDI	0000 0100	重置写入启用锁存
SRAM 读取 / 写入指令			
存储器访问	读取	0000 0011	从存储器阵列读取数据
	写入	0000 0010	将数据写入存储器阵列
特殊 NV 指令			
nvSRAM 特殊功能	存储	0011 1100	软件存储
	回读	0110 0000	软件回读
	ASENB	0101 1001	自动存储启用
	ASDISB	0001 1001	自动存储禁用
特殊指令			
睡眠 (Sleep)	SLEEP （睡眠）	1011 1001	睡眠模式启用
序列号	WRSN	1100 0010	写入序列号
	RDSN	1100 0011	读取序列号
组件 ID 读取	RDID	1001 1111	读取制造商 JEDEC 的 ID 和产品 ID
保留指令			
保留	- 保留 -	0001 1110	
		0000 1001	
		0000 1011	
		1100 1001	
		1001 1001	

SPI 指令在功能基础之上被分为以下几种类型：

- ❐ 状态寄存器控制指令：
  - 状态寄存器访问：RDSR 和 WRSE 指令
  - 写入保护和模块保护：WREN 和 WRDI 指令连同 $\overline{WP}$ 引脚和 WEN、 BP0 和 BP1 位。
- ❐ SRAM 读取 / 写入指令
  - 存储器访问：读取和写入指令
- ❐ 特殊 NV 指令
  - nvSRAM 特殊指令： STORE、 RECALL、 ASENB 和 ASDISB
- ❐ 特殊指令
  - SLEEP、 WRSN、 RDSN、 RDID

Status Register （状态寄存器）

表 3 列出了状态寄存器的位。状态寄存器由就绪位 (RDY) 和数据保护位 BP1、 BP0、 WEN 和 WPEN 等组成。可以在 nvSRAM 存储或软件回读循环进行的同时轮询 RDY 位以检查就绪或繁忙状态。状态寄存器可以通过 WRSR 指令进行修改，并通过 RDSR 指令进行读取。然而，只有状态寄存器的 WPEN、 BP1 和 BP0 位可以通过使用 WRSR 指令进行修改。 WRSR 指令对 WEN 和 RDY 位没有任何效果。出厂时设置的 WEN、 BP0、 BP1、位 4-5、 SNL 和 WPEN 的默认值是 “0”。

状态寄存器的 SNL （位 6）用于锁定使用 WRSN 指令写入的序列号。可用 WRSN 指令多次写入序列号，而该位依为 “0”。当该位设置为 “1” 时，会防止对序列号进行任何修改。该位在出厂时设置为 “0”，并且只能写入一次。当该位设置为 “1” 时，不能恢复到 “0”。

表 3. 状态寄存器格式

Bit 7 （位 7）	Bit 6 （位 6）	Bit 5 （位 5）	Bit 4 （位 4）	Bit 3 （位 3）	Bit 2 （位 2）	Bit 1 （位 1）	Bit 0 （位 0）
WPEN (0)	SNL (0)	X (0)	X (0)	BP1 (0)	BP0 (0)	WEN (0)	RDY

表 4. 状态寄存器位定义

位	定义	说明
位 0 (RDY)	就绪	只读位指示组件执行存储器访问的就绪状态。组件在存储或软件回读循环过程的同时将该位设置为 “1”。
位 1 (WEN)	写入使能	WEN 显示出是否组件写入已经启用。断电时，该位默认值为 “0” （禁用）。 WEN = '1' --> 写入启用 WEN = '0' --> 写入禁用
位 2 (BP0)	模块保护位 “0”	用于模块保护 有关详细信息，请参见第 12 页上的表 5。
位 3 (BP1)	模块保护位 “1”	用于模块保护 有关详细信息，请参见第 12 页上的表 5。
位 4-5	无需关注	这些位都是不可写的且读取时始终返回 “0”。
位 6 (SNL)	序列号锁定	为锁定序列号将其设置成 “1”。
位 7 (WPEN)	写入保护启用位	用于启用写入保护引脚 (WP) 的功能。有关详细信息，请参见第 12 页上的表 6。

读取状态寄存器 (RDSR) 指令

读取状态寄存器指令可提供对状态寄存器的访问。该指令用于检测组件的写入启用状态或组件的就绪状态。只要存储或软件回读循环在进行，组件就将 RDY 位设置为 1。模块保护和 WPEN 位指示保护所覆盖的范围。

该指令是使用 RDSR 操作码在 CS 的下降沿之后发出的。

写入状态寄存器 (WRSR) 指令

用户可通过 WRSR 指令对状态寄存器进行写入。然而，该指令不能用于修改位 0 (RDY)、位 1 (WEN) 和 位 4-5。 BP0 和 BP1 位可用于选择模块保护的四个级别中的一个。此外，必须将 WPEN 位设置成 “1” 以启用写入保护 (WP) 引脚。

WRSR 指令是写入指令，需要在发出之前通过 WREN 指令进行启用 （WEN 位设置成 “1”）。通过使用 WRSR 操作码在 CS 下降沿发出该指令，然后将数据的八位存储到状态寄存器中。WRSR 指令只可用于修改状态寄存器的位 2、位 3、位 6 和位 7。

注意：在 CY14MX064Q 中，写入状态寄存器的有效值都将在存储操作之后被保存至非易失性存储器。如自动存储禁用 （或同时使用 CY14MX064Q1B），则对状态寄存器的修改必须通过软件存储操作来保证。

注意：CY14MX064Q2B 并不具有 WP 引脚。对状态寄存器位 7 的修改不会影响 CY14MX064Q2B 的功能。

图 6. 读取状态寄存器 (RDSR) 指令时序

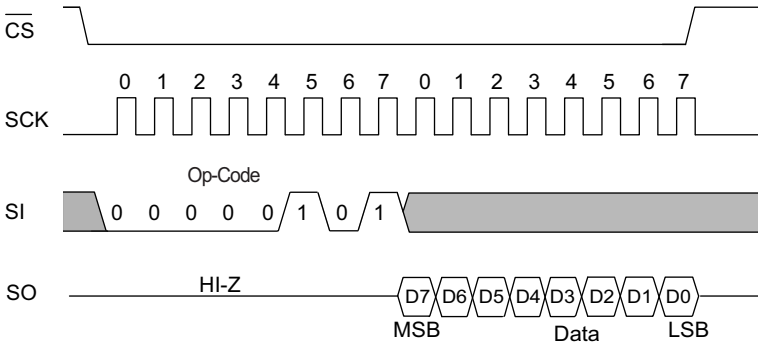
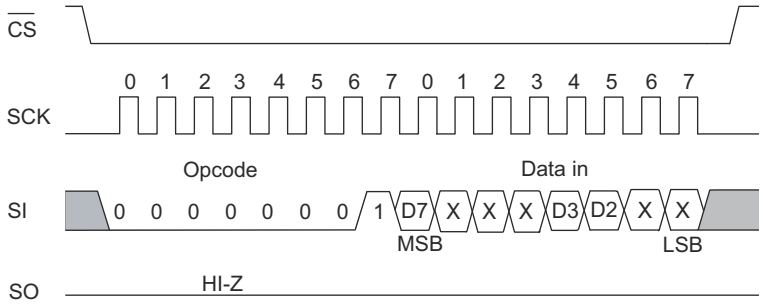


图 7. 写入状态寄存器 (WRSR) 指令时序



写入保护和模块保护

CY14MX064Q 通过 WRDI 指令和 $\overline{WP}$ 向软件和硬件提供写入保护。另外，该组件也通过状态寄存器的 BP0 和 BP1 引脚提供模块保护机制。

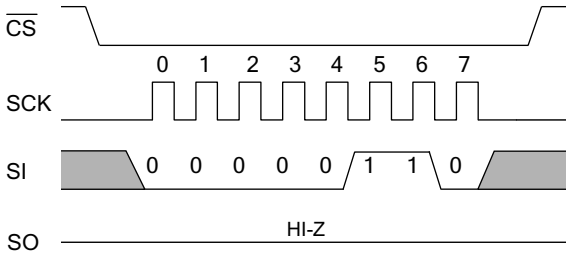
该组件的写入启用和禁用状态由状态寄存器的 WEN 位显示。写入指令 （WRSR、 WRITE 和 WRSN）以及 nvSRAM 特殊指令（STORE、 RECALL、 ASENB 和 ASDISB）都需要启用写入（WEN 位 =“1”）才能发出。

写入启用 (WREN) 指令

加电时，组件都会处于写入禁用状态。写入、WRSR、WRSN 或 nvSRAM 特殊指令都必须按照写入启用指令进行操作。如果组件不是处于写入启用状态 （WEN = “0”），则会忽视写入指令并在 $\overline{CS}$ 处于高电平状态时返回至待机状态。若要重新启动串行联系，则需要添加一个新的 CS 下降沿。该指令在 CS 下降沿之后发出。当使用该指令时，将状态寄存器的 WEN 位设置成 “1”。加电时， WEN 位的默认值为 “0”。

注意：在完成写入指令（WRSR、WRITE、WRSN）或 nvSRAM 特殊指令（STORE、RECALL、ASENB 和 ASDISB）之后，WEN 位将清除至 “0”。此操作是为了防止意外写入操作而提供保护。因此，需要在一个新的写入指令发出之前使用 WREN 指令。

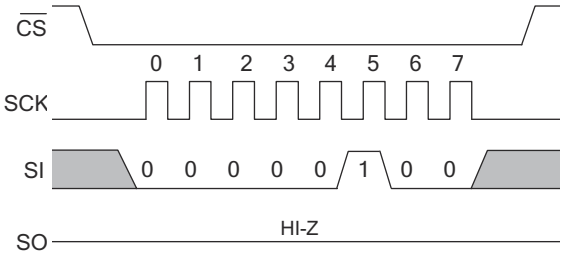
图 8. WREN 指令



写入禁用 (WRDI) 指令

写入禁用指令通过将 WEN 位清除至 “0” 来禁止写入操作，以防止意外写入带来的组件损害。在 CS 下降沿之后的 WRDI 指令操作码之后将发出本指令。WEN 位在 WRDI 指令发出之后将在 $\overline{CS}$ 上升沿之上被清除。

图 9. WRDI 指令



模块保护

通过状态寄存器的 BP0 和 BP1 引脚提供模块保护。这些位可以通过 WRSR 指令进行设置并通过 RDSR 指令进行检测。nvSRAM 被分成了四个阵列段。存储器段的四分之一、一半或者全部都将受到保护。在保护 段内的任何数据都是只读的。表 5 显示了模块保护位的功能。

表 5. 模块写入保护位

电平	状态寄存器位		阵列地址保护
	BP1	BP0	
0	0	0	None
1 (1/4)	0	1	0x1800–0x1FFF
2 (1/2)	1	0	0x1000–0x1FFF
3 （全部）	1	1	0x0000–0x1FFF

硬件写入保护 ($\overline{WP}$)

写入保护引脚 (WP) 用于提供硬件写入保护。当电平持续处于高水平时，$\overline{WP}$ 引脚启用了所有常规的读取和写入操作。当 $\overline{WP}$ 引脚的电平较低且 WPEN 位为 “1” 时，所有对状态寄存器的写入操作都是禁止的。当 WPEN 位为 “0” 时，硬件写入保护功能会受到限制。这允许您在 $\overline{WP}$ 引脚接地的系统内安装组件，并且仍对状态寄存器进行写入操作。

可将 $\overline{WP}$ 引脚和 WPEN 以及状态寄存器的模块保护位（BP1 和 BP0）一起使用以禁止对存储器的写入操作。当 $\overline{WP}$ 引脚处于低电平且 WPEN 被设置成 “1” 时，任何对状态寄存器的修改操作都是禁用的。因此，可通过设置 BP0 和 BP1 位保护存储器。$\overline{WP}$ 引脚禁止对状态寄存器位做任何修改并提供硬件写入保护。

注意：当 $\overline{CS}$ 处于低电平状态时，$\overline{WP}$ 变为低电平，对任何写入状态寄存器的操作都没有影响。

注意：CY14MX064Q2B 没有 $\overline{WP}$ 引脚，因此不提供硬件写入保护。

表 6 总结该组件的所有保护功能

表 6. 写入保护操作

WPEN	$\overline{WP}$	WEN	受保护模块	不受保护模块	Status Register（状态寄存器）
X	X	0	受保护	受保护	受保护
0	X	1	受保护	可写	可写
1	低	1	受保护	可写	受保护
1	高	1	受保护	可写	可写

存储器访问

所有存储器访问都是通过使用 READ 和 WRITE 指令完成的。在进行存储或回读循环过程中无法使用这些指令。可通过状态寄存器的 RDY 位表示正在进行存储循环。

读取序列 (READ) 指令

该组件上的读取操作是通过在 SI 引脚发出指令并在 SO 引脚读取输出完成的。需根据以下序列进行读取操作：将 $\overline{CS}$ 线置于低电平并选取组件后，通过 SI 线发送读取操作码，后面紧跟两个字节的地址 (A12-A0)。无需关注最高有效地址位 (A15-A13) 。在 SI 引脚发送地址最后位后，指定地址数据 (D7–D0) 在以 D7 开头的 SCK 下降沿移出 SO 线。忽略地址最后位后在 SI 线的任何数据。

CY14MX064Q 允许通过 SPI 进行突发读取操作。 SPI 可以在不发出新的读取指令的情况下读取连续的地址。如果只读取一个字节，读取完毕后应将 $\overline{CS}$ 线置于高电平。可通过将 $\overline{CS}$ 线保持在低电平状态延伸读取序列，地址自动递增，数据继续在 SO 引脚移出。当数据存储器的最后一个地址 (0x1FFF) 被锁存时，地址翻转为 0x0000，该组件继续读取。

写入序列 (WRITE) 指令

组件上的写入操作通过 SI 引脚完成。进行写入操作时，如果组件处于写入禁用状态，首先通过 WREN 指令在组件上启用写入功能。启用写入功能 (WEN = ‘1’) 后，在 $\overline{CS}$ 的下降沿发出写入指令。 WRITE 指令继续在 SI 线传输 WRITE 操作码，后跟两个字节的地址 (A12 - A0) 和要写入的数据 (D7-D0)。无需关注最高有效地址位 (A15-A13) 。

CY14MX064Q 允许通过 SPI 进行突发读写入操作。 SPI 可以在不发出新的写入指令的情况下写入连续的地址。如果只写入一个字节，发送 D0 (数据的 LSB) 后应将 $\overline{CS}$ 线置于高电平。如果要写入多个字节，应使 $\overline{CS}$ 线保持低电平状态，地址自动递增。以下字节在 SI 线被视为数据字节并写入连续地址中。当数据存储器的最后一个地址 (0x1FFF) 被锁存时，地址翻转为 0x0000，该组件继续写入。在完成写入序列后， WEN 位复位为 0。

注意：当突发写入到达受保护的模块地址，地址在受保护空间保持地址，但是不写入任何数据到受保护的存储器。如果地址翻转采用突发写入到不受保护的空间，可恢复写入。如果在写入受保护的模块启用突发写入，则同一操作为真。

图 10. 读取指令时序

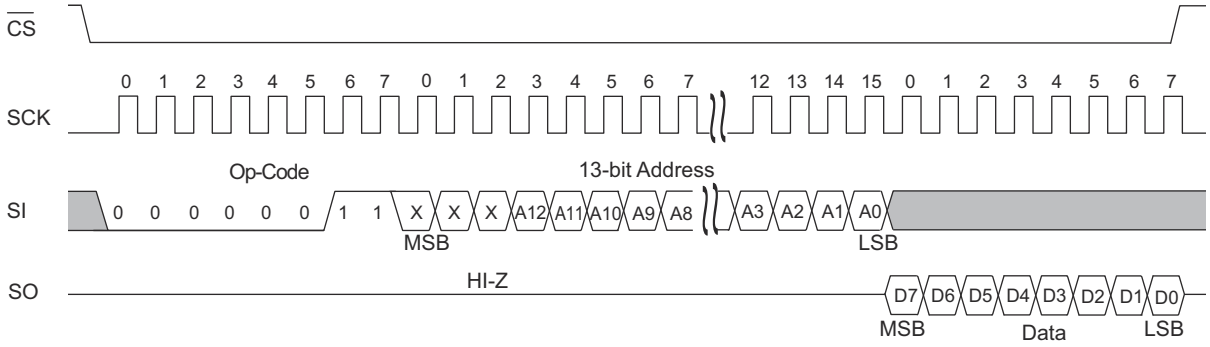


图 11. 突发模式读取指令时序

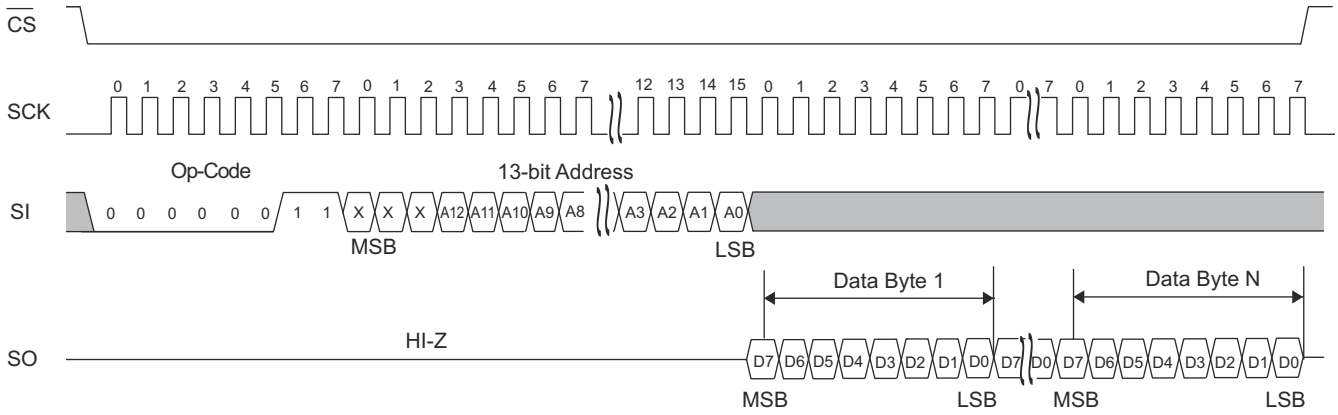


图 12. 写入指令时序

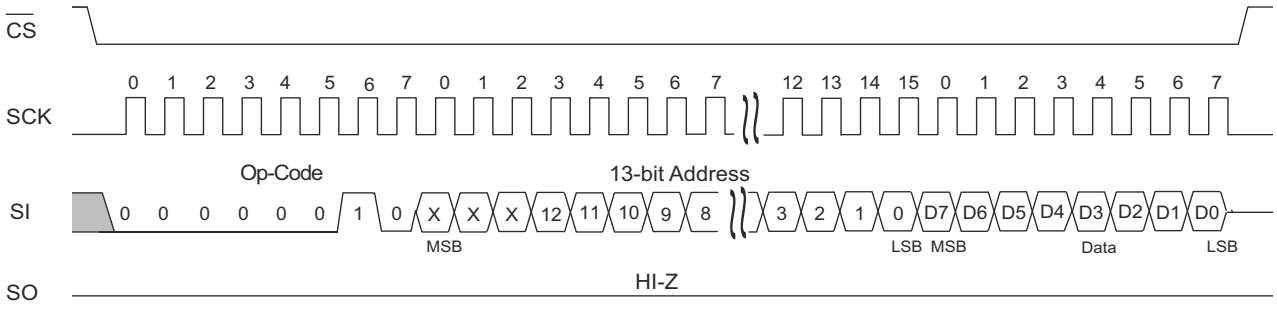
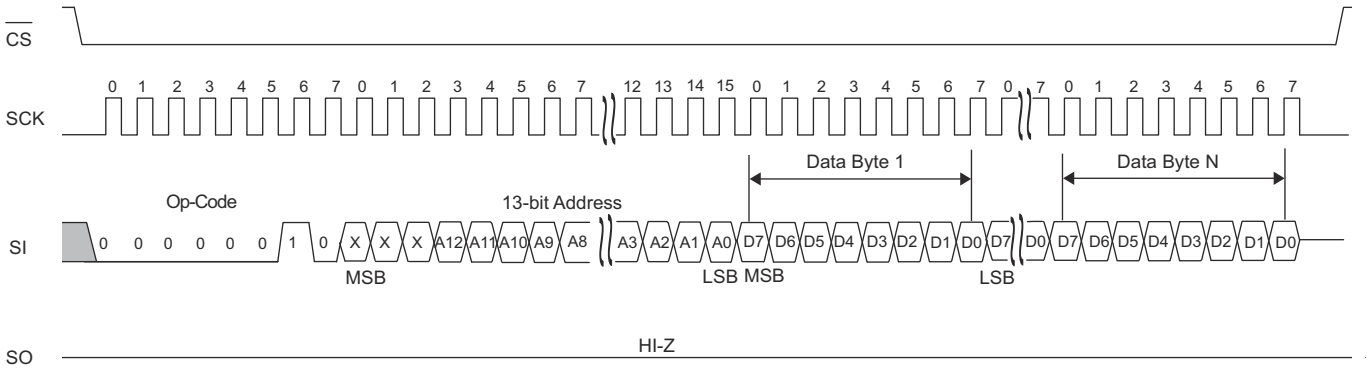


图 13. 突发模式写入指令时序



nvSRAM 特殊指令

CY14MX064Q 提供四条允许访问 nvSRAM 特定功能的特殊指令：STORE、RECALL、ASDISB 和 ASENB。表 7 列出了这些指令。

表 7. nvSRAM 特殊指令

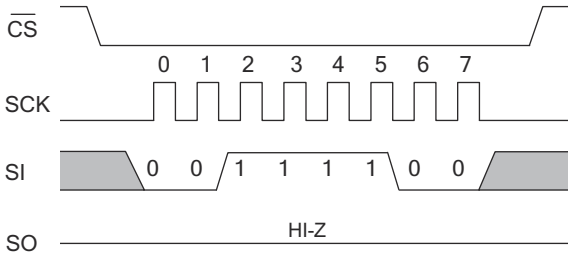
函数名称	操作码	操作
STORE	0011 1100	软件存储
RECALL	0110 0000	软件回读
ASENB	0101 1001	自动存储启用
ASDISB	0001 1001	自动存储禁用

软件存储 (STORE) 指令

执行 STORE 指令后，nvSRAM 进行软件存储操作。不论上次存储或回读操作是否写入，均进行存储操作。

要发出该指令，组件必须启用写入功能 （WEN 位 =“1”）。指令通过在 $\overline{CS}$ 下降沿之后在 SI 引脚上传输存储操作码来执行。在发出存储指令以后，在 $\overline{CS}$ 的正向沿清除 WEN 位。

图 14. 软件存储操作

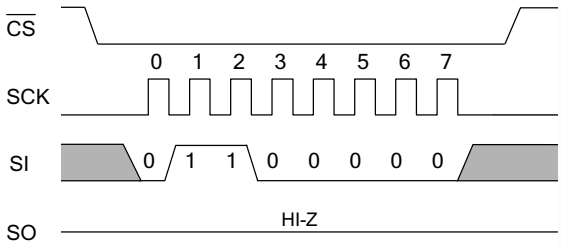


软件回读 (RECALL) 指令

执行 RECALL 指令后， nvSRAM 执行软件回读操作。要发出该指令，组件必须启用写入功能 （WEN 位 =“1”）。

指令通过在 $\overline{CS}$ 下降沿之后在 SI 引脚上传输回读操作码来执行。在发出回读指令以后，在 CS 的正向沿清除 WEN 位。

图 15. 软件回读操作



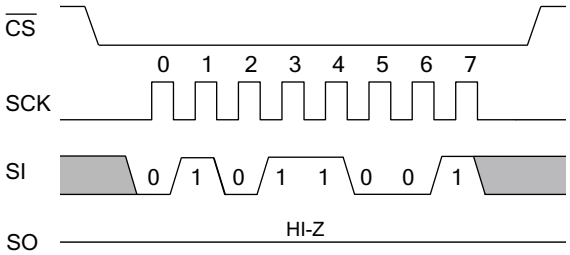
自动存储启用 （ASENB）指令

可使用自动存储启用指令在 CY14MX064Q2B 上启用自动存储功能。该设置不是非易失性操作，要后跟存储序列来保持电源循环。

要发出该指令，组件必须启用写入功能 （WEN 位 =“1”）。指令通过在 $\overline{CS}$ 下降沿之后在 SI 引脚上传输 ASENB 操作码来执行。在发出 ASENB 指令以后，在 $\overline{CS}$ 的正向沿清除 WEN 位。

注意：如果在 CY14MX064Q2B 中执行自动存储禁用和自动存储指令，由于软件序列处理时间 (t_{SS}) 的持续时长，组件将处于忙碌状态。但是，由于在内部禁用了自动存储，ASDISB 和 ASENB 指令对 CY14MX064Q1B 没有效果。

图 16. 自动存储启用操作

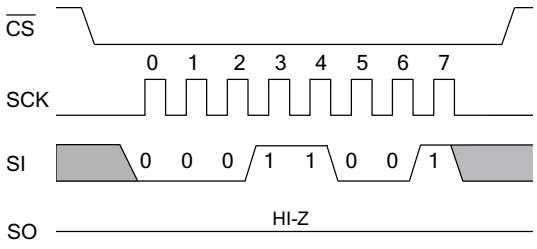


自动存储禁用 (ASDISB) 指令

CY14MX064Q2B 中默认启用自动存储功能。可通过 ASDISB 指令禁用自动存储功能。该设置不是非易失性操作，要后跟存储序列来保持电源循环。

要发出该指令，组件必须启用写入功能 (WEN =“1”)。指令通过在 CS 下降沿之后在 SI 引脚上传输 ASENB 操作码来执行。在发出 ASDISB 指令以后，在 CS 的正向沿清除 WEN 位。

图 17. 自动存储禁用操作



特殊指令

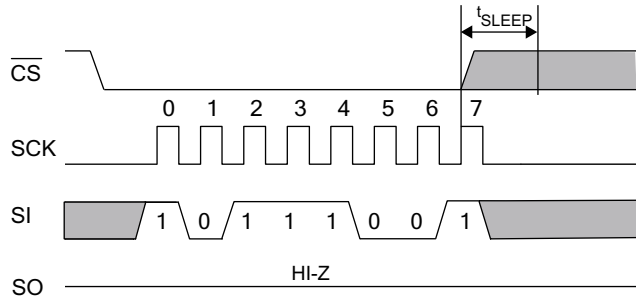
睡眠指令

可通过睡眠指令使 nvSRAM 进入睡眠模式。发出睡眠指令后，nvSRAM 需要花费 t_{SS} 的时间来处理睡眠请求。在成功寄存和处理睡眠命令后，nvSRAM 会执行存储操作将数据保存到非易失性存储器中，然后进入睡眠模式。从睡眠指令被寄存起来的这一刻起，组件在 t_{SLEEP} 后开始消耗 I_{ZZ} 电流。发出睡眠指令后，组件无法通过正常操作访问。一旦处于睡眠模式， SCK 和 SI 引脚将被忽略， SO 引脚将被置于 High-Z 状态，但是组件继续监控 CS 引脚。

要将 nvSRAM 从睡眠模式唤醒，必须通过将 CS 引脚从高电平跳转至低电平状态选择组件。在检测到 CS 引脚的下降沿后，持续 t_{WAKE} 后，组件被唤醒并可通过正常操作访问。

注意：只要进入睡眠模式， nvSRAM 就会启动非易失性存储循环，在每次执行睡眠命令后都会产生耐久性循环。存储循环仅在上一个存储或回读循环之后已经执行对 SRAM 写操作时开始。

图 18. 进入睡眠模式



序列号

序列号为 8 字节的可编程存储空间，可对组件单独进行标识。它通常由两个字节的客户 ID 、五个字节的唯一序列号及一个字节的循环冗余校验组成。nvSRAM 不计算循环冗余校验，系统设计者可通过任何方式利用八个字节的存储空间。八个字节位置的默认值为 0x00。

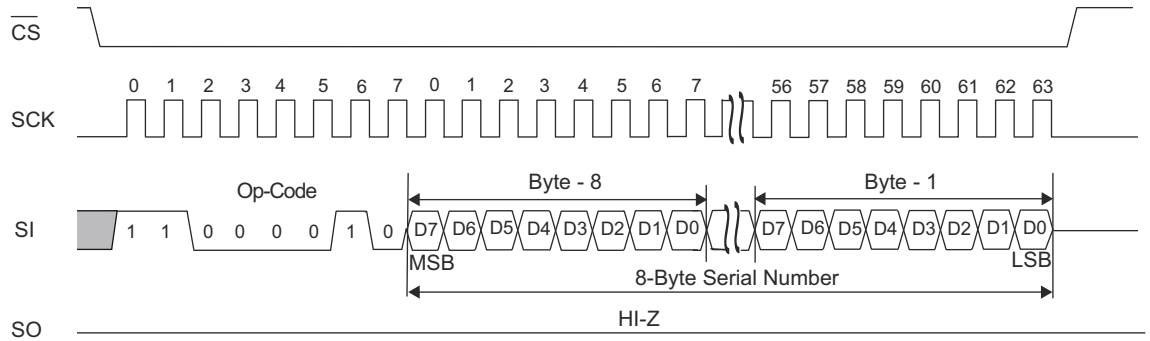
WRSN （序列号写入）指令

序列号可通过 WRSN 指令写入。要写入序列号，必须通过 WRSN 指令启用写入功能。可在突发模式下采用 WRSN 指令写入 8 字节的序列号。

可使用状态寄存器的 SNL 位锁定序列号。将该位设置为 “1” 后，无法对序列号进行任何修改。在将 SNL 位设置为 “1” 后，使用 WRSN 指令对序列号不产生任何影响。

需要通过存储操作（自动存储或软件存储）将序列号存储到非易失性存储器。如果自动存储已禁用，需要通过软件存储操作来锁定和确保序列号安全。如将 SNL 位设置为 “1”，而且不保存（自动存储禁用），在下次电源循环中， SNL 位和序列号默认为 0。如将 SNL 位设置为 “1” 并保存， SNL 位无法清除为 “0”。执行该指令前需要设置 WEN 位。完成该指令后， WEN 位复位为 “0”。

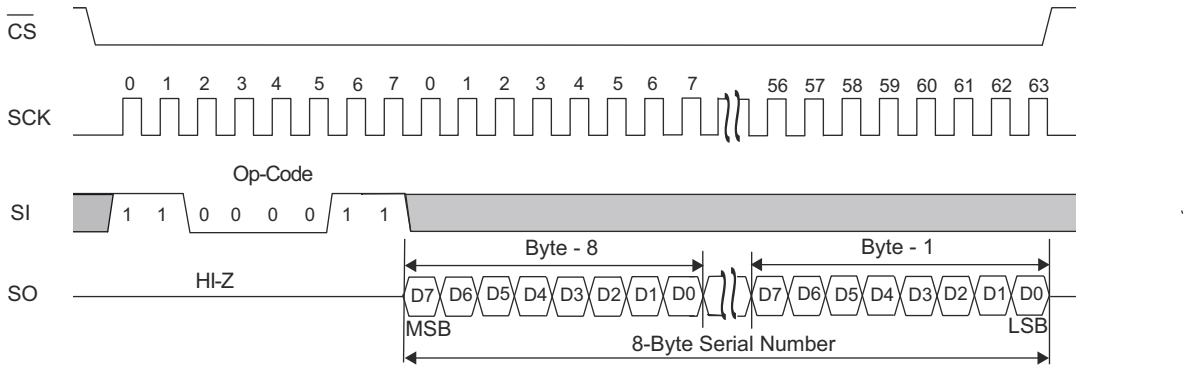
图 19. WRSN 指令



RDSN （序列号读取）指令

序列号通过 RDSN 指令进行读取。可在突发模式下一次性读取序列号以一次性读取全部八个字节。在读取序列号最后的字节后，组件不进行回环。 RDSN 指令可在 $\overline{CS}$ 变低后通过 nvSRAM 的 SI 引脚移入 RDSN 的操作码发出。此后 nvSRAM 通过 SO 引脚移出八字节序列号。

图 20. RDSN 指令



组件 ID

组件 ID 为 4 字节的只读编码，用于单独标识某类产品。包括产品系列号、产品配置和密度。

表 8. 组件 ID

组件	组件 ID （4 字节）	组件 ID 描述			
		31–21 （11 位）	20–7 （14 位）	6–3 （4 位）	2–0 （3 位）
		制造商 ID	产品 ID	密度 ID	Die 修订版
CY14MB064Q1B	0x06810889	00000110100	00001000010001	0001	001
CY14MB064Q2B	0x06818809	00000110100	00001100010000	0001	001
CY14ME064Q1B	0x06811089	00000110100	00001000100001	0001	001
CY14ME064Q2B	0x06819009	00000110100	00001100100000	0001	001

组件 ID 分为四部分，如表 8 中所示。

1. 制造商 ID （11 位）

制造商 ID 由 JEDEC 为赛普拉斯分配。JEDEC 将制造商 ID 分配至不同组。制造商 ID 前三位代表 ID 所在组。后八位代表制造商 ID。

赛普拉斯的制造商 ID 为 0x34，位于组 0。因此，所有赛普拉斯 nvSRAM 产品的制造商 ID 均为：

Cypress ID - 000_0011_0100

2. 产品 ID （14 位）

产品 ID 定义如 表 8 中所示。

3. 密度 ID （4 位）

4 位密度 ID 用法如 表 8 所示，代表产品的密度为 64 Kb 。

4. Die 修订版 （3 位）

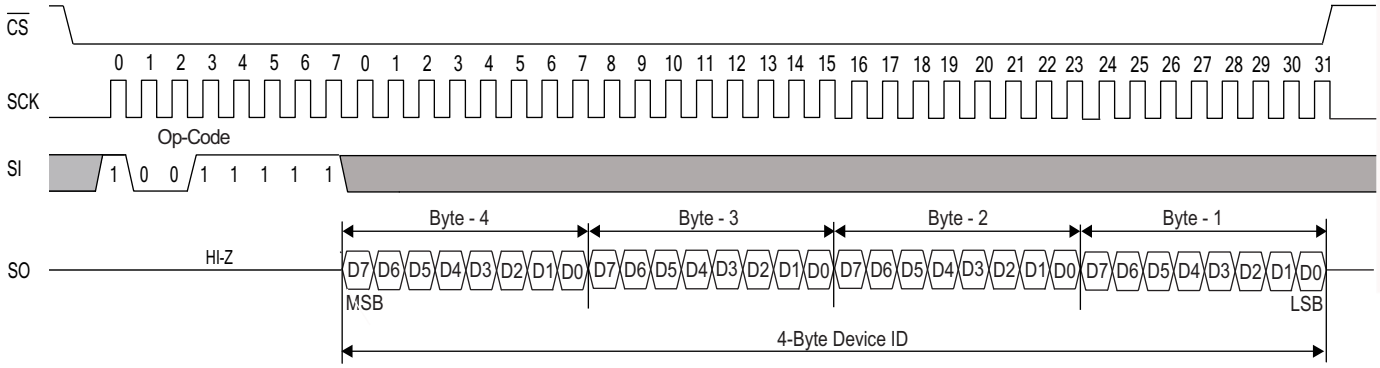
表示产品设计的任何重大变更。

Die 修订版定义如 表 8 所示。

RDID （组件 ID 读取）指令

该指令用于读取 JEDEC 为组件分配的制造商 ID 和产品 ID。该指令可用于识别总线上组件。 RDID 指令可在 $\overline{CS}$ 变低后通过 nvSRAM 的 SI 引脚移入 RDID 的操作码发出。此后 nvSRAM 通过 SO 引脚移出四个字节的组件 ID。

图 21. RDID 指令。

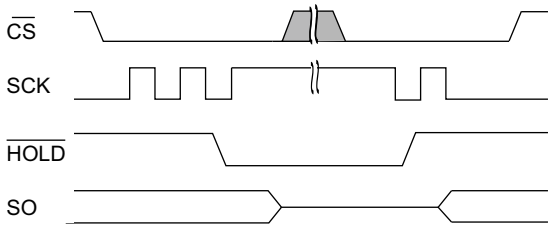


$\overline{HOLD}$ 引脚操作

$\overline{HOLD}$ 引脚用于暂停串行通信。在已选取组件且串行序列正在运行时，HOLD 引脚可通过主控组件在未复位串行序列的情况下暂停串行通信。要暂停，必须在 SCK 引脚为低电平时将 HOLD 引脚置于低电平。要恢复串行通信，必须在 SCK 引脚为低电平时将 $\overline{HOLD}$ 引脚置于高电平 （SCK 可能会在 $\overline{HOLD}$ 的过程中切换）。当组件串行通信暂停后，SI 引脚输入被忽略且 SO 引脚处于高阻抗状态。

主组件可将该引脚与 $\overline{CS}$ 引脚一起使用来暂停串行通信，方法是通过将引脚 HOLD 置于低电平并取消选中 SPI 从组件以建立与另一个从组件的通信，而不复位串行通信。稍后可通过选择组件并将 HOLD 引脚置为高电平恢复串行通信。

图 22. $\overline{HOLD}$ 操作



最大额定值

超过最大额定值可能会缩短组件的使用寿命。这些用户指导未经测试。

存放温度 .....–65 °C 至 +150 °C

最大累积存储时间
在 150°C 环境温度下 .....1000 个小时
在 85°C 环境温度下 .....20 年

最高结温 ..... 150 °C

相对于 V_{SS} 的 V_{CC} 供电电压
CY14MB064Q：V_{CC} = 2.7 V 至 3.6 V .....–0.5 V 至 +4.1 V
CY14ME064Q：V_{CC} = 4.5 V 至 5.5 V .....–0.5 V 至 +7.0 V

应用于 High Z 状态下的输出
的直流电压 .....–0.5 V 至 V_{CC} + 0.5 V

输入电压 ..... –0.5 V 至 V_{CC} + 0.5 V

处于接地电位的任何引脚的瞬变
电压 (< 20 ns) ..... –2.0 V 至 V_{CC} + 2.0 V

封装功率散耗
能力 (T_A = 25°C) ..... 1.0 W

表面组装铅焊
温度 （3 秒）..... +260 °C

直流输出电流 （每次输出 1 路电流，持续时间 1 秒）. 15 mA

静电放电电压
（MIL-STD-883、 M. 3015）.....> 2001 V

栓锁电流 ..... > 140 mA

工作范围

组件	范围	环境温度	V_{CC}
CY14MB064Q	工业	–40 °C - +85 °C	2.7 V 至 3.6 V
CY14ME064Q			4.5 V 至 5.5 V

直流电气特性

在工作范围内

参数	说明	测试条件		最小值	典型值 [3]	最大值	单位
V_{CC}	电源		CY14MB064Q	2.7	3.0	3.6	V
			CY14ME064Q	4.5	5.0	5.5	V
I_{CC1}	平均 V_{CC} 电流	f_{SCK} = 40 MHz； 获取的数值不含输出负载 (I_{OUT} = 0 mA)	CY14MB064Q	–	–	3	mA
			CY14ME064Q	–	–	4	mA
I_{CC2}	存储期间平均 V_{CC} 电流	所有输入无需关注，V_{CC} = t_{STORE} 持续期间最大平均电流		–	–	3	mA
I_{CC3}	平均 V_{CC} 电流，f_{SCK} = 1 MHz，V_{CC} = $V_{CC(Typ)}$， 25°C	所有输入以 CMOS 电平循环。获取的数值不含输出负载 (I_{OUT} = 0 mA)		–	–	1	mA
I_{CC4}	自动存储循环期间平均 V_{CAP} 电流	所有输入无需关注。t_{STORE} 持续期间平均电流		–	–	3	mA
I_{SB}	V_{CC} 待机电流	CS ≥ (V_{CC} – 0.2 V) V_{IN} ≤ 0.2 V 或 ≥ (V_{CC} – 0.2 V) 非易失性循环完成后待机电流电平输入为静态。 f_{SCK} = 0 MHz。	CY14MB064Q	–	–	120	µA
			CY14ME064Q	–	–	150	µA
I_{ZZ}	睡眠模式电流	睡眠指令寄存后 t_{SLEEP} 时间 所有输入均为静态并以 CMOS 逻辑电平配置。		–	–	8	µA
I_{IX}	输入漏电流			–1	–	+1	µA
I_{OZ}	断开状态输出漏电流			–1	–	+1	µA
V_{IH}	输入高电平电压			2.0	–	V_{CC} + 0.5	V
V_{IL}	输入低电平电压			V_{ss} – 0.5	–	0.8	V
V_{OH}	输出高电平电压	I_{OUT} = –2 mA	CY14MB064Q	2.4	–	–	V
			CY14ME064Q	V_{CC} – 0.4	–	–	
V_{OL}	输出低电平电压	I_{OUT} = 4 mA		–	–	0.4	V
V_{CAP} [4]	存储电容	V_{CAP} 引脚和 V_{SS} 之间		42	47	180	µF

注
3. 典型值的温度为 25°C， V_{CC} = $V_{CC(Typ)}$ 非 100% 测试。
4. V_{CAP} 的最小值可保证提供顺利完成自动存储所需要的电荷。 V_{CAP} 的最大值可保证 V_{CAP} 的电容在加电回读循环期间充电至最小电压，以便立即断电循环可以顺利完成自动存储。因此，建议在规定的最小极限值和最大极限值内使用电容。更多关于 V_{CAP} 的选项信息，请参见应用笔记 AN43593。

直流电气特性 (续)

在工作范围内

参数	说明	测试条件		最小值	典型值 [3]	最大值	单位
V_{VCAP} [5, 6]	组件在 V_{CAP} 引脚驱动的最大电压	V_{CC} = Max	CY14MB064Q	–	–	V_{CC}	V
			CY14ME064Q	–	–	V_{CC} – 0.5	

数据保留和耐久性

在工作范围内

参数	说明	最小值	单位
$DATA_R$	数据保留	20	年
NV_C	非易失性存储操作	1,000	K

电容

参数 [6]	说明	测试条件	最大值	单位
C_{IN}	输入电容	T_A = 25 °C， f = 1 MHz， V_{CC} = $V_{CC\ (Typ)}$	7	pF
C_{OUT}	输出引脚电容		7	pF

热阻

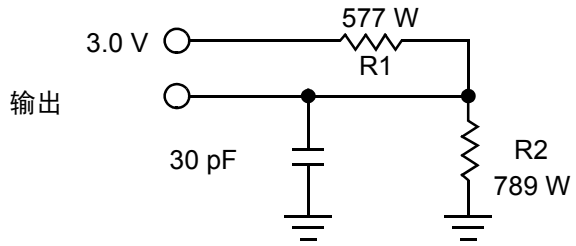
参数 [6]	说明	测试条件	8 引脚 SOIC	单位
Θ_{JA}	热电阻（结温）	按照 EIA/JESD51 的要求，测试条件遵循测试热阻的标准测试方法和过程。	101.08	°C/W
Θ_{JC}	热电阻（壳温）		37.86	°C/W

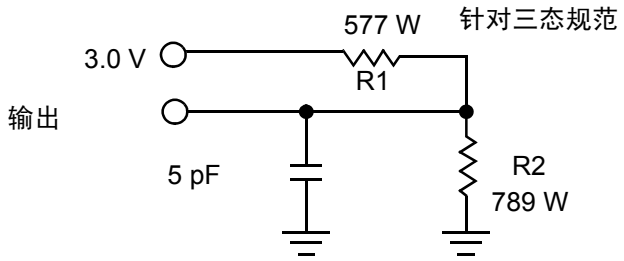
注
5. 当选择 V_{CAP} 电容的时候，会提供 V_{CAP} 引脚上的最大电压 (V_{VCAP}) 供指导之用。在工作温度范围之内的 V_{CAP} 电容的额定电压应高于 V_{VCAP} 电压。
6. 这些参数仅由设计保证，未进行过测试。

交流测试负载和波形

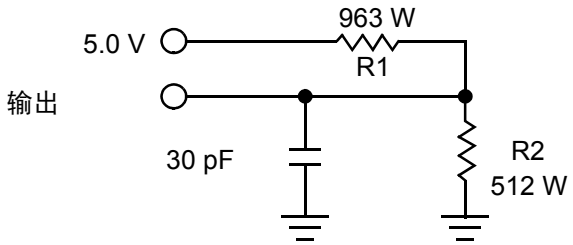
图 23. 交流测试负载和波形

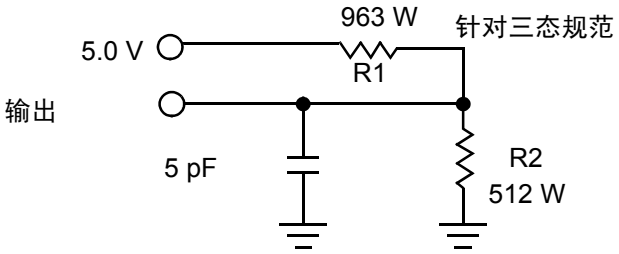
对于 3 V (CY14MB064Q1B/CY14MB064Q2B)：





对于 5 V (CY14ME064Q1B/CY14ME064Q2B)：





交流测试条件

输入脉冲电平 ..... 0 V 至 3 V
输入上升和下降时间 （10% 至 90%） ..... < 3 ns
输入和输出时序参考电平 ..... 1.5 V

交流开关特性

在工作范围内

参数[7]		说明	40 MHz		单位
赛普拉斯参数	替代 参数		最小值	最大值	
f_{SCK}	f_{SCK}	时钟频率， SCK	–	40	MHz
t_{CL}[8]	t_{WL}	时钟脉冲宽度 （低电平）	11	–	ns
t_{CH}[8]	t_{WH}	时钟脉冲宽度 （高电平）	11	–	ns
t_{CS}	t_{CE}	$\overline{CS}$ 高电平时间	20	–	ns
t_{CSS}	t_{CES}	$\overline{CS}$ 设置时间	10	–	ns
t_{CSH}	t_{CEH}	$\overline{CS}$ 保持时间	10	–	ns
t_{SD}	t_{SU}	数据输入的建立时间	5	–	ns
t_{HD}	t_{H}	数据输入的保持时间	5	–	ns
t_{HH}	t_{HD}	HOLD 保持时间	5	–	ns
t_{SH}	t_{CD}	HOLD 建立时间	5	–	ns
t_{CO}	t_{V}	输入有效	–	9	ns
t_{HHZ}[8]	t_{HZ}	HOLD 至输出 HIGH Z	–	15	ns
t_{HLZ}[8]	t_{LZ}	HOLD 至输出 LOW Z	–	15	ns
t_{OH}	t_{HO}	输出保持时间	0	–	ns
t_{HZCS}[8]	t_{DIS}	输出禁用时间	–	20	ns

开关波形

图 24. 同步数据时序 （模式 0）

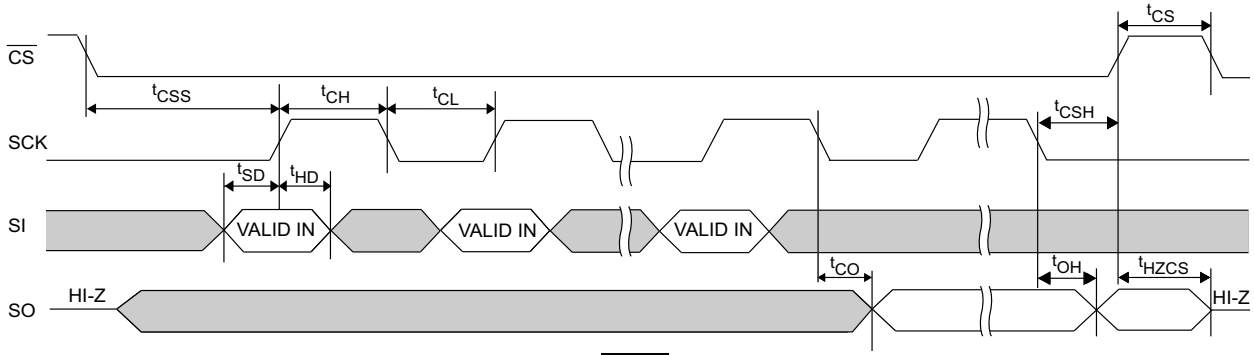
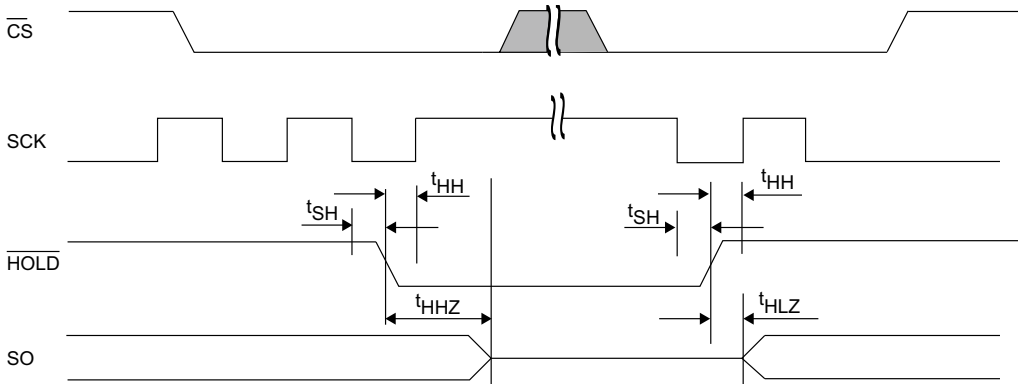


图 25. $\overline{HOLD}$ 时序



注

7. 测试条件采用等于或少于 3 ns 的信号跃迁时间， $V_{CC}/2$ 的时序参考电平， 0 至 $V_{CC(typ)}$ 的输入脉冲电平以及图 23 中所示的指定 I_{OL}/I_{OH} 的输出负载和负载电容。
8. 这些参数仅由设计保证，未进行过测试。

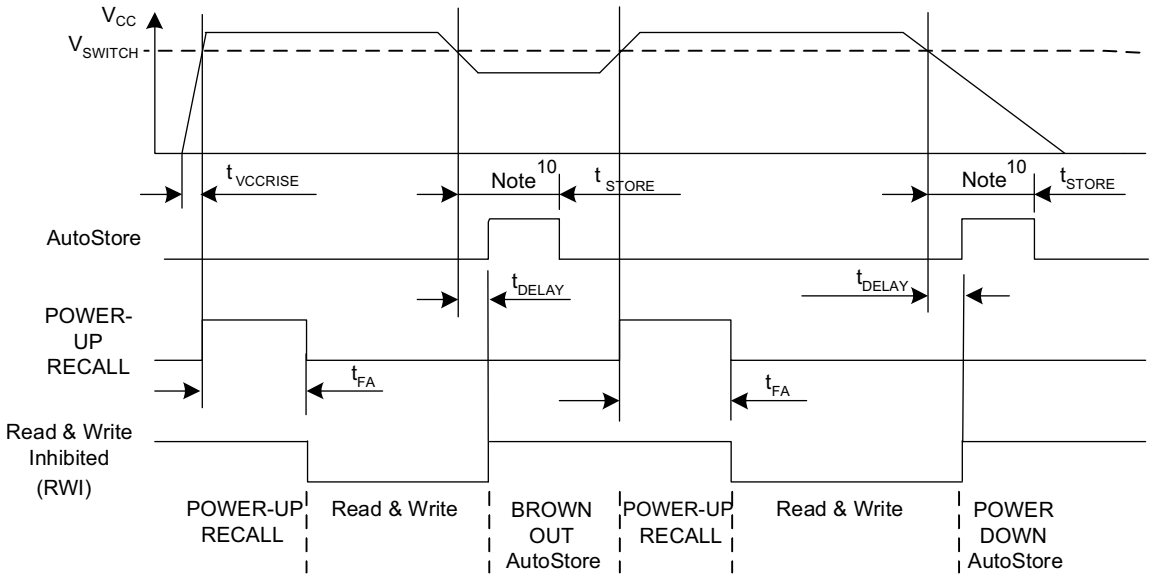
自动存储或加电回读

在工作范围内

参数	说明		CY14MX064Q		单位
			最小值	最大值	
t_{FA} [9]	加电回读持续时间		–	20	ms
t_{STORE} [10]	存储循环持续时间		–	8	ms
t_{DELAY} [11, 12]	完成 SRAM 写入循环的可用时间		–	25	ns
V_{SWITCH}	低电压触发电平	CY14MB064Q	–	2.65	V
		CY14ME064Q	–	4.40	V
$t_{VCCRISE}$ [12]	V_{CC} 上升时间		150	–	ms
t_{WAKE}	从睡眠模式唤醒 nvSRAM 的时间		–	20	ms
t_{SLEEP}	发出睡眠指令后进入睡眠模式的时间		–	8	ms
t_{SB} [12]	$\overline{CS}$ 变为高电平后进入待机模式的时间		–	100	µs

开关波形

图 26. 自动存储或加电回读 [13]



注
9. t_{FA} 从 V_{CC} 超过 V_{SWITCH} 的那一刻开始。
10. 倘若自上一个非易失性循环后未进行过 SRAM 写入，则自动存储将不会启动。
11. 基于软件存储 / 回读、自动存储启用 / 禁用以及自动存储启动， SRAM 的操作将持续至 t_{DELAY}。
12. 这些参数仅由设计保证，未进行过测试。
13. 在 V_{CC} 低于 V_{SWITCH} 的情况下，在存储、回读的过程中会忽略读写循环。

软件控制的存储和回读循环

在内工作范围

参数	说明	CY14MX064Q		单位
		最小值	最大值	
t_{RECALL}	回读持续时间	–	600	µs
t_{SS} [14, 15]	软序列处理时间	–	500	µs

开关波形

图 27. 软件存储循环 [15]

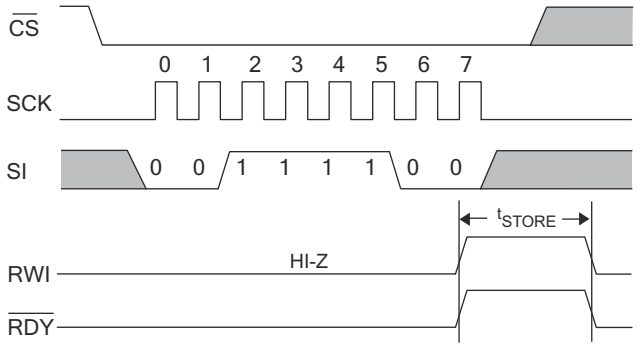


图 28. 软件回读循环 [15]

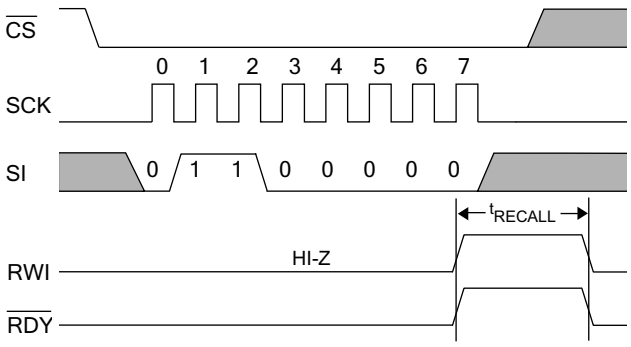


图 29. 自动存储使能循环

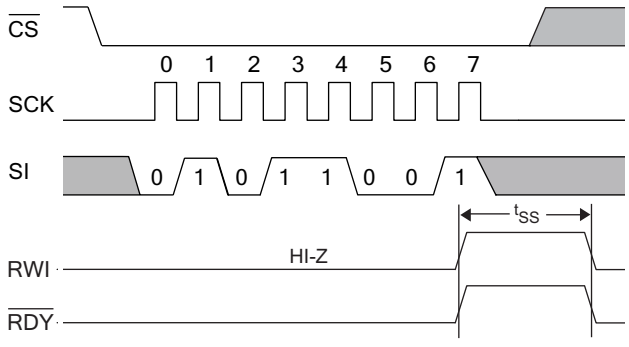
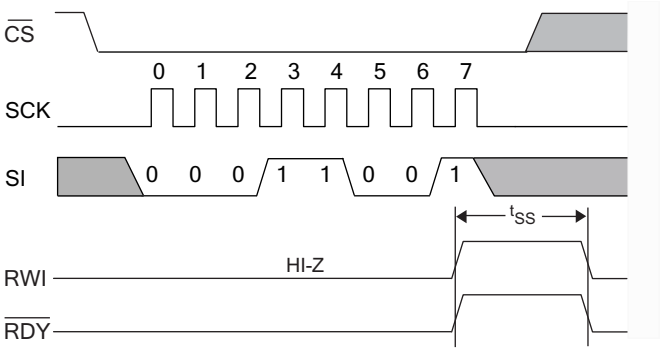


图 30. 自动存储禁用循环



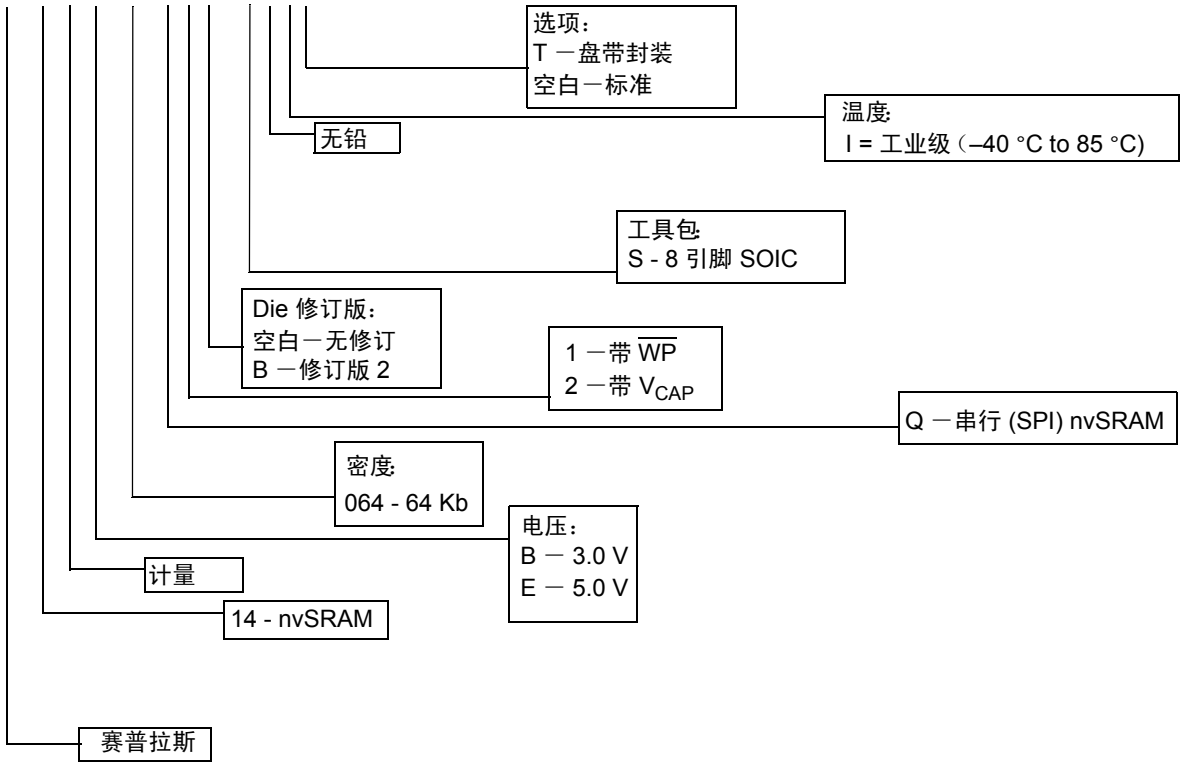
注
14. 这是执行软序列命令所耗费的时间。 Vcc 电压必须保持高电平以保证有效地寄存命令。
15. 存储和回读等命令会锁定 I/O，直到操作完成，这会进一步增加该时间。请参见特定的命令。

订购信息

订购代码	封装图	封装类型	工作范围
CY14MB064Q1B-SXI	51-85066	8 引脚 SOIC （含 $\overline{WP}$）	工业
CY14MB064Q1B-SXIT		8 引脚 SOIC （含 $\overline{WP}$）	
CY14ME064Q2B-SXI		8 引脚 SOIC （含 V_{CAP}）	
CY14ME064Q2B-SXIT		8 引脚 SOIC （含 V_{CAP}）	

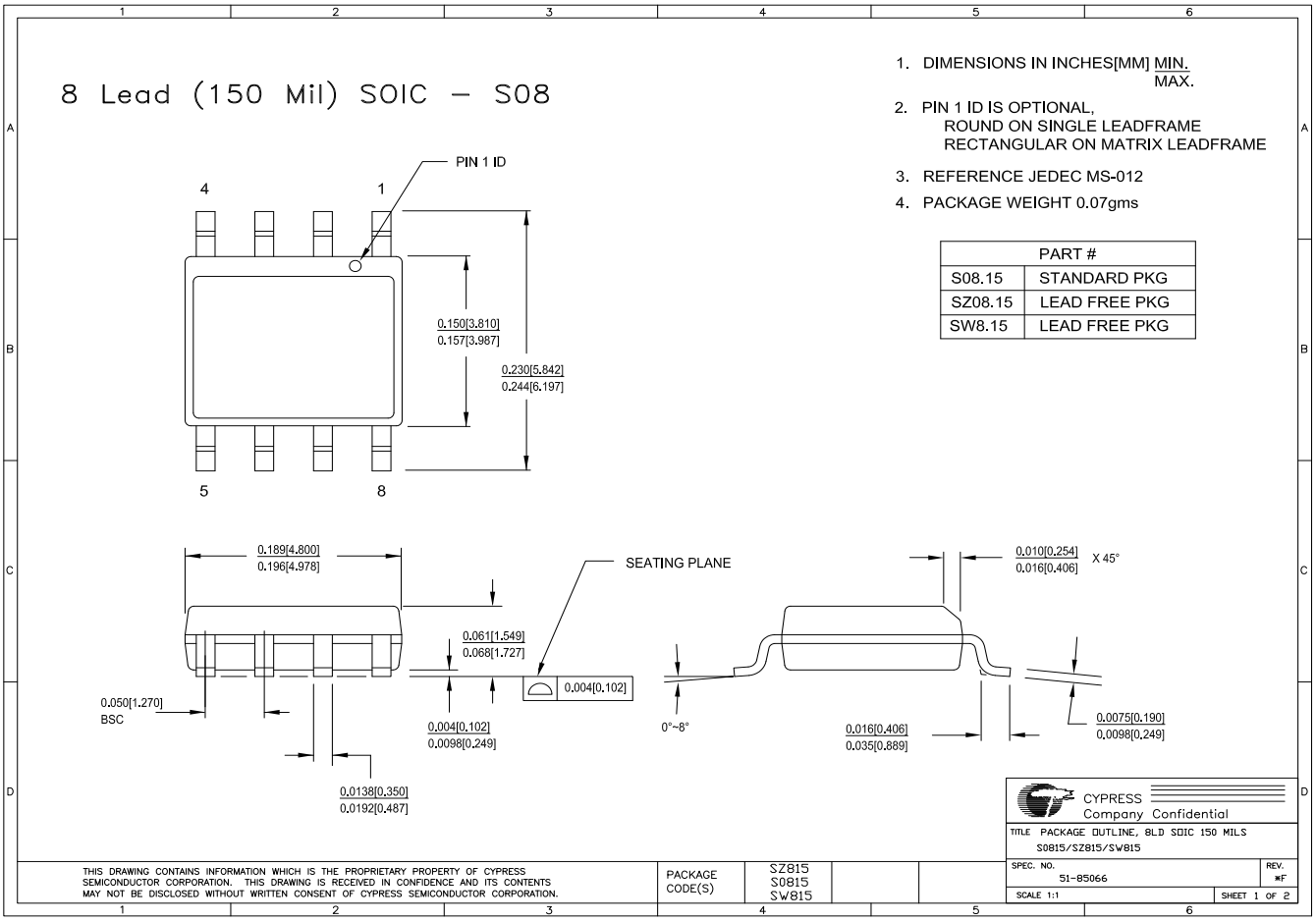
以上部件为无铅产品。该表包含最终信息。要了解这些部件的供应情况，请联系赛普拉斯本地销售代表。

订购代码定义



封装图

图 31. 8 引脚 SOIC (150 Mils) 封装外形， 51-85066



缩略语

缩略语	说明
CPHA	时钟相位
CPOL	时钟极性
CMOS	互补金属氧化物半导体
CRC	循环冗余校验
EEPROM	电可擦除可编程只读存储器
EIA	电子行业联盟
I/O	输入 / 输出
JEDEC	联合电子组件工程委员会
LSB	最低有效位
MSB	最高有效位
nvSRAM	非易失性静态随机存取存储器
RWI	读写禁止
RoHS	有害物质限制
SNL	序列号锁定
SPI	串行外设接口
SONOS	硅 - 氧化物 - 氮化物 - 氧化物半导体
SOIC	小外形集成电路
SRAM	静态随机存取存储器

文档规范

测量单位

符号	测量单位
°C	摄氏度
Hz	赫兹
kHz	千赫兹
kΩ	千欧
MHz	兆赫兹
µA	微安
mA	毫安
µF	微法
µs	微秒
ms	毫秒
ns	纳秒
Ω	欧姆
%	百分比
pF	皮法
V	伏特
W	瓦特

文档修订记录页

文档标题：CY14MB064Q1B/CY14MB064Q2B、 CY14ME064Q1B/CY14ME064Q2B、64-Kbit (8 K × 8) SPI nvSRAM 文档编号：001-87303				
修订版本	ECN 编号	变更方	提交日期	变更说明
**	3980693	HLIN	04/24/2013	本文档版本号为 Rev**，译自英文版 001-70382 Rev.*G

销售、解决方案和法律信息

全球销售和设计支持

赛普拉斯公司拥有一个由办事处、解决方案中心、工厂代表和经销商组成的全球性网络。要找到距您最近的办事处，请访问赛普拉斯所在地。

产品	
汽车用产品	cypress.com/go/automotive
时钟与缓冲器	cypress.com/go/clocks
接口	cypress.com/go/interface
照明与电源控制	cypress.com/go/powerpsoc cypress.com/go/plc
存储器	cypress.com/go/memory
光学与图像传感器	cypress.com/go/image
PSoC	cypress.com/go/psoc
触摸感应产品	cypress.com/go/touch
USB 控制器	cypress.com/go/USB
无线 /RF	cypress.com/go/wireless

PSoC 解决方案

psoc.cypress.com/solutions

PSoC 1 | PSoC 3 | PSoC 5

© 赛普拉斯半导体公司，2013。此处所包含的信息可能会随时更改，恕不另行通知。除赛普拉斯产品的内嵌电路之外，赛普拉斯半导体公司不对任何其他电路的使用承担任何责任。也不根据专利或其他权利以明示或暗示的方式授予任何许可。除非与赛普拉斯签订明确的书面协议，否则赛普拉斯产品不保证能够用于或适用于医疗、生命支持、救生、关键控制或安全应用领域。此外，对于可能发生运转异常和故障并对用户造成严重伤害的生命支持系统，赛普拉斯不授权将其产品用作此类系统的关键组件。 若将赛普拉斯产品用于生命支持系统，则表示制造商将承担因此类使用而招致的所有风险，并确保赛普拉斯免于因此而受到任何指控。

所有源代码（软件和 / 或固件）均归赛普拉斯半导体公司（赛普拉斯）所有，并受全球专利法规（美国和美国以外的专利法规）、美国版权法以及国际条约规定的保护和约束。赛普拉斯据此向获许可者授予适用于个人的、非独占性、不可转让的许可，用以复制、使用、修改、创建赛普拉斯源代码的派生作品、编译赛普拉斯源代码和派生作品，并且其目的只能是创建自定义软件和 / 或固件，以支持获许可者仅将其获得的产品依照适用协议规定的方式与赛普拉斯集成电路配合使用。除上述指定的用途之外，未经赛普拉斯的明确书面许可，不得对此类源代码进行任何复制、修改、转换、编译或演示。

免责声明：赛普拉斯不针对此材料提供任何类型的明示或暗示保证，包括（但不仅限于）针对特定用途的适销性和适用性的暗示保证。赛普拉斯保留在不另行通知的情况下对此处所述材料进行更改的权利。 赛普拉斯不对此处所述之任何产品或电路的应用或使用承担任何责任。 对于可能发生运转异常和故障并对用户造成严重伤害的生命支持系统，赛普拉斯不授权将其产品用作此类系统的关键组件。若将赛普拉斯产品用于生命支持系统中，则表示制造商将承担因此类使用而招致的所有风险，并确保赛普拉斯免于因此而受到任何指控。

产品使用可能受适用的赛普拉斯软件许可协议限制。

本文件中提及的所有产品和公司名称均为其各自所有者的商标。