CY14MB064J1A/CY14MB064J2A
CY14ME064J1A/CY14ME064J2A

64-Kbit (8 K × 8) シリアル (I^2C) nvSRAM

特長

■ 64-Kbit の不揮発性 SRAM（nvSRAM）
- ❒ 8 K × 8 の内部構成
- ❒ 電源オフ時にAutostore(自動ストア開始)するか、または I^2C コマンド（ソフトウェア STORE）を使用して、量子トラップ不揮発性メモリ素子へ格納する。
- ❒ 電源オン時の SRAM への RECALL 処理（パワーアップ RECALL）または I^2C コマンド（ソフトウェア RECALL）による、RECALL 処理
- ❒ 電源オフ時に小容量コンデンサによる、自動的な STORE 処理（CY14MX064J1A を除く）

■ 高い信頼性
- ❒ 回数に制限のないリード、ライト、RECALL サイクル
- ❒ 量子トラップへの 100 万回の STORE サイクル
- ❒ データリテンション期間：85 °C で 20 年

■ 高速 I^2C インターフェイス
- ❒ 業界標準 100 kHz および 400 kHz の速度
- ❒ 高速モードプラス：1 MHz の速度
- ❒ 高速：3.4 MHz
- ❒ 読み書きゼロサイクル遅延

■ 書き込み保護
- ❒ 書き込み保護ピン（WP）を使ったハードウェアによる保護
- ❒ アレイの 1/4、1/2、または全体を対象としたソフトウェアブロック保護

■ 特別機能への I^2C アクセス
- ❒ 不揮発性メモリの STORE/RECALL
- ❒ 8 バイトのシリアル番号
- ❒ Manufacturer ID および Product ID
- ❒ スリープモード

■ 低消費電力
- ❒ 3.4 MHz 動作で平均 1 mA の動作電流
- ❒ スタンバイモードの平均電流 120µA
- ❒ スリープモードの電流 8µA

■ 業界標準の構成
- ❒ 動作電圧：
  - CY14MB064J: V_{CC} = 2.7 V ～ 3.6 V
  - CY14ME064J: V_{CC} = 4.5 V ～ 5.5 V
- ❒ 工業用温度仕様
- ❒ 8 ピン小型集積回路（SOIC）パッケージ
- ❒ RoHS 準拠

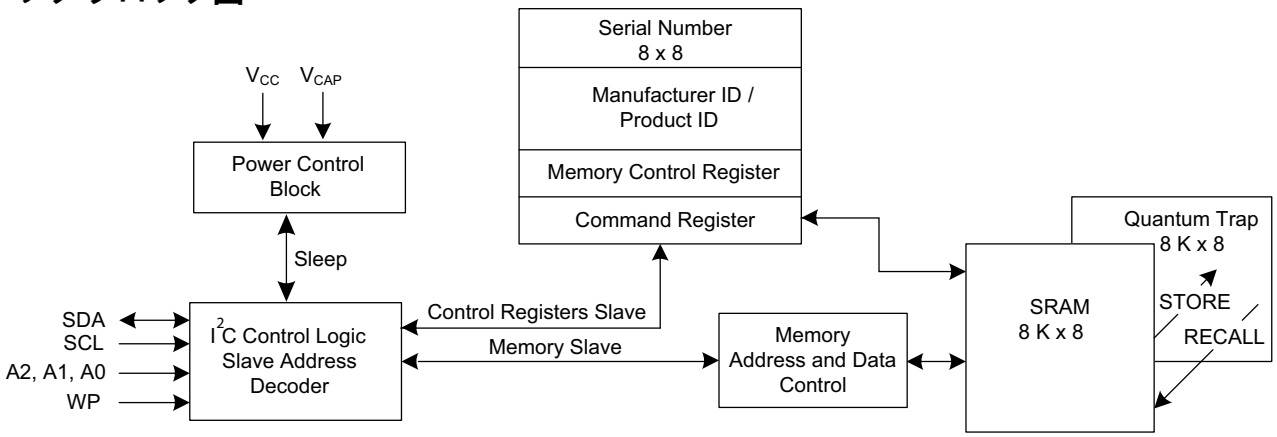
概要

サイプレス CY14MX064J は、メモリセルごとに不揮発性メモリ素子と 64Kbit nvSRAM [1] を結合しています。このメモリは、8 K ワード x 8 ビットで編成されています。組み込み不揮発性メモリ素子には、量子トラップ技術が取り入れられており、世界でも最高レベルの信頼性を誇る不揮発性メモリです。回数に制限のない読み取りと書き込みを SRAM で可能にする一方、高い信頼性を提供する不揮発性データ記憶領域を、量子トラップメモリセルで実現しています。SRAM から不揮発性メモリ素子へのデータ転送（STORE 動作）は、電源オフ時に自動的に実行されます。（CY14MX064J1A を除く）起動時には、不揮発性メモリから SRAM にデータが復元されます（RECALL 動作）。ユーザーが I^2C コマンドを使って STORE および RECALL 動作を実行することもできます。

構成

機能	CY14MX064J1A	CY14MX064J2A
AutoStore	なし	あり
ソフトウェアによる STORE	あり	あり
スレーブ アドレス ピン	A2、A1、A0	A2、A1

ロジック ブロック図



注
1. シリアル（I^2C）nvSRAM は、データシートの全ページで nvSRAM と示されています。

目次

ピン配列 3
ピン機能 3
I2C インターフェイス 4
プロトコル概要 4
I2C プロトコル – データ転送 4
データ有効性 5
START コンディション（S） 5
STOP コンディション（P） 5
反復 START（Sr） 5
バイト形式 5
確認応答 / 非確認応答 5
高速モード（Hs モード） 6
スレーブ デバイス アドレス 6
書き込み保護（WP） 9
AutoStore 動作 9
書き込み動作 9
読み取り動作 10
メモリ スレーブ アクセス 10
制御レジスタ スレーブ 14
シリアル番号 16
シリアル番号書き込み 16
シリアル番号ロック 16
シリアル番号読み取り 16
デバイス ID 17
コマンド レジスタを使用したコマンドの実行 17
最大定格 18
動作範囲 18
DC 特性 18
データ保持期間および耐久性 19
熱抵抗 19
AC テストの負荷および波形 20
AC テスト条件 20
AC スイッチング特性 21
スイッチング波形 21
nvSRAM 仕様 22
スイッチング波形 22
ソフトウェア制御 STORE/RECALL サイクル 23
スイッチング波形 23
発注情報 24
注文コードの定義 24
パッケージ図 25
略号 26
本書の表記法 26
測定単位 26
改訂履歴 27
販売、ソリューション、および法律情報 28
ワールドワイドな販売および設計サポート 28
製品 28
PSoC ソリューション 28

ピン配列

図 1. 8 ピン SOIC ピン配列



ピンの定義

ピン名	入出力	説明
SCL	入力	**クロック** 。最大 f_{SCL} までの速度で動作します。
SDA	入出力	**I/O**。I^2C インターフェイスを介してデータを入出力します。 **出力：**オープン ドレインで、外部プルアップ抵抗を必要とします。
WP	入力	**書き込み保護**。すべての書き込みからメモリを保護します。このピンは内部的に LOW にプルダウンされ、そのため接続されていない場合はオープンのままにすることができます。
A2–A0 [2]	入力	スレーブ アドレス。I^2C のスレーブ アドレスを定義します。ピンは内部的に LOW にプルダウンされ、そのため接続されていない場合はオープンのままにすることができます。
V_{CAP}	電源	**AutoStore コンデンサ**。電力喪失時に、SRAM から不揮発性メモリ素子にデータを格納するため、nvSRAM へ電源を供給します。不要な場合は、AutoStore を無効にする必要があり、このピンは未接続のままにします。これは絶対にグランドに接続しないでください。
NC	未接続	**未接続**。このピンはダイに接続されていません。
V_{SS}	電源	**グランド**
V_{CC}	電源	**電源**

注
2. A0 ピンは CY14MX064J2A では利用できません。

I²C インターフェイス

I²C バスは、バス上の複数デバイス間で情報を運ぶシリアル クロック ライン（SCL）とシリアル データ ライン（SDA）の 2 つのラインで構成されています。I²C はマルチ マスタおよびマルチ スレーブ構成をサポートしています。データは SDA ラインでトランスミッタからレシーバに送信され、マスタによって生成されたクロック SCL と同期されます。

SCL と SDA ラインはオープン ドレイン ラインで、抵抗を用いて V_{CC} にプルアップされます。システムのプルアップ抵抗を選ぶ時は、バスの容量と動作速度を考慮してください。マスタがクロックを生成し、すべての入出力データは、このクロックに同期して転送されます。CY14MX064J は、SCL ラインで最高 3.4 MHz のクロック速度をサポートします。

プロトコル概要

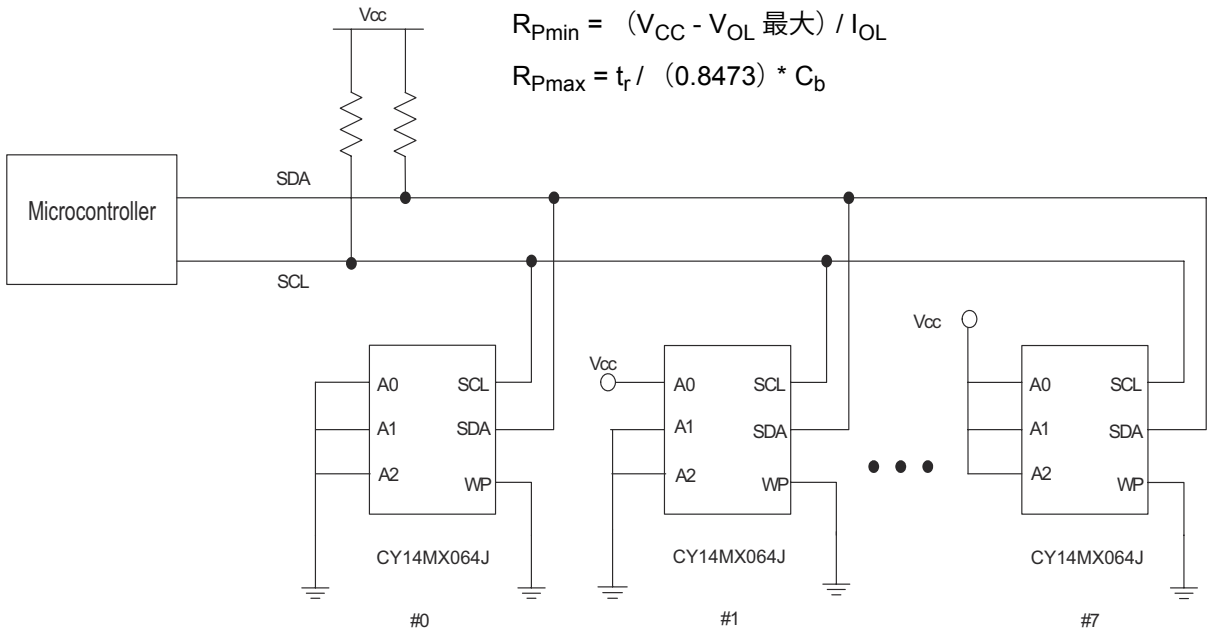
このデバイスは、7 ビットのアドレス指定可能なスキームのみをサポートしています。マスタが START コンディションを生成し、通信を開始してスレーブ選択バイトを発行します。スレーブ選択バイトはスレーブの 7 ビットアドレスで構成されており、これはマスタが通信するもので、読み取りまたは書き込み動作を示す R/$\overline{W}$ ビットです。選択されたスレーブがこれに確認応答（ACK）で応じます。スレーブが選択された後は、その後の通信はマスタと選択されたスレーブ間で行われます。バスの他のデバイスは、STOP または反復 START コンディションが検出されるまで SDA ラインの信号を無視します。データ転送は、マスタによって生成された SCL クロックに同期して SDA ピンを通して、マスタと選択されたスレーブ デバイス間で行われます。

I²C プロトコル – データ転送

I²C プロトコルの各トランザクションは、マスタによるバスの START コンディション生成から始まり、7 ビット スレーブ アドレス、その後に読み取り（1）と書き込み（0）動作を示す 8 番目のビット（R/$\overline{W}$）が続きます。すべての信号は、オープン ドレイン SDA ラインで送信され、SCL ラインのクロックと同期します。I²C バスで送信されるデータの各バイトは、9 番目のクロック パルスで SDA ラインを LOW に保持することでレシーバによって確認応答されます。マスタによる書き込み要求の後に、SDA ラインのメモリ アドレスとデータバイトが続きます。書き込みはデータの複数バイトを送信することにより、バースト モードで行うことができます。9 番目のクロック サイクルの立ち下がりエッジで各バイトを送受信した後、メモリ アドレスが自動的にインクリメントされます。新しいアドレスは、確認応答ビットを送受信する直前にラッチされます。これにより、追加のアドレスを発行せずに、次の連続バイトにアクセスすることができます。最後のメモリ位置に到達すると、アドレスは 0x0000 にロールバックされ、書き込みが続行します。書き込み動作中、スレーブがマスタによって送信された各バイトに ACK で応答します。書き込みシーケンスは、マスタが STOP または反復 START コンディションを生成して終了することができます。

読み取り要求は、現在のアドレス位置（読み取りまたは書き込みのために最後にアクセスした位置の次のアドレス）で行われます。メモリ スレーブ デバイスは、現在のアドレス位置のデータをマスタに送信して、読み取り要求に応答します。最初に読み取り目的のアドレスで書き込み要求を送信することによって、ランダム アドレス読み取りも行うことができます。最後のアドレス バイトの直後にマスタは書き込みを中止し、書き込み動作を防止するために反復 START または STOP 信号を発行する必要があります。次の読み取り動作はこのアドレスから開始されます。マスタは 9 番目のクロック パルスの SDA ピンを LOW に保持することで、データの 1 バイトの受信に確認応答します。最後のデータ バイトの後に、マスタが SDA ラインで非確認応答（NACK）信号を送信することで、読み取りを終了することができます。非確認応答信号により CY14MX064J が SDA ラインを解放するため、マスタは STOP、または反復 START コンディションを生成して新しい動作を開始することができます。

図 2. シリアル（I²C）nvSRAM を用いたシステム構成



データの有効性

SDA ラインのデータは、クロックの HIGH 期間中は安定している必要があります。データを有効にするために、データラインの状態は SCL ラインのクロックが LOW の場合のみ変更することができます。SDA が HIGH の状態で SCL ラインの状態を変更することができるコンディションは、START および STOP コンディションの 2 つだけです。START および STOP コンディションはマスタにより生成され、I^2C バスの通信シーケンスの開始と終了を通知します。

START コンディション （S）

SCL が HIGH である際の SDA ラインの HIGH から LOW への遷移は、START コンディションを示すものです。I^2C の各トランザクションは、マスタが START コンディションを生成することから始まります。

STOP コンディション （P）

SCL が HIGH である際の SDA ラインの LOW から HIGH への遷移は、STOP コンディションを示します。このコンディションは、進行中のトランザクションの終了を示すものです。

START および STOP コンディションは、常にマスタによって生成されます。バスは、START コンディションの後はビジー状態にあると見なされます。バスは、STOP コンディションの後は解放された状態にあると見なされます。

反復 START（Sr）

STOP コンディションの代わりに反復 START コンディションが生成された場合は、バスのビジー状態が継続されます。I^2C ラインの進行中のトランザクションが停止され、バスは通信を再開するためにマスタがスレーブ ID を送信するのを待ちます。

図 3. START および STOP コンディション

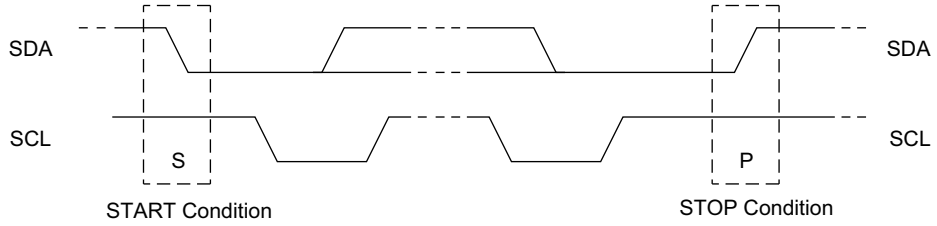
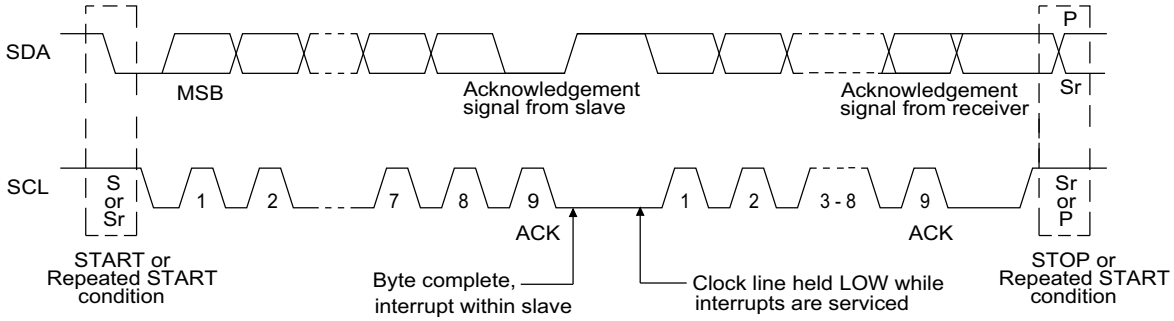


図 4. I^2C バスのデータ転送



バイト形式

I^2C の各動作は、8 ビットワードを使用して行われます。ビットは SDA ラインで MSB が先頭の形式で送信され、各バイトの後にレシーバによる ACK 信号が続きます。

レシーバから NACK が送信されるまで、またはマスタによって STOP か反復 START コンディションが生成されるまで、動作は継続します。START または STOP コンディションを除き、クロック（SCL）が HIGH である時には SDA ラインは安定状態にある必要があります。

確認応答 / 非確認応答

データまたはアドレスの 1 バイトを送信した後、トランスミッタは SDA ラインを解放します。レシーバは SDA ラインを LOW にプルダウンして、バイトの受信の確認応答をします。動作を継続するには、I^2C バスで転送されるデータの各バイトがレシーバによって ACK 信号で応答される必要があります。そうでない場合は、NACK 状態と見なされます。NACK はレシーバがデータ受信を確認していない状態であり、動作が中止されます。

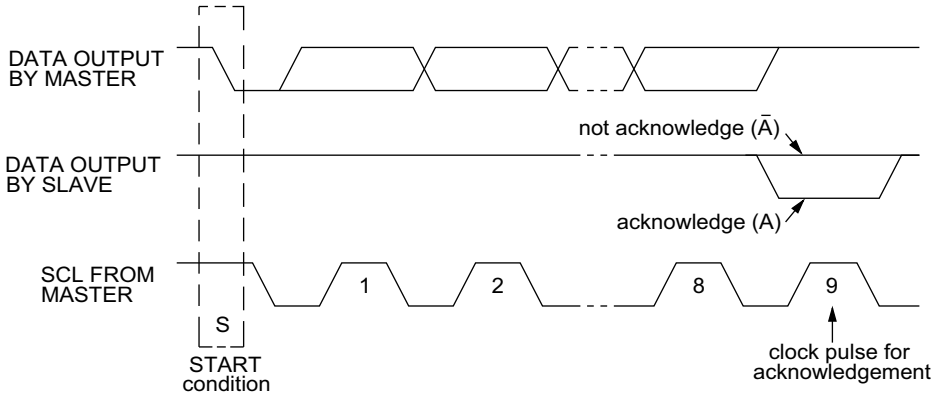
次の場合に、読み取り動作中に NACK がマスタによって生成される可能性があります。

- ノイズが原因で、マスタが有効なデータを受信しなかった場合です。
- マスタは NACK を生成して、読み取りシーケンスを中止します。NACK がマスタによって発行された後、nvSRAM スレーブが SDA ピンの制御を解放するので、マスタは反復 START または STOP コンディションを生成できるようになります。

次の場合に、書き込み動作中に NACK が nvSRAM スレーブによって生成される可能性があります。

- ノイズが原因で、nvSRAM が有効なデータを受信しなかった場合です。
- マスタは nvSRAM の書き込み保護された位置にアクセスしようとします。マスタは STOP または反復 START コンディションを生成することで通信を再開する必要があります。

図 5. I²C バスの確認応答



高速モード（Hs モード）

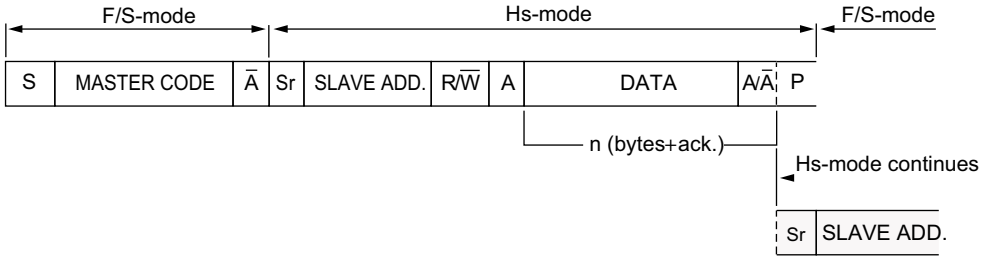
Hs モードでは、nvSRAM は最高 3.4 Mbit/ 秒のビットレートでデータを転送することができます。デバイスを高速モードにするには、マスタ コード（0000 1XXXb）が発行される必要があります。これにより、最高 3.4 MHz の速度のマスタ / スレーブ通信が可能となります。STOP コンディションにより Hs モードが終了します。

Hs モードにおけるシリアル データ フォーマット

Hs モードでのシリアル データ転送フォーマットは、I²C バス仕様の標準モードを満足しています。Hs モードは、以下の条件下でのみ開始することができます（F/S モードにあるものすべて）。

1. START コンディション（S）
2. 8 ビット マスタ コード（0000 1XXXb）
3. 非確認応答ビット（Ā）

図 6. Hs モードにおけるデータ転送フォーマット



シングルおよびマルチ バイトの読み取りと書き込みがサポートされています。デバイスが Hs モードに入った後に、マスタ デバイスによって STOP コンディションが送信されるまで、データ転送は Hs モードで続行されます。STOP コンディション（P）後、スレーブ F/S モードに戻ります。Hs モードでデータ転送を続行するためには、マスタが反復 START（Sr）を送信する必要があります。

読み取りおよび書き込み動作の Hs モードのタイミングの詳細については、11 ページの 図 12 および、12 ページの 図 15 をご覧ください。

スレーブ デバイス アドレス

I²C バスの各スレーブ デバイスには、デバイス選択アドレスがあります。START コンディションの後の最初のバイトには、マスタが通信をしようとするスレーブ デバイスアドレスが含まれています。7 つの MSB はデバイス アドレスであり、LSB（R/W ビット）は読み込みまたは書き込み動作を示すために使用されます。CY14MX064J は、メモリおよび制御レジスタにアクセスするために、スレーブ デバイス アドレス フィールドに上位 4 つの MSB [7:4] が 2 セット予約されています。アクセス メカニズムについては、7 ページのメモリ スレーブ デバイスをご覧ください。

nvSRAM 製品は、2 つの異なる機能を提供します。メモリおよび制御レジスタ機能（シリアル番号や製品 ID など）です。デバイスの 2 つの機能は、異なるスレーブ デバイス アドレスを介してアクセスされます。デバイス アドレス レジスタの最初の 4 つの最上位ビット [7:4] は、nvSRAM 機能を選択するために使用されます。

表 1. スレーブ デバイス アドレス指定

ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0	nvSRAM 機能選択
1	0	1	0	デバイス選択 ID			R/$\overline{W}$	メモリ選択
0	0	1	1	デバイス選択 ID			R/$\overline{W}$	制御レジスタ選択

CY14MX064J Slave Devices

メモリ、8 K × 8

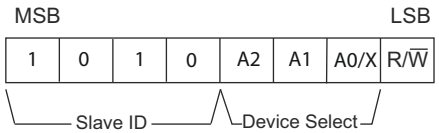
制御レジスタ
- メモリ制御レジスタ、1 × 8
- シリアル番号、8 × 8
- デバイス ID、4 × 8
- コマンド レジスタ、1 × 8

メモリ スレーブ デバイス

マスタが 1010b のスレーブ アドレスを発行し、その後選択されたデバイスの 2/3 ビットが続く場合、nvSRAM デバイスが読み取り / 書き込み用に選択されます。CY14MX064J1A デバイス選択の場合は 3 つのビット、CY14MX064J2A の場合は 2 つのビットで、3 番目のビットは影響しません。マスタから送信されたスレーブ アドレスがメモリ スレーブ デバイス アドレスに一致した場合、スレーブアドレスの R/$\overline{W}$ ビットに応じて、データは nvSRAM から読み取られる（R/$\overline{W}$ =「1」）または nvSRAM に書き込まれる（R/$\overline{W}$ =「0」）かのどちらかです。

CY14MX064J のアドレス長は 13 ビットです。したがって、全体のメモリアドレス位置をマッピングするためには、2 つのアドレスバイトが必要です。専用の 2 つのアドレス バイトは、A0 ～ A12 を表しています。しかし、アドレスは 13 ビットであるため、入力されたはじめの 3 つの MSB ビットは、デバイスによって無視されることを意味します。これらのビットは「無効」ですが、より高容量のメモリへの継ぎ目ない移行が可能となるように、サイプレスは、このビットを 0 として扱うことをお勧めしています。

図 7. メモリ スレーブ デバイス アドレス



制御レジスタ スレーブ デバイス

制御レジスタ スレーブ デバイスには、シリアル番号、製品 ID、メモリ制御、およびコマンド レジスタが含まれています。

マスタが 1010b のスレーブ アドレスを発行し、その後選択されたデバイスの 2/3 ビットが続く場合、nvSRAM 制御レジスタ スレーブ デバイスが読み取り / 書き込み用に選択されます。CY14MX064J1A デバイス選択の場合は 3 つのビット、CY14MX064J2A の場合は 2 つのビットで、3 番目のビットは無視します。マスタから送信されたスレーブ アドレスがメモリ スレーブ デバイス アドレスに一致した場合、スレーブアドレスの R/$\overline{W}$ ビットに応じて、データは nvSRAM から読み取られる（R/$\overline{W}$ =「1」）または nvSRAM に書き込まれる（R/$\overline{W}$ =「0」）かのどちらかです。

図 8. 制御レジスタ スレーブ デバイス アドレス

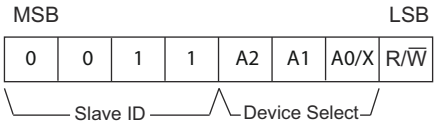


表 2. 制御レジスタ マップ

アドレス	説明	読み取り / 書き込み	詳細
0x00	メモリ制御レジスタ	読み取り / 書き込み	ブロック保護ビットおよびシリアル番号ロック ビットを含む
0x01	シリアル番号 8 バイト	読み取り / 書き込み（SNL が設定されている場合、読み取り専用）	プログラマブル シリアル番号 メモリ制御レジスタのシリアル番号ロック ビットを「1」に設定することによってロックされます。
0x02			
0x03			
0x04			
0x05			
0x06			
0x07			
0x08			
0x09	Device ID	読み取り専用	デバイス ID は工場出荷時にプログラムされています。
0x0A			
0x0B			
0x0C			
0x0D	予約済み	予約済み	予約済み
0xAA	コマンド レジスタ	書き込み専用	TORE、RECALL、AutoStore 有効 / 無効、SLEEP モードのコマンドを許可

メモリ制御レジスタ

メモリ制御レジスタには以下のビットが含まれています。

表 3. メモリ制御レジスタ ビット

ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
0	SNL（0）	0	0	BP1（0）	BP1（0）	0	0

■ **BP1:BP0**：ブロック保護ビットは、1/4、1/2、または全メモリ アレイを保護するために使用されます。これらのビットは、制御レジスタ スレーブ デバイスの 0x00 の位置への書き込み命令を介して書き込むことができます。ただし、ブロックが保護されているかどうかに関わらず、任意の STORE サイクルにより、SRAM データが不揮発性メモリセルへ転送されます。工場出荷時の BP0 と BP1 のデフォルト値は「0」です。

表 4. ブロック保護

Level（レベル）	BP1:BP0	ブロック保護
0	00	なし
1/4	01	0x1800–0x1FFF
1/2	10	0x1000–0x1FFF
1	11	0x0000–0x1FFF

SNL（S/N ロック）ビット：シリアル番号ロック ビット（SNL）は、シリアル番号をロックするために使用されます。ビットがいったん「1」に設定されると、シリアル番号レジスタがロックされ、変更できなくなります。このビットは「0」にクリアすることはできません。シリアル番号は次の STORE 動作時に固定されます（ソフトウェア STORE または AutoStore）。AutoStore が有効でない場合、ユーザーはロック ビット状態を確保するために、ソフトウェア STORE 動作を実行する必要があります。STORE が実行されない場合、シリアル番号ロック ビットはパワーサイクルに耐えられません。工場出荷時の SNL のデフォルト値は「0」です。

コマンド レジスタ

コマンド レジスタは、制御レジスタ スレーブ デバイスのアドレス「AA」に入っています。これは書き込み専用レジスタです。このレジスタに書き込まれたバイトにより、表 5 に記載されているように、STORE、RECALL、AutoStore 有効化、AutoStore 無効化、スリープモード動作が開始されます。コマンド レジスタ バイトの実行方法の詳細については、16 ページのシリアル番号を参照してください。

表 5. コマンド レジスタ バイト

データ バイト [7:0]	コマンド	説明
0011 1100	STORE	不揮発性メモリへの STORE SRAM データ
0110 0000	RECALL	不揮発性メモリから SRAM への RECALL データ
0101 1001	ASENB	AutoStore を有効化
0001 1001	ASDISB	AutoStore を無効化
1011 1001	SLEEP	低消費電力のためにスリープ モードに入る

■ **STORE**：nvSRAM ソフトウェア STORE を開始します。この命令が実行された後は、nvSRAM は t_{STORE} 時間内にアクセスすることはできません。nvSRAM ソフトウェア STORE 動作が開始された時点で、最後の NV 動作以降に書き込みが行われたかどうかに関わりなく、STORE 動作を実行します。t_{STORE} サイクル時間が終了した後、SRAM が読み取り / 書き込み動作のために再びアクティブになります。

■ **RECALL**：nvSRAM ソフトウェア RECALL を開始します。この命令が実行された後は、nvSRAM は t_{RECALL} 時間内にアクセスすることはできません。RECALL 動作では不揮発性メモリ素子内のデータは変更されません。RECALL はハードウェアによる RECALL（電源オンで開始）およびソフトウェアによる RECALL（I^2C 命令によって開始）の 2 つの方法で実行することができます。

■ **ASENB**：nvSRAM AutoStore を有効にします。この命令が実行された後は、nvSRAM は t_{SS} 時間内にアクセスすることはできません。この設定は不揮発性ではないので、これがパワーサイクルで耐えられるようにするには、その後に手動で STORE シーケンスを行う必要があります。工場出荷時 AutoStore は有効になっており、すべてのセルに 0x00 が書き込まれています。

■ **ASDISB**：nvSRAM AutoStore を無効にします。この命令が実行された後は、nvSRAM は t_{SS} 時間内にアクセスすることはできません。この設定は不揮発性ではないので、これがパワーサイクルで耐えられるようにするには、その後に手動で STORE シーケンスを行う必要があります。

注 AutoStore が無効かつ V_{CAP} が不要の場合、V_{CAP} ピンはオープンのままにしておく必要があります。V_{CAP} 端子は絶対にグランドに接続しないでください。電源オン RECALL 処理は、どのような場合でも無効にできません。

■ **SLEEP**：SLEEP 命令により、nvSRAM はスリープ モードとなります。SLEEP 命令が取り込まれると、nvSRAM は、SLEEP 要求処理をするのに、t_{SS} 時間かかります。いったん SLEEP コマンドが正常に取り込まれて処理されると、nvSRAM は不揮発性メモリにデータを確保するために STORE 動作を実行してから、スリープ モードに入ります。nvSRAM がスリープ モードに入る際は常に不揮発性 STORE サイクルを開始し、その結果として SLEEP コマンド実行のたびに耐久サイクルを失います。STORE サイクルは、最後の STORE または RECALL サイクル以降、SRAM への書き込みが実行された場合にのみ開始されます。

以下のように、nvSRAM はスリープ モードに入ります。

1. マスタが START コマンドを送信します。
2. マスタが I²C 書き込みビット セット（R/$\overline{W}$ =「0」）で制御レジスタ スレーブ デバイス ID を送信します。
3. スレーブ（nvSRAM）がマスタに ACK を返信します。
4. マスタはコマンド レジスタ アドレス（0xAA）を送信します。
5. スレーブ（nvSRAM）がマスタに ACK を返信します。
6. スリープ モードに入るために、マスタがコマンド レジスタ バイトを送信します。
7. スレーブ（nvSRAM）がマスタに ACK を返信します。
8. マスタが STOP コンディションを生成します。

いったんスリープ モードになると、デバイスは、SLEEP 命令が取り込まれて、t_{SLEEP} 時間後に、I_{ZZ} 電流を消費し始めます。スリープ モードでなくなるまで、デバイスは通常の動作ではアクセスできなくなります。デバイス スレーブ アドレスがマスタによって送信されると、nvSRAM は t_{WAKE} 期間の後ウェークアップします。

2 つのスレーブ アドレスのいずれかを送信すると、nvSRAM がスリープ モードからウェークアップします。nvSRAM デバイスはt_{SLEEP}およびt_{WAKE}の間はアクセスできず、マスタがnvSRAMデバイスにアクセスしようとしてもそれは無視され、nvSRAM がマスタに NACK を送信します。デバイスの準備ができているかどうかを判断する別の方法として、マスタは読み取りまたは書き込みコマンドを送ることができ、そして ACK を待ちます。

書き込み保護（WP）

WP ピンはアクティブ ハイ ピンであり、書き込み動作からメモリ全体およびすべてのレジスタを保護します。すべての書き込み動作を禁止するには、このピンを HIGH に保持する必要があります。このピンが HIGH になっていると、すべてのメモリとレジスタ書き込みが禁止され、アドレス カウンタはインクリメントされません。このピンは内部的に LOW にプルダウンされ、そのため使用されていない場合はオープンにしておくことができます。

AutoStore 動作

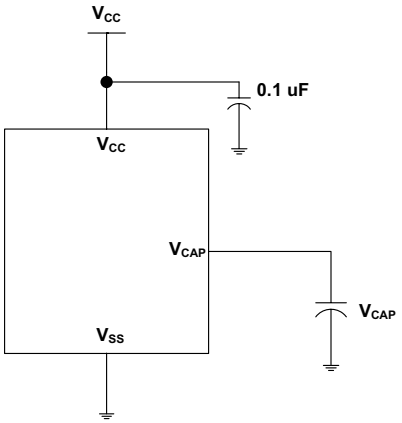
AutoStore 動作は、電源遮断時に SRAM データを量子トラップ セルに自動的に保存する、nvSRAM 独自の機能です。この STORE 処理では外付けコンデンサ（V_{CAP}）を活用し、デバイスは電源遮断時に不揮発性メモリへ安全にデータを保存することができます。

通常動作時、デバイスは V_{CC} から電流を得て、V_{CAP} ピンに接続されたコンデンサを充電します。電源遮断時に V_{CC} ピンの電圧が V_{SWITCH} 以下に下がった場合、デバイスは nvSRAM へのメモリ アクセスをすべて禁止し、V_{CAP} コンデンサからの電荷を使って自動的に条件付き STORE 動作を実行します。AutoStore 動作は、最後の STORE または RECALL の実行以降に書き込みサイクルが一度も実行されていない場合は起動されません。

注 コンデンサが V_{CAP} ピンに接続されていない場合、8 ページのコマンド レジスタに規定されているように、AutoStore 無効化命令を発行して AutoStore を無効にする必要があります。V_{CAP} ピンに接続されたコンデンサなしで AutoStore が有効にされる場合、デバイスは STORE 動作を完了するため、十分な電荷がないまま AutoStore 動作を実行しようとします。これにより、nvSRAM に格納されているデータ並びにシリアル番号が破壊され、SNL ビットのロックが解除されます。

図 9 に、AutoStore 処理向けのストレージコンデンサ（V_{CAP}）の適切な接続方法を示します。V_{CAP} の静電容量については、18 ページの DC 特性を参照してください。

図 9. AutoStore モード



ハードウェア RECALL（電源オン）

電源オンの間に V_{CC} が V_{SWITCH} を超えると、SRAM 上に不揮発性メモリの内容を転送する RECALL シーケンスが自動的に開始されます。データはそれ以前に STORE シーケンスを通じて不揮発性メモリに格納されることになっています。

電源オン RECALL サイクルが完了するまでには t_{FA} の時間がかかり、その間のメモリアクセスは禁止されます。

書き込み動作

スレーブ デバイス アドレスの最後のビットは、読み取りまたは書き込み動作を示しています。書き込み動作の場合には、スレーブ デバイス アドレスの後にメモリまたはレジスタ アドレスおよびデータが続きます。STOP または反復 START コンディションがマスタによって生成された場合、または nvSRAM によって NACK が発行された場合に、書き込み動作が継続されます。

NACK は、以下の条件下で nvSRAM から発行されます。

1. 有効なデバイス ID が受信されていない場合。
2. 保護されたメモリ ブロック アドレスへの書き込み（バースト書き込み）アクセスがなされると、データバイト受信後、nvSRAM から NACK が返されます。しかし、アドレス カウンタはこのアドレスに設定されており、次の最新読み取り動作はこのアドレスから開始されます。
3. 無効または範囲外のメモリ アドレスへの書き込み/ランダム読み取りアクセスにより、アドレス受信後、nvSRAM から NACKが返されます。アドレス カウンタはこのような場合には変更されません。

NACK が nvSRAM から送信された後、書き込み動作が終了し、STOP または反復 START コンディションがマスタによって生成されるまで、SDA ラインのすべてのデータは無視されます。

例えば、シリアル番号を書き込むために、バースト書き込みアクセスが、制御レジスタ スレーブ アドレス 0x01 で実行され、読み取り専用レジスタであるアドレス 0x09 まで継続された場合を考えてみてください。デバイスは NACK を返し、アドレス カウンタはインクリメントされません。次の読み取り動作は、アドレス 0x09 から開始されます。さらに、書き込み保護されたアドレス（例えば、0x09）から始まる任意の書き込み動作は、データバイトが送信され、このアドレスにアドレス カウンタが設定された後、nvSRAM によって NACK で応答されます。この場合も、次の読み取り動作は、アドレス 0x09 から開始されます。

注 ユーザーが存在しないアドレス（例えば、制御レジスタ スレーブの 0x0D）に読み取り / 書き込みアクセスを試みた場合は、範囲外のアドレスが送信された直後に、nvSRAM が NACK で応答します。アドレス カウンタはそのままで、前に成功した読み取りまたは書き込み動作のアドレスが保持されます。

データの 8 番目のビットが送信された後、書き込み動作が遅延なしで内部的に実行されます。書き込み動作が意図されていない場合は、8 番目のクロック サイクルの前に、マスタは、STOP または反復 START コディションを生成して、書き込み動作を終了する必要があります。

書き込み命令の詳細については、10 ページのメモリ スレーブ アクセスの章をご覧ください。

読み取り動作

スレーブ デバイス アドレスの最後のビットが「1」の場合、読み取り動作が想定され、マスタによってスレーブ デバイス アドレス バイトが送信された直後に、nvSRAM が SDA ラインを制御します。読み取り動作は、現在のアドレス位置（前回成功した書き込みまたは読み取り動作の後の位置）から開始します。最後のアドレスに到達すると、アドレス カウンタは最初のアドレスにループバックします。

制御レジスタ スレーブの場合には、バースト読み取りが存在しないアドレスへフローするよう実行されるたびに、この読み取り動作は 0x00 にループバックします。これは特にコマンド レジスタに適用されます。

読み取り動作を終了するには、以下の方法があります。

1. 9 番目のクロック サイクルでマスタが NACK を発行し、その後 10 番目のクロック サイクルでの STOP または反復 START コンディションが続きます。
2. マスタが 9 番目のクロック サイクルで STOP または反復 START コンディションを生成します。

書き込み命令の詳細については、10 ページのメモリ スレーブ アクセスの章をご覧ください。

メモリ スレーブ アクセス

次の章では、nvSRAM からの読み取りまたは書き込み動作を実行するために必要なデータ転送シーケンスを説明します。

nvSRAM 書き込み

各書き込み動作は、START コンディション後に送信されるスレーブ アドレスで構成されています。スレーブ アドレスの最後のビットは、書き込み動作を示すために「0」に設定されている必要があります。内部アドレス カウンタが自動的にインクリメントし続ける間、マスタは 1 バイトのデータを書き込む場合と、複数の連続したアドレス位置を書き続ける場合があります。メモリの最後のアドレスにアクセスした後、アドレス レジスタは 0x0000 にリセットされます。STOP または反復 START コンディションがマスタによって生成された場合、または nvSRAM によって NACK が発行された場合に、書き込み動作が継続します。

8 つすべてのデータビットが nvSRAM により受信された後でのみ、書き込み動作が実行されます。書き込み動作が正常に行われた後、nvSRAM は ACK 信号を送信します。マスタが STOP コンディションまたは反復 START 動作を生成することにより、書き込み動作を終了させることができます。メモリ内容を変更せずにマスタが現在の書き込み動作を中止する場合は、8 番目のデータビットの前に START/STOP コンディションを使用して実行されるべきです。

マスタが nvSRAM の書き込み保護されたメモリ アドレスへのアクセスを試みると、保護されたアドレスに書き込みしようとするデータバイトが送信された後に NACK が返され、アドレス カウンタはインクリメントされません。同様に、バースト モードの書き込み動作でも、データバイトが保護されたメモリ位置への書き込みを試みると NACK が返され、アドレス カウンタはインクリメントされません。

図 10. シングル バイトの nvSRAM への書き込み（Hs モードを除く）

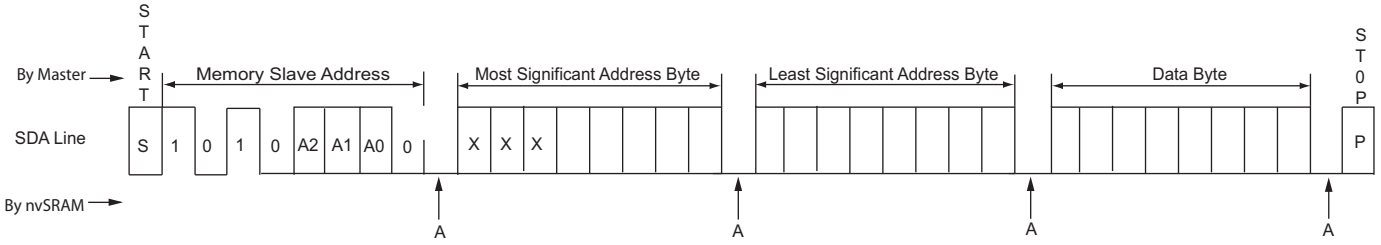


図 11. マルチ バイトの nvSRAM への書き込み（Hs モードを除く）

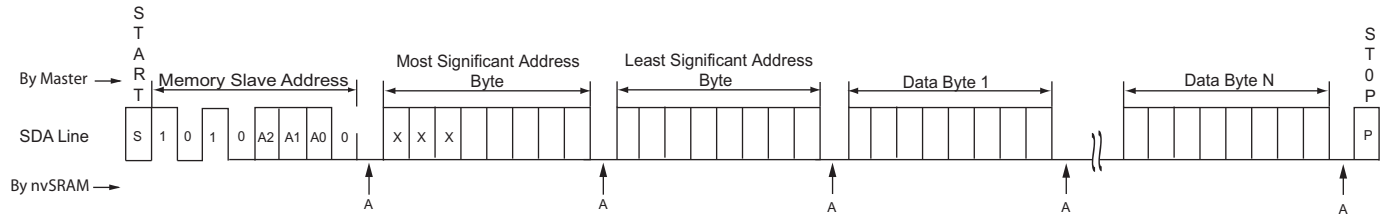


図 12. シングル バイトの nvSRAM への書き込み（Hs モード）

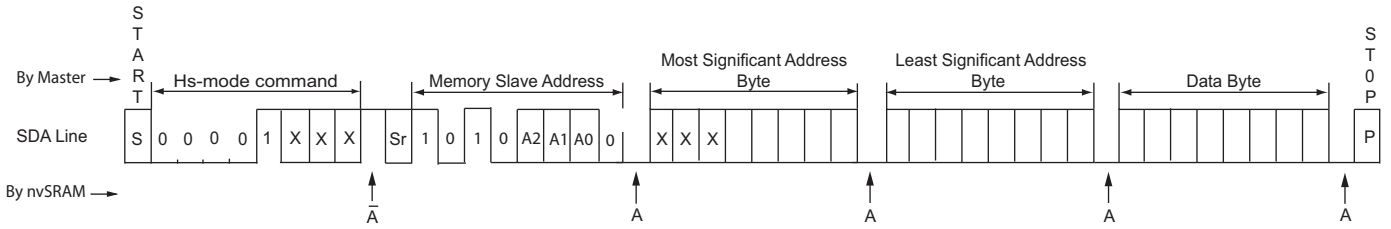
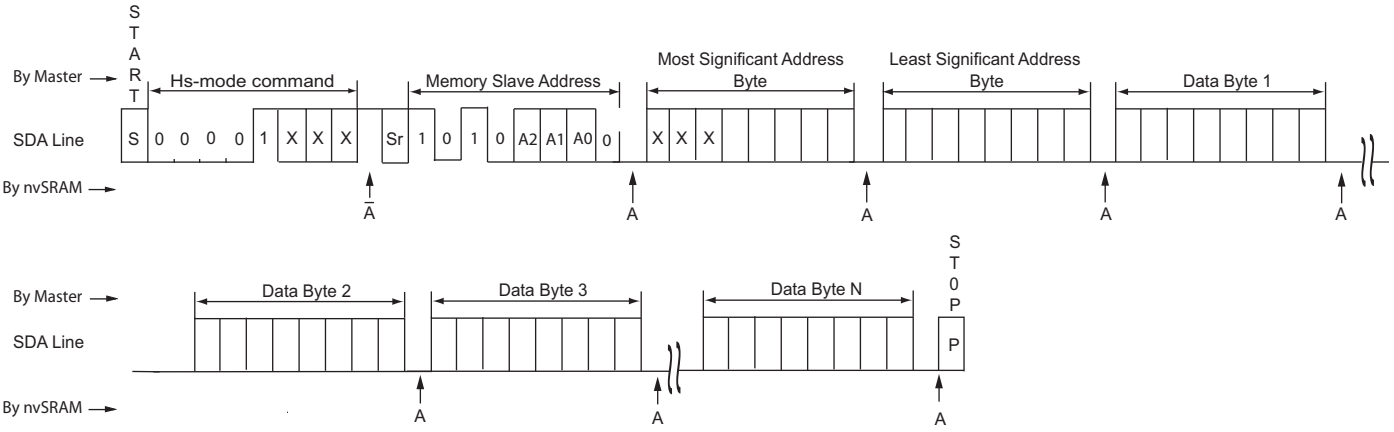


図 13. マルチ バイトの nvSRAM への書き込み（Hs モード）



現在位置での nvSRAM 読み取り

各読み取り動作は、「読み取り」を示す、LSB が「1」に設定されたマスタから、nvSRAM スレーブ アドレスが送信されることで開始されます。アドレス カウンタのアドレスから読み取りが始まります。アドレス カウンタは、「書き込み」または「読み取り」動作によって最後にアクセスされた位置の次のアドレス位置に設定されています。マスタは 1 バイトを読み取った後に読み取り動作を終了する場合もあれば、アドレス カウンタがアドレス 0x0000 にロールバックした後のメモリの最後のアドレスまで連続的にアドレスを読み続ける場合もあります。読み取りアクセスを終了させる有効な方法については、10 ページの読み取り動作の章をご覧ください。

図 14. 現在位置でのシングル バイト nvSRAM 読み取り（Hs モードを除く）

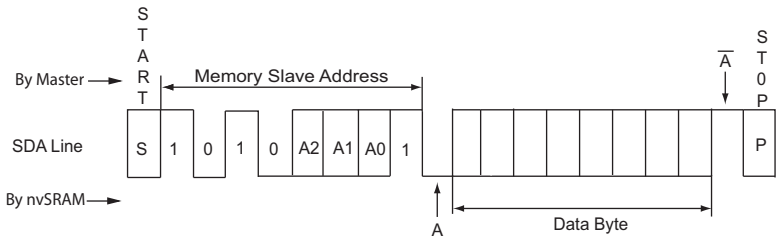


図 15. 現在位置でのマルチ バイト nvSRAM 読み取り（Hs モードを除く）

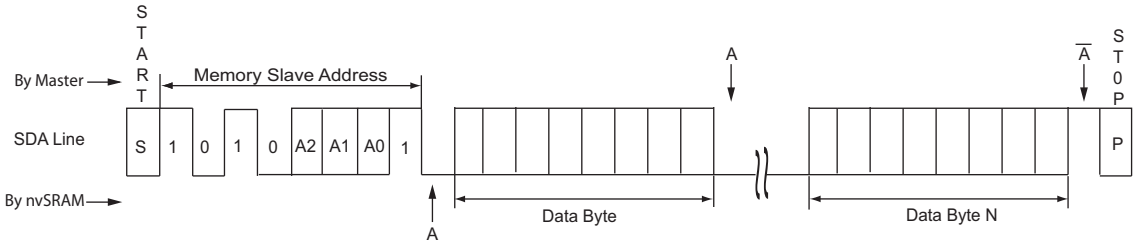


図 16. 現在位置でのシングル バイト nvSRAM 読み取り（Hs モード）

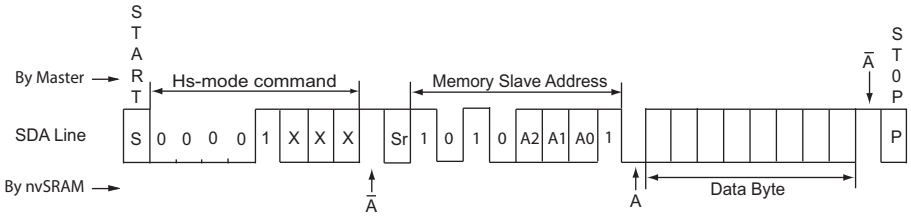
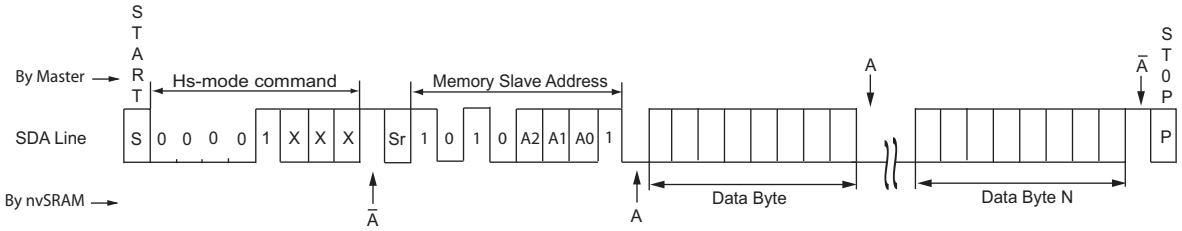


図 17. 現在位置でのマルチ バイト nvSRAM 読み取り（Hs モード）



ランダム アドレス読み取り

ランダム アドレス読み取りは、まず書き込み動作を開始し、最後のアドレス バイトが確認応答された直後に反復 START を生成することによって実行されます。アドレス カウンタはこのアドレスに設定され、このスレーブへの次の読み取りアクセスがここから読み取り動作開始します。マスタは 1 バイトを読み取った後に読み取り動作を終了する場合もあれば、アドレス カウンタがアドレス 0x0000 にロールバックした後のメモリの最後のアドレスまで連続的にアドレスを読み取り続ける場合もあります。

図 18. ランダム アドレス シングル バイト読み取り（Hs モードを除く）

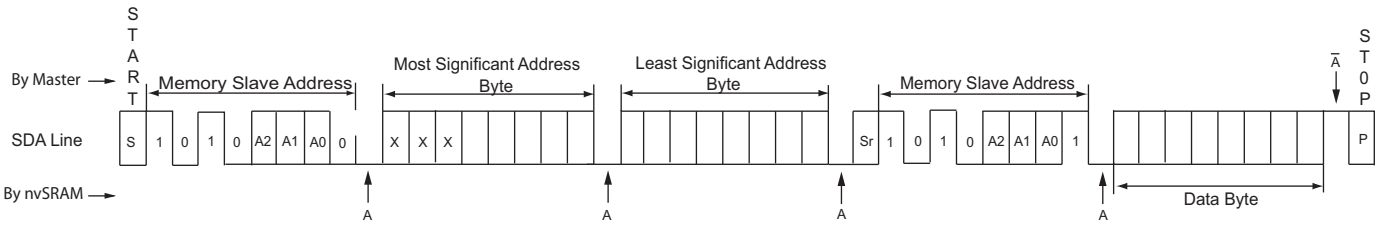


図 19. ランダム アドレス マルチ バイト読み取り（Hs モードを除く）

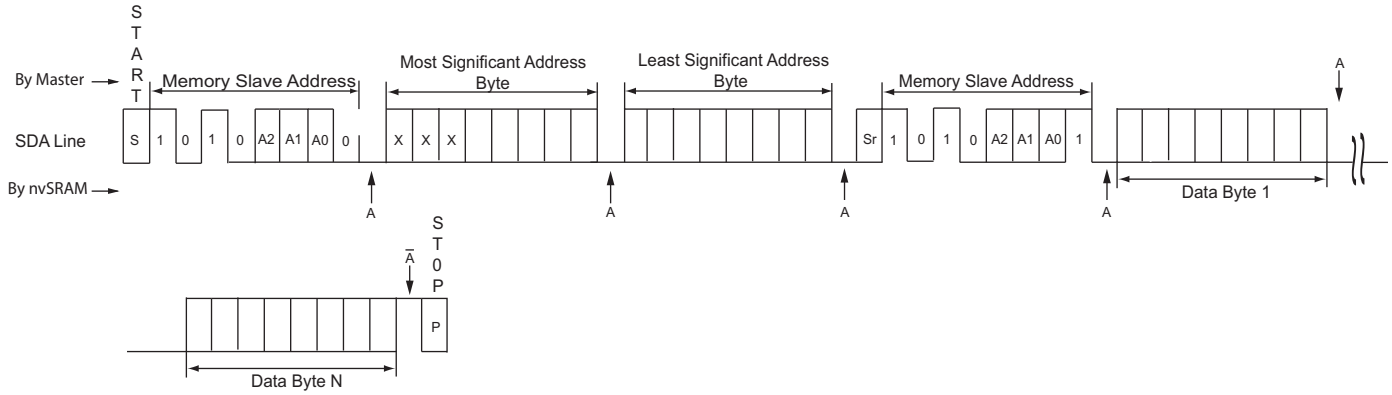


図 20. ランダム アドレス シングル バイト読み取り（Hs モード）

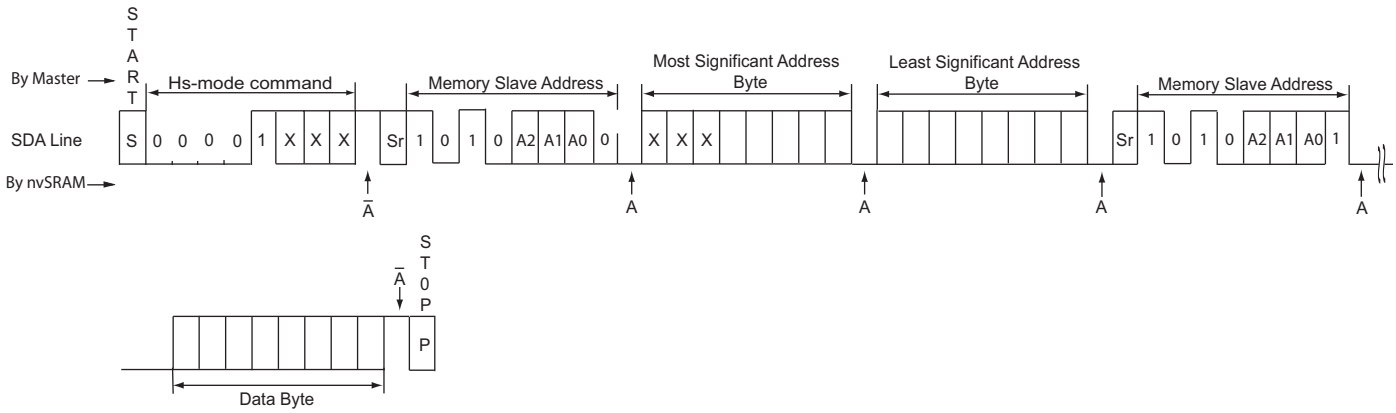
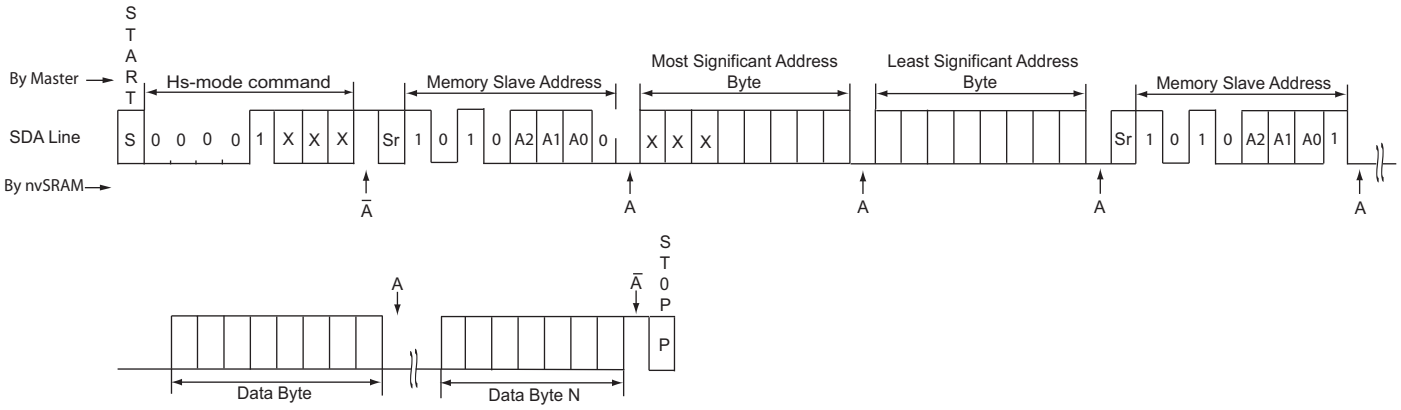


図 21. ランダム アドレス マルチ バイト読み取り（Hs モード）



制御レジスタ スレーブ

次のセクションでは、制御レジスタ スレーブからの読み取りまたは書き込み動作を実行するために必要なデータ転送シーケンスを説明します。

制御レジスタ書き込み

制御レジスタ スレーブに書き込むには、マスタは START コンディションを生成した後に制御レジスタ スレーブ アドレスを送信する必要があります。マスタが STOP コンディションまたは最後の書き込み可能なアドレス位置を生成するまで、マスタによって指定されたアドレス位置から書き込みシーケンスが続行されます。

通常の書き込みまたはバースト中に、書き込み動作で書き込み不可能なアドレス位置へのアクセスが発生した場合は、データバイトが送信された後にスレーブが NACK を生成し、書き込みシーケンスは終了します。次のデータバイトはすべて無視され、アドレス カウンタはインクリメントされません。

書き込み動作がコマンド レジスタ（0xAA）上で実行されると、このケースでは現在のアドレスが範囲外のアドレスであるため、次の読み取り動作も最初のアドレス（0x00）から開始されます。アドレスはインクリメントされず、次の最新読み取り動作はこのアドレス位置から開始されます。書き込み動作が範囲外のアドレス位置に試行された場合、アドレス バイトが送られた直後に nvSRAM が NACK を送信します。

さらに、シリアル番号がロックされていると、制御レジスタ スレーブに書き込めるのは 2 つのアドレス（0xAA またはコマンド レジスタ、および 0x00 またはメモリ制御レジスタ）のみとなります。他のアドレス位置への書き込み動作では、デバイスはコマンド バイトおよびアドレス バイトを確認応答しますが、データバイトの制御レジスタ スレーブから NACK が返されます。この場合、アドレスはインクリメントされず、現在位置での読み取りは最後に確認応答されたアドレスから発生します。

マスタが書き込み動作で範囲外のメモリ アドレスにアクセスすると、nvSRAM 制御レジスタ スレーブは NACK を送信します。この場合、次の最新の読み取り動作は最後に確認応答されたアドレスから始まります。

図 22. 制御レジスタへのシングル バイト書き込み

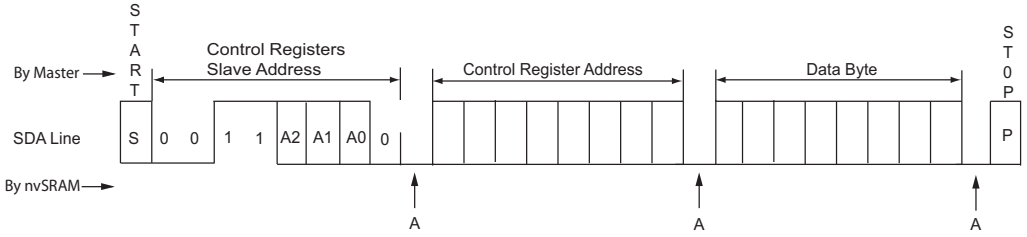
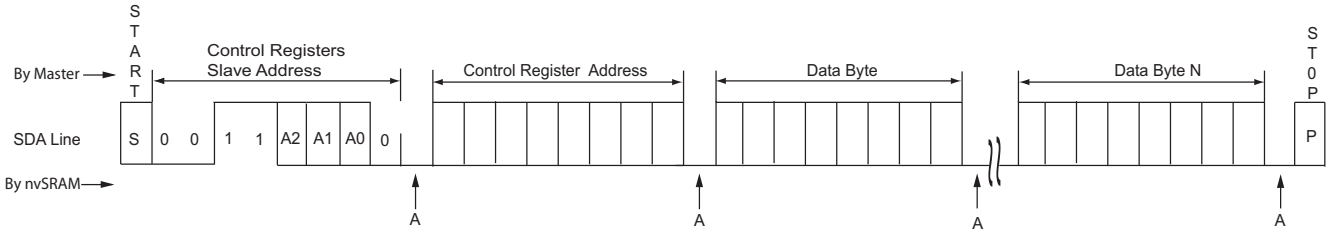


図 23. 制御レジスタへのマルチ バイト書き込み



現在の制御レジスタ読み取り

制御レジスタ スレーブの読み取りは、LSB が「1」に設定されている START コンディションの後、マスタが制御レジスタ スレーブ アドレスを送信することで開始されます。読み取りは、最後にアクセスされた位置の次のアドレスである現在のアドレスから開始されます。制御レジスタ スレーブの読み取りは最後の読み取り可能なアドレス位置まで続き、最初の位置（0x00）にループバックします。コマンド レジスタは書き込み専用レジスタであり、連続的な読み取り動作経由ではアクセスできないことに注意してください。バースト読み取り動作がコマンド レジスタ（0xAA）から始まった場合は、アドレス カウンタはレジスタ マップ（0x00）の最初のアドレスにラップアラウンドします。

図 24. 制御レジスタ シングル バイト読み取り

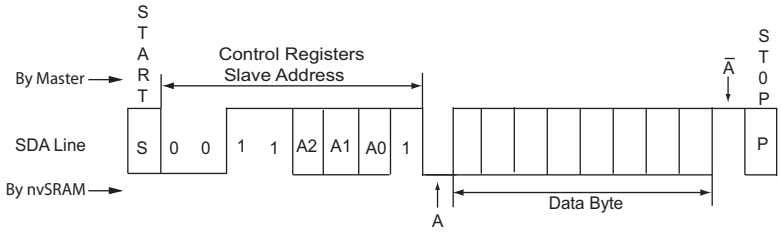
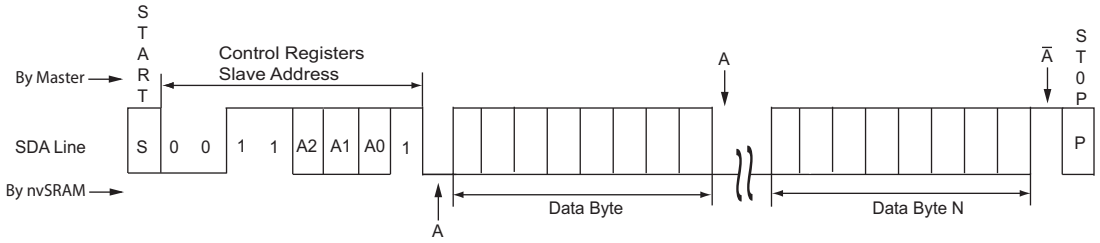


図 25. 制御レジスタ マルチ バイト読み取り



ランダム制御レジスタ読み取り

ランダム アドレスの読み取りは、読み取りが目的の位置への書き込み動作を開始した直後に反復 START 動作を続けることで実行することができます。制御レジスタ スレーブの読み取りは最後の読み取り可能なアドレス位置まで続き、最初の位置（0x00）にループバックします。コマンド レジスタは書き込み専用レジスタであり、連続的な読み取り動作経由ではアクセスできないことに注意してください。コマンド レジスタ（0xAA）から始まるランダム読み取りは、制御レジスタ マップ（0x00）の最初のアドレスにループバックします。ランダム読み取り動作が範囲外のメモリ アドレスから開始される場合、アドレス バイトが送信された後に nvSRAM が NACK を送信します。

図 26. ランダム制御レジスタ シングル バイト読み取り

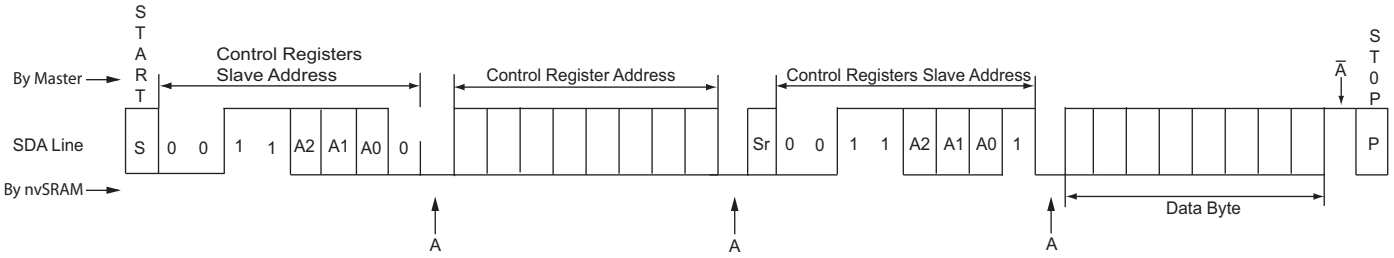
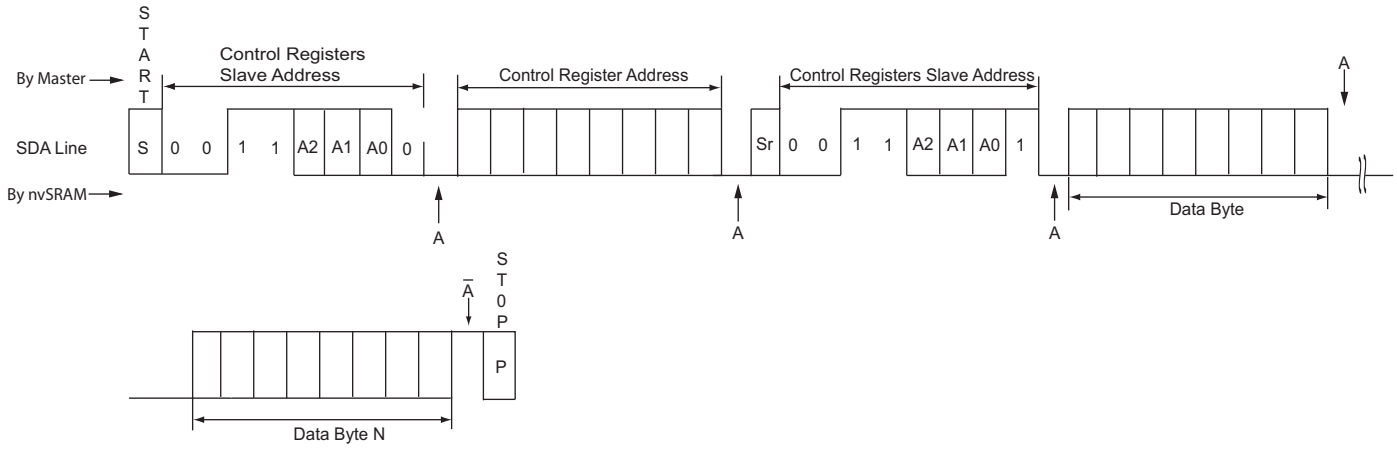


図 27. ランダム制御レジスタ マルチ バイト読み取り



シリアル番号

シリアル番号は、このデバイスを一意に識別するためにユーザーに提供される 8 バイトのメモリ空間です。通常 2 バイトのカスタマ ID 、その後に続く固有の 5 バイトのシリアル番号と 1 バイトの CRC チェックで構成されています。ただし、nvSRAM は CRC を計算しないため、所望の形式で 8 バイトのメモリ空間を利用するかどうかはユーザー次第となります。8 バイトの位置のデフォルト値は「0x00」に設定されています。

シリアル番号書き込み

シリアル番号には、制御レジスタ スレーブ デバイスを介してアクセスすることができます。シリアル番号を書き込むには、START コンディションの後にマスタが制御レジスタ スレーブアドレスを送信し、0x01 から 0x08 のアドレス位置に書き込みます。シリアル番号レジスタの内容ツは、次の STORE 動作の不揮発性メモリに確保されています。AutoStore が有効になっている場合は、電源オフ時に nvSRAM が自動的に不揮発性メモリにシリアル番号を格納します。しかし、AutoStore が無効になっている場合は、ユーザーが STORE 動作を実行して、シリアル番号レジスタの内容を確保する必要があります。

注 シリアル番号ロック（SNL）ビットが設定されていない場合、シリアル番号レジスタは STORE が実行されたか否かに関わらず再度書き換えることができます。いったんシリアル番号ロック ビットが設定されると、シリアル番号レジスタへは書き込めません。シリアル番号ロック ビットを設定中に、マスタがレジスタへの書き込み動作を実行しようとすると、NACK が返され、書き込みは行われません。

シリアル番号ロック

シリアル番号レジスタへの書き込み完了後、メモリ制御レジスタ（0x00）でシリアル番号内容を「1」に設定してシリアル番号をロックする責任はマスタにあります。メモリ制御レジスタおよびシリアル番号の内容は、次の STORE 動作（STORE または AutoStore）に確保されます。AutoStore が有効でない場合は、ユーザーが STORE 動作を実行して、ロック ビット状態を確保する必要があります。

STORE が実行されていないと、シリアル番号ロック ビットはパワーサイクルに耐えられません。シリアル番号ロック ビットおよび 8 バイトのシリアル番号は、電源投入時「0」がデフォルトです。

シリアル番号読み取り

シリアル番号は、制御レジスタ スレーブの目的のアドレスの読み取り動作によって読み取ることができます。制御レジスタ デバイスは、バースト読み取り動作実行中に、最後のアドレス（コマンド レジスタを除く）から 0x00 アドレス位置へループバックします。シリアル番号は 0x01 から 0x08 の位置に存在します。シリアル番号がロックされていない場合でも、シリアル番号読み取り動作により、シリアル番号レジスタに書き込まれている現在の値を戻すことができます。ロックビットを設定する前に、正しいシリアル番号がレジスタに書き込まれているかどうかを確認するために、マスタはシリアル番号読み取り動作を実行することができます。

Device ID

デバイス ID は、JEDEC 割り当てのメーカー ID、製品 ID、容量 ID、およびダイリビジョンで構成される 4 バイト コードです。これらのレジスタは工場出荷時に設定され、ユーザーにとっては読み取り専用のレジスタです。

表 6. Device ID

Device	Device ID (4 バイト)	Device ID 詳細			
		31–21 (11 ビット)	20–7 (14 ビット)	6–3 (4 ビット)	2–0 (3 ビット)
		メーカー ID	製品 ID	Density ID	ダイリビジョン
CY14MB064J1A	0x06812889	00000110100	00001001010001	0001	001
CY14MB064J2A	0x0681A889	00000110100	00001101010001	0001	001
CY14ME064J1A	0x06813089	00000110100	00001001100001	0001	001
CY14ME064J2A	0x0681B089	00000110100	00001101100001	0001	001

表 6 に示されているように、デバイス ID は 4 つの部分に分かれています。

1. メーカー ID（11 ビット）

これはサイプレス用に JEDEC が割り当てたメーカーの ID です。JEDEC は異なるバンクでメーカーID を割り当てます。メーカー ID の最初の 3 ビットは、ID が割り当てられているバンクを表しています。次の 8 ビットはメーカー ID を表しています。

サイプレスのメーカーID はバンク 0 の 0x34 です。したがって、すべてのサイプレスの nvSRAM 製品のメーカー ID は以下のようになっています。

Cypress ID - 000_0011_0100

2. 製品 ID（14 ビット）

デバイスの製品 ID は表 6 に示されています。

3. 容量 ID（4 ビット）

表 6 に示されているように、4 ビットの容量 ID は製品の 64-kb 容量を示すためのものです。

4. ダイリビジョン（3 ビット）

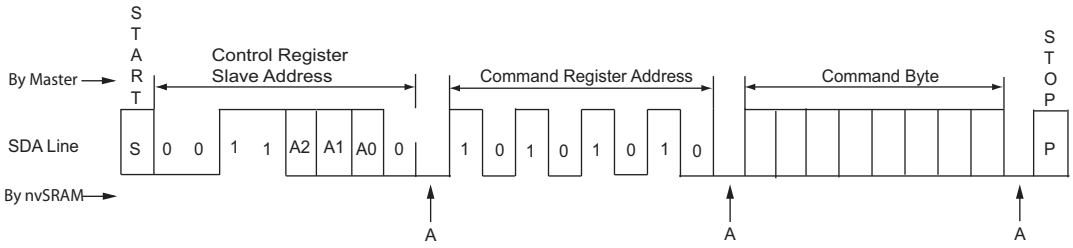
これは大幅な製品設計変更を表すために使用されます。

デバイスのダイリビジョンは表 6 に示されています。

コマンド レジスタを使用したコマンドの実行

制御レジスタ スレーブにより、コマンド レジスタ（0xAA）に特定のコマンド バイトを書き込むことで異なるコマンドの実行が可能となります。各コマンドのバイト コードは 8 ページの表 5 に指定されています。これらのコマンドの実行中は、デバイスにアクセスすることができず、3 つのスレーブ デバイスのいずれかが選択されている場合は NACK が返されます。無効なコマンドがマスタによって送信された場合、nvSRAM は、そのコマンドが NOP（無処理）で確認されたことを示す ACK で 応答します。アドレスは 0x00 の位置へロールオーバーされます。

図 28. コマンド レジスタを使用したコマンドの実行



最大定格

最大定格を超えると、デバイスの寿命が短くなる可能性があります。これらのユーザ ガイドラインは未テストです。

保存温度 .....–65 °C ～ +150 °C

最大累積電荷保持時間

周囲の温度 150 °C で ..... 1000 時間

周囲の温度 85 °C で .....20 年

最大接合部温度 ..... 150 °C

V_{SS} を基準にした V_{CC} の電源電圧

CY14MB064J: .....–0.5 V ～ +4.1 V

CY14ME064J： .....–0.5 V ～ +7.0 V

High Z 状態の出力に印加される電圧 ..... -0.5V ～ V_{CC} + 0.5V

入力電圧 .....–0.5 V ～ V_{CC} + 0.5 V

任意のピンからグランド電位への過渡電圧（< 20 ns）.....–2.0 V ～ V_{CC} + 2.0 V

パッケージ許容電力損失（T_A = 25°C）..... 1.0 W

表面実装はんだ付け温度（3 秒）..... +260 °C

DC 出力電流（一度に 1 出力、1 秒間）..... 15 mA

静電気放電電圧（MIL-STD-883、メソッド 3015 による）..... > 2001 V

ラッチアップ電流.....> 140 mA

動作範囲

製品	範囲	周囲温度	V_{CC}
CY14MB064J	工業用	–40 °C ～ +85 °C	2.7 V ～ 3.6 V
CY14ME064J			4.5 V ～ 5.5 V

DC 特性

動作範囲以上

パラメータ	説明	テスト条件		最小値	標準値 [3]	最大値	単位
V_{CC}	電源		CY14MB064J	2.7	3.0	3.6	V
			CY14ME064J	4.5	5.0	5.5	V
I_{CC1}	平均 V_{CC} 電流	f_{SCL} = 3.4 MHz、出力負荷なしで得られた値（I_{OUT} = 0 mA）		–	–	1	mA
		f_{SCL} = 1 MHz、出力負荷なしで得られた値（I_{OUT} = 0 mA）		–	–	400	µA
I_{CC2}	STORE 中の平均 V_{CC} 電流	すべての入力は任意 (ドントケア)、V_{CC} = 最大 期間 t_{STORE} の平均電流		–	–	3	mA
I_{CC4}	AutoStore サイクル中の平均 V_{CAP} 電流	すべての入力は任意 (ドントケア)。期間 t_{STORE} の平均電流		–	–	3	mA
I_{SB}	V_{CC} スタンバイ電流	SCL ≥ （V_{CC} – 0.2 V）。V_{IN} ≤ 0.2 V または V_{IN} ≥ （V_{CC} – 0.2 V）。不揮発性のサイクルが完了した後のスタンバイ電流レベル。入力は静止状態。f_{SCL} = 0 MHz。	CY14MB064J	–	–	120	µA
			CY14ME064J	–	–	150	µA
I_{ZZ}	スリープモード電流	SLEEP 命令が発行された後の t_{SLEEP} 時間 すべての入力は静止しており、CMOS ロジック レベルで設定。		–	–	8	µA
I_{IX} [4]	各 I/O ピンの入力電流	0.1 V_{CC} < V_i < 0.9 V_{CC} 最大		–1	–	+1	µA
I_{OZ}	出力リーク電流			–1	–	+1	µA
C_i	各 I/O ピンの容量	すべての入力および出力信号ピンおよび V_{SS} で測定された容量。		–	–	7	pF

注

3. 標準値は 25 ℃、V_{CC} = $V_{CC\ (Typ)}$ です 。100% テストされているわけではありません。
4. WP、A2、A1、および A0 ピンには適用されません。

DC 特性 (つづき)

動作範囲以上

パラメータ	説明	テスト条件		最小値	標準値 [3]	最大値	単位
V_{IH}	入力 HIGH 電圧			0.7 × V_{CC}	–	V_{CC} + 0.5	V
V_{IL}	入力 LOW 電圧			– 0.5	–	0.3 × Vcc	V
V_{OL}	出力 LOW 電圧	I_{OL}= 3 mA		0	–	0.4	V
R_{in} [5]	入力抵抗（WP、A2、A1、A0）	V_{IN} = V_{IL}（最大）の場合		50	–	–	kΩ
		V_{IN} = V_{IH}（最小）の場合		1	–	–	MΩ
V_{hys}	シュミット トリガ入力のヒステリシス			0.05 × V_{CC}	–	–	V
V_{CAP} [6]	ストレージ コンデンサ。	V_{CAP} ピンと V_{SS} の間		42	47	180	µF
V_{VCAP} [7, 8]	デバイスで駆動された V_{CAP} ピン上の最大電圧	V_{CC} = 最大	CY14MB064J	–	–	V_{CC}	V
			CY14ME064J	–	–	V_{CC}– 0.5	

データリテンション期間および書き換え回数

動作範囲に渡って

パラメータ	説明	最小値	単位
$DATA_R$	データリテンション期間	20	年
NV_C	不揮発性メモリ STORE 処理回数	1,000	K 回

熱抵抗

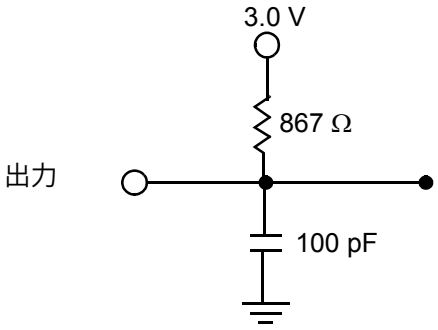
パラメータ [8]	説明	テスト条件	8 ピン SOIC	単位
Θ_{JA}	熱抵抗（接合面から周囲）	テスト条件は、EIA/JESD51 により、熱インピーダンスを測定するための標準的なテスト方法と手順に従う。	101.08	°C/W
Θ_{JC}	熱抵抗（接合面からケース）		37.86	°C/W

注
5. 入力プルダウン回路は、入力電圧が V_{IL} 以下である時に強く（50kΩ）、入力電圧が V_{IH} 以上の時に弱く（1MΩ）なります。
6. V_{CAP} 最小値は、AutoStore 処理を完了するのに十分な電荷があることを保証するものです。V_{CAP} 最大値は、パワーアップ RECALL サイクルの間に、V_{CAP} コンデンサーが最低電圧まで充電されることを保証します。それ故、直後のパワーダウンサイクルで Autostore を成功裏に終了することができます。したがって、指定した最小値と最大値の範囲内でコンデンサを使用することを常にお勧めします。V_{CAP} オプションの詳細については、アプリケーションノート AN43593 を参照してください。
7. V_{CAP} ピン（V_{VCAP} の最大電圧は、V_{CAP} コンデンサを選択する際に指針として提供されます。動作温度範囲にわたる V_{CAP} コンデンサの定格電圧は、V_{VCAP} 電圧よりも高くなければなりません。
8. これらのパラメータは設計保証であり、テストは行われていません。

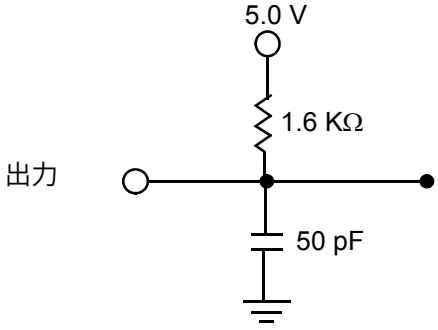
AC テストの負荷と波形

図 29. AC テストの負荷と波形

3.0 V（CY14MB064J）の場合



5.0 V（CY14MB064J）の場合



AC テスト条件

説明	CY14MB064J	CY14ME064J
入力パルス レベル	0 V ～ 3 V	0 V ～ 5 V
入力立ち上がり / 立ち下がり時間（10% ～ 90%）	10ns	10ns
入力と出力のタイミング参照レベル	1.5 V	2.5 V

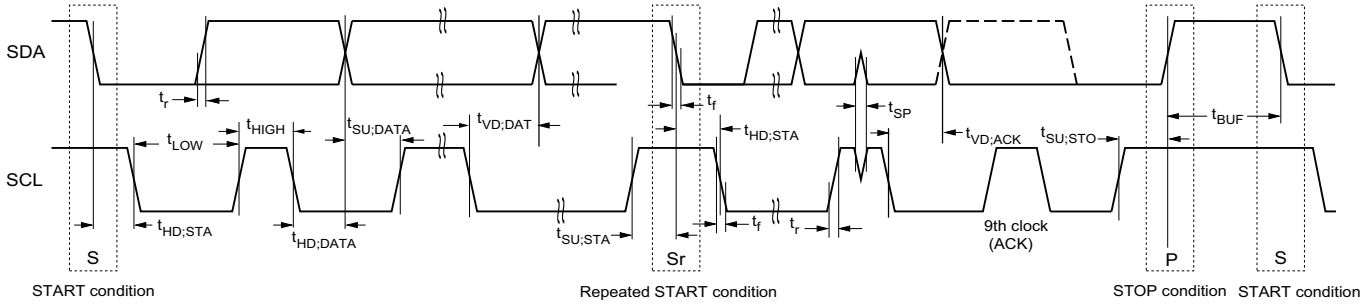
AC スイッチング特性

動作範囲以上

パラメータ [9]	説明	3.4 MHz [10]		1 MHz [10]		400 kHz [10]		単位
		最小値	最大値	最小値	最大値	最小値	最大値	
f_{SCL}	クロック周波数、SCL	–	3400	–	1000	–	400	kHz
$t_{SU、STA}$	反復 START コンディションのセットアップ時間	160	–	250	–	600	–	ns
$t_{HD;STA}$	START コンディションのホールド時間	160	–	250	–	600	–	ns
t_{LOW}	SCL の LOW 期間	160	–	500	–	1300	–	ns
t_{HIGH}	SCL の HIGH 期間	60	–	260	–	600	–	ns
$t_{SU、DATA}$	データ入力セットアップ時間	10	–	100	–	100	–	ns
$t_{HD、DATA}$	データ ホールド時間（入力 / 出力）	0	–	0	–	0	–	ns
t_{DH}	データ出力ホールド時間	0	–	0	–	0	–	ns
t_r [11]	SDA と SCL の立ち上がり時間	–	80	–	120	–	300	ns
t_f [11]	SDA と SCL の立ち下がり時間	–	80	–	120	–	300	ns
$t_{SU;STO}$	STOP コンディションのセットアップ時間	160	–	250	–	600	–	ns
$t_{VD、DATA}$	データ出力有効時間	–	130	–	400	–	900	ns
$t_{VD、ACK}$	ACK 出力有効時間	–	130	–	400	–	900	ns
t_{OF} [11]	V_{IH}（最小）から V_{IL}（最大）の出力立ち下がり時間	–	80	–	120	–	300	ns
t_{BUF}	STOP コンディションと次の START コンディションとの間のバス空き時間	0.3	–	0.5	–	1.3	–	us
t_{SP}	入力フィルタによって抑制する必要があるスパイクのパルス幅	–	10	–	50	–	50	ns

スイッチング波形

図 30. タイミング図



注
9. テスト条件は、10 ns 以下の信号遷移時間、V_{CC} /2 のタイミング参照レベル、V_{CC}（typ）への 0 の入力パルス レベル、指定された I_{OL} の出力負荷、および図 29 に示されている負荷容量を想定しています。
10. バス負荷（Cb）の考慮事項：I^2C クロック周波数 （SCL）100/400/1000 kHz の場合、Cb < 500 pF。3.4 MHz で SCL の場合、Cb < 100 pF。
11. これらのパラメータは設計保証であり、テストは行われていません。

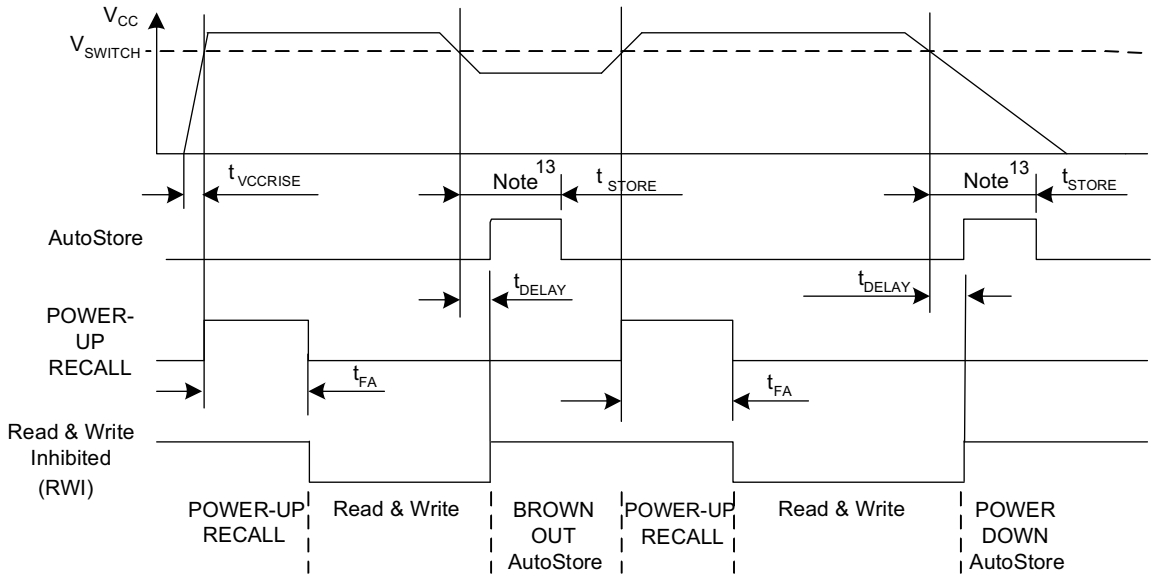
nvSRAM 仕様

動作範囲に渡って

パラメータ	説明		最小値	最大値	単位
t_{FA} [12]	電源オン RECALL 期間		–	20	ms
t_{STORE} [13]	STORE サイクル期間		–	8	ms
t_{DELAY} [14、15]	SRAM 書き込みサイクルを完了するのに許容される時間		–	25	ns
$t_{VCCRISE}$ [15]	V_{CC} 立ち上がり時間		150	–	µs
V_{SWITCH}	低電圧トリガ レベル	CY14MB064J	–	2.65	V
		CY14ME064J	–	4.40	V
t_{WAKE}	SLEEP モードから nvSRAM がウェークアップするまでの時間		–	20	ms
t_{SLEEP}	SLEEP 命令が発行されてから低消費電力モードに入るまでの時間		–	8	ms
t_{SB} [15]	STOP コンディションが発行されてからスタンバイモードに入るまでの時間		–	100	µs

スイッチング波形

図 31. AutoStore または電源オン時の RECALL [16]



注
12. t_{FA} は、V_{CC} が V_{SWITCH} を越えた時から始まります。
13. SRAM の書き込みが最後の不揮発性サイクル以降に行われていない場合は、AutoStore は行われません。
14. AutoStore の開始時に、SRAM の書き込み動作は、t_{DELAY} の間継続されます。
15. これらのパラメータは設計保証であり、テストは行われていません。
16. 読み取りおよび書き込みサイクルは、STORE、RECALL 中、および V_{CC} が V_{SWITCH} 未満である場合は無視されます。

ソフトウェア制御 STORE/RECALL サイクル

動作範囲以上

パラメータ	説明	CY14MX064J		単位
		最小値	最大値	
t_{RECALL}	RECALL 期間	–	600	µs
t_{SS}[17、18]	ソフトウェア シーケンス処理時間	–	500	µs

スイッチング波形

図 32. ソフトウェア STORE/RECALL サイクル [18]

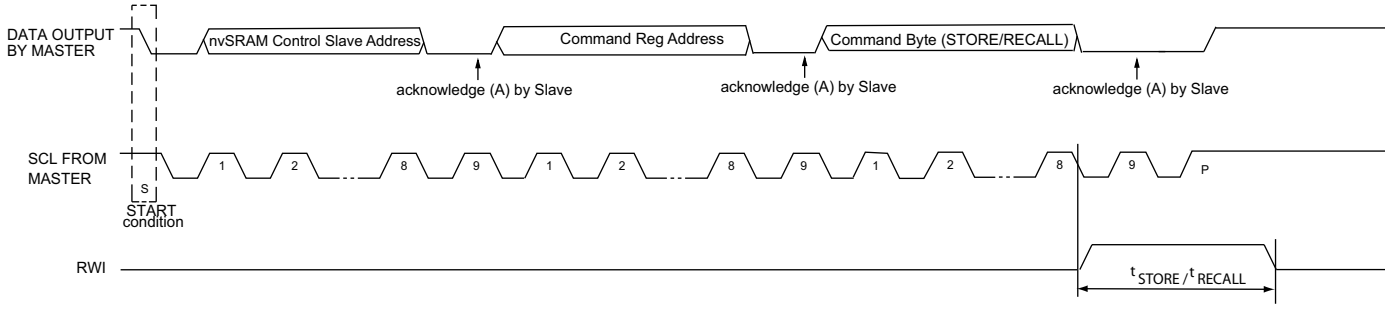
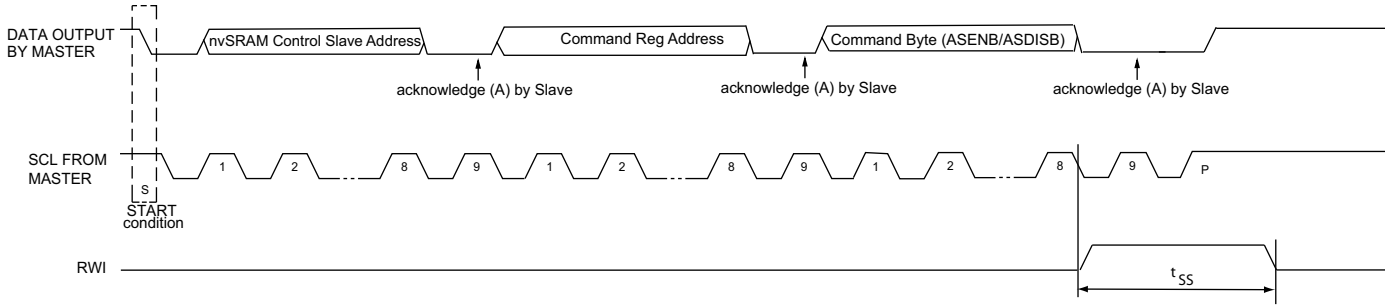


図 33. AutoStore 有効 / 無効 サイクル



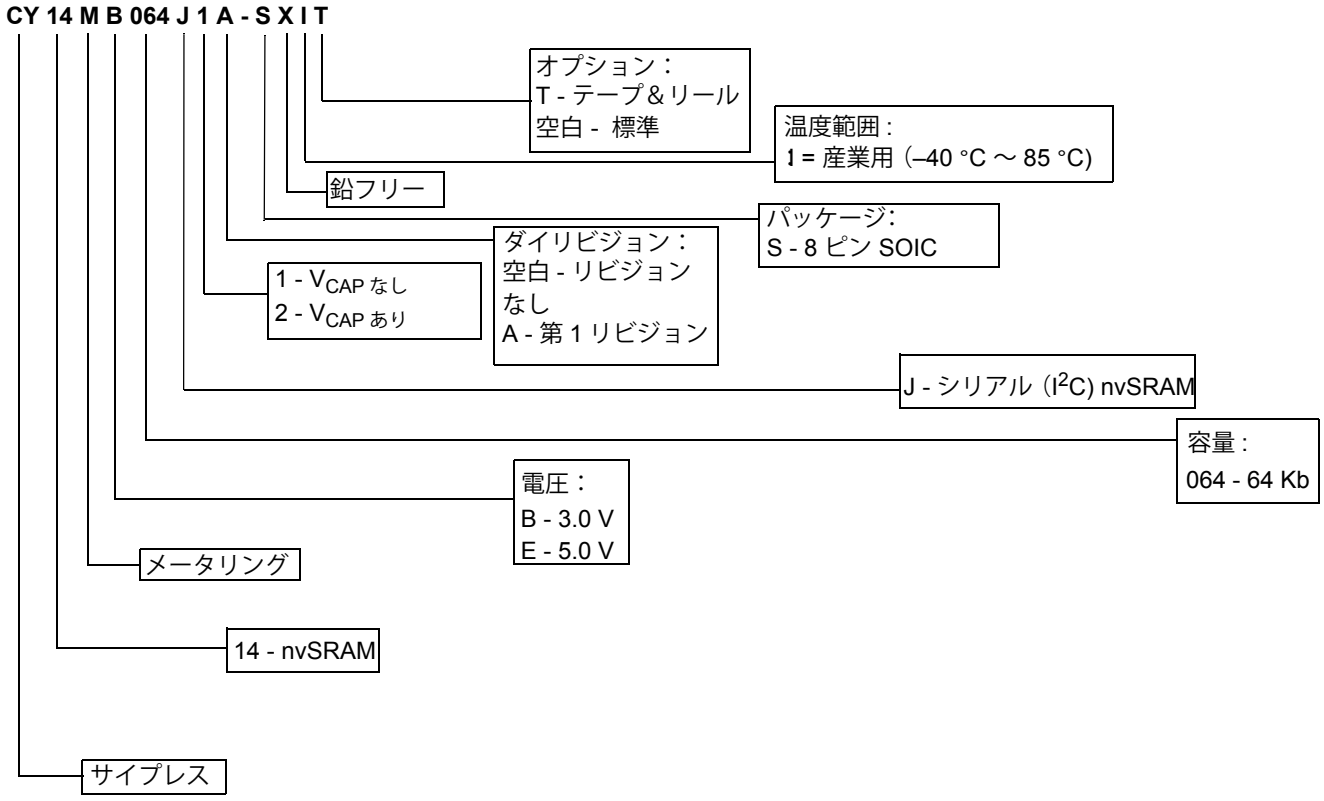
注
17. これは、ソフトシーケンス コマンドでの処理にかかる時間です。効果的にコマンドを登録するには、V_{CC} 電圧は HIGH でなければなりません。
18. STORE や RECALL といったコマンドは、その処理の完了まで I/O をロックアウトします。これが更にこの時間を増加させます。詳しくは個々のコマンドを参照してください。

注文情報

注文コード	パッケージ図	パッケージ タイプ	動作範囲
CY14MB064J2A-SXI	51-85066	8 ピン SOIC（V_{CAP} あり）	工業用
CY14MB064J2A-SXIT		8 ピン SOIC（V_{CAP} あり）	
CY14ME064J1A-SXI		8 ピン SOIC（V_{CAP} なし）	
CY14ME064J1A-SXIT		8 ピン SOIC（V_{CAP} なし）	

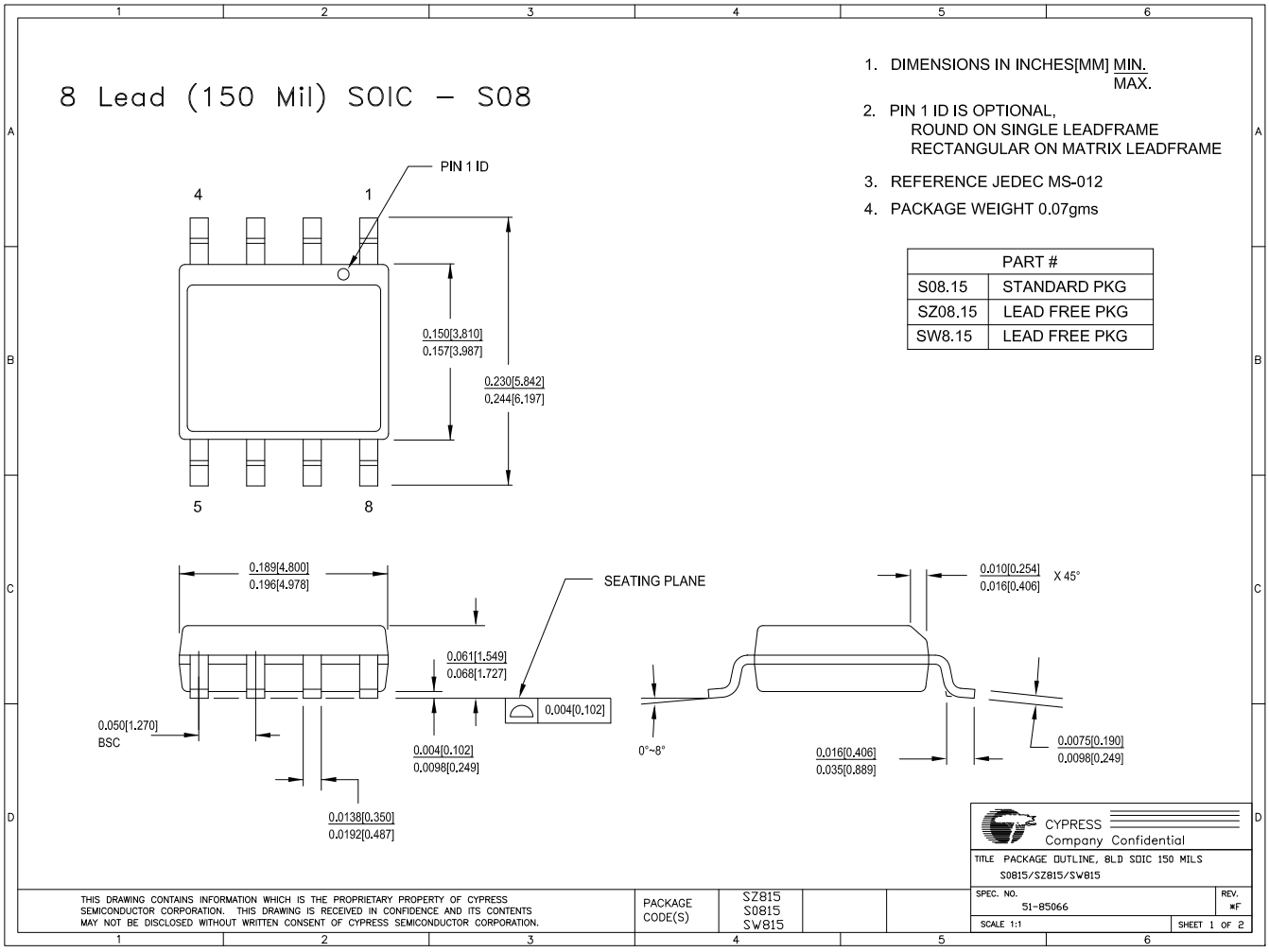
上記の部品は鉛フリーです。この表には最終的な情報が含まれています。これらの部品の在庫状況については、最寄りのサイプレスの販売代理店にお問い合わせください。

注文コードの定義



外形図

図 34. 8 ピン SOIC（150 ミル）パッケージの外形図、51-85066



略語

略語	説明
ACK	確認応答
CMOS	相補型金属酸化膜半導体
CRC	cyclic redundancy check（巡回冗長検査）
EIA	electronic industries alliance、米国電子工業会
I^2C	I^2C
I/O	入出力
JEDEC	半導体技術協会（旧電子機器技術評議会）
LSB	最下位ビット
MSB	最上位ビット
nvSRAM	不揮発性スタティック ランダム アクセス メモリ
NACK	非確認応答
RoHS	特定有害物質使用制限指令
R/$\overline{W}$	読み取り / 書き込み
RWI	読み取りおよび書き込み禁止
SCL	シリアル クロック ライン
SDA	シリアル データ アクセス
SNL	シリアル番号ロック
SOIC	小型外形集積回路
SRAM	スタティック ランダム アクセス メモリ
WP	書き込み保護

本書の表記法

測定単位

記号	測定単位
°C	摂氏
Hz	ヘルツ
kHz	キロヘルツ
kΩ	キロオーム
Mbit	メガビット
MHz	メガヘルツ
MΩ	メガオーム
µA	マイクロアンペア
µF	マイクロファラッド
µs	マイクロ秒
mA	ミリアンペア
ms	ミリ秒
ns	ナノ秒
Ω	オーム
%	パーセント
pF	ピコファラッド
V	ボルト
W	ワット

改訂履歴

ドキュメントのタイトル：CY14MB064J1A/CY14MB064J2A, CY14ME064J1A/CY14ME064J2A, 64-Kbit (8 K × 8) シリアル (I^2C) nvSRAM 文書番号 : 001-87111				
改訂番号	ECN 番号	変更者	提出日	変更内容
**	3964086	HZEN	4/12/2013	これは英語版 001-79093 Rev *G を翻訳した日本語版 Rev. ** です

セールス、ソリューション、および法律情報

ワールドワイドな販売と設計サポート

サイプレスは、事業所、ソリューション センター、メーカー代理店、および販売代理店の世界的なネットワークを保持しています。お客様の最寄りのオフィスについては、サイプレスのロケーションのページをご覧ください。

製品

車載用	cypress.com/go/automotive
クロック & バッファ	cypress.com/go/clocks
インターフェース	cypress.com/go/iinterface
照明 & 電源制御	cypress.com/go/powerpsoc cypress.com/go/plc
メモリ	cypress.com/go/memory
光学 & イメージセンサ	cypress.com/go/image
PSoC	cypress.com/go/psoc
タッチセンサ	cypress.com/go/touch
USB コントローラ	cypress.com/go/USB
ワイヤレス /RF	cypress.com/go/wireless

PSoCSolutions

psoc.cypress.com/solutions

PSoC 1 | PSoC 3 | PSoC 5

Copyright © 2011-2013 Cypress Semiconductor Corporation　本文書に記載される情報は、予告なく変更される場合があります。Cypress Semiconductor Corporation は、サイプレス製品に組み込まれた回路以外のいかなる回路を使用することに対しても一切の責任を負いません。特許又はその他の権限下で、ライセンスを譲渡又は暗示することもありません。サイプレス製品は、サイプレスとの書面による合意に基づくものでない限り、医療、生命維持、救命、重要な管理、又は安全の用途のために使用することを保証するものではなく、また使用することを意図したものでもありません。さらにサイプレスは、誤動作や故障によって使用者に重大な傷害をもたらすことを合理的に予想される、生命維持システムの重要なコンポーネンツとしてサイプレス製品を使用することを許可していません。生命維持システムの用途にサイプレス製品を提供することは、製造者がそのような使用におけるあらゆるリスクを負うことを意味し、その結果サイプレスはあらゆる責任を免除されることを意味します。

PSoC Designer™ 及び Programmable System-on-Chip™ は、Cypress Semiconductor Corp. の商標、PSoC® は同社の登録商標です。本文書で言及するその他全ての商標又は登録商標は各社の所有物です。

全てのソースコード (ソフトウェア及び / 又はファームウェア) は Cypress Semiconductor Corporation (以下「サイプレス」) が所有し、全世界 (米国及びその他の国) の特許権保護、米国の著作権法並びに国際協定の条項により保護され、かつそれらに従います。サイプレスが本書面によるライセンシーに付与するライセンスは、個人的、非独占的かつ譲渡不能のライセンスであって、適用される契約で指定されたサイプレスの集積回路と併用されるライセンシーの製品のみをサポートするカスタムソフトウェア及び / 又はカスタムファームウェアを作成する目的に限って、サイプレスのソースコードの派生著作物を複製、使用、変更、そして作成するためのライセンス、並びにサイプレスのソースコード及び派生著作物をコンパイルするためのライセンスです。上記で指定された場合を除き、サイプレスの書面による明示的な許可なくして本ソースコードを複製、変更、変換、コンパイル、又は表示することは全て禁止されます。

免責条項：サイプレスは、明示的又は黙示的を問わず、本資料に関するいかなる種類の保証も行いません。これには、商品性又は特定目的への適合性の黙示的な保証が含まれますが、これに限定されません。サイプレスは、本文書に記載される資料に対して今後予告なく変更を加える権利を留保します。サイプレスは、本文書に記載されるいかなる製品又は回路を適用又は使用したことによって生ずるいかなる責任も負いません。サイプレスは、誤動作や故障によって使用者に重大な傷害をもたらすことが合理的に予想される生命維持システムの重要なコンポーネンツとしてサイプレス製品を使用することを許可していません。生命維持システムの用途にサイプレス製品を提供することは、製造者がそのような使用におけるあらゆるリスクを負うことを意味し、その結果サイプレスはあらゆる責任を免除されることを意味します。

ソフトウェアの使用は、適用されるサイプレスソフトウェアライセンス契約によって制限され、かつ制約される場合があります。

本書で言及するすべての製品名および会社名は、それぞれの所有者の商標である場合があります。