CY14MB064J1A/CY14MB064J2A
CY14ME064J1A/CY14ME064J2A

64-Kbit (8 K × 8) 串行 (I^2C) nvSRAM

特性

- 64 Kbit 非易失性静态随机存取存储器 (nvSRAM)
  - 内部采用 8 K x 8 的组织方式
  - 在断电时自动启动 （自动存储）或使用 I^2C 命令 （软件存储）启动数据存储至 QuantumTrap 非易失性组件
  - 在通电时启动 （加电回读）或由 I^2C 命令 （软件回读）启动数据回读 至 SRAM
  - 通过小型电容在断电时自动存储数据 （CY14MX064J1A 除外）
- 可靠性高
  - 无限次读、写和回读操作
  - 一百万次 QuantumTrap
  - 数据保留时间：在 85 °C 下 20 年
- 高速 I
  - 行业标准 100 kHz 和 400 kHz 速度
  - 增强型快速模式：1 MHz 速度
  - 高速：3.4 MHz
  - 零循环延迟读取和写入
- 写保护
  - 使用写保护 (WP) 引脚提供硬件保护
  - 可为 1/4、 1/2 或整个阵列提供软件模块保护
- I^2C 访问特殊功能
  - 非易失性存储 / 回读
  - 8 字节序列号
  - 制造商 ID 和项目 ID
  - 睡眠模式
- 低功耗
  - 工作频率为 3.4 MHz 时，平均有功电流为 1 mA
  - 平均待机模式电流为 120 µA
  - 睡眠模式电流为 8 µA
- 行业标准配置
  - 工作电压：
    - CY14MB064J: V_{CC} = 2.7 V - 3.6 V
    - CY14ME064J: V_{CC} = 4.5 V - 5.5 V
  - 工业级温度
  - 8 引脚小外形集成电路 (SOIC) 封装
  - 无铅并符合有害物质限制 (RoHS)

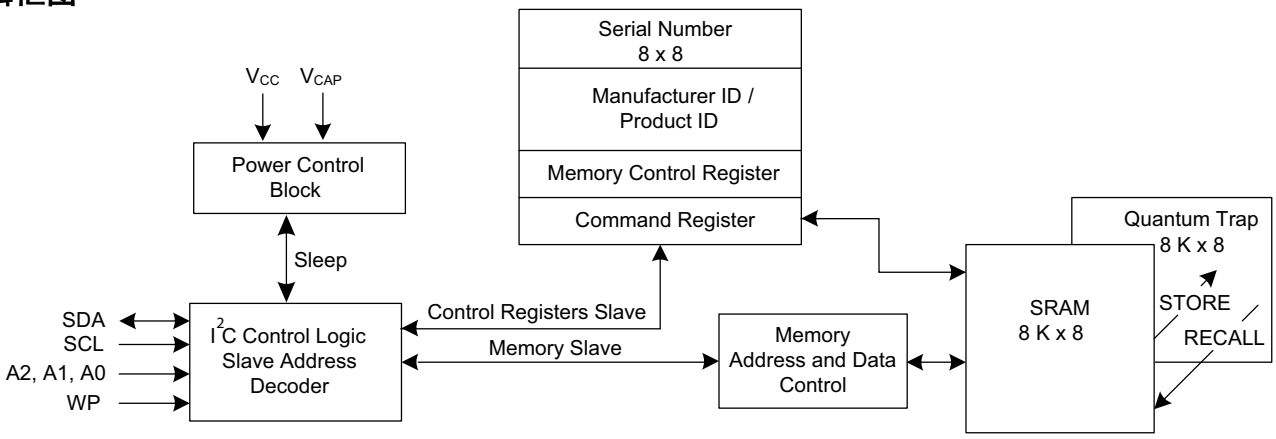
概述

赛普拉斯 CY14MX064J 将每个存储单元中具有非易失性的组件与 64 Kbit nvSRAM[1] 结合在一起。该存储器采用 “8K 字，每字 8 位 ” 的组织方式。嵌入式非易失性元件通过采用 QuantumTrap 技术，打造出了世界上最可靠的非易失性存储器。SRAM 能够实现无限次读写循环，而 QuantumTrap 单元则能够提供高度可靠的非易失性数据存储空间。断电时，数据会从 SRAM 自动转移到非易失性元件中 （存储操作）（CY14MX064J1A 除外） 。加电时，数据会从非易失性存储器回读到 SRAM （回读操作）。存储和回读操作也可以由用户通过 I^2C 命令触发。

配置

特性	CY14MX064J1A	CY14MX064J2A
自动存储	无	是
软件存储	是	是
从组件地址引脚	A2、 A1、 A0	A2、 A1

逻辑框图



注
1. 串行 (I^2C) nvSRAM 在本数据手册中称为 nvSRAM。

目录

引脚分布 **3**
引脚定义 **3**
I2C 接口 **4**
协议概述 4
I2C 协议 – 数据传输 4
数据有效性 5
启动条件 (S) 5
停止条件 (P) 5
重复启动 (Sr) 5
字节格式 5
确认 / 未确认 5
高速模式 (Hs-mode) 6
从组件地址 6
写保护 (WP) 9
自动存储操作 9
写操作 9
读操作 10
存储器从组件访问 10
控制寄存器从组件 14
序列号 **16**
序列号写入 16
序列号锁定 16
序列号读取 16
组件 ID **17**
使用命令寄存器执行命令 17
最大额定值 **18**
工作范围 **18**
直流电气特性 **18**
数据保留和耐久性 **19**
热阻 **19**
交流测试负载和波形 **20**
交流测试条件 **20**
交流开关特性 **21**
开关波形 **21**
nvSRAM 规范 **22**
开关波形 **22**
受控软件存储 / 回读循环 **23**
开关波形 **23**
订购信息 **24**
订购代码定义 24
封装图 **25**
缩略语 **26**
文档规范 **26**
测量单位 26
文档修订记录页 **27**
销售、解决方案和法律信息 **28**
全球销售和设计支持 28
产品 28
PSoC 解决方案 28

引脚分布

图 1. 8 引脚 SOIC 的引脚分布



引脚定义

引脚名称	I/O 类型	说明
SCL	输入	**时钟**。运行速度可达到 f_{SCL} 的最大值。
SDA	输入 / 输出	**I/O**。通过 I^2C 接口输入 / 输出数据。 **输出**：开漏且需要外部上拉电阻器。
WP	输入	**写保护**。防止存储器被写入。该引脚在内部被拉到低电平，因此如果未连接，可以保持打开状态。
A2–A0 [2]	输入	**从组件地址**。定义 I^2C 的从组件地址。该引脚在内部被拉到低电平，因此如果未连接，可以保持打开状态。
V_{CAP}	电源	**自动存储电容**。在断电期间给 nvSRAM 提供电源，用于将数据从 SRAM 存储到非易失性组件中。如果不需要，自动存储须禁用，且该引脚保持未连接。绝对不可以接地。
NC	未连接	**未连接**。该引脚未连接到 die。
V_{SS}	电源	**接地**
V_{CC}	电源	**电源**

注
2. A0 引脚在 CY14MX064J2A 中不可用。

I²C 接口

I²C 总线包括两个线路，即串行时钟线路 (SCL) 和串行数据线路 (SDA)，可在总线的多个设备之间携带信息。I²C 支持多主控和多从组件配置。发射器将数据传输到 SDA 线路上的接收器，并与主控生成的时钟 SCL 同步。

SCL 和 SDA 线路是开漏线路，并使用电阻器上拉到 V_{CC}。系统中上拉电阻器的选择取决于总线电容和操作的预期速度。主控生成时钟，所有数据 I/O 传输均与该时钟同步。CY14MX064J 支持 SCL 线上高达 3.4 MHz 的时钟频率。

协议概述

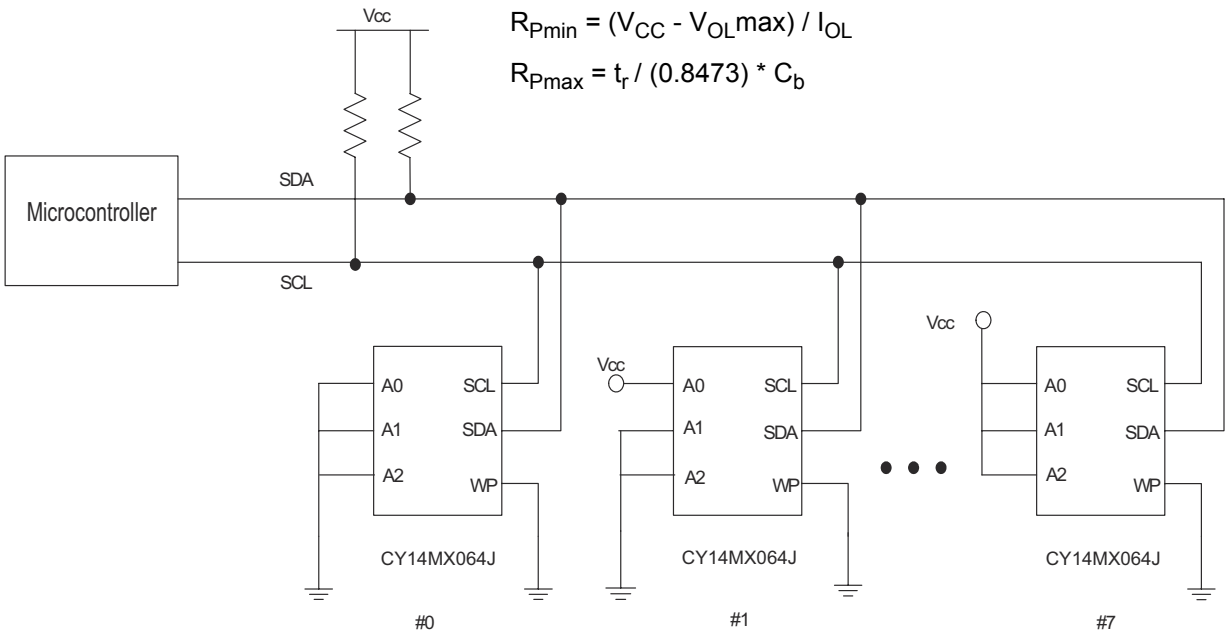
该设备仅支持 7 位寻址方案。主控生成启动条件，以在广播从组件选择字节后启动通信。从组件选择字节包括主控通信所需的从组件的七位地址，以及说明读取和写入操作的读 / 写 位。所选从组件用确认 (ACK) 信息进行响应。在选择一个从组件之后，通信的剩余部分在主控和所选从组件设备之间进行。总线上其他设备会忽略 SDA 线路的信号，直至检测到停止或重复启动条件。通过将 SDA 引脚与主控生成的 SCL 时钟同步，完成在主控和所选从组件设备之间的数据传输。

I²C 协议 – 数据传输

I²C 协议的每次切换自在总线上生成启动条件开始，接着是七 位从组件地址和说明读取 (1) 或写入 (0) 操作的第八位 (读 / 写)。所有信号在开漏的 SDA 线路上传输，并且同 SCL 线路上的时钟同步。通过在第九次时钟脉冲时保持 SDA 线路低电平，从而接收器能确认 I²C 总线上传输数据的每个字节。在 SDA 线路上的存储器地址和数据字节后，主控请求写入。通过发送数据的多个字节，写入能在突发模式中执行。在第 9 次时钟循环中接收 / 发送每个字节之后，存储器地址会自动增加。刚好在发送 / 接收确认位之前，锁存新的地址。无需额外寻址便能访问下一个连续字节。在到达存储器中的最后一个位置时，地址翻回为 0x0000 并继续写入。在使用 ACK 进行写入操作期间，从组件对主控发送的每个字节进行响应。通过主控生成停止或重复启动条件，能够终止写入序列发生器。

在当前地址位置执行一个读取请求（访问上一个位置之后的地址用于读取或写入）。通过将数据从当前地址位置传输到主控，存储器从组件对读取请求进行响应。通过首先发送带有需读取地址的写入请求，也可执行随机地址读取。在最后一个地址字节之后，主控必须立即中止写入，并发送一个重复启动或停止信号，以防止发生任何写入操作。以下的读取操作从该地址开始。通过在第九次时钟脉冲维持 SDA 引脚低电平，主控从可确认收到数据的一个字节。在最后一个数据字节之后，通过主控在 SDA 线路上发送未确认 (NACK) 信号，可终止读取。未确认信号造成 CY14MX064J SDA 线路的释放，主控即可生成停止或重复启动条件以启动一个新操作。

图 2. 使用串行 (I²C) nvSRAM 进行系统配置



数据有效性

在时钟保持高电平期间， SDA 线路的数据必须稳定。仅当 SCL 线路上时钟为低电平，让数据变为有效时，才能更改数据线路的状态。只有在启动和停止这两种条件下，在 SCL 线路保持高电平时，SDA 线路可能改变状态。主控生成启动和停止条件，用于表示 I^2C 总线上通信的开始和结束。

启动条件 (S)

SDA 线路从高电平切换到低电平，同时 SCL 为高电平，为启动条件。主控生成启动条件时开始 I^2C 的每次切换。

停止条件 (P)

SDA 线路从低电平切换到高电平，同时 SCL 为高电平，为停止条件。该条件说明持续切换结束。

启动和停止条件始终由主控生成。在启动条件后总线视为忙绿。在停止条件后总线视为空闲。

重复启动 (Sr)

如果生成重复的启动条件而非停止条件，总线持续忙绿。I^2C 线路正在进行的操作停止，总线等待主控发送从组件 ID，以重启通信。

图 3. 启动和停止条件

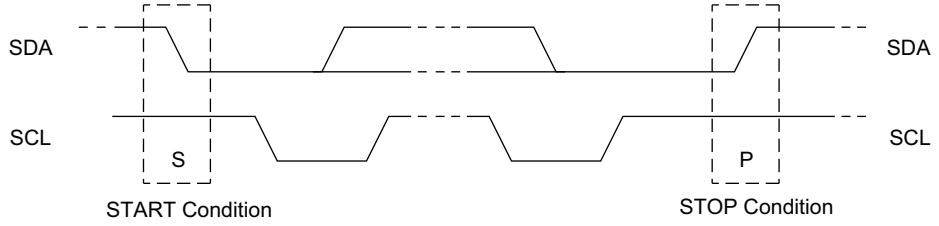
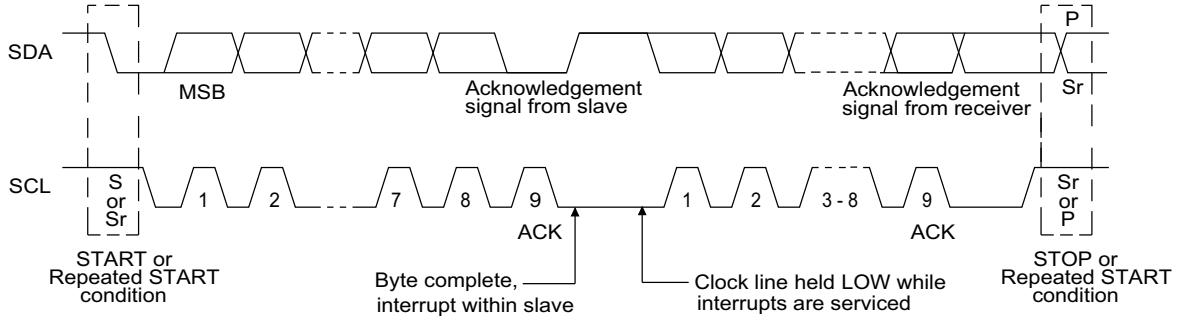


图 4. I^2C 总线的数据传输



字节格式

使用 8 位字完成 I^2C 上的每次操作。以先发送最高有效位的格式在 SDA 线路上发送，每个字节之后跟随接收器发送的 ACK 信号。

操作会一直持续，直至接收器发送 NACK，或主控生成停止或重复启动条件。除了启动或停止条件之外，当时钟 (SCL) 为高电平时， SDA 线路必须保持稳定。

确认 / 未确认

在传输数据或地址的一个字节后，发射器会释放 SDA 线路。接收器将 SDA 线路拉到低电平，以确认收到该字节。在 I^2C 总线上传输数据的每个字节需要接收器使用一个 ACK 信号进行响应，从而继续操作。未能完成则会视为 NACK 状态。NACK 是指接收器未确认接收到数据，操作中止的状态。

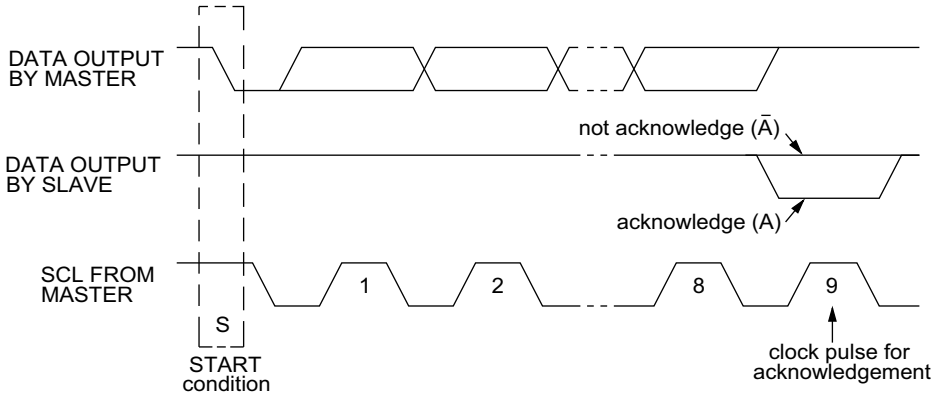
在以下情况中，在读取操作期间主控会生成 NACK：

- 受噪声影响，主控未收到有效数据。
- 主控生成 NACK 以中止读取序列发生器。在主控发出 NACK 后， nvSRAM 从组件释放 SDA 引脚控制，可生成重复启动或停止条件。

在以下情况中，在写入操作期间 nvSRAM slave 会生成 NACK。

- 受噪声影响， nvSRAM 未收到有效数据。
- 主控尝试访问 nvSRAM 的写保护位置。主控必须通过生成停止或重复启动条件，才能重启通信。

图 5. 确认 I²C 总线



高速模式 (Hs-mode)

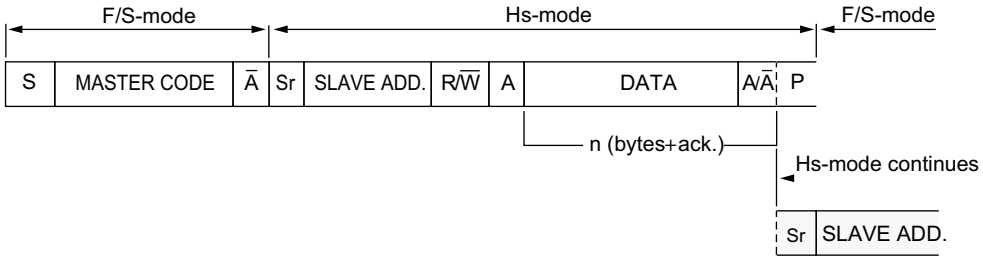
在 Hs-mode 下， nvSRAM 的传输速率高达 3.4 Mbit/s。必须发出主控代码 (0000 1XXXb) 以将设备设置成高速模式。这将使主控 / 从组件通信的速度达到 3.4 MHz。停止条件会退出 Hs-mode。

Hs-mode 下的串行数据格式

Hs 模式下的串行数据格式满足标准模式 I²C 总线规范。Hs-mode 仅能在以下条件下开始（所有条件都在 F/S 模式下）：

1. 启动条件 (S)
2. 8 位主控代码 (0000 1XXXb)
3. 未确认位 (Ā)

图 6. Hs-mode 下的数据传输格式



支持单一和多个字节读取和写入。在设备进入 Hs-mode 后，在 Hs 模式下继续数据传输，直至主控设备发送停止条件。在收到停止条件 (P) 后，该从组件会切换回 F/S 模式。为了在 Hs-mode 下继续传输数据，主控设备将发送重复启动 (Sr)。

请参见第 11 页上的图 12 和 第 12 页上的图 15 了解有关读取和写入操作的 Hs-mode 时序的信息。

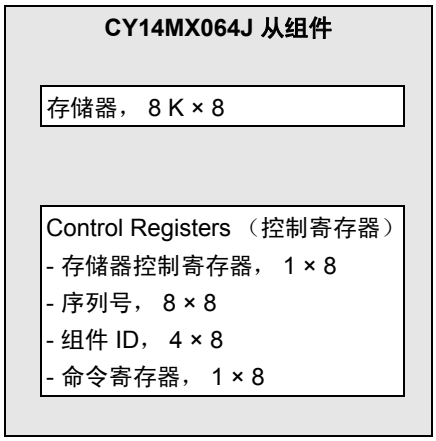
从组件地址

在 I²C 总线上的每个从组件都有一个设备选择地址。在启动条件之后，发送的第一个字节包括了主控设备通信所需的从组件地址。这七个最高有效位 (MSB) 是设备地址，而最低有效位 (LSB) (读 / 写位) 用于说明读取和写入操作。 CY14MX064J 保留从组件地址字段中两组最高有效位的前四位 [7:4]，以访问存储器和控制寄存器。访问机制参见第 7 页上的 存储器从组件所述。

该 nvSRAM 产品包括两个不同功能： 存储器和控制寄存器功能（如序列号和产品 ID）。通过不同的从组件地址来访问该设备的两个功能。设备地址寄存器中最高有效位的前四位是 [7:4] 用于在 nvSRAM 功能之中进行选择。

表 1. 从组件寻址

第 7 位	第 6 位	第 5 位	第 4 位	第 3 位	第 2 位	第 1 位	第 0 位	nvSRAM 功能选择
1	0	1	0	设备选择 ID			R/$\overline{W}$	选择存储器
0	0	1	1	组件选择 ID			R/$\overline{W}$	选择控制寄存器

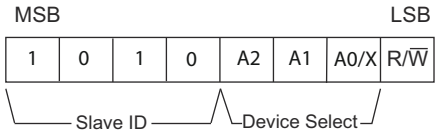


存储器从组件

如果主控发出的从组件地址为 1010b 后跟 2/3 位的组件选择，则选择 nvSRAM 组件进行读 / 写。如果是 CY14MX064J1A 组件则为 3 位，如果是 CY14MX064J2A 则是 2 位，第 3 位无需关注。如果主控发送的从组件地址与从组件地址相符，则基于从组件地址的 R/W 位，从 nvSRAM 读取 (R/W = “1”) 或写入 (R/W = “0”) 数据。

CY14MX064J 的地址长度是 13 位，因此需要 2 个地址字节来映射整个存储器地址位置。这两个专用地址字节代表 A0 到 A12 位。但是，由于地址只有 13 位，所以输入的前三位最高有效位会被组件忽略。尽管这些位 “ 无需关注 ”，赛普拉斯建议将其视为 0，以无缝切换至更高的存储器密度。

图 7. 存储器从组件地址



控制寄存器从组件

控制寄存器从组件包括序列号、产品 ID、存储器控制和命令寄存器。

如果主控发出的从组件地址为 0011b 后跟 2/3 位的组件选择，则选择 nvSRAM 控制寄存器从组件进行读 / 写。如果是 CY14MX064J1A 组件则为 3 位，如果是 CY14MX064J2A 则是 2 位，第 3 位无需关注。如果主控发送的从组件地址与从组件地址相符，则基于从组件地址的 R/W 位，从 nvSRAM 读取 (R/W = “1”) 或写入 (R/W = “0”) 数据。

图 8. 控制寄存器从组件地址

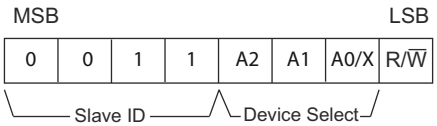


表 2. 控制寄存器映射

地址	说明	读 / 写	详情
0x00	存储器控制寄存器	读 / 写	包含模块保护位和序列号锁定位
0x01	序列号 8 字节	读 / 写（当设定序列号锁定时为只读）	可编程序列号。将存储器控制寄存器中的序列号锁定位设置为 “1” 时即可锁定。
0x02			
0x03			
0x04			
0x05			
0x06			
0x07			
0x08			
0x09	组件 ID	只读	组件 ID 为出厂设置
0x0A			
0x0B			
0x0C			
0x0D	保留	保留	保留
0xAA	命令寄存器	只写	允许执行存储、回读、自动存储启用 / 禁用、睡眠模式等命令

存储器控制寄存器

存储器控制寄存器包含以下位：

表 3. 存储器控制寄存器位

位 7	位 6	位 5	位 4	位 3	位 2	位 1	位 0
0	SNL (0)	0	0	BP1 (0)	BP0 (0)	0	0

- **BP1:BP0**：模块保护位用于保护 1/4、1/2 或整个存储器阵列。这些位可以通过写入指令写入控制寄存器从组件的 0x00 位置。但是，无论模块受保护与否，任何存储循环都会导致 SRAM 数据传输至一个非易失性单元。 BP0 和 BP1 的出厂默认值是 “0”。

表 4. 模块保护

级别	BP1:BP0	模块保护
0	00	无
1/4	01	0x1800–0x1FFF
1/2	10	0x1000–0x1FFF
1	11	0x0000–0x1FFF

SNL（S/N 锁定）位：序列号锁定位 (SNL) 用于锁定序列号。当该位设置为 “1” 时，序列号寄存器将被锁定，不允许修改。该位不能清零。序列号会通过下一步存储操作 （软件存储或自动存储）受到保护。如果自动存储未启用，用户必须执行软件存储操作来保护锁定位状态。如果未执行存储操作，序列号锁定位在电源重新启动后将不会保持原设置。 SNL 的出厂默认值是 “0”。

命令寄存器

命令寄存器位于控制寄存器从组件的地址 “AA”。该寄存器为只写寄存器。写入该寄存器的字节可启动表 5 中所列的存储、回读、自动存储启用、自动存储禁用和睡眠模式等操作。有关如何执行命令寄存器字节的详情，请参考 第 16 页上的 序列号。

表 5. 命令寄存器字节

数据字节 [7:0]	命令	说明
0011 1100	存储	将 SRAM 数据存储至非易失性存储器
0110 0000	回读	将数据从非易失性存储器回读到 SRAM
0101 1001	ASENB	启用自动存储
0001 1001	ASDISB	禁用自动存储
1011 1001	SLEEP （睡眠）	进入睡眠模式以实现低功耗

- **存储**：启动 nvSRAM 软件存储。该指令执行后，在 t_{STORE} 时间内无法访问 nvSRAM。启动后，无论在上一次 NV 操作后是否执行了写入操作，该组件都会执行存储操作。完成 t_{STORE} 循环时间后， SRAM 再次被激活以进行读 / 写操作。
- **回读**：启动 nvSRAM 软件回读。该指令执行后，在 t_{RECALL} 时间内无法访问 nvSRAM。回读操作不会更改非易失性组件中的数据。回读可通过两种方式启动：硬件回读，在加电时启动；以及软件回读，通过 I^2C 回读指令启动。
- **ASENB**：启用 nvSRAM 自动存储。该指令执行后，在 t_{SS} 时间内无法访问 nvSRAM。该设置不是非易失性的，如果希望在电源重新启动后保持原先设置，则需要在其后执行手动存储序列。部件出厂时已启用自动存储，且 0x00 已写入所有单元。
- **ASDISB**：禁用 nvSRAM 自动存储。该指令执行后，在 t_{SS} 时间内无法访问 nvSRAM。该设置不是非易失性的，如果希望在电源重新启动后保持原先设置，则需要在其后执行手动存储序列。

注意如果禁用自动存储，且不需要 V_{CAP}，则必须让 V_{CAP} 引脚保持开路状态。 V_{CAP} 引脚绝对不可以接地。在任何情况下都不能禁用加电回读操作。

- **SLEEP （睡眠）**： 睡眠指令会使 nvSRAM 进入睡眠模式。当睡眠指令被寄存， nvSRAM 需花费 t_{SS} 时间来处理睡眠请求。一旦睡眠指令被成功寄存和处理， nvSRAM 会执行存储操作，将数据存入非易失性存储器进行保护，然后进入睡眠模式。nvSRAM 每次进入睡眠模式时，都会启动非易失性存储循环，因此每执行一次睡眠命令会导致失去一个耐久性擦 / 写循环。存储循环仅在上一个存储或回读循环之后已执行对 SRAM 写操作时开始。

nvSRAM 进入睡眠模式的程序如下：

1. 主控发送一个启动命令
2. 主控发送控制寄存器从组件 ID，I^2C 写入位设置为 ($R/\overline{W}$ =“0”)
3. 从组件 (nvSRAM) 向主控发回 ACK
4. 主控发送命令寄存器地址 (0xAA)
5. 从组件 (nvSRAM) 向主控发回 ACK
6. 主控发送进入睡眠模式所需要的命令寄存器字节
7. 从组件 (nvSRAM) 向主控发回 ACK
8. 主控生成 “ 停止 ” 条件

当睡眠指令被寄存后，一旦进入睡眠模式，组件将开始消耗 I_{ZZ} 电流 t_{SLEEP} 时间。组件只有在退出睡眠模式后方可正常执行操作。在组件从组件地址被主控发送后经过 t_{WAKE} 周期后，nvSRAM 才能唤醒。

发送 2 个从组件地址中的任意一个都可将 nvSRAM 从睡眠模式中唤醒。在 t_{SLEEP} 周期和 t_{WAKE} 周期的间隔期，无法访问 nvSRAM，所有试图访问 nvSRAM 组件的操作都会被主控忽略，并且 nvSRAM 会向主控发送 NACK。主控可以发送读或写命令来寻找 ACK，这是确定组件何时就绪的另一种方法。

写保护 (WP)

WP 引脚为高电平有效引脚，从写操作中保护整个存储器和所有的寄存器。为了禁止所有写操作，此引脚必须保持高电平。当该引脚处于高电平时，所有的存储器和寄存器写入都被禁止，且地址计数器不会增加。该引脚在内部被拉低，因此不用时可保持开路。

自动存储操作

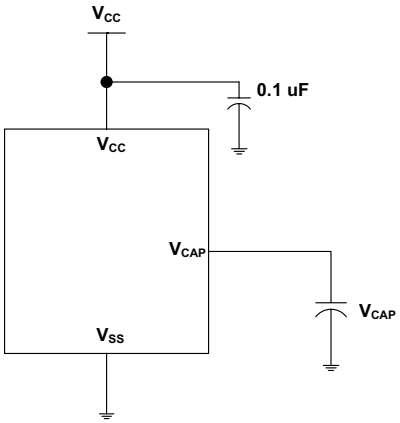
自动存储操作是 nvSRAM 的独有特性，可在断电期间自动将 SRAM 数据存储到 QuantumTrap 中。该存储利用外部电容 (V_{CAP})，在断电时，让组件可以安全地将数据存储到非易失性存储器中。

在正常工作时，组件从 V_{CC} 得到电流以对与 V_{CAP} 引脚连接的电容充电。在断电期间，当 V_{CC} 引脚上的电压降到 V_{SWITCH} 以下时，组件将禁止对 nvSRAM 的所有存储器访问，并使用来自 V_{CAP} 电容的电荷自动执行有条件的存储操作。如果在上一次存储或回读之后未执行写循环，则不启动自动存储操作。

注意：如果电容未连接至 V_{CAP} 引脚，则必须通过发出中第 8 页上的 命令寄存器指定的自动存储禁用指令禁用自动存储。如果在没有 V_{CAP} 引脚上的电容的情况下启用自动存储，则组件将在没有足够电荷的情况下尝试自动存储操作以完成存储。这样会损坏存储在 nvSRAM 中的数据以及序列号，而且还会使 SNL 位解除锁定。

图 9 显示自动存储操作之存储电容 (V_{CAP}) 的正确连接。请参考第 18 页上的 直流电气特性了解 V_{CAP} 的大小。

图 9. 自动存储模式



硬件回读 （加电）

加电期间，当 V_{CC} 超过 V_{SWITCH} 时，将启动自动回读序列，将非易失性存储器的内容传输到 SRAM。数据之前已通过存储序列存储在非易失性存储器中。

加电回读循环需要 t_{FA} 的时间才能完成，在此期间，存储器访问将被禁用。

写操作

从组件地址的最后一位表示读或写操作。如果是写操作，从组件地址后跟存储器或寄存器地址和数据。写操作会一直继续，直到主控生成停止或重复启动条件，或 nvSRAM 发出 NACK。

在以下条件下， nvSRAM 会发出 NACK：

1. 没有收到有效的组件 ID。
2. 如果写操作 （突发写操作）访问受保护的内存模块地址，则在接收到数据字节后， nvSRAM 会返回 NACK。但地址计数器将设置为该地址，且接下来的当前读操作将从这个地址开始。
3. 如果写操作 / 随机读取操作访问无效或超出范围的内存地址，则在接收到该地址后， nvSRAM 会返回 NACK。在这种情况下，地址计数器保持不变。

当 nvSRAM 发出 NACK 后，写操作终止，SDA 线路上的所有数据都会被忽略，直至主控生成停止或重复启动条件。

比如以下情况：突发写入操作访问控制寄存器从组件地址 0x01 以写入序列号，该突发写入操作会持续访问到地址 0x09，而该地址是一个只读寄存器。组件将返回 NACK 且地址计数器不会增加。接下来的读操作会从地址 0x09 开始启动。此外，任何从一个写入保护的地址 （例如 0x09）开始启动的写操作，在数据字节发出后并将地址计数器设到该地之后，都会引起 nvSRAM 返回 NACK，在这种情况下，接下来的读操作也会从地址 0x09 开始启动。

注意，如果用户试图读 / 写访问一个不存在的地址 （如控制寄存器从组件里的地址 0x0D），在超出范围的地址发送后，nvSRAM 会立即返回 NACK。地址计数器保持不变，依然保留为前一次成功读或写操作的地址。

当 8 位数据被发送后，写操作会无延迟立即内部执行。如果无意进行写操作，主控必须生成停止或重复启动条件来在第 8 个时钟周期完成之前终止该写操作。

有关于写操作的更多详细说明请参见第 第 10 页上的 存储器从组件访问 节。

读操作

如果从组件地址的最后一位是 “1”，则视为要进行读操作，在主控发送从组件地址位后，nvSRAM 会立即控制 SDA 线路。该读操作从当前的地址位置（即前一次成功写或读操作的位置）开始启动。当到达最后一个地址时，地址计数器会循环回到第一个地址。

如果是控制寄存器从组件的情况，每当执行了地址不存在的突发读取，读操作会循环回到 0x00。这是适用的，尤其对命令寄存器。

结束一次读操作的方式有以下几种：

1. 主控在第 9 个时钟周期时发出 NACK，然后在第 10 个时钟周期时生成停止或重复启动条件。
2. 主控在第 9 个时钟周期时生成停止或重复启动条件。

有关于写操作的更多详细说明请参见第 第 10 页上的 存储器从组件访问 节。

存储器从组件访问

接下来几节内容讲述了从 nvSRAM 执行读或写操作所需要的数据传输序列。

写入 nvSRAM

每次写操作都包含一个在开始条件后被发出的从组件地址。从组件地址的最后一位必须被设置为 “0” 来表示写操作。主控可以写入数据的 1 位或继续写入多个连续地址位置，同时内部地址计数器会持续自动增加。当内存中的最后一个地址被访问后，地址寄存器被重置为 0x0000。写操作会一直继续，直到主控生成停止或重复启动条件，或 nvSRAM 发出 NACK。

只有 nvSRAM 收到了全部 8 位后，才会执行写操作。在一次成功的写操作后， nvSRAM 会发送 ACK 信号。如果主控生成停止或重复启动条件，写操作会被终止。如果主控想要中断当前的写操作而不提醒内存内容，应该在第 8 个时钟周期之前生成一个开始 / 停止条件。

如果主控试图访问一个 nvSRAM 上写入保护的内存地址，在试图写入保护地址的数据字节被发送后，nvSRAM 会返回 NACK，而地址计数器不会增加。与此类似，在突发模式写操作中，在试图写入保护内存位置的数据字节被发送后， nvSRAM 会返回 NACK，而地址计数器不会增加。

图 10. 单字节写入 nvSRAM （Hs 模式除外）

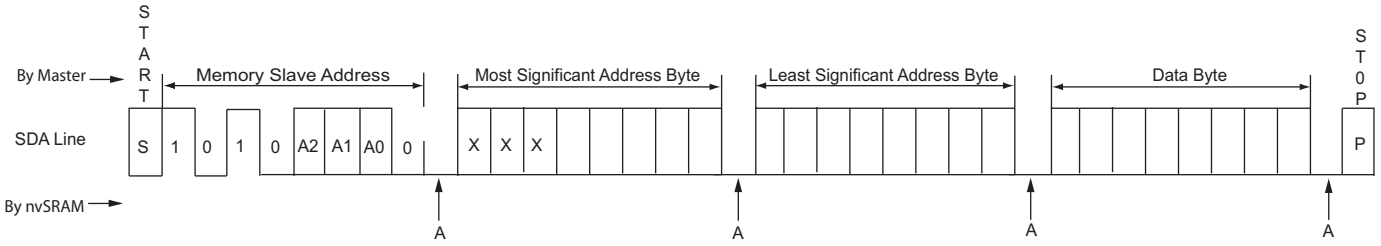


图 11. 多字节写入 nvSRAM （Hs 模式除外）

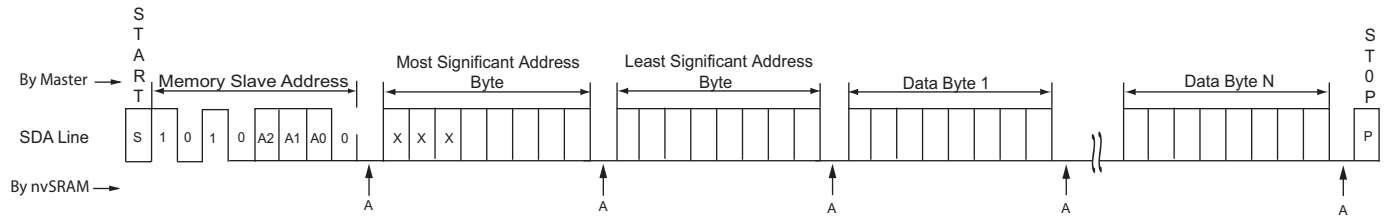


图 12. 单字节写入 nvSRAM （Hs 模式）

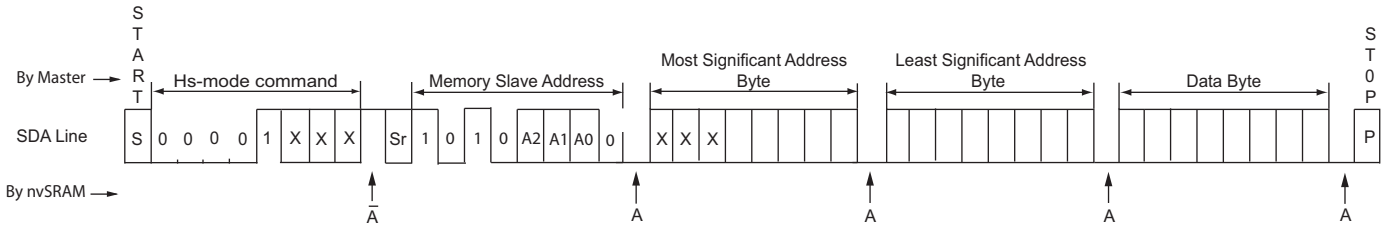
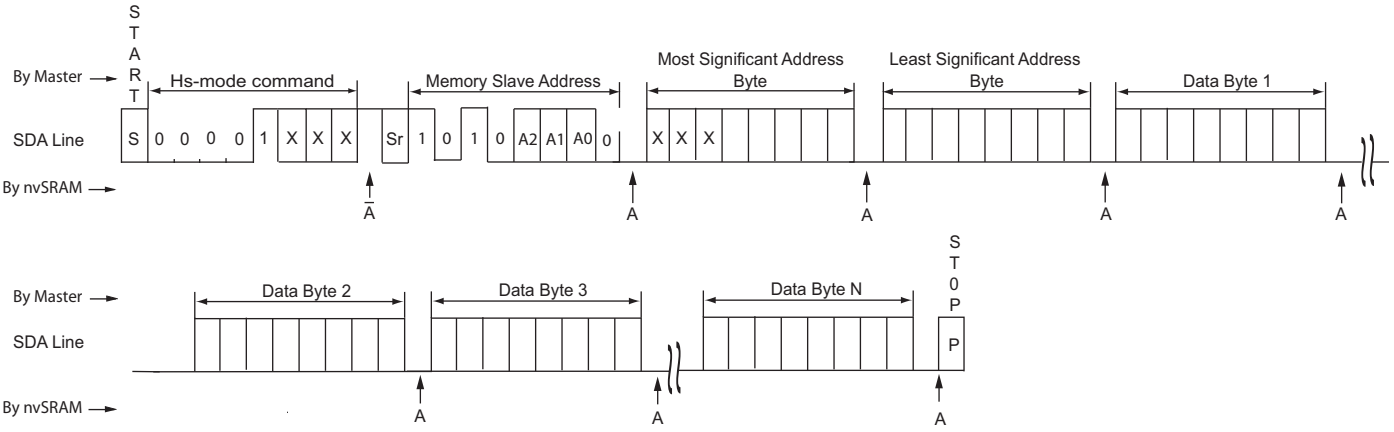


图 13. 多字节写入 nvSRAM （Hs 模式）



当前 nvSRAM 读取

每一次读操作都自主控发送 nvSRAM 从组件的地址且 LSB 设置为 “1” 来表示 “ 读操作 ” 开始启动。读操作从地址计数器上的地址开始。地址计数器被设置为最近一次写或读操作访问的地址的下一个地址位置。主控在读取 1 字节后可以终止读操作，也可以继续连续读取地址，直到内存中的最后一个地址为止，然后地址计数器就会循环回到地址 0x0000。第 第 10 页上的 读操作 节中讲述了终止读操作访问的有效方法。

图 14. 当前位置单字节 nvSRAM 读取 （Hs 模式除外）

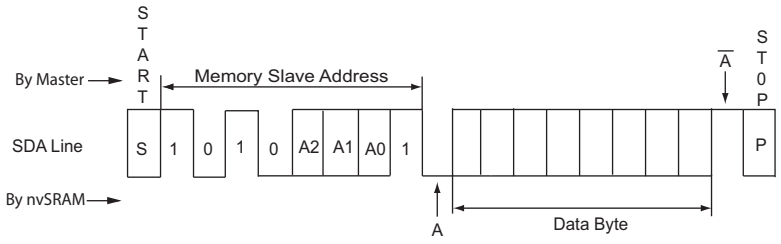


图 15. 当前位置多字节 nvSRAM 读取 （Hs 模式除外）

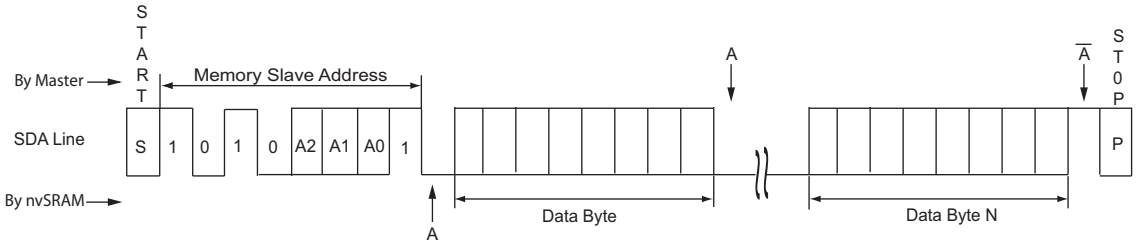


图 16. 当前位置单字节 nvSRAM 读取 （Hs 模式）

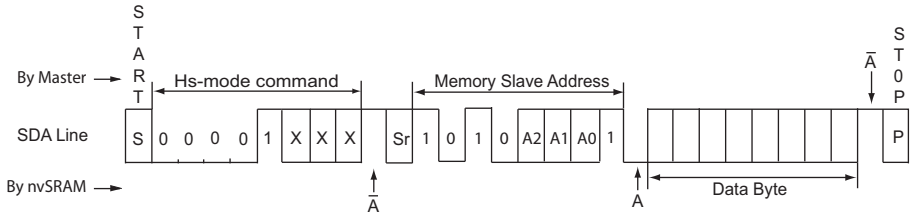
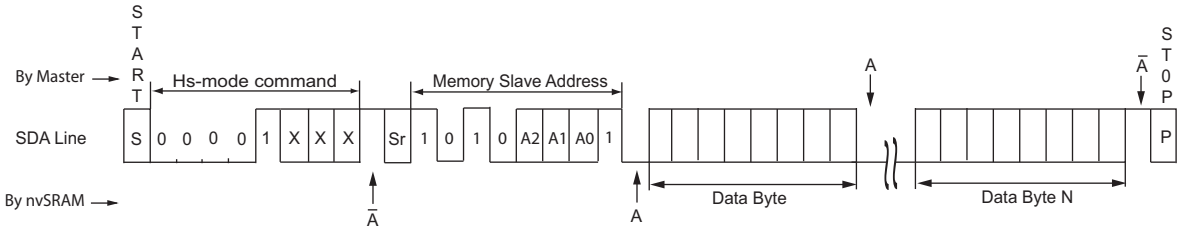


图 17. 当前位置多字节 nvSRAM 读取 （Hs 模式）



随机地址读取

要执行随机地址读取操作，首先需要启动一次写操作，然后再最后一个地址字节被确认后立即生成一个重复启动条件。地址计数器将会被设到该地址，对该从组件的下一次读访问将从这里启动。主控在读取 1 字节后可以终止读操作，也可以继续连续读取地址，直到内存中的最后一个地址为止，然后地址计数器就会循环回到地址 0x0000。

图 18. 随机地址单字节读取 （Hs 模式除外）

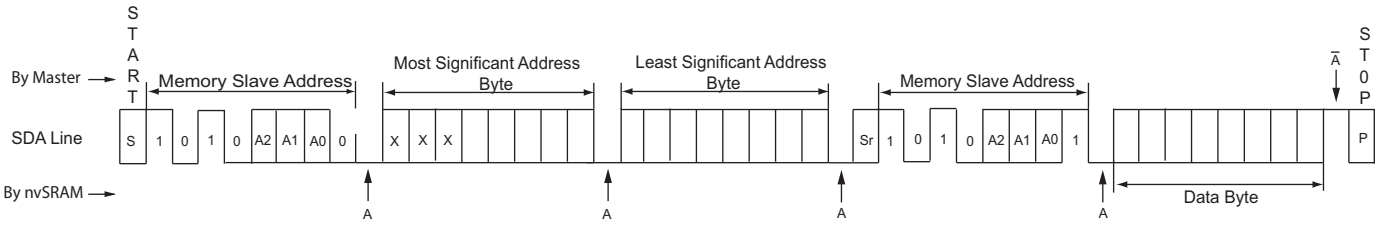


图 19. 随机地址多字节读取 （Hs 模式除外）

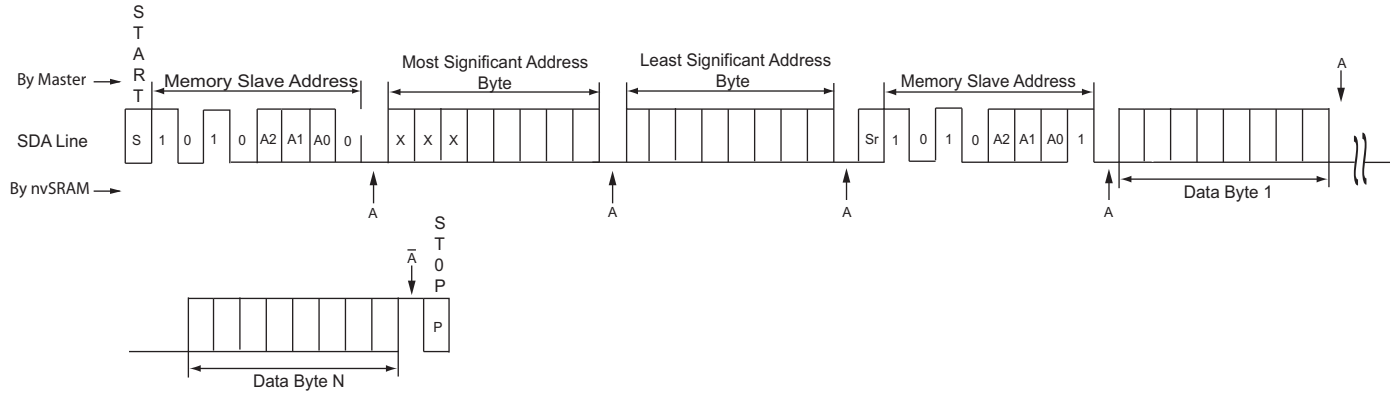


图 20. 随机地址单字节读取 （Hs 模式）

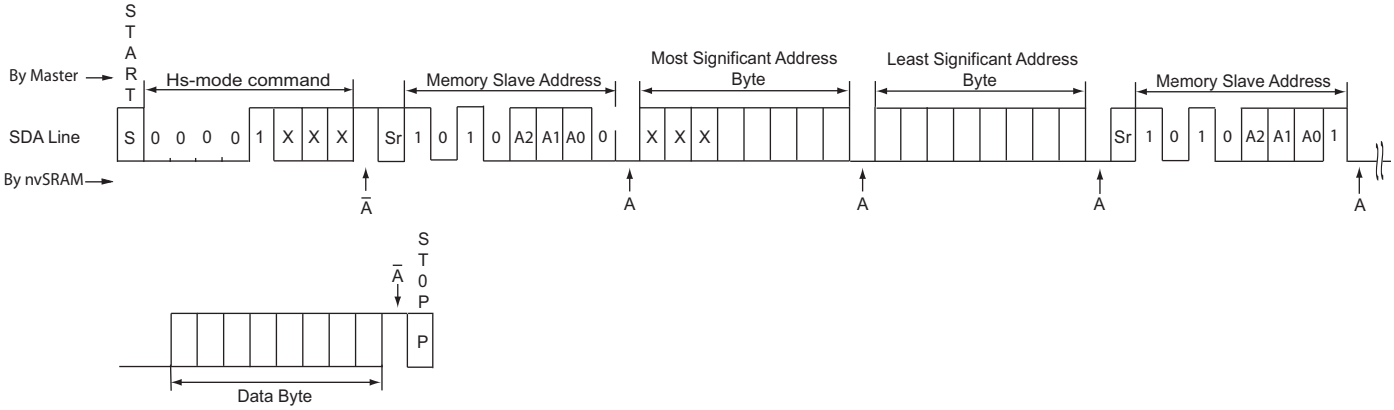
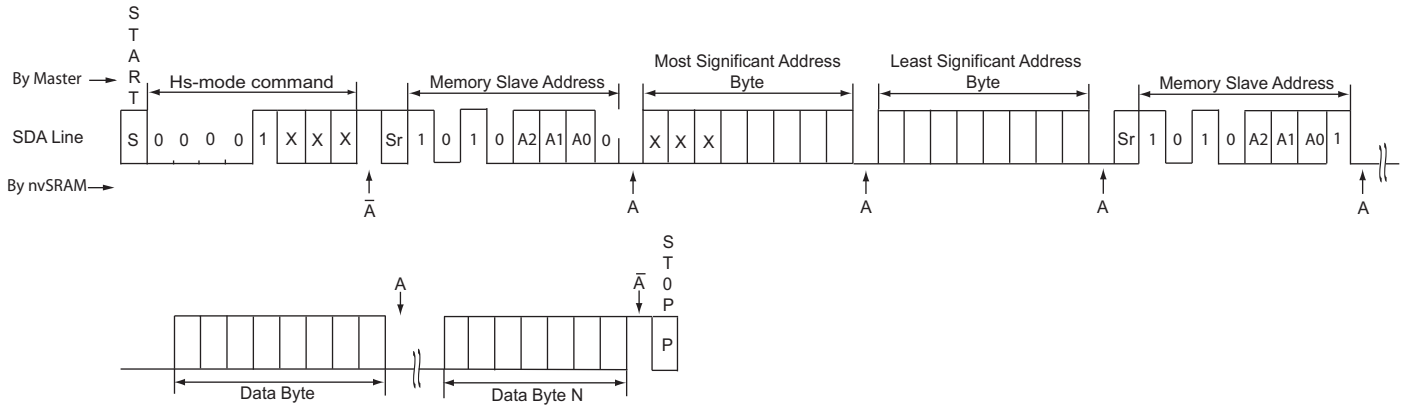


图 21. 随机地址多字节读取 （Hs 模式）



控制寄存器从组件

接下来几节内容讲述了从控制寄存器从组件执行读或写操作所需要的数据传输序列。

写入控制寄存器

要写入控制寄存器从组件，主控需要在生成开始条件后发送控制寄存器从组件地址。写入序列从主控所发出的地址位置开始一直继续，直到主控生成停止条件为止，如果主控未生成停止条件，写入会持续到最后一个可写的地址位置。

在一次正常的写操作或突发写操作中，如果访问了一个不可写的地址位置，那么在数据字节被发出且写序列终止后，从组件会生成 NACK。所有接下来的数据字节都会被忽略，并且地址计数器不会增加。

如果一次写操作在命令寄存器 (0xAA) 上执行，接下来的当前写操作也将从这种情形下的第一个地址 (0x00) 开始，当前地址为超出范围的地址。地址不会增加，下一次当前读操作会从这个地址位置开始。如果一次写操作试图在一个超出范围的地址位置进行，在地址字节被发出后， nvSRAM 会立即发送 NACK。

另外，如果序列号被锁定，只有两个地址 （0xAA 或称命令寄存器，以及 0x00 或称内存控制寄存器）可写入控制寄存器从组件。如果在任何其他地址位置进行写操作，组件会确认命令字节和地址字节，但是会从控制寄存器从组件返回 NACK 要求数据字节。在这种情况下，地址不会增加，并且当前读取会自最近一次确认的地址进行。

当主控访问超出范围的内存地址进行写操作时，nvSRAM 控制寄存器从组件会发送 NACK。在这种情况下，接下来的当前读取会自最近一次确认的地址开始。

图 22. 单字节写入控制寄存器

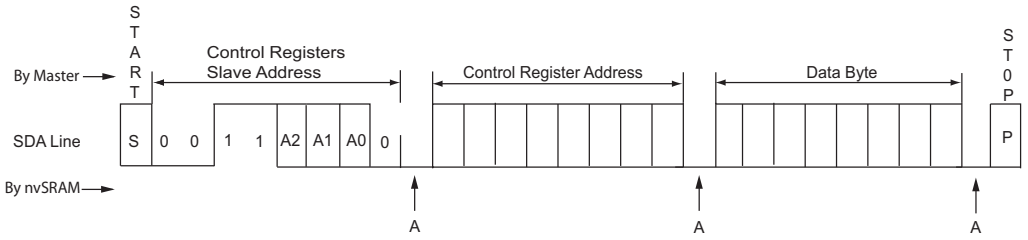
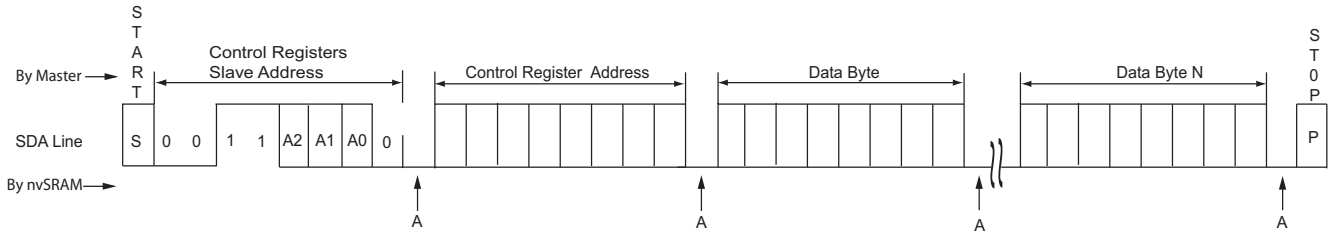


图 23. 多字节写入控制寄存器



当前控制寄存器读取

控制寄存器的读取操作自主控生成开始条件后发出控制寄存器地址，且 LSB 设置为 “1” 时开始。读操作从当前地址开始，即最近一次访问的地址的下一个地址。对控制寄存器从组件的读操作会一直持续到最后一个可读的地址位置为止，然后循环回到第一个地址 (0x00)。注意，命令寄存器是一个只写寄存器，无法通过连续读操作进行访问。如果一次突发读操作自命令存储器 (0xAA) 开始，则地址计数器会围绕着寄存器映射图中的第一个地址 (0x00)。

图 24. 控制寄存器单字节读取

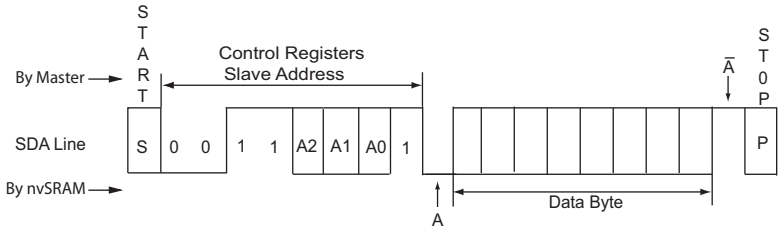
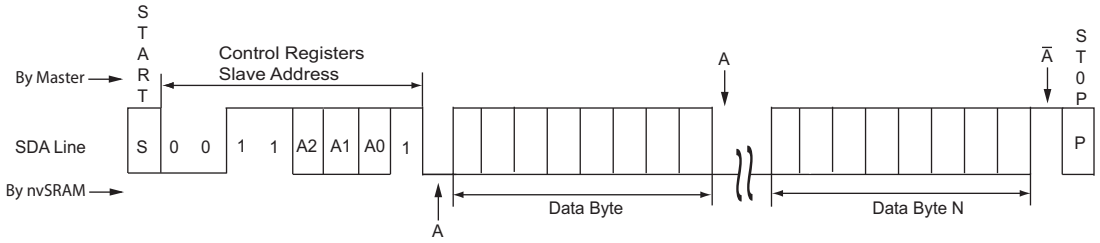


图 25. 当前控制寄存器多字节读取



随机控制寄存器读取

要执行一次随机地址读取，需要先进行重复启动操作，然后立即启动一次对欲读取的位置的写操作。对控制寄存器从组件的读操作会一直持续到最后一个可读的地址位置为止，然后循环回到第一个地址 (0x00)。注意，命令寄存器是一个只写寄存器，无法通过连续读操作进行访问。随机读取自命令寄存器 (0xAA) 循环回到控制寄存器映射图中的第一个地址 (0x00) 时开始。如果一次随机读操作从超出范围的内存地址启动，在地址字节被发出后， nvSRAM 会发送 NACK。

图 26. 随机控制寄存器单字节读取

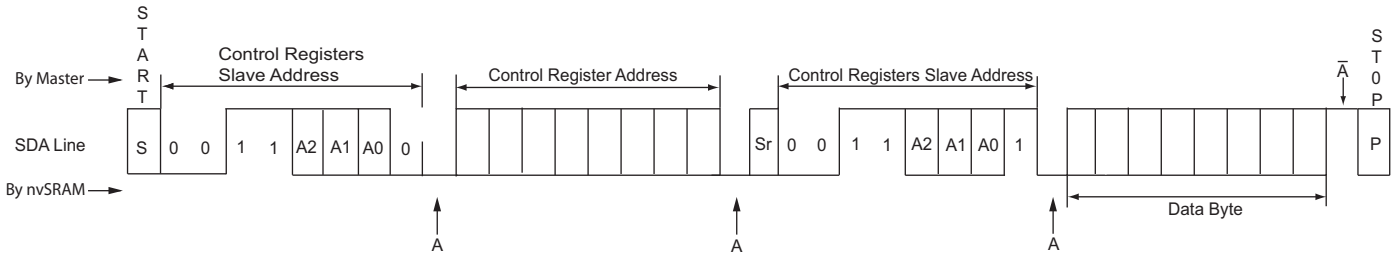
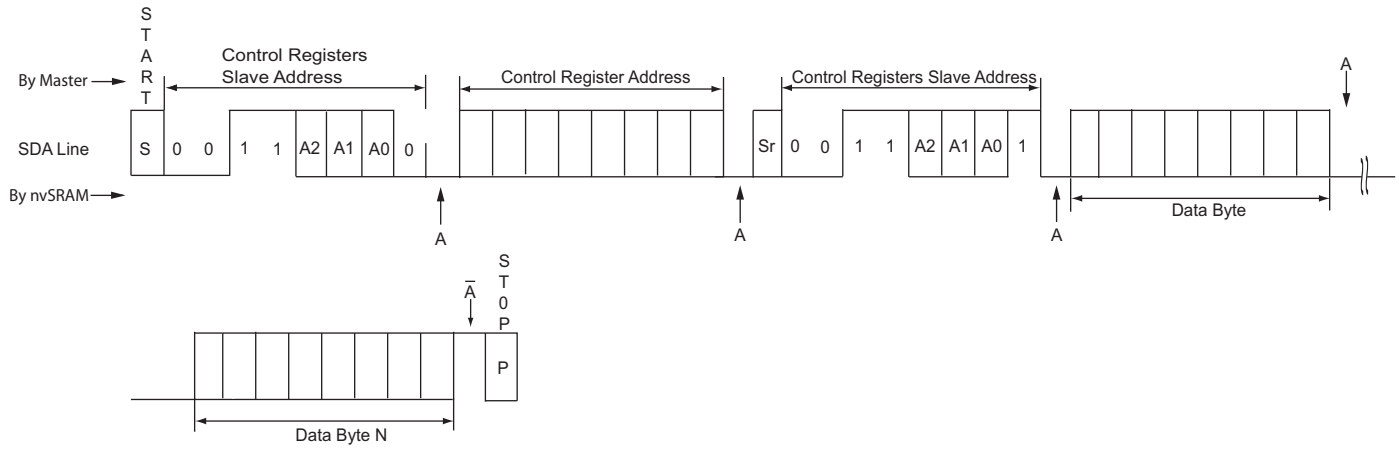


图 27. 随机控制寄存器多字节读取



序列号

序列号是一个提供给用户的 8 字节的内存空间，用以唯一识别该组件。其一般包含一个 2 字节的用户 ID，后跟 5 字节的唯一序列号和 1 字节的循环冗余校验 (CRC) 码。但是， nvSRAM 不会计算 CRC，由用户来决定以自己喜欢的格式来使用 8 字节内存空间。 8 字节位置的默认值设为 “0x00”。

序列号写入

通过控制寄存器从组件可以访问序列号。要写入序列号，主控会在生成开始条件后发送控制寄存器从组件地址，并写入从 0x01 到 0x08 的一系列连续的地址位置。在下一次存储操作时，序列号的注册内容会被保存到非易失性存储器中进行保护。如果启用了自动存储功能，在电源关闭时 nvSRAM 会自动将序列号保存到非易失性存储器。但如果自动存储功能被禁用，用户必须执行存储操作来保护序列号注册内容。

注意，如果序列号锁定 (SNL) 位没有设定，则无论是否执行了存储操作，序列号注册内容都可能被改写。一旦设定了序列号锁定位，序列号注册内容不可写。如果主控试图在锁定位设定时对序列号注册内容执行写操作，会有 NACK 返回，且不能执行写操作。

序列号锁定

当对序列号注册内容的写入完成后，主控负责在内存控制寄存器 (0x00) 中将序列号锁定位设置为 “1”，以锁定序列号。在下一次存储操作时 （存储或自动存储），内存控制寄存器的内容和序列号都会被保护。如果自动存储未启用，用户必须执行存储操作来保护锁定位状态。

如果未执行存储操作，序列号锁定位在电源重新启动后就会变化。序列号锁定位和 8 字节序列号在加电时默认为 “0”。

序列号读取

控制寄存器从组件对欲读取地址执行的读操作可对序列号进行回读。在执行突发读操作时，控制寄存器会从最近一次的地址（命令寄存器除外）循环回到 0x00 地址位置。序列号存在于地址 0x01 到 0x08 之间。即使序列号未锁定，序列号读操作也会返回写入序列号注册内容的当前值。主控可以在设置锁定位之前执行一次序列号读操作，来确认正确的序列号是否被写入注册内容。

组件 ID

组件 ID 是一个 4 字节的代码，包含厂商 JEDEC 分配的厂商 ID、产品 ID、密度 ID 和 Die 修订版。这些注册号是出厂设置，对用户来说是只读内容。

表 6. 组件 ID

组件	组件 ID（4 字节）	组件 ID 描述			
		31–21（11 位）	20–7（14 位）	6–3（4 位）	2–0（3 位）
		厂商 ID	产品 ID	密度 ID	Die 修订版
CY14MB064J1A	0x06812889	00000110100	00001001010001	0001	001
CY14MB064J2A	0x0681A889	00000110100	00001101010001	0001	001
CY14ME064J1A	0x06813089	00000110100	00001001100001	0001	001
CY14ME064J2A	0x0681B089	00000110100	00001101100001	0001	001

组件 ID 被分为四部分，如下所示表 6：

1. 厂商 ID （11 位）

这是 JEDEC 分配给赛普拉斯的厂商 ID。JEDEC 会在不同的组分配厂商 ID。厂商 ID 的前 3 位代表编号分配所在的组。接下来的 8 位代表厂商 ID。

赛普拉斯在组 0 的厂商 ID 是 0x34。因此所有的赛普拉斯 nvSRAM 产品的厂商 ID 为：

赛普拉斯 ID - 000_0011_0100

2. 产品 ID （14 位）

组件的产品 ID 显示在 表 6。

3. 密度 ID （4 位）

4 位密度 ID 显示在 表 6 中，用来表示产品的 64 Kb 的密度。

4. Die 修订版 （3 位）

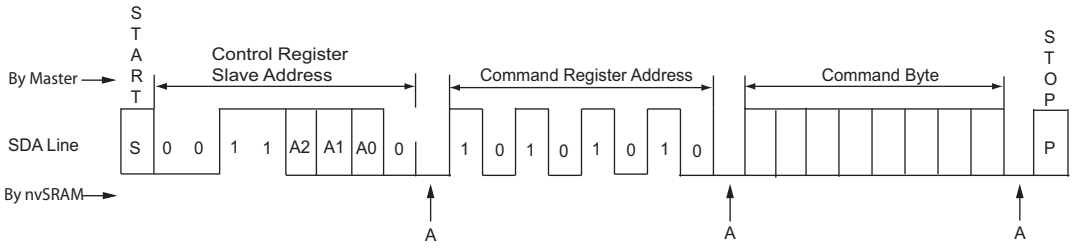
这用于代表产品设计上的重大变化。

组件的 Die 修订版显示在 表 6。

使用命令寄存器执行命令

控制寄存器从组件使得通过在命令寄存器 (0xAA) 中写入特定的命令字节来执行不同的命令。每个命令的不同命令字节代码在 第 8 页上的表 5 中列明。在这些命令的执行过程中，该组件无法访问，如果任何从组件被选择，会返回 NACK。如果主控发出了一个无效命令，nvSRAM 会回应 ACK 表示该命令已被确认为 NOP（无操作）。该地址会转至 0x00。

图 28. 使用命令寄存器执行命令



最大额定值

超过最大额定值可能会缩短组件的使用寿命。这些用户指导未经过测试。

存储温度 .....–65°C 至 +150 °C

最大累积存储时间

在 150 °C 的环境温度下 ..... 1000 小时

在 85 °C 的环境温度下 .....20 年

最高结温 ..... 150 °C

相对于 $_V$SS 的 V_{CC} 供电电压

CY14MB064J：.....–0.5 V 至 +4.1 V

CY14ME064J：.....–0.5 V 至 +7.0 V

应用于 High Z 状态下的输出的直流电压 .....–0.5 V 到 V_{CC} + 0.5 V

输入电压 ..... –0.5 V 到 V_{CC} + 0.5 V

任何引脚上的对地电位瞬变电压 (< 20 ns)..... –2.0 V 至 V_{CC} + 2.0 V

封装功率耗散功能 (T_A = 25 °C) .....1.0 W

表面安装引脚焊接温度 （3 秒）..... +260 °C

直流输出电流（一次一个输出，持续时间为 1 秒）..... 15 mA

静电放电电压（根据 MIL-STD-883，方法 3015）.....> 2001 V

栓锁电流 .....> 140 mA

工作范围

产品	范围	环境温度	V_{CC}
CY14MB064J	工业	–40 °C - +85 °C	2.7 V 至 3.6 V
CY14ME064J			4.5 V 至 5.5 V

直流电气特性

在工作范围内

参数	说明	测试条件		最小值	典型值 [3]	最大值	单位
V_{CC}	电源		CY14MB064J	2.7	3.0	3.6	V
			CY14ME064J	4.5	5.0	5.5	V
I_{CC1}	平均 V_{CC} 电流	f_{SCL} = 3.4 MHz；无输出负载下得出的数值 (I_{OUT} = 0 mA)		–	–	1	mA
		f_{SCL} = 1 MHz；无输出负载下得出的数值 (I_{OUT} = 0 mA)		–	–	400	µA
I_{CC2}	存储期间的平均 V_{CC} 电流	无需关注所有输入， V_{CC} = t_{STORE} 期间的最大平均电流		–	–	3	mA
I_{CC4}	在自动存储周期期间的平均 V_{CAP} 电流	无需关注所有输入。在 t_{STORE} 期间的平均电流		–	–	3	mA
I_{SB}	V_{CC} 待机电流	SCL ≥ (V_{CC} – 0.2 V)。V_{IN} ≤ 0.2 V 或 V_{IN} ≥ (V_{CC} – 0.2 V)。在完成非易失性周期之后的待机电流强度 输入为静态。f_{SCL} = 0 MHz。	CY14MB064J	–	–	120	µA
			CY14ME064J	–	–	150	µA
I_{ZZ}	睡眠模式电流	在睡眠指令发出后的 t_{SLEEP} 时间 所有输入均为静态，并在 CMOS 逻辑电平下配置。		–	–	8	µA
I_{IX}[4]	每个 I/O 引脚的输入电流	0.1 V_{CC} < V_i < 0.9 V_{CC}max		–1	–	+1	µA
I_{OZ}	输出漏电流			–1	–	+1	µA
C_i	每个 I/O 引脚的电容	在所有输入和输出信号引脚和 V_{SS} 中测量电容。		–	–	7	pF

注

3. 典型值为 25 °C， V_{CC} = $V_{CC(Typ)}$。未经 100% 测试。
4. 不适用于 WP、 A2、 A1 和 A0 引脚。

直流电气特性 (续)

在工作范围内

参数	说明	测试条件		最小值	典型值 [3]	最大值	单位
V_{IH}	输入高电平电压			0.7 × V_{CC}	–	V_{CC} + 0.5	V
V_{IL}	输入低电平电压			– 0.5	–	0.3 × Vcc	V
V_{OL}	输出低电平电压	I_{OL} = 3 mA		0	–	0.4	V
R_{in}[5]	输入电阻 （WP、 A2、 A1、 A0）	适用于 V_{IN} = V_{IL} （最大值）		50	–	–	KΩ
		适用于 V_{IN} = V_{IH} （最小值）		1	–	–	MΩ
V_{hys}	施密特触发器输入的迟滞			0.05 × V_{CC}	–	–	V
V_{CAP}[6]	存储电容	在 V_{CAP} 引脚和 V_{SS} 之间		42	47	180	µF
V_{VCAP}[7, 8]	组件的 V_{CAP} 引脚所驱动的最大电压	V_{CC} = 最大值	CY14MB064J	–	–	V_{CC}	V
			CY14ME064J	–	–	V_{CC}– 0.5	

数据保留和耐久性

在工作范围内

参数	说明	最小值	单位
$DATA_R$	数据保留时间	20	年
NV_C	非易失性存储操作	1,000	K

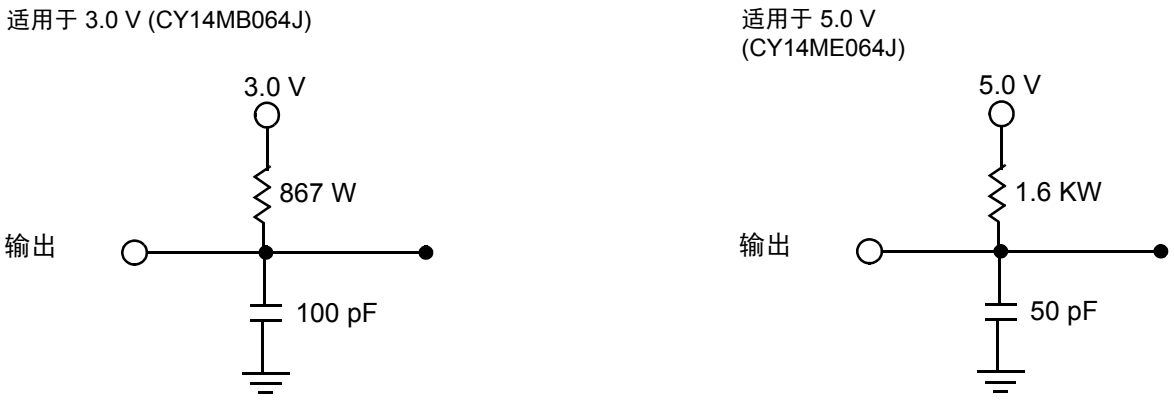
热阻

参数 [8]	说明	测试条件	8 引脚 SOIC	单位
Θ_{JA}	热电阻（结温）	根据 EIA/JESD51 的要求，测试条件遵循测试热阻的标准测试方法和过程。	101.08	°C/W
Θ_{JC}	热电阻（壳温）		37.86	°C/W

注
5. 当输入电压低于 V_{IL} 时，该输入下拉电路增强 (50 KΩ，而当输入电压高于 V_{IH} 时，该输入下拉电路变弱 (1 MΩ)。
6. 最小 V_{CAP} 值能保证提供足够的电荷，以成功完成自动存储操作。最大 V_{CAP} 值能保证 V_{CAP} 的电容在加电回读循环期间能充电到最低电压，所以立即的断电周期可成功完成自动存储。因此，建议始终使用在指定最小和最大极限值内的电容。有关 V_{CAP} 选项的更多信息，请参见应用笔记 AN43593。
7. 选择 V_{CAP} 电容时，提供的 V_{CAP} 引脚 (V_{VCAP}) 的最大电压仅供参考。 V_{CAP} 电容在整个工作温度范围内的电压额定值应高于 V_{VCAP} 电压。
8. 这些参数由设计保证，未进行过测试。

交流测试负载和波形

图 29. 交流测试负载和波形



交流电测试条件

说明	CY14MB064J	CY14ME064J
输入脉冲电平	0 V 到 3 V	0 V 到 5 V
输入上升和下降时间 (10%–90%)	10 ns	10 ns
输入和输出时序参考电平	1.5 V	2.5 V

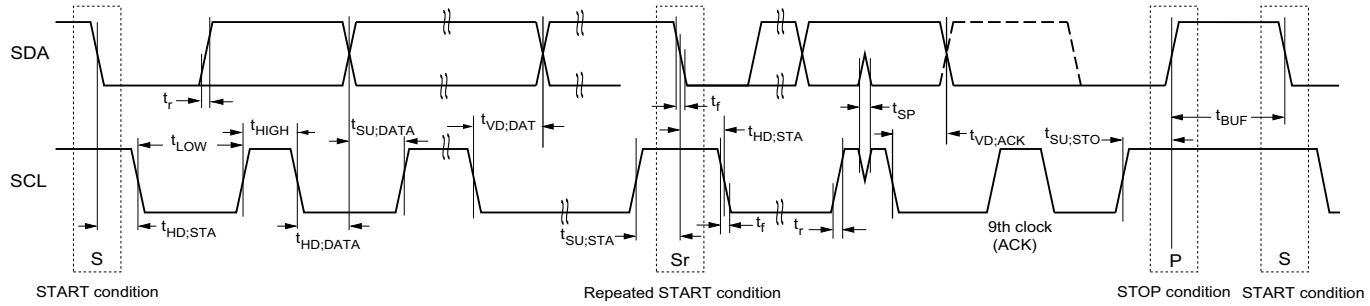
交流开关特性

在工作范围内

参数 [9]	说明	3.4 MHz [10]		1 MHz [10]		400 kHz [10]		单位
		最小值	最大值	最小值	最大值	最小值	最大值	
f_{SCL}	时钟频率， SCL	–	3400	–	1000	–	400	kHz
$t_{SU;\ STA}$	重复 START 条件的建立时间	160	–	250	–	600	–	ns
$t_{HD\ ;\ STA}$	START 条件的保持时间	160	–	250	–	600	–	ns
t_{LOW}	SCL 的低周期	160	–	500	–	1300	–	ns
t_{HIGH}	SCL 的高周期	60	–	260	–	600	–	ns
$t_{SU;DATA}$	数据输入的建立时间	10	–	100	–	100	–	ns
$t_{HD;DATA}$	数据保持时间 （输入 / 输出）	0	–	0	–	0	–	ns
t_{DH}	数据输出的保持时间	0	–	0	–	0	–	ns
t_r [11]	SDA 和 SCL 的上升时间	–	80	–	120	–	300	ns
t_f [11]	SDA 和 SCL 的下降时间	–	80	–	120	–	300	ns
$t_{SU\ ;\ STO}$	STOP 条件的建立时间	160	–	250	–	600	–	ns
$t_{VD;DATA}$	数据输出有效时间	–	130	–	400	–	900	ns
$t_{VD;ACK}$	ACK 输出有效时间	–	130	–	400	–	900	ns
t_{OF} [11]	从 V_{IH}（最小值）到 V_{IL}（最大值）的输出下降时间	–	80	–	120	–	300	ns
t_{BUF}	STOP 和下个 START 条件之间的总线空闲时间	0.3	–	0.5	–	1.3	–	us
t_{SP}	必须被输入滤波器抑制的尖峰脉冲的宽度	–	10	–	50	–	50	ns

开关波形

图 30. 时序图



注

9. 测试条件基于 10ns 或更短的信号跃变时间、 $V_{CC}/2$ 的时序参考电平、 0 V 至 $V_{CC(typ)}$ 的输入脉冲电平以及具有指定 I_{OL} 和负载电容的输出负载，如图 29 所示。
10. 总线负载 (Cb) 注意事项：对于 I^2C 时钟频率 (SCL) 100/400/1000 kHz， Cb < 500 pF ；对于 3.4 MHz 的 SCL， Cb < 100 pF。
11. 这些参数由设计保证，未进行过测试。

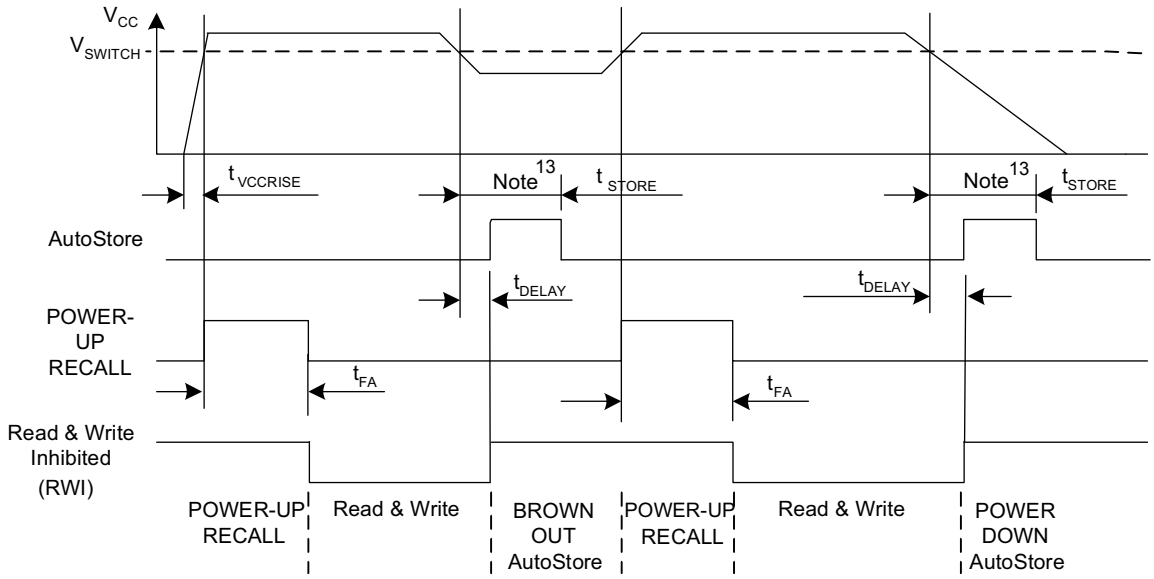
nvSRAM 规范

在工作范围内

参数	说明		最小值	最大值	单位
t_{FA} [12]	加电回读期间		–	20	ms
t_{STORE} [13]	存储周期期间		–	8	ms
t_{DELAY} [14, 15]	完成 SRAM 写循环的时间		–	25	ns
$t_{VCCRISE}$ [15]	V_{CC} 上升时间		150	–	µs
V_{SWITCH}	低电压触发电平	CY14MB064J	–	2.65	V
		CY14ME064J	–	4.40	V
t_{WAKE}	nvSRAM 从睡眠模式唤醒所需的时间		–	20	ms
t_{SLEEP}	在发出睡眠指令后，进入低功耗模式所需的时间		–	8	ms
t_{SB} [15]	在发出停止条件后，进入待机模式所需的时间		–	100	µs

开关波形

图 31. 自动存储或加电回读 [16]



注
12. 当 V_{CC} 高于 V_{SWITCH} 时，开始 tFA。
13. 如果自上一个易失性循环起，未发生 SRAM 写入，则不会发生自动存储。
14. 在自动存储启动时， SRAM 写操作将继续有效到 t。
15. 这些参数由设计保证，未进行过测试。
16. 当在存储和回读周期，或 V。

软件控制存储 / 回读循环

在工作范围内

参数	说明	CY14MX064J		单位
		最小值	最大值	
t_{RECALL}	回读期间	–	600	µs
t_{SS}[17, 18]	软件序列处理时间	–	500	µs

开关波形

图 32. 软件存储 / 回读循环 [18]

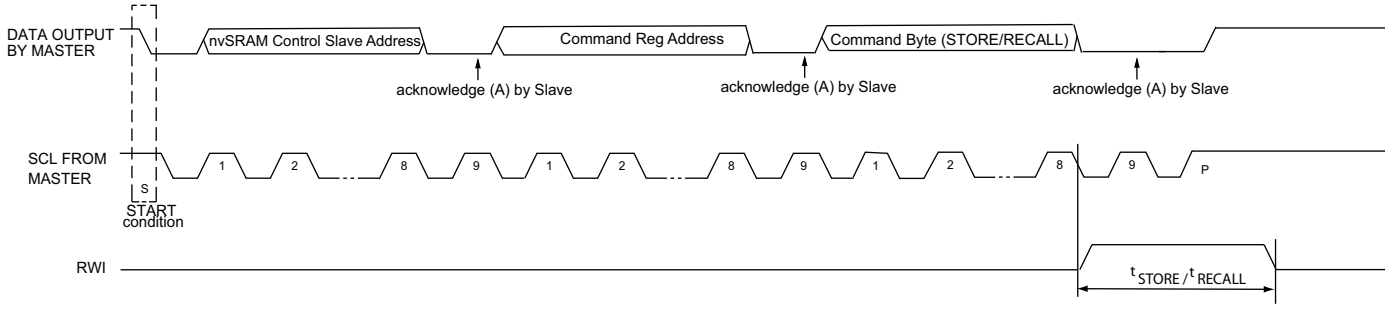
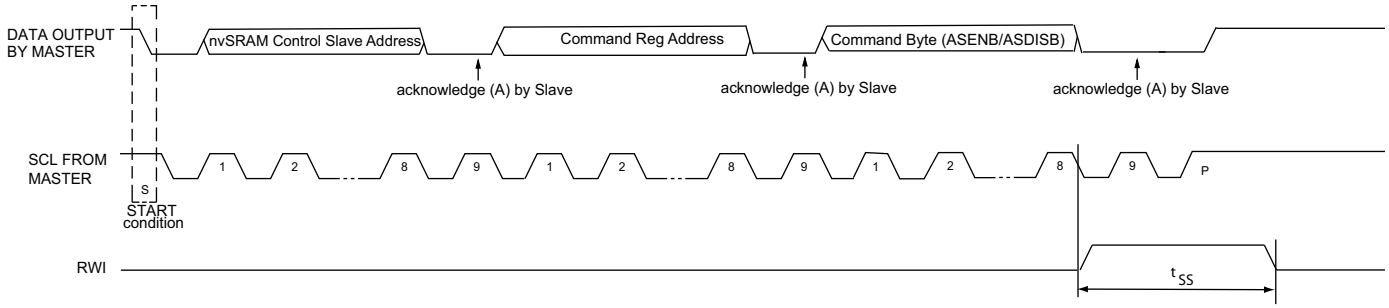


图 33. 自动存储启用 / 禁用循环



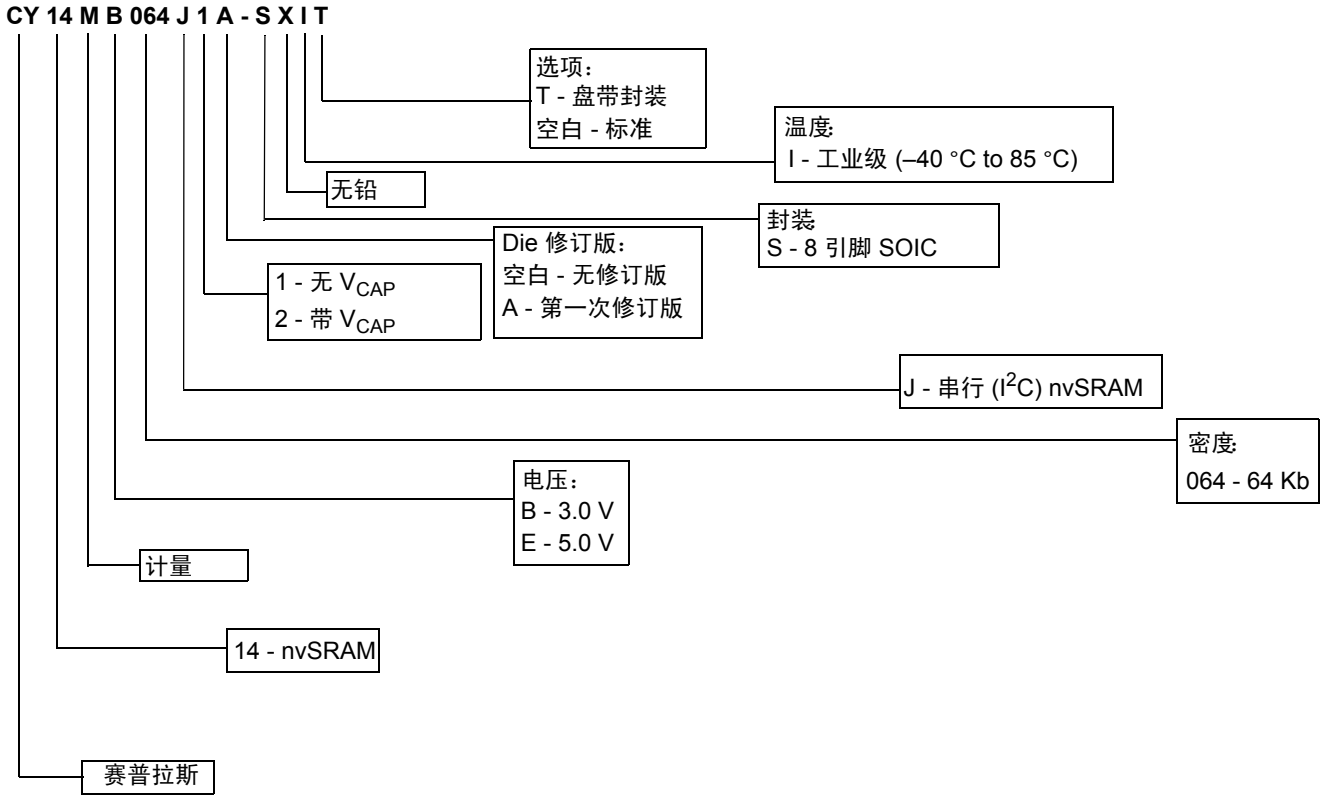
注
17. 这是对软序列命令采取行动的所需时间。V_{CC} 电源必须保持高电平，以有效寄存命令。
18. 如存储和回读之类的命令会锁定 I/O 直至完成操作，这会进一步增加时间。请参见特定命令。

订购信息

订购代码	封装图	封装类型	工作范围
CY14MB064J2A-SXI	51-85066	8 引脚 SOIC （带 V_{CAP}）	工业
CY14MB064J2A-SXIT		8 引脚 SOIC （带 V_{CAP}）	
CY14ME064J1A-SXI		8 引脚 SOIC （不带 V_{CAP}）	
CY14ME064J1A-SXIT		8 引脚 SOIC （不带 V_{CAP}）	

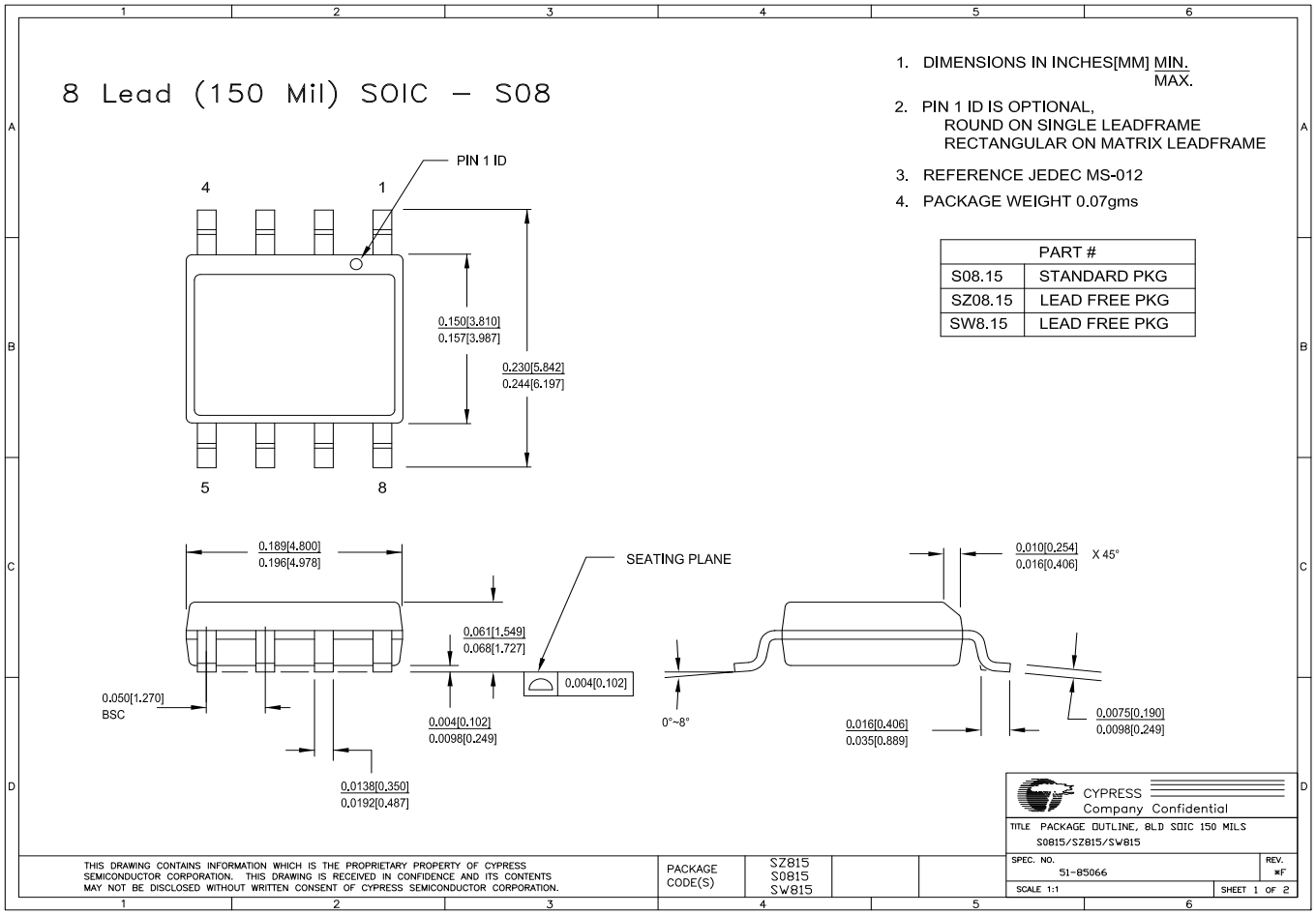
上述包装是无铅封装。本表包含最终信息。请联系您的本地赛普拉斯销售代表，查询这些部件是否可用。

订购代码定义



封装图

图 34. 8 引脚 SOIC (150 mils) 封装外形， 51-85066



缩略语

缩略语	说明
ACK	确认
CMOS	互补金属氧化物半导体
CRC	循环冗余校验
EIA	电子工业联盟
I^2C	内部集成电路
I/O	输入 / 输出
JEDEC	联合电子组件工程委员会
LSB	最低有效位
MSB	最高有效位
nvSRAM	非易失性静态随机存取存储器
NACK	未确认
RoHS	有害物质限制
R/W	读取 / 写入
RWI	读取和写入禁止
SCL	串行时钟线路
SDA	串行数据访问
SNL	串行数字锁定
SOIC	小外形集成电路
SRAM	静态随机存取存储器
WP	写保护

文档规范

测量单位

符号	测量单位
°C	摄氏度
Hz	赫兹
kHz	千赫兹
kΩ	千欧
Mbit	兆位
MHz	兆赫兹
MΩ	兆欧
µA	微安
µF	微法
µs	微秒
mA	毫安
ms	毫秒
ns	纳秒
Ω	欧姆
%	百分比
pF	皮法
V	伏特
W	瓦特

文档修订记录页

文档标题：CY14MB064J1A/CY14MB064J2A, CY14ME064J1A/CY14ME064J2A, 64-Kbit (8 K × 8) 串行 (I^2C) nvSRAM 文档编号：001-87304				
修订版本	ECN 编号	变更方	提交日期	变更说明
**	3980695	HLIN	04/24/2013	本文档版本号为 Rev**，译自英文版 001-70393 Rev*G

销售、解决方案和法律信息

全球销售和设计支持

赛普拉斯公司拥有一个由办事处、解决方案中心、工厂代表和经销商组成的全球性网络。要找到距您最近的办事处，请访问赛普拉斯所在地。

产品

汽车用产品	cypress.com/go/automotive
时钟与缓冲器	cypress.com/go/clocks
接口	cypress.com/go/interface
照明与电源控制	cypress.com/go/powerpsoc cypress.com/go/plc
存储器	cypress.com/go/memory
光学与图像传感器	cypress.com/go/image
PSoC	cypress.com/go/psoc
触摸感应产品	cypress.com/go/touch
USB 控制器	cypress.com/go/USB
无线 /RF 产品	cypress.com/go/wireless

PSoC 解决方案

psoc.cypress.com/solutions

PSoC 1 | PSoC 3 | PSoC 5

© 赛普拉斯半导体公司，2013。此处所包含的信息可能会随时更改，恕不另行通知。除赛普拉斯产品的内嵌电路之外，赛普拉斯半导体公司不对任何其他电路的使用承担任何责任。也不根据专利或其他权利以明示或暗示的方式授予任何许可。除非与赛普拉斯签订明确的书面协议，否则赛普拉斯产品不保证能够用于或适用于医疗、生命支持、救生、关键控制或安全应用领域。此外，对于可能发生运转异常和故障并对用户造成严重伤害的生命支持系统，赛普拉斯不授权将其产品用作此类系统的关键组件。 若将赛普拉斯产品用于生命支持系统，则表示制造商将承担因此类使用而招致的所有风险，并确保赛普拉斯免于因此而受到任何指控。

所有源代码（软件和 / 或固件）均归赛普拉斯半导体公司（赛普拉斯）所有，并受全球专利法规（美国和美国以外的专利法规）、美国版权法以及国际条约规定的保护和约束。赛普拉斯据此向获许可者授予适用于个人的、非独占性、不可转让的许可，用以复制、使用、修改、创建赛普拉斯源代码的派生作品、编译赛普拉斯源代码和派生作品，并且其目的只能是创建自定义软件和 / 或固件，以支持获许可者仅将其获得的产品依照适用协议规定的方式与赛普拉斯集成电路配合使用。除上述指定的用途之外，未经赛普拉斯的明确书面许可，不得对此类源代码进行任何复制、修改、转换、编译或演示。

免责声明：赛普拉斯不针对此材料提供任何类型的明示或暗示保证，包括（但不仅限于）针对特定用途的适销性和适用性的暗示保证。赛普拉斯保留在不另行通知的情况下对此处所述材料进行更改的权利。 赛普拉斯不对此处所述之任何产品或电路的应用或使用承担任何责任。 对于可能发生运转异常和故障并对用户造成严重伤害的生命支持系统，赛普拉斯不授权将其产品用作此类系统的关键组件。若将赛普拉斯产品用于生命支持系统中，则表示制造商将承担因此类使用而招致的所有风险，并确保赛普拉斯免于因此而受到任何指控。

产品使用可能受适用的赛普拉斯软件许可协议限制。

本文件中提及的所有产品和公司名称均为其各自所有者的商标。