基板レイアウトの EMC およびシステム ESD デザインガイドライン

本書について

適用範囲と目的

本書では、EMC に最適化された PCB 設計とシステムの ESD 設計に関する情報を提供します。取り上げるトピックには、高速信号の配線, PCB のスタックアップの選択, デカップリング部品の選択, トレースのインピーダンス制御設計, および高速信号伝送路の終端に関する PCB 設計の考慮事項が含まれます。また、マイクロコントローラーに関する特別な考慮事項も記載されています。

Attention: ***このアプリケーションノートには、インフィニオンテクノロジーの視点からの設計推奨事項が含まれます。最終的なアプリケーション実装の有効性とパフォーマンスは、実装の選択に基づいて、お客様が検証する必要があります。***

対象者

本書は、インフィニオン テクノロジーのマイクロコントローラーやその他のコンポーネントを使用して EMC に最適化されたアプリケーションボードを設計する必要がある方を対象とします。

目次

本書について 1
目次 2
1 概要 3
1.1 ノイズ源 4
1.2 結合経路 6
1.2.1 コモンモードとディファレンシャルモード 6
2 PCB 設計上の注意事項 9
3 設計における対策 13
3.1 電源 14
3.1.1 レイアウト構造 15
3.1.1.1 2 層基板 19
3.1.1.2 多層基板 20
3.1.2 コンポーネント (部品) 23
3.1.2.1 コンデンサ 23
3.1.2.2 インダクタとフェライトビーズ 31
3.2 信号 34
3.2.1 2 層基板および多層基板のレイアウト構造 35
3.2.2 コンポーネント 43
3.2.2.1 抵抗 43
3.2.2.2 EMI フィルタ 44
4 システムレベル ESD 46
4.1 概要 46
4.2 オンチップ ESD 保護 47
4.3 システム レベル ESD 保護 (オンボード) 48
4.4 システムレベル ESD ボード レイアウト設計ガイドライン 49
4.5 寄生成分 50
4.6 高抵抗ノード 52
5 マイクロコントローラーの特記事項 53
6 シミュレーション 55
7 数式付録 57
8 用語集 58
9 参考資料 60
改訂履歴 62
免責事項 63

1 概要

電磁両立性 (EMC) のトピックは、電子機器の機能とセキュリティにおいて重要です。今日の設計者は、恒常的に増加するシステム周波数, 電力制限の変更, より複雑なシステムによる高密度レイアウト, および製造コストを低く抑える必要性に対処する必要があります。

この EMC 設計ガイドラインでは、プリント基板 (PCB) レイアウトにおける、ルール, 例, シミュレーション, 各種測定に焦点を当てています。これらのルールを使用し、適切に設計された PCB により、大きな電磁放射を防ぐことができます。

この設計ガイドラインは種々のアプリケーション向けに作成されています。また、実際の EMC 設計の改善に対する、アプリケーションごとの結果はさまざまなものとなります。ルールの多くは、電磁放射 (EME) の問題に関するものです。EME に最適化された基板レイアウトは干渉の影響をあまり受けないため、これらのルールを使用すると、電磁感受性 (EMS) も低下します。

電磁両立性は、サブシステムまたは回路が使用されているシステムに影響を与えない、または影響を受けない性質のことです。アプリケーションで優れた EMC 動作を実現するための対策は、最初の開発ステップから開始し、実装する必要があります。つまり、EMC 対策はシステムや回路の仕様として考えなければいけません。すでに製造された PCB に対して、後で講じられた対策や措置はそれほど効果的ではなく、コストの増加につながります。

電磁妨害とは、結合による付加的な電圧が加わることによって電気回路の通常の動作が干渉されることです。回路に結合するさまざまな経路があり、これらの干渉を回避するためのさまざまな方法があります。

電磁妨害対策

電磁妨害対策は、以下の 3 つのステップで行います。

- 発生源
  - これは、ノイズや妨害が発生する場所です。この理由は、例えば、大電流 (高 di/dt), 高速信号, 速い立ち上り時間, 共振, アンテナ構造, 誤った終端, 反射, 電位差のある回路のスイッチングノイズなどです。
  - ゴール: 発生源での RF ノイズの抑制。
- 結合経路
  - 妨害が「発生源」から「被害者」に伝搬する経路または媒体。
  - ゴール:「結合経路」を効果的でなくする。
- 被害者
  - 「発生源」から来る妨害の影響を受ける電気回路。この妨害により、信号に知覚できないノイズが加わる可能性があります。しかし、この妨害は、信号の機能やアプリケーション全体に重大な影響を与える可能性もあります。
- ゴール
  - 「被害者」において放射に対する感受性が低いこと。

各ステップで、これから説明する設計手法を使用することで、電磁妨害を低減または取り除くことが可能です。

1 概要

1.1 ノイズ源

これは、ノイズや妨害が発生する場所です。RF ノイズを引き起こす可能性のある発生源は多数あります。最も重要な発生源は、マイクロコントローラー, 発振回路, デジタル IC, スイッチングレギュレータ, トランスミッタ, ESD, および雷です。

主なゴールは、発生源での RF ノイズの抑制です。

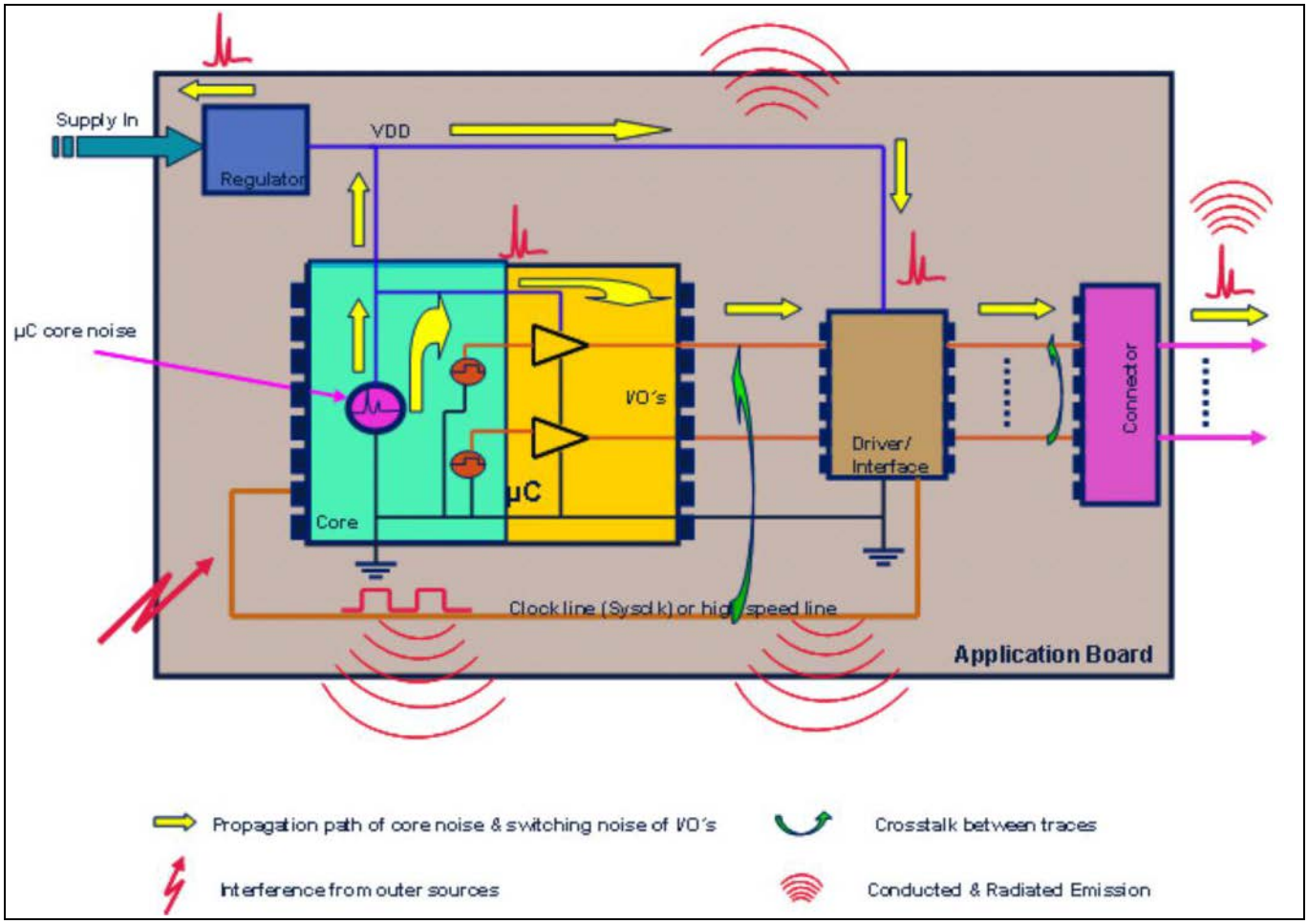


Figure 1 代表的なアプリケーションボードとノイズ源の経路

PCB 設計の観点から見ると、放射の最も一般的な原因は、コア動作のスイッチングノイズとマイクロコントローラーの I/O ポートの切り替えによる電源ネットワーク、または I/O ポートをドライブする機能を備えた他の IC によるものです。通常、ドライバの出力はボード上の長いトレースに接続され、ケーブルにも接続されます。これらのケーブルは、他のシステムコンポーネントに接続されています。トレースとケーブルの性質はアンテナの動作に非常に近く、これらのアンテナを通るエネルギーの放射は非常に深刻な問題を引き起こす可能性があります。電源ピン、および接続されたプレーンを通るスイッチングノイズの放出 (放射および伝導) は、マイクロコントローラーの EMC 動作のかなりの部分を占めます。隣接するトレース間の容量性および誘導性結合は、基板上でノイズをまき散らす経路を作ります。

発振回路は、基本周波数と高調波を有する台形波を生成します。基板上で慎重に考慮された配置ができなかった場合は、最も近いコンポーネントやトレースへの結合が起こる可能性があります。

デジタルシステムにおいて、スイッチング回路の放射の挙動はデジタル信号の形状に依存します。次の図に示すように、放射スペクトルは、スイッチング信号のデューティサイクルと立ち上り/立ち下り時間

1 概要

に関連します。パルスのハイの時間は、スペクトラムが 20 dB/decade で低下し始めるポイントを決定し、立ち上り/立ち下り時間は、40 dB/decade で低下し始める 2 番目のポイントに関与します。

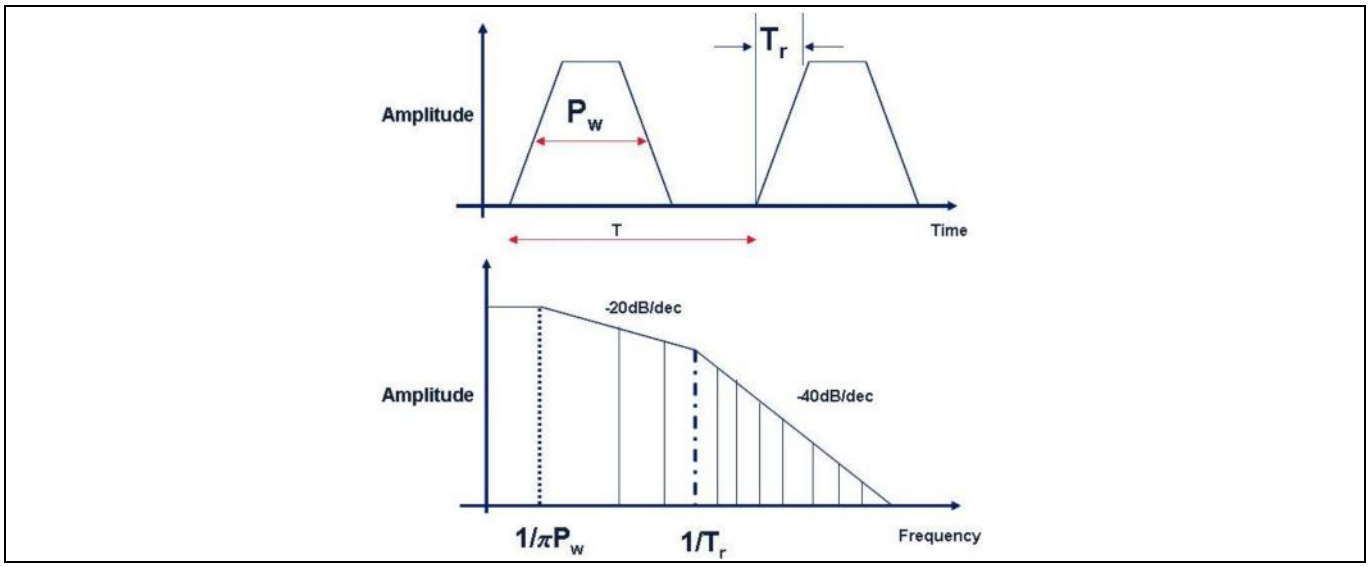


Figure 2　台形信号のスペクトル

次の図は、さまざまなパルス幅の周期パルスのスペクトルの計算結果を描いたもので、パルス幅とスペクトルの関係を明確にしたものです。スペクトルの大きさは、パルス幅が長くなるにつれて大きくなります。

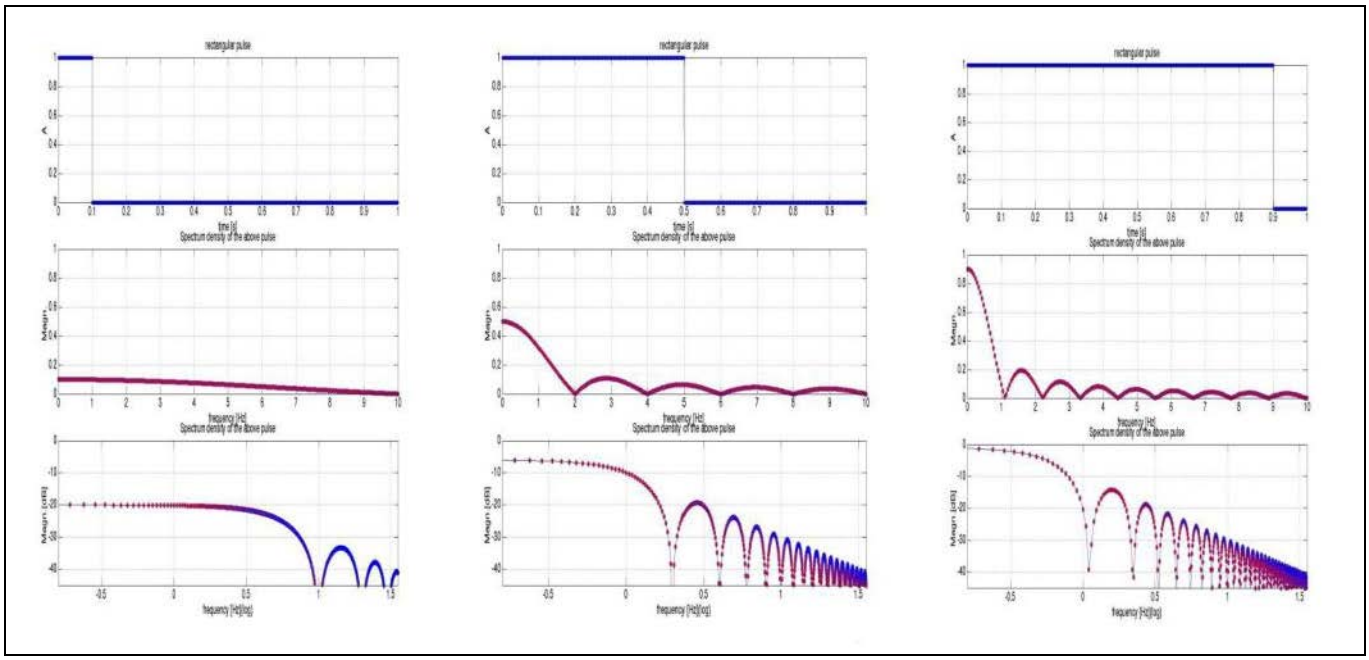


Figure 3　スペクトルとパルス幅の関係

PCB の高速設計では、高速信号を伝送する場合のトレースの処理方法と、ラインの長さが致命的になるのはどのような状況なのかを判断することが重要です。

一般に、信号の立ち上り/立ち下り時間の半分が PCB トレースの伝搬遅延よりも小さい場合、トレースは伝送線路として扱われ、さらなる対策を適用して配線し、その特性インピーダンスで終端する必要があります (レイアウト構造も参照)。

次に重要なポイントは、IC に対する設計です。マイクロコントローラーはほとんど同期クロックシステムであり、論理回路の同期構造により、IC の電源ネットワークに EMC の問題を引き起こします。また、IC の電源ネットワークも慎重に設計する必要があります。

1.2 結合経路

「結合経路」とは、ノイズが「発生源」から「被害者」に伝搬される経路または媒体を指します。

ゴールは、「結合経路」を効果的でなくすることです。

結合は放射および伝導の 2 つが主です。

放射結合経路

放射の結合経路は、電磁場とクロストーク (誘導性または容量性) です。30 MHz 未満の信号の経路は伝導であり、30 MHz を超える信号ではノイズの放射が増加します。

伝導結合経路

伝導の結合経路は、ガルバニックカップリング、電源供給ネットワーク (電源とグランド) です。電気システムにて、干渉問題となる電流や電圧は、コモンモード (CM) またはディファレンシャルモード (DM) にて説明できます。

1.2.1 コモンモードとディファレンシャルモード

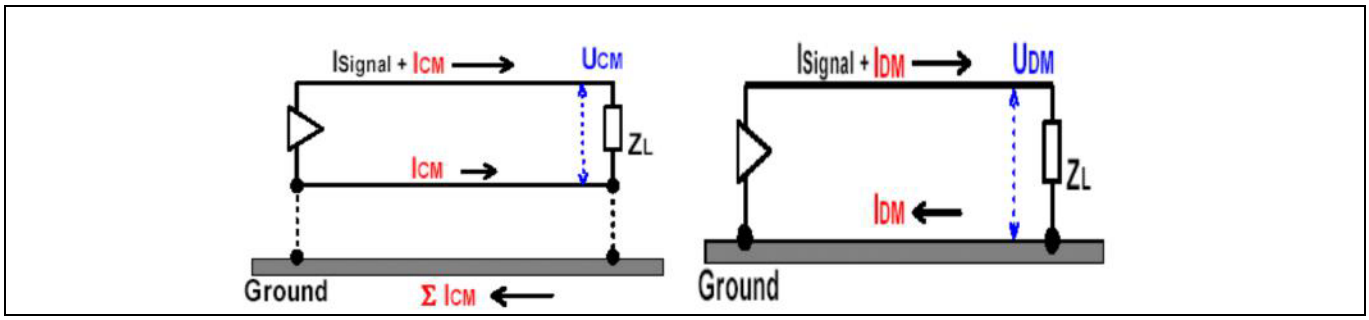


Figure 4 コモンモードとディファレンシャルモード

コモンモード

干渉は非対称的な乱れです。これは、多くの場合、ケーブルシステムとその電気基準電位の間で発生します。信号電流とノイズ電流は、ループ内で同じ (共通の) 方向になります。ケーブルは、グランドシステムのノイズが引き起こすエネルギーを放射します。コモンモードによる放射は、グランドシステムのインピーダンスを下げることで低減できます。

ディファレンシャルモード

干渉は、2 つのトレースまたはライン間で発生する対称的な乱れになります。これらのラインの 1 つをグランドラインにすることもできます。信号電流とノイズ電流は、電気ループ内で異なる方向に流れます。信号とリターンパスのループ面積が大きくなると、ディファレンシャルモードによる放射も増加します。

電流ループ

信号の切り替え時には、トレースおよび受信デバイスを経由し、電源システム (VDD または VSS) を介して送信デバイスに戻る電流の遷移が発生します。この経路は電流ループを形成します。

1 概要

電流ループには大きなインダクタンスがあり、変圧器のコイルとしてモデル化できます。ループのインダクタンスはループサイズに依存し、ループサイズとともに増加します。通常、PCB 上には、互いに相互作用するこのようなループが多数あります。

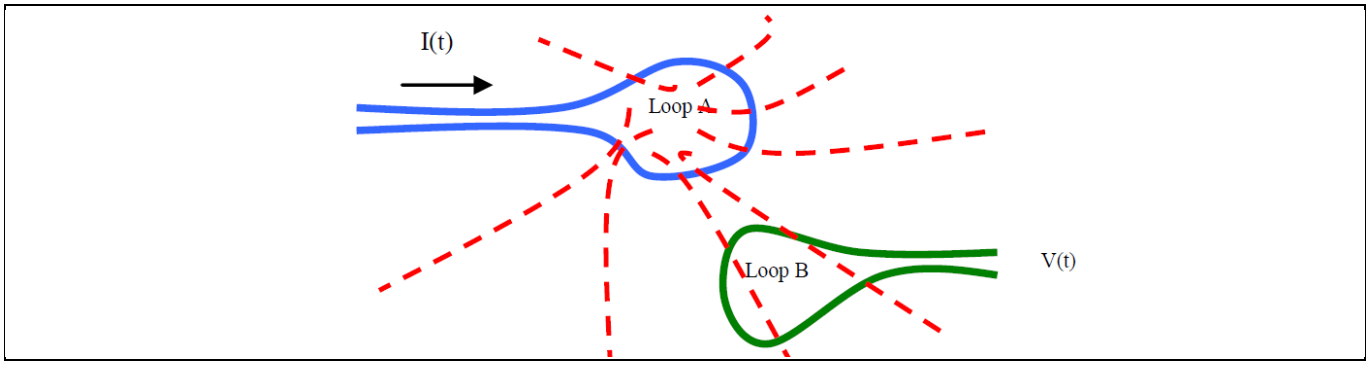


Figure 5　2 つのループ間の相互作用

ループ電流 A に変化が生じると、ループ A からの全磁束の一部がループ B を通過して電圧 v(t)を誘導するため、ループ B に比例した電圧が誘導されます。ループ間の誘導結合を最小限に抑えるには、ループのインダクタンスを小さくする必要があります。これは、ループサイズを小さくすることで実現できます。電源プレーンを使用すると、VDD および VSS 電源バスの接続インピーダンスを非常に低く抑えることができます。

低周波信号は抵抗が最小となる経路をたどり、高周波信号はインピーダンスが最小となる経路をたどるため、信号のリターン経路はループインダクタンスができるだけ小さくなるように設計する必要があります。電源プレーン設計においては、最小インピーダンスの経路が使われるように、電源プレーンは信号のリターン経路に断線や不連続性があってはなりません。

クロストーク

クロストークは、隣接する 2 つのトレース間の結合です。クロストークの量は、隣接するトレース間の静電容量とインダクタンスという 2 つのパラメータに依存します。

誘導性クロストークの場合、両方のトレースがループを形成し、トランスの 2 つの巻線のように機能します。ループは、信号経路とリターン経路を含む PCB 上のトレースです。距離とループ面積によってクロストーク量が決まります。誘導性クロストークを低減するには、ループ面積を小さくする必要があります。

Figure 6 の回路は、2 つの隣接するトレースを示しており、1 つのトレースは送信器として機能し、もう 1 つのトレースは受信器として機能します。ライン間の静電容量により、送信器によって生成されるノイズが他のトレースに結合する可能性があります。ノイズは電流を発生し、静電容量を介して隣の信号線に結合します。

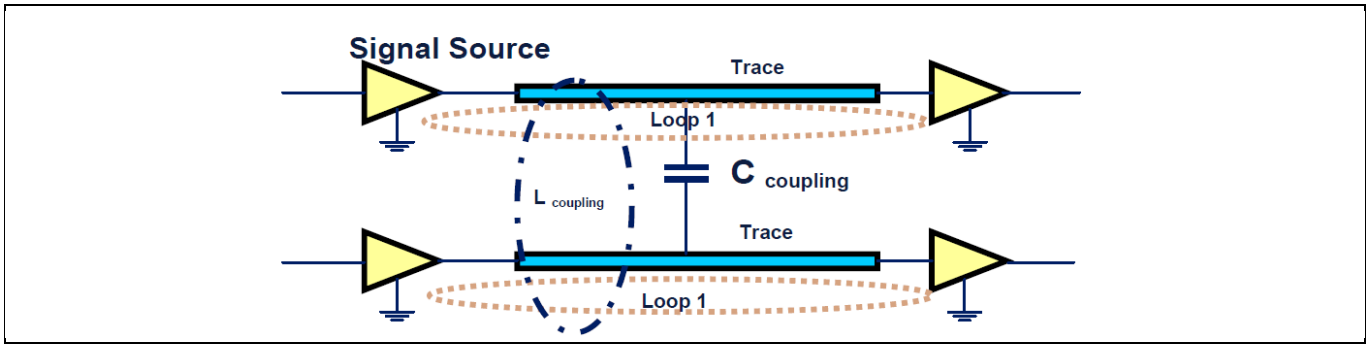


Figure 6　容量性結合と誘導性結合

1 概要

シグナルソースの dV/dt は、2 つのトレース間の結合容量に応じた電流を発生させます。

$$I = C\frac{dV}{dt}$$

シグナルソースの di/dt は、2 つのループ間の相互インダクタンスに応じた電圧を発生させます。

$$V = L\frac{di}{dt}$$

容量性クロストークは、トレース/ループを分離することで低減できます。トレース間の距離が長いほど、クロストークが少なくなります。しかし、多くのアプリケーションでは PCB 面積が限られているため、トレースの分離が常に可能であるとは限りません。この場合、トレース間にガードトレースを配置することが役立ちます。ガードトレースは、2 層基板では一つのアプローチとして使用できますが、多層基板では、ほとんどの場合、ソリッド(連続)グランドプレーンで設計されているため、メリットはそれほど大きくありません。最も効果的な対策は、信号ラインを適切に終端することです。

2 PCB 設計上の注意事項

EMC に最適化された優れた PCB 設計には、次の 3 つの設計ステージが含まれます。

- コンポーネントの選択/配置
- グラウンディングコンセプト (電源システム) の設計
- デカップリングコンセプト

配置する前に、クリティカルパスと回路を特定して、機能的なグループ化を行う必要があります。アナログ回路は、ノイズの多い信号源から隔離する必要があります。高速信号のグランドとアナログ信号のグランドは互いに分離する必要があります。異なる回路のグランド領域が重ならないようにする必要があります。

EMS とシグナルインテグリティの理由から、入力の閾値 (Vih) が高い外部ロジック IC を選択する必要があります。例えば、Vih が高い、HC (High Speed CMOS) または AC (Advanced CMOS) のスタンダード IC がより好まれます。di/dt ノイズを低減するには、最適な (不必要に速くない) 立ち上がり/立下がり時間の IC を選択します。他の IC の選択では、クロスカレント (貫通電流) が小さいものを使用してください。

電源電圧

より高い電源電圧を使用すると、より多くの電力がシステムで使われます。これは、より大きな電圧変動が発生するため、より大きな放射が発生することを意味します。したがって、電磁放射を最小限に抑えるには、可能な限り低い電源電圧を使用してください。しかしながら、感受性が懸念される場合は、電源電圧が低すぎないようにする必要があります。電圧レベルが低いということは、SN 比が小さいことを意味します。

発振器

発振器と水晶は可能な限り低速なものを使用してください。アプリケーションのハードウェアとソフトウェアの要求に合わせて調整します。

より高い周波数には PLL を使用します。発振回路の下に絶縁されたグランドプレーンを置くと、基板へのクロックノイズの伝搬を低減することができます。このグランドアイルは、基板のグランドに 1 点で接続 (高インピーダンス) する必要があります (水晶発振回路のレイアウト例を参照)。

PCB へのケーブルの接続

コネクタを機能別にグループ分けします。たとえば、アナログ信号と高速信号を分離します。デカップリング対策 (コンデンサ, フェライト, 光学系など) を行います。

Note: PCB からケーブルにノイズが入らないようにしてください。これにより放射が大幅に増加します。ケーブルから PCB にノイズが入らないようにしてください。動作が不安定になる可能性があります。

重要な信号を伝送するケーブルには十分な GND ピンを用意します。できれば、ケーブルの使用は避けてください。必要な場合は、できるだけ短くしてください。動かないように固定してください。そうしないと EMC の挙動が予測できません。

電源ケーブルまたは信号ケーブルをそれに対応する GND ケーブルで撚り合わせます。これは、流れる電流と戻ってくる電流が互いに接近することを意味します。両方の電磁界は互いに打ち消し合います。

2 PCB 設計上の注意事項

2 層/多層基板

多層基板は、EMC の挙動に関して 2 層基板と比較して多くの利点がありますが、低コストのために 2 層基板が好まれる場合もあります。多層基板は、2 層基板よりもコストがかかります。

多層基板では、少なくとも 1 層または 1 層の一部をカバーする電源/GND プレーンを使用して、低インピーダンスな電源とグランド接続を設計できます。EMC 対策は、2 層基板よりも多層基板の方が実現しやすいです。

トレース

高速設計では、トレースのリファレンス (グランド) が非常に重要です。トレースの設計は、トレースの放射やシグナルインテグリティの挙動に影響を与える可能性があります。次の 2 種類のトレースを使用できます。

- マイクロストリップ
- ストリップライン

(マイクロストリップとストリップラインの構造も参照してください。)

ストリップラインは両サイドにリファレンスプレーンがあるため、マイクロストリップよりもインピーダンスが低くなります。

隣接するトレースでの EMC 障害を回避するには、トレース間隔をできるだけ広く保つようにしてください。高速信号の場合、ガードトレースが必要になる場合があります。つまり、2 つの信号トレースの間にグランドトレースを設計する必要があります。

一般に、センシティブなトレースは、高速またはノイズの多いトレースと並走しないように設計してください。このような設計が避けられない場合は、並列となるパスをできるだけ短くします。

ビア

EMC のためには、高速信号アプリケーションで異なる種類のビアを使用することが利点となります。

- マイクロビア
  - 穴径は約 100 µm なので、ディスクリート部品のパッド内に配置することができます。直径が小さく、PCB 上のスペースを節約できるため、電源プレーン構造は大きなビアほど分断されません。同じ理由で、1 つの大きなビアの代わりに複数のマイクロビアを配置することもできます。これにより、接続は並列インダクタのようにふるまうため、接続のインダクタンスが低下します。
- 埋込みビア
  - これらは、多層基板設計で使用できます。これらは、PCB の内層 (例えば、3 層目から 4 層目) でいくつかの信号または電力トレースを接続しています。それらは最上層から最下層まで貫通する穴をあけるのではなく、内層だけを貫通します。埋込みビアを使用すると、多層基板の一部の層を、外面を切断せずに高周波シールすることができます。また、トレースの面積も節約できます。
- ブラインドビア
  - これらは、外側の層から内側の層の 1 つに向かってドリルで加工されます。そのため、PCB のすべての層が、最初または最後の数層との信号または電源トレースの接続のためにカットされるわけではありません。ブラインドビアは、埋込みビアと組み合わせて使用すると最も効率的です。

2 PCB 設計上の注意事項

ハイインピーダンス トレース

インピーダンスの高い (トレースが小さいまたは狭い) トレースを使用することで、妨害を局所的なものに抑えることができます。例えば、電圧レギュレータとの間のトレースです。

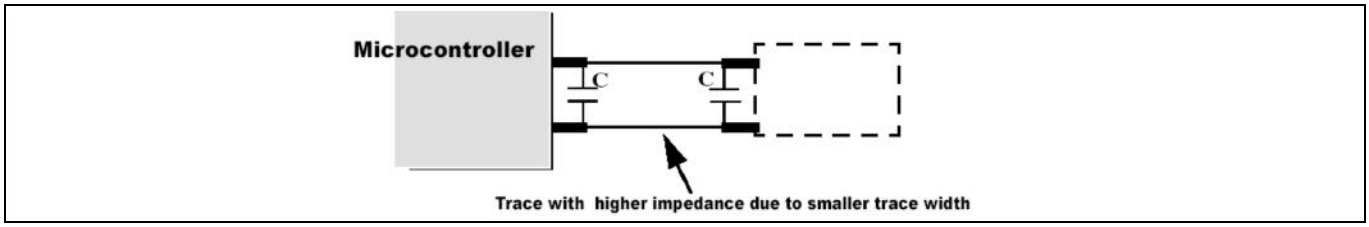


Figure 7　ハイインピーダンス トレース

パッケージ

BGA (Ball Grid Array) パッケージの場合、ほとんどの Vss ピンはマイクロコントローラーの中央にグループ化されています。一般に、対応する Vdd ピンは、外周の内側の列にあります。このピン配列により、PCB の反対面にレイアウトした場合に、デカップリングコンデンサと短距離で接続できます。リードフレーム パッケージの場合、デカップリングコンデンサは VDD ピンと GND ピンの間に配置する必要があります。電源プレーンとグランドプレーンまたはトレースへの接続は、コンデンサの「外側」に配置されたビアによって行う必要があります。

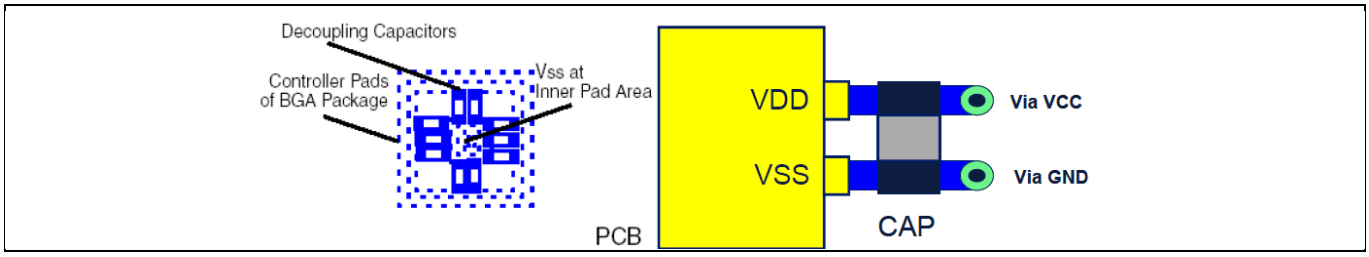


Figure 8　標準的な BGA (左) とリードフレーム (右) パッケージのデカップリング

PCB 材質

誘電率 εr は、トレースやプレーンの特性インピーダンスを計算するための重要なパラメータです。PCB の材料の場合、1 MHz の周波数における定数がボードメーカーから提供されています。高速信号の場合、誘電率は周波数に依存することを考慮する必要があります。例: FR4 材料の εr は、1 kHz で 4.7、1 MHz で 4.5、16 MHz で 4.35 です。

4 GHz を超える高速システムでは、テフロンや BT 材料など、FR4 以外の材料を使用することを推奨します。

誘電率 εr が PCB のインピーダンスに及ぼす影響は、異なる εr の基板 (εr = 4, 10, 100) でのシミュレーションによって示されます。シミュレーションには、10x10 cm^2 のサイズで、厚さ 20 mil の基板を使用しました。次の図に、εr 値が大きくなると、基板のインピーダンスが低くなることを示します。共振周波数は、εr 値が低いほど、高い周波数にシフトします。

2 PCB 設計上の注意事項

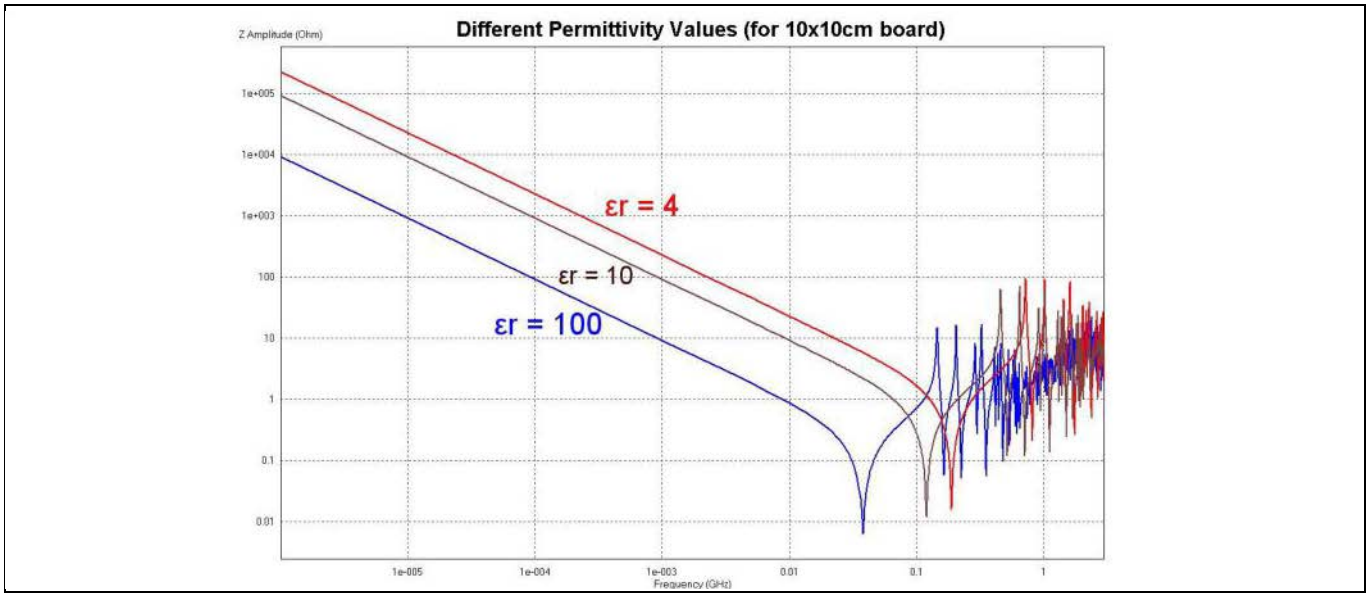


Figure 9 さまざまなεr 値に対する PCB のインピーダンス

3 設計における対策

以下のガイドラインが推奨されますが、ここで説明する各対策は、アプリケーションごとに評価する必要があります。すべての対策を実現することは、特に複雑なアプリケーションでは非常に困難な場合があるため、トレードオフを行う必要があります。

より複雑な構造の場合、一般的な設計ルールを定めることはできません。これらの構造は、2D もしくは 3D フィールドソルバーを組み合わせた SPICE シミュレーションを使用して、検証、最適化する必要があります。

一般的な設計に関する推奨事項

- 機能ユニットを定義してください。
  - 速度によっても分類します: アナログ/センサー, デジタル低速, デジタル高速, パワー素子。
  - 同じクロックで動作するすべてのコンポーネントはまとめて配置します。
- 同じ機能ユニットの素子は近い距離に配置し、重要な信号トレースはできるだけ短くしてください。
- 高速のトレースは、基板の端から遠く離れた、基板の中央付近に配線する必要があります。
- デカップリングコンデンサ用に、IC の近くに十分なスペースを確保し、PCB 全体に分布させてください。
- デカップリングコンデンサのリード長をできるだけ短くし、コンデンサは部品の VDD/VSS ピンにできるだけ近づけて配置してください。
- 特殊な「低インダクタンス」コンデンサの使用を検討してください。
- ルーティングを開始する前に、信号の最も高い伝送周波数と最も短い立ち上り/立ち下り時間に従って重要となる信号を特定してください。
- 大電流が流れるラインは、電圧レギュレータの出力にできるだけ近づけて配置してください。
- 高速トレースには、ドライバの近くに直列に抵抗を接続してください。
  - 信号のタイミングが仕様を満たしているかに注意してください。
- 発振器はクロックドライバに隣接して配置してください。
  - 非対称な基板スタックデザインを使用する場合は、リファレンスグランド層からの距離が最も遠い PCB 面に水晶発振器を配置します。これにより、水晶発振器パッケージから PCB のグランドシステムへの直接結合を防ぐことができます。発振回路からの放射/結合を減らすには、GND 層上に分離されたグランドアイルを作成する必要があります (Figure 18 を参照) 。
- 2 層基板の場合、機能ユニット間の距離を幾何学的に最小に保ってください (Figure 19 および Figure 20) 。
- 並走するトレースは、トレース幅の 2 倍以上に間隔を離してください。
- 層を変えるとインピーダンスにも影響し、それらのポイントで反射が発生します。
- VCC 電源プレーンのエッジから 20*H のメタル部を除去して、エッジ放射を低減します。「H」は基板の層の高さまたは厚さです (Figure 10 を参照) 。
- 外部信号を入出力するコネクタは PCB の端に配置してください。
- 重要な信号については、レイアウトツールの自動ルーターよりも手動ルーティングを優先してください。
- コネクタを高速回路の近くに配置しないでください。
- 水晶振動子, 発振器, およびクロック発生器は、I/O ポートや基板のエッジから離して配置してください。

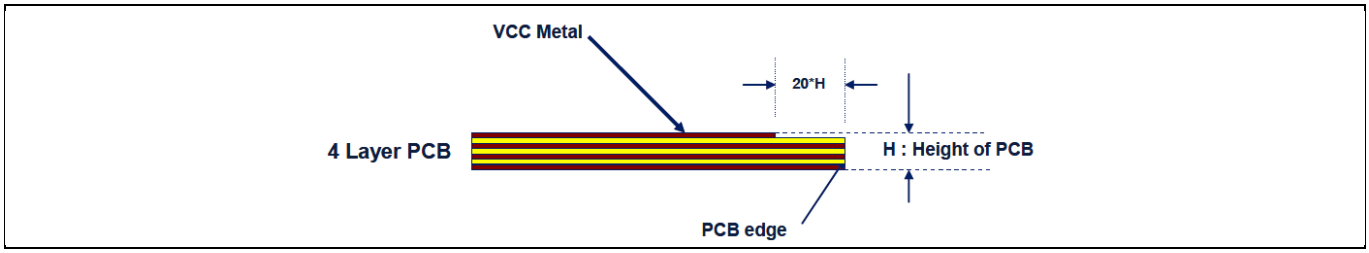


Figure 10　PCB のエッジから電源プレーンのメタル部を取り除く (20*H ルール)

3.1　電源

PCB レイアウトの最初のステップでは、電源システムを設計する必要があります。適切な電源バスとグラウンディング設計は、電圧の安定性と電磁放射の低減のための基本的な要件です。PCB テクノロジー (2 層または多層基板) を決定します。多層基板の場合、PCB の適切なスタックアップを設計する必要があります (多層基板を参照) 。

Note:　EMC に関しては、2 層基板にて適切な設計を実現することは、4 層以上の基板よりも困難です。2 層基板にフィルタ部品を追加した場合のコストと、フィルタ部品を追加しない多層基板のコストとのトレードオフを慎重に検討する必要があります。

選択した PCB テクノロジーに応じ、異なるグラウンディングシステムが使用できます。電源システムの場合、最も一般的な方式は、1 点接続タイプまたはスター接続タイプです (2 層基板を参照)。しかし、高速システムでは、スター型接地は最善の解決策ではありません。ノイズの高周波数パスにより、放射が増加する可能性があります。

多層 PCB の場合、電源レイヤの使用は良い解決策です。1 つの層を金属で覆うと、デカップリング部品への接続インピーダンスが大幅に低くなります。

電圧レギュレータ: RF 電流を流す

熱に変換されるか、他の方法で流れていくエネルギーは、それ以上放射できません。高周波エネルギーを外部と遮断するようにコンデンサを配置する例を参照してください。実際、IC 内部には高周波電流が発生しています。ブロックコンデンサを使用することで、この RF のエネルギーは電源回路ラインから外に出なくなります。ただし、エネルギーはマイクロコントローラーに接続される他の経路を介して結合する可能性があることに注意してください。

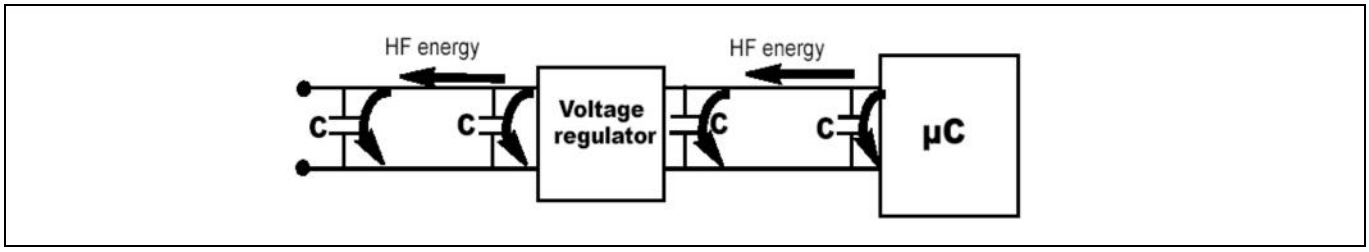


Figure 11　エネルギーの流れ

デジタル電源システムとアナログ電源システムを分離します。電圧レギュレータの出力側では、デカップリングコンデンサとインダクタを置き、電力ラインに伝搬するノイズを低減します。電源レベルでのデカップリングには、タンタルコンデンサが推奨されます。

電源システム自体が並列共振周波数を持っているため、この共振をクリティカルな周波数の範囲外にシフトすることを考慮する必要があります。これは、電源トレースの長さを短くすることで実現できま

す。基板形状はアプリケーションの機能から与えられるため、これが常に可能であるとは限りません。この場合、100 nF 程度のコンデンサを電流経路に実装することができます。これは、システムの電気的長さをシフトする効果があり、結果として生じる並列共振周波数は高くなります。

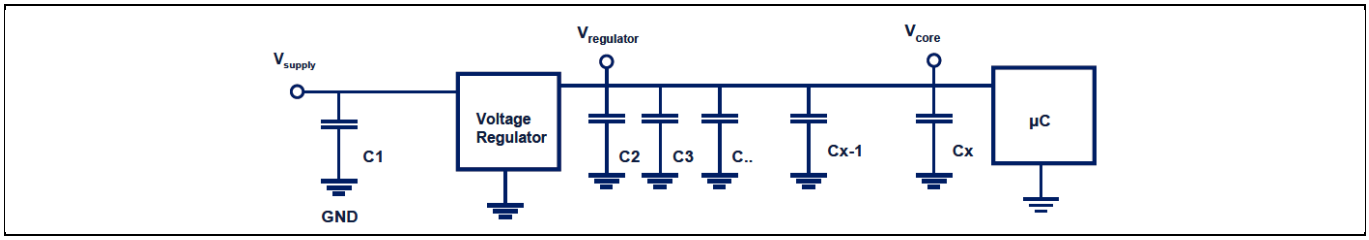


Figure 12　電源回路のデカップリング

3.1.1　レイアウト構造

インピーダンスを下げるために、互いに属する電源ネットとグランドネットを近づけてください。GND トレースは、VDD トレースにできるだけ近づける必要があります。最良の選択は、それらを並行して設計することです。電流が流れるトレースとそれに対応するグランドトレースが異なる方向に進まなければいけない場合、電位の相違とコモンモードの問題が発生します。以下の図は、GND トレースと VDD トレースの配線位置の相違を示しています。

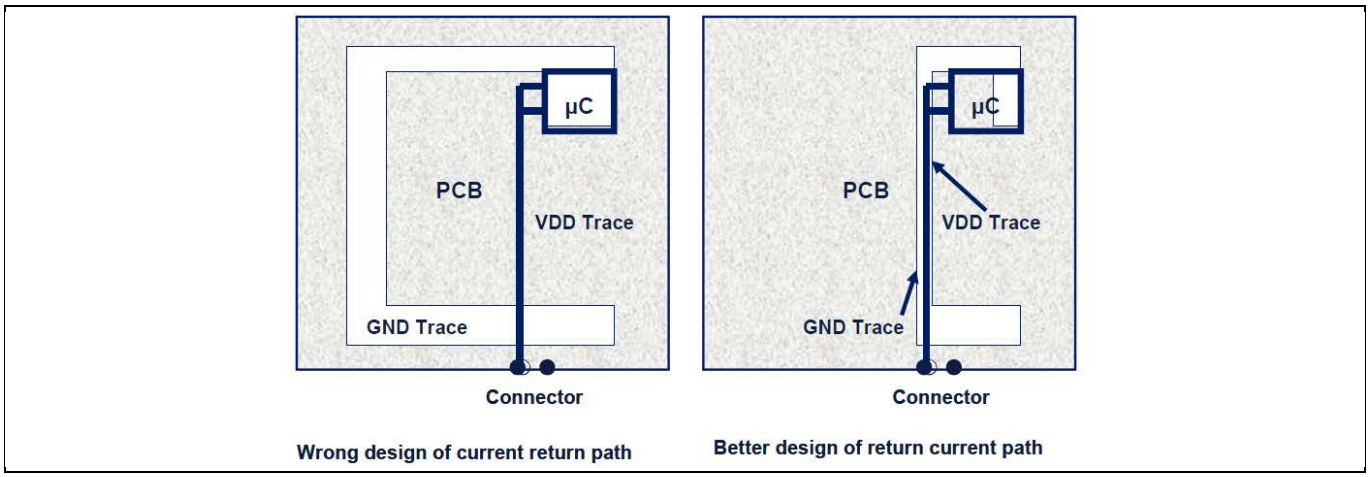


Figure 13　グランドトレースの設計

一般に、電源とグランドのトレースは、電源コネクタから各コンポーネント/機能ユニットに直接つながる必要があります。可能であれば、片側を完全なグランドプレーンとして使用して、電流の流れを最適化します。グランドエリアの埋め方は慎重に取り扱う必要があり、そうしないと、共振構造とアンテナ効果のために放射が増加する可能性があります。これらを複数のビアまたは幅の広いトレースで基板のリファレンス グラウンドに接続します。PCB での放射や感受性への影響はさまざまであるため、各アプリケーションごとに対処する必要があります。

信号を流れる電流は、リターンパスとして電源プレーンとグランドプレーンの両方を使用します。サプライ側を可能な限り「クリーン」に保ちます。高インピーダンスのエリア (ビアのグループ、ギャップ) は避けてください。

電流リターンパスを短く保つために、グランドプレーン内のセグメント化を避けてください。また、電源プレーンは、電源システムへのノイズの結合と放射を減らすためにできるだけ小さくしますが、電源システムに接続されているすべてのコンポーネントに電力を供給するのに十分な面積を使用する必要があります。

3 設計における対策

ビアの配置例を次に示します。

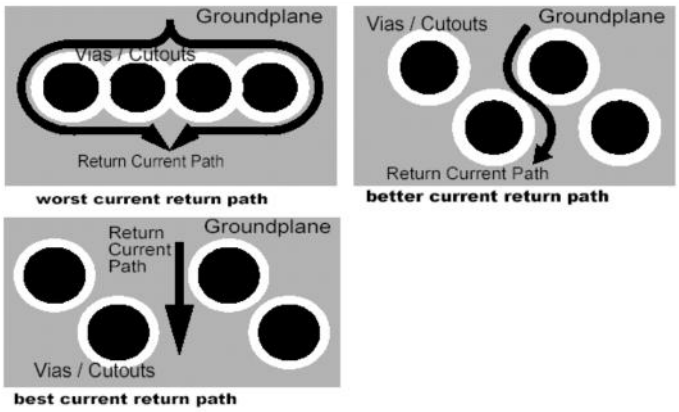


Figure 14　ブロックしない電流リターンパス

左上のケースでは、リターン電流はビアのグループの周りを強制的に流されます。 右上のケースでは、電流は一方の側から他方の側への、ほぼ直接的な流れになります。電流リターンパスの最適解は、左下の構成に示されます。

場合によっては、電源プレーンまたはグランドプレーンを分割することで、EMC の動作とシグナルインテグリティが大幅に改善されることがあります。この分割は、信号と電流の流れに関するいくつかの考慮事項に基づいて行う必要があります。PCB のノイズの多いエリアから非常にセンシティブな部品を分離することで、干渉を小さく抑え、ガルバニックカップリングの可能性を最小限に抑えることができます。VDD プレーンをセグメントに分割する場合は、機能ユニットごとに 1 つのエリアを用意します。これらのゾーンは、同じ電源を有する場合のであれば、相互に接続する必要があります。これは、電流の流れ方とインピーダンスに影響を与えます。グランドプレーンの場合、低インピーダンスの経路を保証する必要があります。分離されたゾーンは、PCB の電源コネクタまたは電圧レギュレータの近くにある共通の電源スターポイントで再度接続する必要があります。

機能ユニットには、すべての RF コンポーネント、すべてのアナログコンポーネントなどを含めることができます。機能ユニットを構築する別の方法は、電源電圧 (5.0 V、2.5 V など) で区別することです。

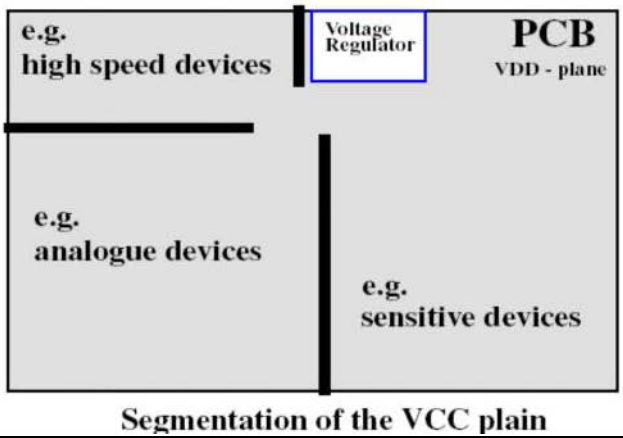


Figure 15　例:電圧レギュレータを共通の「電源スターポイント」とする電源プレーンのセグメンテーション

基板構造がもたらす共振は、EMC の挙動に直接影響します。周波数の高調波成分が並列共振と同じ周波数である場合、著しく高い振幅が生成される可能性があります。これらの高調波は、他の電源経路やトレースに結合します。基板構造は、対象範囲に並列共振がないように選択する必要があります。Figure

3 設計における対策

17 のシミュレーション結果からわかるように、基板構造が小さいほど共振は大きくなります。これらの並列共振周波数は放射スペクトルで確認でき、シグナルインテグリティにとって致命的となりえます。

基板の共振は主に 2 つのプレーン間で発生するため、オプションの 1 つは、トレースによる VDD 電源供給とすることです (つまり、パワースターポイント, 異なる基板セクションへの個別のトレース, グランドプレーンとの距離)。

トレースは、プレーン構造に比べてインピーダンスが高くなります。VDD パターンを使用すると、PCB 上の局所的な乱れがボード全体に広がるのを防ぐことができます。スイッチング動作に必要な電流を供給するには、マイクロコントローラーやロジックデバイスの直下でローカルに分離された「パワーアイランド」を実現する必要があります。これらのアイランドでのノイズは他のデバイスへの高インピーダンスの経路を持つため、局所的に保持されます。

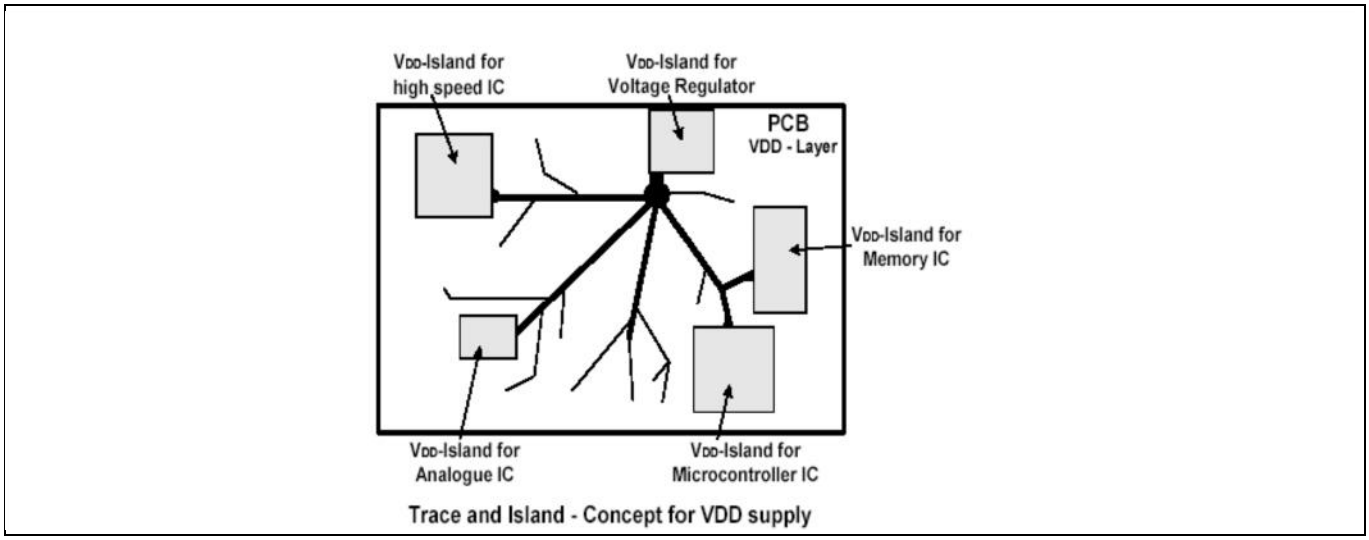


Figure 16　例: グランドプレーン上の VDD アイランドとトレースの使用

プレーンの静電容量とインダクタンスは、それらの値に応じた高周波共振を引き起こします。

一部の高速アプリケーションでは、電源プレーン容量を分布容量として使用して、高周波数領域における PCB 上の電源ネットワークの総合インピーダンスを減らすことができます。この場合、インピーダンスを計算し、電源プレーンの寸法を決定して、適切なデカップリング効果を得ることが重要です。プレーン構造の静電容量は、基板の厚さ、寸法、および基板の誘電率によって異なります。

Figure 17 に、基板の厚さが変化した場合の電源プレーンのインピーダンスの変化と、電源プレーンの寸法が変化した場合のインピーダンスの変化を示します。

最初の基板の共振は、プレーンの面積が小さくなるとより高い周波数にシフトします。

3 設計における対策

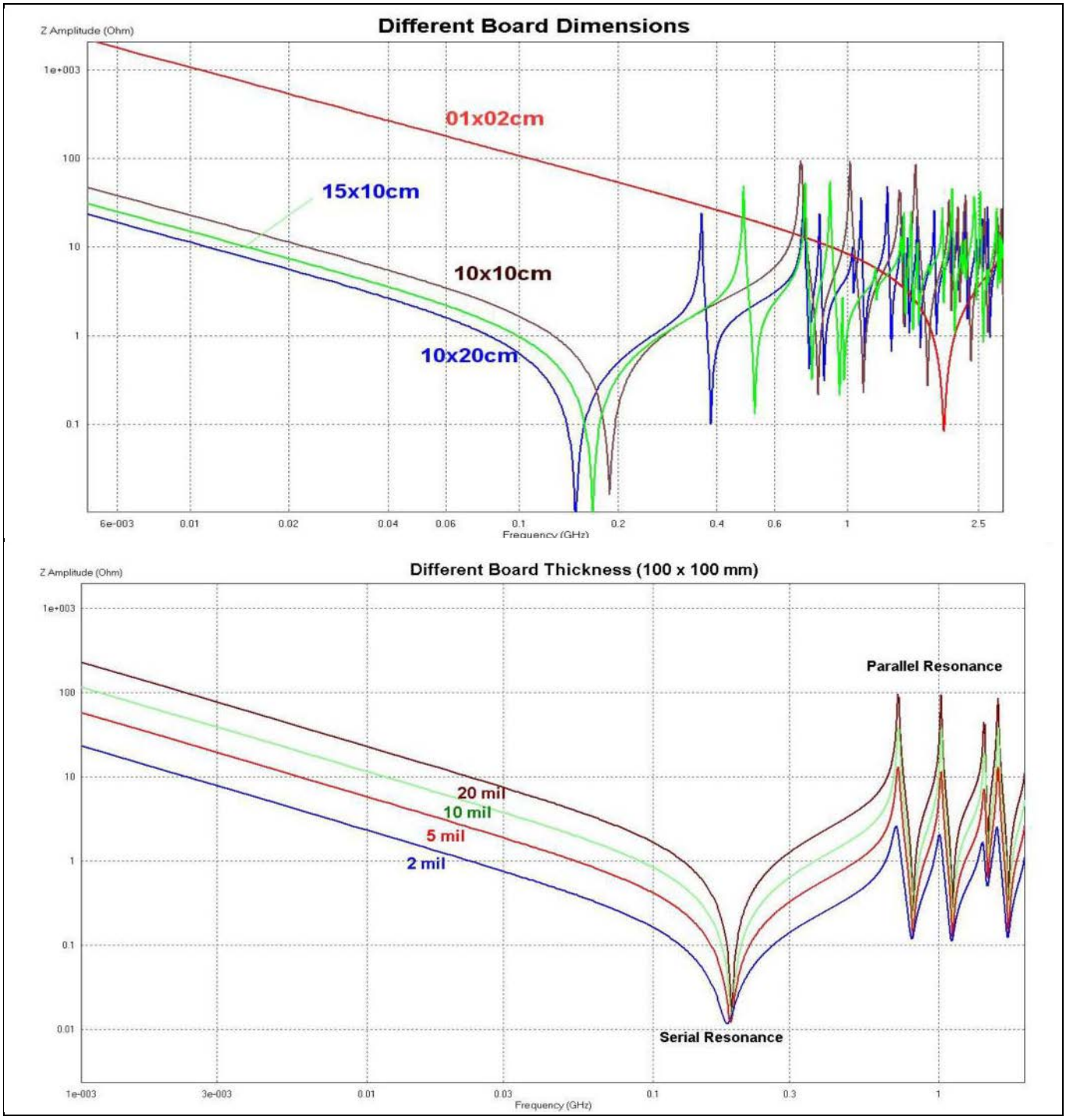


Figure 17　異なる基板の厚さとプレーン寸法でのインピーダンス

場合によっては、ノイズの伝搬を減らすためにグランドを分離する必要があります。これは低速システムでのみ可能です。高速システムでは、グランドプレーンの切断が高周波ノイズ経路に影響を与える可能性があるため注意が必要です。高周波信号には、均一なグランドリファレンスが必要です。

Figure 18 に、発振器におけるグローバルグランドプレーンから切り出されたローカルグランドアイランドの例を示します。

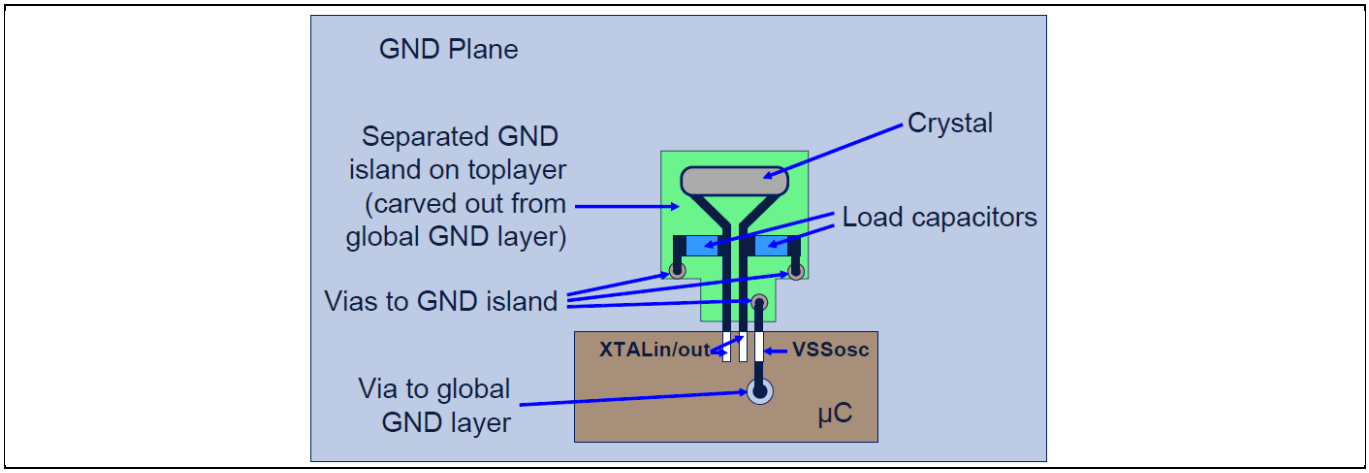


Figure 18　水晶発振回路のレイアウト例

外付け発振器部品 (水晶振動子、コンデンサ) とマイクロコントローラーの発振器 VSS 用の VSSosc ピンとの間に生成される発振器の電流ループには、グローバルグランドプレーンとの接触があってはいけません。グローバルグラウンドプレーンは、VSSosc ピンとは反対側で接続する必要があります。2 つの負荷コンデンサがマイクロコントローラーの発振器ピンと水晶振動子の間に配置されていることを確認します。

3.1.1.1　2 層基板

各コンポーネントには、それらに応じた電源/グランドが必要です。これを 2 層基板で実現するのは容易ではありません。一般に、2 層基板での電源供給を設計する上で、2 つの概念があります (Figure 19 を参照)。

基板全体の電源接続は、スター接続として設計できます。各部品への電力の分配は、レギュレータ出力からのトレースでルーティングできます。レギュレータ出力にパワーアイランドを配置して、スターポイントを実現できます。また、すべての電源トレースに基準となるグランドがあることも重要です。

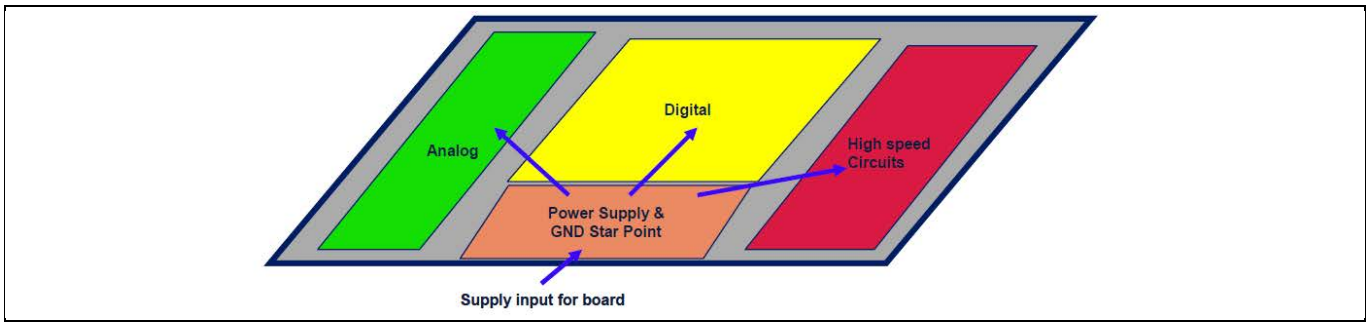


Figure 19　スター接続方式による電源/グランディング例

2 層基板のパワーネットワークに対するもう一つの良い解決策は、グランドネットと電源ネットを備えたグリッドシステムを構築することです。

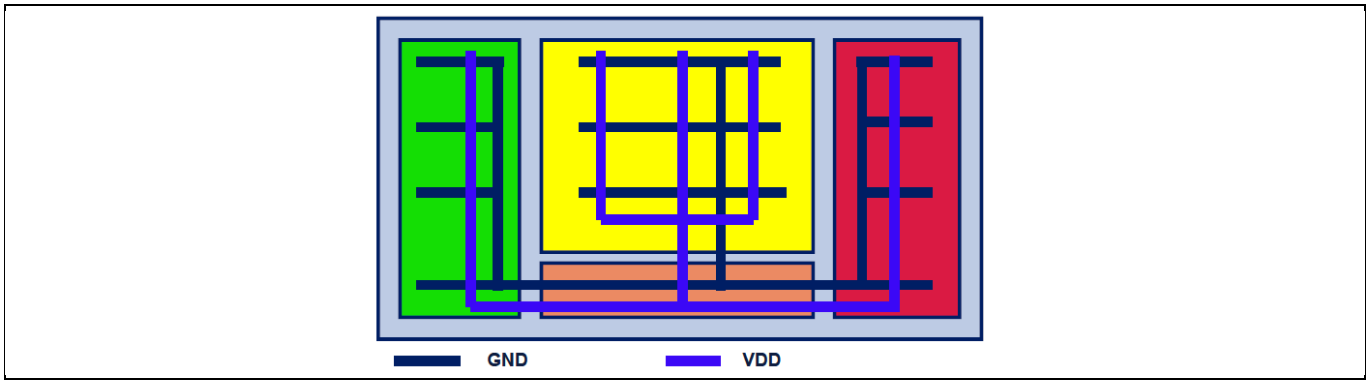


Figure 20　Figure 19 に対する PCB 上のグリッドパワーシステムの例

グランドネットと電源ネットは、各層にてボード全体に配線されています。各層の各電源システム (GND/VDD) のトレースはビアで接続されています。このグリッドにより、電源システムを基板上の各位置に低インピーダンスで接続することができます。一般的に、基板の最上層のトレースは垂直方向に、最下層のトレースは水平方向に配線されるため、グリッドシステムを簡単に実現できます。しかし、このソリューションでは、信号パターンの層が変化するため、トレースのインピーダンスが変化するというトレードオフがあります。

3.1.1.2　多層基板

多層基板の設計では、基板構造の選択が非常に重要です。スタックアップと呼ばれるこの基板構造は、メーカーの技術データを利用して構築することができます。それは高速設計の条件によって決まります。4 層および 6 層の基板スタックアップのサンプルをいくつか示します。

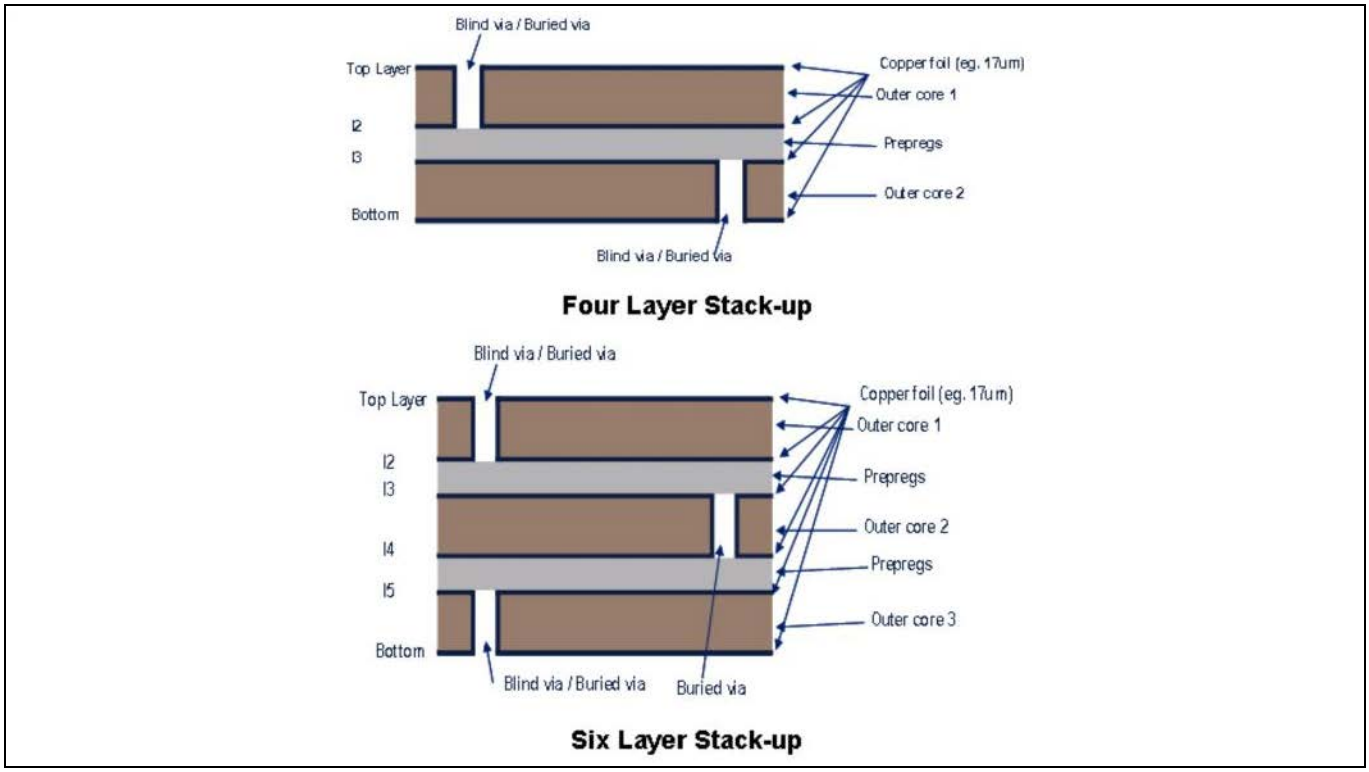


Figure 21　4 層および 6 層 PCB のスタックアップ例

3 設計における対策

少なくとも 1 つの電源層とグランド層のペアを設計します。電源プレーンとグランドプレーンを隣接層で実現します。電源とグランド層の間の距離が短いほど、電源のインピーダンスは低くなります。目標とする層間の間隔は、異なる厚さのサブストレートとプリプレグを利用して達成できます。

電源プレーンのシールド効果を利用して、電磁放射を低減してください。4 層以上ある場合は、グランド/電源層間に重要なトレースのための信号層を置けます。これにより、他の信号と干渉しない良好な電流リターンパスが得られます。また、基板外部への放射に対するシールドとしても有効です。十分なスペースがある場合は、各信号層が対応する独自のグランド層を持つように、スタックに追加のグランド層を実装します。信号層にグランドプレーンを追加することで、決められた特性インピーダンスを維持できます。

EMC に最適化された基板設計では、VDD 層と GND 層のさまざまなスタックアップも考慮できます。Figure 23 のシミュレーション結果に、3 種類のスタックアップの効果の比較を示します。

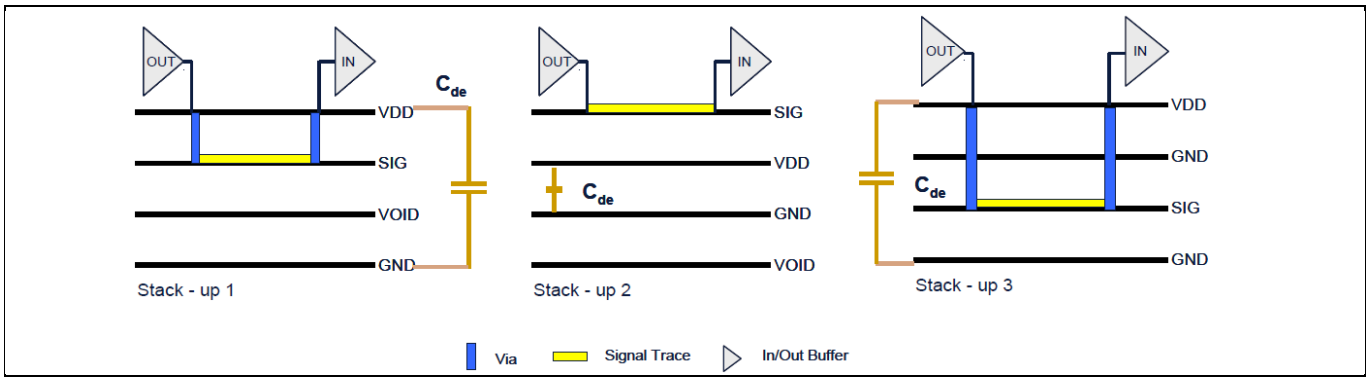


Figure 22　リファレンスプレーンのさまざまなスタックアップ

1 番目のケースでは、信号層は VDD/GND 層の間に配置されます。2 番目のケースでは、信号層は最上層に配置されます。3 番目のケースでは、信号層は 2 つの GND 層の間に配置されます。

デカップリングコンデンサを流れる電流を次の図に示します。

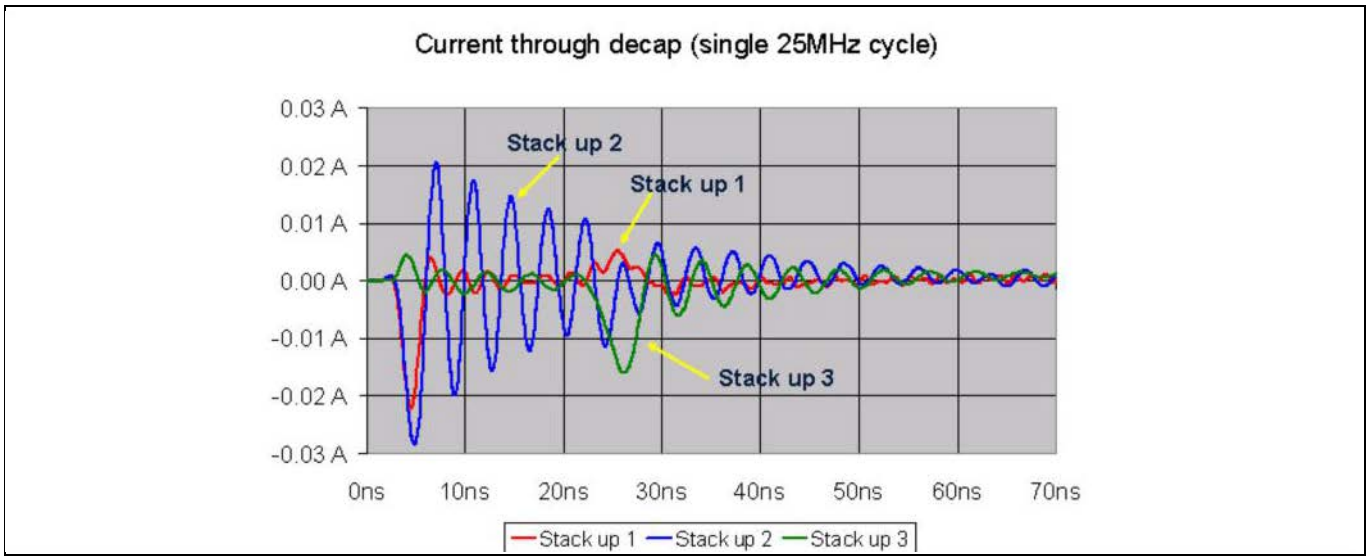


Figure 23　さまざまなスタックアップに対するデカップリングコンデンサを流れる電流

GND/GND 層または VDD/GND 層の間に信号層を埋め込んだスタックアップは、最良の結果をもたらします。ただし、VDD 層と GND 層の間の距離が長くなると、基板のプレーン間静電容量が減少することも考慮する必要があります。プレーン間静電容量は、高周波での基板のデカップリング効果を高めます。

3 設計における対策

クロックトレースのようなノイズの多い信号を 2 つのグランド層の間に配置することで、多くの放射の問題を回避できます。

また、重要な信号に適した層を選択することも重要です。重要な信号をストリップラインとして設計すると、電源ネットワーク VDD のスイッチングノイズを低減できます。Figure 24 は、信号トレースの異なる層配線(ストリップラインとマイクロストリップ)の場合の VDD のノイズレベルの比較を示しています。ストリップラインレイアウトの利点は、500 MHz までではっきりとわかります。ストリップラインおよびマイクロストリップ構成の構築については、Figure 43 を参照してください。

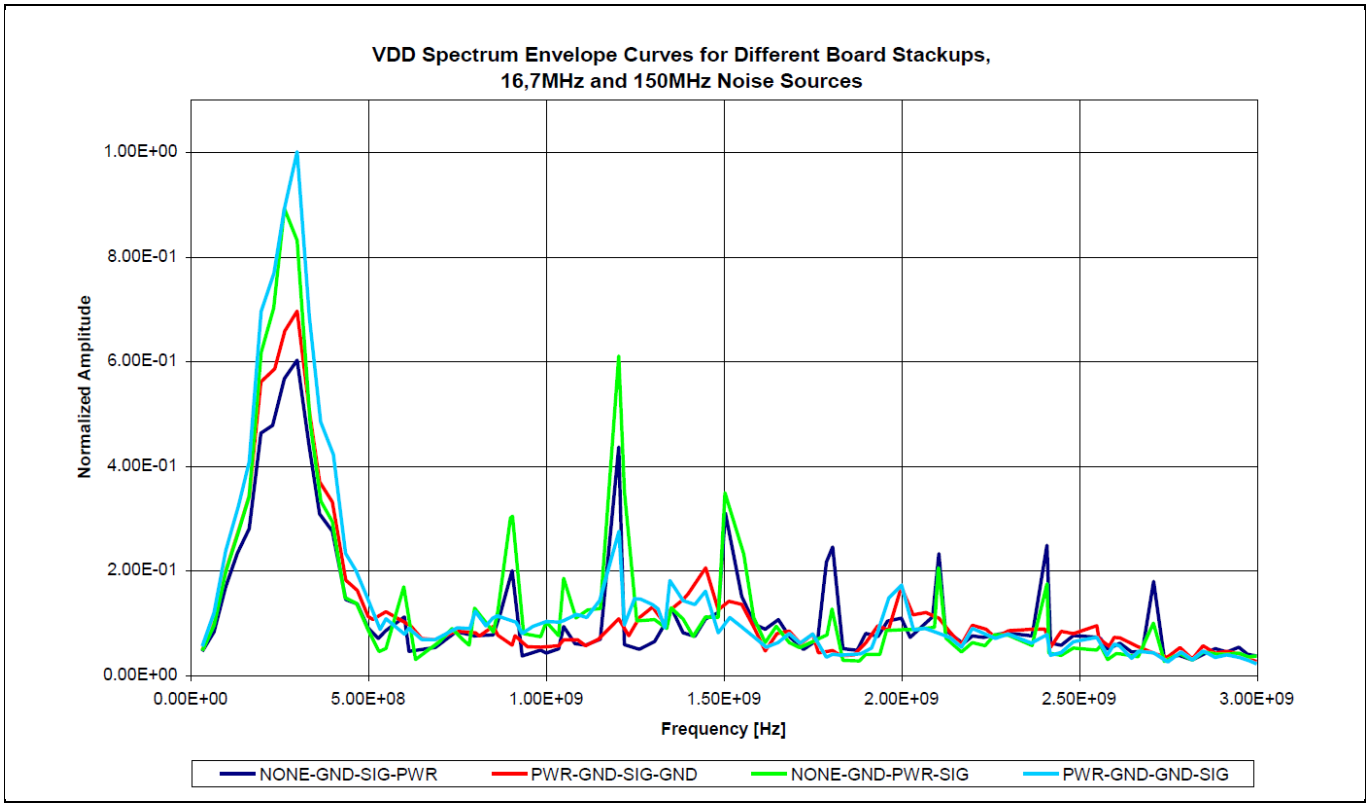


Figure 24　信号ラインのさまざまなスタックアップ構成に対する電源ネットワークのノイズレベル

デカップリングコンデンサの接続は、高周波領域で重要です。2 層基板での接続はトレースで行われますが、多層基板では、ビアを介して電源/グランド層に直接接続できます。トレースの長さと幅に応じた寄生インダクタンスはインピーダンスとデカップリング効果にも影響します。デカップリングコンデンサのビア接続とトレース接続を比較すると、400 MHz を超えるとビア接続の方がインピーダンスは低いことがわかります。さらに、トレースの厚さが増すにつれてインピーダンスが減少するため、トレースの厚さも寄与していることがわかります。

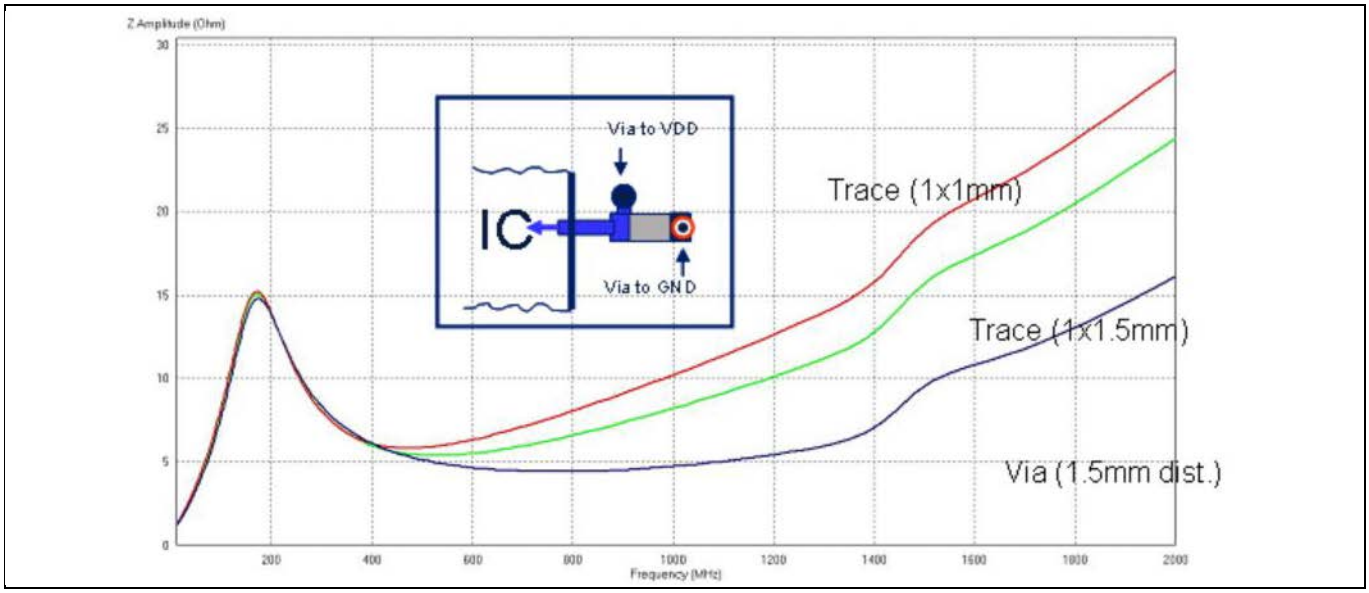


Figure 25　異なる接続方法におけるインピーダンスの比較 (デカップリングコンデンサのビア接続とトレース接続)

3.1.2　コンポーネント (部品)

受動コンポーネントは、回路内の電磁放射を低減するために使用されます。これらのコンポーネントを最適に使用するには、その動作を理解する必要があります。

3.1.2.1　コンデンサ

コンデンサは、回路がスイッチングしている間、必要なエネルギーをローカルに供給するために使用されます。これにより、電源の放射ループが削減されます。

一般的なコンデンサには、アルミニウム/タンタルコンデンサとセラミックコンデンサの 2 種類があります。

- アルミニウム/タンタルコンデンサ
  - 主に供給ラインでのバルクデカップリングに使用されます。静電容量値は、周波数が高くなるにつれ減少します。しかし、タンタル/アルミニウムコンデンサは、温度とバイアスに対する動作が非常に安定しています。大きな容量値が必要なアプリケーションでは、タンタルコンデンサを優先する必要があります。
- セラミックコンデンサ
  - ESR が低いため、IC のデカップリングに適しています。それらは高周波領域でより安定しています。フィルタリングには、タンタルとセラミックの両方がうまく機能します。対象となる周波数でのインピーダンスは、コンデンサの種類と値を決定する上で非常に重要です。

下図にコンデンサの等価 RF 回路を示します。純粋な静電容量の他に、コンデンサの寄生成分として等価直列インダクタンス ESL と等価直列抵抗 ESR があります。

3 設計における対策

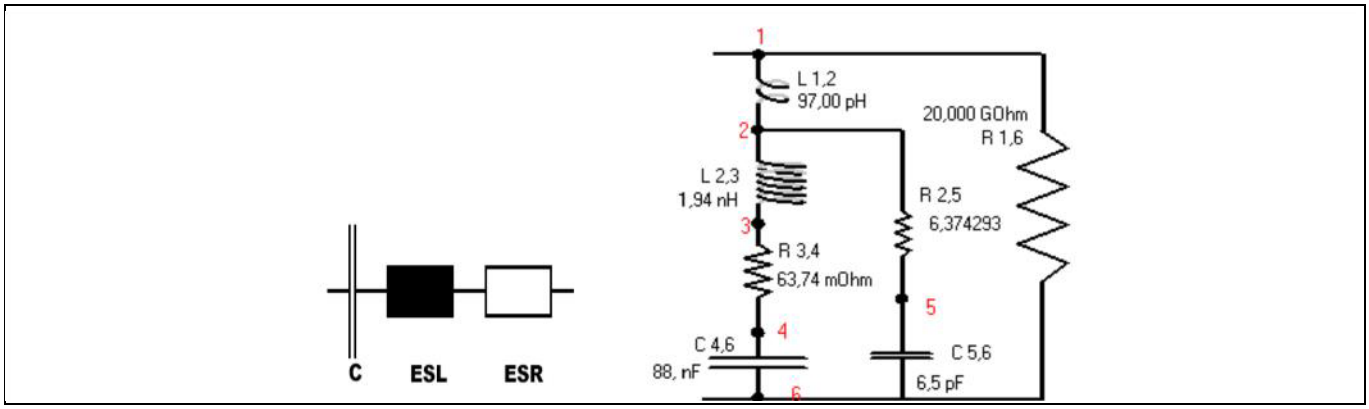


Figure 26　コンデンサの等価回路 (簡易化したメーカーモデル)

コンデンサは、低周波数領域で容量性の動作を示します。直列共振周波数よりも高い周波数領域の場合、その動作は誘導性になります。最適なデカップリング効果は、直列共振周波数で見られます。この情報は、コンデンサのデータシートに記載されています。

次の図に、さまざまなコンデンサ容量値 (1 nF, 10 nF, 100 nF, 470 nF) のインピーダンス曲線を示します。

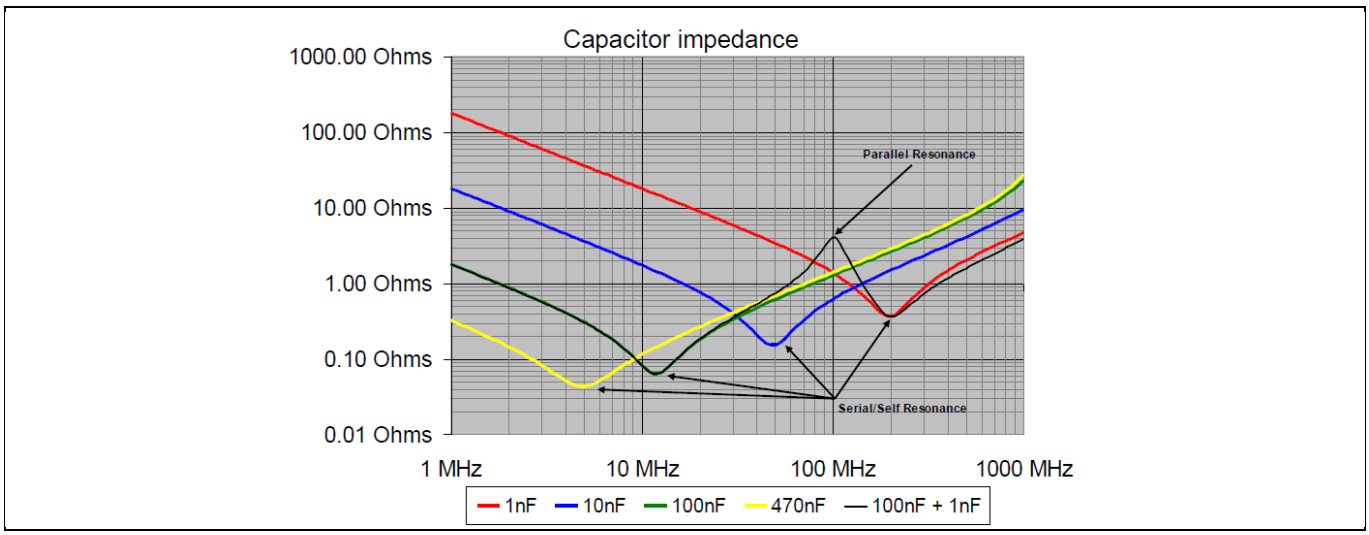


Figure 27　コンデンサ容量値の違いによるインピーダンス特性

この図の中の 1 つのインピーダンス曲線は、2 つのコンデンサを並列に接続した場合の影響を示しています。正の共振 (100 MHz へのインピーダンス増加) は、100 nF のインダクタンス分と 1 nF コンデンサのキャパシタンス分の共振によって発生します。それぞれのコンデンサの共振ピーク間では、インピーダンスが増加します。これは、100 nF の L 分と 1 nF のコンデンサの C 分が原因です。この範囲では 100 nF は誘導性となり、1 nF は依然として容量性であるため、共振が形成されます。これらのパラメータを並列に組み合わせると、並列共振が形成され、インピーダンスが増加します。この影響を回避または低減するには、コンデンサを 1 桁または 2 桁の値差で並列に接続します。

電源ラインに対する主な目標は、広い周波数範囲に渡ってできるだけ低いインピーダンスにすることです。電源システムのインピーダンスが低いほど、スイッチングの電流要求に対するシステムの応答能力が高くなります。低インピーダンスの電源システムは、この高周波電流を供給し、RF エネルギーが他の場所に伝搬するのを防ぐことができます。コンデンサを並列接続することで、広い周波数範囲でインピーダンスを低減することができます。しかし、1 つの重要なルールに従わなければいけません。並列接続されたコンデンサは、並列共振によるインピーダンス曲線のピークの上昇を防ぐために、少なくとも 10 倍の値差 (例えば、100 nF と 10 nF の並列接続) を持つ必要があります。

3 設計における対策

デカップリングコンデンサの選定

デカップリングコンデンサを選定する際には、アプリケーションの動作周波数を考慮する必要があります。コンデンサの自己共振周波数は、アプリケーションのクロックまたは動作周波数の範囲内にある必要があります。デカップリングの全体的なコンセプトは、基本周波数の高調波分をカバーする必要があります。自己共振周波数は次の式で計算できます。

$$X_c = \frac{1}{2\pi f C}$$

ここでは、

- Xc = 容量性リアクタンス
- f = 周波数
- C = 容量値

デカップリングによって生じる追加の共振周波数に注意してください。

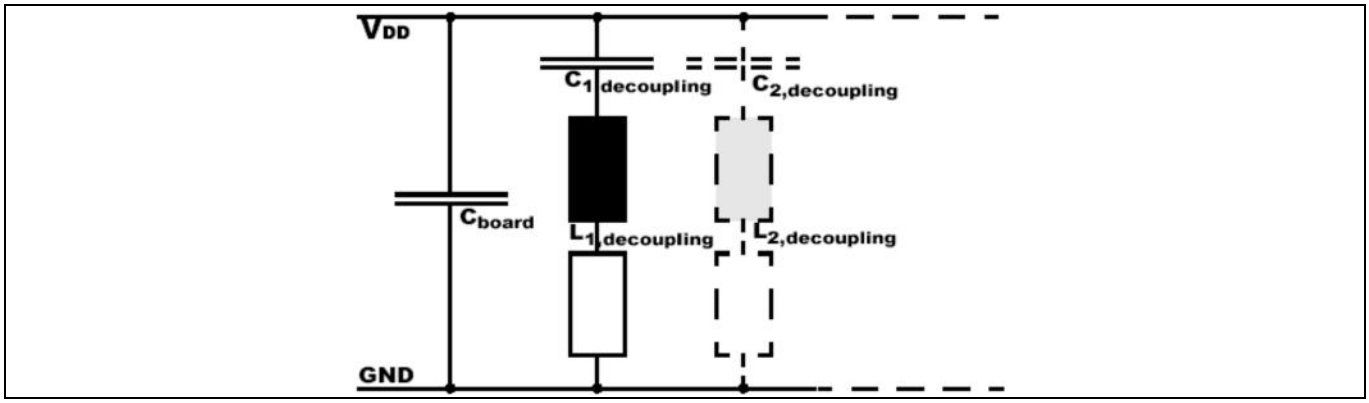


Figure 28　追加の共振周波数

上の図は、プレーン容量 Cboard で構成されるデカップリング電源バスの等価回路を示しており、その右側はデカップリングコンデンサの等価回路です。この構造は、特定の共振周波数を持つ発振器です。1 つのデカップリングコンデンサが使用される場合、共振周波数は 1 つだけです。コンデンサの値を 2 つ以上使用する場合は、追加の共振周波数を確認してください。

表面実装デバイス (SMD) コンデンサを使用すると、リードのインダクタンスが削減されます。インダクタンスの増加はインピーダンス曲線の上昇を引き起こします。最適なデカップリング効果を得るには、デカップリングコンデンサの接続経路に沿う総インダクタンスを最小限に抑える必要があります。

3 設計における対策

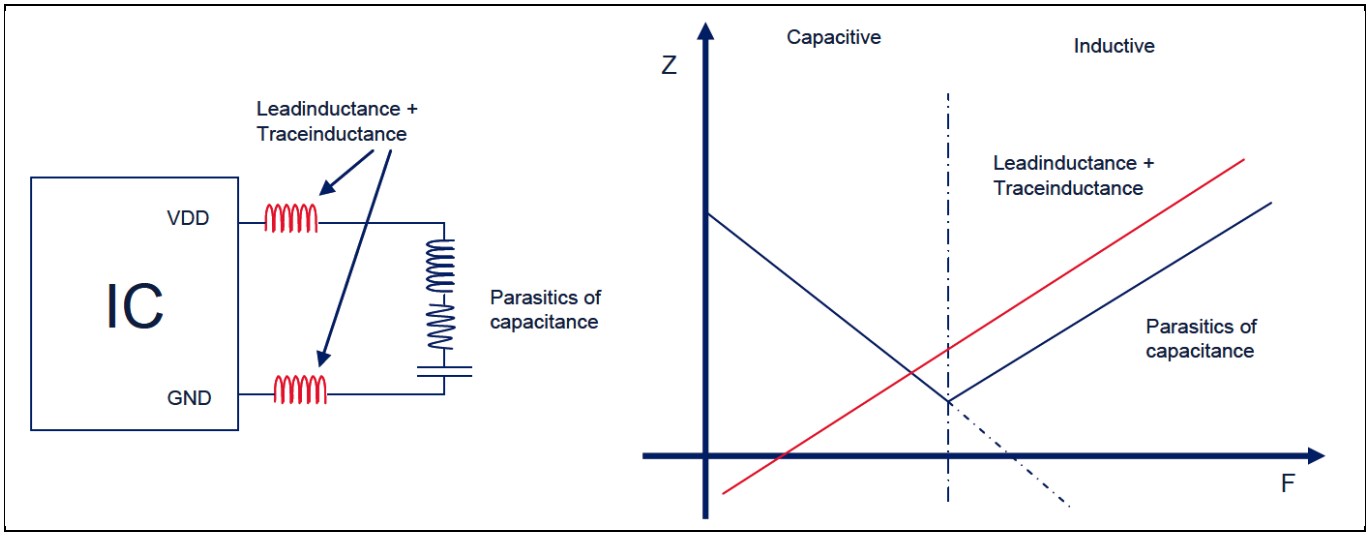


Figure 29　インダクタンスがインピーダンス特性に及ぼす影響

Figure 30 に、リードのインダクタンスの影響を示します。この影響は、主に高周波域で見られます。これは、デカップリング経路に沿ってインダクタンスが増加する高周波では、デカップリングの効果が小さくなることを意味します。

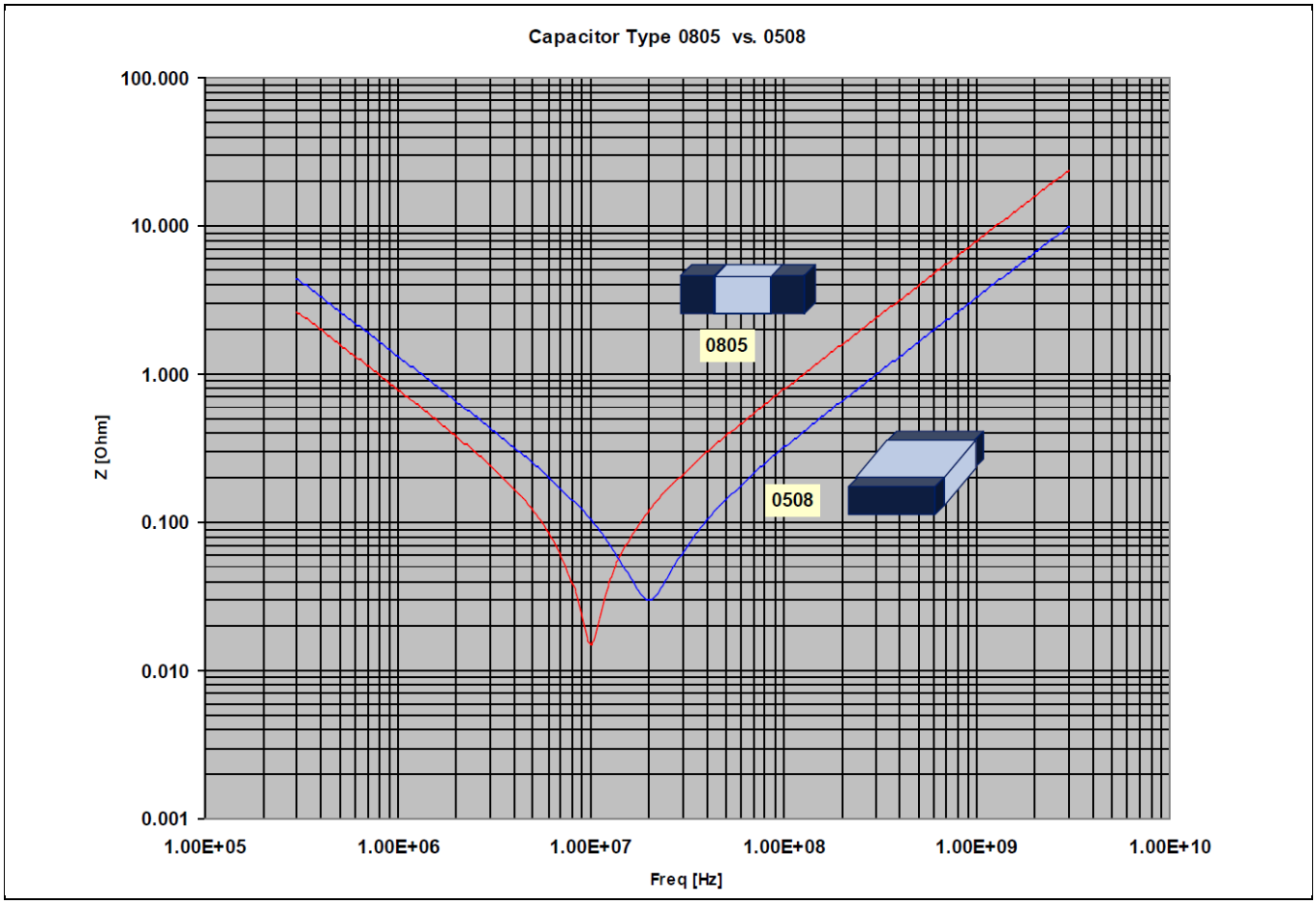


Figure 30　低 ESL パッケージ 0508 と標準パッケージ 0805

低 ESL タイプのコンデンサ (Figure 30) は、インダクタンス値を低減した最適化されたパッケージを採用しており、インダクタンスをさらに低減します。

3 設計における対策

新技術の開発により、最大 10 ~ 22µF の値を持つ高付加価値の積層セラミックコンデンサの製造が可能になりました。これらのコンデンサを使用すると、より低いインピーダンス値となり、デカップリングコンデンサの総数を減らすことができるため、コストを節約できます。しかし、Figure 31 からわかるように、コンデンサの効果は約 100 MHz までしか発揮されません。

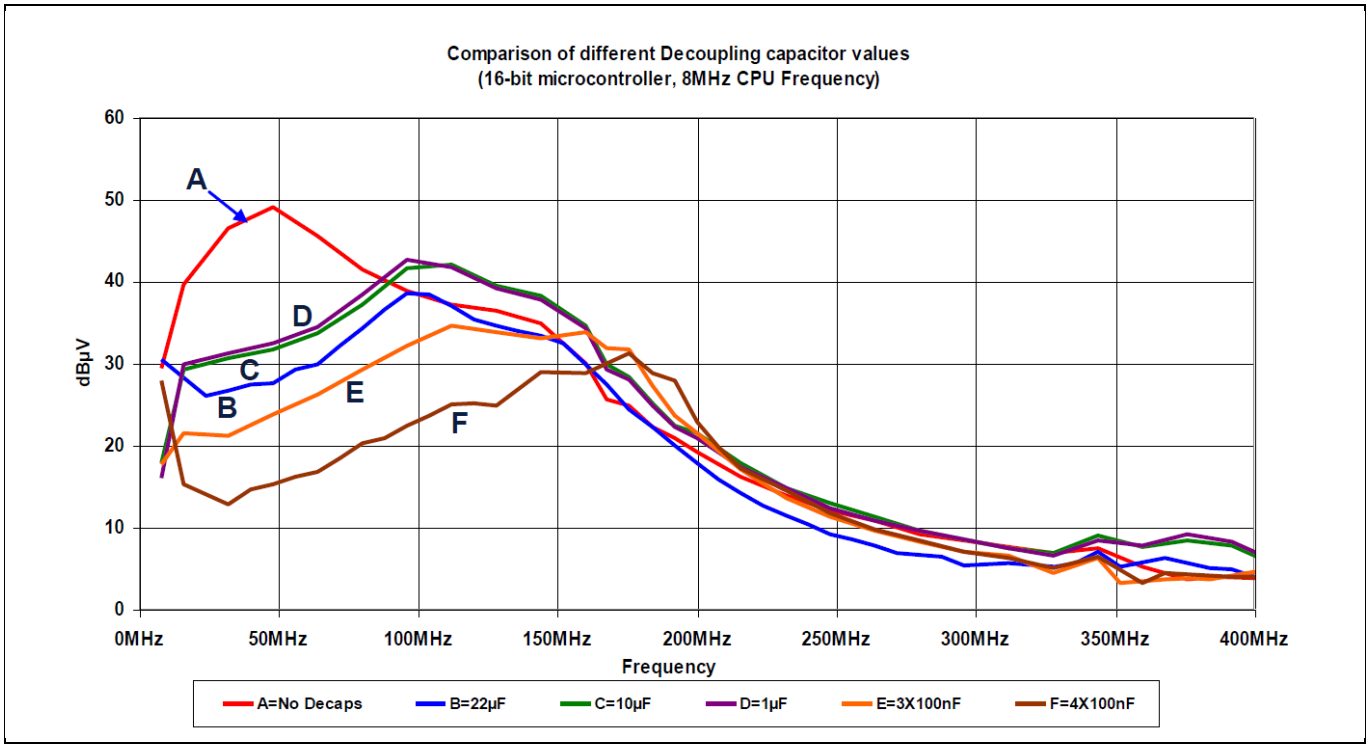


Figure 31　さまざまな大容量デカップリングコンデンサの比較

一般的に、マイクロコントローラーの電源ピンをデカップリングするためのセラミックコンデンサの推奨値は、10 nF から 100 nF の範囲です。コンデンサの周波数応答は限られているため、より高い周波数で電力を供給できません。したがって、特別な周波数が重要な場合は、他の値のコンデンサを選択する必要があります。電源システムのグローバルデカップリングでは、10 nF から 100 nF までの値の範囲のコンデンサが一般的です。異なる値のコンデンサを並列に配置すると効率的です (インピーダンスの反共振を考慮しながら)。コネクタと電源スターポイントでのデカップリング (例: 電圧レギュレータ) は、追加のタンタル電解質コンデンサで実現する必要があります。

マイクロコントローラーの下のグランドプレーンの容量効果に加えて、ディスクリートデカップリングコンデンサから高速に電流を供給する必要があります。ピンデカップリングおよびグローバルデカップリング戦略を決定します。

デカップリングコンデンサのレイアウト対策

ピンデカップリングにより、VDD-GND パッドの各ペアは、まずコンデンサに接続され、次に電源層/ネットに接続されます。

- アドバンテージ
  - すべてのピンのデカップリングが可能です。
- ディスアドバンテージ
  - 多数のデカップリングコンデンサが必要となります。

3 設計における対策

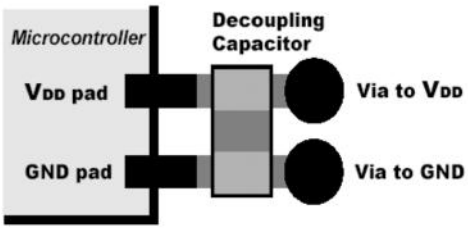


Figure 32　デカップリングコンデンサの配置

コンデンサのパッドは、マイクロコントローラーの VDD/GND ピンにできるだけ近づけて配置してください。最初にコンデンサを接続させ、次にビアを GND および VDD プレーンに接続させます (Figure 32 を参照)。デカップリングコンデンサからグランドプレーンへの接続は、コンデンサパッドの外形内側にあるいくつかのマイクロビアによっても実現できます。これにより、低インピーダンスと低誘導性でのグランド接続が保証されます。

可能であれば、デカップリングコンデンサはマイクロコントローラーと同じ面に配置します。ビアによってインダクタンスが増加することに注意してください。パッドとコンデンサ間のトレース幅はできるだけ広く設計します。

基板の底面にコンデンサを配置する必要がある場合は、接続インダクタンスを小さくするために 2 つ以上のビアを並列に設け、可能であればマイクロビアの使用を検討してください。GND ビアと VDD ビアはできるだけ近づけてください。

次の図に、VDD/VSS プレーンへのデカップリングコンデンサの 4 つの異なる接続タイプを示します。インピーダンス曲線は、2 つのビアを並列に接続するとインピーダンスが低下し、ビアをコンデンサパッドに直接配置するとさらに減少することを示しています。

3 設計における対策

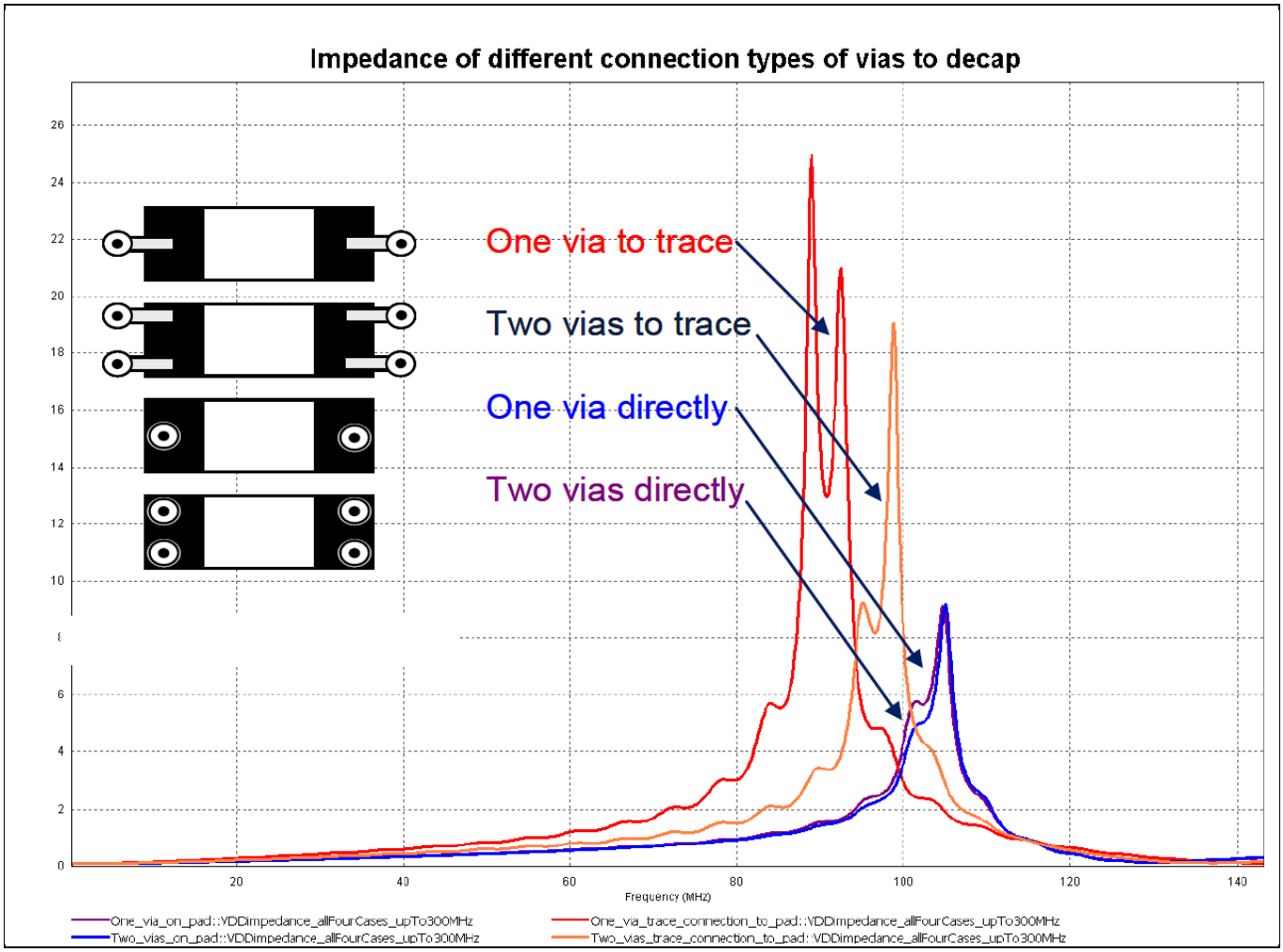


Figure 33　さまざまなタイプのデカップリングコンデンサの接続におけるインピーダンスの変化

グローバルデカップリングにより、VDD-GND パッドの各ペアは、まず電源層に接続されます。コンデンサはマイクロコントローラーの周囲に配置され、電源プレーンに直接接続されます。

- アドバンテージ
  - 一部の VDD-GND ペアは 1 つのコンデンサを共有できるため、必要なコンデンサの数が少なくて済みます。
- ディスアドバンテージ
  - ピンデカップリングに比べて電流ループが大きくなります。

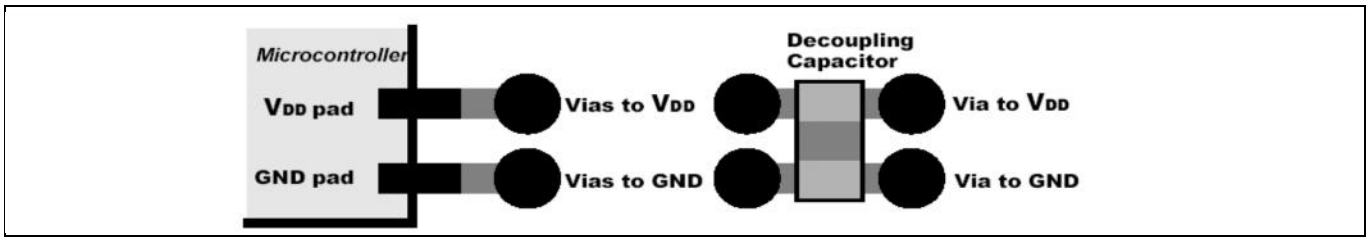


Figure 34　多層 PCB のグローバルデカップリング

- コンデンサは、少なくともマイクロコントローラーの電源ペア数の半分以上の数にしてください。

3 設計における対策

- マイクロコントローラーのパッドと電源プレーンへのビア間の長いトレースは避けてください (インダクタンスが増加)。
- 可能であれば、2 つのビアを並列で用意してください。
- GND ビアと VDD ビアはできるだけ近づけてください。

グローバルデカップリングは、VDD と GND 用のパワープレーンがないため、2 層基板では使用できません。

最良なデカップリングの概念は、ローカルデカップリングとグローバルデカップリングの組み合わせです。これは、ディスクリート部品の追加コストを意味しますが、重要なアプリケーションの開発時間と再設計作業を大幅に節約できます。

デカップリングコンデンサの値の計算

最適なデカップリングコンデンサの要件を決定するには、静電容量値とインダクタンス値を計算しなければいけません。静電容量値は、ローカルスイッチング電流をサポートするのに十分な大きさである必要があり、インダクタンス値は、コンデンサへの低インピーダンス経路を得るのに十分な小ささである必要があります。

デカップリングコンデンサの計算手順は次のとおりです。

1. 電源の許容ノイズレベルを確認します。
   - 例: ΔV = 5% -> ΔV = ±125 mV (VDD = 5 V の場合)
2. アプリケーションでの平均電流: ΔI
   - 最大インピーダンスの決定

$$Z = \frac{\Delta V}{\Delta I}$$

3. オンボードで必要な最小静電容量

$$C = \frac{1}{2\pi F_{tran} Z}$$

Ftran ~ 1 MHz (この周波数までは、電圧レギュレータから電流変化分が供給されます。)

4. コンデンサへの電源接続の最大基板インダクタンスの計算

$$F_{tran,\max} = \frac{1}{2\pi C_{on} Z}$$

Ftran, max = オンチップ容量が有効である最高周波数

C_{on} = オンチップ容量 (チップの仕様またはメーカーによる)

$$L_{\max} = \frac{1}{2\pi F_{tran,\max}}$$

Lmax = 電源接続経路の最大インダクタンス (トレース+ビア+パッケージ)

3.1.2.2 インダクタとフェライトビーズ

電磁放射を低減するための次の重要なコンポ–ネントは、インダクタとフェライトビーズです。マイクロコントローラーが生成する電流をデカップリングループから供給できない場合、ノイズは電源ラインに結合します。フェライトビーズは、ノイズが電源ラインに広がるのを防ぎます。従来は基板面積やコストの問題からフェライトビーズはあまり普及していませんでしたが、新しい技術により、非常に優れたインピーダンス特性を持つ積層フェライトチップビーズを製造することが可能となりました。これらは、標準の SMD パッケージで提供されます。

次の図に示すように、フェライトの等価回路にはいくつかの寄生成分が含まれており、並列共振を構成します。

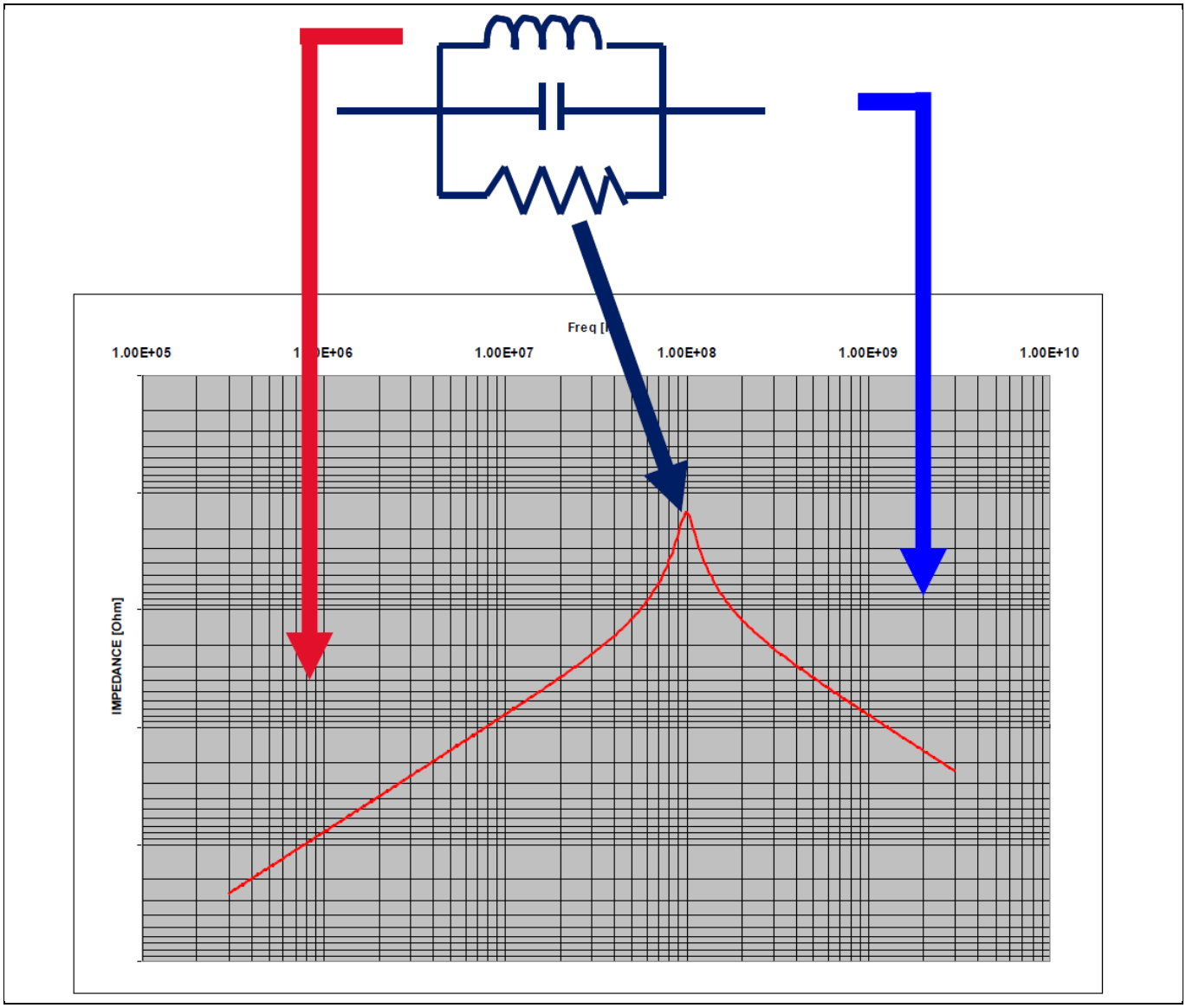


Figure 35 インダクタの代表的なインピーダンス特性

フェライトビーズは供給ラインに配置する必要があります。

3 設計における対策

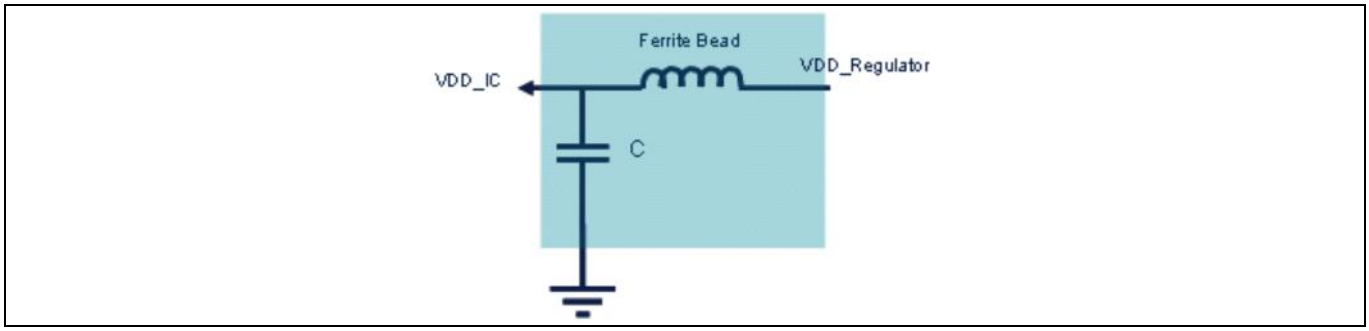


Figure 36　フェライトビーズの配置

電源経路の消費電流も、フェライトビーズの選定時に考慮する必要があります。大電流のフェライトビーズは、電源ラインの電圧降下を引き起こす可能性があります。

ノイズ抑制メカニズムを以下に示します。

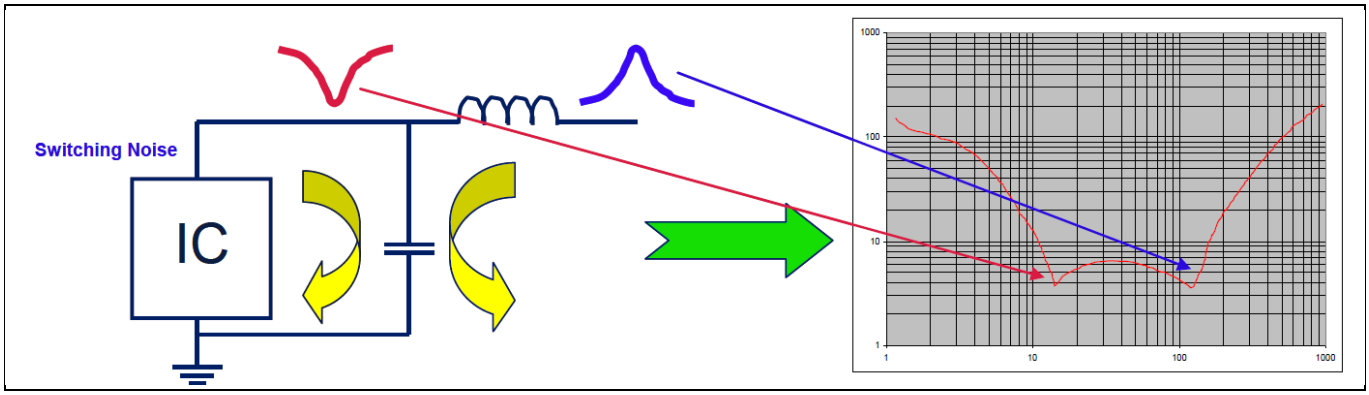


Figure 37　コンデンサとチップフェライトビーズによるノイズフィルタ回路のトータルインピーダンス

デカップリングコンデンサは低周波数領域で直列共振し、フェライトビーズは高周波数領域で並列共振します。回路の全周波数でのふるまい (IC 側から見たもの) を右側の図に示します。

フェライトビーズを電源ラインに使用した場合の 16 ビット マイクロコントローラーでの測定結果を Figure 38 に示します (デカップリングコンデンサは使用していません)。フェライトビーズはレギュレータ側のノイズをブロックしますが、IC 側 (赤の曲線) のノイズはフェライトビーズなし (青の曲線) と同等です。フェライトビーズ (緑の曲線) のレギュレータ側の最大改善量は約 30 dBµV です。

3 設計における対策

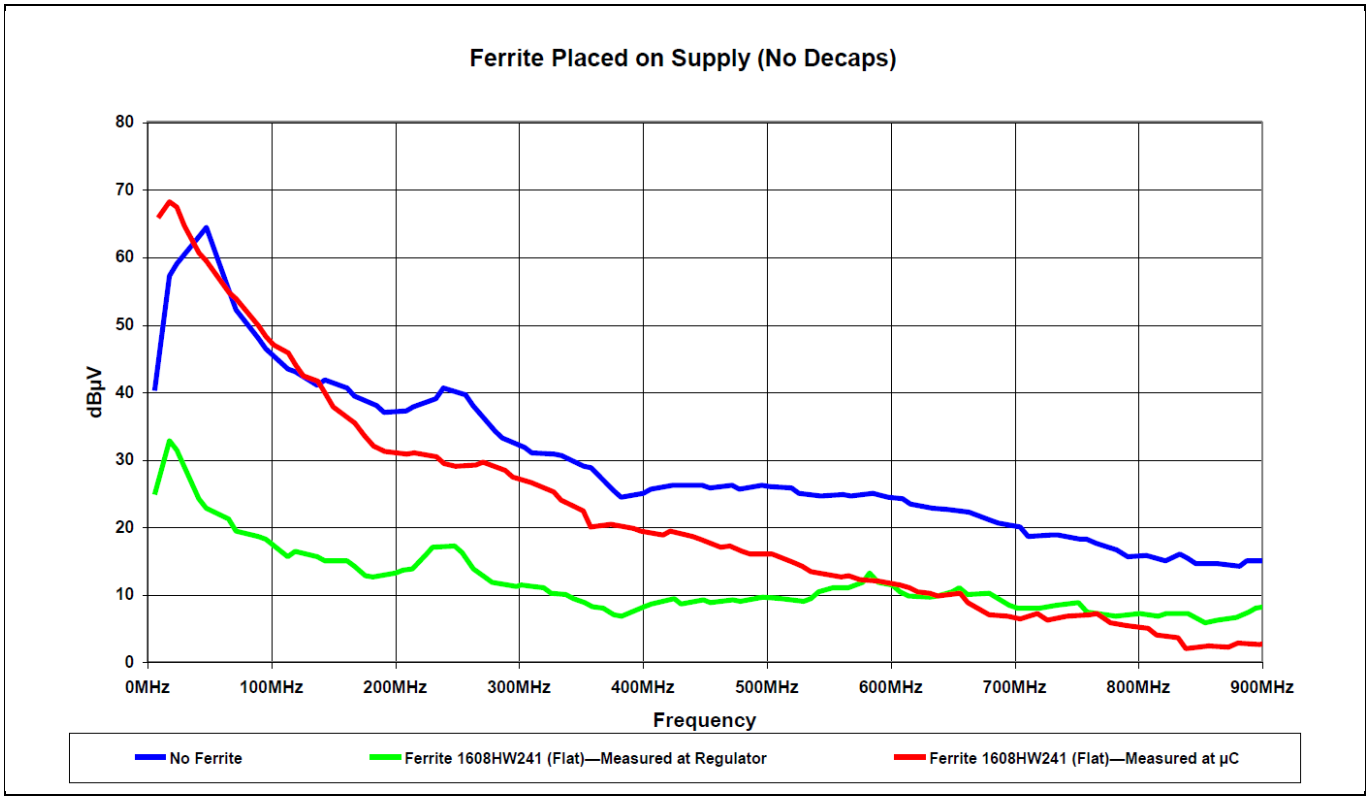


Figure 38　フェライトを使用した基板上の異なる点での測定 (デカップリングコンデンサなし)

Figure 39 に、デカップリングコンデンサを追加した場合の同じ場所での測定値を示します。コンデンサによる追加の抑制により、レギュレータ側のレベルは 10 dBµV 未満になります。

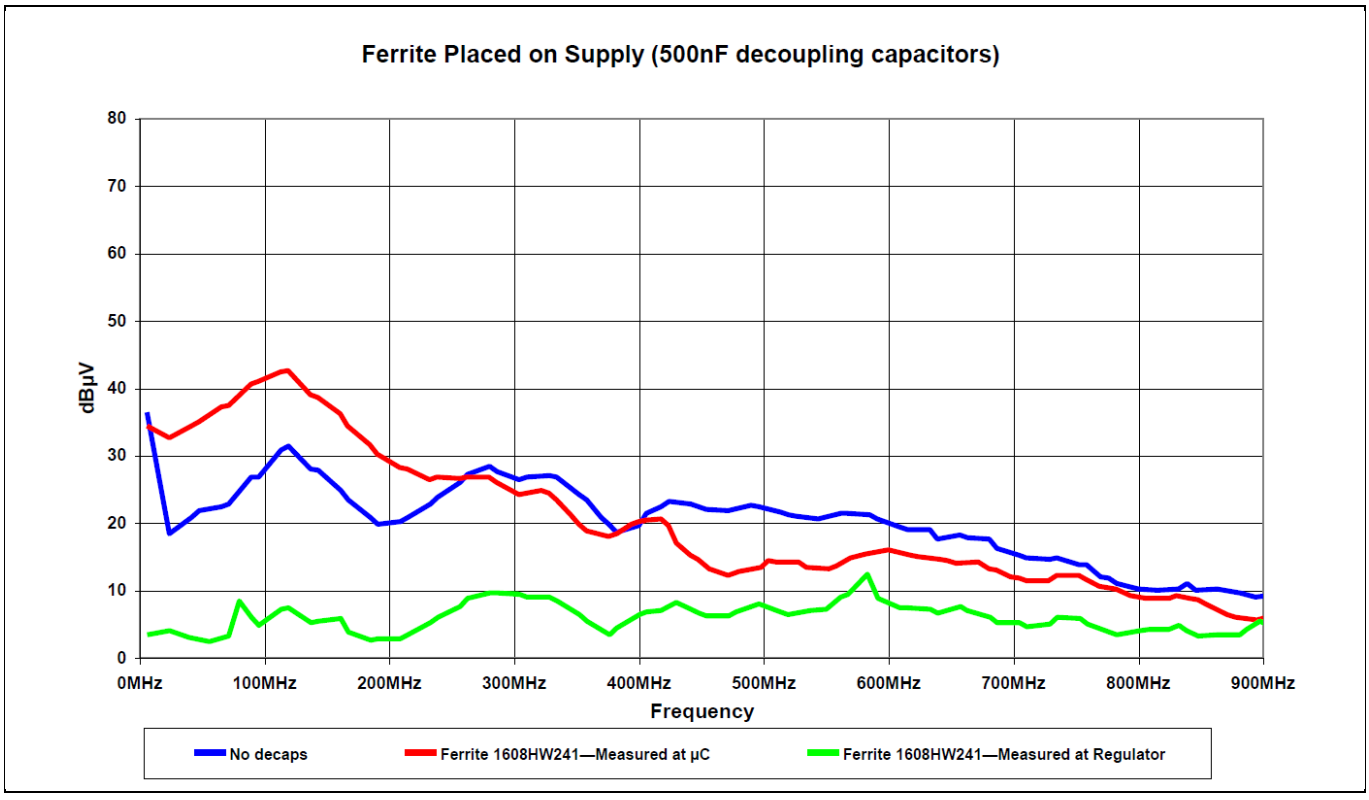


Figure 39　フェライトビーズ使用時の基板上の異なる位置での測定 (500nF デカップリングコンデンサを使用)

3.2 信号

ルーティングの前に、立ち上り時間と立ち下り時間、およびドライバの強度によって重要なネットを決定します。立ち上り時間と立ち下り時間が短いほど、スペクトルに含まれる高周波成分が多くなります。信号周波数が高くなるほど、対応する高調波周波数 (基本周波数の倍数) が高くなります。

この図に、さまざまな立ち上り時間の信号のスペクトルを示します (ワーストケースセッティング)。

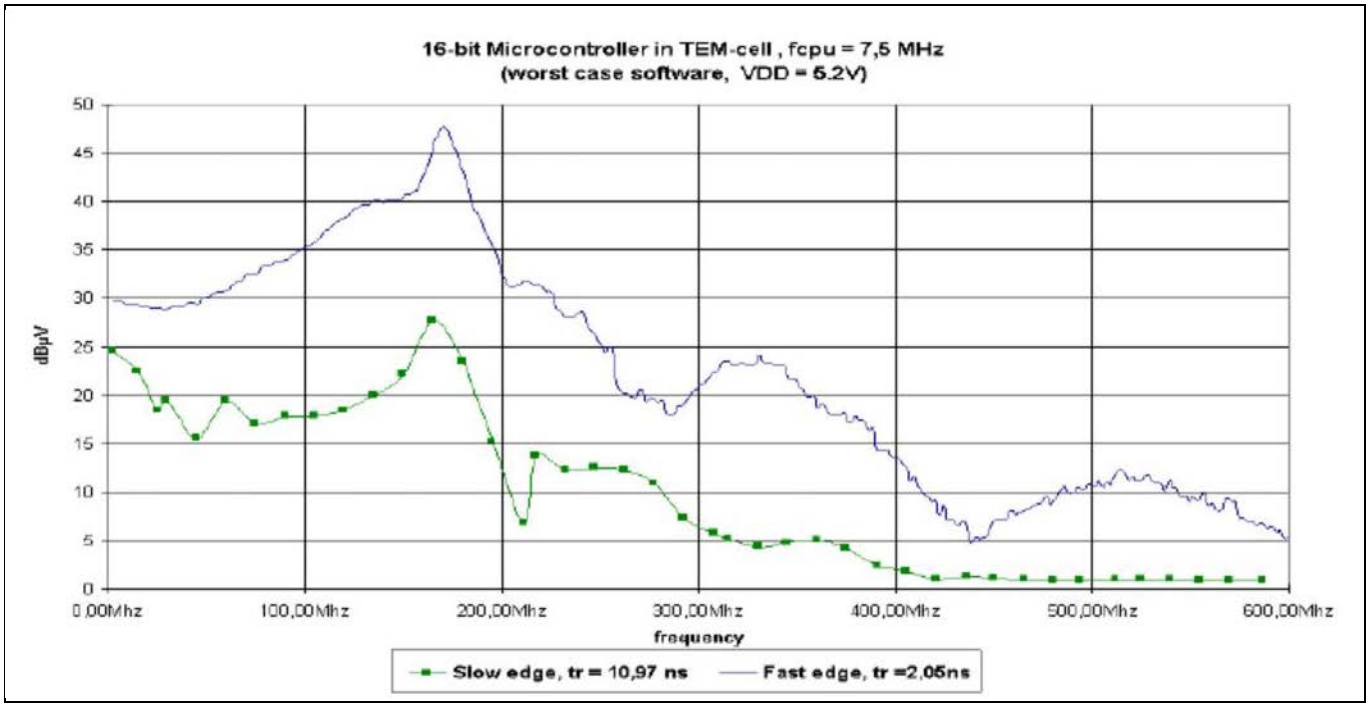


Figure 40 スペクトラムに対する立ち上り時間の影響

代表的なクリティカル信号 (使用する場合)

- シングルチップ アプリケーションにおける最もクリティカルな信号は、次のとおりです。
  - クロック出力
  - SSC (同期式シリアルチャネル)
  - MLI
  - MSC
- それ以外のアプリケーションにおける最もクリティカルな信号は、次のとおりです。
  - クロック出力
  - ALE
  - 読み出し
  - データバス
  - アドレスバス
  - SSC (同期式シリアルチャネル)
  - MLI
  - MSC

3.2.1 2 層基板および多層基板のレイアウト構造

配線の際は、いくつかの重要なルールを考慮する必要があります。

- PCB のエッジに沿って高速信号のトレースを配置することは避けてください。電磁妨害は、システムの金属ケース/シールドに簡単に結合する可能性があります。
- 高速信号はできるだけ短く、ビアなしで配線してください。
- 高速信号の場合は、コーナー角度 45°でトレースを配線してください。
- 大電流スイッチング信号のトレースの近くにセンシティブな信号を配置しないでください。
- 重要な信号は、低インピーダンスのトレース (ワイドトレース, マイクロストリップ, ストリップライン、Figure 43 参照) で配線し、必要に応じてガードトレースを使用して配線してください。

シミュレーション結果は、ガードトレースによる改善が約 10 dB であることを示しています。

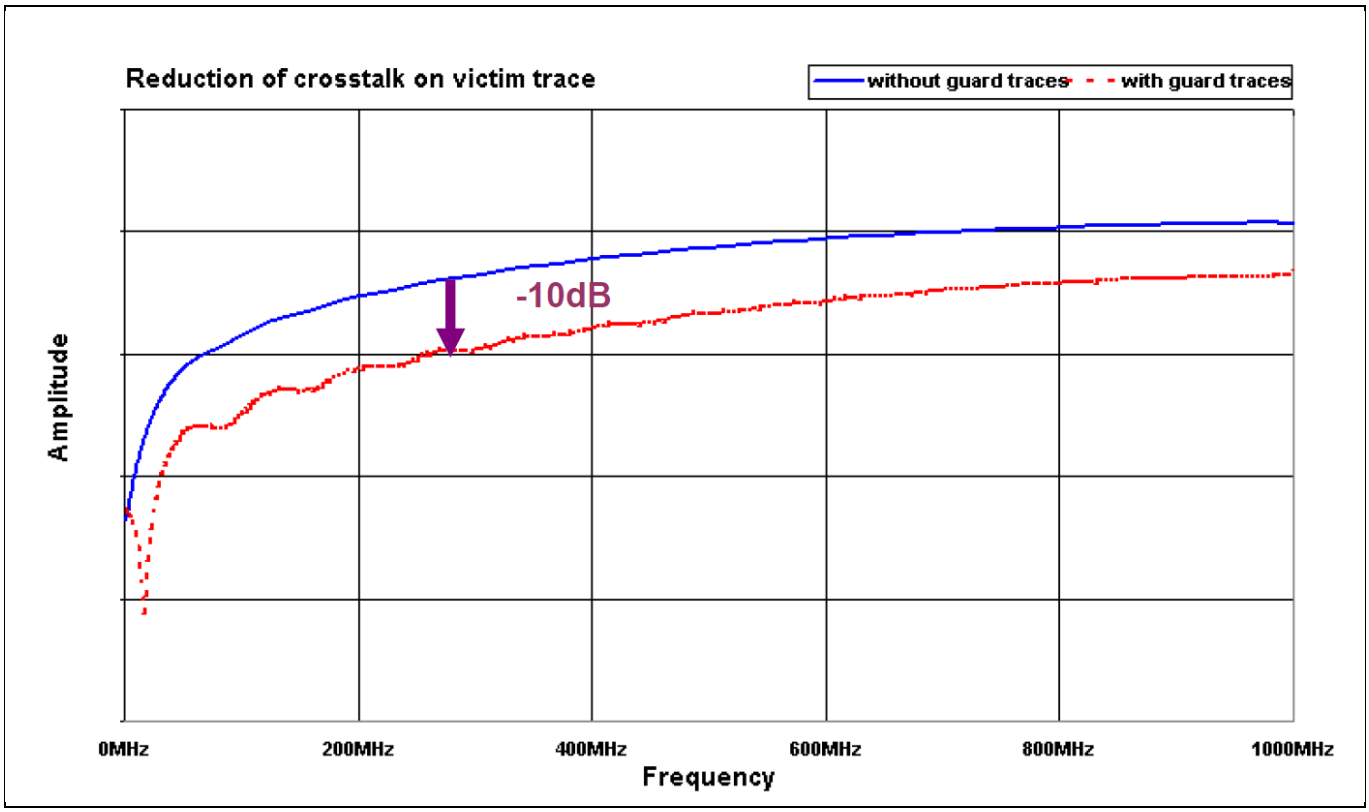


Figure 41 ガードトレースの効果

- クリティカルな信号は、コネクタにつながる信号やトレースから遠ざける必要があります。
- 非常にクリティカルな信号 (割込み要求とリセット) は適切にフィルタリングする必要があります。これらの信号にノイズがあると、回路全体の誤動作を引き起こす可能性があります。
- 低周波信号のリターンパスは、抵抗が最も低くなるパスに沿います。高周波数ノイズ (つまり 1 MHz 以上) では、信号のリターンパスが最小のインダクタンスとなるパスに沿います。

3 設計における対策

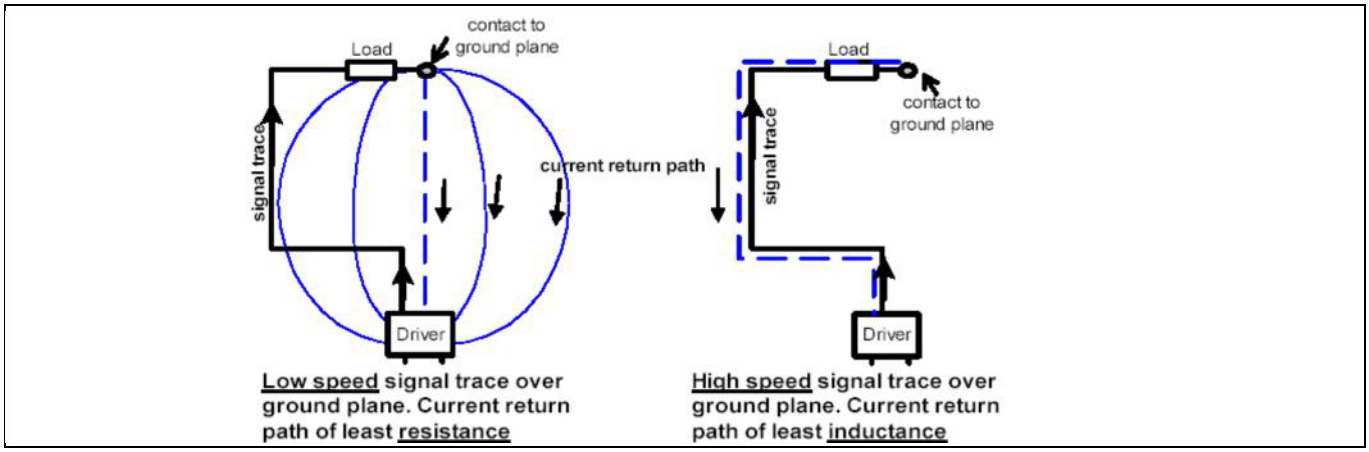


Figure 42　高速信号のリターン電流

- 可能であれば、セパレーションエリアを横切る信号トレースは設計しないでください。電源プレーンのスロットにより、ループサイズが大きくなる可能性があります。特に、あるゾーンから別のゾーンにつながる高速ネットは避けてください。短いトレースを設計します。
- クロストークを制限するには:
  - クロストークの最大オーバーシュート量を決定してください。
  - クロストークを最小限に抑えるために、高速ネット間の最小距離/最大並列長を決定します。この予測にはシミュレーション ツールを使用してください。
- シグナルインテグリティ (SI) と放射を確保するには:
  - 複数の層を使用する場合のトレースの特性インピーダンスに注意してください。伝送ラインには、マイクロストリップとストリップラインの 2 種類があります。マイクロストリップは、トレースが 1 つのグランドプレーンに対し配線されるときに設計でき、ストリップラインは、トレースが 2 つのグランドプレーンの間の層に配線されるときに設計できます。

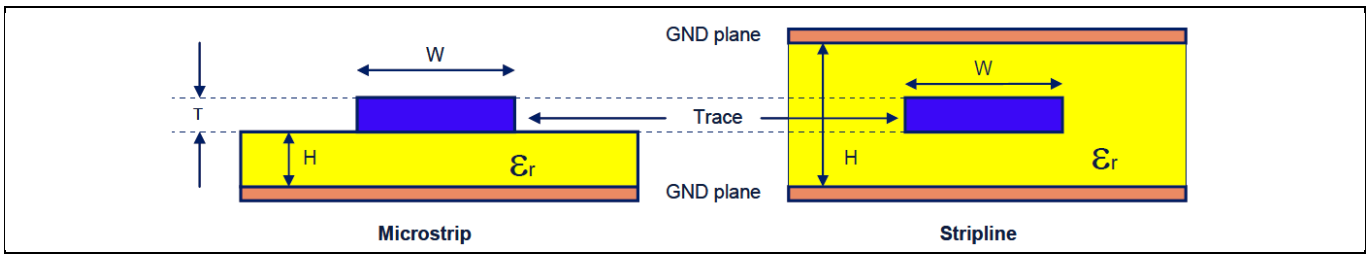


Figure 43　マイクロストリップとストリップラインの構築

- 基板全体にわたって同じ特性インピーダンスを確保するために、特に高速配線の幅を決定してください。

次の図に、グランドプレーンまでのトレースの距離が短い場合、またはトレースが広いことによる特性インピーダンスの変化を示します。

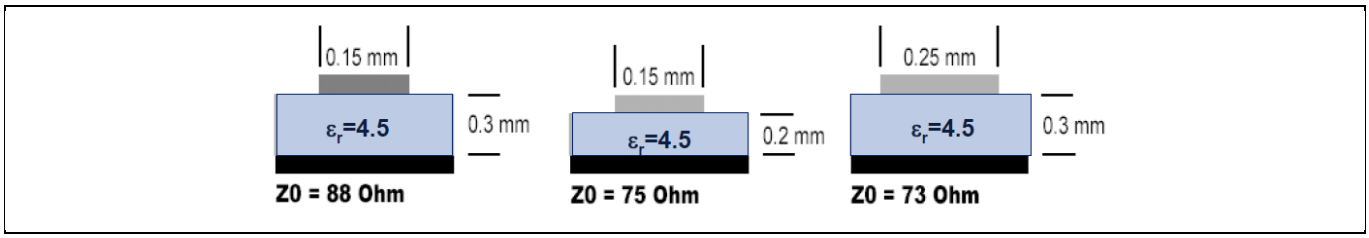


Figure 44　特性インピーダンス

3 設計における対策

- 信号の立ち上り/立ち下り時間の半分が PCB パターンの伝搬遅延よりも小さい場合、トレースは伝送ラインとして扱う必要があります。これらのトレースは、特性インピーダンスで終端する必要があります。つまり、クリティカルとなる長さを超えた場合は、トレースを終端する必要があります。トレースのクリティカル長は、次のように計算できます。

$$L = \frac{T_r}{2T_{pd}}$$

$$T_{pd} = \frac{\sqrt{\varepsilon_r}}{c}$$

ここでは、以下のとおりです。

- Tr は立ち上り/立ち下り時間
- Tpd は伝播遅延時間
- C は光の速度

ストリップラインの特性インピーダンスは、次式で計算できます。

(0.1<W/H<2.0 かつ $1<\varepsilon_{rel}<15$ の場合に有効)

$$\frac{Z}{\Omega} = \frac{87}{\sqrt{\varepsilon_{rel}+1.41}}\left[\ln\left(\frac{5.98H}{0.8W+T}\right)\right]$$

マイクロストリップの場合、次の式を使用できます。

(W/H<0.35 かつ T/H<0.25 の場合に有効)

$$\frac{Z}{\Omega} = \frac{60}{\sqrt{\varepsilon_{rel}}}\left[\ln\left(\frac{4H}{0.67\pi(T+0.8W)}\right)\right]$$

ここでは、

- H は、トレースとグランドプレーン間の誘電体の高さです。
- W は、トレースの幅です。
- T は、トレースの高さです。

終端方法

ドライバの出力インピーダンスとラインインピーダンスの不一致は、ライン上での反射を引き起こします。これらの反射は、回路の性能に影響を与えます。反射に対する最も一般的な対策は、終端を使用することです。終端方法は各種あります。

3 設計における対策

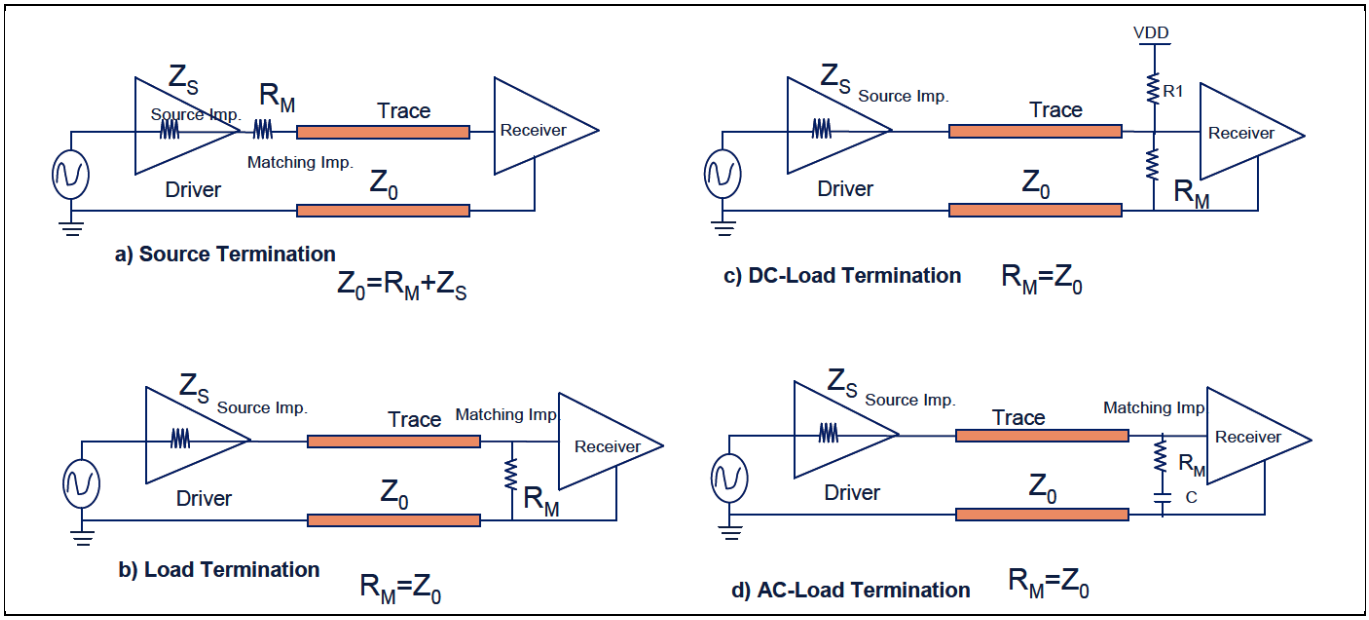


Figure 45　ソース終端、負荷終端、DC 負荷終端、AC 負荷終端

- ソース終端

ラインの特性インピーダンスがソース側で一致している場合、ラインは**ソース**終端されます (Figure 45 a)。この場合、整合し、反射係数はゼロであるため、反射はソースでキャンセルされます。ドライバの出力インピーダンスは、ソース終端の理想値から差し引く必要があります。

- 負荷終端

終端がラインの末端に配置されている場合、ラインは**負荷**終端されます (Figure 45 b)。反射はラインの末端でキャンセルされます。受信電圧は送信電圧に等しくなります。負荷終端のバリエーションは DC バイアス終端で、グランドへの抵抗に加えて電源側にも抵抗が接続されています。両方の抵抗の並列値は、特性インピーダンス Z0 に等しくなければいけません。ソース終端では、信号の立ち上り時間が遅くなり、反射が負荷終端よりも小さくなります。

- DC および AC 負荷終端

負荷終端の場合、DC 消費電流が許容できないほど大きくなることが多いため、DC 負荷終端 (Figure 45 c) と AC 負荷終端 (Figure 45 d) の 2 種類の終端を使用できます。

終端の目的

終端の目的は 3 つあります。

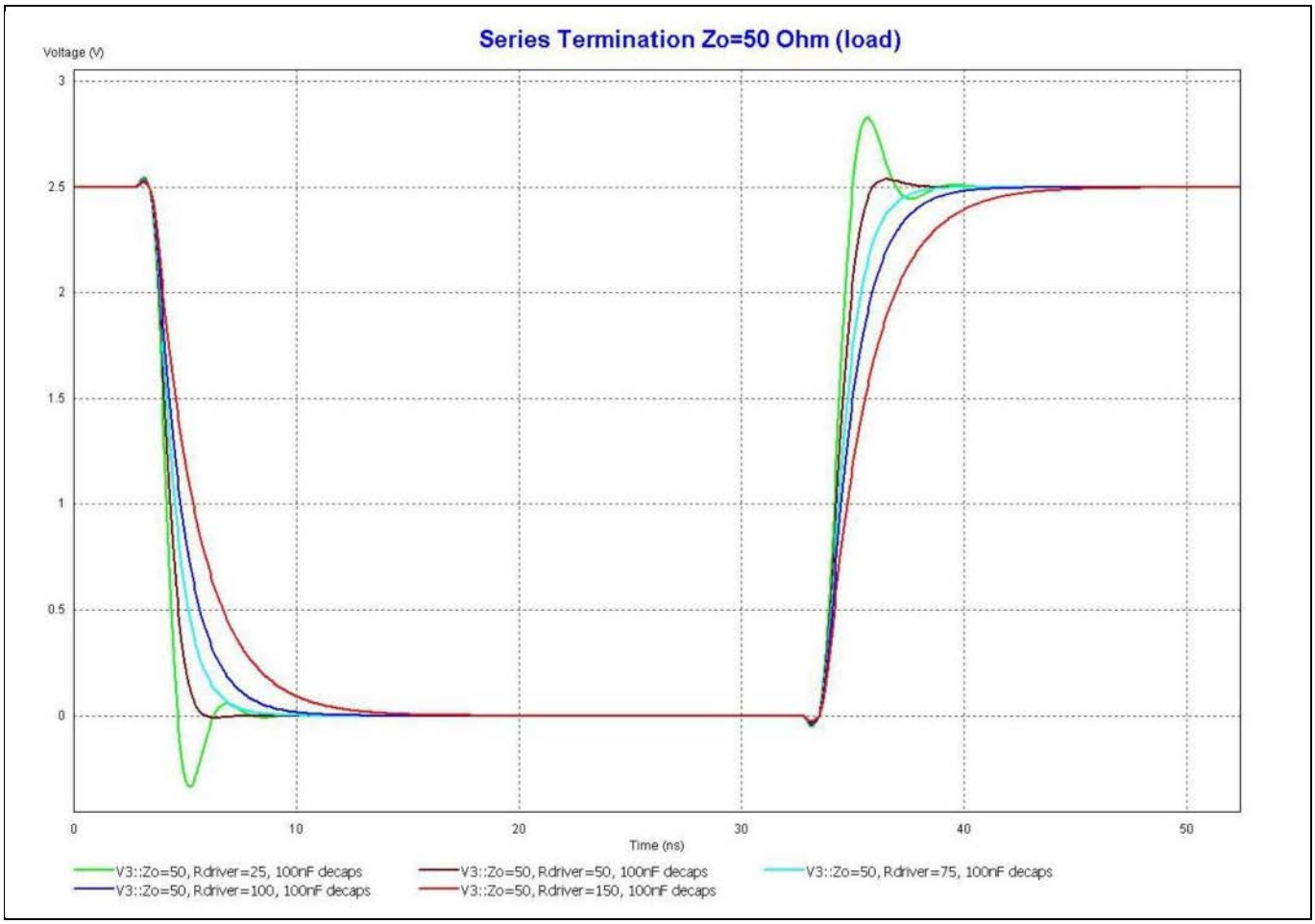
- 反射を最小限にする
  - 反射を最小限に抑えるには、ドライバの近くにある直列抵抗 Rx によってドライバの Ri を Z0 と整合させます。 高速信号トレースの両端の終端の整合は、特にドライバ信号の立ち上り時間が信号伝搬遅延に比べて短い場合に非常に重要です。
- 電圧スイング
  - 電圧スイングを最適化するには、非線形 Ri を考慮しながら、2 点ネット (特性インピーダンス Z0) で電圧振幅の半分をカットする直列抵抗 Rx を決定します。
- 放射

3 設計における対策

- 電磁放射を最小限に抑えるには、抵抗 (20〜200 オーム) を使用し、立ち上りエッジが滑らかになるように調整します。マイクロコントローラーで可能な場合は、エッジとドライバ出力のコントロールにソフトウェア設定を使用します。

シグナルインテグリティを確保し、電磁放射を低減するには、直列抵抗をドライバの近くに配置する必要があります。シミュレーション、またはドライバの VI テーブルとトレースインピーダンスの近似計算によって、それらの値を最適化します。

Figure 46 と Figure 47 のシミュレーション結果は、ソースまたは負荷終端がドライバの出力またはトレースのインピーダンスと一致する場合、直列終端と並列終端のどちらも最高のシグナルインテグリティ動作を提供することを示しています。



3 設計における対策

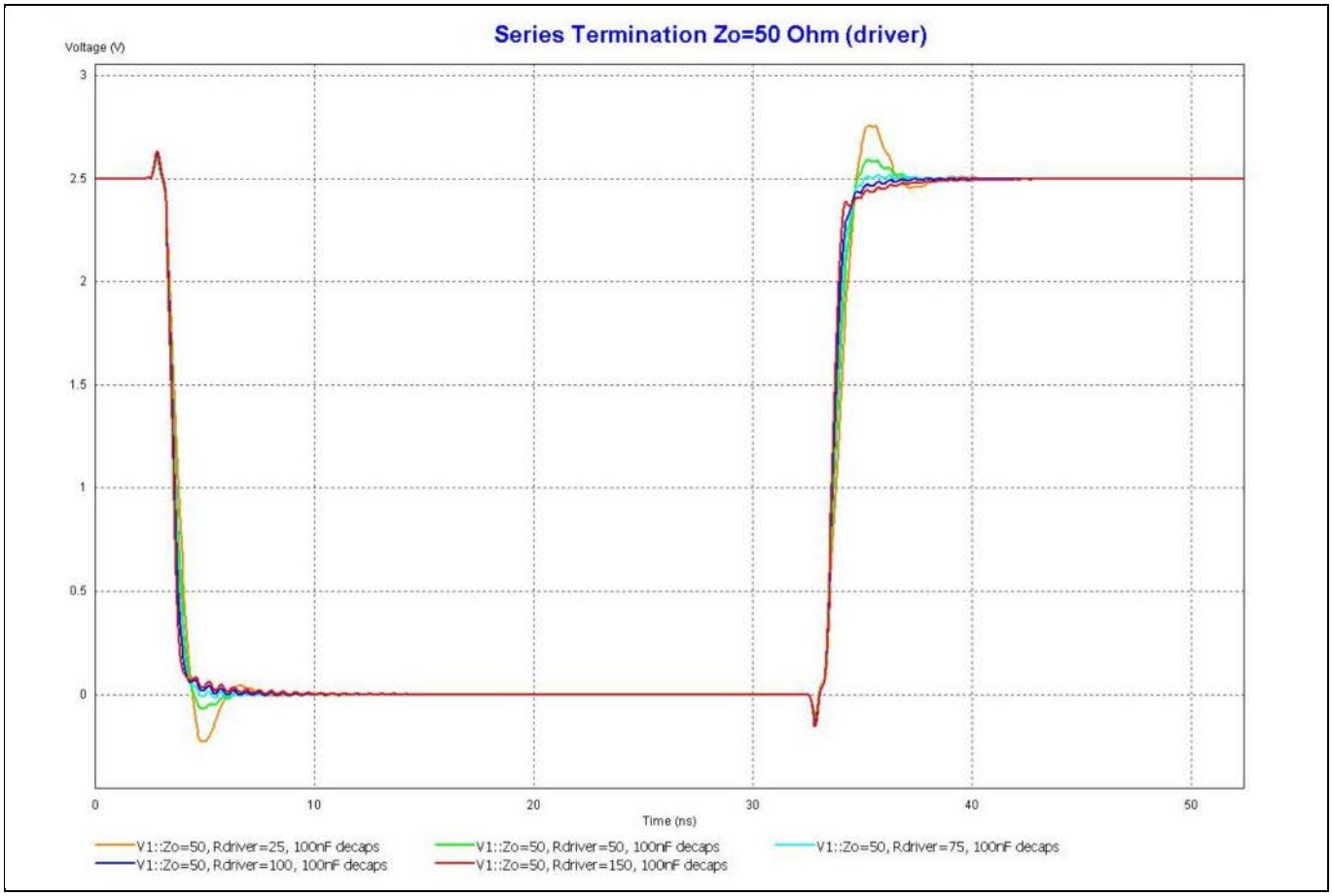


Figure 46　50 Ωトレースに対する 25/50/75/100/150Ωでの直列ソース終端 (負荷、ソースそれぞれの信号波形)

3 設計における対策

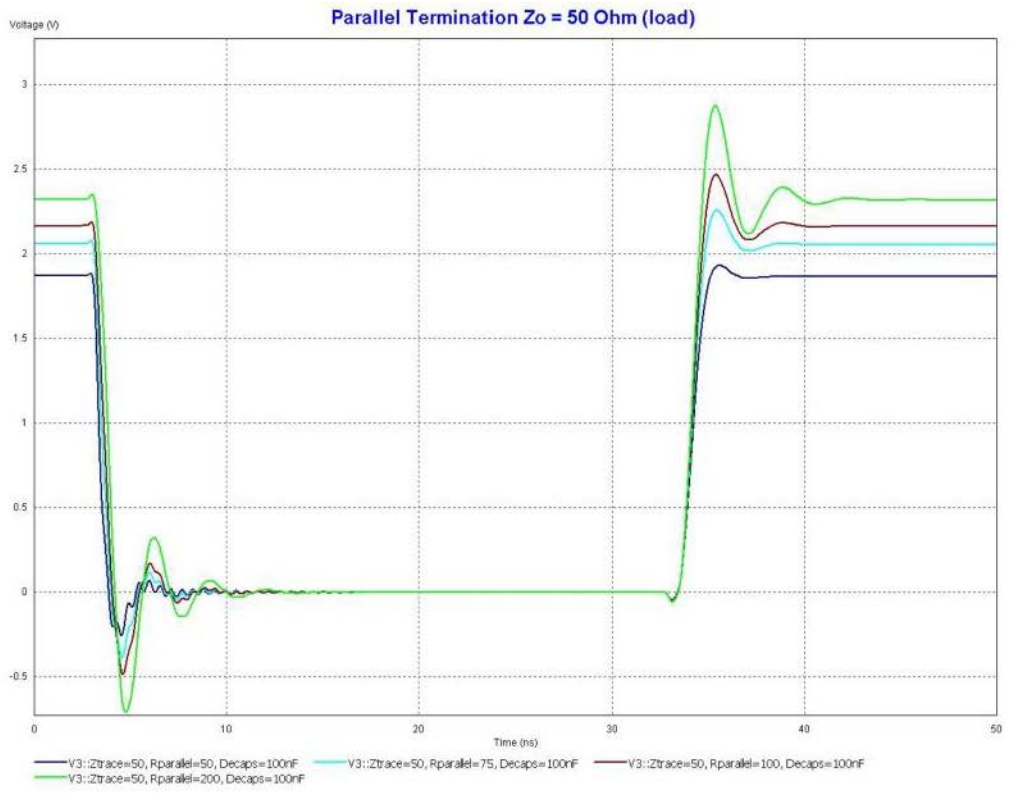


Figure 47　50 Ωトレースに対する 50/75/100/200Ωでの負荷終端 (負荷、ソースそれぞれの信号波形)

クリティカルな信号にはインピーダンス制御を使用します。(上記で説明したように) 終端の目的を達成するには、PCB の技術的および幾何学的データからトレースのインピーダンスを計算します。

3 設計における対策

クリティカルな信号は、可能であれば、グランドで囲まれた電源層上のストリップラインとして、グランドリファレンスでルーティングする必要があります。

多層基板では、ノイズは異なる電源ドメイン間で容易に結合されるため、電源プレーンのオーバーラップは避けてください。

高速トレースでは、電流のリターン経路をできるだけ短くしてください。4 層以上の基板では、電流のリターン経路のループを小さく保つために、グランドプレーン内にビアのギャップやかたまりがないようにしてください。2 層基板では、高速トレースの近くに電源ネットとグランドネットを配置してください。

リターン電流ループが小さいほど、電磁放射は小さくなります。

Note: リターン電流は VDD システムも使用できることに注意してください。

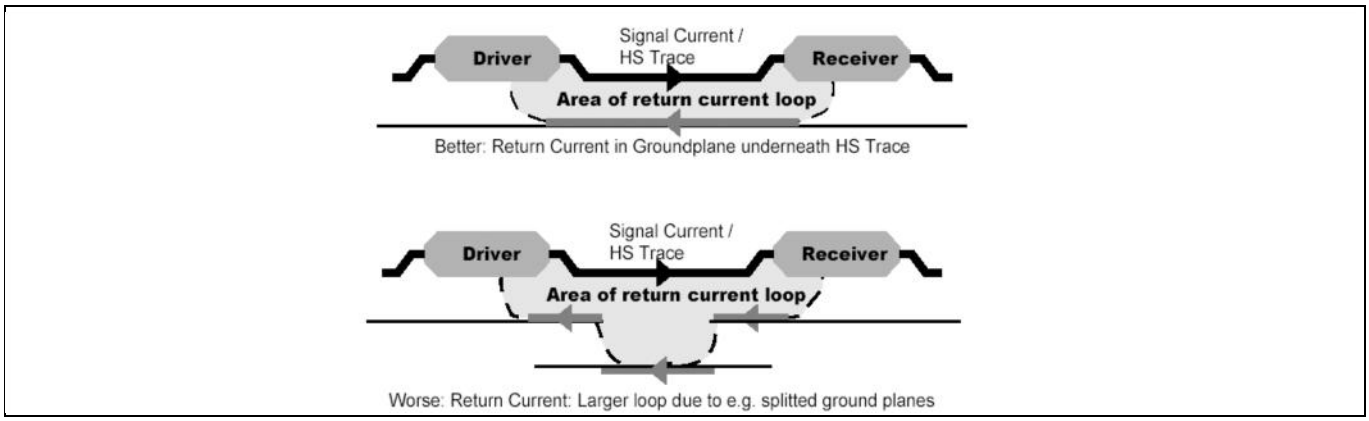


Figure 48 多層基板のリターン電流ループエリア

PCB に高速信号が供給される場合は、基板の各層の周囲にグランドリングを設計します。このグランドリングは、基板のエッジに沿って複数のビアでリファレンスグランドプレーンに接続する必要があります。1 つのビアから次のビアまでの距離は 5mm を超えてはいけません。これにより、基板の周囲にリファレンスグランドリングが構築され、内側からの放射を低減するのに役立ちます。また、PCB の端に電流が流れてアンテナ構造となり、外部放射を起こす問題も防止します。非常に高い周波数を伝送する場合、接続ビア間の距離はさらに短くする必要があります。この対策の効率は、グランドプレーンが多いほど向上します。そしてこの構造は、中間の信号層に対してファラデーケージを形成します。

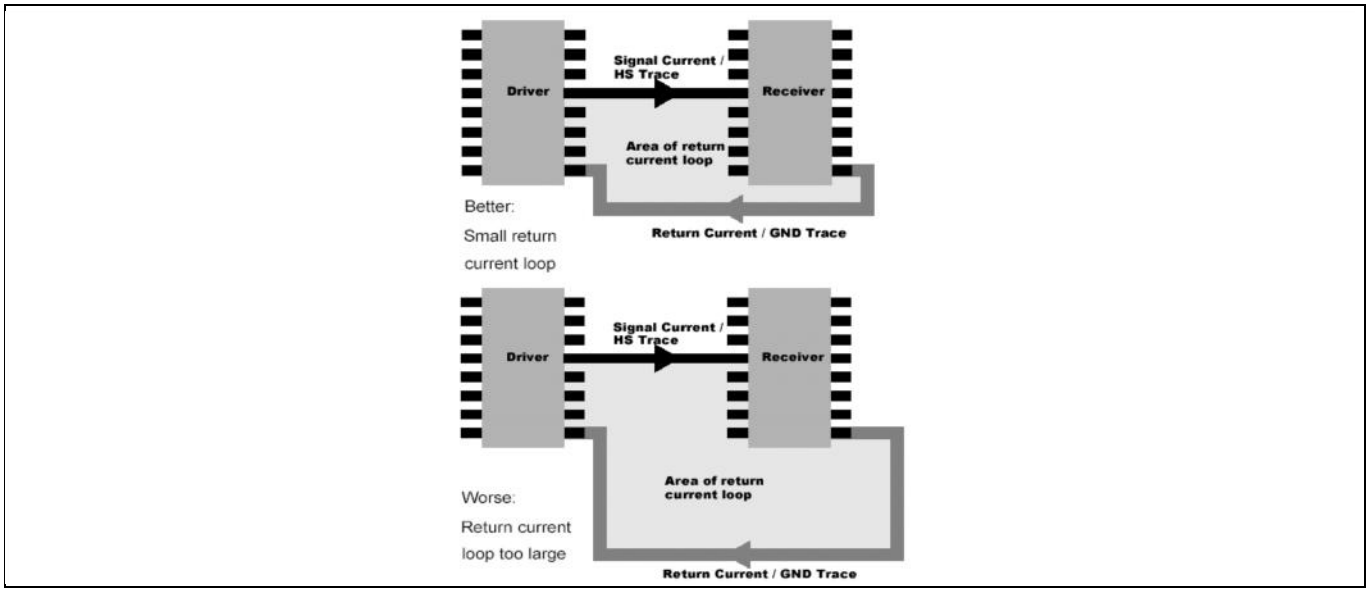


Figure 49　2 層基板のリターン電流ループエリア

高速トレースや電源プレーンを通るビアは避けてください。 電源プレーンを通るビアは、信号が電源ネットワークに結合する可能性があります。ビアにはインダクタンスがあります。(0.5 nH ~ 1 nH)

高速トレースでのターンは避けてください。ターンは、トレースの特性インピーダンスが変化すること意味します。90 度回転する代わりに、45 度回転した方が良いです (またはそれ以下!)。90 度回転すると、トレースの幅が変化します。トレースの幅が変化すると、特性インピーダンスが変化し、望ましくない反射が発生します。

ドライバーコンポ–テントの近くに直列抵抗用のスペースを確保します。設計ルールをまだ設定していない場合は、この抵抗値を最適化します。

隣接する信号層が 2 つある場合は、クロストークを低減するために x-y トレーシング(直行配線)にします。デカップリングコンデンサを置き、レイアウトします。

最後に、他のすべてのトレースを設計します。このセクションのガイドラインは、他のトレースについても留意する必要があります。

3.2.2　コンポーネント

3.2.2.1　抵抗

抵抗は、インピーダンス整合, バイアス, およびプルアップ/プルダウン回路に使用されます。抵抗は、表面実装パッケージ (SMD) が一般的に使用されています。このパッケージタイプは、リードパッケージに比べて寄生要素が少ないです。

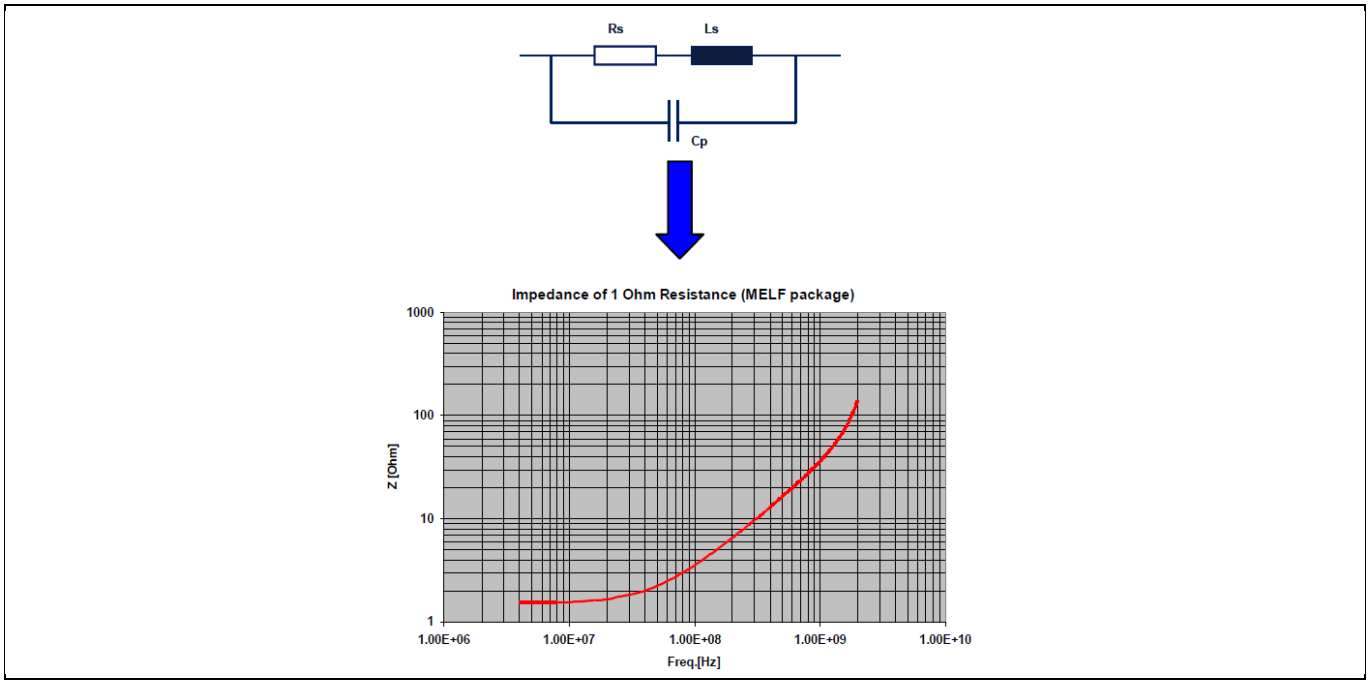


Figure 50　抵抗の等価回路と 1 Ω抵抗器のインピーダンス

この図は、抵抗の等価回路と 1 Ω 抵抗のインピーダンス特性を示しています。寄生インダクタンスにより、インピーダンスは高周波で増加します。30 MHz を超えるとインダクタンスが支配的になります。

3.2.2.2　EMI フィルタ

フィルタは電源ラインによく使われますが、信号ラインにも非常に有効です。特に、アプリケーションのノイズの伝搬経路であるクロックラインやバスラインでは、その傾向が顕著です。

この図は、さまざまなタイプの EMI フィルタの等価回路と、それらの最適なアプリケーションケースを示しています。

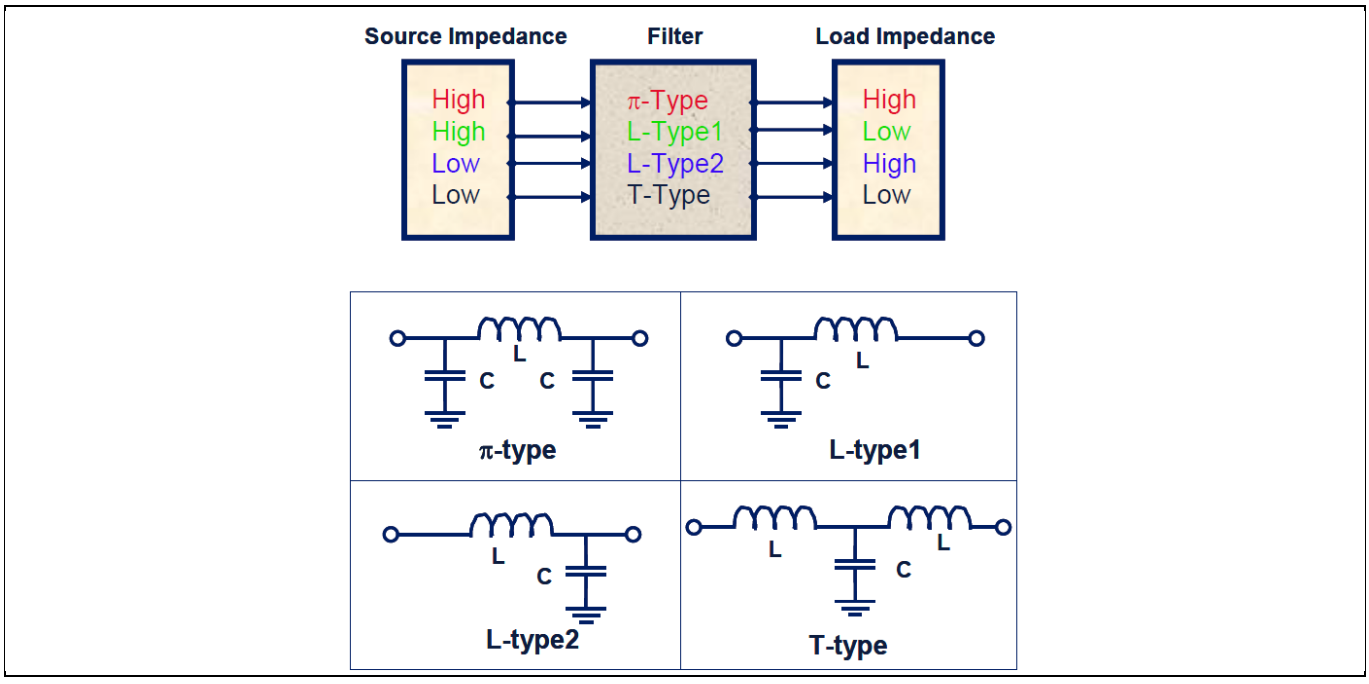


Figure 51　EMI フィルタの種類と使用条件

3 設計における対策

フィルタは L 要素と C 要素で構成されています。フィルタに要求される挿入損失に応じて、π フィルタ, L フィルタ, および T フィルタの構成があります。

ソースと負荷のインピーダンスが高い場合は、π タイプのフィルタが最適なソリューションです。π 型フィルタには 2 つのコンデンサで挟まれたインダクタがあり、選択する周波数特性に応じてコンデンサが両端のインピーダンスを下げます。

4 システムレベル ESD

4.1 概要

ESD 試験は、コンポーネントレベルとシステムレベルに分けられます。

- コンポーネントレベルの試験は、電源未投入状態の単体の半導体デバイスが、製造, テスト, および組み立て中の取り扱いに耐えられることを確認します。
- システムレベルの試験は、システムが実際の動作環境で ESD に耐えられることを確認します。

これらの要件は大きく異なるため、2 つの試験では放電電流の波形が大きく異なります。

下の表の電流波形の形状からわかるように、コンポーネントレベルとシステムレベルの ESD 試験の要件は大きく異なります。

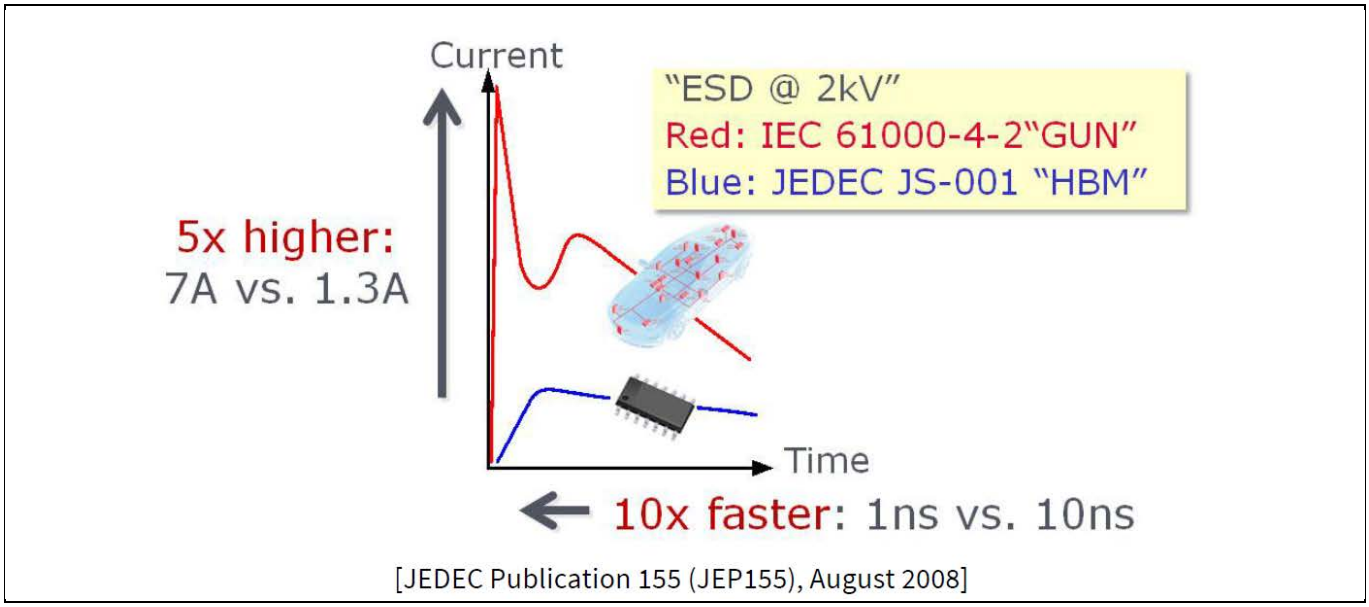
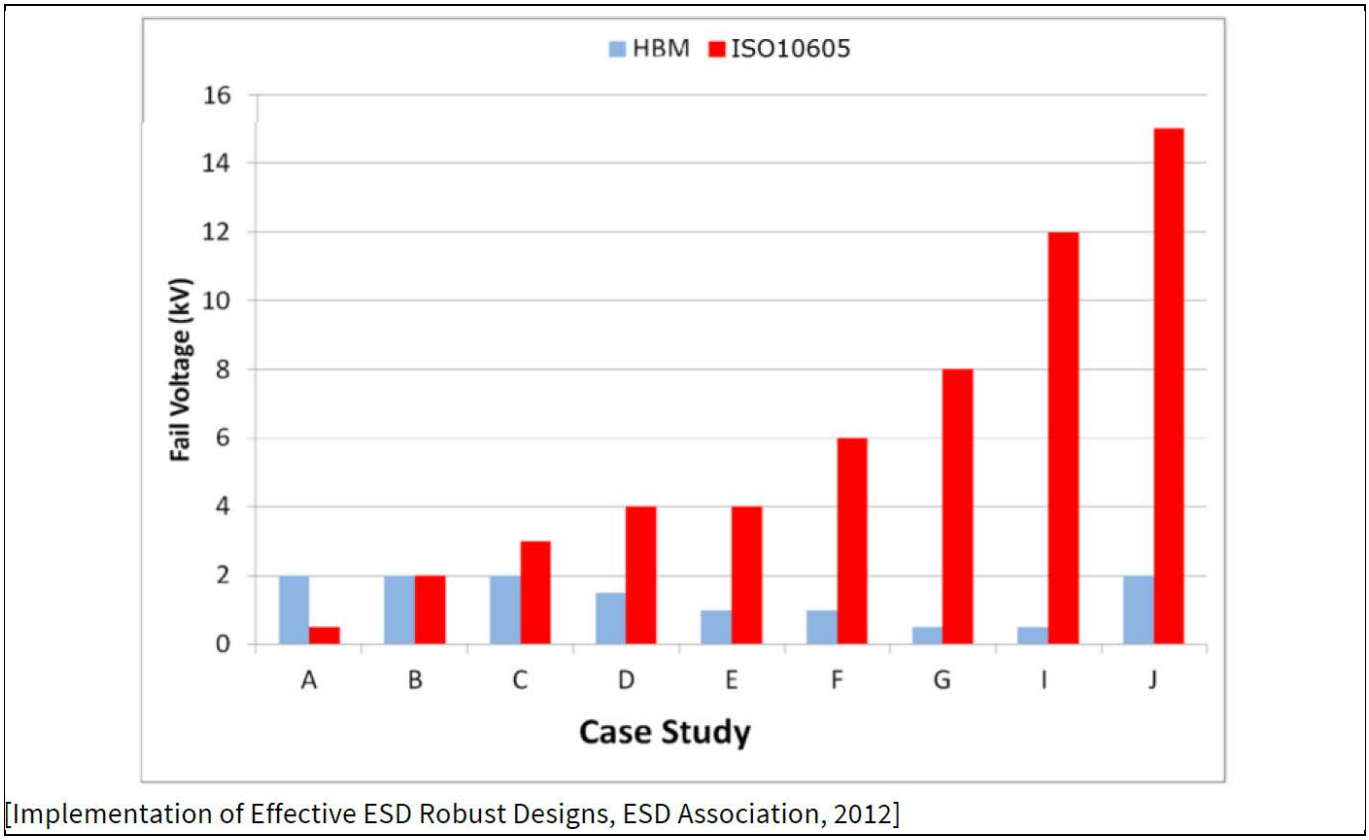


Figure 52 コンポーネントレベル (HBM) とシステムレベル (GUN) の試験規格の違い

JEDEC JS-001 に準拠したヒューマンボディモデル (HBM) 試験で確認されたコンポーネントレベルの ESD 耐性と、ISO10605 または IEC 61000-4-2 で確認されたシステムレベルの ESD 耐性との間に相関関係はありません。

Figure 53 を見ると、コンポーネントレベルとシステムレベルの ESD 耐性の間には関係がないことがはっきりとわかります。これは、試験方法と試験の目的の違いから説明できます。



[Implementation of Effective ESD Robust Designs, ESD Association, 2012]

Figure 53 さまざまなシステム (A-J) の IC レベルとシステムレベルの ESD 障害発生閾値の比較により、HBM 耐性がシステムレベルの ESD 耐性と関連していないことが示されている

4.2 オンチップ ESD 保護

オンチップ ESD 保護には 2 つの基本概念があります。1 つは ESD 保護構造の「ブレークダウン」動作であり、もう 1 つはいわゆる「スナップバック」動作です。どちらにも長所と短所があり、どちらも業界で使用されています。一般に ESD 保護は、トリガ電圧までは高抵抗のデバイスです。この電圧を超えると、デバイスは GND への低抵抗パスを提供し、短時間 (通常 100〜200 ns) に数アンペアの電流を流すことができます。

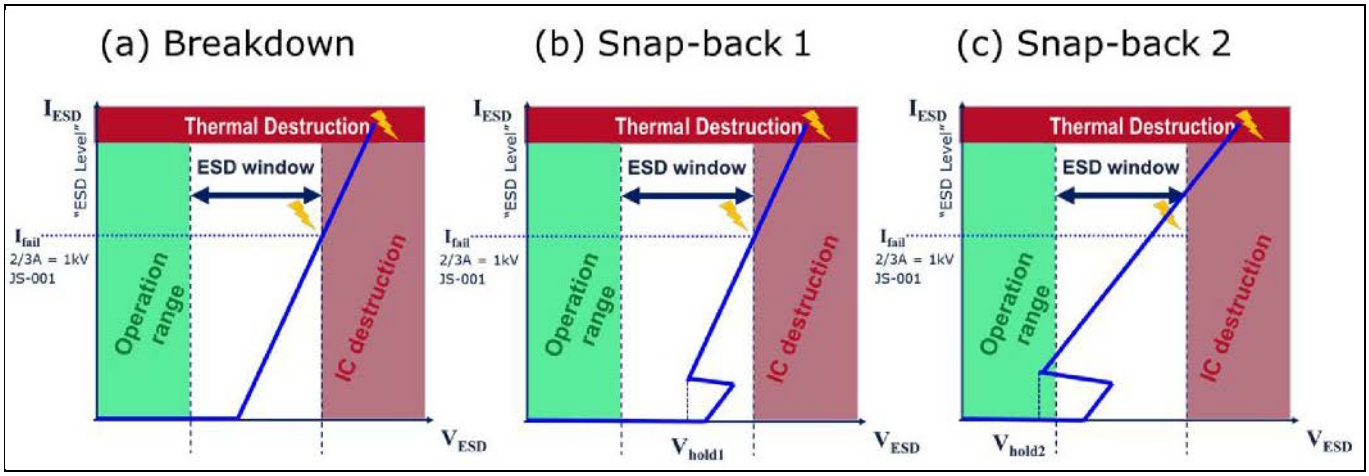


Figure 54 ブレークダウン (a) およびスナップバック (b, c) の ESD 構造

この図は、ブレークダウン (a) と 2 つの異なるスナップバック構造の代表的な電気的特性を示します。

(b) ホールド電圧が動作範囲を超えている場合。

(c) ホールド電圧が動作範囲内の場合。

通常動作時に ESD 保護が誤ってトリガされないようにするには、アプリケーションで AMR (絶対最大定格) の上限電圧を超えないようにする必要があります。これを超えると、ESD デバイスは電流を非常に低い抵抗の経路でグランドに流そうとし、エネルギーが高すぎると破壊される可能性があります。

Note: (c) のような ESD スナップバック構造は、スナップバックモードでの DC 電流に耐えられるように設計されていないため、動作範囲内の許容電圧に戻った後も ESD 構造がオンのままになり破壊されるため危険です。

4.3 システム レベル ESD 保護 (オンボード)

外付け部品を使用して、ボードレベルでシステムレベルの ESD 保護を実施します。

- 安全な電圧にクランプする TVS ダイオード
- システムレベルの ESD ソースの電流/電荷を引き継ぐコンデンサ
- チップへの電流を制限する抵抗

ボードレベルの保護コンセプトをオンチップ ESD 保護の電気的特性と適合させることが重要です (協調設計)。この図に、協調設計の悪い例と良い例を示します。

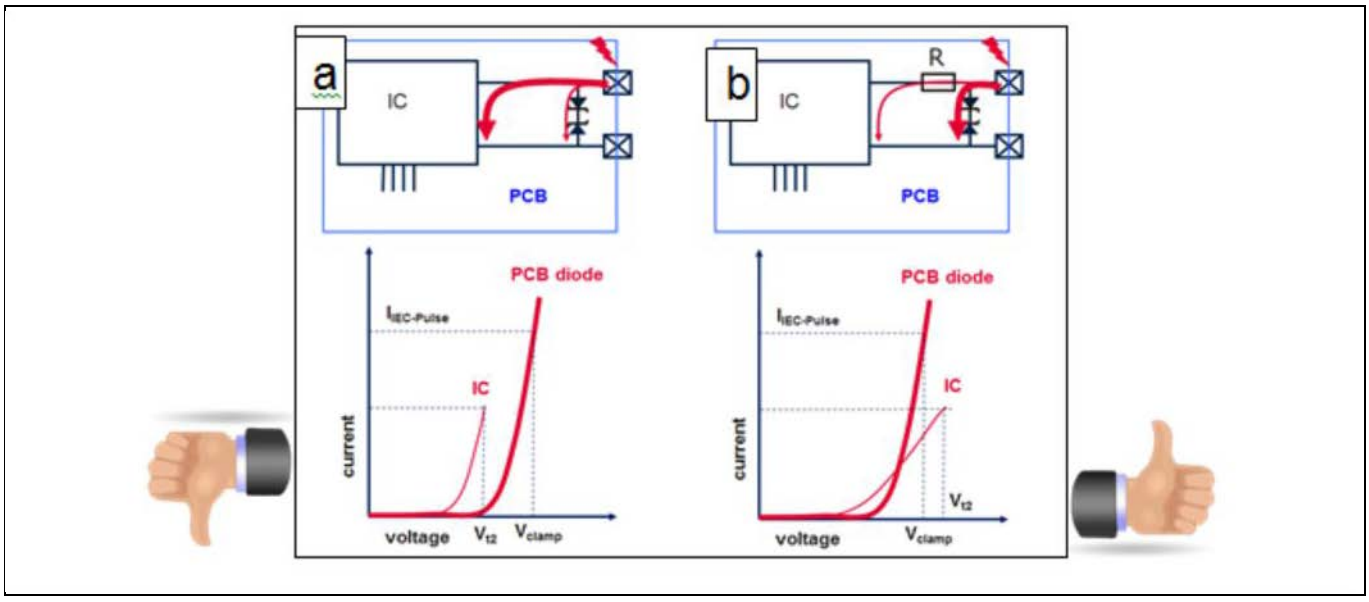


Figure 55 オンチップ/ボードレベルの ESD 協調設計の悪い例 (a) と良い例 (b)

a) 外付け TVS ダイオードのターンオンおよびクランプ電圧は、対応する内部オンチップ電圧よりも高くなります。したがって、オンチップの保護は、ESD ストレス電流のほぼ全体を引き継ぎます (そして、そのような大電流用に設計されていなければ破壊されます)。

b) a) の場合と同じオンチップおよびボードレベルの保護素子が使用されますが、チップへの電流を制限する追加の抵抗があり、十分で高い全体的なシステムレベルの耐性が実現されます。

重要なのは、チップに流れる電流の絶対的な大きさだけではありません。また、電流パルス波形は、外付け部品や基板固有の寄生インダクタンス/容量によって再形成または変調されるという事実も考慮する必要があります。

4.4 システムレベル ESD ボード レイアウト設計ガイドライン

一般的に、通常の基板での半導体チップでは、次の 2 種類のピンの形態を考慮する必要があります。

- コネクタやバスピンなどの基板エントリポイントに直接接続する外部 (またはグローバル) ピン
- 隣接する半導体チップ間の内部接続のみを持つチップ間ピン

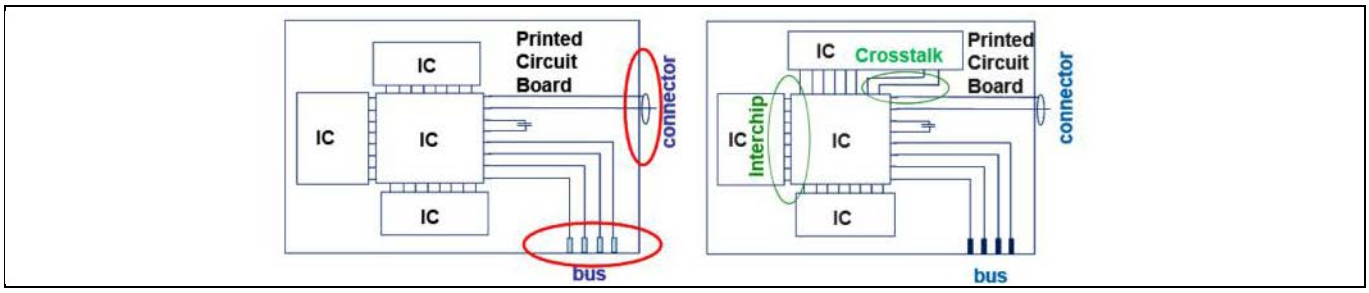


Figure 56 外部 (赤) および内部 (緑) に接続されたピン

外部ピンがシステムレベルの ESD 保護に特に重要であることは明らかです。しかし、チップ間のピンは、ESD ストレスを受ける外部ピンのトレースラインとのクロスカップリングによってノイズが発生する可能性もあります。

システムレベルの ESD の「黄金律」は、エントリポイント (コネクタまたはバスピン) の**できるだけ近く**にボードレベルの ESD 保護素子によって ESD 電流をシャントすることです。この背後にある基本的な考え方は、PCB 全体に ESD ノイズが広がるのを抑制することで、センシティブなデバイスをシールドすることです。

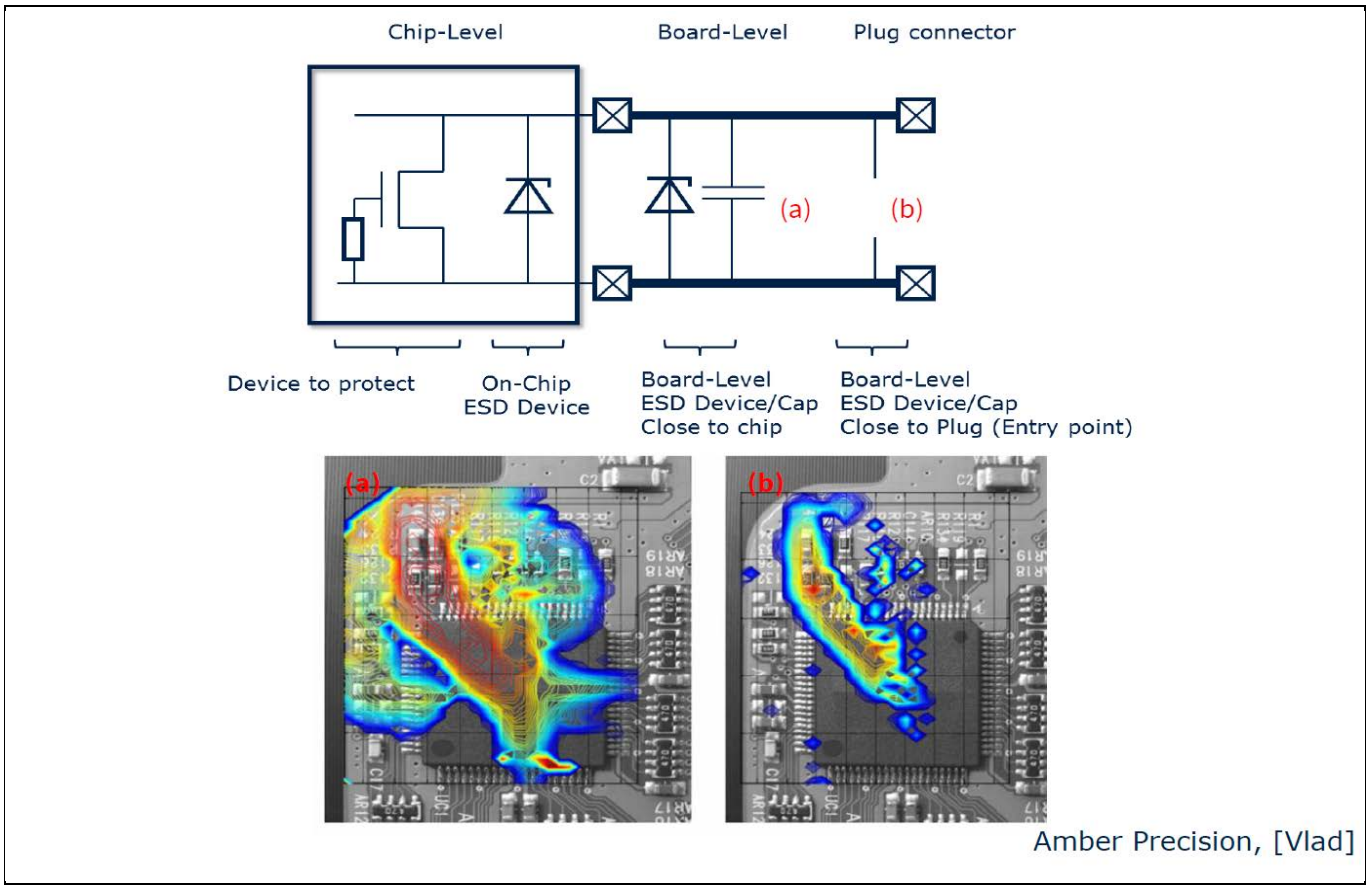


Figure 57 ESD ノイズは、ESD デバイスがチップ (a) に近く、エントリポイント (b) に近接した PCB 上に広がる

Attention: ESD 保護デバイスの配置においては、ESD (エントリポイントに近いことを推奨) と EMC (チップに近いことを推奨) の間にトレードオフがあります。 そのため、PCB レイアウトの初期段階で、どの動作を最適化するべきかを明確に決定する必要があります。

4.5 寄生成分

システムレベルの ESD パルスは一種の高周波 (GHz) 信号 (大電流振幅) であるため、PCB 自体だけでなく、ボードレベルの ESD 保護素子の高周波動作も考慮する必要があります。ESD 保護素子の場合、主に次のとおりです。

- コンデンサの直列寄生インダクタンス
- TVS ダイオードの電圧オーバーシュート

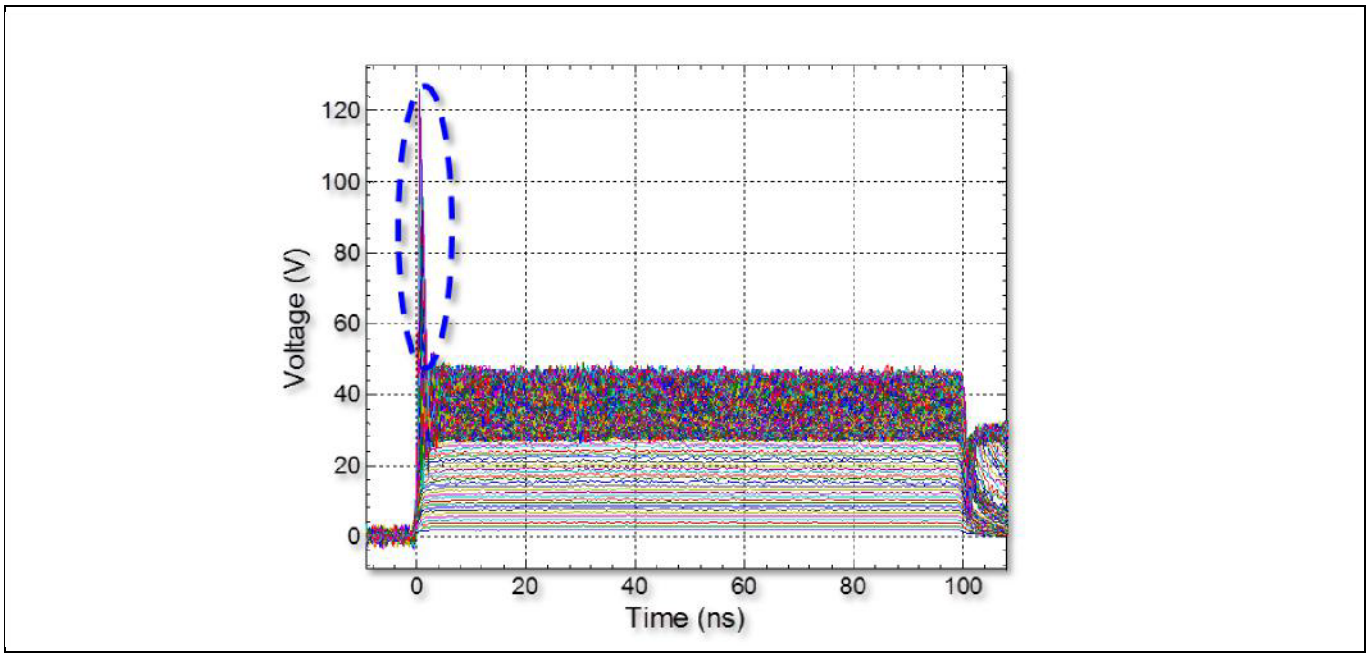


Figure 58 電流パルスの立ち上り時間を 1 ns から 100 ns に変化させたときの TVS ダイオードの過渡電圧。 最初の ns では、最大 120 V (青色の破線) の電圧オーバーシュートが発生

基板上では、グランドラインの適切なレイアウト (ループを作らない)、ボードレベルの ESD 保護素子の低インピーダンス接続を確保する必要があります。電気的挙動と改善策については、レイアウト構造とコンポーネントのセクションで説明しています。

電圧のオーバーシュートを避けるために、できる限り低い直列インダクタンスを持つボードレベルの ESD 保護素子を使用する必要があることは明らかです。これらのオーバーシュートは、IEC-61000-4-2 パルスの最初の電流ピークで特に顕著です (Figure 59)。

4 システムレベル ESD

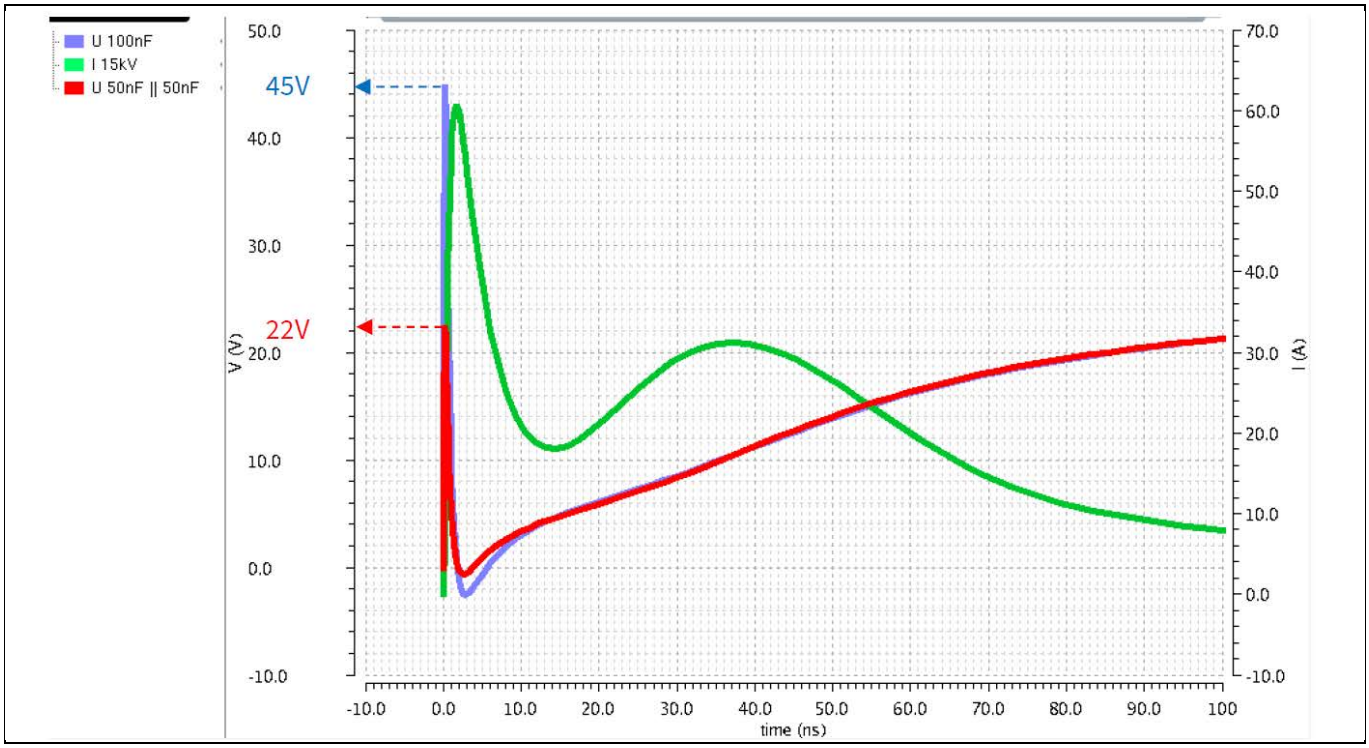


Figure 59　1 つの 100 nF コンデンサ (青) と 2 つの 50 nF コンデンサ (赤) の並列接続における 15kV IEC-61000-4-2 電流パルス (緑) の電圧曲線。各コンデンサについて、500 pH の直列インダクタンスが考慮されています。2 つのコンデンサの最初の ns における電圧オーバーシュートは明らかに低減されています。

これを改善する方法は次のとおりです。

- 可能な限り小さいパッケージ (インダクタンスが小さい) のコンデンサを選択します。
- 必要な静電容量を並列な 2 つのコンデンサに分割します。
- ビアは避けるか、できるだけ多くのビアを並列で使用します。

これらの対策により、電圧オーバーシュートと同様に、全体的な直列実効インダクタンスが減少します。基板のラインとビアはインダクタンスの増加となり、大きな電圧降下を引き起こします。

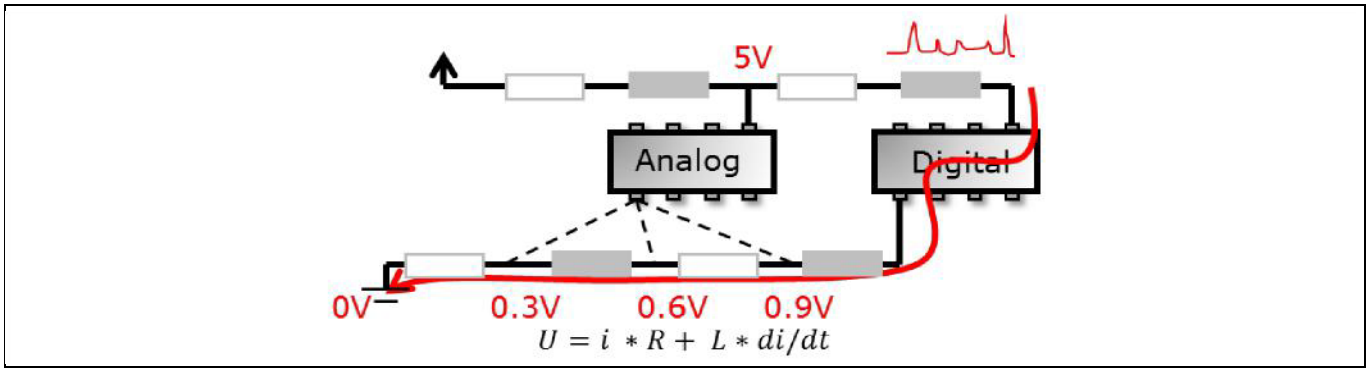


Figure 60　グランドパスの電圧降下

- インダクタンスが 10 nH/cm、パルスが 10 mA/ns であると仮定すると、100 mV/cm の電圧降下が発生します。アナログ部品のグランド接続ポイントに応じて、この例では、電源とグランド間の電圧は、(5V-0.3V) = 4.7 V および (5V-0.9V) = 4.1 V の間で異なってきます。これにより、低電圧検出機能によりチップのリセットイベントがトリガされる可能性があります。

4.6 高抵抗ノード

システムレベルの ESD 認定 (IEC-61000-4-2 など) は、同じピンの組合せで複数 (3〜10) の連続するストレスパルスで実行されるため、パルスごとに電荷が保存および蓄積されます。

認定規格では、各パルス印加後の放電手順を推奨していますが、テスト対象ピン(PUT)に対してのみです。しかし、内部高抵抗ノード (>>100 kΩ...MΩ) は ESD イベントの電荷を累積することができ、電圧が次のパルスまで残ることを意味します。つまり、次の ESD パルスは、内部に残存した電圧が存在するシステムに印加されます。 これらの残存電圧は、ESD 保護デバイス (ボードレベルとコンポーネントレベルの両方) の不適切な機能動作や、回路の特定の部分で一種のパワーアップ状態につながる可能性があります。高抵抗ノードにより、電荷は実際の ESD パルスの後でも維持され、チップストレスは当初の約 100ns から最大 1s に延長されます。これは、物理的な破壊 (ハードフェイル) はなく、未定義のチップパワー状態によって引き起こされる誤動作を意味する、いわゆるソフトフェイルにつながる可能性があります。

コンデンサと並列になるスナップバック ESD 保護の動きは特別に考慮されます。これは、蓄積された電圧がスナップバックデバイスのトリガ電圧を超えるとすぐに、コンデンサがスナップバックデバイスを介して放電するためです。(コンデンサのサイズに応じて) このデバイスを破壊する可能性があります。

5 マイクロコントローラーの特記事項

インプット専用ピン

これらのピンは、使用しない場合は、関連する機能が非アクティブとなるレベルにしておく必要があります。 例えば、

- NMI# (内部プルアップなし) は V_{DD} に接続する必要があります。
- READY# (内部プルアップあり) は V_{DD} に接続する必要があります。
- XTAL3# (補助発振器の入力クロック) は、定義されたレベルに接続する必要があります。補助発振器にはさまざまな種類があるため、このレベルはインフィニオンテクノロジーのアプリケーションノート 24020 に従って指定してください。

アウトプット、電源、インプット、および I/O

未使用の「アウトプット、電源、インプット、I/O」ピンについては、次の点を考慮する必要があります。

Table 1 未使用の「アウトプット、電源、インプット、I/O」ピンに関する考慮事項

I/O の種類	対策	理由
電源ピン (モジュール)	ユーザーズマニュアルを参照してください。	-
I/O ピン	• アウトプットとして設定し、EMI の改善のために、最も弱いドライブモードでスタティック - ローにします。 • I/O をプルアップまたはプルダウンのインプットとする設定も可能です。 • はんだ付けパッドはオープンにし、他のネットに接続しないでください (はんだ付け専用の独立した PCB パッドをレイアウトします)。	• エマージェンシーストップがあった場合、I/O がハイ状態に切り替わる可能性があります。これは、もし、I/O が GND に接続されている場合、I/O の損傷につながります(エレクトロマイグレーションストレス電流)。 • アウトプットがアクティブな状態でレベルが確定されていれば、インプットへの予期しない切り替えは発生しません。
LVDS を含むアウトプットピン	• スタティックで最も弱いドライブモードにします。 • スタティックな出力状態にすることが不可能な場合は、出力ドライバをディスエーブル状態にします。 • はんだ付けパッドはオープンにし、他のネットに接続しないでください (はんだ付け専用の独立した PCB パッドをレイアウトします)。	• 出力ステージの電位を確定することにより、漏れ電流が減少し、EMC の耐性が向上します。 *Note: 場合により、マルチプレクサアウトプットでオルタネート機能となるものがあります。*

5 マイクロコントローラーの特記事項

I/O の種類	対策	理由
内部プルデバイスなしインプットピン	• オルタネート機能を有するピンについては、製品の仕様を参照して、必要なロジックレベルを定義してください。 • 可能な限り、GND に抵抗 (範囲 10k – 1Meg) で接続する必要があります。 もし、GND に直接接続となっても設計への影響は想定されません。 • 8 つのピンを 1 グループとして、外部プルアップ/ダウンデバイスの数を減らすことができます (リーク電流に注意してください)。	• 入力レベルを確定することで、デバイスのリセット後の初期消費電流にピークが発生することを回避します。電流ピークは、リーク電流起因による入力部シュミットトリガの制御不能なスイッチングによって引き起こされる可能性があります。
内部プルデバイス付きインプットピン	• オルタネート機能を有するピンについては、製品仕様を参照して、必要なロジックレベルを定義してください。 • プルダウンに設定します (例外: ユーザーズマニュアルにてオルタネート機能でハイレベルが必要な場合)。 もし、スタティクなハイレベルの設定となっても、設計への影響は想定されません。 • はんだ付けパッドはオープンにし、他のネットに接続しないでください (はんだ付け専用の独立した PCB パッドをレイアウトします)。	• 入力レベルを確定することで、デバイスのリセット後の初期消費電流にピークが発生することを回避します。 電流ピークは、リーク電流起因による入力部シュミットトリガの制御不能なスイッチングによって引き起こされる可能性があります。

6 シミュレーション

アプリケーションの設計を改善するもう 1 つの方法は、シミュレーションによってレイアウト内の特定の構造をテストすることです。ここでは、複数のソフトウェアメーカーが提供する最も一般的なツールとテクニックについて説明します。電気システムの放射, 感受性, シグナルインテグリティなどの EMC 関連パラメータのシミュレーションを通じて、必要な労力と最も効果的な対策を判断できます。電気システムには、モジュール, プリント基板 (PCB), 電気回路, サブ回路, さらに統合デバイスなどがあります。さまざまなメーカーや販売代理店から、より多くの優れたシミュレーションモデルが提供されています。

ここ数年、マイクロコントローラーの電源ネットワークの正確なモデルを得るための取り組みが行われてきました。これらのモデルは、チップパワーモデル (CPM) と呼ばれます。このモデルは、インピーダンス部 (RLC) と電流源部 (PWL 電流源) を持つ集積回路の電源ネットワークの高周波動作を記述します。これらのモデルは、現在、ほとんどの EMC シミュレータで使用できます。

IBIS モデルは、インフィニオンテクノロジーの 16 ビットおよび 32 ビットマイクロコントローラーに対応しています。

SPICE

SPICE は、集積回路に重点を置いたシミュレーションプログラムです。SPICE を使用すると、電気回路を解析できます。EMI/SI 項目の場合、寄生成分の影響 (隣接するネットへの結合、反射など) に関する電気システム (例: バスシステム) の分析が可能になります。寄生成分自体は、2D または 3D フィールドソルバーを使用して計算されます。ドライバとレシーバのモデルは、トランジスタをベースとしたモデルまたは IBIS フォーマットとしてメーカーから提供されます。SPICE に似たプログラムはたくさんあります。

SPICE モデルの生成

SPICE シミュレーションで良い結果を得るためには、モデリングのノウハウが基本要件です。SPICE モデル (サブサーキット) が優れているほど、解析はより効果的になります。例えば、バスシステムの解析には、IBIS モデル (主にチップメーカーが提供) と伝送線路モデル (2D および 3D フィールドソルバーによる生成) が必要です。

2D フィールドソルバー

2D フィールドソルバーは、3 次元で幾何学的に均一な伝送線路または伝送線路システムの寄生成分 (キャパシタンス、インダクタンスおよび抵抗の値) を得るために必要です。つまり、トレースまたはトレースの構造です。これらの値は、バスシステムやその他の構造の解析のために SPICE サブ回路をモデル化するために使用できます。

3D フィールドソルバー

ビアや矩形トレースなどのより複雑な構造や、パッケージ, ワイヤボンド, およびリードフレームなどの集積回路の構造では、寄生成分を得るために 3D フィールドソルバーが必要です。繰り返しになりますが、これらの値を使用して SPICE サブ回路をモデル化できます。

導電性 3D 構造 (特に PCB) の周囲の空間内の任意の点における電場または磁場は、特定の瞬間と特定の周波数におけるこの構造のすべての電流ベクトルによって引き起こされたそれぞれの場のベクトルを加算することによって計算されます。

6 シミュレーション

プリレイアウト解析

プリレイアウト解析とは、最適なソリューションを早期に見つけるために、特定の設計の構成を (仕様段階であっても) 検証することを意味します。また、プリレイアウト解析は、後続の設計段階のための一連の設計ルールの設定 (例えば、クロストークを低く保つためのトレースの最小距離など) を設定することも意味します。

ポストレイアウト解析

ポストレイアウト解析とは、ハードウェアのプロトタイプを構築する前に、電磁放射の多い領域などの設計上の危惧を検知するために、PCB などのすでに設計されている電気システムの部分的または完全な検証をすることを意味します。

7 数式付録

デシベル計算

デシベル [dB] は、レベルの無次元の比です。 電磁放射の測定結果は、単位 [dBµV] でスペクトルまたはリミット曲線により表されます。

電力 [dB] = 10 log(P1/P0), P[dBmW または dBm] = 10 log(P1/1mW);

dBm は 50 Ω システムに対して定義され、P1 は測定電力、P0 は基準電力です。

電圧 [dB] = 20 log (V1/V0), V[dBµV] = 20 log(V1/1µV);

V1 は測定電圧、V0 は基準電圧です。

(例: 100 µV の高調波振幅 = 20 log(100) = 40 dBµV)

8 用語集

Table 2

用語	定義
2D フィールドソルバー	2 次元トレース構造の解析 (カップリング、特性インピーダンス等) のためのシミュレーションツールです。
3D フィールドソルバー	ビアホールなどの 3 次元トレース構造の解析 (カップリング、特性インピーダンス等) のためのシミュレーションツールです。
クロス (バー) カレント	直列に接続された 2 つ以上のトランジスタが同時に導通している場合に流れる電流。
Decap	デカップリング コンデンサ
DUT	Device Under Test (試験対象デバイス)
EMC	ElectroMagnetic Compatibility(電磁両立性) →DUT と周辺環境間の電磁妨害の放射と感受性に関する両立性。
EME	ElectroMagnetic Emission (電磁放射) 電子デバイスの放射または伝導による電磁ノイズの放出。
EMI	Electromagnetic Interference (電磁障害または電磁干渉、電磁気信号の望ましくないまたは不法な生成、帯域幅は考えうるすべての周波数。)
EMS	ElectroMagnetic Susceptibility (電磁感受性) 電子デバイスが受ける放射または伝導ノイズからの悪影響。
ESL	Equivalent Series Inductance (コンデンサの高周波域における等価直列インダ
ESR	Equivalent Series Resistor (コンデンサの高周波域における等価直列抵抗)
GND	基板のグランドネット (トレースまたはプレーン構造)
IBIS	Input/Output Buffer Information Specification デジタル集積回路の入出力アナログ特性に関する電気的動作仕様の規格として広く確立されています。
CPM	Chip Power Model (チップパワーモデル)
マイクロビア	直径約 100 µm のビア
PCB	Printed Circuit Board (プリント基板)
RF	無線周波数 (高周波)
SPICE	シミュレーションツールの名称
SI	シグナルインテグリティ (反射, タイミング, クロストーク)
VI テーブル	ドライバ部の電圧対電流のテーブル
VIH	入力スレッショルド電圧
VCC	基板の電源ネット (トレースまたはプレーン構造)
VDD	IC の電源ピン
VSS	IC のグランドピン
XTK	クロストーク (隣接する 2 つのトレース間の干渉)
x-y トレーシング	直交配線。隣接する層の信号を直交的に配線し、クロストークを最小限に

8 用語集

用語	定義
Z0	特性インピーダンス

9 参考資料

次のリストは、放射, 感受性, および静電気放電など、EMC に関連する多くのトピックをカバーする文献の抜粋です。

- Elektromagnetische Verträglichkeit
  - 著者: A. Schwab
  - 発行元: 3. Ausgabe, Springer Verlag, 1994 Berlin-Heidelberg. (ドイツ語)
  - コメント: EMC に関する幅広い基礎知識を得るのに有用な書籍。
  - ISBN: 3-540-57658-4
- Controlling Radiated Emission by Design,
  - 著者: Michael Mardiguian
  - 発行元: Chapman & Hall, 1992 New York.
  - コメント: 放射エミッションに関する詳細かつ特別な内容。
  - ISBN: 0-442-00949-6
- High-Speed Digital Design - A Handbook of Black Magic,
  - 著者: Howard Johnson, Martin Graham
  - 発行元: 1993 by Prentice Hall PTR.
  - コメント: 非常に詳細で数学的。
  - ISBN: 0-13-395724-1
- EMC and the Printed Circuit Board: Design, Theory and Layout Made Simple
  - 著者: Mark Hastings
  - 発行元: IEEE Electromagnetic Compatibility Society.
  - コメント: EMC の基礎; PCB 内の EMC;コンポーネントと EMC; イメージプレーン; バイパスとデカップリング; 伝送ライン; シグナルインテグリティとクロストーク; グラウンディングコンセプト。
  - ISBN: 0-7803-4703-X
- EMC Kompendium / E+E Kompendium 1999 – 2006,
  - 発行元: publish-industry Verlag GmbH, Munich (ドイツ語)
- Paper to the workshop “Optimized Decoupling Concepts for Digital VLSI Circuits“
  - 著者: Joachim Held, Siemens AG Munich; Prof. Thomas Wolf, University of Applied Sciences, Landshut;
  - IEEE - EMC seminar 2001
- Paper to the seminar “EMV auf Leiterplatten 1999“
  - 著者: Prof. Chr. Dirks
  - 発行元: Nils Dirks Corporate Consulting, Donaueschingen. (ドイツ語)
- Paper to the workshop “EMV auf Leiterplattenebene“
  - 著者: Werner John
  - 発行元: MESAGO GmbH Stuttgart (ドイツ語)
- Paper to the workshop “Techniques for PCB and Circuit Level Radiation Reduction“
  - 著者: David A. Weston
  - 発行元: MESAGO GmbH Stuttgart

参考資料

- High-Speed Digital System Design “A Handbook of Interconnect Theory and Design Practices”
  - 著者: Stephen H. Hall, Garret W. Hall, James A. McCall
  - 発行元: John Wiley & Sons , Inc.
  - ISBN: 0-471-36090-2
- Paper to the EMC COMPO 2004, “IC Emission Models from Measurement and from Netlist”
  - 著者: Mehmet Gökcen, Thomas Steinecke, Angers
- Taiyo-Yuden “The Fundamental Technical Knowledge of passive Components” Application Notes.
  - www.taiyo-yuden.com
- Ilfa GmbH, "Layoutstrategien und Leiterplattentechnik"
  - 著者: Arnold Wiemers.
  - www.ilfa.de
- Murata, Technical Specification of Murata Capacitors
  - www.murata.com
- Kemet, Technical Specification of Kemet Capacitors
  - www.kemet.com

改訂履歴

版数	発行日	変更内容
V3.5	2024-06-24	本版は英語版 AP24026 EMC and System-ESD Design Guidelines for Board Layout V3.5 について、インフィニオン DEVELOPER COMMUNITY の参画者によって日本語に翻訳されたドキュメントです。

Trademarks
All referenced product or service names and trademarks are the property of their respective owners.

Edition 2024-06-24
Published by
Infineon Technologies AG
81726 Munich, Germany

© 2024 Infineon Technologies AG. All Rights Reserved.

Do you have a question about this document?

Email: erratum@infineon.com

Document reference
AP24026_JA

重要事項
本手引書に記載された本製品の使用に関する手引きとして提供されるものであり、いかなる場合も、本製品における特定の機能性能や品質について保証するものではありません。本製品の使用の前に、当該手引書の受領者は実際の使用環境の下であらゆる本製品の機能及びその他本手引書に記された一切の技術的情報について確認する義務が有ります。インフィニオンテクノロジーズはここに当該手引書内で記される情報につき、第三者の知的所有権の不侵害の保証を含むがこれに限らず、あらゆる種類の一切の保証および責任を否定いたします。

本文書に含まれるデータは、技術的訓練を受けた従業員のみを対象としています。本製品の対象用途への適合性、およびこれら用途に関連して本文書に記載された製品情報の完全性についての評価は、お客様の技術部門の責任にて実施してください。

警告事項
技術的要件に伴い、製品には危険物質が含まれる可能性があります。当該種別の詳細については、インフィニオンの最寄りの営業所までお問い合わせください。
インフィニオンの正式代表者が署名した書面を通じ、インフィニオンによる明示の承認が存在する場合を除き、インフィニオンの製品は、当該製品の障害またはその使用に関する一切の結果が、合理的に人的傷害を招く恐れのある一切の用途に使用することはできないこと予めご了承ください。