AN80994

電気的高速過渡現象 (EFT) 耐性についての設計の注意事項

著者: Shruti Hanumanthaiah、Srinivas NVNS
関連プロジェクト: なし
関連製品ファミリ: すべての PSoC
関連アプリケーション ノート: AN2155、AN78175、AN96475

本アプリケーション ノート (AN80994) では、組み込みシステム設計における電気的高速過渡現象 (EFT) への耐性を向上させるためのベスト プラクティスを記述します。本資料では、混合信号の組込みコントローラーに対する高速過渡現象の影響を説明し、EFT への耐性を向上させる方法およびその影響を軽減する設計上の推奨事項を提供します。また、IEC 61000-4-4 EFT のテスト要件もまとめます。

目次

1 はじめに 2
2 EFT とは 2
2.1 EFT 波形の特性 4
3 故障モード 5
3.1 リセット 6
3.2 ラッチアップ 7
3.3 アナログ信号とデジタル信号の破損 7
3.4 通信障害 8
3.5 メモリ破損 8
4 性能基準 9
5 障害のあるシステムのトラブルシューティングおよび EFT 耐性の向上方法 9
5.1 システム 10
5.2 プリント基板レイアウト 12
5.3 回路図 14
6 設計上の注意事項および障害軽減技術 17
6.1 システム レベルの注意事項 18
6.2 電源の設計上の注意事項 19
6.3 対象とする基板の設計上の注意事項 21
6.4 ファームウェア技術 39
7 まとめ 41
8 著者について 42
9 参考資料 42
A 付録 A: IEC 61000-4-4 EFT のテスト要件 43
A.1 テスト レベル 43
A.2 テストのセットアップ 44
A.3 テスト手順 46
改訂履歴 48
ワールドワイドな販売と設計サポート 49

安全上のご注意



EFT テストは危険電圧を伴います。

電気的安全原則に十分に従わなければなりません。

有資格の安全技術者にご相談ください。

1 はじめに

本アプリケーション ノートでは、組み込みコントローラーに対する電気的高速過渡現象 (EFT) の影響を説明し、その影響を軽減するためのハードウェアおよびファームウェア技術を推奨します。本書はまた、そのような過渡現象に影響されないシステムを構築するために設計者が使用できる一連のガイドラインも提供します。

過渡現象の特性を説明するための国際規格が開発されています。これらの規格はまた、準拠性のテスト方法についてのガイドを製品設計者に提供しています。電子製品の電気的高速過渡現象への耐性の要件は、国際電気標準会議 (IEC) により IEC 61000-4-4 (EFT 用) で定義されています。

「EFT とは」節では、IEC 61000-4-4 による EFT およびテスト波形を説明します。次に、「故障モード」節では、組み込みシステムに対する過渡現象のあり得る影響を説明します。「障害のあるシステムのトラブルシューティングおよび EFT 耐性の向上方法」節では、デバッグのヒントを述べ、障害のあるシステムの EFT 耐性を向上させるいくつかの可能な方法を提供します。

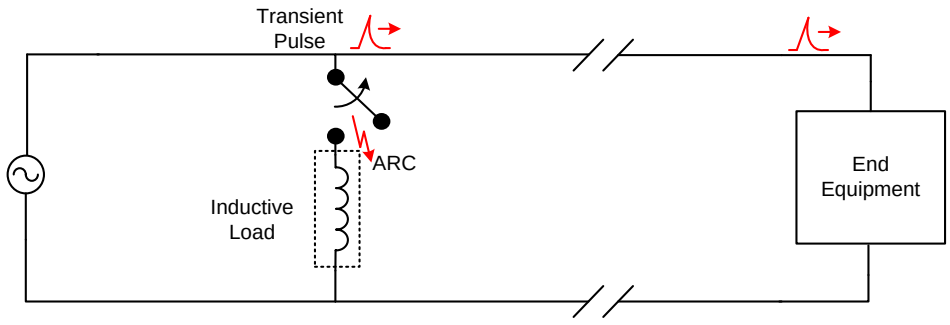
設計技術者の第一目標は、非誘導環境で使われる時でも最終製品の正常動作と性能を確保することです。多くの場合、システム自体よりも製品の機能的側面の方が重視されます。設計技術者は、電磁妨害と耐性要件を含むがそれらに限らない、製品設計の各側面を考慮しなければなりません。製品がコンプライアンス テスト (EFT またはその他) に不合格になった場合、再設計または再製造は必要となります。これは設計コストを大幅に増加させます。これらのコストは、スケジュールの遅れや顧客の不満、市場シェア低下を招きます。そのため、設計技術者は、システム設計と平行に障害軽減の計画を直ぐに開始することが非常に重要です。「設計上の注意事項および障害軽減技術」節では、システム設計技術者が設計時の特定の原則を考慮することで EFT 関連の問題を防ぐ方法について説明します。本アプリケーション ノートでは主に対象基板の設計の注意事項に集中します。本書はまた、システムとその電源のいくつかの設計上の注意事項も記載します。さらに、エラー検出と回復メカニズムのために組み込まれるファームウェア技術も提供します。

付録では、IEC 61000-4-4 規格の要約を与えます。また、本書は参考資料も提供します。

2 EFT とは

継電器やスイッチ接触器、大型モーターなどの誘導性負荷は、電源が切られると、電源供給システムにおいて一連の狭い高周波過渡パルスが発生します。高速過渡現象は、多用途の電源プロバイダーが力率補正装置を切り替える時にも生じることがあります。電源ラインの過渡現象の一般的な原因は、AC 電源コードを差し込むか、機器の電源を切るか、または回路遮断器を開閉するたびに発生する電気アークです。図 1 に、どのように過渡現象が起こされ、電源ラインを介して最終機器に結合されるかを示します。

図 1. 過渡ノイズの発生および最終機器への結合

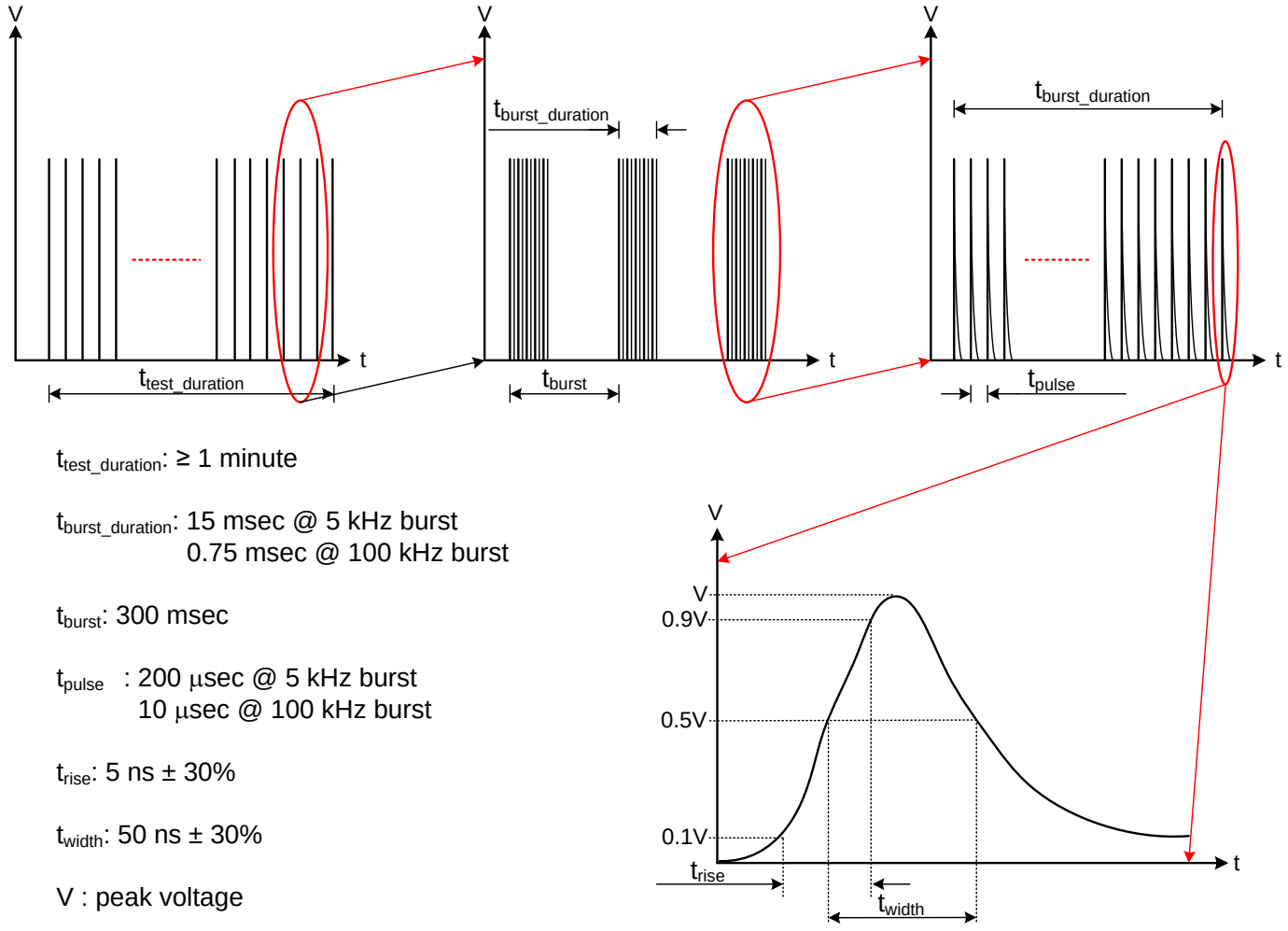


IEC 61000-4-4 仕様は、AC 電源ライン上の誘導性負荷の切り替えによる過渡現象を模倣するための試験電圧波形を定義しています。本仕様はまた、繰り返しの高速過渡現象に対する耐性の要件およびシステムに必要なテスト方法も定義しています。

IEC61000-4-4 規格で定義されているように、EFT 波形は、高速過渡現象にさらされる時の機器の性能をテストするためにメーカーによって使用されるよう意図されています。テストは主として、機器の AC 電源ラインに EFT パルスを注入することです。また信号や制御ライン、接地接続に EFT 波形を注入し、それらのラインへの過渡ノイズの結合を模倣することもできます。パルス波形は、高い振幅 (0.5～4kV)、短い立ち上がり時間、高い繰り返し率、低いエネルギー含量があります。 IEC 61000-4-4 はまた、パルス波形の振幅に基づくテスト レベルも定義しています。図 2 に、IEC 61000-4-4 規格で定義されている波形の形状を示します。それは、1 分の期間で 300 ミリ秒ごとに繰り返される一連の 75 パルスから成ります。テスト中に、正側と負側の EFT パルスは注入されます。

このように、テストは、高速過渡現象にさらされる時の電気／電子機器の耐性を示すことを意図しています。特定の機器クラスに関する過渡現象への耐性性能の要件を指定する国際規格があります。例えば、欧州連合 (EU) の EN 55024 は、情報技術機器のテスト要件と性能基準を記述しています。同様に、IEC 61547 は照明機器のテスト要件と性能基準を記述しています。上記のすべての規格は IEC 61000-4-4 から要件とテスト方法を導出しています。ご設計の機器の関連する耐性性能基準を取得するには、地元の標準化団体にご相談ください。

図 2. EFT テスト パルス波形



$t_{test_duration}$: ≥ 1 minute

$t_{burst_duration}$: 15 msec @ 5 kHz burst
0.75 msec @ 100 kHz burst

t_{burst}: 300 msec

t_{pulse} : 200 µsec @ 5 kHz burst
10 µsec @ 100 kHz burst

t_{rise}: 5 ns ± 30%

t_{width}: 50 ns ± 30%

V : peak voltage

2.1 EFT 波形の特性

図 2 に、IEC 61000-4-4 規格で定義されている、50ohm 負荷に接続された単一パルスの波形を示します。各々のパルスは、5ns の立ち上がり時間と 50ns のパルス幅により特徴付けられた二重指数波形です。IEC 61000-4-4 は EFT 耐性のさまざまなテスト レベルを定義しています。ピーク電圧は、テスト レベルが増加するにつれて増加します。表 1 で、図 2 に示した各テスト レベルのパルスのピーク電圧 V を一覧表示しています。

表 1. IEC 61000-4-4 のテスト レベル

レベル	電源端子		I/O 信号／データ端子	
	ピーク電圧 (kV)	繰り返し率 (kHz)	ピーク電圧 (kV)	繰り返し率 (kHz)
1	0.5	5 または 100	0.25	5 または 100
2	1	5 または 100	0.5	5 または 100
3	2	5 または 100	1.0	5 または 100
4	4	5 または 100	2.0	5 または 100
Xa	特殊	特殊	特殊	特殊

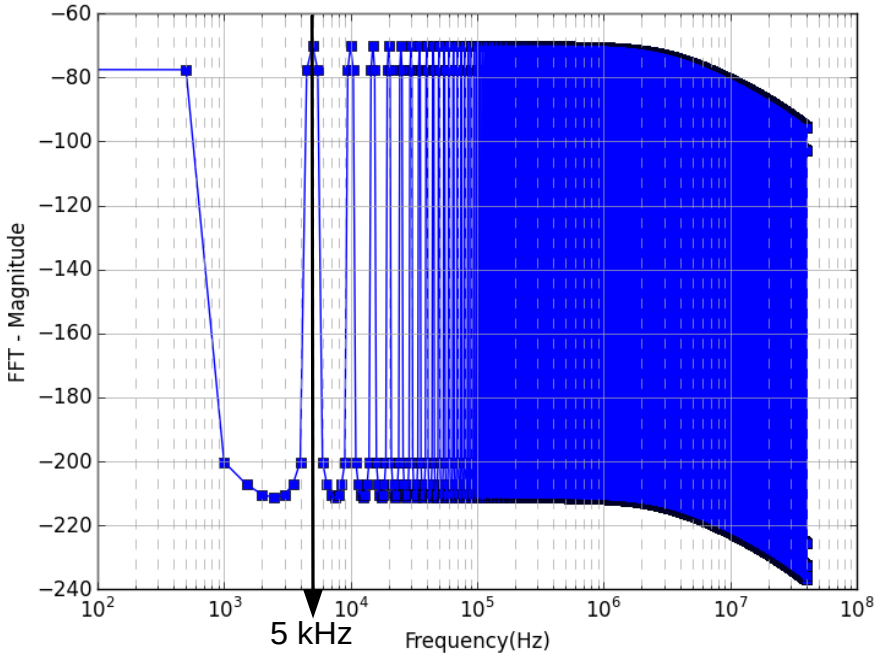
注 1: 5kHz の繰り返し率は標準的なものですが、100kHz の方は実際のシナリオにより近いです。

注 2: テストする端子は、メーカーによって決定されなければなりません。

[a] 「X」は特殊なレベルです。このレベルは、機器の仕様で指定する必要があります。

これは、EFT バーストの周波数スペクトラムを理解するのに役立ちます。図 3 に、5kHz でのパルス バーストのスペクトラムを示します。バースト周波数 (5kHz) は、スペクトラムにおいて主要な振幅の一つとして現れることにご注意ください。これは、考慮すべき面白い点です。通常、EFT パルスをフィルターするのは簡単ですが、より低い周波数 (5 または 100kHz) のバーストが導入された時には、かなり困難になります。低周波数のバーストが 300ms 毎に繰り返された場合、3.33kHz の他の要素も導入されます。

図 3. EFT – 5 kHz バースト: 周波数スペクトラム



3 故障モード

過渡現象によって生じたノイズは、AC 電源コード、DC 電源および信号／制御ラインを介して最終機器に伝導的に結合されます。機器内でフィルターを適切に使用しないと、ノイズは図 4 に示すように、別のプリント基板に伝播する可能性があります。機器内では、ノイズの直接的または間接的な結合があります。直接的結合は、ノイズとして現れる過渡電流が電源やグランド、信号、制御ラインを介して不安定な回路を流れる時に発生します。間接的結合は、電磁放射にさらされる導電面に発生します。

図 4. 機器内の正側の過度現象によって発生した、差動およびコモン モードのノイズのあり得る伝播経路

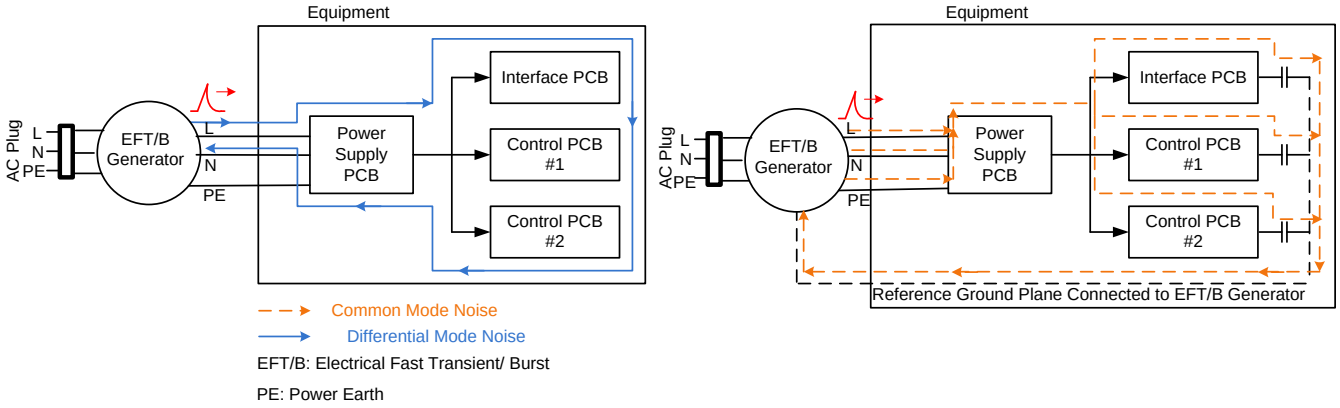


図 4 に示すように、過渡現象によって発生したノイズは、コモン モードおよび差動モード両方のノイズです。コモン モードのノイズは、両方導電体に存在するか「共通」であり、一般的には導電体の中で「同相」です。差動モードのノイズは、1 つの導電体のみに存在するか、または両方の導電体の中で逆位相を持って存在します。

組み込みコントローラーは、過渡現象によって発生したノイズと同等のタイミング仕様を持つ高速シリアル通信クロックなどの信号を生成して駆動するように設計されています。そのため、過渡現象で発生したノイズはこれらの信号に干渉する可能性があります。幅広い分類では、以下のブロック、ピンおよび信号は過渡ノイズに最も影響されます。

- 電源とグランド信号
- リセット回路
- クロック／発振器信号
- エッジ センシティブ トリガー
- 高周波デジタル信号
- アナログ信号
- I2C、SPI、UART などの通信ブロック
- CPU
- フラッシュ／RAM

過渡現象によって生じたノイズが 1 つ以上のブロックに影響する場合、次の種類のシステム故障が発生する可能性があります。

- リセット
- ラッチアップ
- アナログ信号とデジタル信号の破損
- 通信障害

- メモリ破損

3.1 リセット

過渡現象によって発生したノイズのため、デバイスは次のリセットのいずれかに入ります。

- 外部リセット
- パワーオン リセット
- 低電圧検出 (LVD) ベースのリセット
- ブラウンアウト リセット
- ウォッチドッグ リセット
- ソフトウェア リセット

外部リセットは、リセット ピン上の過渡ノイズによってトリガーされることがあります。そのため、外部リセットはリセット ピンがアクティブ HIGH か LOW であるかによって、電源電圧低下またはグランド リファレンス変動の原因で発生します。 代替のリセット ピンがを備えているコントローラーもあります。その場合、デバイスは代替のリセット ピン上のノイズに起因してリセットすることもあります。

図 5. AC-DC コンバーターの出力で測定された電源ライン上の過渡ノイズ波形

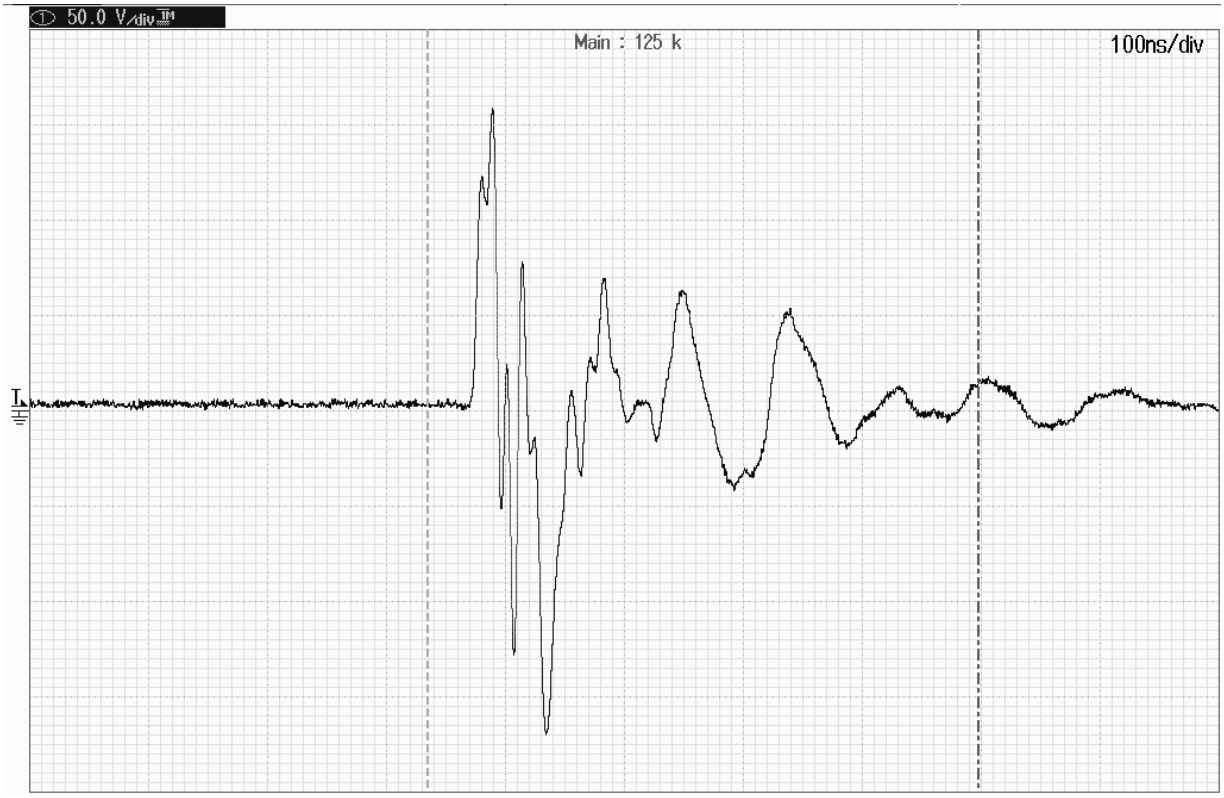


図 5 に、EFT テスト波形が AC-DC コンバーターに注入された時、コンバーターの出力で測定された電源ライン上の波形を示します。ご覧のように、ピーク電圧は約 350V です。AC-DC コンバーターの出力上にコントローラー回路などの負荷がある場合、ノイズの特性はコントローラーの電源入力でのフィルターおよびネットワークの減結合によって異なることがあります。

電源投入、LVD および電圧低下に起因したリセットは、次の場合に発生します。

- 過渡現象によって生じたノイズは電源電圧を低下させる場合
- 過渡現象によって生じたノイズはグランド リファレンスを変動させる場合
- 過度現象によって生じたノイズが I/O の上の ESD クランプ回路をトリガーすることに起因して、デバイスが検出できる実効電源電圧は低下して、ブラウンアウト リセットをトリガーさせる場合

パワーオン リセットは、実効電源電圧がデバイスの動作電圧範囲を下回ると発生します。電圧低下と LVD ベースのリセットがコントローラーで有効になっている時、これらのイベントは、実効電源電圧がトリップ電圧を下回り最小時間を超えてそこに留まる場合に発生する可能性があります。

ウォッチドッグ リセットは、ファームウェアが時間内にウォッチドッグ タイマーをクリアできなかった場合に発生します。その原因は、典型的に CPU またはフラッシュなど障害のあるサブシステムによって実効された意外なファームウェア動作にあります。

ソフトウェア リセットは、マスター デバイスが、信号完全性の損失でマスターが間違ったデータを受信する時などシステムの異常動作を検出するとスレーブをリセットしたい場合に発生します。またソフトウェア リセットは、コードの実行が正常でなく、例外に入った場合に発生することもあります。この異常なコードの実行は、CPU やクロック、フラッシュ、RAM 内の破損状態に起因することがあります。

3.2 ラッチアップ

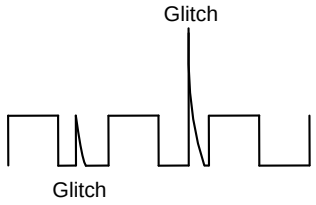
ラッチアップは、過渡現象によって生じたノイズが実際に損傷を与えない状況です。ノイズは単に、電源電圧がデバイスを破壊するか、またはパワー サイクル リセットを実効しないと回路が機能できないようにすべてのコンポーネントを起動します。過渡ノイズに起因したグランド バウンスやグランド リファレンス変動は CMOS 回路をラッチアップ状態に駆動することがあります。具体的に、CMOS 回路の電源レール間に低インピーダンス経路が作成され、デバイスの正常機能を妨害する寄生電流を通す経路はトリガーされます。この状況を修正するには、パワー サイクルが必要となります。ラッチアップは過電流に起因したデバイスの破壊を引き起こすこともあります。

3.3 アナログ信号とデジタル信号の破損

高速デジタル回路は、低帯域幅デジタル回路または低速アナログ回路より EFT に起因した障害になりやすいです。

エッジ センシティブ入力は、過渡ノイズの影響を受けやすいです。ロー パス フィルタリングをしていても、十分に大きな過度電流はデバイス動作を中断させるための十分なエネルギーを投入することがあります。図 6 に示すように、過渡現象はグリッチとして伝播する可能性もあります。クロックやデータ入力などの高速デジタル入力の場合、これらのグリッチは有効なデータ パルスと誤認されることがあります。

図 6. 過渡現象に起因した I/O 信号上のグリッチ



発振器／外部クロック ピンは過渡ノイズに影響されることもあります。過渡現象そのものは、コントローラーによって有効なクロック パルスとして解釈される場合があります。

アナログ ブロックのアナログ入力ピンに発生した過渡現象は、信号の途絶に起因した歪んだデータを引き起こす可能性があります。低レベルのアナログ信号処理の場合、影響はより大きいです。

通常、コントローラー上の入力／出力ポートは複数の機能を持っています。過度イベントは、ピンの状態やドライブモード、ピン機能を変更することでピン／ポートの通常動作を中断する場合があります。極端な場合、過度イベントは、実際にピン上の ESD 保護ブロックをトリガーし、コントローラーをラッチアップ状態に移行させることがあります。

3.4 通信障害

組み込みアプリケーションで一般的に使用される通信プロトコルは、I2C、SPI、UART です。通信障害は以下の原因で発生します。

- コントローラー内の通信ブロックの誤動作

  通信ブロックは、電源とグランドを介して内部回路に伝播する過渡ノイズによって破損されるか、またはストレスを受けることがあります。

- クロック ラインのクロック ストレッチまたはグリッチ

  クロック信号のグリッチは通信動作を中断させることがあります。一方、デバイスが他のデバイスから ACK を受信できなかった場合、クロックは延長される可能性があります。その原因は、内部ブロックの誤動作、または ACK を送信する必要があるマスター デバイスの誤動作にあります。またクロックは、コントローラー内の動作中のステートマシンが停止した時にも延長されることがあります。

- 信号完全性の損失

  通信ラインがリファレンスとする電源とグランドでの高いノイズの原因で、信号の完全性が損なわれ、プロトコル仕様が違反されることがあります。

- トランシーバ デバイスの誤動作

  UART 通信のもう一方の端の I^2C や SPI マスター／スレーブ、トランスミッタ／レシーバは、過渡ノイズの影響を受けやすいことがあります。それらのデバイスのリセットや破損、誤作動は、通信を中断させる可能性があります。

- データ表示システム (すなわち、コンピューター) と、USB-UART ブリッジ、RS232、UART レベル トランスレータなどのコントローラーと、シリアル ケーブルとの間のインターフェースは正常に機能しないことがあります。

本質的に、UART は I^2C または SPI プロトコルよりも安定です。理由は、I^2C または SPI プロトコルでは、信号がクロック エッジでサンプリングされる一方、UART プロトコルでは、信号はビット タイム ウィンドウの中心でサンプリングされるからです。レベル トランスレータは UART 通信のために使われる時、電圧レベルが高いため、信号マージンを向上させ、従って、SNR を向上させます。

3.5 メモリ破損

フラッシュや RAM などのメモリは、システム クロックやフラッシュ書き込み電圧に干渉した場合、過渡ノイズによって破損される可能性があります。メモリが破損した場合、システムは、フラッシ チェックサム エラーの原因で起動できないか、またはフラッシュや RAM 内の破損したデータまたはコードの原因で正常に機能しないことがあります。フラッシュの破損は永久的であるか、または通常状態を回復させるためにパワー サイクルまたは再プログラミングを必要とする場合があります。一方、RAM の破損は通常動作を再開するために、パワー サイクルまたは他のリセットを必要とする場合があります。

サブシステム障害は永続的または一時的です。永久的な損傷の場合、検出するのが簡単です。ラッチアップやメモリ破損などの一時的な損傷の場合、デバイスの電源を切断して再投入することで通常の動作状態を回復させることができます。EFT テストを実施する際、サブシステムは部分的に損害を受けるかもしれませんが、まだ完全に機能することができます。電源や高温、異常な動作条件からストレスを受けると、破損した部品は永久的に機能しなくなる可能性があります。この潜在的な影響は、識別し解決するのは困難です。

4 性能基準

コントローラーの仕様で IEC 61000-4-4 により定義された性能に関しては、コントローラーの機能損失または性能低下は次の基準に分類することができます。

表 2. 性能基準

基準	説明
性能基準 A	テスト後の通常の性能がメーカーが指定した範囲内である
性能基準 B	テスト中、一時的な機能損失または性能低下。テスト後、コントローラーはユーザー介入なしで通常の性能に回復
性能基準 C	テスト中、一時的な機能損失または性能低下。テスト後、コントローラーはユーザー介入で通常の性能に回復
性能基準 D	テスト中に、機能損失または性能低下。コントローラーは損害のため回復しない

特定のシステムに対して障害として評価された条件は、他のシステムに対しては障害ではないこともあるので、ご注意ください。例えば、産業プロセスのコントローラーは EFT テスト中の断続的なデバイス リセットを許容できませんが、ユーザー インターフェースの方はできます。そのため、エンド アプリケーションの要件および過渡ノイズを許容する能力を十分に考慮してください。

5 障害のあるシステムのトラブルシューティングおよび EFT 耐性の向上方法

過渡ノイズに起因した問題の効果的なトラブルシューティングは重要ですが、多くの場合、システムのコンプライアンス テストおよび立ち上げの一部として見落とされます。コンプライアンス テストの一部として、設計者は観察した各故障の考えられる原因を確定する必要があります。設計者とコンプライアンス テストの実施者は、原因を区分けするために協力する必要があります。

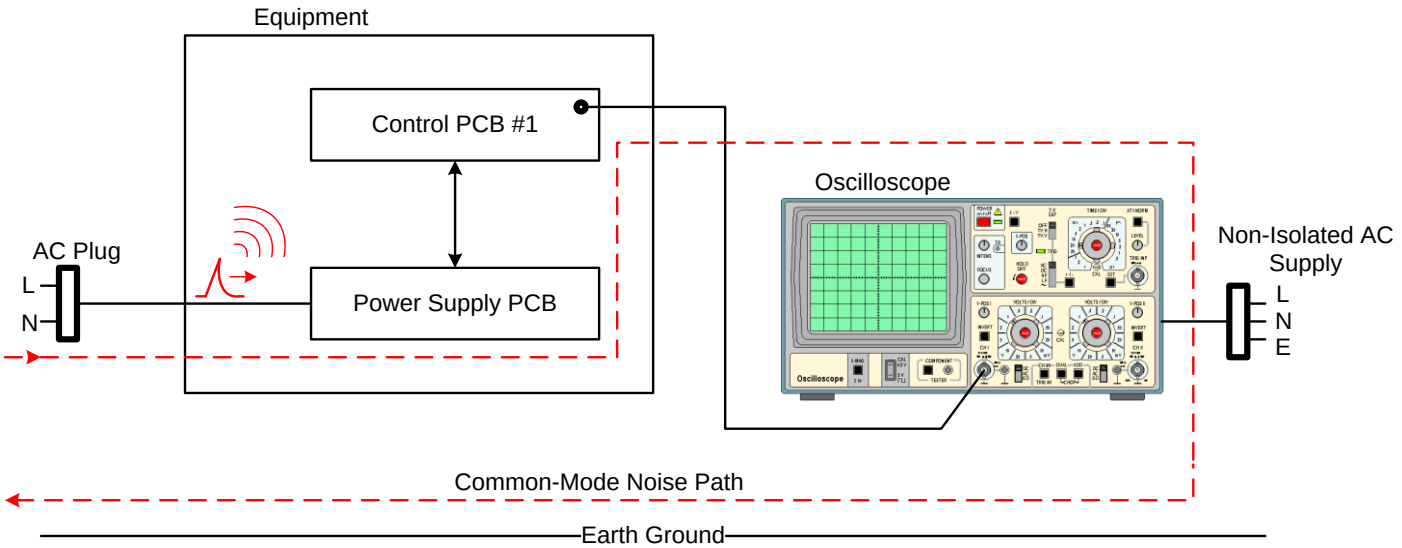
障害の種類を十分に認識できれば、マイクロコントローラーを使用するシステムに発生したほとんどの障害を迅速に識別することができます。前の節で説明した故障モードがシステム内で EFT テスト中に発生するか EFT テスト後に発生するか、およびそれらの原因を識別する必要があります。

該当障害の考えられる原因を理解したら、原因をデバッグするために段階を追ったアプローチを取ってください。トラブルシューティングのいくつかのヒントがあります。

1. リセット関連問題の場合、テスト中にコントローラーの電源ピンを調査し、明白な理由を探します。リセットを視覚的に示すことができるファームウェアでデバッグ ルーチンを設定します。
2. ラッチアップの場合、コントローラーによって引き出された電流はその通常の定格を超えているかどうかを観察します。超えていなければ、デバッグ ルーチンを設定することでファームウェアのフリーズを探します。
3. アナログまたはクロック関連問題の場合、ノイズまたはグリッチの確認のために関連 I/O ラインを調査します。デバイスへの通信が妨害された場合、クロック ストレッチに注意を払います。
4. フラッシュ／RAM の破損の場合、ポート ピン トグルなどのファームウェアのデバッグ ルーチンを設定し、ピンの状態を監視してファームウェア フローが意図した通りであるかどうかを確認します。 影響を受けやすいメモリ内容をテスト中およびテスト後に読み出します。

独立したアース グランドを持つオシロスコープを使用することを推奨します。独立しないアース グランドを持つオシロスコープを使用すれば、過渡ノイズがオシロスコープのアース グランドに伝導されて、誤った測定値を与えます。一般的なオシロスコープでは、信号のグランドは内部でアース グランドに接続されています。 図 7 をご参照ください。

図 7. オシロスコープに伝導された過渡ノイズ



過渡ノイズに起因した障害のある機器に対して、以下の方法で問題を解決してみてください。

- システム コネクタとケーブル ルーティングの最適化などのシステム レベルでの修正。
- ハードウェア レベルでのレイアウトの変更およびフィルターの使用。
- ファームウェア レベルでのノイズ低減技術。

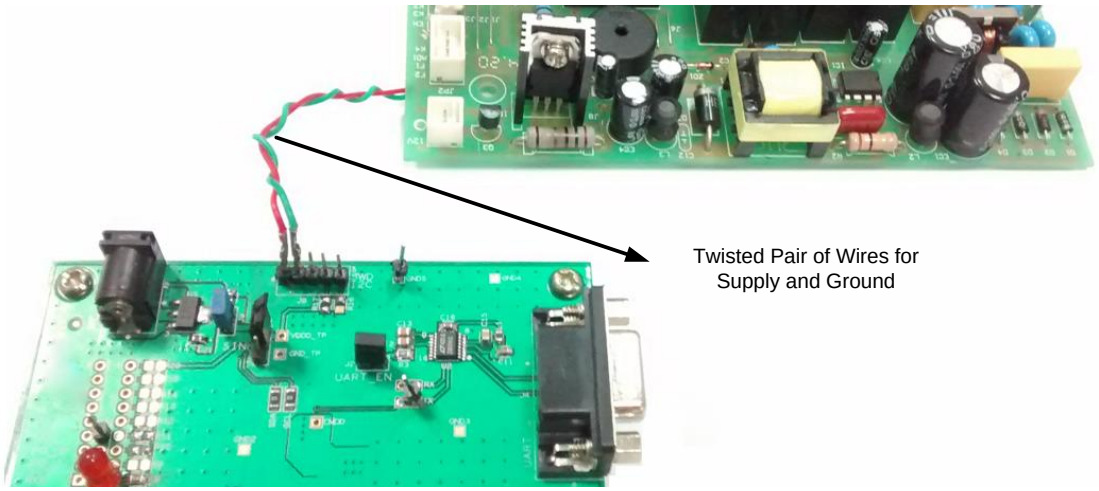
5.1 システム

システム レベルでは、考慮すべきの基本的な注意事項がいくつかあります。これらを考慮しないと、システムが過渡ノイズの影響を受けやすくなることがあります。EFT 耐性を向上させるいくつかの一般的な注意事項は以下の通りです。

5.1.1 システム コネクタ

エントリ ポイントでの過度抑制の電源および信号接続を最適化するには、できるだけワイヤを短くするか、または図 8 に示すように、電源ワイヤとグランド ワイヤおよび／または信号ワイヤとグランド ワイヤを巻きつけます。これにより、対象基板上の敏感な信号と外部ノイズ源との結合を最小限に抑えられます。

図 8. 対象基盤と電源基板間のシステム電源接続



5.1.2 システム ケーブル ルーティング

フィルタリングされたラインとフィルタリングされていないラインを単一のケーブル束内で、または互いの近くに配線しないでください。継電器や誘導性負荷などのノイズ発生器からのラインを、低レベルのアナログ信号、I²C や SCL、SDA、UART の通信ラインなどの敏感なラインから離します。

5.1.3 ハンダ付けの実行

配線またはコンポーネントの良好なはんだ付けを採用します。、不適切または乾燥したはんだ付けはパス上のインダクタンスを増加させます。良い設計は、電流パス上でインダクタンスを最小限にする必要があります (従って、インピーダンスを最小限にします。) はんだ付けの実行の詳細については、電子機器アセンブリ規格 IPC-A-610F をご参照ください。

5.1.4 システム テスト

EFT テストのためにシステムを公称の動作状態に設定します。対象基板をエンド システムでテストします。これは、潜在的なフィールド故障を回避します。EFT 耐性のためにシステム プロトタイプをエンド システムで調整します。テスト仕様を順守することで、機器の耐性性能を正しく評価することができます。

5.1.5 電源および信号ラインの接続

基板上の複数の点で電源、グランドと信号／制御ラインを接続する場合、あらゆる点での接続は同じ性能を持つ必要がありません。例えば、図 9 に示すように、電源とグランド (GND) のエントリ ポイントは、デカップリング コンデンサおよびバルク コンデンサがバイパスされるようになっているものであり、コントローラーはすべてのノイズを検出できます。形成された電流ループは L1 です。電源またはグランドに発生したノイズは、コントローラーを流れます。これはコントローラー リセットを引き起こす可能性があります。

この状況を回避するために、図 10 に示すように基板へのグランド エントリ ポイントを変更します。この場合、デカップリング コンデンサおよびバルク コンデンサは発効します。L2 および L3 のループが形成されます。L2 を流れる電流はフィルタリングされた電流であり、コントローラーを流れます。高周波ノイズは L3 でフィルタリングされます。

図 9. 電源とグランドがフィルター コンデンサをバイパスし、
コントローラーを直接電源供給する不適切な電源エントリ ポイント

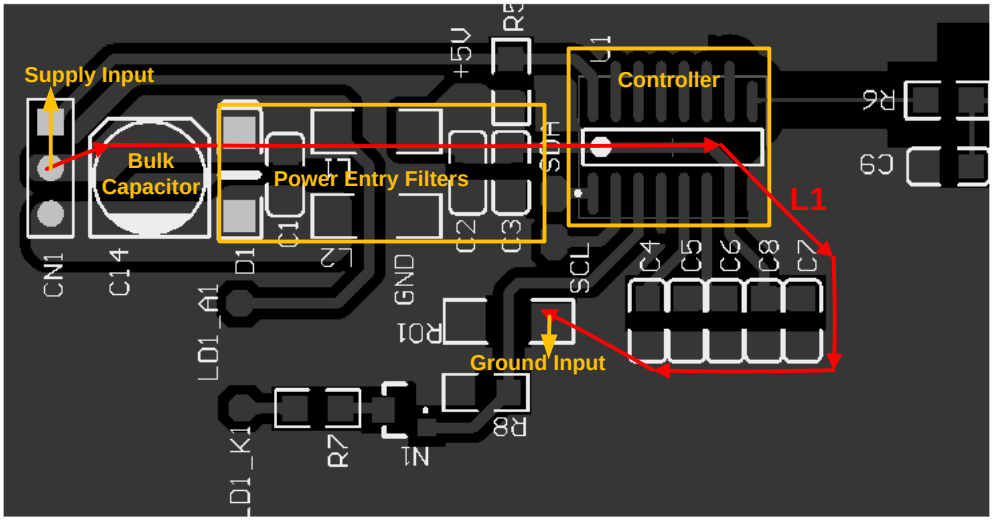
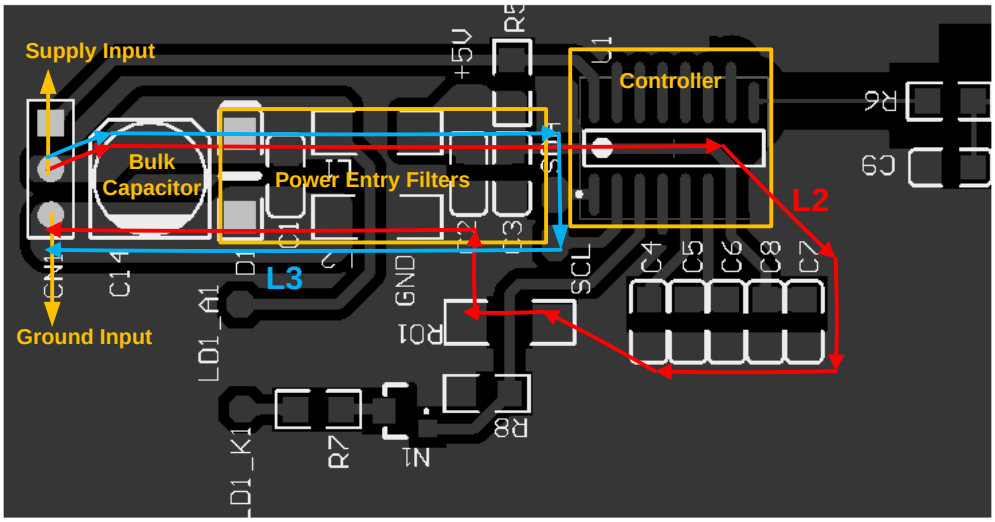


図 10. デカップリング コンデンサが電源ラインをフィルタリングし、
コントローラーを直接電源供給するように修正された電源エントリ ポイント



5.2 プリント基板レイアウト

プリント基板レイアウトを確認し、以下のようなプリント基板の重要なセクションに注意を払います。

5.2.1 デカップリング／バイパス ネットワーク

プリント基板の不良なレイアウトの原因で、基板上のデカップリング／バイパス コンデンサをの効果が無効になる場合があります。デカップリング ネットワークについては、以下の事項にご注意ください。

電源ポイント エントリに接続したビアをバイパス コンデンサの前に配置することで異なる機能ブロックに電源を供給しないでください。そうしたら、電源はバイパス コンデンサに到達する前に回路の他の部分に供給され、バイパス コンデンサの効果をなくさせます。不適切な配線では、デカップリング コンデンサがバイパスされ、従ってコントローラーは、結合されたノイズを持つ電源とグランド ラインから直接電源供給される場合があります。

電源とグランドは、コントローラーがデカップリング コンデンサから電源供給されるように配線してください。図 11 および図 12 は、不適切な配線および修正された配線の例です。図 11 では、L1 は電源エントリ ポイントとコントローラーの V_{DD} ピンの間で形式されます。電源パス L1 がバルク コンデンサおよびデカップリング コンデンサをバイパスすることにご注意ください。図 12 の配線では、電源はコントローラーに到達する前に (L2 パスを介して) バルク コンデンサおよびデカップリング コンデンサを通ります。

図 11. 不適切なレイアウト: デカップリング コンデンサがバイパスされる

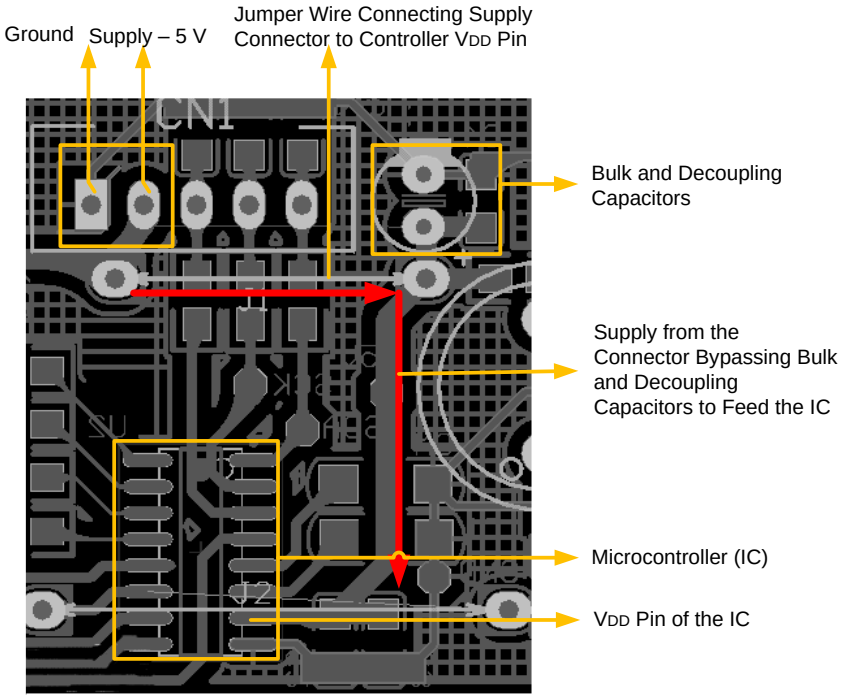
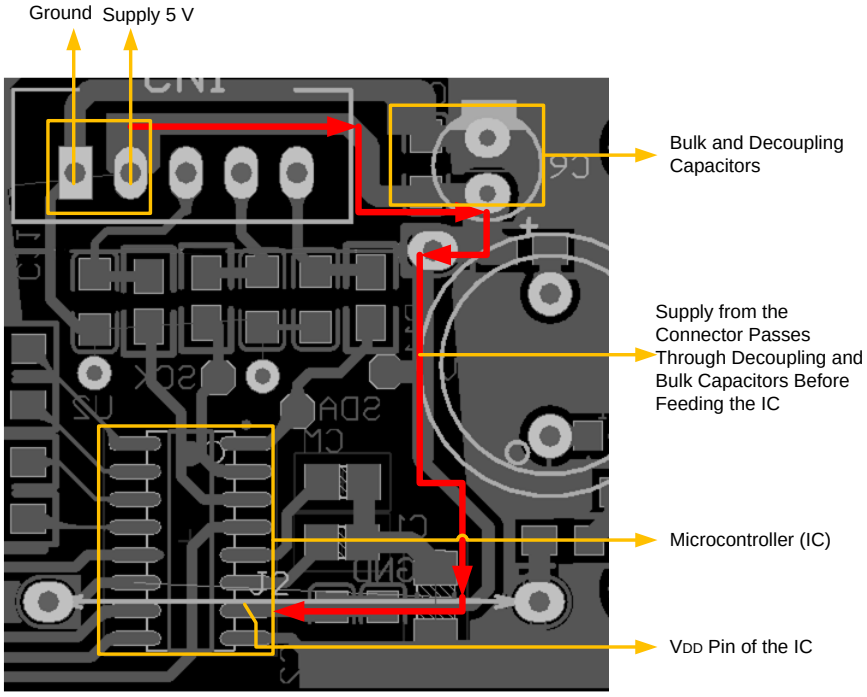


図 12. 修正されたレイアウト: デカップリング コンデンサが発効



5.2.2 信号の相互作用

敏感な信号またはコンポーネントを通るフィルタリングされていない電源などのノイズのある信号を検査してください。

図 13. 信号クロスオーバーのレイアウト例

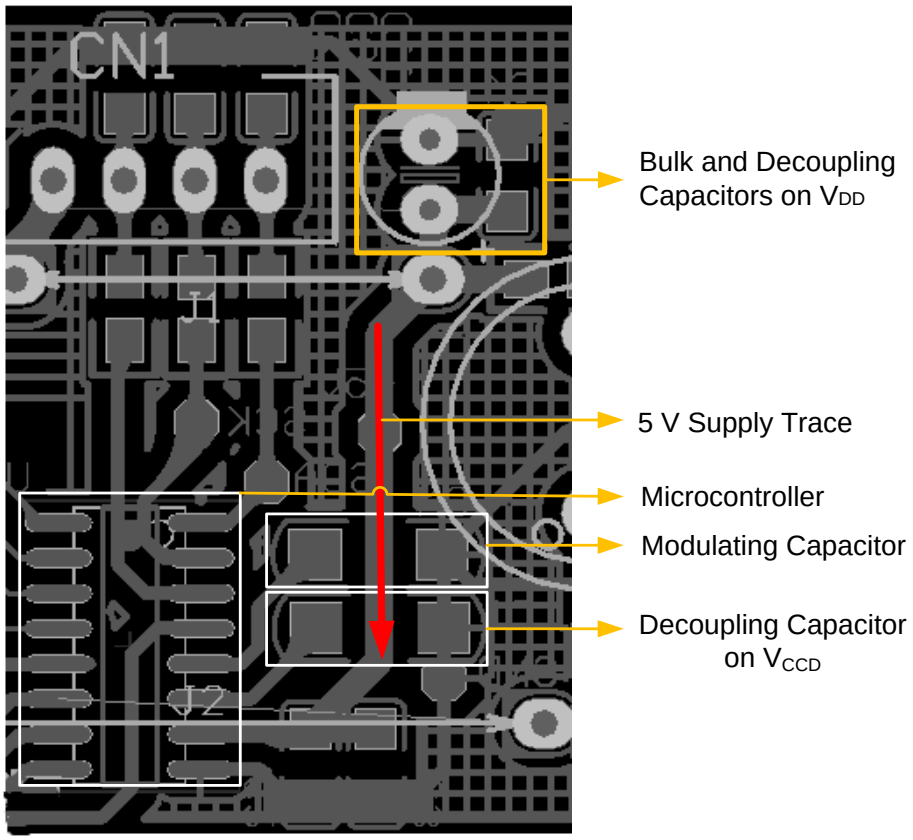


図 13 では、フィルターをかけていない 5V の電源ラインは、CapSense 機能に必要な内部安定化かつ低ノイズの電源および変調コンデンサのためにデカップリング コンデンサを通過します。5V 電源のノイズは、安定化した電源と変調された信号の両方に結合することがあります。

このようなミスをレイアウトに見つけた場合、プリント基板を修正してみてください。既存の基板ですべてのレイアウト問題を修正できるわけではないことにご注意ください。レイアウトの大幅な改善の場合、または修正されたレイアウトがテストされ EFT テストに合格した場合、基板の再製造は必要となります。プリント基板の回路図およびレイアウトの推奨事項の詳細については、「設計上の注意事項および障害軽減技術」節をご参照ください。

5.3 回路図

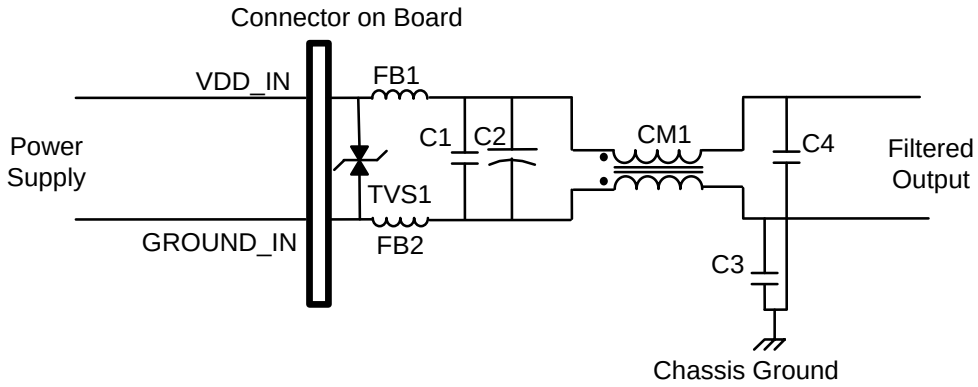
フィルターを使って障害のある基板の性能を改善します。基板の回路の異なる部分用のフィルターは以下の通りです。

5.3.1 電源エントリ ポイント フィルター

- TVS ダイオード (TVS1)、例 1: Littlefuse 社製 SMAJ6.0CA
- フェライト ビーズ (FB1、FB2)、例 1: Murata 社製 BLM18PG331SN1
- バイパス コンデンサ (C1)、標準範囲 1: 0.1µF～1µF
- バルク コンデンサ (C2)、標準範囲 1: 10µF～100µF
- コモン モード チョーク、標準範囲 1: 2～10mH；例 1: Murata 社製 50475C (5000 シリーズ)

- バイパス コンデンサ (C3、C4)、標準範囲 1: 0.1nF～1µF

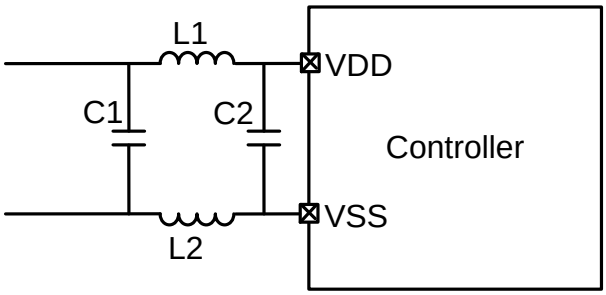
図 14. 電源エントリ ポイント フィルター回路図



5.3.2 コントローラーの電源ピン上のフィルター

- フィルター コンデンサ (C1)、標準値 1: 1µF
- インダクタ (L1、L2)、標準値 1: 4.7µH；例 1: Renco (米国) 社製 RL-1505 シリーズ
- デカップリング コンデンサ (C2)、標準範囲 1: 0.01µF～0.1µF

図 15. コントローラーの電源ピンの近くのフィルター

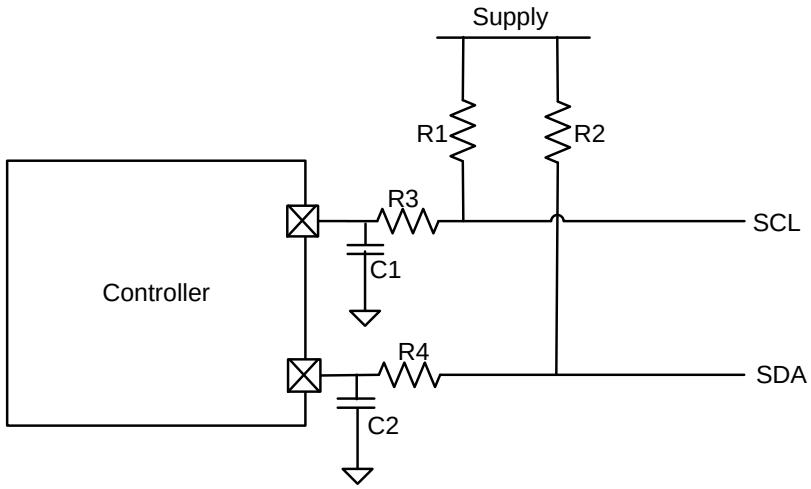


5.3.3 通信ライン上のフィルター

5.3.3.1 I²C ライン

- プルアップ抵抗 (R1、R2)、標準範囲 1: 4.7kΩ～10kΩ
- 直列抵抗 (R3、R4)、標準範囲 1: 100Ω～330Ω
- フィルター コンデンサ (C1、C2)、標準範囲 1: 10nF

図 16. I²C ライン上のフィルター

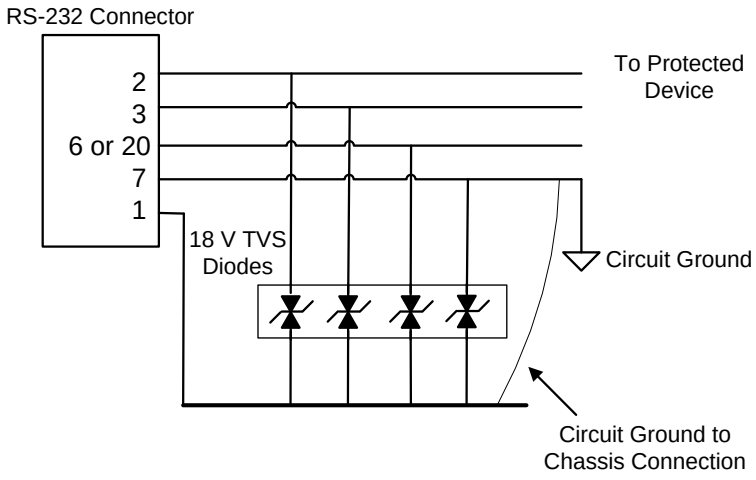


同様なフィルターが SPI ラインにも使用可能であることにご注意ください。

5.3.3.2 UART ライン

- 直流的に絶縁されたレベル トランスレータ。あるいは、RS232 レベル トランスレータを使用し、フィルター処理された電源とグランド ラインでレベル トランスレータを電源供給します。
- TVS ダイオード

図 17. UART ライン上のダイオード フィルター

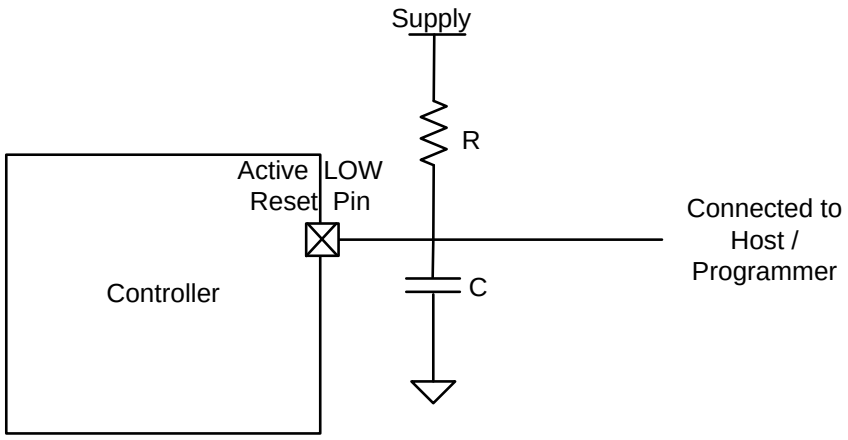


5.3.3.3 リセットおよび割込みピン上のフィルター

- プルアップ抵抗 (R)、標準範囲 1: 10kΩ
- フィルター コンデンサ (C)、標準範囲[1]: 0.1µF

[1] 標準値および例は参考のためです。アプリケーションに応じてフィルターの種類および値を選択してください。フィルターおよびそれらの値を選択する詳細については、「設計上の注意事項および障害軽減技術」節をご参照ください。

図 18. リセット ピン上のフィルター



アクティブ HIGH リセット ピンの場合、グランドに接続されたプルダウン抵抗およびフィルター コンデンサを使用します。同様に、すべての代替リセット ピンに注意を払ってください。割込みラインに同様なフィルターを使用してください。

5.3.3.4 I/O ライン上のフィルター

- 信号を基板から取り除くためにコネクタの近くに配置された RC フィルター
- 入力信号をフィルター処理するためにピンの近くに配置された RC フィルター

カットオフ周波数が信号周波数の 10 倍になるように、フィルターの値を I/O ライン上の信号の周波数に応じて選択します。

可能であれば、ハードウェア (基板上) で標準値が 1 または 10kΩ の抵抗を介して未使用の I/O を電源またはグランドに接続させます。

システムおよびハードウェア レベルの修正以外、ファームウェアによる技術を使って、過度ノイズに起因した望ましくない影響を検出し、回避方法を実装することができます。「ファームウェア技術」節では、いくつかの有用な技術が記述されています。

また電源は、過度現象によって生じたコモン モードおよび差動モードのノイズを軽減するための良いフィルターを持たないことがあります。しかし、基板を再設計しない限り、電源を変更するのは困難で危険です。そのため、他の技術のいずれも発効しない場合、障害のあるシステムでの EFT 問題を修正する最後のステップとしてこれを考慮すべきです。詳細については、「電源の設計上の注意事項」節をご参照ください。

6 設計上の注意事項および障害軽減技術

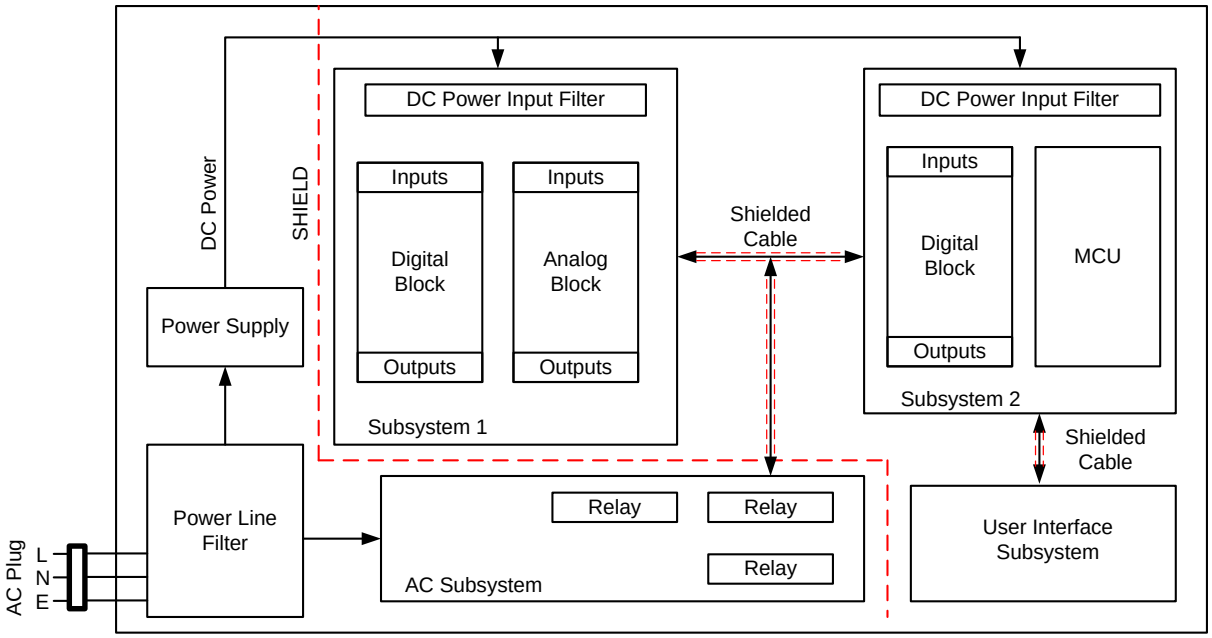
過度ノイズに起因した障害を軽減する技術は主に以下を含んでいます。

1. 最小インピーダンスのリターン経路を介して過度エネルギーを発生源に戻って駆動
2. 敏感な回路に伝播する前に過渡エネルギーを放散
3. 過渡ノイズへの耐性を持つようファームウェア／ソフトウェアを設計

障害軽減技術を適用できる側面は以下の通りです。

1. システム レベルの注意事項
2. 電源の設計上の注意事項
3. 対象とする基板の設計上の注意事項
4. ファームウェア技術

図 19. 一般的な電子システムにおけるサブシステム



機器の性能は、コントローラーの設計、パッケージ、ハードウェア設計、システム設計、およびファームウェアに依存します。過度ノイズに起因した問題を軽減するには、まず良好な電源が必要となります。対象とする基板に関しては、過渡耐性のために最適化されたレイアウトを目指します。耐性をさらに向上させるためにフィルターを使用することができます。

システム設計は非常に重要であるため、それに設計の他の側面 (ハードウェアまたはファームウェアなど) と同じ注意を払ってください。良好な設計のプリント基板でも、システム問題によって障害は発生する場合があります。以下の節では、システムの注意事項および電源設計の注意事項がまとめられています。対象とする基板の回路図およびレイアウトのガイドラインは詳細に説明されています。エラー検出と回復用のファームウェア技術はまとめられています。

6.1 システム レベルの注意事項

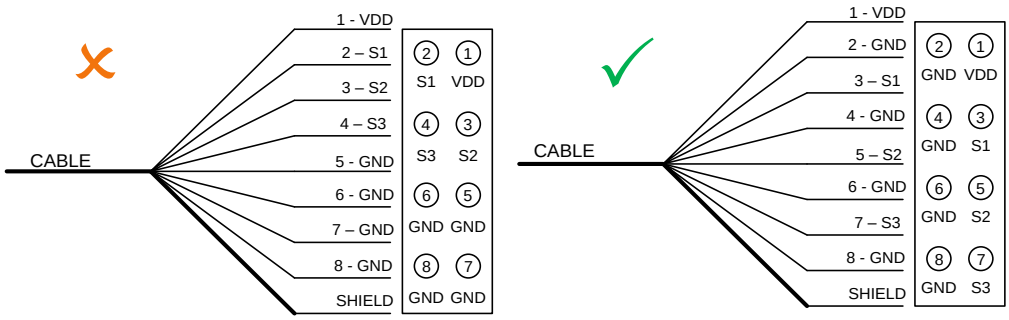
6.1.1 電源に対するサブシステムおよびサブシステム内のコンポーネントの配置

サブシステム (およびサブシステム内のコンポーネント) の適切な配置は、過度ノイズへの耐性を向上させるために重要です。システム設計で機能を論理的にグループ化することでサブシステムを組み込みます。これらのサブシステムを適切に配置すれば、配線は簡単になります。配置の際に、すべてのサブシステムを電源から物理的に分離する (または電気的に保護する) ことが重要です。個別のプリント基板を使って、サブシステムを電源から物理的に分離することができます。サブシステムを電源から物理的に分離することができない場合、図 19 に示すように、シールド (金属のエンクロージャ) を使って、電源領域からの放射過渡ノイズからサブシステムを保護します。伝導過渡ノイズは適切なフィルター トポロジーを使用して減衰させることができます。

6.1.2 電源／信号入力およびケーブルの配線

ケーブルで接続されたサブシステムおよびプリント基板で、電源ラインと信号ラインを個別に配線します。図 20 に示すように、フィルター処理されたグランド ラインに隣接して配置することにより、対象とする基板に入る重要な信号をノイズから遮断します。

図 20. ケーブルにおける電源／信号の配線



フェライト ビーズ フィルターを使って、敏感な回路に配線される電源ケーブルを保護します。詳細については、「対象とする基板の設計上の注意事項」節をご参照ください。

6.1.3 基板搭載のコネクタの位置

基板搭載のコネクタを基板の端に配置するのは、基板に十分な機械的安定性をもたらすだけでなく、設計者に回路内の過渡ノイズを効果的に取り除くための簡単な方法を提供します。

6.2 電源の設計上の注意事項

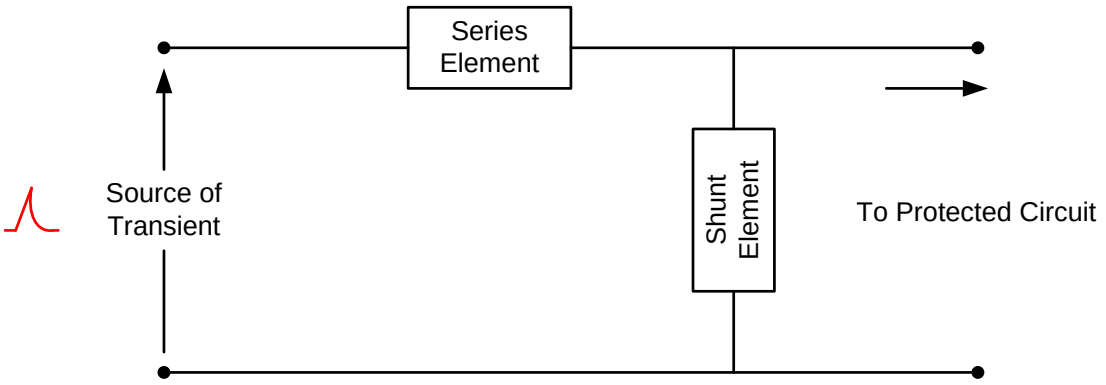
通常、過渡抑制は AC または DC 電源エントリ ポイントで必要とされます。ほとんどの電源ライン フィルターは、低エネルギーの高速過渡現象に対応できます。更なる抑制は、フェライト コアからなるコモン モード チョークを使って、電源ライン上で実現することができます。変圧器を使用した線形電源は、変圧器が提供したガルバニック分離および直列インピーダンスによりノイズ耐性がより高いです。スイッチング電源を使用すれば、パワー コントローラーはノイズに影響を受けやすくなります。本節では、過渡耐性のための電源回路図およびレイアウト設計の注意事項を提供します。

過渡保護ネットワークは、電源の入力過渡現象を抑制するために使用されるべきです。これらのネットワークは以下の機能をする必要があります。

- 電圧の制限
- 電流の制限／転換
- 過度エネルギーの放散
- 高速応答
- 過度の克服

過渡抑制ネットワークの一般的なコンフィギュレーションは図 21 に示されます。ネットワークは、直列要素とシャント要素で構成されています。直列要素は、シャント要素を介した過渡電流を制限します。通常、これはインダクタまたはフェライト ビーズです。直列要素がネットワーク内に存在しなければならないことにご注意ください。そうでなければ、非常に高い過渡電流がシャント要素を通って流れる可能性があります。一般的には、シャント要素は非線形電圧クランプ デバイスです。通常動作時、リーク電流を低減するために非常に高いインピーダンスを有しますが、過度現象が発生する時には、非常に高いインピーダンス有します。

図 21. 過度現象保護ネットワーク



以下は直列要素の例です。

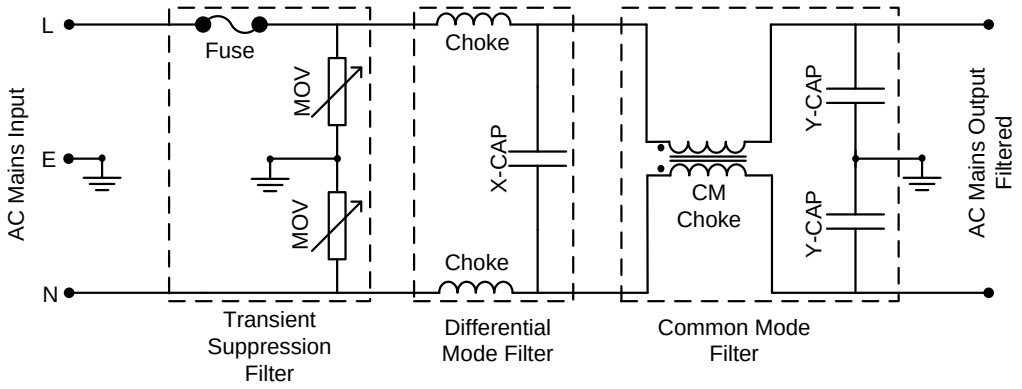
- **コモン モード チョーク**はコモン モード ノイズを抑制するために使用されます。このチョークのタイプは、バイファイラ構成で同じコア上にインダクタを巻回して形成されています。このチョークは、理論的にコモン モードのノイズに対して無限のインピーダンスを提供し、コモン モードのノイズに対する最善の防御策です。
- **差動モード フィルター**は一般的に、差動モード ノイズを遮断するために各入力ラインに配置されるインダクタです。ノイズ周波数は信号周波数より相対的に高く、差動モード フィルターはローパス フィルターとして機能します。

以下はシャント要素の例です。

- **金属酸化バリスタ (Metal Oxide Varistor - MOV)** は電圧クランプ デバイスです。MOV は、過渡イベントのすべてのエネルギーを放散し、徐々に低下させます。しかしこのデバイスは、定格仕様として数百万回の過渡イベントに耐えられ、AC 電源ライン サージから機器を保護する最良のデバイスです。
- **X コンデンサ:** AC-DC コンバータに一般的に使用される整流ダイオードに破損を避けるために、ライン ライン (またはライン ニュートラル) の X コンデンサを AC 側で配置することを推奨します。金属化フィルムでできている X コンデンサは、過度電流のイベントの後に迅速に回復し、完全に機能できるため、推奨されます。X コンデンサは EMI 抑制コンデンサとしても機能します。
- **Y コンデンサ:** Y コンデンサはライ線／中性線とグランドの間に配置されます。これらのコンデンサは機器内で生成されるか、または AC 主電源により伝播するコモン モード ノイズ (EFT など) を分離するために、電源ライン フィルターで使用されます。ただし、Y コンデンサは使用中の機器の安全性に重要なので、非常に高い信頼性を持つ必要があります。AC 電圧が印加される時に電流を削減し、DC オフセット時に蓄積電荷を低下するために、Y コンデンサの静電容量の値は常に低い (10nF 未満) です。
- **TVS ダイオード:** AC 電源で動作する機器では、保護デバイスによるダウンストリーム電圧レギュレータの入力の保護が極めて重要です。TVS ダイオードは、MOV と違って、通電容量やエネルギー散逸容量がないため、DC 電源ラインで一般的に使われています。ただし、その応答時間が非常に短く、DC 電源ライン上の過渡現象に対する耐性に良いです。TVS ダイオードの使用と選択の詳細については、「対象とする基板の設計上の注意事項」をご参照ください。

図 22 に、上記の直列素子とシャント素子をすべて使用する AC 電源の機器の過渡抑制ネットワークの例を示しています。

図 22. 過渡抑制ネットワークの例



電源とグランド面を備える多層のプリント基板は単層や 2 層の基板より良い過度耐性を提供します。ただし、特に AC-DC コンバーターを使用する基板に、常に実用的ではない点にご注意ください。一般的に、基板の AC 側は断熱性を維持するために 2 層に制限されます。

AC-DC コンバーターを持つ 2 つ以上の層の基板を設計する際に、適切な沿面距離を維持してください。回路レベルでソースとシンク特性を考慮しながら、コンポーネントを配置し配線してください。銅ポーが熱交換器として使用されている場合を除いて、AC 側でグランド面を配置しないでください。予想される過度現象の程度によって、プリント基板上の火花間隙を使用できます。直列インダクタンスを最小限に抑える方法で保護デバイスをグランド (またはアース グランド) に接続します。

6.3 対象とする基板の設計上の注意事項

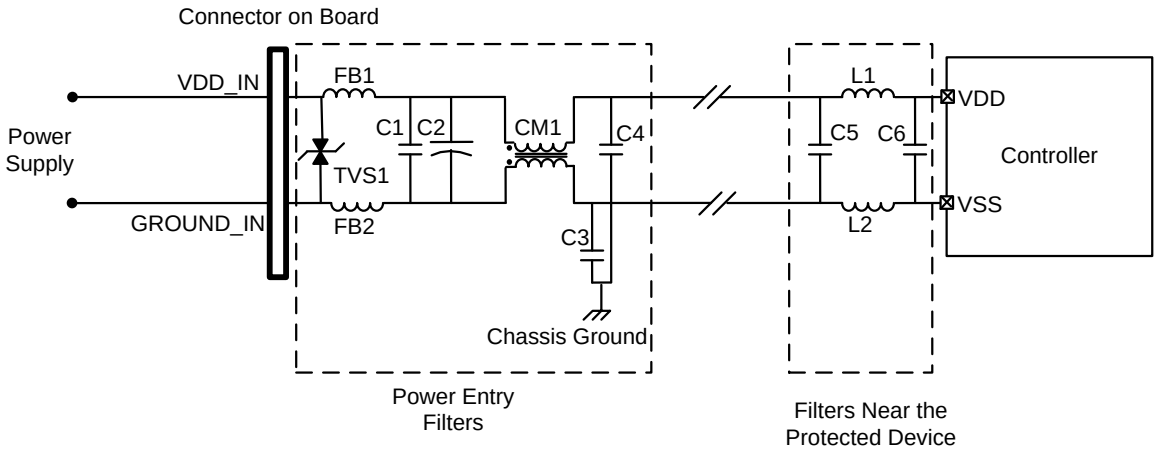
6.3.1 回路図

対象とする基板上のフィルタリング回路の目的は、望ましくはエントリ ポイントで、結合された過渡ノイズから基板上のコンポーネントを保護することです。前節で述べたように、EFT によるノイズはコモンモードと差動モードの両方に発生し得ます。本節では、ターゲット基板上のノイズの両方のタイプを除去するいくつかの便利なフィルター コンポーネントおよびフィルター スキームが記述されます。

電源ライン フィルタ

基板への電源ラインは過渡ノイズの共通のエントリ ポイントです。電源ライン上の過渡ノイズの信頼性のあるフィルタリングを確保してください。図 23 は電源ライン上のフィルタ コンポネントの相対的配置の概略図です。

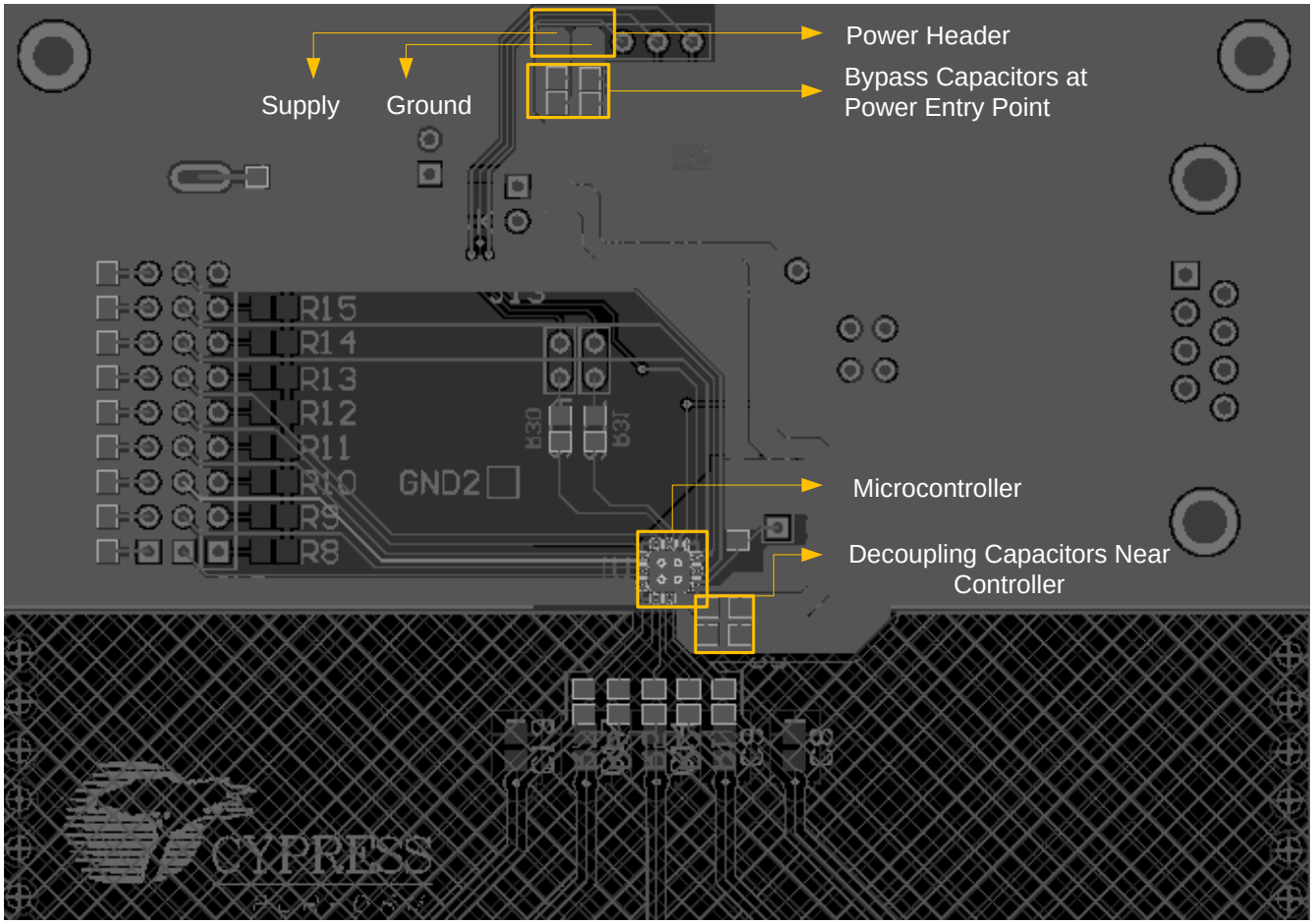
図 23. 電源ライン上のフィルタ コンポネントの相対的配置の概略図



- FB1、FB2- SMT フェライト ビーズ
- TVS1- TVS ダイオード
- C1- バイパス コンデンサ
- C2- バルク コンデンサ
- C3、C4 - シャーシ グランドへのバイパス コンデンサ
- C5、C6 – フィルタ／デカップリング コンデンサ
- CM1- コモンモード チョーク
- L1、L2- インダクタ

保護対象のコントローラーが基板上のコネクタに電気的に接近するプリント基板では、図 23 に示す順序でフィルタ コンポネントを配置できます。保護対象のコントローラーがコネクタから離れている場合、電源のエントリ ポイントの近くに TVS ダイオード、フェライト ビーズ、バイパス コンデンサ、バルク コンデンサまたはコモンモード チョークを配置します。そうしないと、伝導や放射によりノイズが基板の他の部品に結合される可能性があります。分散ノイズを除去することは困難になります。保護対象のデバイスの近くにインダクタとフィルタ／デカップリング コンデンサを配置します。

図 24. 電源のエントリ ポイントにバイパス コンデンサを配置し、
コントローラーの近くにデカップリング コンデンサを配置した基板の設計



バイパス、デカップリングおよびバルク コンデンサ

経験則として、回路の各機能ブロックがそれ自身のデカップリングおよびバイパス コンポーネントを持ちます。

バイパス コンデンサは、コンポネント、または 1 つの領域から別の領域まで接続するケーブルから望ましくないコモンモードノイズを除去します。これは、フィルタリングの他の機能を提供すること加えて、望ましくないエネルギーが影響を受けやすい領域に入ることを除去するために、AC シャントを作成するために不可欠です。デカップリング コンデンサは、システムのステージ間で伝播する誤った信号とノイズを避けるために、回路の異なる部分間の結合を破壊します。また、デカップリング コンデンサはデバイスの瞬間的に高い周波数の電流の局部的な源を提供し、ピーク電流サージを低減するのに有用です。

バルク コンデンサは、すべての信号ピンが最大容量負荷の下で同時に切り替えると、コンポーネントへの一定の DC 電圧と電流レベルを維持するのに役立ちます。また、コンポーネントによって生成された di/dt サージに起因する電圧ドロップアウトを防ぎます。

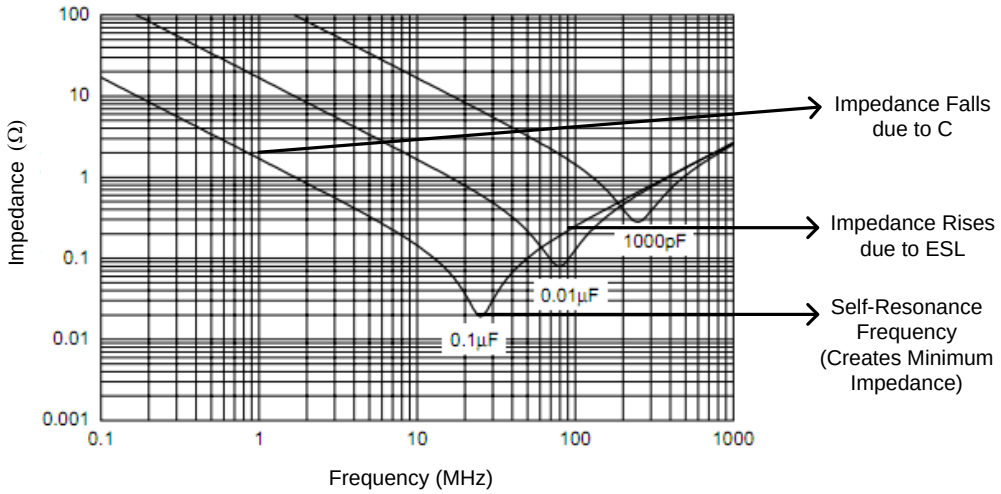
バイパス コンデンサまたはデカップリング コンデンサを適切に選択するために、保護対象の回路の周波数の帯域幅を確定します。帯域幅は主に動作周波数に依存します。

6.3.1.1.1 *等価直列インダクタンス (ESL) および等価直列抵抗 (ESR)*

コンデンサの有効な帯域幅は、ESL の存在に起因する自己共振周波数に依存します。実際のコンデンサは理想的ではないため、いくつかのインダクタンスは常に存在し、コンデンサのインピーダンスに影響を与えます。インダクタンスは、次の 3 つの源からから生じます: コンデンサ自体、相互接続するプリント基板の配線とビア、および IC 内のリード フレーム。

この静電容量とインダクタンスの組み合わせにより、デカップリング ネットワークはいくつかの周波数で共振になります。図 25 に示すように、共振周波数未満の時、デカップリング ネットワークは容量性で効果的なバイパスになります。共振周波数を超える時、回路は誘導性になり、そのインピーダンスが周波数と共に増加し、もはや効果的なバイパスではありません。

図 25. Murata 社の GRM15 直列コンデンサのインピーダンス - 周波数の曲線



デカップリング コンデンサは高周波数の電流を供給する必要があります。そのため、低インダクタンスで高い周波数のコンデンサでなければなりません。セラミック コンデンサは高周波数の動作に最適で、バイパス／デカップリングに最もよく使われています。多層コンデンサの構造は面実装技術と組み合わせると、ほぼ理想的な高周波数コンデンサを形成できます。そのため、多層セラミック コンデンサが好ましいです。小型パッケージは一般的に低いインダクタンスがあります。

留意すべき他の重要なパラメーターは ESR です。これは、コンデンサが DC 電流に提供するインピーダンスを表しています。最も低い ESR を持つコンデンサを選択してください。

6.3.1.1.2 *電圧と温度の係数*

コンデンサの電圧と温度の仕様は通常の動作条件でデバイスの静電容量に大きな影響を与えることがあるため、これらを十分に重視してください。定格容量が 1µF、最大電圧が 6.3V のコンデンサは、電圧が 5V の時、容量が 0.1µF よりよりも小さくなる場合があります。 パッケージによっては電圧と温度係数が大きく異なることがあります。0805 パッケージは 0603 パッケージより電圧係数が優れる場合があります。NPO、X5R、X7R (またはより優れる温度係数を持つもの) の誘電体で作ったコンデンサは、数百 pF～数 µF であり、理想的なバイパス／デカップリング コンデンサとして使用できます。

コンデンサの値 (特に動作電圧および DC バイアス仕様) についてデータシートを調べるのは良い練習になります。いくつかのコンデンサを使用すれば、DC バイアスが定格動作電圧のかなりの割合になる時、実際の容量は大幅に減少します。

良い政策は最小のパッケージで最高の容量を選択することです。いくつかの広帯域幅システムは、説明した周波数の制限のため、並列で使用される複数のコンデンサを必要とすることがあります。例えば、PSoC デバイスは消費電力を低減するために異なる周波数で動作することがあります。周波数応答範囲を増加するために、より小さいコンデンサをより大きいコンデンサに平行して接続します。基板上の各 IC のそれぞれの電源ピンに少なくとも 1 個のデカップリング コンデンサを使用します。

電源のデカップリングの要件については、特定のコントローラーのデバイス データシートをご参照ください。PSoC 4 デバイスのデカップリング コンデンサの標準値は次の通りです:

- それぞれの V_{DDIO} ピンに対して、0.1µF のセラミック コンデンサを提供します。
- それぞれの V_{DDD} および V_{DDA} ピンに対して、0.1µF のセラミック コンデンサ、および 1µF のセラミック コンデンサのバルクを提供します。
- レギュレータ 出力に対して、できる限り短い配線を使用して、1µF セラミック コンデンサを接続します (それぞれは V_{CCD} と V_{SSD} の間、と V_{CCA} と V_{SSA} の間)
- 内部バンドギャップに対して、V_{REF} と V_{SSA} の間に 1µF のセラミック コンデンサを提供します。これは任意です。

推奨のデカップリング コンデンサの値については、デバイス データシートをご参照ください。

より小さな値のデカップリング コンデンサは高周波数電流の要件により速く応答できるため、それらをコントローラのより近くに配置してください。

LC フィルター

ローパス フィルターは過渡現象を抑制するために最も一般に使用されるフィルター回路です。二次のフィルターである簡単なローパス LC フィルターが図 26 に示されています。

図 26. LC フィルター ネットワーク

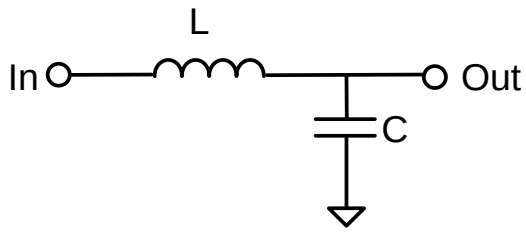


図 27. LC フィルターの周波数応答

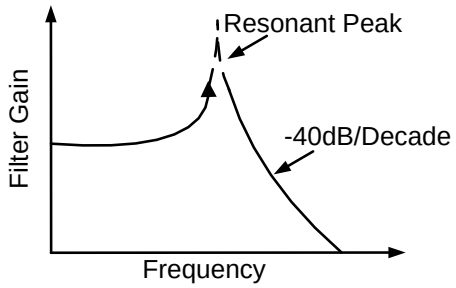


図 27 に、ローパス LC フィルターの周波数応答を示します。減衰率が 40dB/decade である点に注意してください。LC フィルターは次の理由で RC フィルターより好ましいです:

- 減衰率については、LC フィルターが 40dB/decade ですが、RC フィルターが 20dB/decade です。
- 抵抗は DC 電流でさえもインピーダンスを提供します。これは望ましくないもので、散逸損失を引き起こします。インダクタの DC レジスタンスは抵抗よりも一般的に低く、重要な周波数の時にのみ必要なインピーダンスを提供します。

過渡ノイズは電源とグランドの両方で伝播できます。そのため、図 23 (L1、L2 と C6) に示すように、LC フィルターを形成するために、電源ラインとグランド ラインの両方でコンデンサと共にインダクタを設置することが推奨されます。インダクタは高周波数過渡ノイズを阻止し、シャント コンデンサはソースへ高周波ノイズを方向転換します。

EFT テスト波形の周波数応答 (図 3 を参照) から、ユーザーはエネルギーの大部分が低 MHz の範囲に集中し、バースト周波数 (5kHz) にあることが見えます。エネルギーは AC-DC 電源を介してターゲット基板まで伝播するため、過渡電流に誘起されたノイズも数百 kHz の範囲内の成分を持つことがあります。LC フィルターのカットオフ周波数がノイズ周波数に比べて、1 デケイド低くなるように、インダクタンスと静電容量の値を選択します。過渡パルスの周波数成分のために選択されたカットオフ周波数を持つフィルターは、平均の過渡エネルギーを減衰するのに役立ちます。従って、耐性を向上させます。

巻線型インダクタは EMI フィルターとして機能し、周波数が約 50MHz の時に有用です。ワイヤで巻かれるコアは、空気と磁気という 2 種類あります。磁気インダクタのコアは鉄とフェライトという 2 種類の材料から作られます。フェライト コアのインダクタは空気コアまたは鉄コアのインダクタに比べて、損率がより高いため、過渡ノイズ耐性がより高いです。また、フェライト コアは少ないワイヤ巻数で高電流容量を提供します。シールド型インダクタまたはトロイダル インダクタはその磁界と電界を限定空間に制限して、干渉を回避できるため、好ましいです。

インダクタを選択する際のもう 1 つの重要なパラメーターは定格電流です。ユーザーのアプリケーションではインダクタに流れる電流が定格電流を超えると、インダクタが破損する可能性があります。インダクタの重要な電流パラメーターは飽和電流 (Isat)、RMS 電流 (Irms) および DC 電流 (I_{DC}) です。

上記の電流の値がインダクタのメーカーによって評価される定義と条件を考慮することは非常に重要です。例えば、あるメーカーからのインダクタの Isat は、インダクタンスが 5%低減する電流値ですが、別のメーカーからインダクタの場合、この値が 20%です。

コントローラーの電源ピンとグランド ピンの近くに LC フィルターを配置します。レイアウトの制約がある場合、電源とフィルター コンポネント間と、グランドとフィルター コンポネント間の電気的距離および本質的全インピーダンスが同じであることを確認してください。

TVS ダイオード

クランピング デバイスは回路を高電圧過渡現象から保護します。通常の動作条件では、クランピング デバイスは、静電容量と並列に非常に大きな抵抗を持っています。サージ電圧が絶縁破壊電圧を超えると、クランピング デバイスはその抵抗を動的に低減し、一定のクランピング電圧を維持します。ポリマーおよび金属酸化物バリスタ、ツェナー ダイオード、およびトランソーブス (別名: TVS ダイオード) はすべてクランピング デバイスです。過渡抑制用に最もよく使われるのは MOV および TVS ダイオードです。

TVS ダイオードは低クランピング電圧を低抵抗および速い応答時間と組み合わせます。これらのデバイスは、通常、内部の過渡保護回路を内蔵するコントローラーの追加保護を提供します。コントローラーの内部の過渡保護回路についての知識は、外部の TVS ダイオードを選択する際に有益です。内部回路が必要に応じて評価されない場合があるため、外部の TVS ダイオードはより高いレベルの過渡保護を提供します。TVS ダイオードの主な機能は、印加過渡電圧を減少させることによって、保護回路に流れる電流を制限することです。

単方向 TVS ダイオードは単方向信号 (基板に入ってくるシリアル通信クロック ラインなど) を持つ回路ノードを保護するのに適しています。双方向 TVS ダイオードは双方向信号を持つノード (ステップダウン トランスの AC 出力電圧などの電圧レベルがリファレンス ノードを下回るか、または上回るところ) を保護するのに最適です。

ノードでの期待される信号の極性に応じて TVS ダイオードを選択します。動作電圧がシステムの動作電圧より高いダイオードを選択します。選択されたダイオードのクランピング電圧は保護回路の指定した過渡電圧より低く、絶縁破壊電圧がシステムの動作電圧より高くなければなりません。

より低い寄生容量の TVS ダイオードは過渡により速く反応します。また、保護される信号が本質的に高い周波数の場合、信号の完全性 (シグナル インテグリティ) を維持できます。したがって、低寄生容量の TVS ダイオードを選択します。

フェライト ビーズ

フェライト ビーズは電子回路内の高周波ノイズを抑制します。これらのビーズは、ノイズ エネルギーを熱エネルギーに変換して除去することができます。

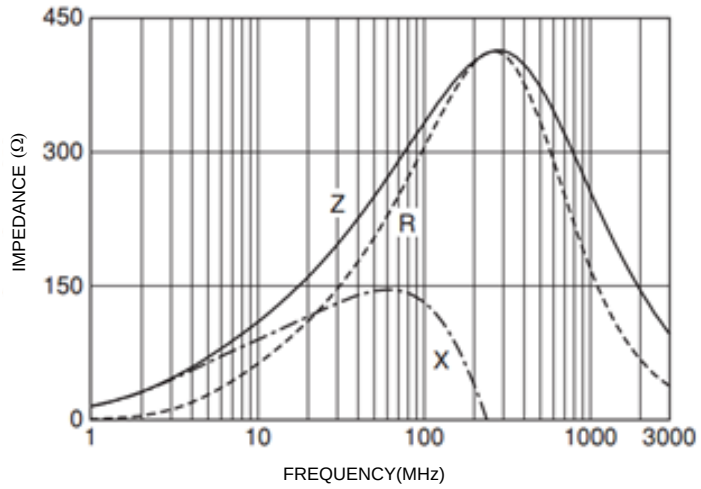
フェライト ビーズは一般に MHz の範囲でのノイズを抑制するのに有用です。DC 電源ライン上の EFT に起因したノイズが MHz 範囲と数 kHz の範囲の両方での周波数から成るため、すべてのノイズ周波数成分範囲での十分なインピーダンス (50Ω～100Ω) を提供できるフェライト ビーズを選択することはしばしば困難です。そのため、より良い EFT 耐性を得るために、「LC フィルター」節で説明したように、LC フィルター用にインダクタを使用することが推奨されます。電源ケーブル上の電源エントリ ポイントでフェライト ビーズを使用します。したがって、MHz 範囲の過渡ノイズと結合された RF ノイズを除去できます。他の周波数成分は基板上の LC フィルター、バイパス コンデンサなどの特定フィルターでフィルター処理されます。

フェライト ビーズの一般に使われているパラメーターは「100MHz でのインピーダンス」 (100MHz での単位: Ω) です。それとは別に、その全体のインピーダンス- 周波数の特性 (特に関心の周波数範囲での特性) も理解する必要があります。

図 28 に、フェライト ビーズ (Murata 社の製品番号: BLM18PG331SN1) のインピーダンス- 周波数の特性の例を示します。Z はそのインピーダンスを表し、R (抵抗) と X (リアクタンス) のベクトル和です。インピーダンスは 100MHz の時 330Ω で、約 300MHz の時、最大値に達します。

ユーザーのアプリケーションにフェライト ビーズを選択する際に、最大のインピーダンスが出る周波数をノイズ周波数範囲の中心にするは良い練習になります。

図 28. フェライト ビーズ (Murata 社の BLM18PG331SN1) のインピーダンス- 周波数の特性



フェライト ビーズを選択する際に注意すべきの外のパラメーターは以下の通りです:

- 定格電流: インダクタの内で使用されるワイヤのサイズやゲージによって決定されます。
- 飽和電流: これはフェライト材料の特性の 1 つです。コイルを通る時の電流であり、この電流値を超えても、フェライト内で更なる磁束をセットアップすることはできません。
- 最大 DCR: これはコインの最大 DC 抵抗であり、巻線や抵抗損失の確定に有用です。

そのソースで入ってくるノイズを抑制するために、フェライト ビーズをエントリ ポイントに配置します。フェライト ビーズも、電子配線の干渉フィルターとして使用されます。

コモンモード フィルター

コモンモード フィルター／チョークはコモンモード ノイズを除去するために設計されます。EFT に起因するノイズのかなりの部分がコモンモードであるため、これらのフィルターは、EFT に対する耐性を向上させるするために使用できます。

逆方向にチョーク巻線を通る差動モード電流は等しく且つ反対の値を生成し、これらの値はお互いを相殺します。これにより、差動モード信号に対するチョークのインピーダンスが 0 になるため、この信号はチョークを通る時、不変です。

同じ方向で各チョーク巻線を通るコモンモード電流は等しく且つ同相の磁界を生成し、これらを加算します。これにより、コモンモード信号に対するチョークのインピーダンスが高くなるため、この信号はチョークを通る時、非常に減衰します。実際の減衰 (コモンモード除去) は、チョーク インピーダンスと負荷インピーダンスの相対的な大きさに依存します。

インダクタと同様に、ユーザーのアプリケーションにコンポーネントを選択する前に、定格電流や DC 抵抗などのパラメーターを考慮する必要があります。別の重要なパラメーターは漏れインダクタンスです。これは存在する差動モード インダクタンスの程度を決定します。漏れインダクタンスは差動モード フィルタリングを提供します。ただし、過剰な漏れインダクタンスは、AC 電源電流の低い値で飽和するコモンモード チョークを発生させることがあり、これは望ましくない特性です。

ユーザーのアプリケーションにシャーシ グランドがあれば、電源からシャーシまで、かつ基板グランドからシャーシまでシャーシ バイパス コンデンサを使用してコモンモード ノイズの低インピーダンス経路を提供することもできます。

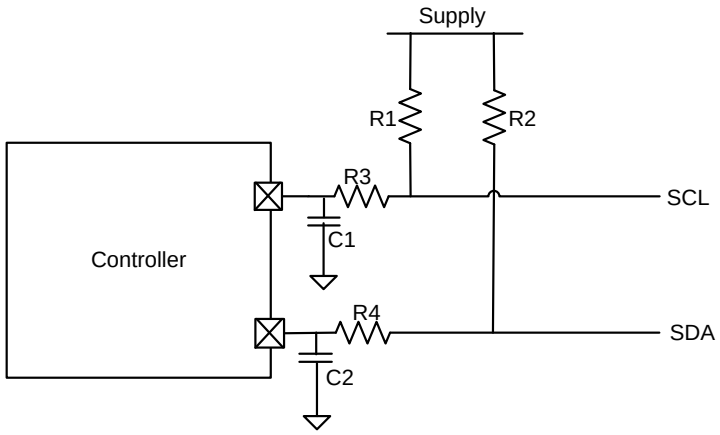
6.3.2 信号ライン フィルター

6.3.2.1 通信ライン: I²C/SPI ライン上のフィルター

以下のフィルター コンポーネントを I²C/SPI ラインに配置します:

- **I2C/SPI ライン上のプルアップ抵抗:** プルアップ抵抗は直列抵抗、配線静電容量およびクロック速度に基づいて設計する必要があります。ガイドについては I2C 仕様をご参照ください。バス パラメーターに応じて一般的に 2.2kΩ～10kΩ の値を選択します。
- **I2C/SPI ライン上の 100～330Ω の直列抵抗:** 直列抵抗はトレースおよびピンの寄生容量によりローパス フィルターを形成し、高周波ノイズを除去できます。直列抵抗をピンの近くに配置します。I2C/SPI ラインが HIGH から LOW に切り替える時、トレース容量は直列抵抗を介して放電するために一定の時間が掛かります。また、I2C/SPI ラインが LOW から HIGH に切り替える時、トレース容量とピン容量は直列抵抗を介して電源電圧に充電する必要があります。プルアップ抵抗および直列抵抗は電位分周器を形成し、I2C/SPI ラインの V_{OL} レベルに影響を与えます。そのため、これらのすべての要素を考慮しながら直列抵抗およびプルアップ抵抗を選択することが重要です。
- **I2C/SPI ライン上のフィルター コンデンサ:** これはトレースとピンの寄生容量、および直列抵抗によりローパス フィルターを形成し、RF ノイズを除去できます。ただし、I2C プロトコルのシグナル インテグリティに影響を与える可能性があります。そのため、追加のコンデンサに起因した立ち上がり時間と立ち下がり時間の遅延が I2C プロトコルに違反しないように注意する必要があります。

図 29. I²C ライン上のフィルター

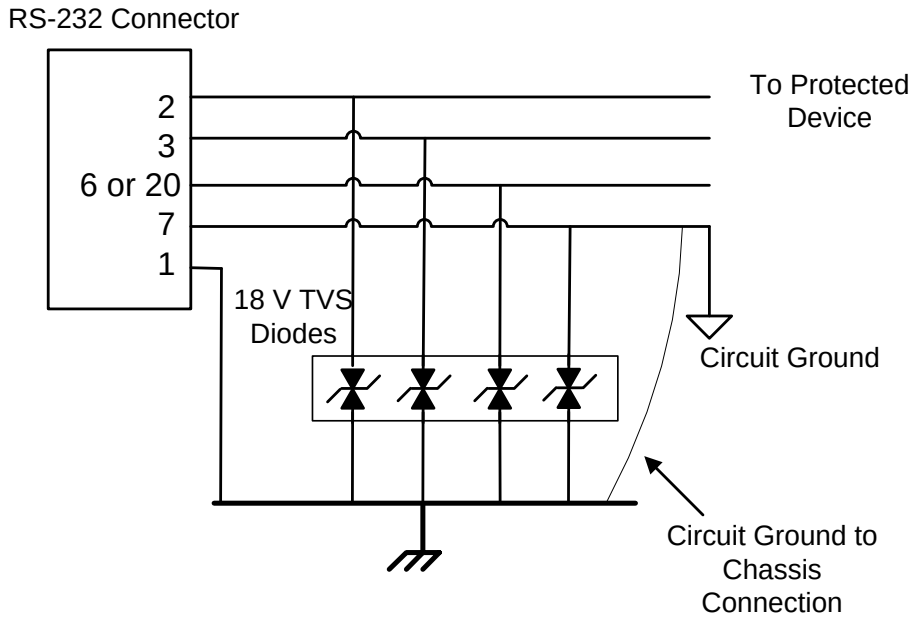


6.3.2.2 通信ライン: UART 用のフィルター

ガルバニック分離レベル トランスレータを使用します。ガルバニック分離レベル トランスレータを使用できない場合、UART 通信用に RS232 レベル トランスレータ IC を使用します。フィルタ処理された電源およびグランドがレベル トランスレータに電源を供給することを確認します。

図 30 に、4 個の双方向 TVS ダイオードにより過度過電圧から保護される RS-232 インターフェースを示します。グランド導電体でも TVS ダイオードにより保護されていることに注意してください。回路グランドとシャーシ グランド間の内部接続がケーブルのエントリ ポイントに配置されず、低インダクタンスを持たない可能性があるため、これは多くの場合必要です。

図 30. 4 個の双方向 TVS ダイオードにより過度過電圧から保護される RS-232 入力



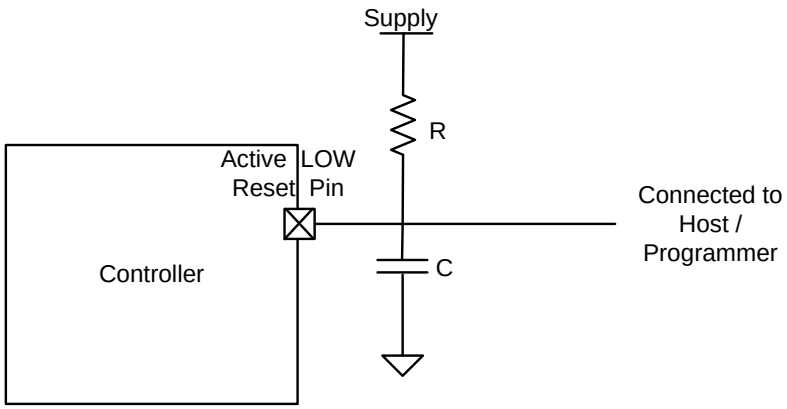
6.3.2.3 リセットおよび割り込み要求入力

図 31 に示すように、コンデンサまたは RC ネットワークを追加することで、デジタル デバイスの動作状態を遷移することが可能なリセット、割り込みおよび他の重要な制御入力を高速立ち上がり時間の過渡現象による誤ったトリガーから保護する必要があります。PSoC デバイスはリセット ライン上に約 4.7kΩ の内部プルアップ抵抗を内蔵します。

前述するようにエッジトリガの割り込みはノイズから影響を受けやすいです。可能な場合、レベルトリガの割り込みを使用するか、または ISR 内で割り込みピンをサンプリングします。誤った割り込みを引き起こす可能性があるリフレクション、リンギングやオーバーシュートを減少させるために、割り込みラインに適切なライン終端を使用します。

リセットはアクティブ LOW またはアクティブ HIGH です。アクティブ LOW リセット ピンの場合、リセット ライン上のデバイスの近くに RC フィルターを配置します。アクティブ HIGH リセット ピンの場合、抵抗とコンデンサの両方をグランドにプルダウンします。代替リセット ピンにも適切なフィルタリングがあることを確認します。

図 31. リセット ライン上のフィルター



6.3.2.4 I/O ライン

過渡ノイズは制御ラインなどの I/O ラインに直接注入されるか、または電源ラインに注入された後、I/O ラインに伝播します。そのため、以下の手段でこれらのラインを保護することが重要です。

- I/O ライン双方向 TVS ダイオードを使用します。
- 信号が減衰しないことを確保するために、カットオフ周波数が I/O ライン上の信号の周波数より 10 倍高くするようにローパス RC ネットワークを使用します。
- 入力ケーブルを編組シールドまたは固体シールドで保護します。

基板の外部からコントローラーへ信号を運ぶ I/O ラインの場合、RC フィルターをコントローラー ピンの近くに配置します。TVS ダイオードをコネクタの近くにあるエントリ ポイントに配置する必要があります。基板の外部へ信号を運ぶ I/O ラインの場合、I/O ラインが基板から出るところであるコネクタにローパス RC フィルターを配置します。

標準値が 10kΩ の抵抗を介して未使用の I/O ラインをグランドまたは電源に終端します。

直列抵抗を選択する方法

抵抗が DC のみで電圧降下を与えるため、直列に接続する小さな値 (100Ω 以下) の抵抗はアプリケーションで実際に役立ちます。抵抗のエンド ツー エンド静電容量はそのインピーダンスを制限します。例えば、DC での 1MΩ 抵抗は 100MHz の時、同じではありません。炭素抵抗または金属酸化物抵抗は、低寄生容量およびインダクタンスを提供し、短パルス過負荷に耐えられるため、過渡現象に対する耐性を向上させるために使用されます。

抵抗の一般的な種類は以下の通りです:

- 面実装技術 (SMT) および薄膜抵抗は高周波数応答に良いですが、過渡保護に良くないです。これらは、EFT のエネルギーに耐えるデバイスの能力を制限する薄い金属層 (数百オングストローム) で構成されています。また、EFT 電圧は SMT を横切ってアークする傾向があります。
- 金属皮膜抵抗は高電力容量または高精度回路に適していますが、過渡保護に適していません。
- 巻線抵抗器は高電力処理回路に相応しいですが、 大きなインダクタンスのため、周波数感応回路に相応しくないです。また、これらの抵抗は面実装の形で提供されない (成形無し) ため、サイズと重量制限のある用途には適していません。
- ホイルベースの抵抗は最高の精度と安定性を提供し、薄膜抵抗と厚膜抵抗より良く EFT に耐えられます。これらの主なデメリットは最大値が約 150kΩ の制限です。

システムを EFT テストに合格するようにすることは反復プロセスになり得ます。基板上のフィルター コンポーネントのフットプリントを持って、基板上に実装された最小限のコンポーネント (バイパスおよびデカップリング コンデンサなど) で EFT テストを開始することが推奨されます。耐性を更に向上させるために、LC、コモンモード チョーク、TVS ダイオードやフェライト ビーズなどのフィルターを順次に使用するか、または 2 つ以上組み合わせて使用することができます。電源設計があまり良くなく、且つ電源の出力がリップルを持つことを期待する時、 バルク コンデンサを使用してください。

6.3.3 プリント基板レイアウト

高い過渡耐性を持つプリント基板を設計する前に次の 2 つの基本的な原理を考慮しなければなりません。

1 つ目は、電流は、できるだけ局所かつコンパクトにその供給源に戻らなければなりません。つまり、できるだけ最小のサイズで最低のインピーダンスがあるループ エリアを介して戻ります。この原理は両方の過渡ノイズと所望の信号電流に適用します。

1. 「故障モード」章で説明した過渡ノイズは信号、グランド、またはいずれかの信号／制御ラインを通して伝搬します。プリント基板のレイアウトには、ノイズが発生した位置で過渡電流が供給源に戻れるように、低インピーダンスの短経路が必要です。この経路は低インピーダンスでないと、そのノイズは回路のコントローラー、配線、コンポーネントなどの各要素に干渉し、要素の機能に影響します。また、低インピーダンスの短経路は、マイクロコントローラーや発振器などの回路要素から生成したノイズを返すためにも必要です。
2. 高周波電流を運ぶループも放射するため、信号運びループも短くします。放射エネルギーはループ エリアに比例します。この放射エネルギーは他の信号を妨げ、これらの信号に過渡ノイズの影響を増加させます。より大きいループ上の信号ほど放射エネルギーから影響を受けやすくなります。

2 つ目は、システムは 1 つの基準面のみ持つべきです。2 個の基準面を持つシステムでは、過渡ノイズで増幅される可能性がある信号品質の問題が発生します。また、2 個以上の基準面により、エネルギーを放射するダイポール アンテナが発生します。基準面、および基準面の接続が低インピーダンスをもっていない場合、シングル基準面を実現できません。

平面の配置図

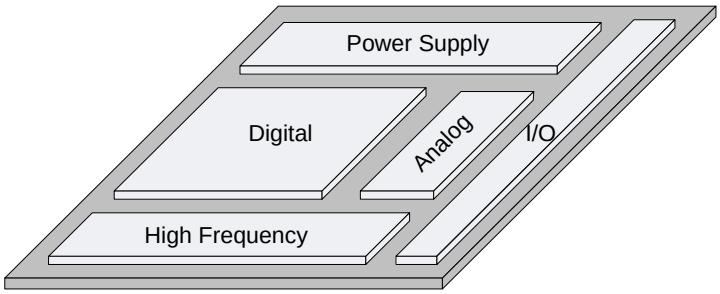
前述したように、交差カップリングを回避するために適切なサブシステムを配置することは重要です。同様に、プリント基板上にノイズが多い回路がノイズに敏感な回路を影響しないためには、平面を配置することも必須です。

経験則として、プリント基板を、アナログ、デジタル、電源供給、および I/O の機能グループに分けます。グループ間インターフェースの配線以外は、あるグループの配線が他のグループの配線を交差することを回避してください。各セクションをできる限りコンパクトにします。プリント基板を個別した機能領域 (セクション) に分割し、それぞれの領域に関連するコンポーネントのみを配置します。図 32 に分割例を示します。

分割する際には次の 2 つの基本的な基準に従います。

- **機能ベースの分割:** 電源回路、アナログ回路、デジタル回路、または I/O ブロック
- **信号ベースの分割:** 高周波数、低周波数、高消費電力、または低消費電力

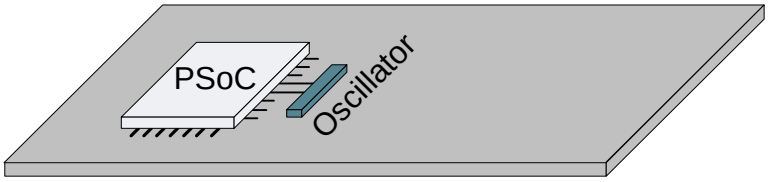
図 32. 基本的な基板レイアウト - 機能的グループ



プリント基板から信号を出力する高周波数回路は該当する I/O コネクターの近くに配置します。I/O 相互接続へのカップリングを最小限に抑えるためには、プリント基板上の高周波数信号がある回路を I/O コネクターから遠く離れて配置します。すべての高周波数信号を同じ基板に配置するようにしてください。高周波数の配線を可能な限り短くします。高周波数信号が基板の範囲外になると、送信ラインでその反射と放射を軽減します。

図 33 に示すように、発振器とクロック生成の IC を I/O 配線から離れ、サービスするチップに近い場所に配置ます。ガード グランド リングをこの回路の周りに配置する、またはそれより効果的な方法として、基板のグランドに接続し放射や感染を遮る「ファラデー ケージ」と呼ばれるシールド ケーシングを使用することを推奨します。 ガード リングを使用する場合、そのリングを数箇所でグランドに接地します。システム要件を満たしたデジタル信号のために、最低のクロック周波数かつ最も遅い立ち上がり／立ち下がり時間を常に選択します。立ち上がりと立ち下がり時間を遅くするかリングを削減するために、クロック ドライバーの出力をフィルター (直列終端処理) します。

図 33. 発振子の適切な配置



デジタル クロック接続をプリント基板上に丁寧に配線します。すべてのクロック配線をグランド面の近くに配置します。それ以外の配線を、水晶や他の本質的にノイズが多い回路の下に配置しないでください。クロックやデータストローブなどの重要なネットをグランド配線かグランド面の隣に配線します。

電圧レギュレータと電源供給を電力のエントリ ポイントの近くに配置します。電力信号を、ノイズが多い配線と平行して配置しないでください。

感染しやすいコンポーネント (例えば、コントローラー) をプリント基板の端から離れて配置します。コネクタを基板の端に配置します。できる限りすべてのコネクタを基板の一端に配置します。インターフェース コンポーネント (I/O 回路) と該当するコネクタを基板の端の近くに配置します。

平面の配置により、過渡ノイズの伝搬を最小限に抑えられ、最短経路でノイズを発生源に返すのに支援します。

配線のルーティング

配線のルーティングは信号間のクロストーク現象を回避するために重要です。また、敏感な信号を放射や導電結合から保護しなければならない面では、このルーティングが重要です。供給電源、グランド、または信号／制御ラインを通して伝搬できる過渡ノイズはリセット ラインなどの回路の敏感な部品と結合できます。

信号間のクロストークは、通常は導電性、容量性と誘導性の 3 種のいずれかです。クロストークを防ぐためには、次のデザインとレイアウト技術がプリント基板の配置に役立ちます。

前述したように、平面の配置はクロストークを最小限に抑えるのに有用です。

1. コンポーネント配置時に、同じ機能グループ内のコンポーネント間の物理的距離を最小化します。
2. 平行にされた配線の長さを短くします。これで容量結合が増加されます。信号は互いに交差しなければならない場合、信号間の静電容量が小さくなるように直角に交差したことを保証してください。
3. 誘導結合を最小限に抑えるために配線間に十分な距離を置きます。
4. 信号とグランドの基準距離を縮小します。これは、高周波ノイズ用のバイパス コンデンサとして機能する分布容量を生じます。EFT による過渡ノイズはグランドを通して伝搬できるため、ご注意ください。したがって、信号とグランドの基準距離を縮小することは、該当するグランドが過渡ノイズのリターン経路でない場合にのみ適用してください。

配線のルーティングはプリント基板上の配線だけではありません。前述した通り、プリント基板以外の信号ラインをクロストークから保護することも重要です。

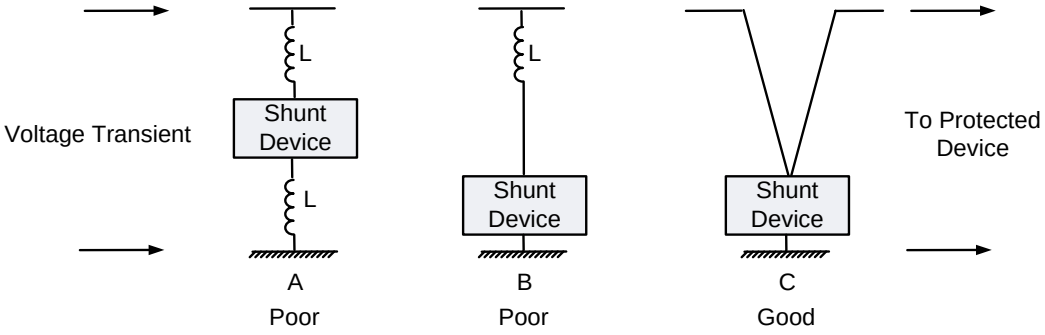
この技術の詳細については、「AN57821- PSoC® 3, PSoC 4, and PSoC 5LP Mixed Signal Circuit Board Layout Considerations」の「*Routing Analog and Digital Signals*」節をご参照ください。

配線インピーダンス

配線はそれぞれに添って分配される直列インダクタンス、および 配線と配線上の信号のリターン経路間の静電容量を持っています。これら両方は信号立ち上がり時間を長くします。また、配線自体も信号振幅を小さくする抵抗があります。 そのため、配線を駆動している回路に対して、各配線は分布 RLC 回路に似ています。ほとんどの場合、このインピーダンスは「制御不可」です。つまり、分布インダクタンスと静電容量の値は配線沿いの各箇所に異なることがあります。よって、AC インピーダンスは配線に沿って変わります。

リターン経路上のノイズと信号に対する総インピーダンスが最小値に抑えることを確保しなければなりません。分布インダクタンスと静電容量の両方は過渡の抑制に良い面があれば悪い面もあります。不利な分布インダクタンスの例として、コントローラーのような保護されるデバイスとデカップリング コンデンサ間に生じた場合です。配線のインダクタンスは、デカップリング コンデンサと TVS ダイオードなどのシャント要素が実効する帯域幅を制限します。さらに、瞬時電流が必要な時にデカップリング コンデンサからコントローラーに流れるサージ電流を遮断します。そのため、これらのシャント要素が最低の直列インピーダンスを持つようにレイアウトを配置しなければなりません。図 34 に良いと良くない配置のシャント デバイスを示します。

図 34. (A) と (B): 不適切なシャント要素の配置; (C): 適切なシャント要素の配置



分布インダクタンスと静電容量は立ち上がりと立ち下がり時間に影響するため、信号の完全性に影響を与えます。ただし、分布容量は高周波ノイズをバイパスすることに役立ちます。

要するに、回路内の分布インダクタンスと静電容量の影響を分析し、それに応じて設計しなければなりません。

単一層のプリント基板に対して、厚い配線、より広い SMT パッケージ (配線が SMT パッケージ下にルーティングする場合) 、およびより厚いジャンパ (プリント基板を通る配線を接続するため) を使用します。

配線インピーダンスの計算および影響の詳細については、「AN57821- PSoC® 3, PSoC 4, and PSoC 5LP Mixed Signal Circuit Board Layout Considerations」をご参照ください。

接地

過渡抑制技術を同じプリント基板上に組み合わせる最も重要な設計上の考慮事項の 1 つは、適切なグランドや供給電源、および／または信号のリターン ループの制御を提供することです。グランド ループは RF エネルギーを発展させ伝搬させる大きな要因です。このループは 2 つのデバイス間のインダクタンスにも関わらずデバイス間の電圧差分を発展させます。送信ライン上のインダクタンスは RF 電流の磁気結合を電流源と影響される回路間に発生させ、リターン経路上の RF 損失量を増加させます。

6.3.3.1 グランド面

プリント基板レベルでは、あるアプリケーションが高速 MHz でのデジタル ロジック、および低レベルのアナログ信号に対応するなどの敏感なアナログ回路を持っていなければ、単一層のグランド面を持つだけで十分です。そうでない場合、グランド面を分割することは有用ですが、特定の設計では層を追加するとコストが高くなる場合があります。2 層基板の場合でも、設計の敏感なアナログ部の下に部分的な面を配置することができます。グランド面の層を使用するか否かにかかわらず、リターン経路は電源と可能な限り短くしてください。電源への経路が低インピーダンスでないか、あるいはその面が寸断され過ぎていると、グランド面によって設計が改善されない場合もあることを覚えておいてください。2 面基板では、銅フィルの使用だけに依存しないでください。その理由は、慎重に検査しないと発見できない狭くて高抵抗の経路が生じることがあるためです。グランド配線の経路を決めて、フィルで補充します。「スター グランド」技術をシステムに適用することは、グランド電流がノイズに敏感な回路に影響することを防止する 1 つの方法です。「スター グランド」 (基準グランドとも呼ばれる) は、アナログ、デジタル、および電源など様々なドメインのグランド面が接続するシステムの 1 つのポイントです。

スター グランドの接続は、グランド面に堀、論理的分割、またはグランド面にカット／くぼみを配置することで実現できます。

堀の使用法: グランド面に掘でプリント基板のアナログ、デジタル、および電力部分を分離できます。堀とは多角形配線の刻み目であり、一般的なリターン経路が不要になることを許可します。堀の広さは容量結合を回避するために少なくとも 0.7mm です。図 35 に堀の適切な使用例を示します。

論理的分割: 図 36 に示すように、単一のグランド面を使ってプリント基板を論理的にアナログ、デジタル、および電力部分に分割できます。記号は、基板上(すべての層で) の対応する部分のみにおいて配線します。これが適切に実現できると、電力ラインの切り替えと電力ライン上の過渡ノイズは他の回路に結合しなくなります。グランド面を分割する前に、電流の流れを分析し電流ループの配線を慎重に行ってください。

図 35. 堀使用例

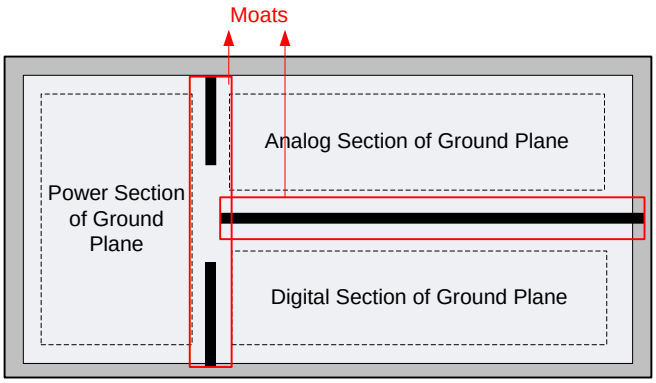
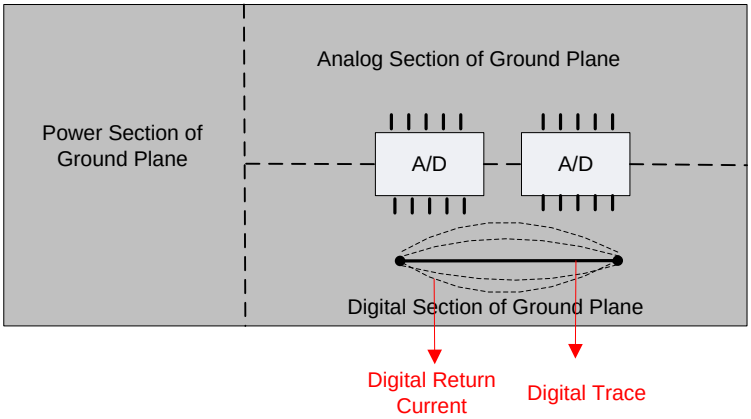


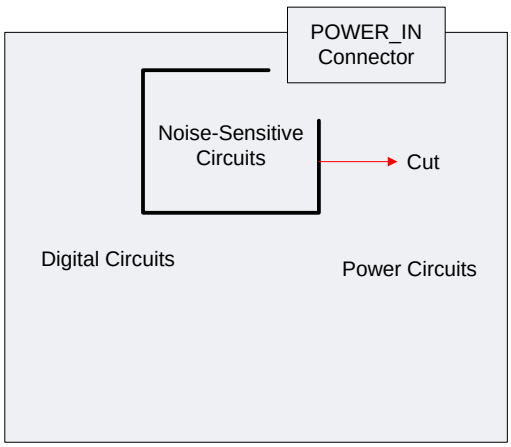
図 36. グランド面の分割



グランド面上のカット／くぼみの使用法: グランド電流を制御する網一つの方法はグランド面に開口やくぼみを選択的に配置する方法です。開口により、ノイズに敏感な回路の周りやその回路から離れた場所の指定した経路で電流が流れるように強制されます。

図 37 はグランド面にカットを選択的に配置した実用例です。この例では、3 つのグランド (アナログ、デジタル、電力) がすべて同じ基準のグランド面にあり、ノイズに敏感な (アナログ) 回路の周りにカットを設置し、グランドのリターン電流が重要なエリアの周りに流れるように強制します。

図 37. グランド面のカットの例



6.3.3.2 グランド接続

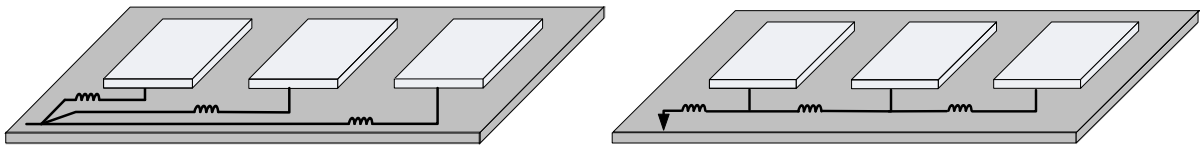
グランド接続の主な方法は 3 つあります。いずれも特定の機能サブシステム内に用いられます。

6.3.3.2.1 単一ポイントの接地

これは並列 (図 38 A) や直列 (図 38 B) に実現できます。並列の単一ポイント接地は、グランド ループが分離し、あるサブシステムからノイズが他のサブシステムに結合できないため、比較的に良い方法です。直列接続を使用すると、各サブシステムの基準グランド間の共通インピーダンスの結合を許可します。したがって、直列の単一ポイント接地を推奨しません。

- アナログ システムなどの 1MHz 未満の周波数の場合に適切です。
- 最大電流数のグランド ループを持っています。高周波数 (1MHz 以上) では、これらのループがアンテナとして機能し、RF エネルギーを放射します。これによりシステムの他の部分に問題を起こす可能性があります。

図 38. (A) 並列と (B) 直列の接続

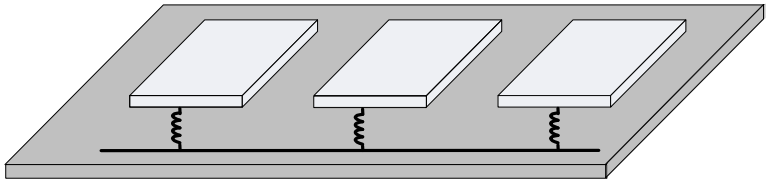


6.3.3.2.2 マルチポイントの接地 (図 39)

- デジタル システムのような 1MHz 以上の周波数に適切です。
- ループ電流と各層のグランド インピーダンスを最小化します。
- プリント基板に最大の EMI 抑制能力を提供します。

この方法を使用すると、コンポーネントとグランド面間のインダクタンスを最小限に抑えるためにグランドの鉛の長さを極めて短くしてください。そうしないと、グランド面とシャーシ グランド間の分布容量と結合して同調共振回路を形成する際に、追加インダクタンスは共振を発生させることがあります。

図 39. マルチポイントの接地



6.3.3.2.3 ハイブリッドの接地: 同じシステム上の単一ポイントとマルチポイントの接地の組み合わせ

この方法では、異なる接地方法をプリント基板の異なる機能部分に適用します。ほとんどのアナログ信号の周波数が 1MHz 未満のため、プリント基板のアナログ部分に単一ポイントの接地方法を使用します。デジタル部分にはいずれかのマルチポイントの接地方法を使用します。

6.3.3.3 接地に関わるその他のガイドライン

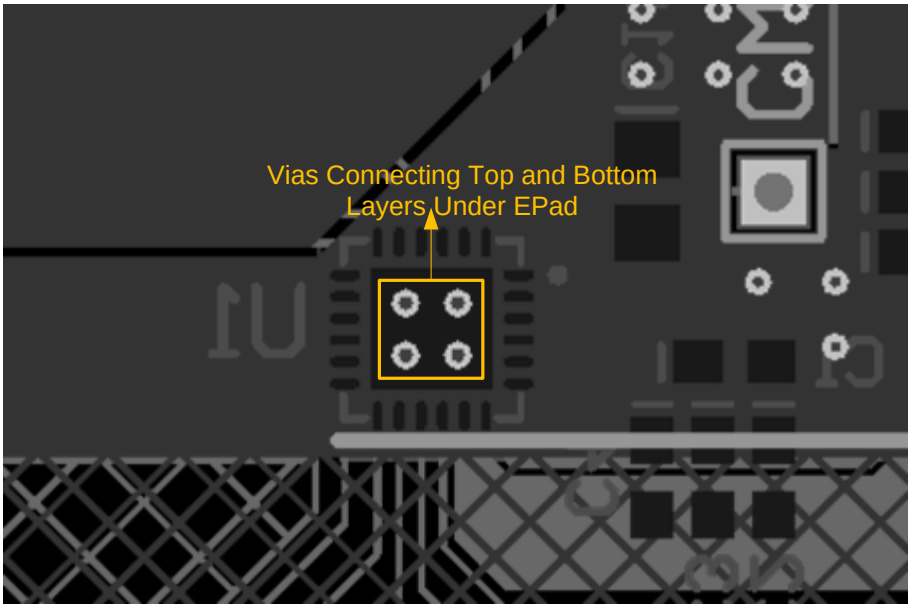
- 広いシャーシ グランドの配線や多角形をプリント基板のすべての層において、基板の外部に接続するコネクタの下に配置します。シャーシ グランドの配線のすべての層を約 13mm 毎にビアで互いに結合します。これによりすべての層のグランド接続が改善されます。
- 1 つの面か短くて広い配線でコントローラーのグランド ピンを対応するグランド ネットに接続します。
- ジャンパー／ワイヤーでグランドの異なるエリアを接続しないようにします。ジャンパー／ワイヤーはリターン経路上のインダクタンスを増加させます。

- 個別のグランド面と電力面を持つ多層のプリント基板の使用を検討します。これは、インピーダンスと誘導結合を (両面のプリント基板より 10～100 倍) 著しく軽減させることができます。できるだけ、信号層をグランド層か電力層の隣に配置します。
- インダクタンスを最小化するために、グランドの異なる層をできるだけ多くのビアに等距離で接続します。
- ビアをはんだや銀エポキシでフィルします。これでインピーダンスがさらに軽減され、良い導電プロパティが得られます。

Epad

熱放散のために中央パッド (Epad) が備える一定のデバイス パッケージ (QFN など) があります。Epad 接続については、デバイスのデータシートをご参照ください。一般的に、データシートはグランドに接続するか開放のままにすることを推奨します。中央パッドをグランドに接続することを推奨すると、機械的、熱的、および電気的性能のためにデジタル グランドに接続してください。プリント基板の両面の銅に接続し、Epad 接続用のエリアにある各ビアを使用して最低のインピーダンスを獲得します。

図 40. Epad 接続



ビア

理想の場合では、ビアが全く設計に影響しないことを考えられます。しかし、実際にビアは、 エッジ レートを低下させる静電容量とインダクタンス、および信号の振幅を低下させる抵抗があります。ビアを配置すると、電流が流れるエリアが少なくなります。電流は最低のインピーダンスを持つ経路上に流れます。したがって、ビアをまっすぐの経路で配置すると電流経路が曲がった経路になり、回路に不要な追加のノイズを生じます。

最大の過渡抑制能力を獲得するために、ビアが電流のデカップリング コンデンサなどのフィルター コンポーネントへの流れを妨げないことを確保してください。グランドと電力配線上のインピーダンスを増加させないようにビアを配置します。その理由として、インピーダンスが高くなると、高周波ノイズが発生源に戻れなくなる可能性があります。

ビア配置の代表的な例は電力面をデカップリング コンデンサと IC の電力ピンに接続します。

図 41 と図 42 にビアの不適切な配置を示します。図 41 には、コンデンサと IC は電力とグランド面の反対側にあります。この実装ではコンデンサを使用しない場合とほとんど同じです。電力かグランド面が IC (負荷電流) とコンデンサ間にあるため、電力かグランド面は直接大部分の電力を供給します。これで、コンデンサは、必要なノイズ フィルタに対立して大容量の電力貯蔵として機能します。

図 41. コンデンサ、IC、およびビアの位置づけ－その 1

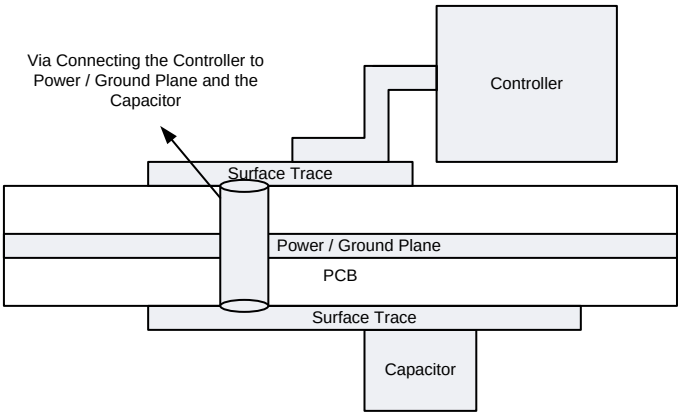


図 42. コンデンサ、IC、およびビアの位置づけ－その 2

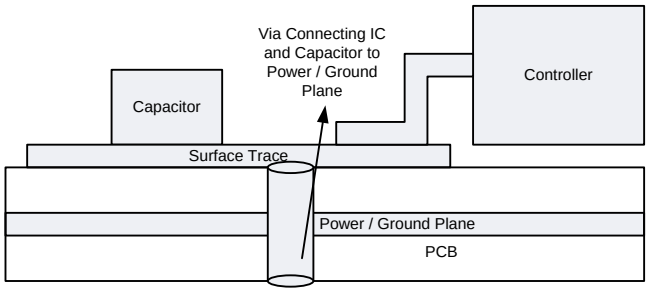
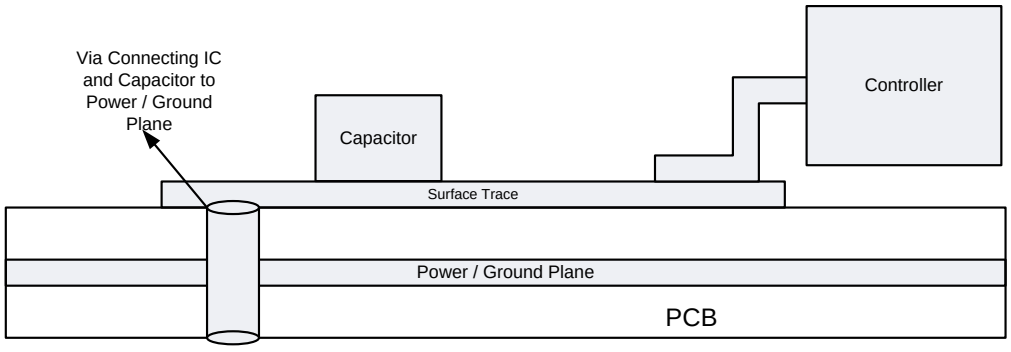


図 42 には、コンデンサと IC は電力やグランド面と同じ側にあり、電力やグランド面との接続のためにビアはコンデンサと IC の間に配置されます。この実装ではコンデンサを使用しない場合よりやや効率があります。電力かグランド面のビア接続は IC (負荷電流) とコンデンサ間にあるため、電力かグランド面はコンデンサと並行して電力を供給します。この位置づけでは、コンデンサは部分的にしか機能しません。

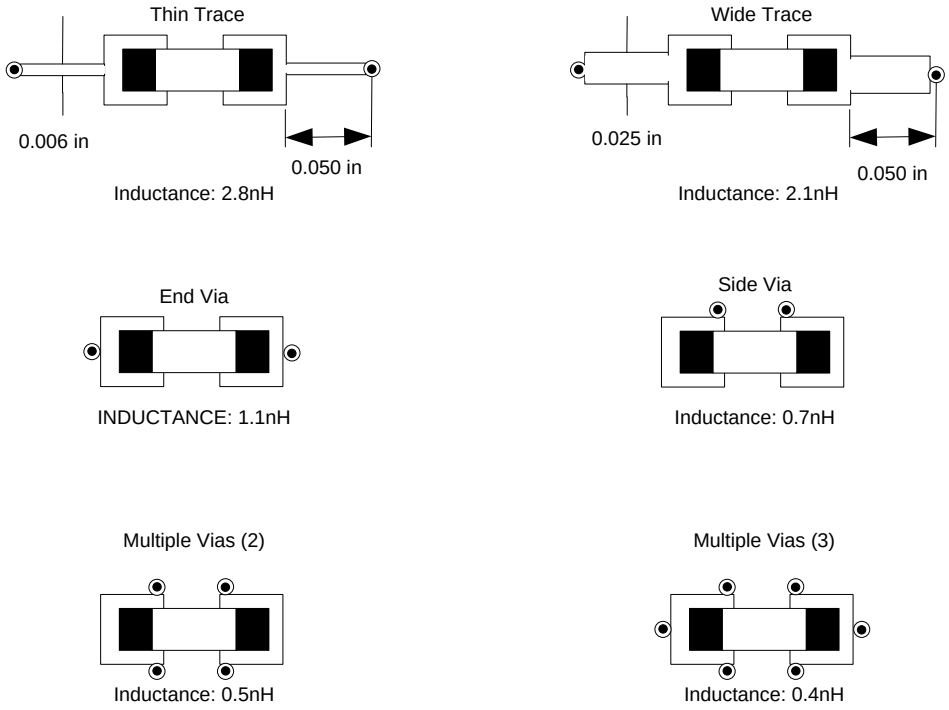
図 43 に示すように、コンデンサと IC が電力やグランド面と同じ側にあり、コンデンサが電力やグランド面を接続するビアと IC の間に配置されることは最適の実装です。コンデンサが電力かグランド面のビアと IC (負荷電流) の間に配置されるため、コンデンサは IC に対する第 1 の電力ソースになります。これによりコンデンサが所望の通りに機能します。よって、望ましくない電力ノイズは電力やグランド面に届かず、他のシステム コンポーネントにも影響しません。

図 43. コンデンサ、IC、およびビアの位置づけ－その 3



ビア数が多いほど、搭載パッドから電力／グランド面のペアまでのインダクタンスが小さくなります。ただし、ビアは多くの基板面積を占めます。逆方向性電流を運ぶビアを近くに配置すると、相互結合効果の結果としてインダクタンスが低下します。そのため、図 44 に示す側面にあるビアのコンフィギュレーションは端部にあるビアのコンフィギュレーションよりインダクタンスが小さいです。

図 44. 0805 SMT コンデンサの回路図
搭載パッドと電力／グランド ペア間の近似インダクタンスを示す

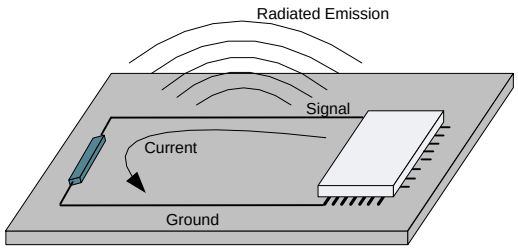


複数のビアを使用する例は、デカップリング コンデンサが 1 つの層にあり、コンデンサに電源を供給する電力供給源とグランドは他の層にある時です。供給源とグランドの配線上に可能な限り多くのビアを使用し、信号が他の層に遷移するポイントでデカップリング コンデンサに接続します。これにより、高周波ノイズに対して低インピーダンスのリターン経路を実現できます。

ループ エリア

すべての電子回路は電流ループを作成します。また、電流を運ぶ各電流ループでは周波数コンポーネントが無線周波数エネルギーの放射体 (アンテナ) になります。そのため、過渡ノイズを含む電流を運ぶすべてのループも放射体です。

図 45. 通電ループからの放射例



過渡ノイズの感染を低減するためには、放射線を最小限に抑えることも重要です。放射はループ エリア、ループ電流、および信号の周波数の 2 乗に正比例します。

放射は次の方法で制御できます: 周波数または電流の調波内容を低減、電流の大きさを縮減、ループ エリアを縮小、またはすべての要素を削減します。

過渡ノイズに対応する際には、過渡ノイズの周波数コンポーネントに関して大いに制御する必要がありません。ノイズが AC-DC コンバーターを通して対象の基板に伝搬するまでには、低周波コンポーネントが支配します。その上、ノイズのエントリ ポイントにおいてフィルタを使用することも高周波コンポーネントの削減に役立ちます。

重要なループを流れる電流の大きさを縮小します。最も重要なループは過渡ノイズに影響されるもの、より高い周波数で動作するもの、および周期的な信号が存在する場所です。

最も重要なループのエリアを縮小します。忘れてはならないループ サイズのもう 1 つの重要な効果は放射ノイズからの影響です。ループ サイズが大きいほどループ内の信号は外部放射ノイズに対して影響しやすくなります。そのため、ループ サイズを最小限にしてください。

例としてはデカップリング ネットワークです。デカップリング コンデンサを可能な限り IC の近くに配置し、ループ エリアとインダクタンスをできるだけ小さく保持します。

6.4 ファームウェア技術

適切に設計されるファームウェアは過渡により生じたエラーを除去し最小化するのに非常に役立ちます。ファームウェアは、過渡現象で壊されてもプログラムが動かなくならず正常に回復されるように設計されるべきです。

過渡耐性を持つファームウェアを書く際には次の基本的なステップがあります。

- 先ず、フォルトを検出しなければなりません。
- 次に、システムは既存の安定状態に正常に回復しなければなりません。

ファームウェアのエラー検出／修正技術は次の 3 つのカテゴリに分類されます。

1. プログラム フロー
2. 入力／出力
3. メモリ

6.4.1 プログラム フロー

6.4.1.1 正常なプログラム フローの監視

システムの整合性を確保するには、ファームウェアは各種機能のプログラム フローを監視しなければなりません。これをするために異なる技術を使用できます。その 1 つは「タイム スロット監視」です。この技術は、プログラム カウンターの状態を周期的に確認し、予想通りに実行しているかを判定します。その例として、シンプルなタイマー割り込みを使って ISR 内のプログラム フローを確認することです。

未使用メモリを「安全な位置にジャンプ」コマンドでフィルします。したがって、プログラム カウンターが予想外の位置に落ちると、コントローラーは JMP 命令を実行し既存の状態に戻します。

未使用割り込みベクターを ISR へのポインターでフィルします。これにより、コントローラーが既存の安全状態になれるように確保します。割り込みベクター位置を空白にしないでください。

6.4.1.2 ウォッチドッグ タイマーの使用

PSoC などの一部のコントローラーはウォッチドッグ タイマー (WDT) を内蔵します。WDT を有効にして不正なプログラム実行から保護します。ファームウェアを使って正常な動作状態を周期的に確認し WDT をリセットします。ファームウェアがウォッチドッグを適時にクリアできない場合、WDT はシステム リセットを生成します。システム リセット ステータス レジスタで、デバイスの再起動による最後のリセットの原因を判定できます。

6.4.1.3 ブラウンアウト リセット

ブラウンアウト リセットとは、動作を中断できますが通常のパワーオン リセットに十分長くない停電時間がある時にコントローラーをリセットさせる回路です。

PSoC 3、PSoC 4、および PSoC 5LP デバイスには内蔵の電圧監視回路が備えられています。その回路は通常のブラウンアウト検出回路よりも多くのオプションを提供します。この回路は両方の低電圧と過電圧の状態を検出します。ファームウェアがデバイスを即時にリセットするか割り込みを生成するかを判定できるように保護回路を設定します。

6.4.1.4 ファームウェア トークン

機能の開始や終了のポイントでトークンを追加します。開始トークンと終了トークンは同じ値にセットされます。機能を終了する際に終了トークンが開始トークンに一致しない場合、別の位置からルーチンにジャンプしなければならないことがあります。

6.4.2 入力／出力

6.4.2.1 I/O リフレッシュ

I/O データ ポート、データ制御レジスタ、およびペリフェラル コンフィギュレーション レジスタなどのすべての重要な I/O レジスタは、サプリアス ノイズが回路を通過することでフリップされるフリップ フロップのラッチ回路です。ファームウェアはこれらのレジスタを定期的に確認／リフレッシュし、故障になる可能なビットのフリップを修正します。その後、あり得る破損を最小限に抑え円滑に回復させるエラー回復プログラムに終了することができます。

6.4.2.2 入力のポーリング – ノイズのフィルタ処理

ほとんどのコントローラーでは、I/O が CPU レジスタの読み出しでデータ バスを介してアクセスされます。通常、このアクセスは CPU システム クロックのエッジでキャプチャされます。読み出しと同時にグリッチが発生するとエラーが発生します。

このエラー状態を避けるためには、ファームウェアによる 「ポーリング」技術を使って、短期間でピンを複数回読み出し支配的値を正しいレベルとして取ります。ほとんどの場合では、CPU／システム クロックは外部入力信号より高周波数で動作するため、ポーリング技術を簡単に実現できます。

6.4.3 メモリ

6.4.3.1 エラー検出

過渡ノイズによるメモリの変更は即時に発効しませんが、後にシステムに影響します。メモリ破損を検出するために、メモリから読み出したすべてのデータを使用する前にその正当性を確認します。データの整合性を確認する技術は多くあります。1 つのパリティ ビット、チェックサム、巡回冗長検査 (CRC)、または様々なエラー検出コードを使用できます。要求されるデータ メモリ保護程度は全体システム仕様の一部として決定されます。

6.4.3.2 複数コピー

簡単なエラー検出方法は、重要なデータの多くの複写版を格納し、メモリからデータを読み出す時にその 2 部の複写版を比較します。これは簡単な方法ですが、可能なメモリ空間のドレインになることができます。

6.4.4 エラー検出用 B クラスのファームウェア

サイプレスは PSoC 3、PSoC 4、および PSoC 5LP デバイス用の B クラスの安全ソフトウェア ライブラリを提供します。API も含まれて、フォルト検出機能によりアプリケーションの信頼性を最大化します。

表 3 に B クラスのライブラリにて説明され実現され、IEC 60730-1 B クラスの標準準拠の要件を満たす実験を示します。表 4 にライブラリに含まれる追加のセルフテストを示します。

一部のセルフテストは、適切な API 関数と*.c*、*.h* ファイルを B クラス安全ソフトウェア ライブラリから追加する必要があります。他のセルフテストもプロジェクトに回路図を追加する必要があります。

表 3. IEC 60730-1 B クラス標準準拠用のセルフテスト

コンポーネント	テストの内容
CPU レジスタ	スタック ビット
プログラム カウンター	正しいアドレスにジャンプ
割り込み処理と実行	適切な割り込みの呼び出しおよび周期性
クロック	不正な周波数
フラッシュ (不変メモリ)	メモリ破損
EEPROM (不変メモリ)	メモリ破損
SRAM (可変メモリ)	スタック ビットおよび適切なメモリ アドレス指定
デジタル I/O	スタック ビット
A/D コンバーターおよび D/A コンバーター	適切な機能
通知 (UART、SPI)	データを正しく受信する可能性

表 4. 追加のセルフテスト

コンポーネント	テストの内容
ウォッチドッグ	チップ リセット
CapSense CSD	センサー短絡、センサー切断、変調器外部コンポーネント (Cmod および Rb) のエラー
コンパレータ	適切なコンパレータの機能

詳細については、以下のアプリケーション ノートをご参照ください。

- AN81828 - PSoC® 1 – IEC 60730 Class B Safety Software Library
- AN79973 – PSoC 3 and PSoC 5 CapSense CSD - IEC 60730 Class B Safety Software Library
- AN89056 - PSoC® 4 – IEC 60730 Class B and IEC 61508 SIL Safety Software Library

コントローラーが動作に適しているかを確認するために、デバイス起動の時にファームウェアは必要なセルフテストを実行することがあります。ファームウェアは、動作中にデバイスが損傷を受けず、且つ意図されたように動作することを検証するために、周期的セルフテストを行います。 これらのセルフテストの幾つかは過度ノイズによる故障を除去できます。従って、Class B ファームウェアがお客様のアプリケーションに組み込まれることにもかかわらず、過度ノイズによるエラーが識別され、適切な回復メカニズムが組み込まれたことをご確認ください。

7 まとめ

本アプリケーション ノートは組み込みコントローラー ベースのアプリケーションの EFT 耐性を得るための設計ガイドラインおよび技術についての情報を提供します。また、EFT テストの論理的根拠および EFT テスト波形についても説明します。さらに、アプリケーション ノートでコントローラーの故障モードを説明します。

8 著者について

氏名: Shruti Hanumanthaiah

役職: アプリケーション エンジニア

経歴: Shruti は電子通信の経験を持つアプリケーション エンジニアです。彼女は PSoC を使用する CapSense
アプリケーションに関して働いています。

氏名: Srinivas NVNS

役職: アプリケーション エンジニア

経歴: Srinivas は電力エレクトロニクス、制御システムおよび組み込みファームウェアの経験を持つ電気エンジニアです。彼は PSoC を使用する電力アプリケーションに関して働いています。

9 参考資料

- IEC EN 61000-4-2 - Electrostatic discharge immunity test[2]
- IEC EN 61000-4-4 - Electrical fast transient/burst immunity test[2]
- Mark I. Montrose 著「EMC and the Printed Circuit Board: Design, Theory, and Layout Made Simple」(Wiley-IEEE プレス、1998 年)。
- Mark I. Montrose および Edward M. Nakauchi 著「Testing for EMC Compliance: Approaches and Techniques 」(Wiley-IEEE プレス、2004 年)。
- Henry W. Ott 著「Electromagnetic Compatibility Engineering」 (John Wiley & Sons、 2011 年 9 月 20 日)。
- 「AN57821 - PSoC® 3, PSoC 4, and PSoC 5LP Mixed Signal Circuit Board Layout Considerations」
- RL-1505 インダクタ シリーズ
- 「Choosing the right inductor」
- Coil craft 社からのインダクタの詳細
- 「How to choose Ferrite components for EMI suppression」:
  http://www.fair-rite.com/newfair/pdf/CUP%20Paper.pdf
- 「ILB, ILBB Ferrite Beads - Electro-Magnetic Interference and Electro-Magnetic Compatibility (EMI/EMC)」:
  http://www.vishay.com/docs/ilb_ilbb_enote.pdf

[2] この規格は無料で利用できません。しかし、www.iec.ch でそのコピーを購入できます。

A 付録 A: IEC 61000-4-4 EFT のテスト要件

IEC 61000-4-4 は繰り返しの電気的高速過渡現象／バースト (EFT/B) に対する電気／電子機器の耐性に触れています。IEC 61000-4-4 規格はテスト電圧波形、テスト レベルの範囲、テスト装置、テスト装置の検証手順、テスト セットアップおよびテスト手順を定義します。また、IEC 61000-4-4 規格は実験室およびインストール後のテストの仕様も提供しています。

A.1 テスト レベル

EFT テストは AC/DC 主電源、アース、信号および制御ポートで実行できます。表 1 に電源、グランド、信号、装置の制御ポートに適用でき、規格で定義されたテスト レベルを示しています。

表 1 に各レベルのピーク電圧および繰返率を示しています。100kHz で繰り返すバーストは実世界の過度繰返率のシナリオを提供します。装置のテスト計画で、EUT テストに使用されている繰返率を記載する必要があります。

仕様で、開放回路電圧に関する 4 つの重要度を設置環境の関数と定義します。最終アプリケーションの目的に応じて、テスト レベルを選択します。装置が動作すると期待されている環境の性能の基準を作るために、耐性テストをテスト レベルと相関させます。 表 5 に、一般的なインストール プラクティスに基づいて、電磁環境の要件に応じる EFT/B テストのレベルの推奨の選択を示しています。

表 5. EFT/B テスト重要度

レベル	属性
1 – 十分な保護	装置が設置される環境は以下の特徴がある: ■ すべての過渡現象は電源および制御回路で抑制されている ■ 他のあまり保護されていない環境からの制御回路と電源の明確な分離がある ■ 電源のケーブルはシールドされ、接地される ■ 電源の保護は適切なフィルタリング回路により提供される 例: 企業のデータセンターまたはコンピューター室
2 - 保護	装置が設置される環境は以下の特徴がある: ■ 過渡現象は電源および制御回路で部分的に抑制されている ■ 他のあまり保護されていない環境からの制御回路と電源の分離が不完全かつ不十分 ■ 信号および通信ケーブルからの制御ケーブルとシールドされていない電源の物理的分離がある 例: 産業用制御室
3 – 標準産業用	装置インストールは以下の特徴がある: ■ 過渡現象が抑制されていない ■ 他のあまり保護されていない環境からの制御回路と電源の分離が不完全かつ不十分 ■ 電源、制御、信号および通信ケーブルの分離が不十分 ■ 接地の保護が可能 例 : 典型的な家庭または産業用のプロセス環境のエリア

レベル	属性
4 - 厳密な産業用	装置インストールは以下の特徴がある: ■ 過渡現象が抑制されていない ■ 他のあまり保護されていない環境からの制御回路と電源の分離がない ■ 電源、制御、信号および通信ケーブルの分離がない ■ 一般的な多心ケーブルが制御ラインと信号ラインに使用される 例: 発電所、変電所のオープンエアのリレー屋

マイクロコントローラーまたは PSoC ベースの装置 (家電製品や携帯電話など) の多くのメーカーは慎重で、EFT テストのレベル 4 まで行います。

特別なレベルと呼ばれるレベル 5 もあります。このレベルはそれを必要とする装置に適用され、装置の技術仕様書で記述されます。このレベルでは、装置の電源／信号／制御ラインからの妨害ソースの分離はレベル 1～4 で定義された分離と異なります。

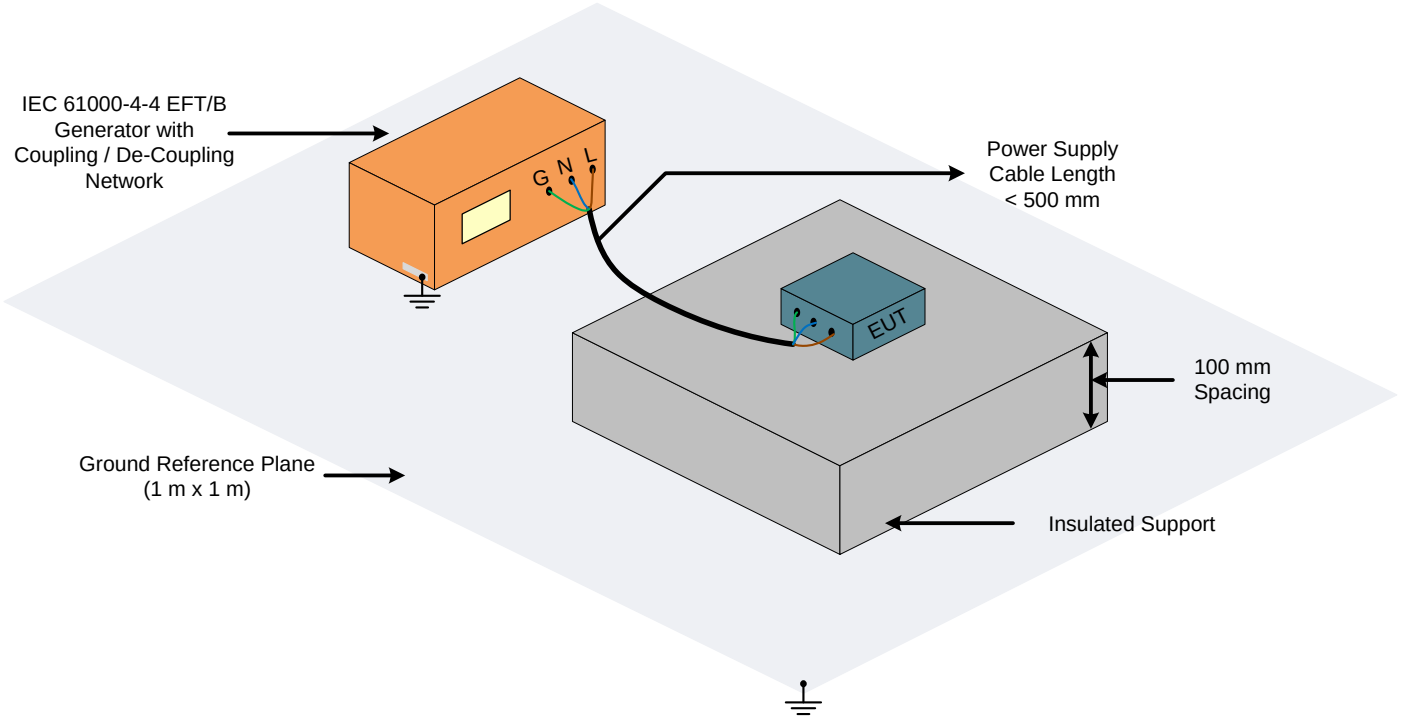
A.2 テストのセットアップ

テストのセットアップは以下のもので構成されます。

- 被試験装置 (EUT)
- 基準地表面 (GRP)
- カップリング ネットワーク
- デカップリング ネットワーク
- 試験用のジェネレータ

測定と検証用の補助装置も含むことがあります。

図 46. EFT テスト セットアップ



1. AC/DC 電源ポートの受け入れテストにカップリング／デカップリング ネットワークが必要です。I/O と通信ポートに接続するライン上の受け入れテストの場合、容量カップリング クランプがあるカップリングが必要です。クランプは、EUT のポートの端子、ケーブルのシールドまたは EUT のその他の部分へのガルバニック接続無しに、高速過渡現象／バーストを被試験回路にカップリングすることを可能にします。カップリング／デカップリング ネットワークが使用できない場合にのみ、クランプは AC/DC 電源ポートにも使用されます。
2. 実験室での事前準拠テストでは、テスト セットアップは基準地表面 (GRP) も含んでいます。保護接地に GRP を接続します。テストを実行する前に、保護接地と電源の中性間の電位差は 1V 未満であることを確認してください。
3. 床／壁／天井に取り付けた装置を独立した装置としてテストします。EUT を絶縁された支持体 (厚さが 100mm ± 10mm) に実装します。GRP は、すべての側面に EUT を少なくとも 100mm 超えて広がる必要があります。
4. GRP に EFT/B ジェネレータを直接配置し、接地します。
5. その仕様で指定されたように、EUT を接地システムに接続します。 追加の接地接続が許可されません。EUT と他の導電構造間の最小距離は 500mm でなければなりません。
6. EUT に接続するすべてのケーブルは絶縁支持体上に配置し、その長さは 500mm ± 50mm 以下でなければなりません。ケーブルが指定された長さより長い場合、余分な長さはフラット コイルを避けるために「8」の形で折り畳んで、絶縁支持体に配置する必要があります。

次の 2 種類のテストはテスト環境に基づいて定義されます:

1. 実験室で行われる適合性テストまたは事前の適合性テスト
2. 最終の設置条件での装置で行われるインストール後のテスト

推奨のテスト方法は実験室で行われるテストです。

A.3 テスト手順

EFT テストの前後に、EUT の機能をチェックする必要があります。テスト手順は以下の通りです:

- 実験室での動作条件の検証
- EFT 波形の検証
- テストの実行
- テスト結果の評価

A.3.1 実験室の動作条件

テスト結果への環境パラメーターの影響を最小限にするために、EUT はその資料に指定されているのと同じ温度と湿度の制限を持つ必要があります。EUT 内にコンデンセーションが発生するほど相対湿度が高い場合、テストを行わないでください。EUT の干渉のない動作を保証するように、実験室の電磁条件をセットする必要があります。

A.3.2 EFT 波形の検証

正しいテストを確保するために、EFT 波形をオシロスコープで取り込まれ、各テスト サイクルの前に記録する必要があります。これを行うために、減衰器が一般的に使用されています。取り込まれた EFT 波形は IEC 仕様書の推奨事項に準拠する必要があります。

EFT/B ジェネレータの出力を 50Ω および 1000Ω の終端に接続し、電圧をオシロスコープで測定する必要があります。–3dB 帯域幅が少なくとも 400MHz のオシロスコープを使用します。バースト内のインパルスの立ち上がり時間、パルス期間および繰返率を測定する必要があります。各セット ポイント電圧に対して、出力電圧は以下のように測定される必要があります。

- 50Ω 終端の場合、(セット ポイント電圧の 0.5 倍 ± 10%) 以内
- 1000Ω 終端の場合、(セット ポイント電圧 ± 20%) 以内
- 立ち上がり時間 = 5ns ± 30%
- 50Ω 終端の場合、パルスの期間 = 50ns ± 30% ; 1000Ω 終端の場合、パルスの期間 = 50ns (誤差: -15ns～100ns)

波形キャプチャを行う方法の詳細については、EFT/B ジェネレータの仕様をご参照ください。

A.3.3 テストの実行

EUT は標準的な動作条件にさらされる必要があります。テストはテストの計画に基づいて実行されます。機能のテストの他に、テストの計画は EUT の性能検証の計画を含む必要があります。テストの計画では、以下の要素を特定する必要があります。

- EUT 向けのテスト レベル
- テストされる EUT ポート
- テスト電圧の極性 (一般的に両極) およびテスト電圧のアプリケーション数
- EUT ポートへのテスト電圧のアプリケーションのシーケンス
- テストの期間は 1 秒以上でなければならない。テスト時間は 6 つの 10 秒のバーストに分けることができ、10 秒の一時停止で区切られる。
- 補助装置のあらゆる使用

A.3.4 テスト結果の評価

テスト結果には、メーカーにより定義された性能またはテスト前に測定された性能に比べる EUT の性能低下または機能喪失を記録する必要があります。性能の分類は IEC 61000-4-4 準拠の表 2 の通りです。メーカーは EUT への影響を定義できます。この影響が重要でないと見なされるため、許容可能です。例えば、いくつかのアプリケーションでは、機能が変更されないようにテスト中にデバイスが許容期間内にリセットし、回復した場合、デバイスのリセットが故障と見なされません。

EFT テストの後に EUT を機能と性能テストにさらすことが一般的に推奨されます。これは、EUT に回復不可能な損傷があるかを確認し、将来のテスト サイクルの根拠を提供します。

A.3.5 テスト報告書

テスト報告書は、結果の再現性のために必要なすべての情報を含む必要があります。報告書は、以下の情報を含みます:

- EUT およびあらゆる補助装置の説明
- EUT の動作条件
  - 特定の環境条件
  - 保護カバーの使用などの特定の条件
  - テストの実行を有効にする特定の条件 (ハードウェアとファームウェアの変更など)
- テスト計画に基づくテストケース
- メーカーにより定義された性能レベル
- テスト中またはテスト後に観察された EUT への影響
- テスト結果の評価に基づく成功／失敗状態の論理的根拠

改訂履歴

文書名: AN80994 - 電気的高速過渡現象 (EFT) 耐性についての設計の注意事項

文書番号: 002-10057

版	ECN	変更者	発行日	変更内容
**	5045448	HZEN	12/18/2015	これは英語版 001-80994 Rev. *F を翻訳した日本語版 002-10057 Rev. **です。
*A	6582866	SSAS	05/28/2019	これは英語版 001-80994 Rev. *H を翻訳した日本語版 002-10057 Rev. *A です。

ワールドワイドな販売と設計サポート

サイプレスは、事業所、ソリューションセンター、メーカー代理店、および販売代理店の世界的なネットワークを保持しています。お客様の最寄りのオフィスについては、サイプレスのロケーションページをご覧ください。

製品

Arm® Cortex® Microcontrollers	cypress.com/arm
車載用	cypress.com/automotive
クロック&バッファ	cypress.com/clocks
インターフェース	cypress.com/interface
IoT (モノのインターネット)	cypress.com/iot
メモリ	cypress.com/memory
マイクロコントローラ	cypress.com/mcu
PSoC	cypress.com/psoc
電源用 IC	cypress.com/pmic
タッチセンシング	cypress.com/touch
USB コントローラー	cypress.com/usb
ワイヤレス	cypress.com/wireless

PSoC®ソリューション

PSoC 1 | PSoC 3 | PSoC 4 | PSoC 5LP | PSoC 6 MCU

サイプレス開発者コミュニティ

コミュニティ | Projects | ビデオ | ブログ | トレーニング | Components

テクニカルサポート

cypress.com/support

Cypress Semiconductor
198 Champion Court
San Jose, CA 95134-1709

© Cypress Semiconductor Corporation, 2012-2019. 本書面は, Cypress Semiconductor Corporation 及び Spansion LLC を含むその子会社 (以下「Cypress」という。) に帰属する財産である。本書面 (本書面に含まれ又は言及されているあらゆるソフトウェア若しくはファームウェア (以下「本ソフトウェア」という。) を含む) は, アメリカ合衆国及び世界のその他の国における知的財産法令及び条約に基づき Cypress が所有する。Cypress はこれらの法令及び条約に基づく全ての権利を留保し, 本段落で特に記載されているものを除き, その特許権, 著作権, 商標権又はその他の知的財産権のライセンスを一切許諾しない。本ソフトウェアにライセンス契約書が伴っておらず, かつ Cypress との間で別途本ソフトウェアの使用方法を定める書面による合意がない場合, Cypress は, (1) 本ソフトウェアの著作権に基づき, (a) ソースコード形式で提供されている本ソフトウェアについて, Cypress ハードウェア製品と共に用いるためにのみ, かつ組織内部でのみ, 本ソフトウェアの修正及び複製を行うこと, 並びに (b) Cypress のハードウェア製品ユニットに用いるためにのみ, (直接又は再販売者及び販売代理店を介して間接のいずれかで) 本ソフトウェアをバイナリーコード形式で外部エンドユーザーに配布すること, 並びに (2) 本ソフトウェア (Cypress により提供され, 修正がなされていないもの) が抵触する Cypress の特許権のクレームに基づき, Cypress ハードウェア製品と共に用いるためにのみ, 本ソフトウェアの作成, 利用, 配布及び輸入を行うことについての非独占的で譲渡不能な一身専属的ライセンス (サブライセンスの権利を除く) を付与する。本ソフトウェアのその他の使用, 複製, 修正, 変換又はコンパイルを禁止する。

適用される法律により許される範囲内で, Cypress は, 本書面又はいかなる本ソフトウェア若しくはこれに伴うハードウェアに関しても, 明示又は黙示をとわず, いかなる保証 (商品性及び特定の目的への適合性の黙示の保証を含むがこれらに限られない) も行わない。 いかなるコンピューティングデバイスも絶対に安全ということはない。従って, Cypress のハードウェアまたはソフトウェア製品に講じられたセキュリティ対策にもかかわらず, Cypress は, Cypress 製品への権限のないアクセスまたは使用といったセキュリティ違反から生じる一切の責任を負わない。加えて, 本書面に記載された製品には, エラッタと呼ばれる設計上の欠陥またはエラーが含まれている可能性があり, 公表された仕様とは異なる動作をする場合がある。適用される法律により許される範囲内で, Cypress は, 別途通知することなく, 本書面を変更する権利を留保する。Cypress は, 本書面に記載のある, いかなる製品若しくは回路の適用又は使用から生じる一切の責任を負わない。本書面で提供されたあらゆる情報 (あらゆるサンプルデザイン情報又はプログラムコードを含む) は, 参照目的のためのみに提供されたものである。この情報で構成するあらゆるアプリケーション及びその結果としてのあらゆる製品の機能性及び安全性を適切に設計, プログラム, かつテストすることは, 本書面のユーザーの責任において行われるものとする。Cypress 製品は, 兵器, 兵器システム, 原子力施設, 生命維持装置若しくは生命維持システム, 蘇生用の設備及び外科的移植を含むその他の医療機器若しくは医療システム, 汚染管理若しくは有害物質管理の運用のために設計され若しくは意図されたシステムの重要な構成部分としての使用, 又は装置若しくはシステムの不具合が人身傷害, 死亡若しくは物的損害を生じさせるようなその他の使用 (以下「本目的外使用」という。) のためには設計, 意図又は承認されていない。重要な構成部分とは, それの不具合が装置若しくはシステムの不具合を生じさせるか又はその安全性若しくは実効性に影響すると合理的に予想できるような装置若しくはシステムのあらゆる構成部分をいう。Cypress 製品のあらゆる本目的外使用から生じ, 若しくは本目的外使用に関連するいかなる請求, 損害又はその他の責任についても, Cypress はその全部又は一部をとわず一切の責任を負わず, かつ Cypress はそれら一切から本書により免除される。Cypress は Cypress 製品の本目的外使用から生じ又は本目的外使用に関連するあらゆる請求, 費用, 損害及びその他の責任 (人身傷害又は死亡に基づく請求を含む) から免責補償される。

Cypress, Cypress のロゴ, Spansion, Spansion のロゴ及びこれらの組み合わせ, WICED, PSoC, CapsSense, EZ-USB, F-RAM, 及び Traveo は, 米国及びその他の国における Cypress の商標又は登録商標である。Cypress のより完全な商標のリストは, cypress.com を参照すること。その他の名称及びブランドは, それぞれの権利者の財産として権利主張がなされている可能性がある。