サイプレスはインフィニオン テクノロジーズになりました

この表紙に続く文書には「サイプレス」と表記されていますが、これは同社が最初にこの製品を開発したからです。新規および既存のお客様いずれに対しても、引き続きインフィニオンがラインアップの一部として当該製品をご提供いたします。

文書の内容の継続性

下記製品がインフィニオンの製品ラインアップの一部として提供されたとしても、それを理由としてこの文書に変更が加わることはありません。今後も適宜改訂は行いますが、変更があった場合は文書の履歴ページでお知らせします。

注文時の部品番号の継続性

インフィニオンは既存の部品番号を引き続きサポートします。ご注文の際は、データシート記載の注文部品番号をこれまで通りご利用下さい。

AN74170

PSoC® 1 のアナログ構造および PSoC Designer™を用いたコンフィギュレーション

著者: Mark Hastings
関連プロジェクト: なし
関連部品ファミリ: PSoC® 1
ソフトウェア バージョン: PSoC® Designer™ 5.4 またはそれ以降
関連アプリケーション ノート: なし

本アプリケーション ノートについて、ご質問がある場合または手助けが必要な場合は、meh@cypress.com にて著者までご連絡ください。

AN74170 は、標準 PSoC® 1 デバイスのアナログ構造およびグローバル アナログ パラメーターがアナログ ユーザー モジュールに与える影響について説明しています。

目次

はじめに 1
PSoC 1 のアーキテクチャ 3
アナログ PSoC ブロック アレイ 4
アナログ列の構造 5
GPIO ピンへのアナログ接続 13
内部アナログ ブロックの相互接続 17
内部リファレンス構造 18
グローバル アナログ パラメーター 21
ADC 誤動作のトラブルシューティング 23
まとめ 23
ワールドワイドな販売と設計サポート 25

はじめに

PSoC 1 マイクロコントローラー ファミリを使用して設計する際は、PSoC Designer とその高レベルのインターフェースを使用して、アナログ アーキテクチャを含む PSoC をコンフィギュレーションします。各ユーザー モジュール (ビルディング ブロック) の配置とコンフィギュレーションに加え、いくつかのグローバル アナログ パラメーターのコンフィギュレーションも必要です。特にこれらの設定によって影響を受けるアナログ ユーザー モジュールがある設計の場合、グローバル パラメーターおよびアナログ アーキテクチャ全体を理解することが重要です。

本アプリケーション ノートは、ユーザーが PSoC Designer 開発ツールおよびプロジェクトの開発方法を理解していることを前提としています。本アプリケーション ノートで説明する内容は以下の通りです。

- アナログ PSoC ブロック アレイ構造
- アナログ列の構造
- GPIO ピンへのアナログ接続
- 内部アナログ ブロックの相互接続
- 内部リファレンス構造
- グローバル アナログ パラメーター
- ADC の誤動作のトラブルシューティング

本アプリケーション ノートで扱うデバイスには、表 1 に示すように類似のアーキテクチャを持つ汎用アプリケーション向けの PSoC デバイスが含まれます。取り扱うデバイスの中に CapSense をサポートする PSoC デバイスもありますが、

CapSense® (静電容量タッチ入力) 専用 PSoC デバイスは本アプリケーション ノートには含まれていません。

表 1 に各部品ファミリのアナログ リソースを示します。これらの部品間の接続の主な相違点は、アナログ マルチプレクサ バス (AMux) です。AMux は、Port0 上の 8 本のピンと Port2 上の 4 本のピンだけでなく、すべての GPIO への接続を提供します。表 1 では、AMux バスを持つすべての PSoC 部品には 12 本以上のアナログ入力があることに注意してください。これらの PSoC ファミリに関する詳細は、各々の部品ファミリのデバイス データシートとテクニカル リファレンス マニュアル (TRM) の「**Analog System**」節を参照してください。

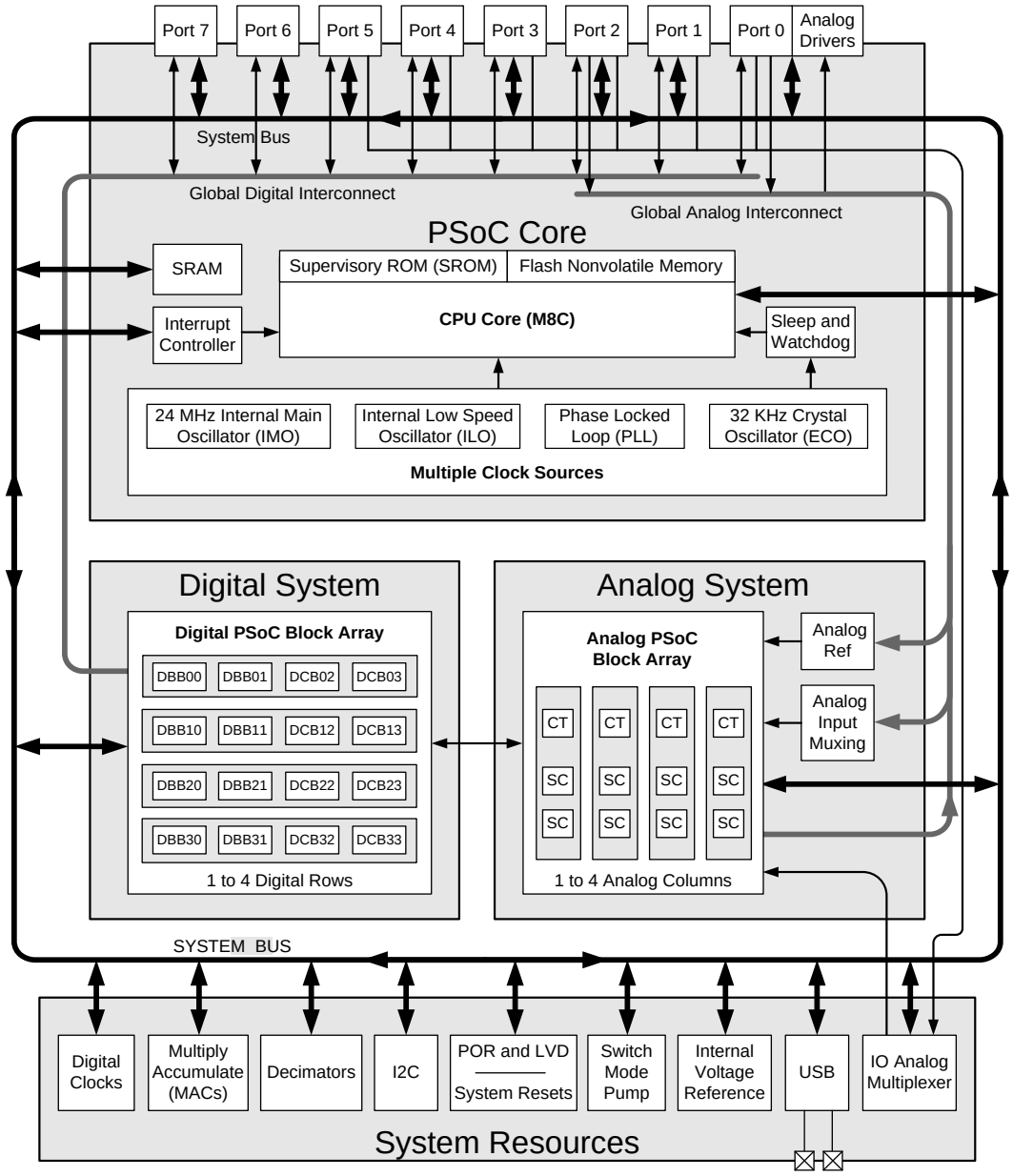
表 1. 本アプリケーション ノートで扱うデバイス ファミリ

PSoC 部品ファミリ	アナログ入力数	アナログ出力数	アナログカラム数	アナログブロック数	制限されたアナログブロック数	アナログマルチプレクサバス (AMux)
CY8C29x66	12	4	4	12	0	無
CY8C27x43	12	4	4	12	0	無
CY8C24x94	48	2	2	6	0	有
CY8C24x23	12	2	2	6	0	無
CY7C64215	48	2	2	6	0	有
CY8C28x23	10	2	2	6	0	無
CY8C28x33	40	2	4	6	4	有
CY8C28x43	44	4	4	12	0	有
CY8C28x45	44	4	4	12	4	有
CY8C28x52	24	4	4	12	4	有

PSoC 1 のアーキテクチャ

PSoC 1 デバイスは、アナログ システム、デジタル システム、PSoC コア、システム リソースの 4 つのセクションで構成されています。各セクションのサイズと複雑さは部品ファミリによって異なります。図 1 は標準 PSoC 1 デバイスのブロック図です。

図 1. PSoC 1 のブロック図



本アプリケーション ノートはアナログ PSoC ブロック アレイに焦点を合わせています。アナログ PSoC ブロック アレイは、連続時間 (CT) とスイッチ キャパシタ (SC) と呼ばれる 2 個の基本アナログ ブロックで構成されています。これらのブロックはフレキシブルなコンフィギュレーションが可能であるため、ADC、DAC、PGA といった PSoC Designer で使われるすべてのアナログ ユーザー モジュールはこれらの 2 個の基本ブロックを使用して作成されます。これらのブロックで作成されたアナログ

ユーザー モジュールには、ADC、DAC、フィルター、ミキサー、PGA などのコンポーネントがあります。

デジタル PSoC ブロック アレイには、デバイス ファミリによって 4～16 個のブロックが含まれています。デジタル ブロックは、カウンター、タイマー、PWM、UART、SPI などのコンポーネントに使用されます。それらはまた、ADC ユーザー モジュールに必要となるタイマーとカウンターを作成するためにアナログ ブロックと一緒に使用されます。本アプリケーション ノートは、アナログ ブロックとデジタル ブロック間の相互接続について説明しますが、デジタル ブロックについて述べていません。

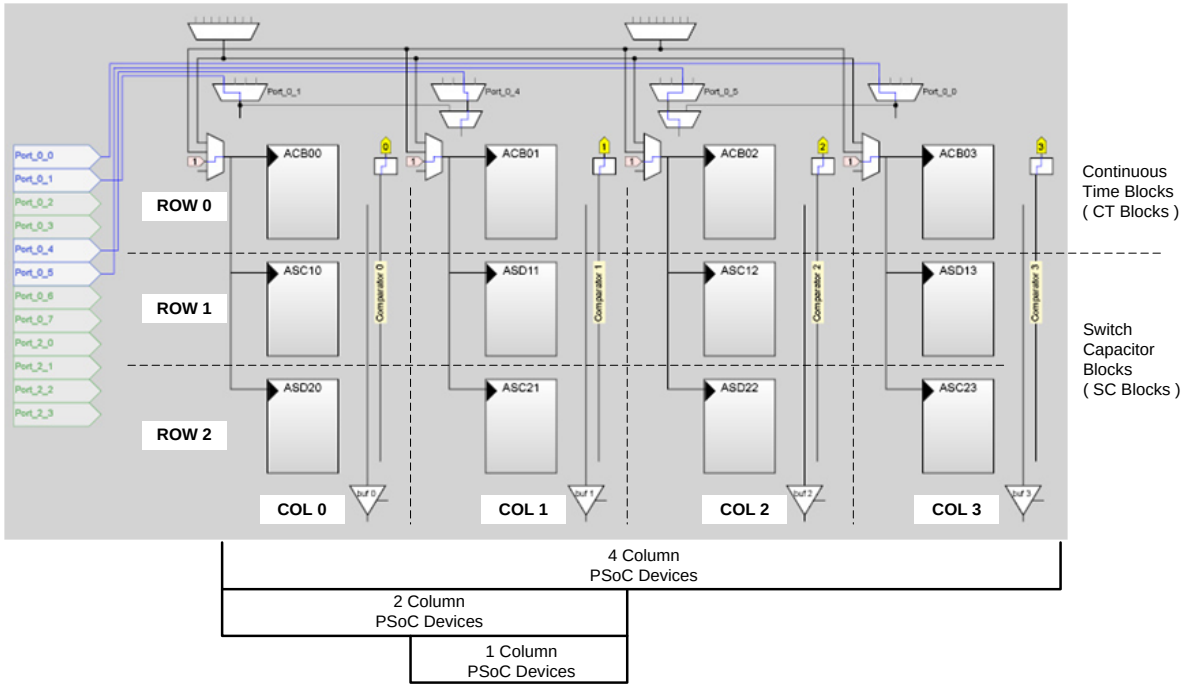
システム リソース セクションは、I²C、スイッチ モジュール ポンプ、USB、内部電圧リファレンス、I/O アナログ マルチプレクサなどの固定機能ブロックを含むことがあります。実際に利用可能なリソースは部品ファミリによって異なります。

PSoC コアには CPU、SRAM、フラッシュ ROM、割り込みコントローラー、発振子、GPIO が含まれています。その他のブロックと同様に、部品によって ROM と RAM のサイズが異なります。また、パッケージによって GPIO の総数に制限があります。本アプリケーション ノートは、アナログ セクションと GPIO ピンの接続について説明します。

アナログ PSoC ブロック アレイ

PSoC Designer を起動し、CY8C29x43 などの PSoC 1 部品を使用して新規プロジェクトを作成すると、**チップ** ビューには 2 つのブロック グループが表示されます。上部セクションはデジタル ブロックを、下部セクションはアナログ ブロックを示します。図 2 にアナログ ブロック セクションの例を示します。その他のデバイス ファミリは同様のビューを表示しますが、利用可能ブロック数およびブロックと GPIO ピン間の相互接続が異なります。本書の後半部分でブロックの位置をわかりやすく説明するために行と列の識別子が追加されています。

図 2. CY8C29x44 のアナログ ブロック

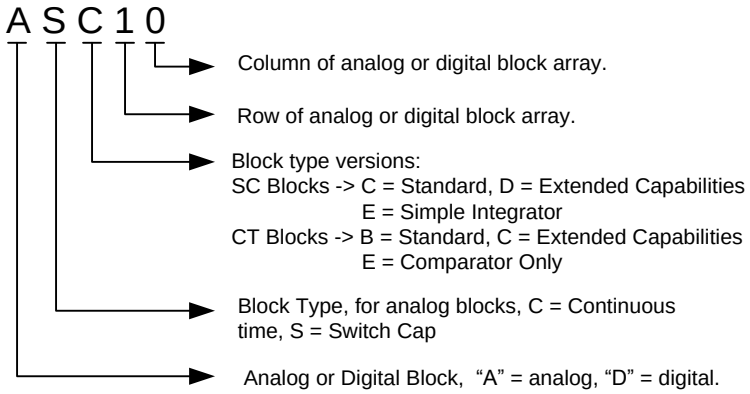


アナログ セクションは、選択したデバイスによって 1 本以上のアナログ列で構成されています。CY8C29x44 は 4 本のアナログ ブロックを備えています。単一列のデバイスは列 1 を使い、2 列のデバイスは列 1 と 0 を使います。CY28xxx デバイスには、図 2 に示した CY8C29x44 と同様な 4 列に加えて、主に CapSense に使用されるアナログ機能の制限された 2 列があります。表 1 は、本アプリケーション ノートに記載されている各部品タイプのアナログ ブロックとアナログ列の数のまとめです。

各ブロックは位置とブロック タイプを示すブロック識別子でラベル付けされています。ASC10 が、このフォーマットの一例です。「A」はアナログ ブロックを意味します。「S」はスイッチト キャパシタ ブロック タイプであることを示します。「C」はスイッチ キャパ

シタ ブロック タイプを表わします。アナログ マトリックス内のブロックの位置は最後の 2 桁で識別されます。この例の「10」は、ブロックが行 1 とアナログ列 0 にあることを示します。

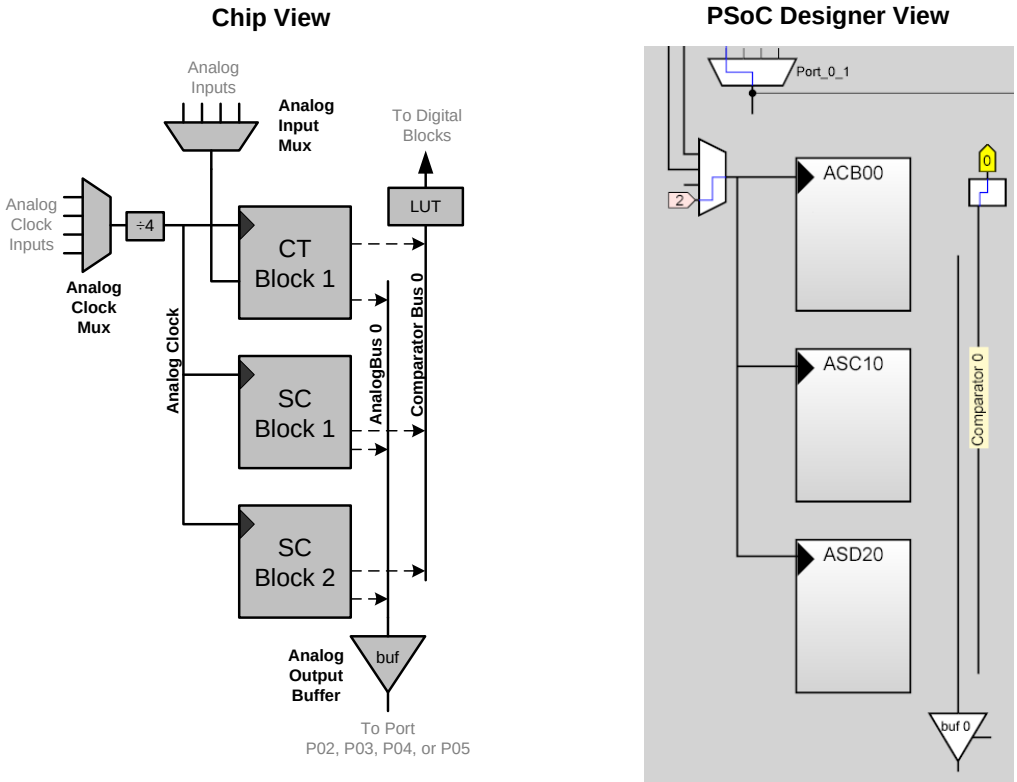
図 3. ブロック デコーダ



アナログ列の構造

標準的な PSoC 1 のアナログ列は、CT ブロック 1 個、SC ブロック 2 個、アナログ入力マルチプレクサ、アナログ バス、コンパレータ バス、アナログ出力バッファ、アナログ クロック マルチプレクサで構成されています。詳細は、図 4 を参照してください。以下の節ではアナログ列の構造の各部ついて説明します。

図 4. アナログ列の構造

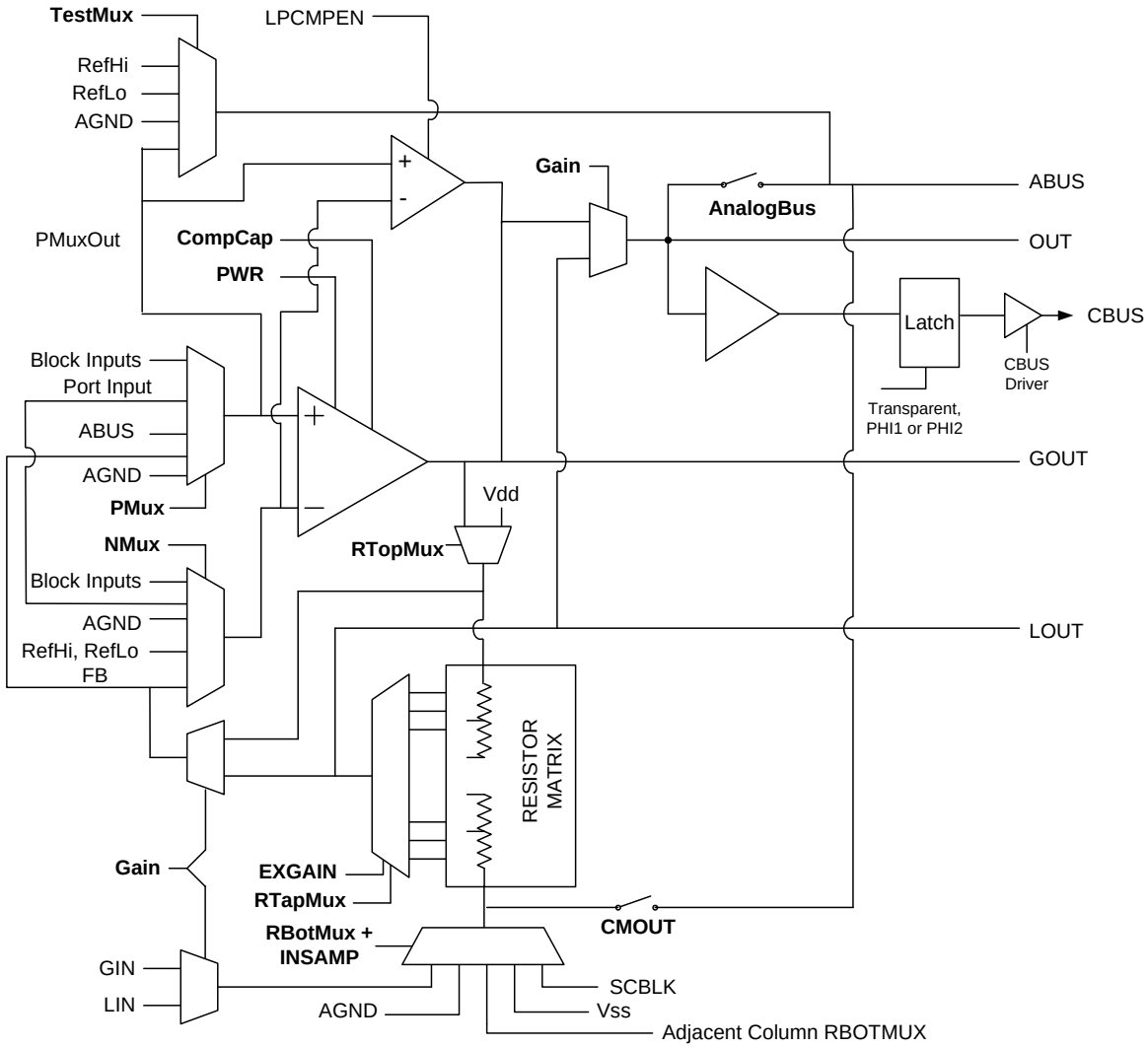


CT ブロック

CT ブロックの中心部は基本的なオペアンプです。一連の抵抗、いくつかのアナログ マルチプレクサ、1 個のコンパレータ出力などその他のコンポーネントが、柔軟性を増すために備えられています。このブロックをさまざまな方法でコンフィギュレーションして、いくつかの PSoC Designer ユーザー モジュールを作成することができます。図 5 に CT ブロックの基本構造を示します。以下は、アナログ CT ブロックで構築された PSoC Designer ライブラリのユーザー モジュールの例です。

- 反転アンプ (AMPINV)
- コンパレータ (COMP)
- 計測用アンプ (INSAMP)
- プログラマブル ゲイン アンプ (PGA)

図 5. PSoC の CT ブロック



SC ブロック

アナログ列内の残りの 2 個のブロックは、スイッチ キャパシタ (SC) ブロックです。SC ブロックは柔軟性があり、広範なユーザー モジュールに使用されます。最も一般的な用途は、PSoC ADC (アナログ-デジタル変換器) に使用される変調器です。以下は、現在 PSoC 1 SC ブロックを使用しているユーザー モジュールです。

- すべての PSoC 1 インクリメンタルおよび DelSig ADC (例: ADCINC、ADCINCVR、DelSigPlus、DUALADC、TRIADC など)
- すべての PSoC 1 DAC (DAC6、DAC8、DAC9、MDAC6、MDAC8)
- アナログ フィルター (LPF2、LPF4、BFP2、BFP4、ELPF2、ELPF4)
- DTMF ダイヤラー
- 汎用 SCBLOCK

図 6 と図 7 には、アナログ ブロックのマトリックスに交互配置された 2 個の基本 SC ブロックを示します。SC ブロックの詳細は、「AN2041 - Understanding PSoC 1 Switch Capacitor Analog Blocks」を参照してください。PSoC 1 にスイッチ キャパシタ フィルターを実装する方法の詳細については、「AN2168 - PSoC 1 Understanding Switched Capacitor Filters」を参照してください。

図 6. PSoC 1 の SC タイプ C ブロック

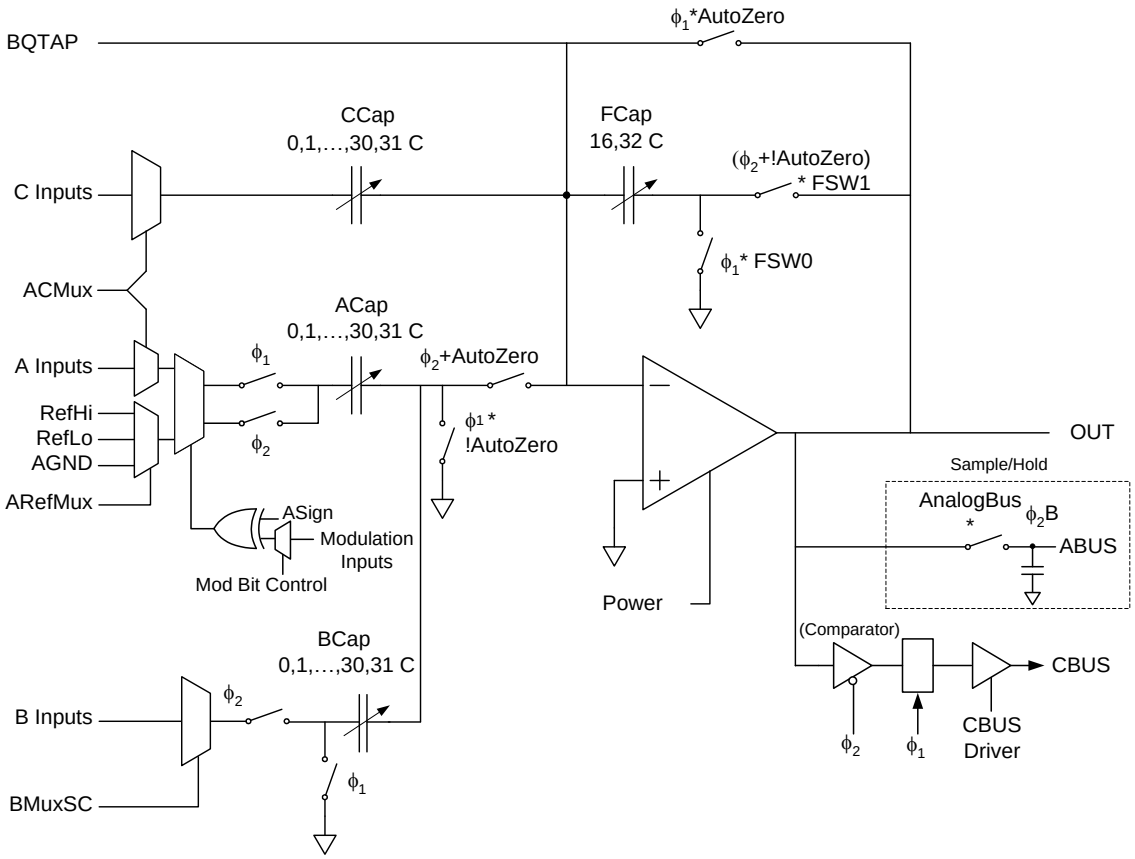
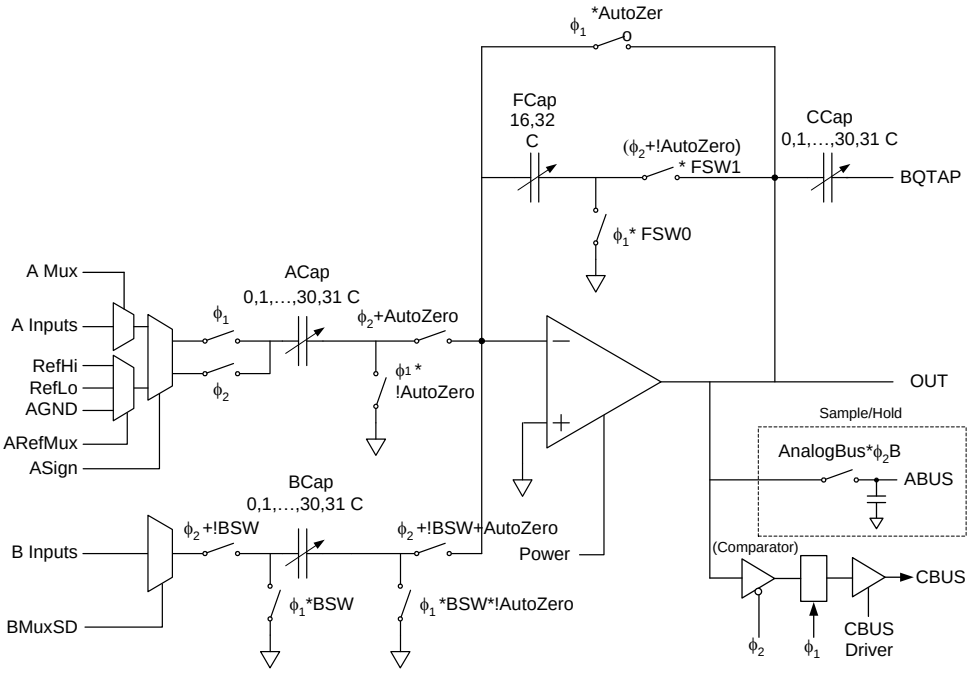


図 7. PSoC 1 の SC タイプ D ブロック



アナログ (列) バス

アナログ バスは主にアナログ信号を 1 個のアナログ ブロックからアナログ出力バッファへルーティングするために使用されます (詳細は、「アナログ出力アンプ」節を参照してください)。アンプ、DAC、フィルターなどアナログ信号を出力するユーザー モジュールはすべてアナログ列バスを駆動することができます。PSoC Designer では、1 個のアナログ ブロックでアナログ バスを駆動することができますが、同時に複数のブロックを使ってバスを駆動できるよう実行中にレジスタを設定することも可能です。次のブロックを接続する際は、2 つの出力が短絡するのを防ぐために必ず前のブロックを接続を解除してください。

列の下部 (行 2) で SC ブロックに位置する、入力を備えたアナログ ユーザー モジュールは、入力ソースとしてアナログ バスを使用することがあります。そうすることで、アナログ列バスは、CT ブロック (行 0) 出力からの信号をアナログ列の下部 (行 2) に位置するアナログ ユーザー モジュールの入力にルーティングするために使用することができます。

アナログ出力アンプ

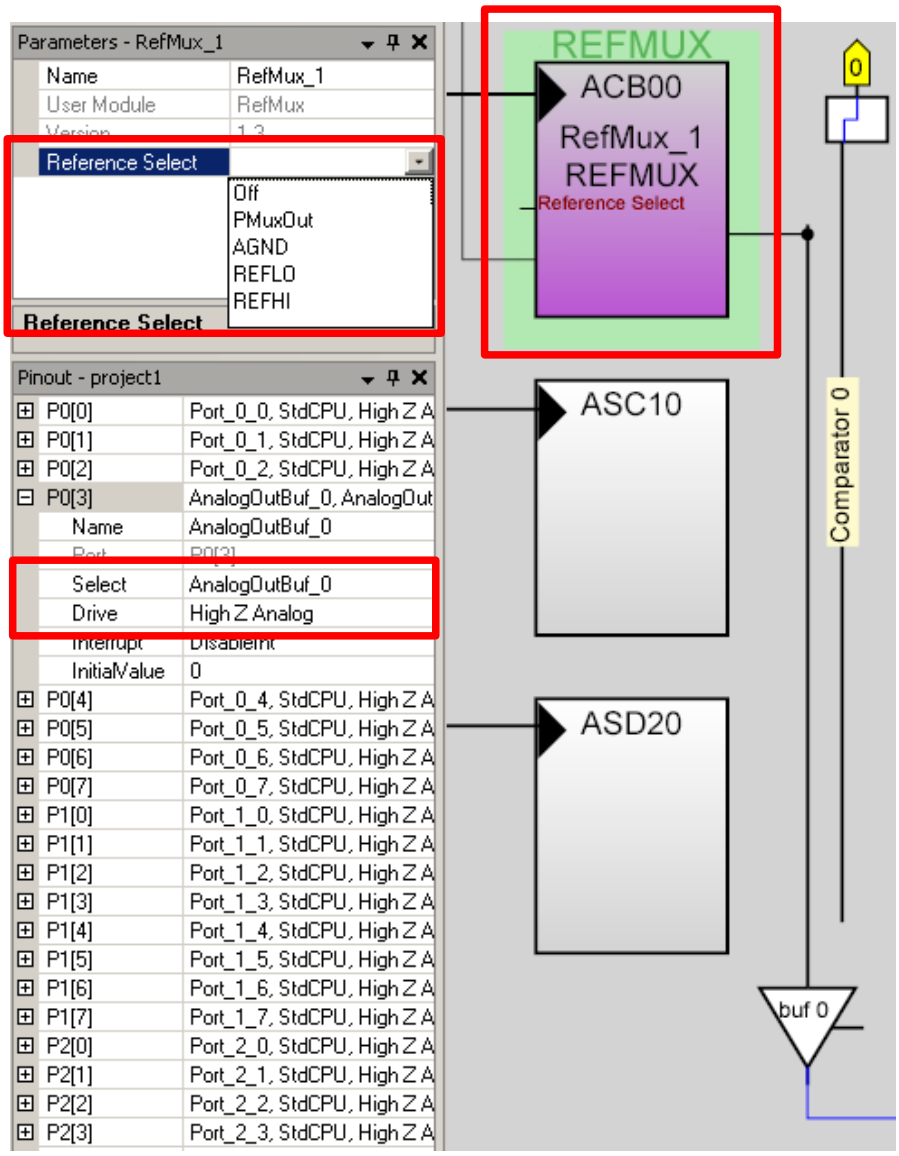
各列には、アナログ列バスに接続されたアナログ バッファがあります。アナログ バッファが有効な場合、デバイス ファミリによって 30～40mA を駆動できます。各バッファは専用 GPIO ピンに接続されています。0～3 の 4 列は、それぞれ P02、P03、P04、P05 ピンに接続されています。バッファが有効な場合、アナログ バス上の信号はバッファリングされ、対応するピンに駆動されます。バッファが無効な場合、ピンは標準 GPIO ピンとして動作します。また、バッファリングされていない信号をバッファを回避してピンに直接駆動することができますが、アナログ ブロックの駆動能力が低いためお勧めしません。

外部 GPIO ピンにルーティングする必要がある任意のアナログ ブロック出力は、十分な信号強度を提供するためにアナログ バッファを使用してバッファリングする必要があります。以下はアナログ バッファの一般的な用途例です。

- DAC 出力バッファ
- アナログ グランド バッファ (仮想グランド)
- フィルター出力
- リファレンス信号出力 (RefHi、RefLo、AGND)
- バッファ外部信号 (あるピンに入力し、バッファを通して別のピンから出力)

内部リファレンスをバッファリングするには、CT ブロック位置の列の最上部 (行 0) に **RefMux** ユーザー モジュールを配置します。RefMux ユーザー モジュールの **Reference Select** (リファレンス選択) パラメーターは、3 つのアナログ リファレンス電圧 (AGND、REFLO、REFHI) の 1 つ、または PMux (正入力マルチプレクサ) を介して GPIO ピンからの入力を選択するため使用されます。図 8 は、列 0 用のアナログ バッファの出力である P0[3]の RefMux パラメーター選択とコンフィギュレーションを示します。GPIO の **Drive** (駆動) モードを **High Z Analog** (高インピーダンス アナログ) に、**Select** (選択) パラメーターをバッファ **AnalogOutBuf_0** に設定することに注意してください。

図 8. RefMux ユーザー モジュールの設定

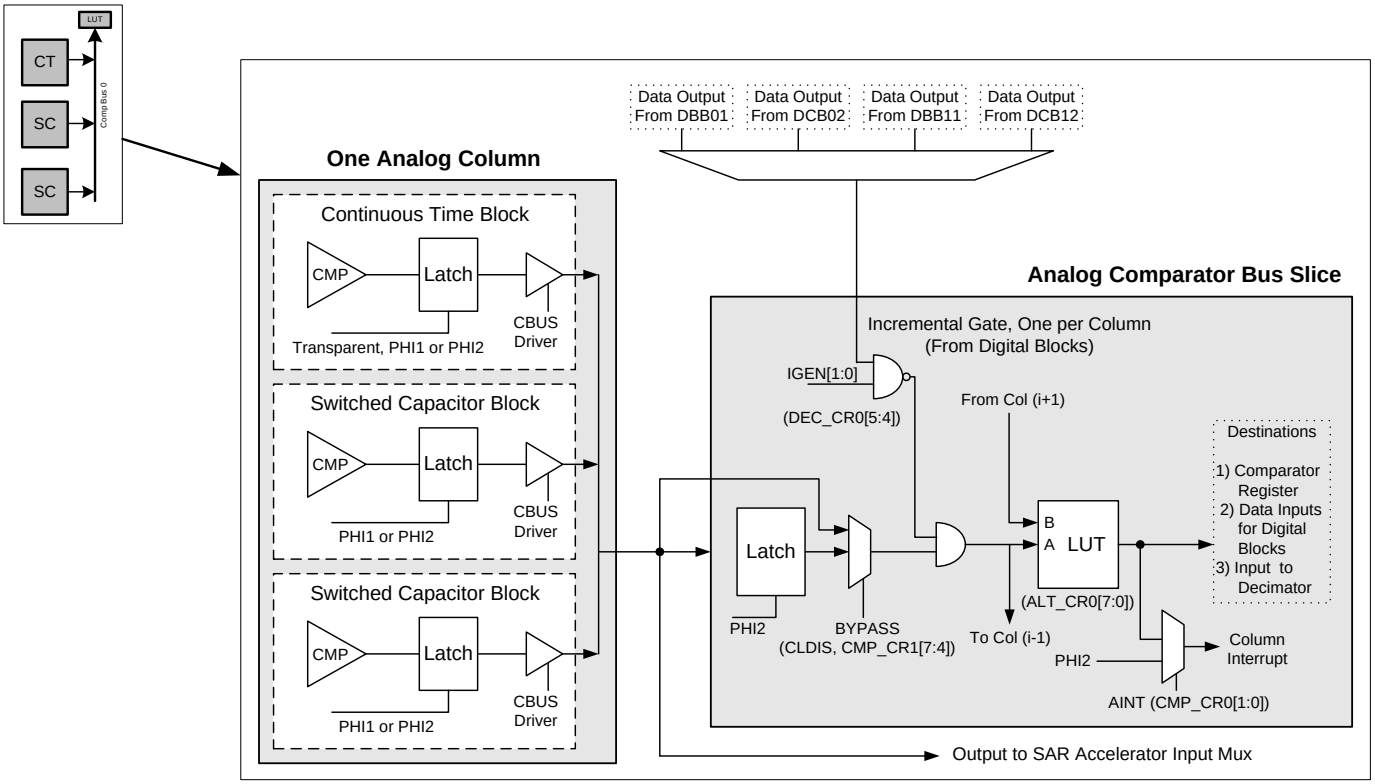


コンパレータ バス

各アナログ列には対応する専用のコンパレータ バスがあります。いかなるアナログ PSoC ブロックにも、このバスを駆動できるコンパレータ出力があります。ただし、コンパレータ バスを駆動できる列内のアナログ ブロックは 1 個しかありません。コンパレータ バス出力を信号ソースとしてデジタル ブロックにルーティングすることができます。また、ADC に使用されるデシメータへの入力および割り込み入力として機能し、アナログコンパレータ制御レジスタ (**CMP_CR0**) の読み出し専用データとしても利用できます。

CY8C28xxx ファミリでは、コンパレータ信号は複数のデジタル信号バスを駆動してデジタル ブロックへの入力や、ピン出力の直接駆動にさらに柔軟性を与えます。

図 9. コンパレータ バスとインターフェース



コンパレータ バスにはデジタル ルックアップ テーブル (LUT) があります。LUT には、コンパレータ バスの信号をその右側にあるコンパレータ バスの信号と組み合わせる複数の論理関数が含まれます。表 2 に LUT のあり得る組み合わせを示します。**A** はあるコンパレータ バスからの信号で、**B** は右側の列のコンパレータからの信号です。一番右の列の LUT をコンフィギュレーションする場合は、**B** 入力は一番左の列のものとなります。コンパレータの状態を確認するために **CMP_CR0** レジスタを読み出す際は、この状態が **LUT の出力**であり、LUT の選択オプションによっては実際のコンパレータ バスの状態とは異なることがあります。

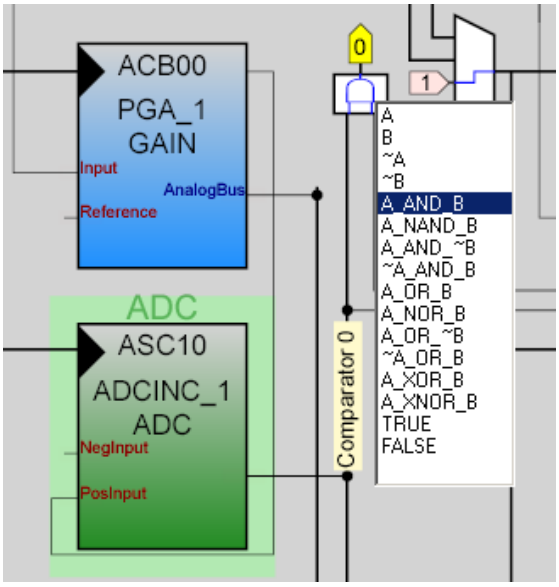
表 2. コンパレータのルックアップ テーブル (LUT) オプション

論理関数	説明
A	列コンパレータ バス
B	隣接するコンパレータ バス
~A	反転列コンパレータ バス
~B	隣接する反転コンパレータ バス
A AND B	A と B の論理積
A AND ~B	A とノット B の論理積

論理関数	説明
~A AND B	ノット A と B の論理積
A OR B	A と B の論理和
A NOR B	A と B の否定論理和
A OR ~B	A とノット B の論理和
~A OR B	ノット A と B の論理和
A XOR B	A と B の排他的論理和
A NOR B	A と B の論理否定
TRUE	常に HIGH 出力
FALSE	常に LOW 出力

図 10 に示すように、PSoC Designer インターフェースの LUT をクリックすると、設定できる論理回路のオプションが表示されます。関数を選択した後、LUT ボックスに論理記号が表示されます。図 10 には AND ゲートが示されています。アナログ列ごとにコンパレータ バスは 1 つしかないため、1 本の列にはコンパレータ出力を必要とするユーザー モジュールを 1 つしか配置することができません。コンパレータ出力を必要とするユーザー モジュールが複数ある設計の場合は、各ユーザー モジュールをそれぞれ別のアナログ列に配置するようにしてください。デルタ シグマなどほとんどの ADC はコンパレータ出力を利用してカウンターまたはデシメータとのインターフェースを取っています。コンパレータ (COMP) および汎用 SCBlock コンポーネントは、コンパレータ バスを使用する 2 つの別のユーザー モジュールです。

図 10. コンパレータ バスの LUT オプションの選択

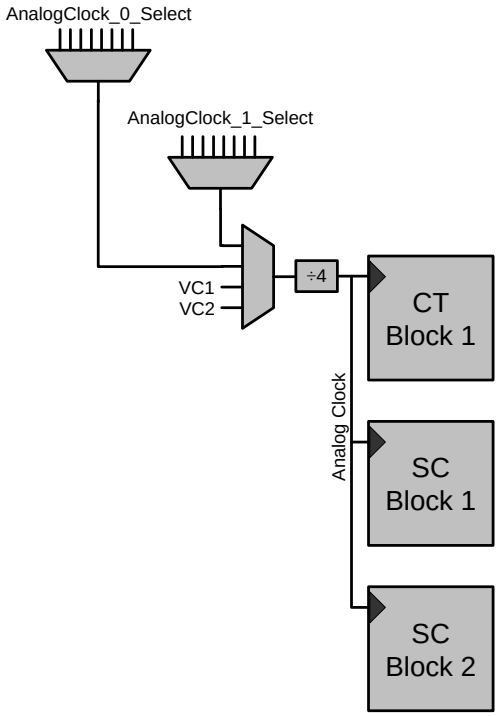


アナログ クロック

SC ブロックは、SC ブロックの内部スイッチを駆動するために 2 相の非重複クロックを必要とします。2 相クロックはアナログ列に接続されたクロックから派生します。CT ブロックは、コンパレータ モード時にこのブロックを使用して出力を SC ブロックおよび接続されているすべてのデジタル ブロックと同期させます。列ごとに個別のアナログ列クロック ジェネレータが提供されます。ここで重要なことは、**選択したクロック ソースに関わらず、列クロック ジェネレータの出力周波数は列内で入力周波数を 4 で分周されたものである**ということです。これは非重複クロックを生成するために行われます。

図 11 にアナログ列のアナログ クロック ツリーを示します。各 AnalogClock_x_Select マルチプレクサはデジタル ブロックの 1 つをクロック ソースに選択します。クロック ソースには、グローバル クロック VC1 と VC2 を選択することもできます。

図 11. アナログ クロック ツリー



隣接する列のブロック間でアナログ信号をルーティングする際、これらの列内のクロックの位相と周波数を同期させる必要があります。複数の列に対し同じ入力クロック ソースを選択することで周波数を同期させることができます。

スイッチ キャパシタ ブロックをベースとしたコンポーネントのほとんどには **ClockPhase** オプションがあります。このオプションを使用して位相の同期化を実現できます。長い信号チェーン

が正しく同期させられたかを慎重に確認する必要がある場合があります。

クロック位相の選択は、あるスイッチト キャパシタのアナログ PSoC ブロックの出力を別のスイッチト キャパシタのアナログ PSoC ブロックの入力と同期させるために使用します。スイッチト キャパシタのアナログ PSoC ブロックは、2 相クロック (φ1、φ2) を使用して信号を取得および転送します。一般的に、φ1 が HIGH の時に ADC への入力がサンプリングされます (通常設定)。ユーザー モジュールの多くが φ1 の間に自動的に出力をゼロにし、φ2 の間にのみ有効な信号を出力する場合には問題が生じます。このようなモジュールの出力が ADC の入力に供給されると、ADC は有効な信号の代わりに自動的にゼロにされた出力を取得します。クロック位相の選択により、位相をスワップすることができるため、入力信号の取得を φ2 の間に変更することができます (「スワップ」設定)。

図 12 に、電圧 DAC 出力が φ1 の間にのみ有効であるが、デフォルトでは ADC が φ2 の間にサンプリングされる例を示します。そのため、ADC が DAC 出力を読み出すのは、出力が有効な間の代わりに DAC の自動ゼロ サイクル中となります。ADC のクロック位相オプションを「Swapped」に変更すると、ADC が適切な時間にサンプリングされるようになります。各ユーザー モジュールは、データシートの **ClockPhase** パラメーターのセクションにて信号の取得または出力を選択します。

図 12. 通常およびスワップ クロック

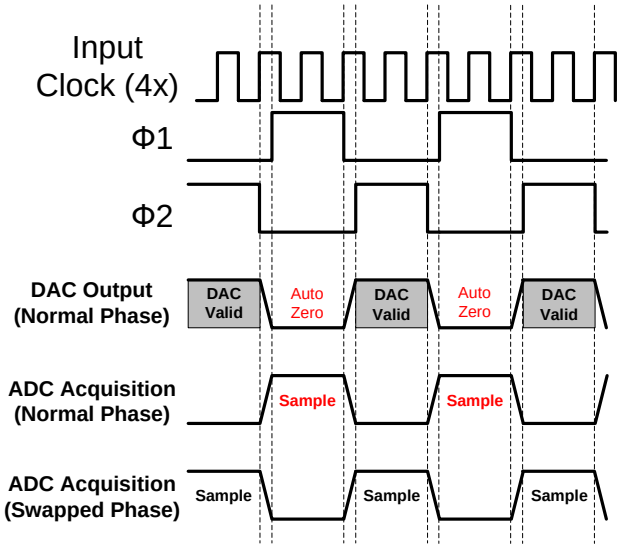
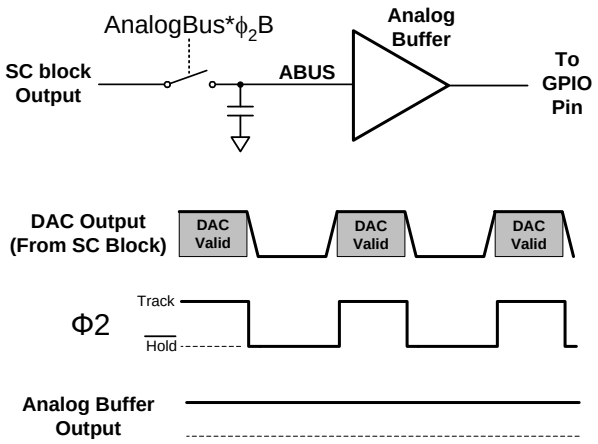


図 12 の「DAC Output」波形を見る限り、DAC 出力が連続信号のように見えないと心配されるかもしれません。SC ブロック出力は内部で自動ゼロと有効位相を切り替えますが、SC ブロックが正しく同期されている限り、問題はありません。信号がアナログ列バスにルーティングされる時、サンプル＆ホールド回路を通過します。アナログ列ごとに個別のサンプル＆ホールド回路があり、SC ブロック出力を連続時間信号に再変換します。

サンプル＆ホールド回路は、φ2 によって制御されるスイッチ、内部コンデンサ、電圧フォロワとしてコンフィギュレーションされた電圧オペアンプで構成されています。電圧フォロワとは、アナログ列の最下部にあるアナログ バッファのことです。サンプル＆ ホールド コンデンサは φ2 が HIGH の間に充電され、φ2 が LOW の間に保持されます。詳細は、図 13 を参照してください。

図 13. アナログ列のサンプル＆ホールド回路



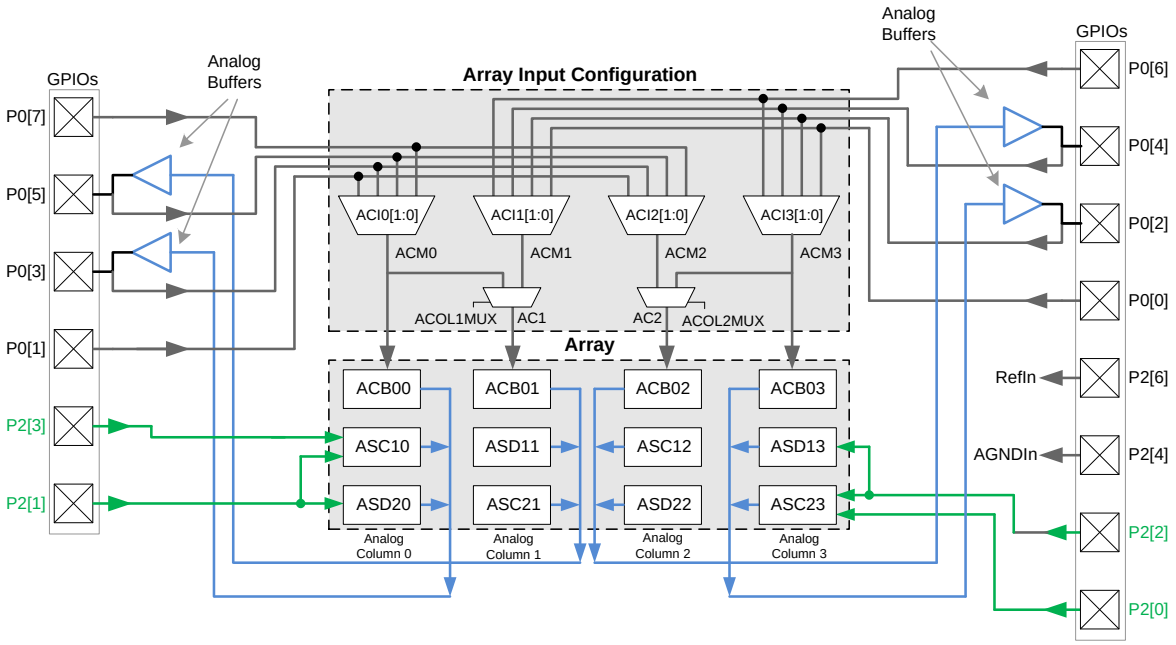
SC ブロックの図 6 と図 7 は、分かりやすくするためにサンプル＆ホールド コンデンサをブロックとして示しますが、実際にはアナログ列の一部です。

GPIO ピンへのアナログ接続

アナログ列入力と GPIO ピン間の接続は PSoC 1 ファミリによって異なりますが、本アプリケーション ノートで説明するすべてのデバイスには標準的なポート 0 とポート 2 の接続があります。ポート 0 ピン信号を列に直接ルーティングすることができます。奇数の Port0 ピンは列 0 と 2 (偶数の列) に直接接続され、偶数のポート 0 ピンは列 1 と 3 (奇数の列) に接続されます。列 1 と 2 には、これらの列がポート 0 上のすべてのピンにアクセスするようにする追加のマルチプレクサがあります。図 14 に基本的な接続を示します。

図 14 はまた、ポート 2 から列 0 と 3 にある SC ブロックへのいくつかの接続 (緑色の路線) も示します。追加の接続により、GPIO に直接接続することができ、ADC、ミキサ、フィルターなどのコンポーネントへのアナログ入力をさらに 4 本追加することができます。青色の路線は、3 つのアナログ ブロックのいずれも駆動できるアナログ列バスです。アナログ バス上の信号は、アナログ出力アンプを使用して専用の GPIO ピンを駆動することができます。

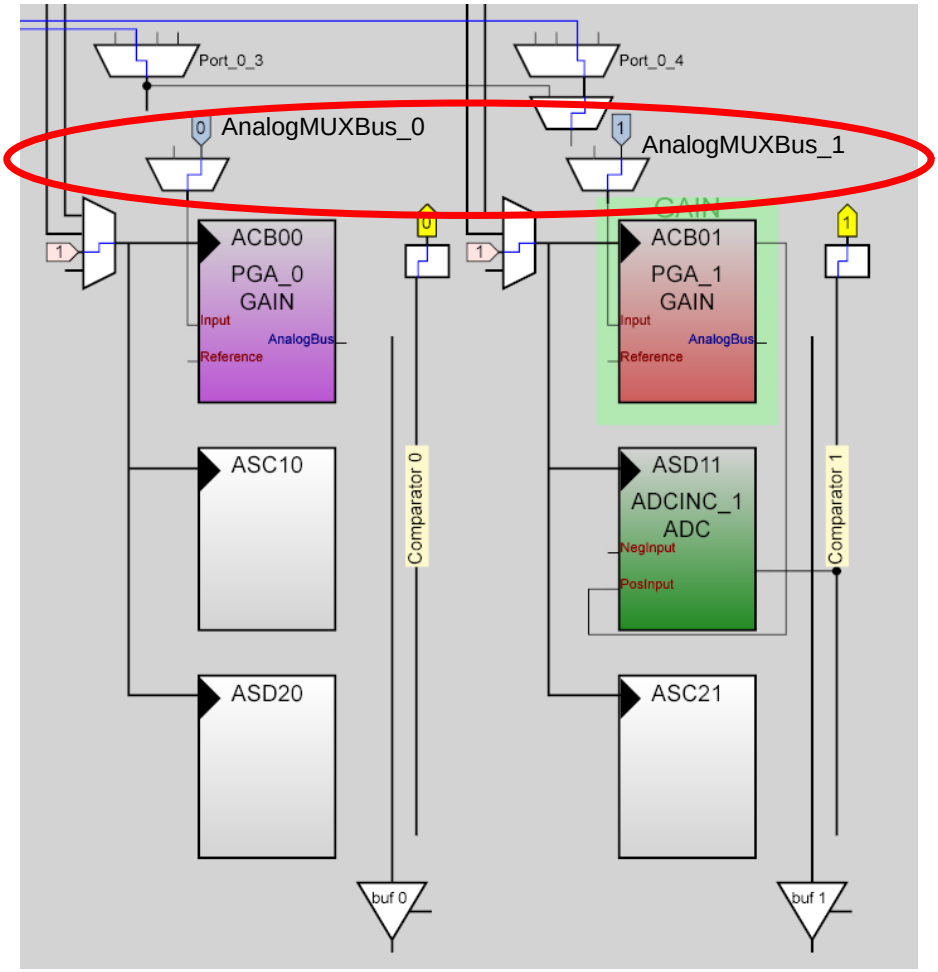
図 14. 基本アナログ接続



デバイス ファミリによって、この相互接続図の内容は多少異なります。前述の通り最大の相違点は、列数と、すべての GPIO をアナログ入力にコンフィギュレーションできるようにする AMux バスの追加です。PSoC Designer のチップ図では、アナログ マルチプレクサの第 3 層が AMux バスを備えた部品に追加されています。この追加層により、ポート 0 とポート 2 のいくつかのピンだけではなくすべての GPIO ピンとアナログ列との接続を提供します。

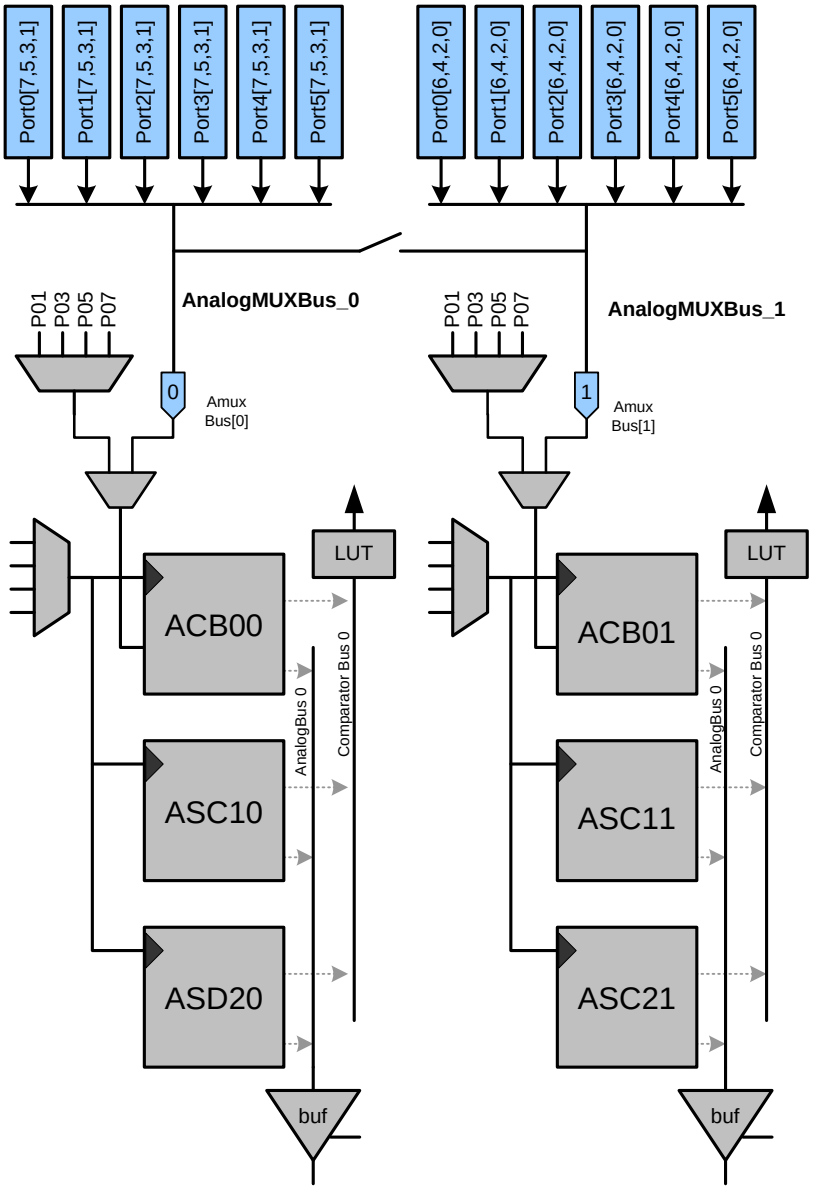
図 15 に CY8C24x94 デバイスの一例を示します。

図 15. PSoC Designer に表示される CY8C24x94 の AnalogMUXBus バス接続



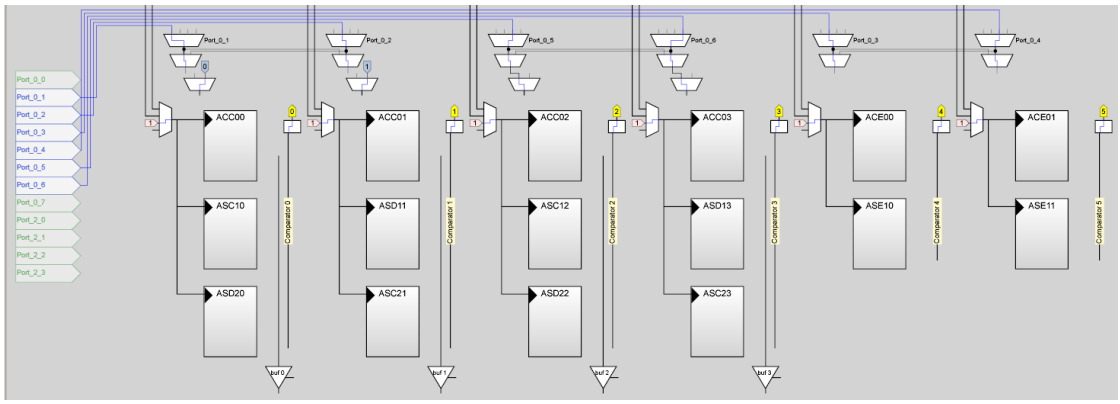
CY8C24x94 部品には、単独でまたは一緒に組み合わせて使用することができる 2 本の AnalogMUXBus があります。奇数のポートピンは AnalogMUXBus_0 に、偶数のピンは AnalogMUXBus_1 に接続することができます。これらのバスは、任意のアナログ信号をいずれかのアナログ列にルーティングするために使用するか、または CapSense 対応の部品に使用することができます。図 16 に各バスに接続可能なポート ピンを示します。

図 16. AnalogMUXBus 接続



CY8C28xxx デバイスは類似したアーキテクチャを持っていますが、4 本のアナログ列に拡張します。図 17 内の右側にある 2 本の追加列の機能性には制限があります。これらの 2 本の追加列には ACE タイプの CT ブロックと ASE タイプのスイッチ キャパシタ ブロックがあります。CT ブロック (ACE タイプ) は低消費電力且つ低オフセット アンプを中心に構築されます。これらのアンプは 2 つの使い方があります。別の列を駆動するユニティ ゲイン バッファとして使うか、あるいはオープン ループのコンパレータとして使うことができます。ASE ブロックは CapSense 用に ACE ブロックと一緒に使用される特殊なハードウェアです。

図 17. CY8C28xxx アナログ構造例



設計中に PSoC Designer の初期アナログ路線をコンフィギュレーションすることができます。初期アナログ路線は、ユーザーコードの実行 (*main.c*) 前にコンフィギュレーションします。実行中に一部またはすべてのアナログ路線を変更する必要がないアプリケーションについては、追加コードを生成する必要はありません。

実行中に特定のユーザー モジュールへの入力を変更する必要がある場合は、マルチプレクサ レジスタを直接コンフィギュレーションするコードを書くか、または提供されているアナログ マルチプレクサのユーザー モジュールを利用することができます。表 3 は各ファミリのアナログ マルチプレクサのユーザー モジュールの一覧です。

表 3. 利用可能なマルチプレクサ ユーザー モジュール

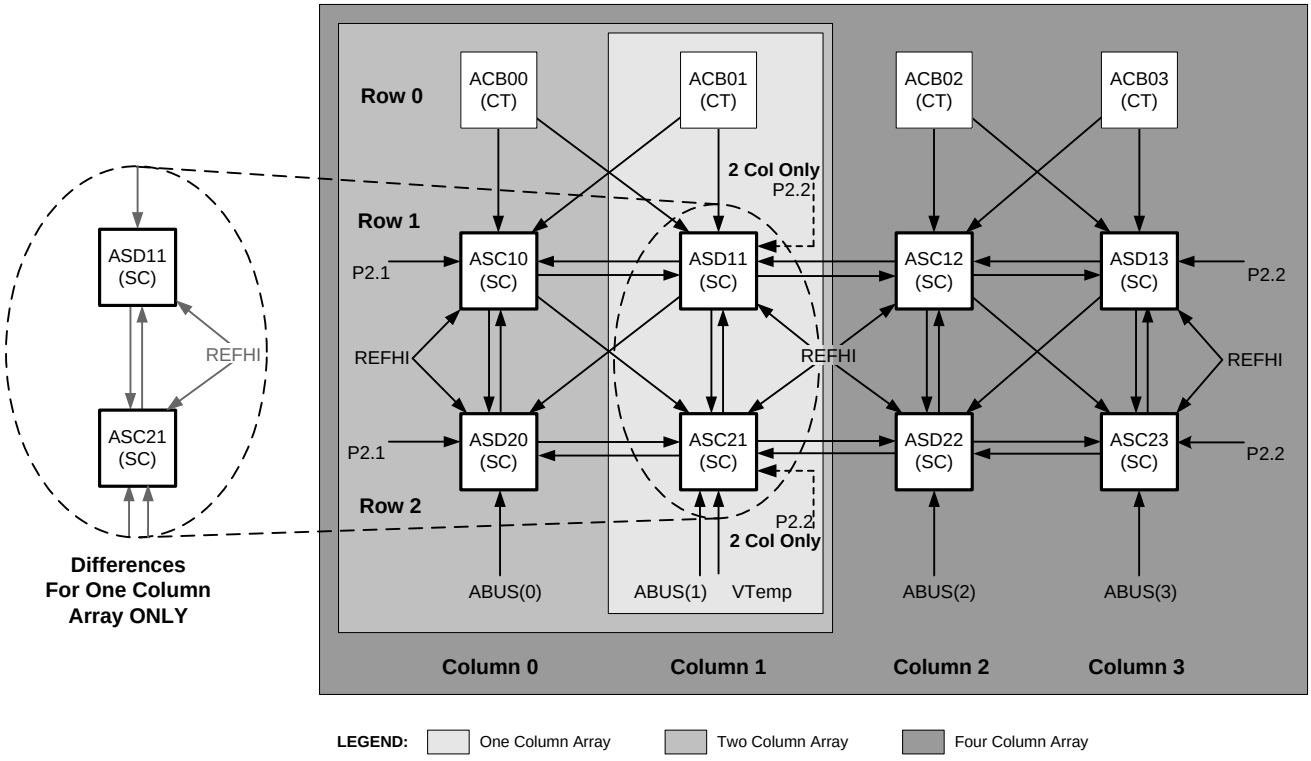
PSoC 部品ファミリ	アナログ 入力数	アナログ マルチプレクサ バス	アナログ マルチプレクサの ユーザー モジュール	説明
CY8C29x66 CY8C27x43 CY8C24x23	12	無	AMUX4 AMUX8	Port0、4 つの入力マルチプレクサ Port0、8 つの入力マルチプレクサ
CY8C24x94	48	有	AMUX4 AMUX8	ポート 0、4 入力マルチプレクサ ポート 0、8 入力マルチプレクサ
CY7C64215	48	有	AMUX4 AMUX8 AMuxN	ポート 0、4 入力マルチプレクサ ポート 0、8 入力マルチプレクサ すべての GPIO ピン
CY8C28x23	10	無	AMUX4 AMUX8	ポート 0、4 入力マルチプレクサ ポート 0、8 入力マルチプレクサ
CY8C28x33	40	有	AMUX4 AMUX8 AMuxN	ポート 0、4 入力マルチプレクサ ポート 0、8 入力マルチプレクサ すべての GPIO ピン
CY8C28x43 CY8C28x45	44	有	AMUX4 AMUX8 AMuxN	ポート 0、4 入力マルチプレクサ ポート 0、8 入力マルチプレクサ すべての GPIO ピン
CY8C28x52	24	有	AMUX4 AMUX8 AMuxN	ポート 0、4 入力マルチプレクサ ポート 0、8 入力マルチプレクサ すべての GPIO ピン

内部アナログ ブロックの相互接続

入力マルチプレクサおよびアナログ列バスからの接続以外に、各アナログ ブロックは最も近くにあるアナログ ブロックに接続することができます。図 18 にあり得る接続の一例を示します。これらの路線はポート 0 からの入力ルーティング、アナログ列バスおよび AMux バスには依存しません。ポート 2 からのアナログ ブロックへの直接入力も示されています。

PSoC 1 ファミリによって接続オプションは異なりますが、コンセプトは類似しています。選択した部品については、設計に役立つオプションを理解するためにテクニカル リファレンス マニュアル (TRM) のアナログの節を読むことが重要です。

図 18. アナログ ブロック間の接続



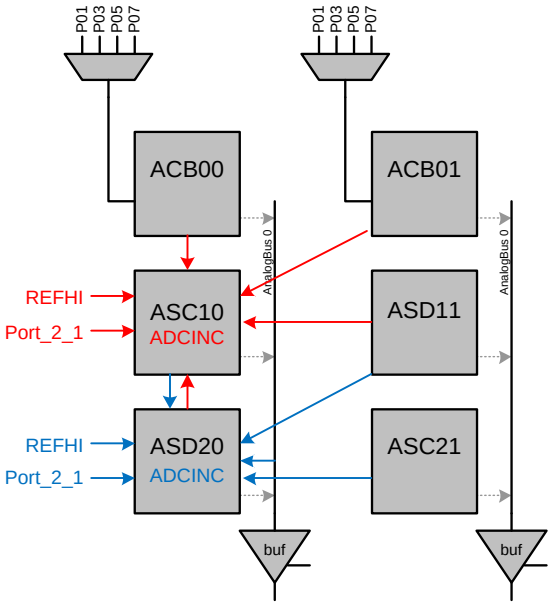
PSoC Designer は、ユーザー モジュールがブロックからブロックへ移動される際にこれらの経路を解釈し、入出力パラメーターを調整します。

図 19 に、ユーザー モジュール ブロック配置に依存する入力オプションの一例を示します。ADCINC ユーザー モジュールのアナログ ブロックが最初の列の行 1 に配置されている場合は、ブロックが行 2 に配置されている場合とは接続オプションが異なります。赤色と青色の矢印は ADCINC 用のあり得る正の入力オプションを示しています。表 4 は、ASC10 と ASC20 ブロックそれぞれのあり得る ADCINC 正の入力オプションを示します。ほとんどの接続は異なることに注意してください。

表 4. ADCINC 入力オプション

ASC10 に配置された ADC (行 1)	ASD20 に配置された ADC (行 3)
ACB00	ASC10
ASD11	Port_2_1
REFHI	ASC21
ASD20	AnalogOutBus_0
ACB01	REFHI
Port_2_1	ASD11

図 19. ADCINC 入力オプション例



内部リファレンス構造

PSoC (プログラマブル システムオンチップ) は、3.0～5.25V の単一電源で動作します。一般的に、ほとんどのシステムのアナログ信号はグランド リファレンスを基準にした正負両極性を持っています。PSoC は、V_{SS} チップ グランドに対して正極性の信号のみを処理します。仮想アナログ グランド (AGND) はチップ上に生成され、AGND を基準にして正負にスイングする信号の基準点を提供します。仮想グランドは V_{SS} と V_{DD} の間であり、各電源レールを基準とする信号が電源によってクリップされるのを防ぐために電源レールから十分、分離する必要があります。PSoC 1 部品には、内部でグランドを生成するオプションと、外部生成された信号を仮想グランド リファレンスとして使用するオプションがあります。

3 つの基準電圧では DAC、ADC およびその他のアナログ コンポーネントの電圧範囲が決まります。AGND (アナログ グランド)、RefHi (高リファレンス)、RefLo (低リファレンス) の 3 つのリファレンスは、内部バンドギャップ リファレンス、電源電圧 (V_{SS} と V_{DD})、または外部リファレンス電圧のいずれかをベースに生成されます。

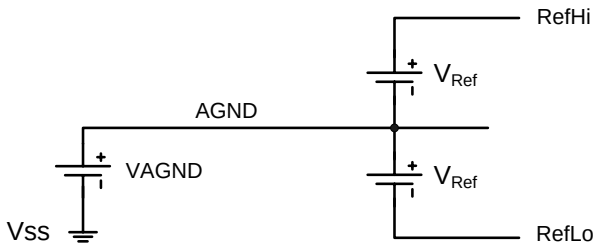
内部バンドギャップ リファレンスは安定した 1.3V の V_{REF} を生成します。このリファレンスは BandGap と呼ばれます。リファレンス オプションのいくつかは BandGap リファレンスを使用して AGND、RefHi、RefLo 信号を生成します。これらの信号間の関係は RefLo < AGND < RefHi です。AGND と V_{REF} をベースにした式を使用して RefHi と RefLo を計算することができます。V_{REF} は BandGap、V_{DD} (チップ電源)、または外部基準信号から派生します。

$$RefHi = AGND + Vref$$

$$RefLo = AGND - Vref$$

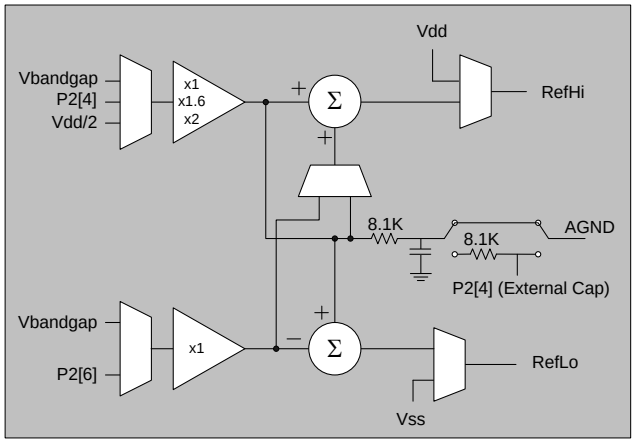
RefLo および RefHi 信号は DAC と ADC の上限と下限を定義するため重要です。V_{REF} は、内部 BandGap 電圧 (1.3V) × 定数、または $V_{DD}/2$、または P2[6]ピンに接続された外部信号となります。アナログ グランド (AGND) は、$V_{DD}/2$、または BandGap から派生する、または P2[4]ピンに接続された外部ソースから生成されます。AGND、RefHi、RefLo 信号の略図を図 20 に示します。

図 20. RefHi、RefLo、AGND の略図



リファレンス (AGND、RefHi、RefLo) の生成回路の簡略図を図 21 に示します。

図 21. リファレンス システムのブロック図



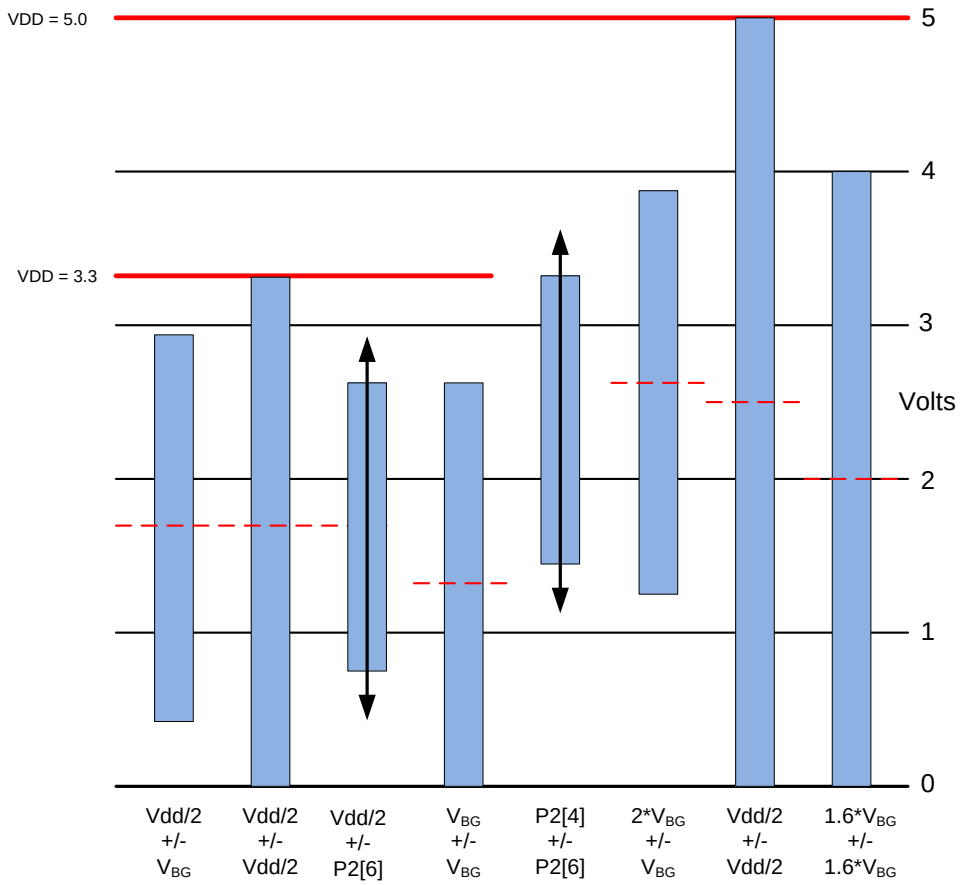
RefHi および RefLo の式を使用してリファレンスの簡略図を理解することで、各設定のリファレンス電圧を計算することができます。表 5 に、計算された各リファレンス電圧を示します。RefLo および RefHi は常に V_{SS}～V_{DD} の範囲内にある必要があるため、すべてのオプションがすべての電源電圧に有効ではないことに注意してください。V_{SS} をリファレンスとした計測の場合、RefLo = V_{SS} のオプションが最善の選択肢となります。これは、測定中の信号がそのレファレンスに RefHi、RefLo、AGND のいずれかを使用することを保証することは優れた設計方法です。

表 5. 計算された AGND、RefHi、RefLo

Ref Mux のオプション	$_{V}$DD	RefLo	AGND	RefHi
(V_{DD}/2)+/- BandGap	3.3V	0.350V	1.65V	2.95V
	5.0V	1.2V	2.5V	3.7V
(V_{DD}/2)+/-(V_{DD}/2)	3.3V	0.0V (V_{SS})	1.65V	3.3V (V_{DD})
	5.0V	0.0V (V_{SS})	2.5V	5.0V (V_{DD})
BandGap+/-BandGap	3.0V～5.0V	0.0V (V_{SS})	1.30V	2.60V
(1.6*BandGap)+/-(1.6*BandGap)	> 4.16V	0.0V (V_{SS})	2.08V	4.16V
(2*BandGap) +/- BandGap	> 3.9V	1.3V	2.6V	3.9V
(2*BandGap) +/- P2[6]	3.0V～5.0V	2.6V – P2[6]	2.6V	2.6V + P2[6]
P2[4] +/- BandGap	3.0V～5.0V	P2[4] – 1.3V	P2[4]	P2[4] + 1.3V
P2[4] +/- P2[6]	3.0V～5.0V	P2[4] – P2[6]	P2[4]	P2[4] + P2[6]

図 22 は、3.3V および 5.0V の電源に対する SC ベースのユーザー モジュールの有効入出力範囲をわかりやすく示すために表 5 をグラフ化したものです。

図 22. リファレンス、DAC、ADC の範囲



リファレンス出力のオペアンプは、一般的に各電源レールから 0.3V の一定のヘッドルームを必要とします。アナログ グランドとリファレンスが外部ソースから派生した場合、RefHI および RefLO 信号はこの要件を満たす必要があります。

リファレンスが電源レールである場合 (例えば、$V_{DD}/2$ +/- $V_{DD}/2$、RefHI = V_{DD}、RefLO = V_{SS})、リファレンス出力オペアンプはオフとなり、リファレンスは適切な電源レールに直接切り替わります。

DAC 出力はリファレンス値 (RefHi と RefLo) に調整されます (図 22 を参照してください)。外部負荷に接続された DAC 出力がアナログ出力バッファを使っていることを確認してください。SC ブロックは内部アナログ ブロックのみを駆動するように設計されています。

PSoC 内のアナログ出力バッファはレール ツー レールではなく、一般的に定格負荷において V_{SS} からは 0.4 V、V_{DD} からは 0.6 V に達します。これは、リファレンス出力が V_{DD} または V_{SS} に設定されている場合でもシステム設計がこの出力スイングに対応できるようにするためです。アナログ バッファの定格負荷については、デバイス データシートを参照してください。

表 6 は、各リファレンス オプションの要約と特定のアプリケーションに最適な選択を提案します。

表 6. グランドおよびリファレンスの選択

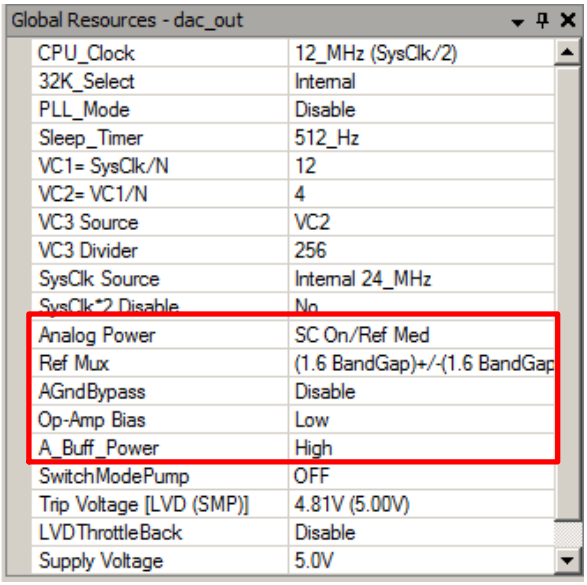
選択	アプリケーション
$V_{DD}/2$ +/- BandGap	差動センサーまたは絶対電圧が測定される AC 結合した測定を使用するシステム。例えば、オーディオ信号処理
V_{DD} /2 +/- V_{DD} /2	電源電圧に比例した、電源電圧をトラッキングする入力範囲のあるアナログ-デジタル変換器を必要とする出力を備えたセンサーを使用するシステム。例えば、V_{DD} に接続した圧力センサー
BandGap +/- BandGap	この選択肢を効果的に利用できるのは、絶対 (電源に比例していない) 測定を必要とするシステム。例えば、バッテリ測定やシステム電源監視
1.6*BandGap +/- 1.6*BandGap	この設定は 2*BandGap のフルスケールよりも広範囲な絶対測定を必要とするシステムに使用。4.16V は 12 ビット システムでは 1mV/ビットにかなり近いことに注意してください。
2*BandGap +/- BandGap	固定電圧を中心とする制限範囲のあるシステムに使用。AN2017 に記載されているように抵抗およびサーミスタの温度測定に一般的に使用
2*BandGap +/- P2[6]	ユーザー指定の ADC 入力範囲のある絶対測定を行うシステムで、一般的に基準のアナログ グランド周りの感度が高い場合に使用。この場合の制限は、リファレンス電圧生成時のオフセット電圧の蓄積。ユーザー供給リファレンスの最小値が 0.5V 未満にならないように制限
P2[4] +/- BandGap	ユーザー指定のアナログ グランド値のある絶対測定を行うシステムに使用。センサーが中間電源電位近くに特定のリファレンスを出力するシステムによく使用。この値はシステム キャリブレーションに不可欠となる
P2[4] +/- P2[6]	ユーザーがグランドとリファレンスの両方に外部の値を提供するシステムに使用。一般的に、アナログ グランドが特定のオフセットに設定され、ユーザーがより分解能の高い、範囲の制限された ADC 入力を必要とするシステムを対象としている。リファレンス生成器のオフセット誤差への影響で分解能の限界を設定

グローバル アナログ パラメーター

PSoC Designer には ADC、DAC、フィルター、アンプなどほとんどのアナログ ユーザー モジュールを含む設計全体に影響を与えるいくつかのグローバル設定があります。グローバル設定は PSoC Designer のウィンドウに表示されます。図 23 に示す赤枠で囲んだ対象のアナログ パラメーターは以下の通りです。

- Analog Power
- Ref Mux
- AGndBypass
- Op-Amp Bias
- A_Buf_Power

図 23. PSoC Designer グローバル リソース



アナログ グローバル パラメーター設定では、PSoC アナログ パラメーターの初期状況を設定できます。これらの設定のほとんどは電源投入時に一度設定されてから不変ですが、アプリケーションによっては実行中にこれらのパラメーターを変更する必要が生じる場合があります。その際は、レジスタへの書き込みによりパラメーターを別々に変更することができます。ARF_CR レジスタは Analog Power、Ref Mux、および Op-Amp Bias コントロールを制御します。ABF_CR0 はアナログ出力バッファ電源 (A_Buff_Power) を制御します。AGndBypass モードを有効にするには、BDG_TR レジスタを使用します。(AGndBypass については、本書の後半で説明します。) ほとんどのレジスタは複数の機能を制御するため、修正したい機能のビットのみを修正するように注意してください。各 PSoC 1 ファミリの TRM (テクニカル リファレンス マニュアル) は、ABF_CR、ABF_CR0、および BDG_TR レジスタの各ビットを詳細に説明しています。

Analog Power

Analog Power (アナログ電源) パラメーターはアナログ SC、CT、およびリファレンス バッファ電源レベルの初期状態を設定します。リファレンス バッファを含むすべてのアナログ ブロックをオン／オフにするマスター スイッチの役割を果たします。各アナログ SC および CT ブロックには、オフ、低、中、高の 4 つの電源設定ができる独自の電源制御機能があります。少なくとも 1 個のアナログ ブロックを使用するすべてのユーザー モジュールには、「Start」や「SetPower」などの電源レベルを選択することができる API 関数が含まれています。正しい電源レベルは、ユーザー モジュールおよびモジュールに使用されるアナログ クロック周波数に依存します。表 7 はアナログ電源パラメーターの有効な設定リストです。

表 7. Analog Power の設定

Analog Power のオプション	CT ブロック電源	SC ブロック電源	Ref 電源
All Off	オフ	オフ	オフ
SC Off / Ref Low	オン	オフ	低
SC Off / Ref Med	オン	オフ	中
SC Off / Ref High	オン	オフ	高
SC On / Ref Low	オン	オン	低
SC On / Ref Med	オン	オン	中
SC On / Ref High	オン	オン	高

2 つの「オン」のそれぞれで、リファレンス駆動の高、中、低レベルから内部リファレンス バッファの電流駆動能力を選択します。性能と消費電力のバランスをとれるようにする必要があります。

この選択は PSoC の総消費電力に影響を与えます。リファレンスおよびそれに対応するオペアンプ ブロックを使用する各ユーザー モジュールでは、デバイスの消費電力が多少増加します。ほとんどのスイッチト キャパシタ回路の不可欠要素として内部リファレンスが使用されるため、電流駆動能力はスイッチト キャパシタ ブロックの動作速度に影響を与えます。一般的に、このパラメーターの設定値が高いほど、スイッチト キャパシタ回路はより高いクロック レートで動作できる一方、消費電力は高くなります。オペアンプ ブロック当たりの消費電流 (および電力) を予測するには、部品データシート内の該当表を参照してください。

A_Buf_Power

A_Buf_Power パラメーターを使用すると、アナログ列バスに接続されたアナログ出力バッファの電源レベルを選択することができます。これらのバッファは PSoC で外部ピンを駆動する内部アナログ信号をバッファリングするために使用されます。この電源設定はバッファの周波数応答にはほとんど影響はありませんが、容量性負荷の駆動時に安定性を改善します。負荷容量が 100pF を超える場合は「High」設定を推奨します。負荷容量が 100pF 以下の場合は、省電力のために「Low」設定を使用するのが最善です。最大負荷容量は約 200pF です。

AGndBypass

PSoC デバイスの中には外部アナログ グランド (AGND) バイパス キャパシタを P2[4]に提供する能力のあるものがあります。内部 AGND に発生するスイッチング ノイズをある程度低減します。この機能は **AGNDBypass** パラメーターを **Enable** に設定することで有効にします。また、GPIO ピン P2[4]を正しく設定する必要があります。図 24 に示すように、**Pinout** ウィンドウで GPIO の **Select** オプションを **ExternalAGND** に設定する必要があります。外付けバイパス コンデンサの標準値は 0.01µF～10µF で、通常は 10µF を超えてはなりません。推奨値は 1µF です。

図 24. AGND のコンフィギュレーション

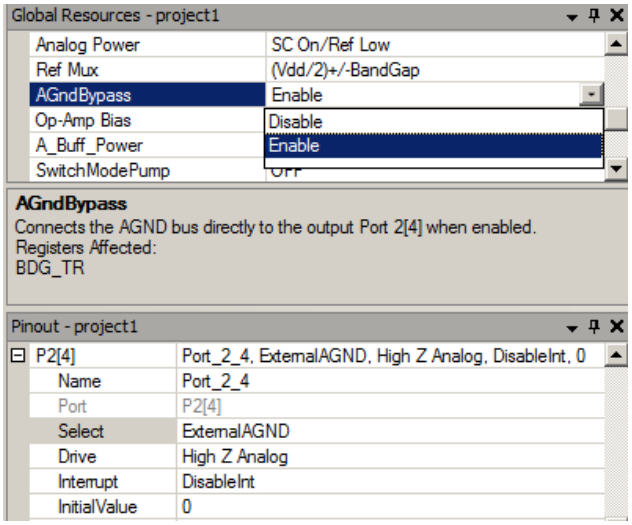
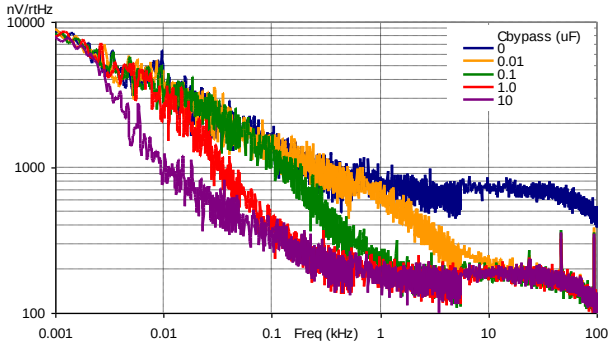


図 25 に、バイパス コンデンサを使用しない場合の典型的なノイズおよび 0.01µF～10µF の範囲でバイパス コンデンサを付けた場合を示します。バイパス コンデンサの値が増加するとカットオフ周波数が減少することに注意してください。

図 25. P2[4]にコンデンサを接続した場合の典型的な AGND ノイズ、µF でのキャパシタ値



Op-Amp Bias

Op-Amp Bias (オペアンプのバイアス) パラメーターは、連続時間およびスイッチ キャパシタのアナログ ブロックのすべてのオペアンプのバイアスを調整します。内部オペアンプの性能は、開発中のアプリケーションに基づいて PSoC のアナログ セクションのバイアス状態を高または低に設定することで調整できます。高バイアスに設定すると、オペアンプの消費電流が増えますが、帯域幅とスイッチング速度も増え、出力インピーダンスが低下します。オペアンプの消費電力の合計は、グローバル「Op-Amp Bias」パラメーターと個々の電源設定の関数です。オペアンプ バイアスの高または低設定の影響を含む、オペアンプ ブロック当たりの消費電流 (および電力) を予測するには、部品データシート内の該当表を参照してください。AC オペアンプ パラメーターの影響を予測するには、デバイス データシート内の該当 AC オペアンプ仕様を参照してください。表 8 に、電源設定の異なるアナログ ブロック アンプの最小 GBW を示します。

表 8. 電力およびバイアス設定に関するオペアンプ GBW

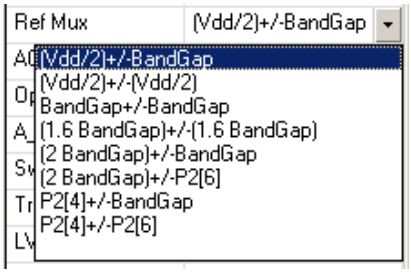
個々のオペアンプ電源設定	オペアンプのバイアス	ゲインと帯域幅の積 (最小)
低	低	0.75MHz
中	高	3.1MHz
高	高	5.4MHz

Ref Mux

Ref Mux パラメーターは、前述のグローバル アナログ設定の中で最も重要な設定です。Ref Mux パラメーターは ADC または DAC などのアナログ SC ブロックを使用するコンポーネントの範囲と (潜在) 精度を決定します。Ref Mux パラメーターで指定した値は、対になり [AGND レベル ± フルスケール] を含みます。詳細は、「内部リファレンス構造」節を参照してください。選択したリファレンスは、スイッチト キャパシタ回路に入力され、

スイッチト キャパシタ回路から出力されるべき最大電圧を制御します。このパラメーターを使用して、アナログ グランド (AGND) レベルとピーク ツー ピーク電圧を選択します。Ref Mux のメニュー オプションは、図 26 を参照してください。

図 26. リファレンス選択オプション



PSoC 1 のアナログ電圧測定と信号処理アプリケーションは、高精度のグランドおよび電圧リファレンスの使用を必要とします。正しいアナログ グランドおよび電圧リファレンスを選択することは高精度のシステム性能を得るために欠かせません。PSoC 1 ではリファレンスを柔軟に設定することができます。

ADC 誤動作のトラブルシューティング

コンフィギュレーションのミスがいくつも重なると ADC は目的通り動作しないか、あるいは全く動作しないことになります。問題とその解決方法について以下に一覧を示します。

- **クロック選択**: ほとんどの ADC にはデジタルとアナログ両方のスイッチ キャパシタ ブロックがあります。アナログとデジタル両方のブロックに同じクロックが選択されたことを確認してください。
- **クロック範囲**: アナログ ユーザー モジュールごとにはアナログ SC ブロックをベースとする最小と最大クロック速度があります。選択したクロックが指定のクロック範囲内にあることを確認してください。実際の SC クロック周波数は入力クロック周波数の 1/4 であることを覚えておいてください。
- **クロック位相**: 信号を 1 個の SC ブロック ベースのユーザー モジュールから別のユーザー モジュールに流す際は、クロック位相を逆にする必要があることがあります。SC ブロックを使用するほとんどのユーザー モジュールには ClockPhase パラメーターがあります。2 個以上の SC ブロックを通る信号経路が **Normal** と **Swapped** 間を切り替えることに注意してください。
- **電源設定**: SC ブロックを含むユーザー モジュールの電源設定は、アナログ クロック速度を基準にして設定する必要があります。クロック速度が高い場合は、SC ブロックの電源設定も高く設定する必要があります。
- **リファレンス マルチプレクサ**: リファレンス マルチプレクサがグローバルであるため、すべてのアナログ SC ブロック ベースのコンポーネントは同じ設定にする必要があります。すべてのアナログ コンポーネントと選択した Ref Mux 設定と互換性があることを確認してください。
- **割り込み**: ほとんどの ADC は ISR (割り込みサービス ルーチン) の処理が必要です。特定の ADC 割り込みとグローバル割り込みが有効になっていることを確認してください。
- **CPU オーバーヘッド**: ISR の結果を処理する ADC は高速で動作する場合、CPU 負荷を増加させます。他のコンポーネントも割り込みを必要とする場合は、サンプル レートを下げる必要があることがあります。

まとめ

基本 PSoC 1 アナログ アーキテクチャを理解することで、グローバル アナログ パラメーターおよび個々のアナログ ユーザー モジュール パラメーターを理解する際に役立ちます。グローバル Ref Mux 設定およびリファレンスがどのように生成されるかはアーキテクチャの最も重要な部分です。最初は広範なリファレンス設定で混乱するかもしれませんが、現在市販されているアナログ／デジタル混在信号マイクロコントローラーにとって最も柔軟性の高いアナログ システムの 1 つなのです。

著者について

氏名:	Mark Hastings
役職:	アプリケーション エンジニア MTS
経歴:	Mark Hastings は、1984 年にワシントン州立大学の電気エンジニアリング学部を卒業しました。過去 27 年間にわたり、埋め込み信号およびアナログ／デジタル混在信号の設計に携わってきました。
連絡先:	meh@cypress.com

改訂履歴

文書名: PSoC® 1 のアナログ構造および PSoC Designer™を用いたコンフィギュレーション - AN74170

文書番号: 001-79329

版	ECN 番号	変更者	発行日	変更内容
**	3619108	HZEN	05/15/2012	これは英語版 001-74170 Rev. **を翻訳した日本語版 001-79329 Rev. **です。
*A	4669799	HZEN	03/27/2015	これは英語版 001-74170 Rev. *C を翻訳した日本語版 001-79329 Rev. *A です。
*B	4771708	HZEN	05/20/2015	これは英語版 001-74170 Rev. *C を翻訳した日本語版 001-79329 Rev. *B です。

ワールドワイドな販売と設計サポート

サイプレスは、事業所、ソリューション センター、メーカー代理店および販売代理店の世界的なネットワークを保持しています。お客様の最寄りのオフィスについては、サイプレスのロケーション ページをご覧ください。

製品

車載	cypress.com/go/automotive
クロック＆バッファ	cypress.com/go/clocks
インターフェース	cypress.com/go/interface
照明＆電源管理	cypress.com/go/powerpsoc cypress.com/go/plc
メモリ	cypress.com/go/memory
光学式ナビゲーション センサー	cypress.com/go/ons
PSoC	cypress.com/go/psoc
タッチ センシング	cypress.com/go/touch
USB コントローラー	cypress.com/go/usb
ワイヤレス／RF	cypress.com/go/wireless

PSoC®ソリューション

psoc.cypress.com/solutions

PSoC 1 | PSoC 3 | PSoC 4 |PSoC 5LP

サイプレス開発者コミュニティ

コミュニティ | フォーラム | ブログ | ビデオ | トレーニング

テクニカル サポート

cypress.com/go/support

xx および xx は、サイプレス セミコンダクタ社の登録商標です。本書で言及するその他すべての商標または登録商標は、それぞれの所有者に帰属します。

Cypress Semiconductor
198 Champion Court
San Jose, CA 95134-1709

Phone : 408-943-2600
Fax : 408-943-4730
Website : www.cypress.com

© Cypress Semiconductor Corporation, 2012-2015. 本文書に記載される情報は予告なく変更される場合があります。Cypress Semiconductor Corporation (サイプレス セミコンダクタ社) は、サイプレス製品に組み込まれた回路以外のいかなる回路を使用することに対して一切の責任を負いません。サイプレス セミコンダクタ社は、特許またはその他の権利に基づくライセンスを譲渡することも、または含意することもありません。サイプレス製品は、サイプレスとの書面による合意に基づくものでない限り、医療、生命維持、救命、重要な管理、または安全の用途のために使用することを保証するものではなく、また使用することを意図したものでもありません。さらにサイプレスは、誤動作や誤りによって使用者に重大な傷害をもたらすことが合理的に予想される生命維持システムの重要なコンポーネントとしてサイプレス製品を使用することを許可していません。生命維持システムの用途にサイプレス製品を供することは、製造者がそのような使用におけるあらゆるリスクを負うことを意味し、その結果サイプレスはあらゆる責任を免除されることを意味します。
このソースコード (ソフトウェアおよび／またはファームウェア) はサイプレス セミコンダクタ社 (以下「サイプレス」) が所有し、全世界の特許権保護 (米国およびその他の国)、米国の著作権法ならびに国際協定の条項により保護され、かつそれらに従います。サイプレスが本書面によりライセンシーに付与するライセンスは、個人的、非独占的かつ譲渡不能のライセンスであり、適用される契約で指定されたサイプレスの集積回路と併用されるライセンシーの製品のみをサポートするカスタム ソフトウェアおよび／またはカスタム ファームウェアを作成する目的に限って、サイプレスのソース コードの派生著作物をコピー、使用、変更そして作成するためのライセンス、ならびにサイプレスのソース コードおよび派生著作物をコンパイルするためのライセンスです。上記で指定された場合を除き、サイプレスの書面による明示的な許可なくして本ソース コードを複製、変更、変換、コンパイル、または表示することはすべて禁止します。
免責条項: サイプレスは、明示的または黙示的を問わず、本資料に関するいかなる種類の保証も行いません。これには、商品性または特定目的への適合性の黙示的な保証が含まれますが、これに限定されません。サイプレスは、本文書に記載される資料に対して今後予告なく変更を加える権利を留保します。サイプレスは、本文書に記載されるいかなる製品または回路を適用または使用したことによって生ずるいかなる責任も負いません。サイプレスは、誤動作や故障によって使用者に重大な傷害をもたらすことが合理的に予想される生命維持システムの重要なコンポーネントとしてサイプレス製品を使用することを許可していません。生命維持システムの用途にサイプレス製品を供することは、製造者がそのような使用におけるあらゆるリスクを負うことを意味し、その結果サイプレスはあらゆる責任を免除されることを意味します。
ソフトウェアの使用は、適用されるサイプレス ソフトウェア ライセンス契約によって制限され、かつ制約される場合があります。