请注意赛普拉斯已正式并入英飞凌科技公司。
此封面页之后的文件标注有“赛普拉斯”的文件即该产品为此公司最初开发的。请注意作为英飞凌产品组合的部分，英飞凌将继续为新的及现有客户提供该产品。

文件内容的连续性
事实是英飞凌提供如下产品作为英飞凌产品组合的部分不会带来对于此文件的任何变更。未来的变更将在恰当的时候发生，且任何变更将在历史页面记录。

订购零件编号的连续性
英飞凌继续支持现有零件编号的使用。下单时请继续使用数据表中的订购零件编号。

AN74170

PSoC® 1 模拟结构和利用 PSoC Designer™进行配置

作者：Mark Hastings
相关项目：无
相关器件系列：PSoC® 1
软件版本：PSoC® Designer™ 5.4 或更高版本
相关应用笔记：无

如果您有任何问题，或者需要获得本应用笔记的相关帮助，请通过邮箱 meh@cypress.com 联系本文作者。

AN74170 介绍了标准 PSoC® 1 系列器件的模拟结构，并对全局模拟参数如何影响模拟用户模块进行了相关介绍。

目录

简介 1
PSoC 1 架构 3
模拟 PSoC 模块阵列 4
模拟队列结构 5
至通用 I/O 引脚的模拟连接 13
内部模拟模块互连 17
内部参考结构 18
全局模拟参数 21
ADC 操作的故障诊断与排除 23
总结 23
文档修订记录 24
销售、解决方案以及法律信息 25

简介

在使用 PSoC 1 系列微控制器进行设计时，需要使用 PSoC Designer 及其高层接口来配置 PSoC，其中的配置内容包括模拟结构。除了放置和配置单个用户模块（构建模块）外，还需要配置某些全局模拟参数。当一个设计由若干个模拟用户模块组成时，全局参数和模拟模块的设置会影响模块的性能，正确理解这些全局参数以及整体模拟结构显得至关重要。

本应用笔记假设您已熟悉了 PSoC Designer 开发工具，并了解如何开发项目。本应用笔记包含以下主题：

- PSoC 模拟模块阵列结构
- 模拟队列结构
- 通用 I/O 引脚上的模拟连接
- 内部模拟模块互连
- 内部参考结构
- 全局模拟参数
- ADC 操作的故障诊断与排除

本应用笔记涉及到 PSoC 系列器件，它具有通用的应用和相似的结构，如表 1 所示。虽然这里提及的 PSoC 器件支持 CapSense，但仅包含 CapSense®（电容式触摸屏输入）功能的 PSoC 器件并未包含在本应用笔记中。

表 1 列出了每个器件系列的模拟资源。在连接方面这些器件的主要区别为模拟多路复用总线，即 AMux。AMux 可以连接所有通用的 I/O，而不是连接端口 0 上的八个引脚和端口 2 上的四个引脚。请注意，在表 1 中，所有使用了 AMux 总线的 PSoC 系列器件都至少有十二个模拟输入。有关这些 PSoC 系列的具体信息，请参阅相关系列的器件数据手册以及《技术参考手册》（TRM）中的**模拟系统**部分。

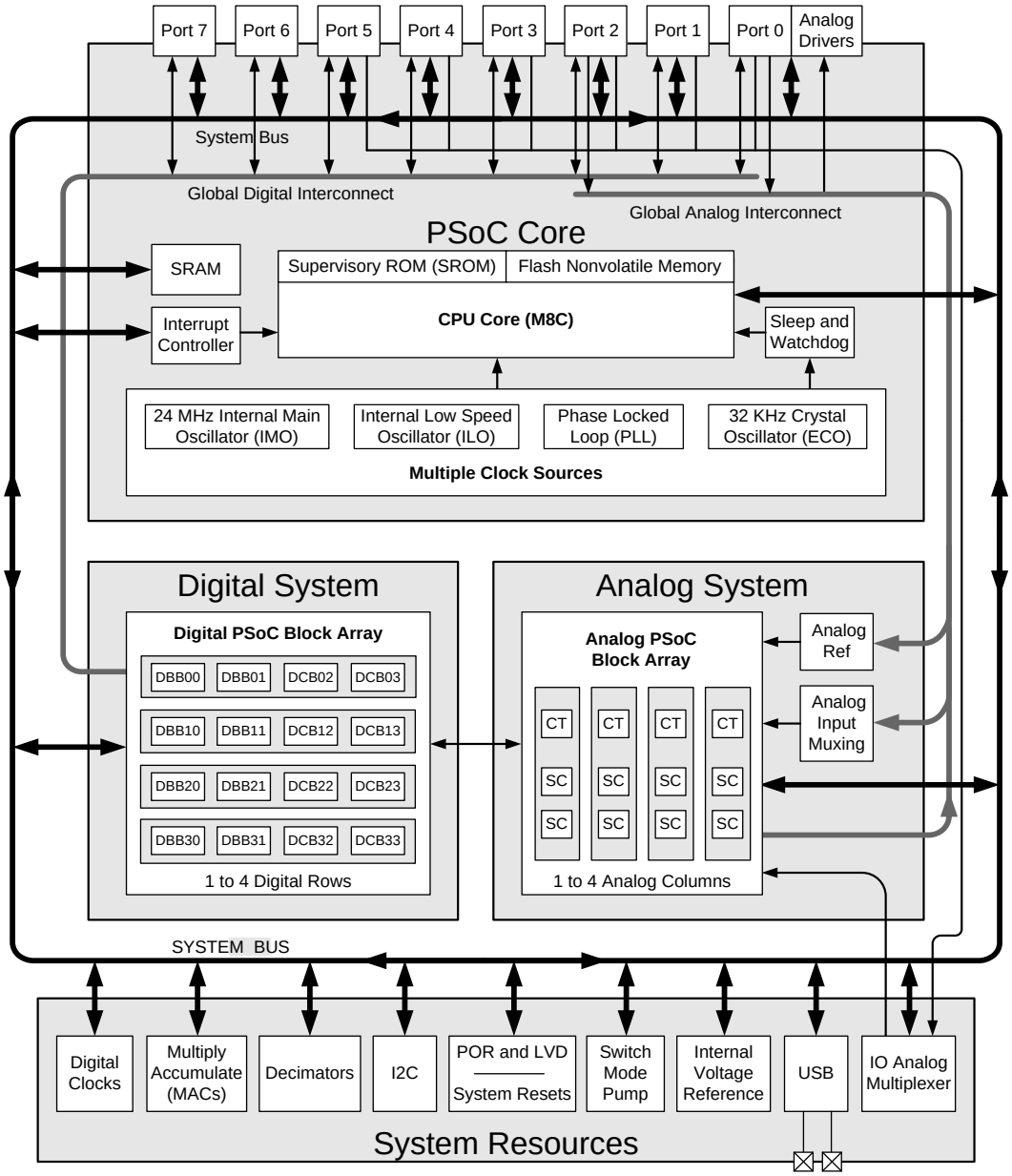
表 1. 本应用笔记涉及的器件系列

PSoC 器件系列	模拟输入	模拟输出	模拟列	模拟模块	受限模拟模块	模拟复用器总线（AMux）
CY8C29x66	12	4	4	12	0	无
CY8C27x43	12	4	4	12	0	无
CY8C24x94	48	2	2	6	0	有
CY8C24x23	12	2	2	6	0	无
CY7C64215	48	2	2	6	0	有
CY8C28x23	10	2	2	6	0	无
CY8C28x33	40	2	4	6	4	有
CY8C28x43	44	4	4	12	0	有
CY8C28x45	44	4	4	12	4	有
CY8C28x52	24	4	4	12	4	有

PSoC 1 架构

PSoC 1 系列架构分为四部分：模拟系统、数字系统、PSoC 内核和系统资源。对于不同的器件系列，每个部分的大小和复杂程度都不一样。图 1 显示的是标准 PSoC 1 器件的框图。

图 1. PSoC 1 框图



本应用笔记重点讨论了模拟 PSoC 模块阵列。模拟 PSoC 模块阵列由两类基本的模拟模块组成，分别为连续时间（CT）模块和开关电容（SC）模块。这两个模块间的配置灵活性很高，所以 PSoC Designer 中所有可用的模拟用户模块（如 ADC、DAC 和 PGA）均可通过这两个基本模块创建。

通过这些模块创建的模拟用户模块包括若干个 ADC、DAC、滤波器、混频器、PGA 以及其他组件。

对于不同的器件系列，数字 PSoC 模块阵列包含 4 至 16 个模块。这些数字模块适用于计数器、定时器、PWM、UART 和 SPI 等组件。另外，它们还可以与模拟模块配合使

用，以创建 ADC 用户模块中所需要的定时器和计数器。本应用笔记仅在讨论模拟和数字模块连接时涉及数字模块。

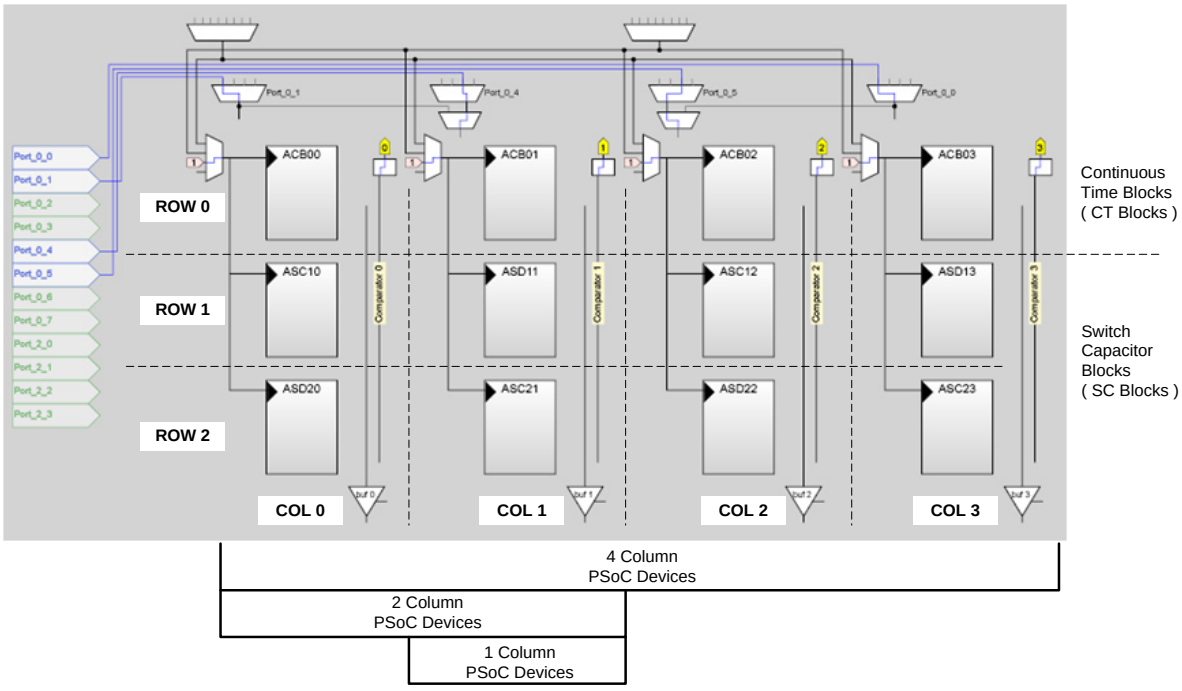
系统资源部分可能包含固定函数模块，如 I²C、开关模式泵、USB、内部参考电压和 I/O 模拟复用器。实际可用资源取决于相应器件系列。

PSoC 内核包含 CPU、SRAM、闪存 ROM、中断控制器、振荡器和通用 I/O。不同的器件带有大小不同的 ROM 和 RAM，而其他模块则相同。不同封装也会限制通用 I/O 引脚的总数。本应用笔记描述了模拟部分和通用 I/O 引脚的连接。

模拟 PSoC 模块阵列

开启 PSoC Designer，并在使用 PSoC 1 的一个器件（如 CY8C29x43）创建新项目时，**Chip**（芯片）视图将显示两组模块。视图的上半部分将显示数字模块，下半部分则显示模拟模块。图 2 展示的是模拟模块部分的示例。其他器件系列的视图与此相似，但可用的模块数量不同，并且模块与通用 I/O 引脚的互连也不一样。视图中添加了行和列的标识符，以便在本文档的后面内容中对模块位置进行说明。

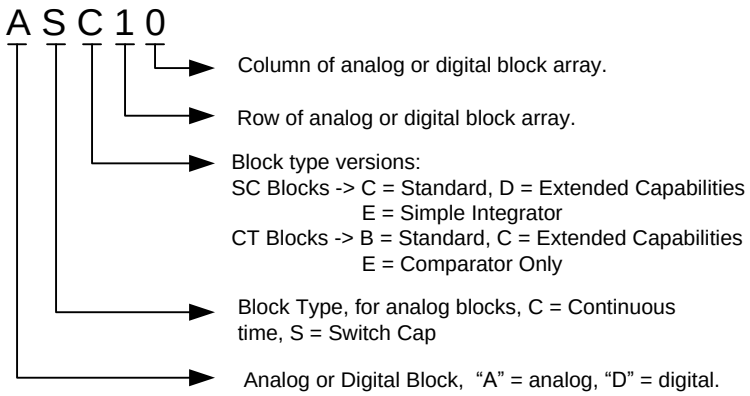
图 2. CY8C29x44 的模拟模块示意图



针对选择的具体器件，模拟部分可包含一个或多个模拟队列。CY8C29x44 包含四列模拟模块。仅包含一列模拟资源的器件使用队列 1，包含双列模拟资源的器件则使用队列 0 和队列 1。CY28xxx 器件含有与图 2 所示的 CY8C29x44 相类似的四列模拟模块，此外，还包含两个模拟功能有限的队列，主要供 CapSense 使用。 表 1 总结了本应用笔记中所提及的每一类器件的模拟模块和模拟列数。

每个模块均标有模块标识符，用来说明模块类型和位置。ASC10 属于该格式的一个示例。“A”表示该模块为模拟模块。“S”表示该模块为开关电容模块类型。“C”表示开关电容模块的类型。模块在模拟矩阵中的位置由最后两位数字确定。在这个示例中，“10”表示本模块位于第 1 行和第 0 模拟列中。

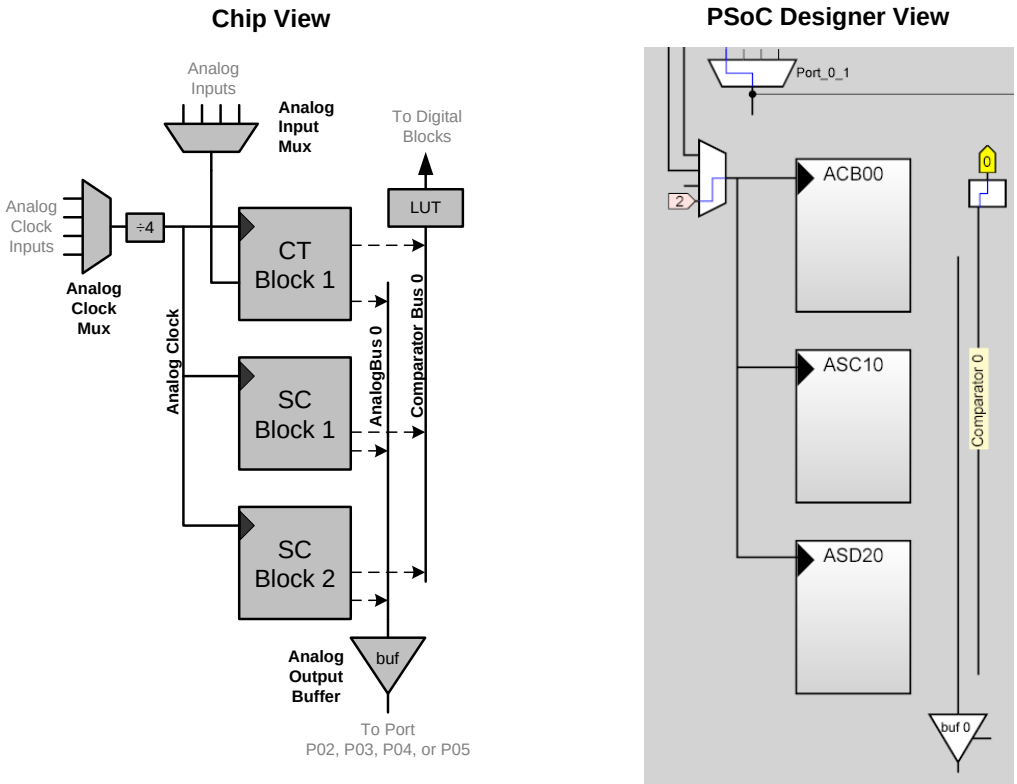
图 3. 编号规则



模拟队列结构

标准 PSoC 1 模拟列含有一个 CT 模块、两个 SC 模块，以及模拟输入复用器、模拟总线、比较器总线、模拟输出缓冲区和一个模拟时钟复用器。请参见图 4 了解更多详细内容。我们将在以下部分分别讨论模拟队列结构的各个部件。

图 4. 模拟队列结构

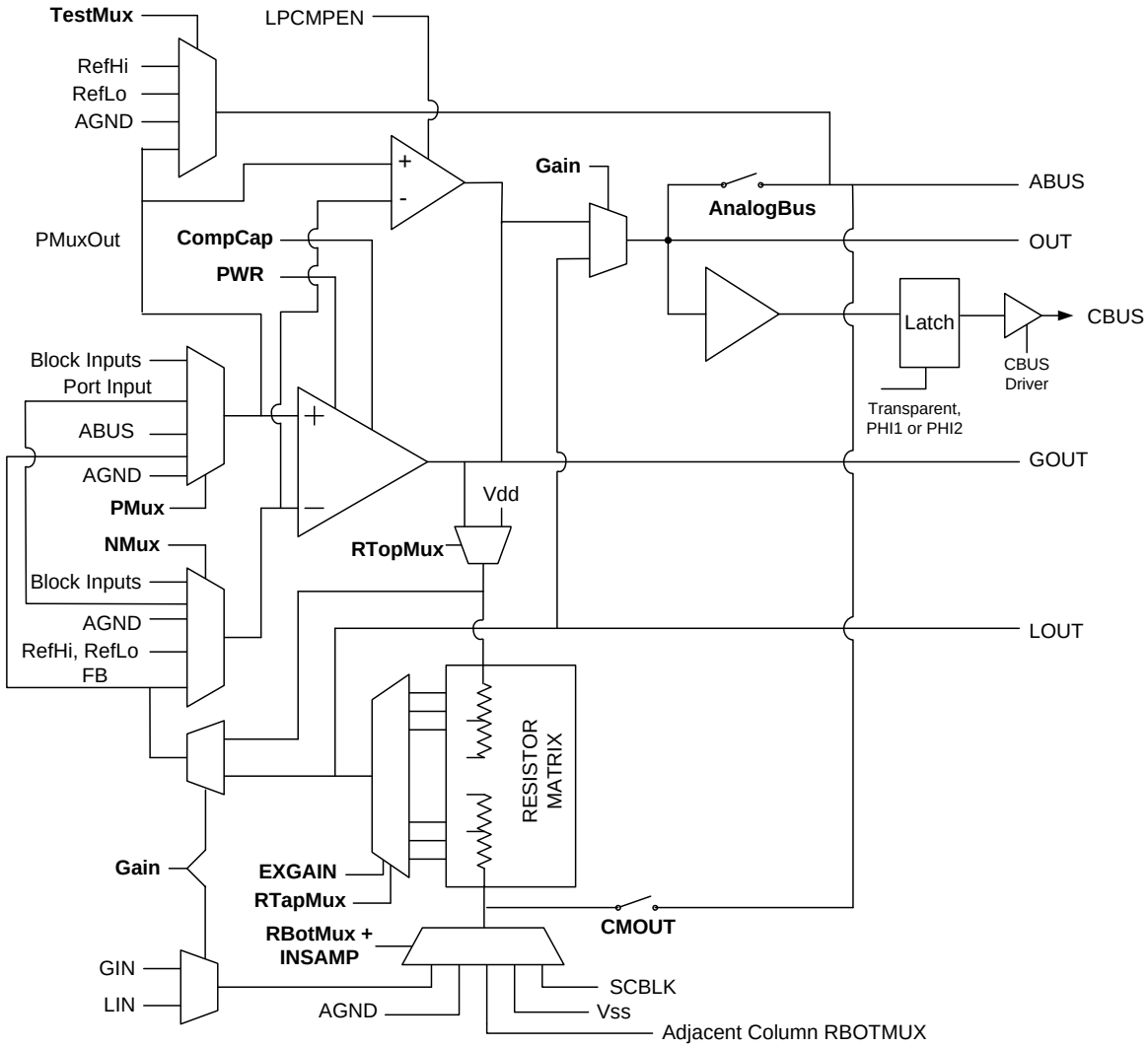


CT 模块

CT 模块的内核是一个基本运算放大器。此外，其内还含有电阻串、若干个模拟复用器和一个比较器输出等其他部件，以增加模块的灵活性。您可以通过各种不同的方式来配置该模块，从而创建不同的 PSoC Designer 用户模块。图 5 显示了 CT 模块的基本结构。以下是 PSoC Designer 库中的一些用户模块，它们均由模拟 CT 模块构成：

- 反向放大器（AMPINV）
- 比较器（COMP）
- 仪表放大器（INSAMP）
- 可编程增益放大器（PGA）

图 5. PSoC CT 模块



SC 模块

模拟队列中另外两个模块是开关电容模块，即SC模块。SC模块灵活性很高，可用于多种用户模块。最常用的模块是用于 PSoC ADC（模拟数字转换器）的调制器模块。下面显示的各用户模块当前使用了 PSoC 1 SC 模块：

- 所有 PSoC 1 增量型和积分型 DelSig ADC（如 ADCINC、ADCINCVR、DelSigPlus、DUALADC 和 TRIADC）
- 所有 PSoC 1 DAC （DAC6、DAC8、DAC9、MDAC6 和 MDAC8）
- 模拟滤波器（LPF2、LPF4、BFP2、BFP4、ELPF2 和 ELPF4）
- DTMF 拨号器
- 通用 SCBLOCK

图 6 和图 7 分别显示的是以交换方式放置在模拟模块矩阵中的两个基本 SC 模块。有关 SC 模块的更多信息，请参阅 AN2041 — 了解 PSoC 1 开关电容模拟模块。要想了解更多在 PSoC 1 中实现开关电容滤波器的方法，请参阅 AN2168 — PSoC 1 了解开关电容滤波器。

图 6. PSoC 1 SC C 型模块

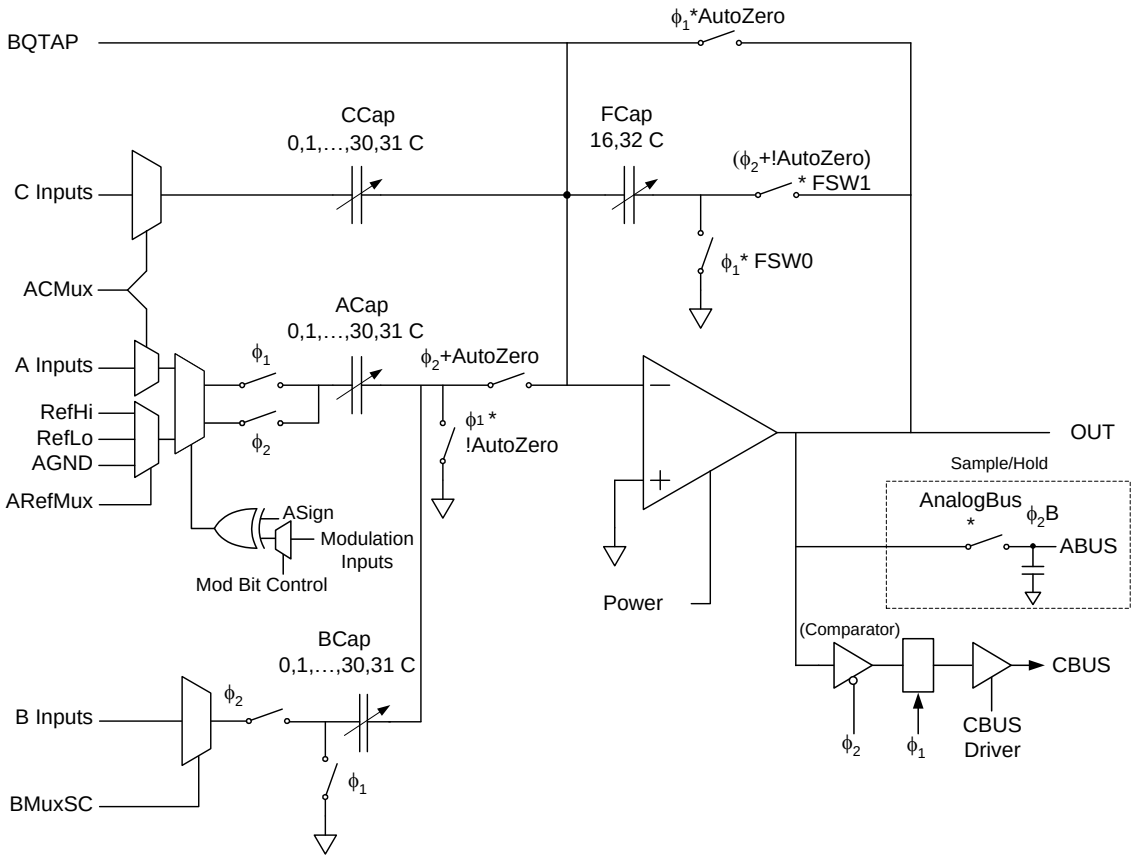
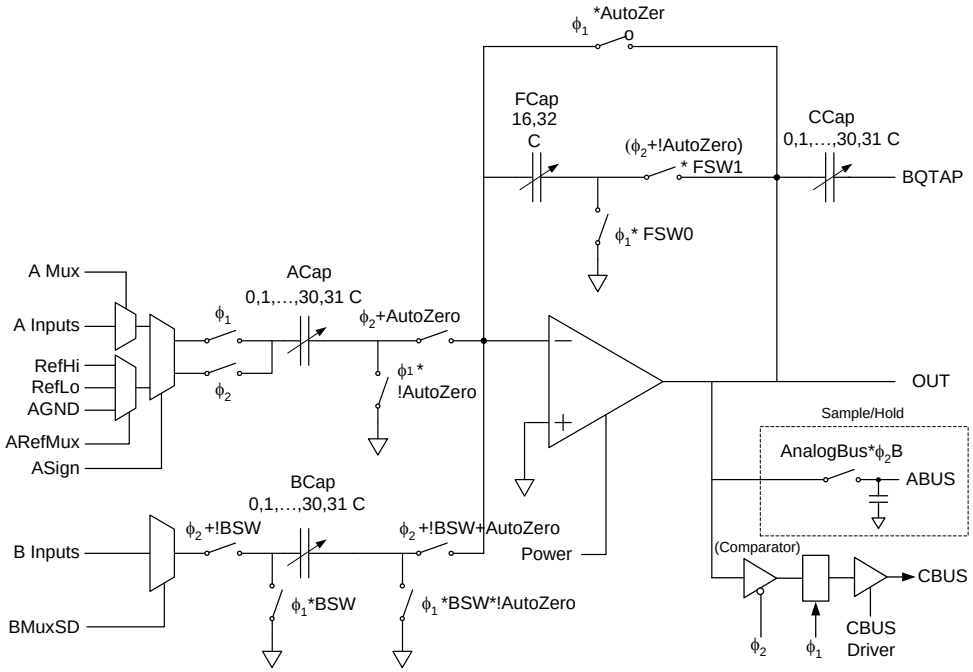


图 7. PSoC 1 SC D 型模块



模拟（队列）总线

模拟总线主要用于将模拟信号从一个模拟模块路由到模拟输出缓冲区内（更多信息，请参阅模拟输出放大器部分）。任何输出模拟信号的用户模块（如放大器、DAC 或滤波器）均可驱动模拟队列总线。PSoC Designer 允许一个模拟模块驱动模拟总线，但您也可以在运行时设置寄存器，从而使多个模块同时驱动总线。请确保在连接第二个模块之前断开与前一个模块的连接，以避免两个输出短接。

如果模拟用户模块有一个输入，并且它位于列底部（第 2 行）的 SC 模块中，则该用户模块可以将模拟总线作为输入源使用。这样，模拟队列总线可用于将 CT 模块（第 0 行）输出的信号路由给位于模拟列底部（第 2 行）的模拟用户模块输入端。

模拟输出放大器

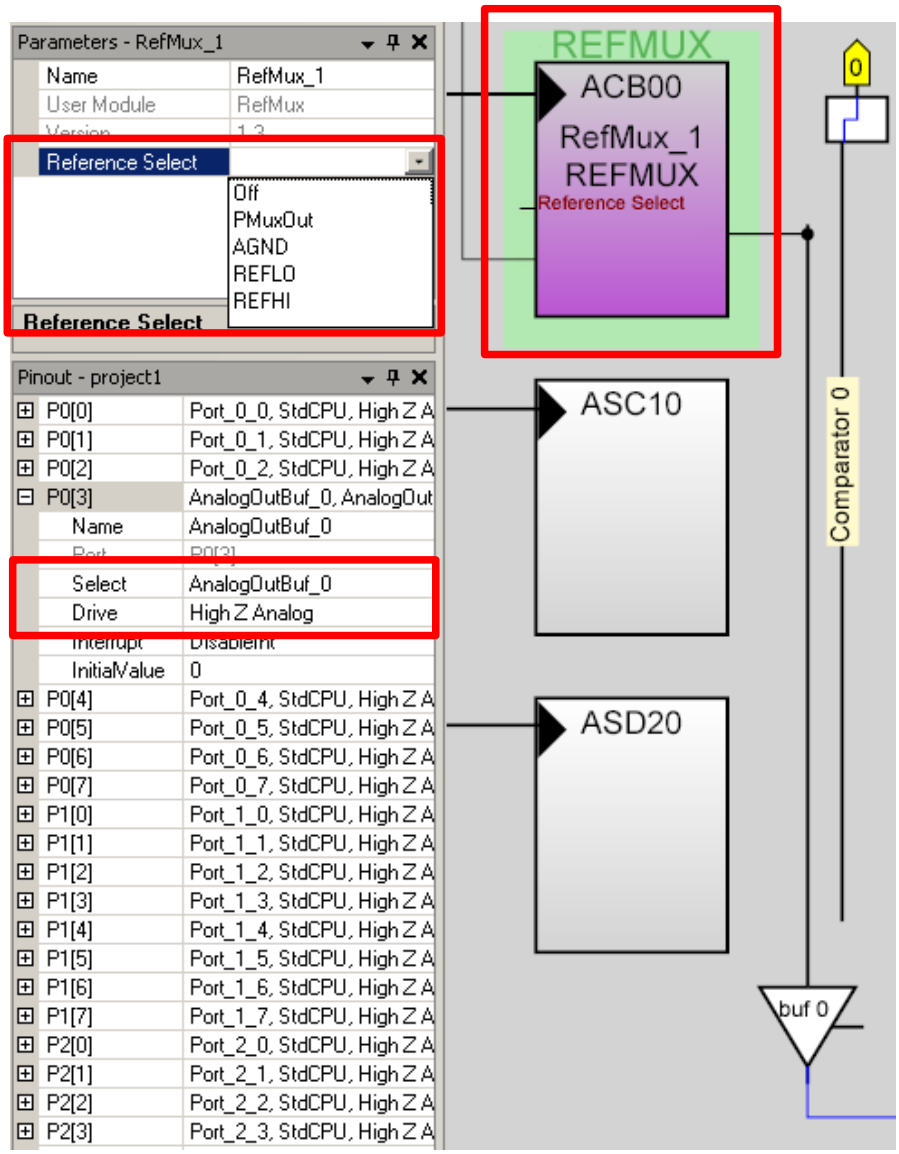
每个队列均有一个与模拟队列总线相连的模拟缓冲区。对于不同的器件系列，此缓冲区被使能后可驱动 30 至 40 mA 的电流。每个缓冲区均与一个专用的通用 I/O 引脚相连。0 至 3 这四个队列分别与引脚 P02、P03、P04 和 P05 相连。如果缓冲区被使能，则模拟总线的信号将被缓冲，并驱动至相关引脚。如果禁用缓冲区，则相关引脚将作为标准的通用 I/O 引脚。也可以绕过缓冲区，将未经缓冲的信号直接驱动至引脚。但模拟模块的驱动能力较低，因此不建议如此操作。

所有需要路由至外部通用 I/O 引脚的模拟模块输出都应经过模拟缓冲区的缓冲，从而使信号强度足够大。模拟缓冲区通常用作以下用途：

- DAC 输出缓冲区
- 模拟接地缓冲区（虚拟接地）
- 滤波器输出
- 参考信号输出（RefHi、RefLo 和 AGND）
- 缓冲外部信号（由一个引脚输入、经过缓冲区，然后由另一个引脚输出）

要想缓冲内部参考信号，需要将用户模块 **RefMux**（参考复用器）放置在 CT 模块列的顶部（行 0）。用户模块 RefMux 的 **Reference Select**（参考选择）参数用于从三个模拟参考电压（AGND、REFLO 或 REFHI）中选出一个，或者选择一个通用 I/O 引脚经由 PMux（正向输入复用器）的输入。图 8 显示了参数 RefMux 的选项，以及 P0[3]的配置情况，P0[3]是队列 0 模拟缓冲区的输出。请注意，通用 I/O 的 **Drive**（驱动）模式设置为 **High Z Analog**（高阻态模拟），参数 **Select**（选择）被设置为缓冲区 **AnalogOutBuf_0**。

图 8. 设置用户模块 RefMux

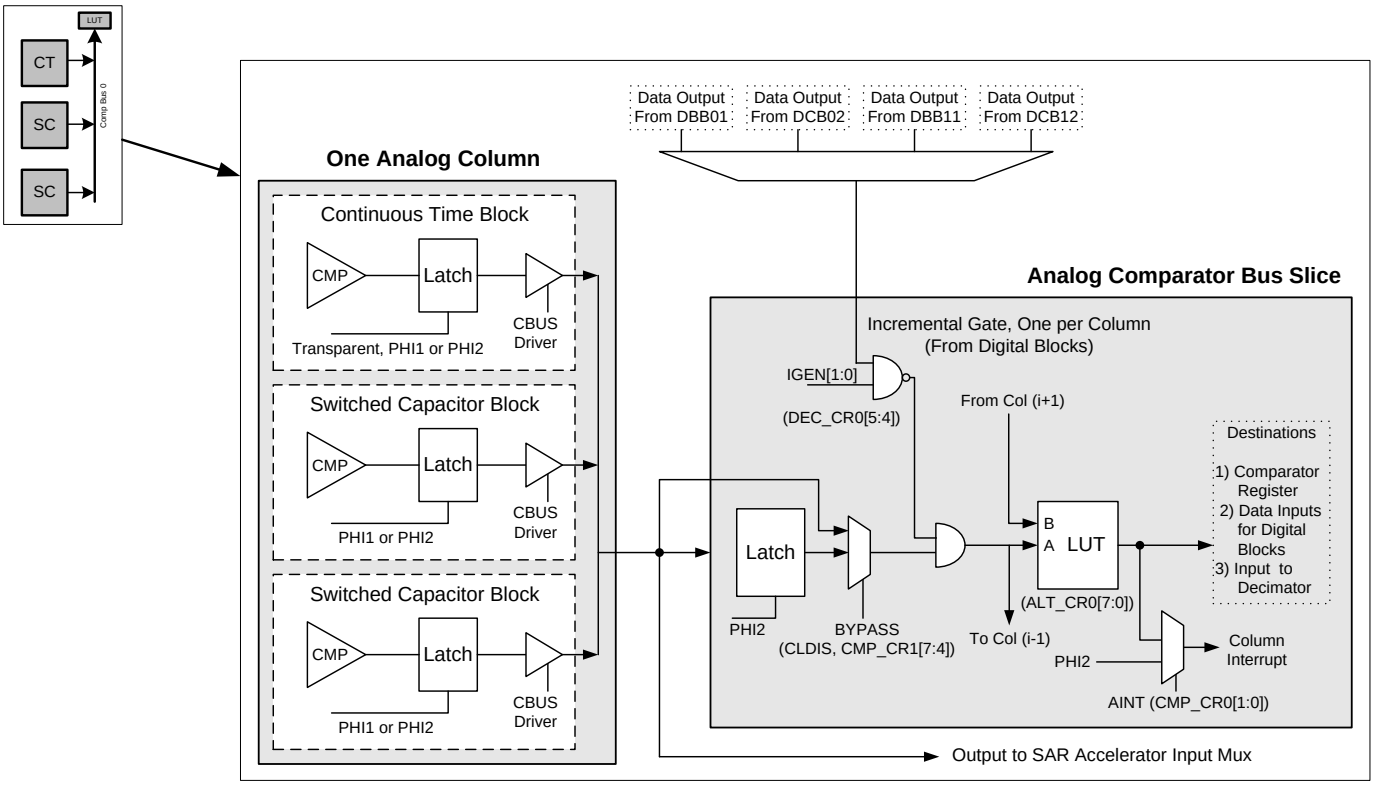


比较器总线

每个模拟队列均有一个与其相关的专用比较器总线。每个模拟 PSoC 模块均有一个可以驱动此总线的比较器输出。但是，在一列中，一次仅允许一个模拟模块主动驱动比较器总线。比较器总线输出可作为信号源路由至数字模块。此外，它还可以作为抽样滤波器（用于 ADC）的输入或作为中断输入，并在模拟比较器控制寄存器（**CMP_CR0**）中作为只读数据。

在 CY8C28xxx 系列中，比较器信号也可以驱动若干条数字信号总线，从而使数字模块输入的灵活性更大，并能直接驱动引脚输出。

图 9. 比较器总线和接口



比较器总线包含一个数字查找表（LUT）。此 LUT 具有某些逻辑功能，可以将比较器总线的信号与其右侧比较器总线的信号组合起来。表 2 显示了 LUT 的各种可能组合。**A** 是当前比较器总线的信号，**B** 是右侧一列比较器的信号。如果您要配置最右侧一列的LUT，而**B**输入则来自最左侧一列。在读取寄存器 **CMP_CR0** 以查看比较器状态时，它是 **LUT 的输出**，但对于所选的不同 LUT 选项，它可能不是实际的比较器总线状态。

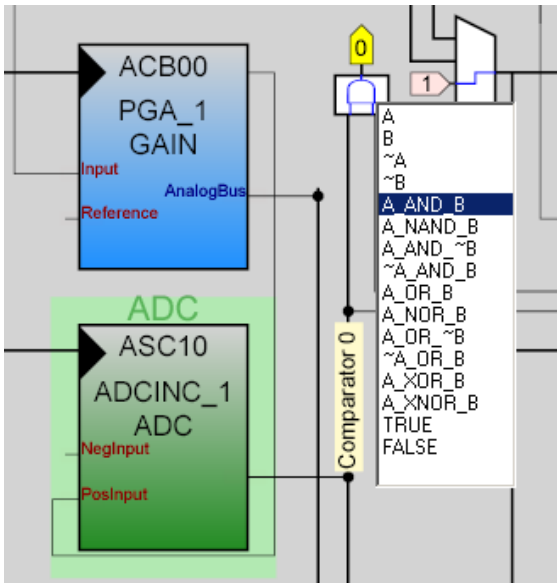
表 2. 比较器查找表（LUT）选项

逻辑函数	说明
A	队列比较器总线
B	相邻比较器总线
~A	反向队列比较器总线
~B	反向相邻比较器总线
A AND B	A 和 B 的逻辑与
A AND ~B	A 和非 B 的逻辑与
~A AND B	非 A 和 B 的逻辑与
A OR B	A 和 B 的逻辑或

逻辑函数	说明
A NOR B	A 和 B 的逻辑或非
A OR ~B	A 和非 B 的逻辑或
~A OR B	非 A 和 B 的逻辑或
A XOR B	A 和 B 的逻辑异或
A NOR B	A 和 B 的逻辑非
TRUE	输出始终为高电平
FALSE	输出始终为低电平

在 PSoC Designer 界面上单击 LUT，如图 10 所示，您将看到各个可用的逻辑选项。选中某个功能后，LUT 框中将出现一个逻辑符号。请注意，在图 10 中出现的是一个 AND 门。由于每个模拟队列只有一个比较器总线，因此在单一队列中，只能放置一个需要比较器输出的用户模块。如果一个设计中存在多个需要比较器总线的用户模块，则请确保将它们分别放置在不同的模拟列中。Delta-Sigma 等大多数模数转换器都会使用比较器输出连接计数器或抽取滤波器。比较器（COMP）和通用 SCBlock 组件是另外两个使用比较器总线的用户模块。

图 10. 选择比较器总线 LUT 选项

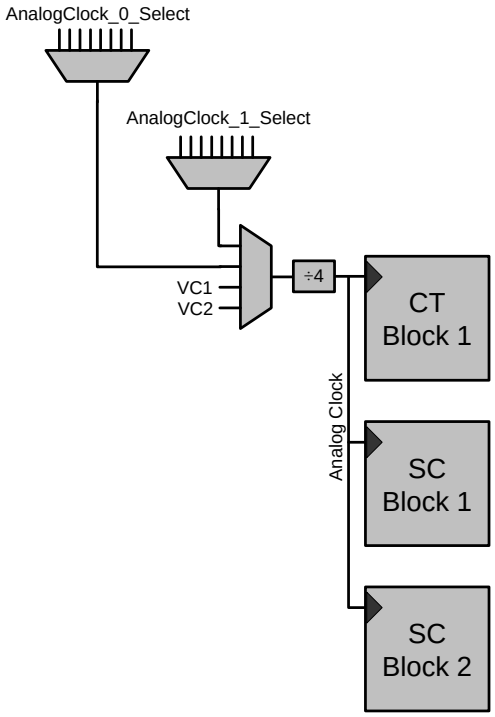


模拟时钟

SC 模块需要一个两相的非重叠时钟来驱动 SC 模块的内部开关。这个两相时钟由与模拟队列连接的时钟产生。CT 模块处于比较器模式时，会使用该时钟来同步传入 SC 模块的输出，以及所有可能与其连接的数字模块。每列均有一个独立的模拟队列时钟发生器。请务必注意，**无论选择的是哪个时钟源，在某一列中，列时钟发生器的输出频率均为输入频率的四分之一**。这是为了生成非重叠时钟。

图 11 显示了一个模拟队列的模拟时钟树。每个 AnalogClock_x_Select 复用器均选择一个数字模块作为时钟源。也可以选择全局时钟 VC1 和 VC2 作为时钟源。

图 11. 模拟时钟树



如果模拟信号在相邻队列的模块之间传输，则这些队列中的时钟应该在相位和频率上保持同步。为各队列选择相同的输入时钟源便可实现频率同步。

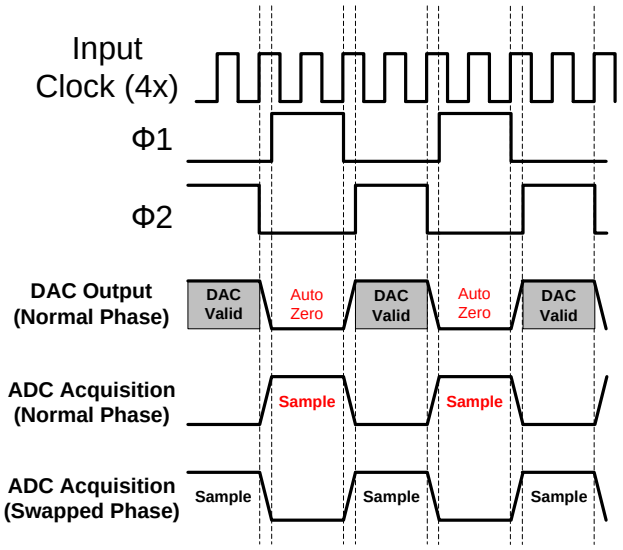
多个基于开关电容模块的器件都带有 **ClockPhase**（时钟相位）选项。应用此选项可实现相位同步。在某些情况下，需要仔细验证长信号链路是否已正确同步。

时钟相位的选择用于将一个开关电容模拟 PSoC 模块的输出与另一个模块的输入进行同步。开关电容模拟 PSoC 模块使用了两相时钟（φ1、φ2）实现获取和传输信号。通常情况下，ADC 的输入在 φ1 为高时进行采样，这是常规设置。但这样会出现一个问题：许多用户模块在 φ1 期间会将其输出自动归零，仅在 φ2 期间提供有效输出。如果该类模块的输出被反馈到 ADC 的输入端，那么 ADC 将获得被自动归零的输出，而不是有效信号。时钟相位选择则允许交换相位，因此在 φ2 期间获取输入信号，这是“交换”设置。

图 12 展示了一个具体示例，DAC 输出电压仅在 φ1 期间有效，但在默认情况下，ADC 将在 φ2 期间被采样。这样会导致 ADC 在其自动归零周期内读取 DAC 输出，而不是在输出有效时进行读取。如果将 ADC 时钟的相位选项变更为“交

换”，则 ADC 将在正确的时间进行采样。在数据手册的 **ClockPhase**（时钟相位）参数部分，每个用户模块都会识别它所获取或输出信号的相位。

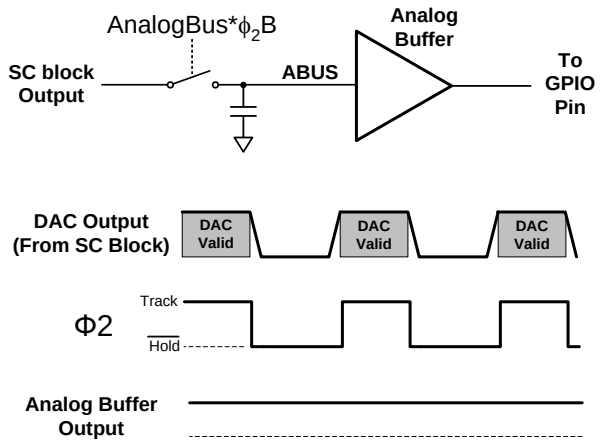
图 12. 正常时钟和交换时钟



查看图 12 中的“DAC 输出”波形，您可能会因为 DAC 输出不像是连续的信号而感到疑惑。SC 模块输出将在内部进行自动归零和有效相位的转换，但是只要 SC 模块同步正确，便不会出问题。在将信号发送到模拟队列总线时，信号将经过采样和保持电路。每个模拟队列均有自己的采样和保持电路，可以将 SC 模块输出转换成时间连续的信号。

采样和保持电路包含一个 φ2 控制的开关、一个内部电容和一个作为电压跟随器的运算放大器。电压跟随器是模拟队列底部的模拟缓冲区。当 φ2 为高时，采样和保持电容被充电，当 φ2 为低时，采样和保持电容将保持原来状态。请参见图 13 了解更多详细内容。

图 13. 模拟队列采样和保持电路



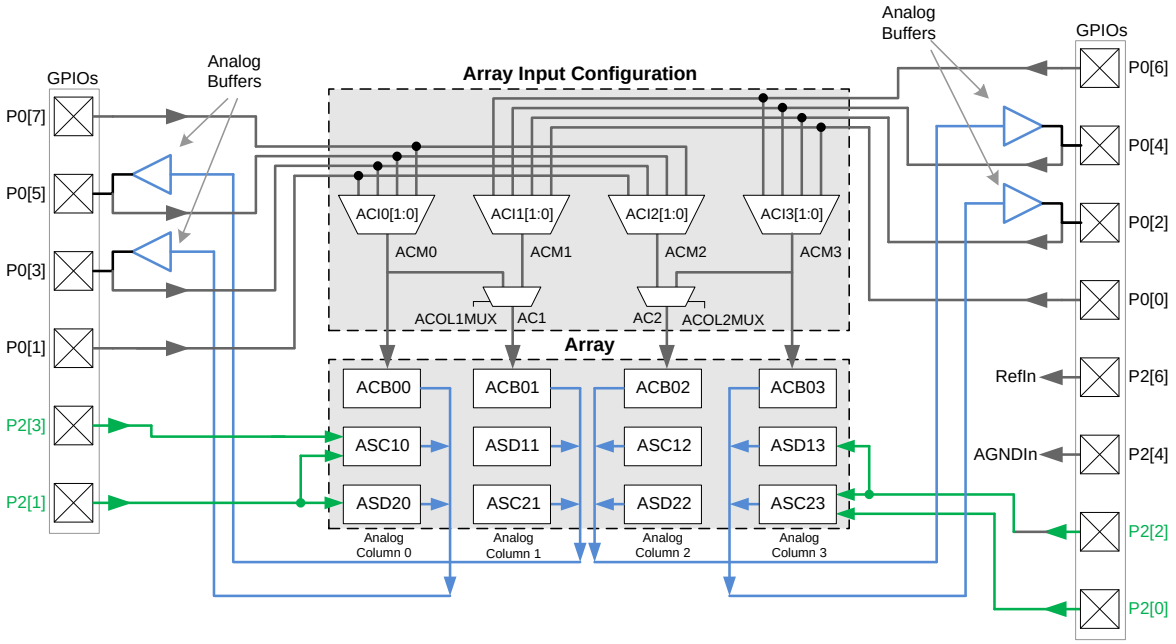
为简单起见，图 6 和图 7 中的 SC 模块仅展示了采样和保持电容，实际上它是模拟队列的一部分。

至通用 I/O 引脚的模拟连接

PSoC 1 系列的模拟队列输入和通用 I/O 引脚之间的连接是不一样的，但本应用笔记所讨论的所有器件均使用了标准的端口 0 和端口 2 连接。端口 0 的引脚信号可直接被传输至各个队列。端口 0 的奇数引脚被直接连接到队列 0 和队列 2（偶数列），端口 0 的偶数引脚则被连接到队列 1 和队列 3（奇数列）。队列 1 和队列 2 均含有附加复用器，因此，这两列可以访问端口 0 上的所有引脚。请参阅图 14 查看基本的连接示意图。

图 14 也显示了从端口 2 到队列 0 和队列 3 中 SC 模块的另外几个连接（参考以绿色标识的路径）。这些附加连接可以将通用 I/O 直接连接到这些模拟 SC 模块，并向 ADC、混频器以及滤波器等部件添加四个额外的模拟输入。以蓝色标识的路由是三个模拟模块均可驱动的模拟队列总线。然后，模拟总线中的信号可通过模拟输出放大器驱动一个专用的通用 I/O 引脚。

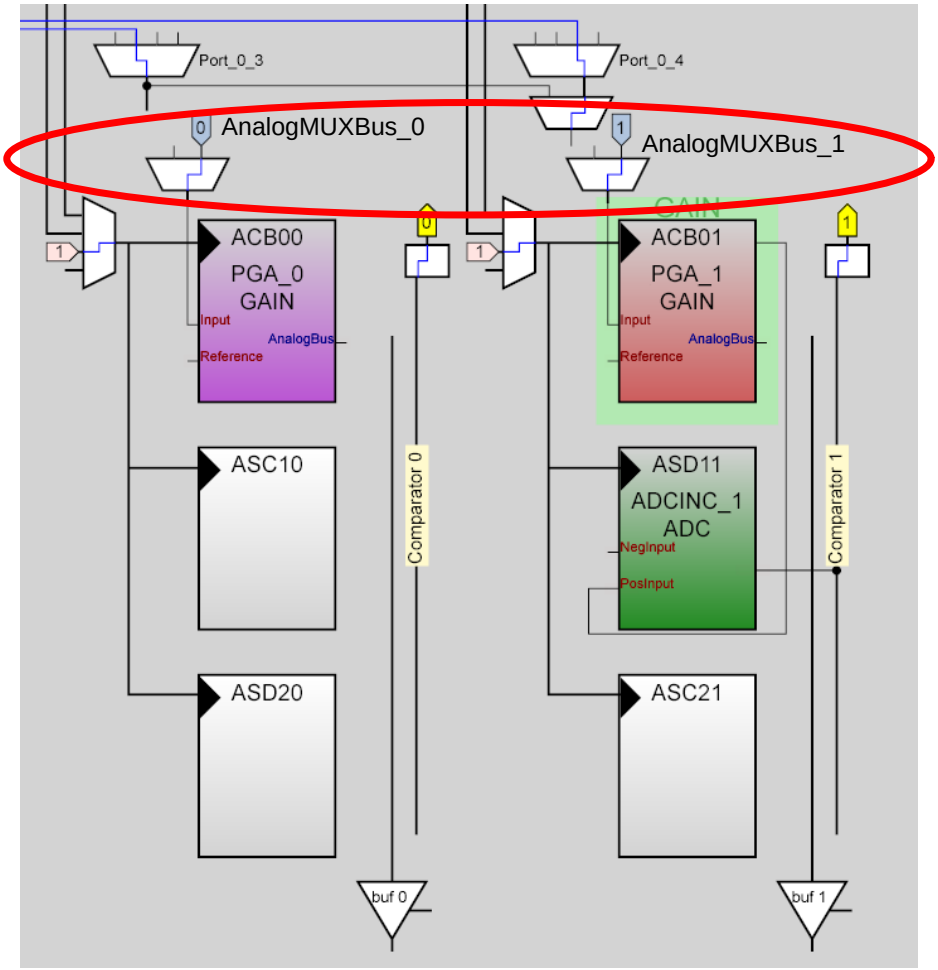
图 14. 基本模拟连接



对于不同的器件系列，此互连框图亦会有若干种不同的表现形式。如前面所述，它们最大的差异是列数量，并且能够将所有通用 I/O 配置为模拟输入的附加 AMux 总线。在 PSoC Designer 的芯片框图中，含有 AMux 总线的器件都添加了第三层模拟复用器。这个额外层可以将模拟列连接到所有通用 I/O 引脚上，而不单单是端口 0 和端口 2 上的几个引脚。

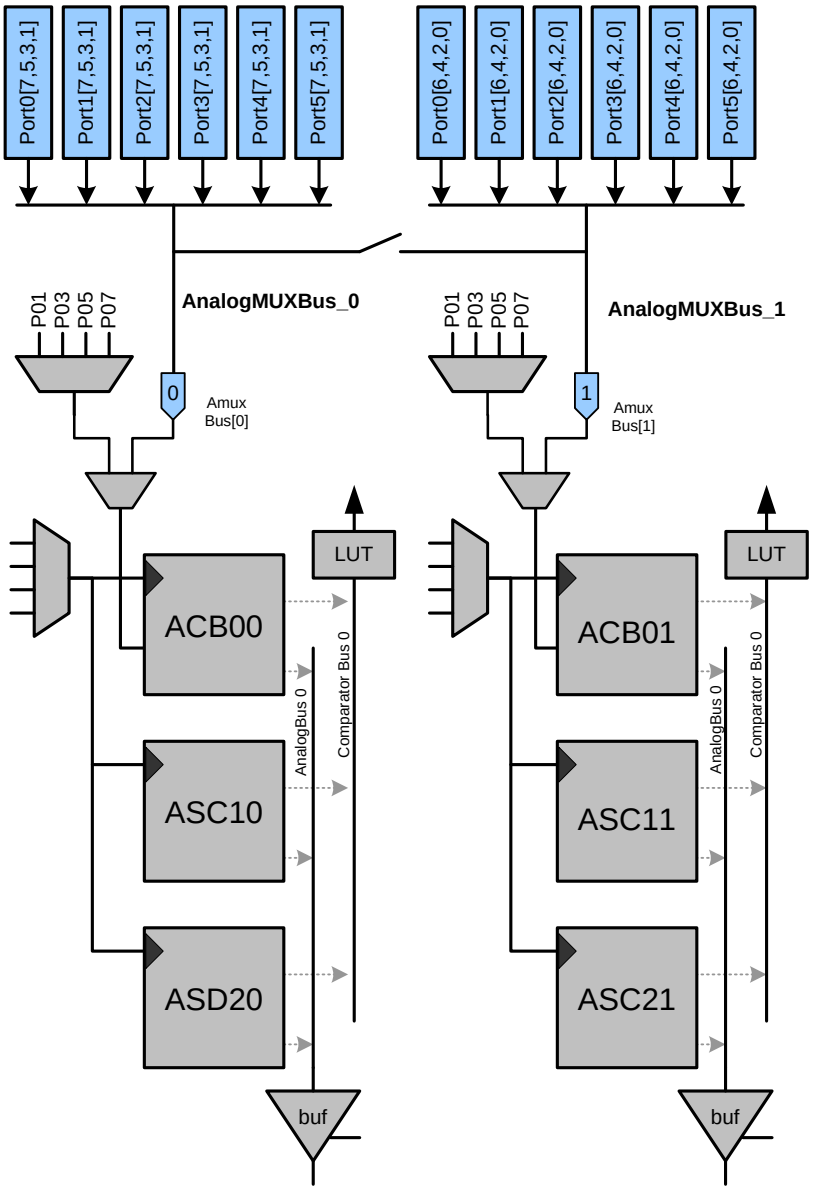
图 15 以 CY8C24xxx 器件为例展示了上述连接情况。

图 15. PSoC Designer 中显示的 CY8C24x94 模拟复用总线连接



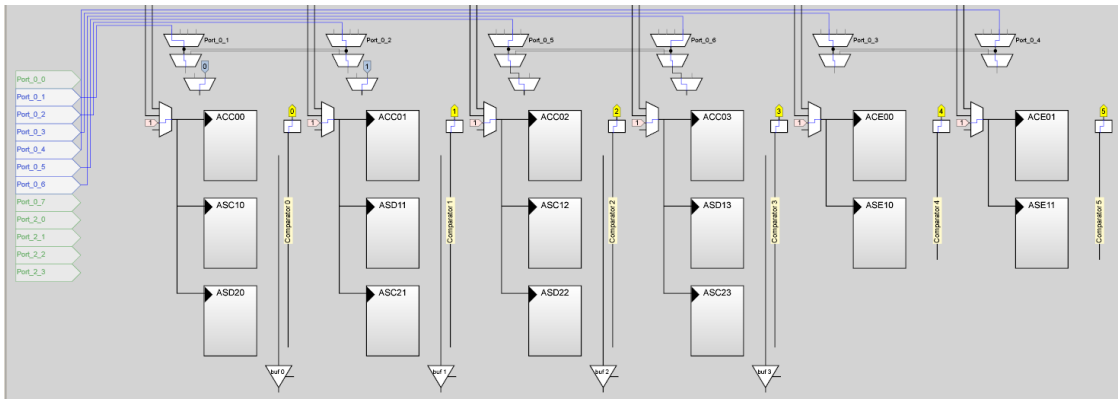
CY8C24x94 器件有两个 AnalogMUXBus（模拟复用器总线），既可单独使用，也可结合使用。奇数端口引脚可以连接 AnalogMUXBus_0，偶数引脚可以连接 AnalogMUXBus_1。这些总线可用于将任意模拟信号路由至任何一个模拟队列，也可以在支持 CapSense 的器件中供 CapSense 使用。图 16 显示的是可以连接到各总线的端口引脚。

图 16. 模拟复用器总线连接



CY8C28xxx 器件的结构与此相似，但被扩展，它拥有四个全模拟队列。图 17 右侧所示的两个附加列仅能实现有限的功能。这两个附加列具有一个 ACE 型的 CT 模块和一个 ASE 型的开关电容模块。CT 模块（ACE 型）围绕着一个低功耗、低偏移量的放大器。这些模块可以配置成两种模式：一是作为驱动其他队列的单位增益缓冲区，二是作为开环的比较器。ASE 模块是一种特殊的硬件，它与 CapSense 的 ACE 模块共同使用。

图 17. CY8C28xxx 示例模拟结构示意图



在设计过程中，可以在 PSoC Designer 中配置初始模拟路径。模拟路径将在执行用户代码（*main.c*）前被配置。对于在运行期间部分或全部模拟路径均无需变更的应用，则无需生成额外代码。

如果必须在运行期间更改特定用户模块的输入，您可以编写代码直接配置复用寄存器，也可以利用所提供的模拟复用器用户模块。表 3 列出了每个系列可用的模拟复用器用户模块。

表 3. 可用的复用器用户模块

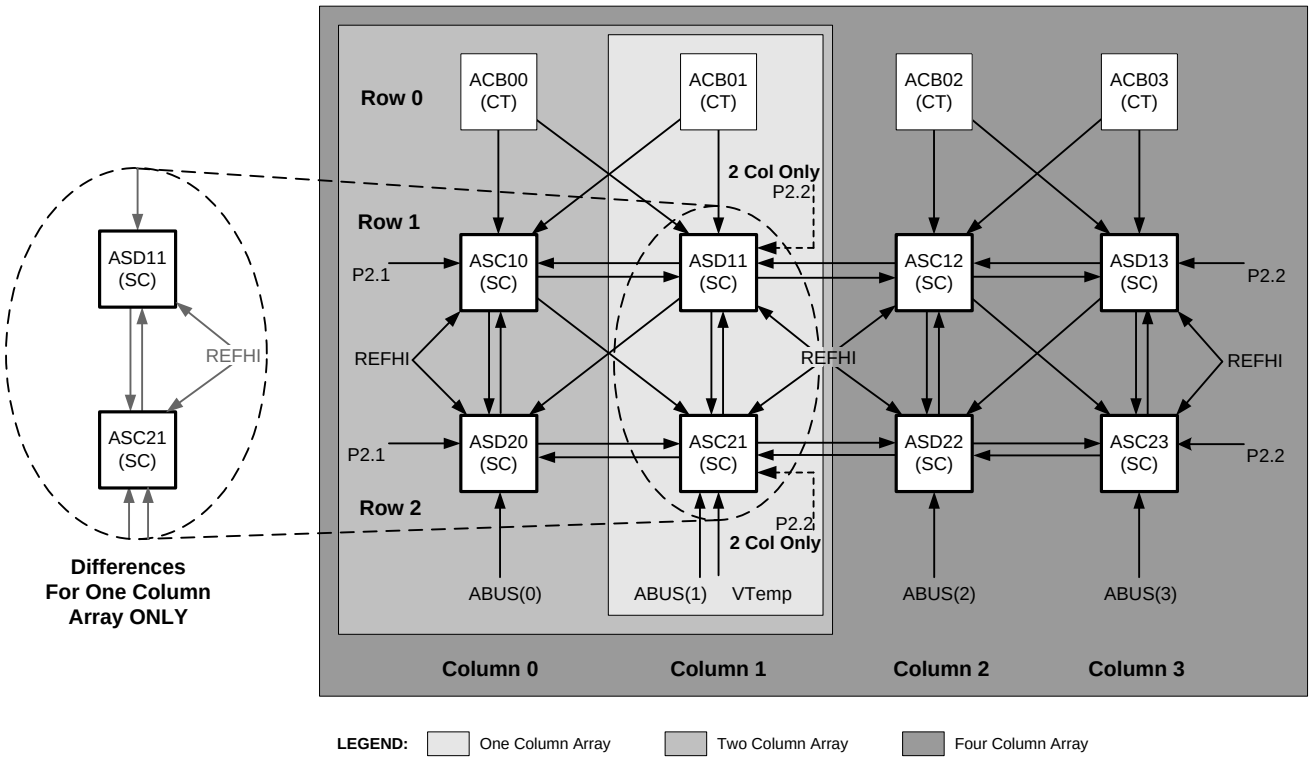
PSoC 器件系列	模拟输入	模拟复用器总线	模拟复用器用户模块	说明
CY8C29x66 CY8C27x43 CY8C24x23	12	无	AMUX4 AMUX8	端口 0，4 个输入复用器 端口 0，8 个输入复用器
CY8C24x94	48	有	AMUX4 AMUX8	端口 0，4 个输入复用器 端口 0，8 个输入复用器
CY7C64215	48	有	AMUX4 AMUX8 AMuxN	端口 0，4 个输入复用器 端口 0，8 个输入复用器 所有通用 I/O 引脚
CY8C28x23	10	无	AMUX4 AMUX8	端口 0，4 个输入复用器 端口 0，8 个输入复用器
CY8C28x33	40	有	AMUX4 AMUX8 AMuxN	端口 0，4 个输入复用器 端口 0，8 个输入复用器 所有通用 I/O 引脚
CY8C28x43 CY8C28x45	44	有	AMUX4 AMUX8 AMuxN	端口 0，4 个输入复用器 端口 0，8 个输入复用器 所有通用 I/O 引脚
CY8C28x52	24	有	AMUX4 AMUX8 AMuxN	端口 0，4 个输入复用器 端口 0，8 个输入复用器 所有通用 I/O 引脚

内部模拟模块互连

除了来自输入复用器和模拟队列总线的连接，每个模拟模块还可以连接至与其距离最近的模拟模块。图 18 显示了可用的连接。这些通路独立于自端口 0、模拟队列总线和 AMux 总线的输入路径。图中还显示了来自端口 2 的输入，用以显示模拟模块中所有的直接输入。

每个 PSoC 1 系列均有不同的连接选择，但其原理都类似。请查阅《技术参考手册》（TRM）中的模拟部分，了解您所选择的芯片器件，从而确保您能够理解有用的设计选项。

图 18. 模拟模块之间的连接



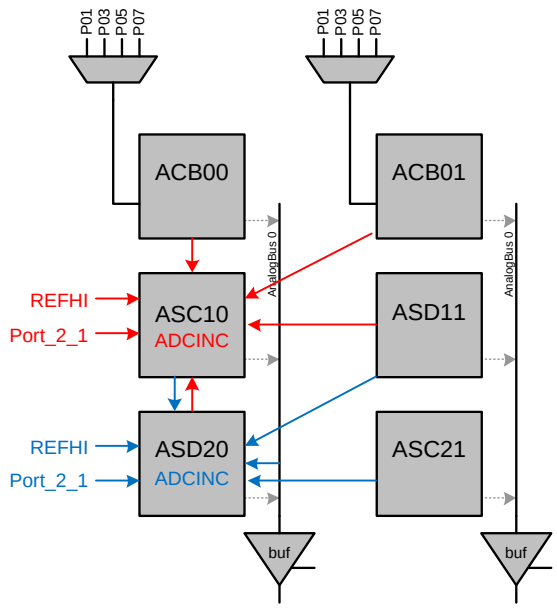
PSoC Designer 能自动路由这些通路，并在用户模块从一个模块被转移到另一个模块时，PSoC Designer 会调整输入和输出参数。

如图 19 所示，用户模块的放置位置决定了输入选项设置。如果用户模块 ADCINC 的模拟模块被放置在第一列、第一行，那么它的连接选项将与模块放置于第二行时的选项不一样。红色箭头和蓝色箭头代表可能的 ADCINC 正向输入情况。表 4 列出了当 ADC 模块放置在模块 ASC10 和 ASC20 时，ADCINC 正向输入的可能情况。请注意，其中大部分连接均是不同的。

表 4. ADCINC 输入选项

放置于 ASC10 的 ADC（行 1）	放置于 ASD20 的 ADC（行 3）
ACB00	ASC10
ASD11	Port_2_1
REFHI	ASC21
ASD20	AnalogOutBus_0
ACB01	REFHI
Port_2_1	ASD11

图 19. ADCINC 示例输入选项



内部参考结构

PSoC 可编程片上系统采用了 3.0 至 5.25 V 的单一电源供电。大多数系统的模拟信号通常同时具备相对于参考电压（一般为接地电压）的正向和负向极性。PSoC 仅处理相对于 V_{SS} 芯片接地电压的正向信号。芯片将生成虚拟模拟地信号（AGND），为同时具有正向和负向（相对于 AGND）摆幅的信号提供参考点。该虚拟接地信号需要位于 V_{SS} 和 V_{DD} 之间，并且必须离所有供电线路足够远，这样与其相关的信号不会被电源切断。PSoC 1 器件有若干个内部生成的选项，以及一个使用外部生成的信号作为虚拟接地参考的选项。

三个参考电压负责控制 DAC、ADC 和其他模拟组件的电压范围。AGND（模拟接地）、RefHi（参考高电压）和 RefLo（参考低电压）这些参考电压均是根据内部带隙（BandGap）参考电压、供电电压（V_{SS} 和 V_{DD}）或外部参考电压生成的。

内部带隙（BandGap）参考电压可生成稳定的 1.3 V V_{REF}。此稳定的参考电压（VREF）被称为带隙（BandGap）。一些参考电压选项使用了带隙（BandGap）参考电压来生成 AGND、RefHi 和 RefLo 信号。这些参考电压的大小如下：RefLo < AGND < RefHi。通过使用这些公式可根据 AGND 和 V_{REF} 计算 RefHi 和 RefLo。V_{REF} 由带隙电压（BandGap）、V_{DD}（芯片功耗）或外部参考信号派生而来。

$$RefHi = AGND + Vref$$

$$RefLo = AGND - Vref$$

RefLo 和 RefHi 信号非常重要，因为它们定义了 DAC 和 ADC 的最高电压范围和最低电压范围。V_{REF} 可以是内部带隙（BandGap）电压（1.3 V）乘以常数 $V_{DD}/2$，或与引脚 P2[6]连接的外部信号。模拟接地（AGND）可以由 $V_{DD}/2$ 生成或通过带隙电压（BandGap）派生得到，也可能来自引脚 P2[4]连接的外部电压源。图 20 中以简化形式展示了 AGND、RefHi 和 RefLo 信号。

图 20. RefHi、RefLo 和 AGND 的简单视图

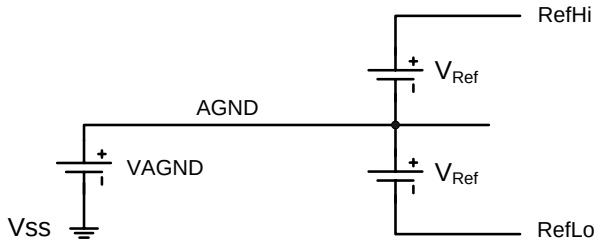
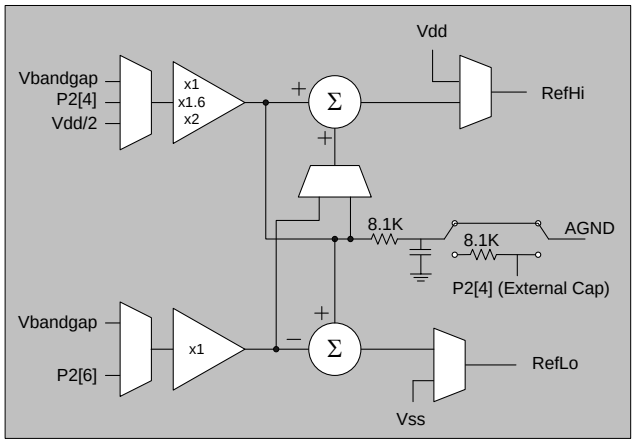


图 21 显示的是参考电压（AGND、RefHi、RefLo）生成电路的简易原理图。

图 21. 参考电压系统框图



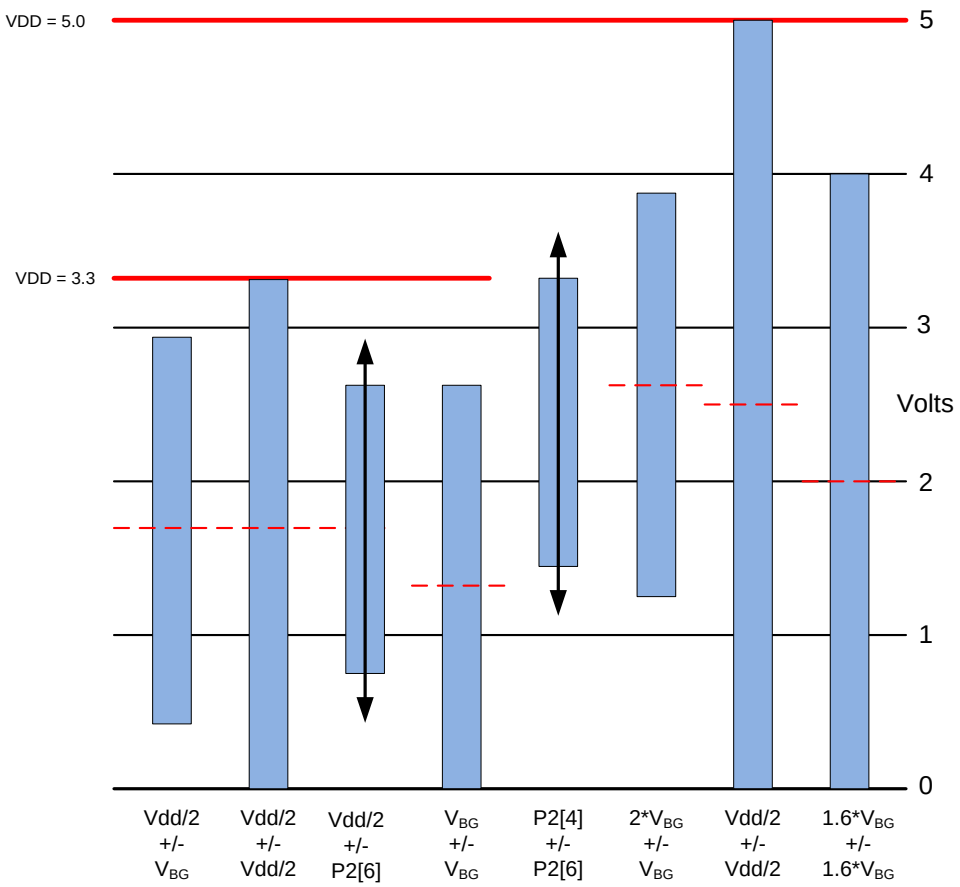
如果您使用了 RefHi 和 RefLo 公式，并理解简单参考电压电路，那么您可以为每一种设置计算参考电压。表 5 中列出了计算得到的每种选项对应的参考电压。请注意，并非所有选项均适用于所有供电电压，这是因为 RefLo 和 RefHi 始终在 V_{SS} 至 V_{DD} 范围内。对于参照 V_{SS} 的测量，RefLo 等于 V_{SS} 的选项是最佳选择。请确保正在测量的信号以 RefHi、RefLo 或 AGND 为参考电压，这是良好的设计原则。

表 5. 计算得到的 AGND、RefHi 和 RefLo

参考复用器选项	V_{DD}	RefLo	AGND	RefHi
(V_{DD}/2)+/- 带隙	3.3 V	0.350 V	1.65 V	2.95 V
	5.0 V	1.2 V	2.5 V	3.7 V
(V_{DD}/2)+/-(V_{DD}/2)	3.3 V	0.0 V （V_{SS}）	1.65 V	3.3 V （V_{DD}）
	5.0 V	0.0 V （V_{SS}）	2.5 V	5.0 V （V_{DD}）
带隙+/- 带隙	3.0 V 至 5.0 V	0.0 V （V_{SS}）	1.30 V	2.60 V
（1.6*带隙）+/-（1.6*带隙）	> 4.16 V	0.0 V （V_{SS}）	2.08 V	4.16 V
（2*带隙） +/- 带隙	> 3.9 V	1.3 V	2.6 V	3.9 V
（2*带隙） +/- P2[6]	3.0 V 至 5.0 V	2.6V – P2[6]	2.6 V	2.6 V + P2[6]
P2[4] +/- 带隙	3.0 V 至 5.0 V	P2[4] – 1.3 V	P2[4]	P2[4] + 1.3 V
P2[4] +/- P2[6]	3.0 V 至 5.0 V	P2[4] – P2[6]	P2[4]	P2[4] + P2[6]

图 22 以电路图的形式说明了表 5 的内容，有助于介绍对于 3.3 V 和 5.0 V 的电源，基于 SC 用户模块有哪些有用的输入和输出范围。

图 22. 参考电压、DAC 和 ADC 的电压范围



参考输出中的运算放大器需要有一定量的压差，通常和每条供电线路电压相差 0.3 V。当模拟接地和参考电压由外部电源产生时，RefHI 和 RefLO 信号能够满足此要求。

如果参考电压为供电通路（如 V_{DD}/2 +/- V_{DD} /2，RefHI = V_{DD}，RefLO = V_{SS}），则参考输出运算放大器将被关闭，参考电压将直接被转换到合适的供电通路。

DAC 输出被按比例调整为参考电压值（RefHi 和 RefLo），如图 22 所示。应确保 DAC 的输出通过模拟输出缓存，与外部负载相连。SC 模块的设计仅可驱动其他的内部模拟模块。

PSoC 的模拟输出缓冲区并不是轨至轨的，但在额定负载的情况下，通常可以达到 0.4 V（相对于 V_{SS}）和 0.6 V（相对于 V_{DD}），因此，即使参考输出被设定为 V_{DD} 或 V_{SS}，系统设计也应适应此输出浮动。请参阅器件数据手册，获取模拟缓冲器的额定负载。

表 6 简单介绍了每个参考选项，并提供了对于相关应用的最合适的选择建议。

表 6. 接地电压和参考电压的选择

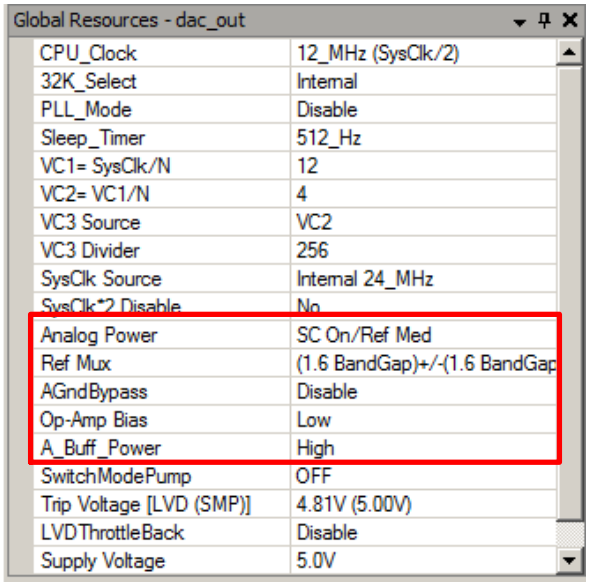
可选值	应用
V_{DD}/2 +/- 带隙	使用差分传感器或交流耦合测量方法，可以对绝对电压进行测量的系统。比较贴切的例子是音频信号处理。
V_{DD} /2 +/- V_{DD} /2	符合以下条件的系统：使用输出与电源供电电压成比例的传感器，且需要输入范围跟随供电电压的模数转换器。V_{DD} 所连接的压力传感器是一个比较贴切的例子。
带隙+/- 带隙	要求测量绝对值（不与电源成比例）的系统可以有效使用此选项。电池测量或系统电源监控均属于此类应用。
1.6*带隙+/- 1.6*带隙	该设置用于要求进行绝对测量且范围大于 2*带隙（BandGap）全量程的系统。请注意，对于 12 位的系统，4.16 V 与每位 1 mV 十分接近。
2*带隙+/- 带隙	用于以固定电压为中心且电压范围有限的系统。通常用于 AN2017 中所述的电阻或热敏电阻的温度测量应用。
2*带隙+/- P2[6]	所使用的系统使用了用户特定的 ADC 输入范围进行绝对测量，并且通常在额定模拟接地周围灵敏度较高。该类应用的限制是在生成参考电压的过程中偏移电压会不断积聚，因此，用户所提供的参考电压最小值必须大于 0.5 V。
P2[4] +/- 带隙	用于以用户特定的模拟接地值进行绝对测量的系统。典型应用系统是传感器同样输出接近电源电压一半的特定参考电压，并且此电压值是系统校准的重要部分的系统。
P2[4] +/- P2[6]	用于用户提供外部接地和参考电压值的系统。通常，使用该选择的系统要求将模拟接地设置为具体的偏移值，并且用户需要限定 ADC 输入范围和更高分辨率。分辨率限制由参考电压发生器中的偏移误差组成来设定。

全局模拟参数

PSoC Designer 包含了若干个可以影响整体设计的全局设置，包括大部分的模拟用户模块，如 ADC、DAC、滤波器和放大器。这些全局设置均显示在 PSoC Designer 窗口中。下方列出了相关模拟参数，并在图 23 中用红色方框圈出。

- 模拟电源
- Ref Mux（参考复用器）
- AGndBypass（AGND 旁路）
- 运算放大器的偏压
- A_Buf_Power（模拟输出缓冲区功耗）

图 23. PSoC Designer 全局资源



通过模拟全局参数设置可以为 PSoC 模拟参数设定初始条件。大多数设置在通电时即已设定完毕，并且不会再次变更，但一些应用可能需要在运行时更改这些参数。在这种情况下，可以通过寄存器写入操作单独更改相应参数。ARF_CR 寄存器控制模拟电源、参考复用器和运算放大器偏置控制。ABF_CR0 控制模拟输出缓冲器功耗（A_Buff_Power）。要想使能 AGND 旁路模式，需使用寄存器 BDG_TR。（本文档将在后面的内容中讨论 AGND 旁路）由于大多数寄存器会控制不止一种功能，所以要小心操作，只修改需要改动的功能所对应的位。每个 PSoC 1 系列的 TRM（技术参考手册）都会详细描述 ABF_CR、ABF_CR0 和 BDG_TR 寄存器的每一位。

模拟电源

参数 Analog Power 用于设定模拟 SC、CT 和参考缓冲器功耗的初始状态。它作为主控开关，可以开启或关闭所有模拟模块，包括参考缓冲区模块。每个模拟 SC 和 CT 模块都有自己的功耗控制，因此具有四种功耗设置：关闭、低功耗、中功耗和高功耗。所有至少要使用一个模拟模块的用户模块都包含了一个 API 函数，通过该函数您可以选择功耗水平，如“Start”（启动）和/或“SetPower”（设置功耗）。正确的功耗水平取决于用户模块和该模块所使用的模拟模块时钟频率。表 7 列出了模拟功耗参数的有效设置情况。

表 7. 模拟功耗设置

模拟功耗选项	CT 模块功耗	SC 模块功耗	参考功耗
All Off	关闭	关闭	关闭
SC Off / Ref Low	打开	关闭	低
SC Off / Ref Med	打开	关闭	中
SC Off / Ref High	打开	关闭	高
SC On / Ref Low	打开	打开	低
SC On / Ref Med	打开	打开	中
SC On / Ref High	打开	打开	高

对于每一个两项均为“打开”的选项，可以选择高、中和低等参考驱动能力，从而为内部参考缓冲器选择相应的电流驱动能力。在选择参考驱动时，您需要在性能和功耗之间做出良好平衡。

该选择会影响 PSoC 的整体功耗。当使用了参考电压和相关运算放大器模块的用户模块，都会小幅度增加器件所消耗的功耗。由于内部参考电路将作为大多数开关电容电路不可分割的一部分使用，因此，电流驱动能力会影响开关电容模块的运行速度。通常，此参数的设置越高，则会允许开关电容电路以更高的时钟频率运行，但功耗亦会增加。要估算每个运算放大器模块消耗的电流（和功耗），请参阅该器件数据手册中相关的列表。

A_Buf_Power（模拟输出缓冲区功耗）

您可以通过设置参数 A_Buf_Power 为连接至模拟队列总线的模拟输出缓冲区选择所需要的功耗等级。这些缓冲器用于缓冲驱动 PSoC 外部引脚的内部模拟信号。该功耗参数 A_Buf_Power 的设置情况对缓冲器频率响应的影响非常小，但可以提高驱动电容负载时的稳定性。负载电容值大于 100 pF 时，推荐选择“High”（高）设置项。负载电容值不大于 100 pF 时，为降低节省功耗，最好选择“Low”（低）设置项。最大负载电容值约为 200 pF。

AGndBypass（AGND 旁路）

某些 PSoC 器件能够为引脚 P2[4]提供一个外部模拟接地（AGND）旁路电容。这样可以在一定程度上减少内部 AGND 所产生的开关噪声。将参数 **AGNDBypass** 设置为 **Enable**（使能），便能够使能该特性。通用 I/O 引脚 P2[4] 同样需要被正确配置。应该在 **Pinout**（引脚分布）窗口中将通用 I/O 的 **Select**（选择）选项设置为 **ExternalAGND**

（外部 AGND），如图 24 所示。外部旁路电容的典型值范围为 0.01 µF 到 10 µF 之间，通常不要超过 10 µF。推荐值为 1 µF。

图 24. AGND 配置

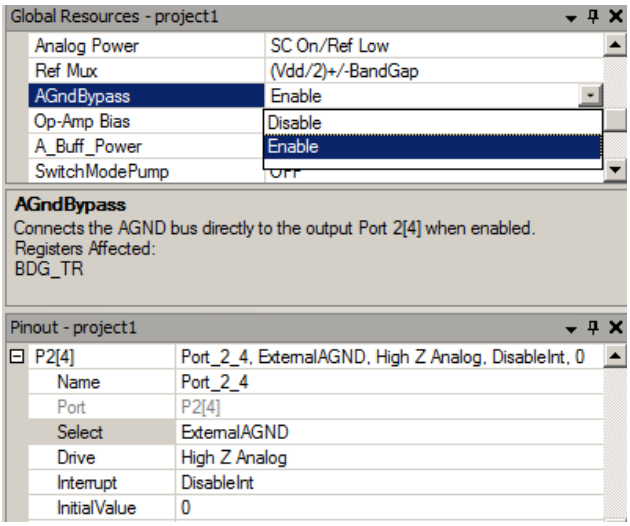
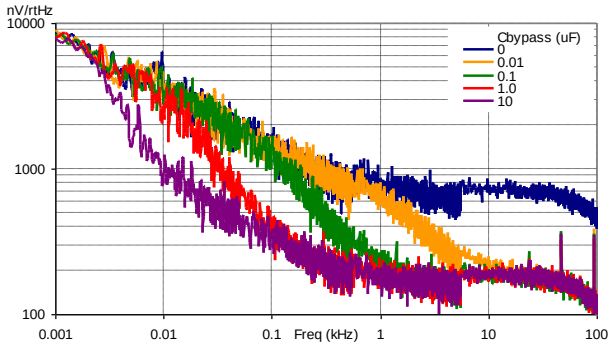


图 25 显示的典型噪声并不包含旁路电容的典型噪声，并且该值介于 0.01 µF 和 10 µF 之间。请注意，当电容值增大时，截止频率会下降。

图 25. 电容被连接到 P2[4]的典型 AGND 噪声，电容值以 µF 为单位。



Opamp Bias（运算放大器的偏压）

参数 Op-Amp Bias 能够在连续时间内调整所有运算放大器的偏置，并调整开关电容模拟模块。可以根据正在开发的应用定制内部运算放大器的性能，可通过为 PSoC 的模拟部分选择高偏置电压或低偏置电压条件来实现。选择高偏置会使运算放大器消耗更大的电流，但同时也能提升它的带宽和开关速度，并降低输出阻抗。运算放大器总功耗由全局参数“Op-Amp Bias”和单独功耗设置共同确定。要估算每个运算放大器模块所消耗的电流（和功耗），以及选择不同运算放大器偏压大小所造成的影响，请参阅该器件数据手册中的相关表格。要估计交流运算放大器参数的影响，请参阅器件数据手册中的相关交流运算放大器规范。表 8 列出了模拟模块放大器在不同功耗设置下的最小 GBW。

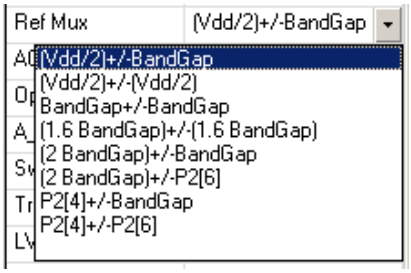
表 8. 基于功耗和偏压设置的运算放大器 GBW

单个运算放大器功耗设置	运算放大器的偏压	增益带宽积（最小）
低	低	0.75 MHz
中	高	3.1 MHz
高	高	5.4 MHz

Ref Mux（参考复用器）

在上述全局模拟设置中，参数 Ref Mux 也许是最重要的设置内容。它可以决定使用 ADC 或 DAC 等模拟 SC 模块的任意组件的范围及（可能）准确度。参数 Ref Mux 的值是由一对值确定的，由[AGND 等级 ± 全量程]组成。请参阅内部参考结构部分，了解更多信息。选定的参考电压将控制输入开关电容电路的最大电压，以及从开关电容电路输出的最大电压。模拟接地（AGND）电平和峰-峰电压均通过该参数进行选择。请参阅图 26，查看 Ref Mux 菜单选项。

图 26. 参考选择选项



PSoC 1 完成模拟电压测量和信号处理应用都需要使用精确的接地和电压参考。选择正确的模拟接地和电压参考对于实现精准的系统性能至关重要。PSoC 1 在设置参考方面具有很强的灵活性。

ADC 操作的故障诊断与排除

某些配置错误可能会使 ADC 不按照预期方式执行，或完全不执行。以下列出了这些问题以及相应的解决方案：

- **时钟选择**：多数 ADC 都有数字和模拟开关电容模块。请确认模拟和数字模块均选用了相同的时钟。
- **时钟范围**：每一个模拟用户模块都有基于模拟 SC 模块的最大和最小时钟频率。请确认选定的时钟在指定时钟范围内。另外要注意，实际的 SC 时钟频率是输入时钟频率的四分之一。
- **时钟相位**：当信号从一个基于 SC 模块的用户模块输入到另一个模块时，需要反转时钟相位。大多数使用了 SC 模块的用户模块都会有一个 ClockPhase（时钟相位）参数。请确保流经两个或多个 SC 模块的信号路径在 **Normal**（正常）和 **Swapped**（交换）间交替。
- **功耗设置**：对于包含 SC 模块的用户模块，功耗设置需要与模拟时钟的速度相对应。对于高时钟频率，SC 模块的功耗同样需要被设置为高。
- **参考复用器**：参考复用器为全局设置，因此，所有基于 SC 模块的模拟器件均采用相同的设置。请确保所有模拟器件均与所选参考复用器设置兼容。
- **中断**：大多数 ADC 要求在 ISR（中断服务例程）中进行某些操作。请确保特定的 ADC 中断与全局中断均被使能。
- **CPU 开销**:在进行高速运算时，在 ISR 中处理结果的 ADC 占用 CPU 总周期的比例很大。如果其他器件同样需要中断，则您可能需要降低采样率。

总结

了解 PSoC 1 基本模拟结构可以帮助您理解全局模拟参数和各个模拟用户模块参数。全局参考复用器的设置和如何产生这些参考是此结构中最重要的部分。在开始时，大量的参考设置似乎会令人困惑不已，但是这些设置却能在目前市场上多种信号微控制器中为您提供一种最为灵活的模拟系统。

关于作者

姓名：	Mark Hastings
职务：	MTS 应用工程师
背景：	Mark Hastings 于 1984 年从华盛顿州立大学毕业，获得电气工程学（BSEE）学士学位。在过去的二十七年中，他主要从事嵌入式设计和混合信号设计。
联系地址：	meh@cypress.com

文档修订记录

文档标题：AN74170 - PSoC® 1 模拟结构和利用 PSoC Designer™进行配置

文档编号：001-78666

修订版本	ECN	变更者	提交日期	变更说明
**	3599531	MEH	01/12/2012	新建应用笔记。
*A	4716736	HENG	04/02/2015	本文档版本号为 Rev*A，译自英文版 001-74170 Rev*C。
*B	6064896	XITO	02/09/2018	本文档版本号为 Rev. *B，译自英文版 001-74170 Rev. *D。

销售、解决方案以及法律信息

全球销售和设计支持

赛普拉斯公司具有一个由办事处、解决方案中心、厂商代表和经销商组成的全球性网络。要想查找离您最近的办事处，请访问赛普拉斯所在地。

产品

Arm® Cortex® 微控制器	cypress.com/arm
汽车级产品	cypress.com/automotive
时钟与缓冲器	cypress.com/clocks
接口	cypress.com/interface
物联网	cypress.com/iot
存储器	cypress.com/memory
微控制器	cypress.com/mcu
PSoC	cypress.com/psoc
电源管理 IC	cypress.com/pmic
触摸感应	cypress.com/touch
USB 控制器	cypress.com/usb
无线连接	cypress.com/wireless

PSoC®解决方案

PSoC 1 | PSoC 3 | PSoC 4 | PSoC 5LP | PSoC 6 MCU

赛普拉斯开发者社区

社区 | 项目 | 视频 | 博客 | 培训 | 组件

技术支持

cypress.com/support

此处引用的所有其他商标或注册商标归其各自所有者所有。

赛普拉斯半导体公司
198 Champion Court
San Jose, CA 95134-1709

© 赛普拉斯半导体公司，2012-2018 年。本文件是赛普拉斯半导体公司及其子公司，包括 Spansion LLC（“赛普拉斯”）的财产。本文件，包括其包含或引用的任何软件或固件（“软件”），根据全球范围内的知识产权法律以及美国与其他国家签署条约由赛普拉斯所有。除非在本款中另有明确规定，赛普拉斯保留在该等法律和条约下的所有权利，且未就其专利、版权、商标或其他知识产权授予任何许可。如果软件并不附随有一份许可协议且贵方未以其他方式与赛普拉斯签署关于使用软件的书面协议，赛普拉斯特此授予贵方属人性质的、非独家且不可转让的如下许可（无再许可权）（1）在赛普拉斯特软件著作权项下的下列许可权（一）对以源代码形式提供的软件，仅出于在赛普拉斯硬件产品上使用之目的且仅在贵方集团内部修改和复制软件，和（二）仅限于在有关赛普拉斯硬件产品上使用之目的将软件以二进制代码形式的向外部最终用户提供（无论直接提供或通过经销商和分销商间接提供），和（2）在被软件（由赛普拉斯公司提供，且未经修改）侵犯的赛普拉斯专利的权利主张项下，仅出于在赛普拉斯硬件产品上使用之目的制造、使用、提供和进口软件的许可。禁止对软件的任何其他使用、复制、修改、翻译或汇编。

在适用法律允许的限度内，赛普拉斯未对本文件或任何软件作出任何明示或暗示的担保，包括但不限于关于适销性和特定用途的默示保证。没有任何电子设备是绝对安全的。因此，尽管赛普拉斯在其硬件和软件产品中采取了必要的安全措施，但是赛普拉斯并不承担任何由于使用赛普拉斯产品而引起的安全问题及安全漏洞的责任，例如未经授权的访问或使用赛普拉斯产品。此外，本材料中所介绍的赛普拉斯产品有可能存在设计缺陷或设计错误，从而导致产品的性能与公布的规 格不一致。（如果发现此类问题，赛普拉斯会提供勘误表）赛普拉斯保留更改本文件的权利，届时将不另行通知。在适用法律允许的限度内，赛普拉斯不对因应用或使用本文件所述任何产品或电路引起的任何后果负责。本文件，包括任何样本设计信息或程序代码信息，仅为供参考之目的提供。文件使用人应负责正确设计、计划和测试信息应用和由此生产的任何产品的功能和安全性。赛普拉斯产品不应被设计为、设定为或授权用作武器操作、武器系统、核设施、生命支持设备或系统、其他医疗设备或系统（包括急救设备和手术植入物）、污染控制或有害物质管理系统中的关键部件，或产品植入之设备或系统故障可能导致人身伤害、死亡或财产损失其他用途（“非预期用途”）。关键部件指，若该部件发生故障，经合理预期会导致设备或系统故障或会影响设备或系统安全性和有效性的部件。针对由赛普拉斯产品非预期用途产生或相关的任何主张、费用、损失和其他责任，赛普拉斯不承担全部或部分责任且贵方不应追究赛普拉斯之责任。贵方应赔偿赛普拉斯因赛普拉斯产品任何非预期用途产生或相关的所有索赔、费用、损失和其他责任，包括因人身伤害或死亡引起的主张，并使之免受损失。

赛普拉斯、赛普拉斯徽标、Spansion、Spansion 徽标，及上述项目的组合，WICED，及 PSoC、CapSense、EZ-USB、F-RAM 和 Traveo 应视为赛普拉斯在美国和其他国家的商标或注册商标。请访问 cypress.com 获取赛普拉斯商标的完整列表。其他名称和品牌可能由其各自所有者主张为该方财产。