AN57821

PSoC® 3、PSoC 4 和 PSoC 5LP 混合信号的电路板布局注意事项

作者：Mark Hastings

相关器件系列：所有的 PSoC 3、PSoC 4 和 PSoC 5LP 器件

相关应用笔记：无

要获取本应用笔记的最新版本，或关联应用文件，请访问 http://www.cypress.com/go/AN57821。

AN57821 介绍了基本的 PCB 布局实践，以便 PSoC® 3、PSoC 4 和 PSoC 5LP 器件系列实现 12 位到 20 位的性能。本应用手册中的设计实践介绍了良好的规则，可使用于所有的混合信号设计并满足准确性要求。

目录

1 简介 1
2 走线电阻确实很重要 2
3 共享返回路径 4
3.1 要谨慎考虑潜在的问题 5
4 模拟和数字信号的布线 6
4.1 串扰是什么？ 6
4.2 3 W 规则 7
5 多电源域 8
6 接地层 9
7 旁路电容 10
7.1 PSoC 3 和 PSoC 5LP 10
7.2 PSoC 4 10
7.3 电容选择 12
8 所有电容并不是等同的 13
9 混合信号 PCB 的规则汇总 13
10 PCB 布局和自动布线的工具 14
11 汇总 14
关于作者 14
A 附录 A：布局示例 15
A.1 PsoC 3 和 PSoC 5LP SSOP、QFN 和 TFQP 封装的布局 15
A.2 PSoC 4 QFN 和 SSOP 封装 16
文档修订记录 17
B 全球销售和设计支持 18
C 产品 18
D PSoC®解决方案 18

1 简介

要想了解在使用分辨率等于或高于 12 位 ADC 时可能发生的问题，需要确定 ADC 能够处理多小的电压值。电压范围为 2 V 的 8 位 ADC 能够检测最小电压值为 2 V/256 = 0.008 V，即 8 mV 左右。尽管 8 mV 看上去比较小，让我们把这个值和更高分辨率的 ADC 进行比较，表 1 显示了对具有输入范围为±1 V 和分辨率为 8 到 20 位的各 ADC 进行的比较。

表 1. ADC 分辨率

± 1.024 V 电压范围		
位	分辨率	单位
8	8.000	mV
9	4.000	mV
10	2.000	mV
11	1.000	mV
12	500	µV
13	250	µV

± 1.024 V 电压范围		
位	分辨率	单位
14	125.0	µV
15	62.5	µV
16	31.3	µV
17	15.6	µV
18	7.8	µV
19	3.9	µV
20	2.0	µV

当分辨率为 20 位时，ADC 能够处理最小为 2 µV 的电压。稍微提高增益，您可以处理低于 1 µV 的电压。另外，包含窄输入范围（高 ADC 增益）的低分辨率 ADC 系统也可以处理微伏范围的电压值。

使用低分辨率 ADC 时，1 mV 以下的偏移和噪声源是无意义的。但使用 12 位到 20 位 ADC 时，该值将起着重要作用。未习惯于敏感模拟电路的设计师会容易忽略这些偏差。目前的电子产品越来越小，因此单是较小的电路板几何形状就能引起许多问题。

2 走线电阻确实很重要

当 PCB 缩小时，走线宽度会更窄，距离更加接近。目前的电子产品中走线宽度和走线之间的间隙一般不超过 6 密耳（0.006 英寸）。即使您指定了大小为 6 密耳的走线，仍可以通过过度蚀刻轻松地使该值降至 4 或 5 密耳。

那么，为什么我们需要留意走线变小的现象？当走线变窄时，走线电阻会增加。公式 1 提供了计算走线电阻的标准公式：

公式 1 $$\text{Resistance} = \text{Resistivity} \times \frac{Length}{(Width \times Thickness)}$$

其中，

铜的电阻率为 6.787×10^{-7} 欧姆/英寸左右。

PCB 上 1 盎司（oz）铜的厚度为 1.378 密耳。

PCB 上走线的厚度为 1 盎司铜，长度为 1 英寸，宽度为 8 密耳，其电阻将为 0.062 欧姆。表 2 显示的是针对若干走线长度和宽度计算得出的阻抗值。

表 2. 走线电阻

走线电阻（欧姆）				
宽度（密耳）	走线长度（英寸）			
	0.1”	0.5”	1”	2”
15	0.0033	0.0164	0.0328	0.0657
10	0.0049	0.0246	0.0493	0.0985
8	0.0062	0.0308	0.0616	0.1231
6	0.0082	0.0410	0.0821	0.1642
4	0.0123	0.0616	0.1231	0.2463

如表 2 中所示，所有的阻抗都大大低于 1 欧姆。这看上去对电路影响并没有那么大，但具体情况取决于该走线在电路板上的位置。如果是高阻抗放大器输入的走线，就没问题，但在其他情况下，就会产生影响。再次使用该表并为每个走线组合通过 5 mA 的电流。虽然 5 mA 的电流不大，并且走线电阻不到 1 Ω，但在使用高分辨率的 ADC 时，组合偏移会变得十分显著，如表 3 所示。

表 3. 走线电压偏移

5 mA 的电流引起的电压偏移（微伏）				
宽度（密耳）	走线长度（英寸）			
	0.1”	0.5”	1”	2”
15	16.42	82.10	164.20	328.40
10	24.63	123.13	246.25	492.50
8	30.79	153.93	307.85	615.70
6	41.05	205.23	410.45	820.90
4	61.57	307.83	615.65	1231.30

在该表里，如果流入走线（其宽度为 6 密耳，长度为 2 英寸）的电流为 5 mA，则电压将为 820 µV，即 0.82 mV 左右。在表 1 中，请注意，在系统采用的 ADC 分辨率低于 12 位时，该电压并不显著。绿色显示的单元是至少影响到 16 位 ADC 半个最低有效位的条件。黄色显示的单元表示在使用 12 位或更高 ADC 时导致相同偏差的条件。这时，假设 12 位和 16 位 ADC 的输入范围为 2 伏特（+/- 1 伏特）。

一个示例应用（其中该偏移大小引起显著偏差）是使用热电偶来测量温度。如果使用 K 型热电偶，输出电压将为 40 µV/°C 左右。那么，410 µV 偏移相当于超过 10 °C 的偏差。如果相同走线被过度蚀刻，使其宽度降至 4 密耳，偏差将增加 50%。通过该示例，可以看到评估信号路径中的每个 PCB 走线的重要性。虽然 12 位 ADC 不是最坏情况，但如果 ADC 前面增加 16 倍的增益，相应的电压分辨率等价于 16 位 ADC。

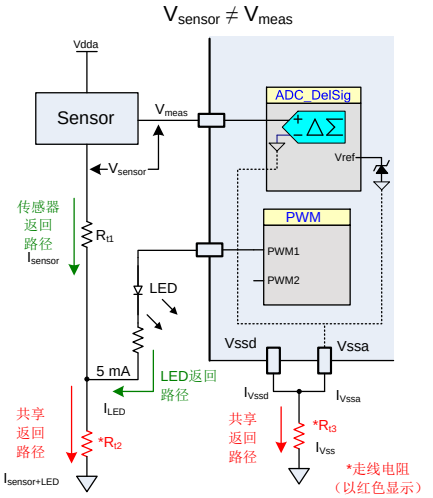
3 共享返回路径

设计带有混合信号或高精度 ADC 的电路板时，需要识别电流在 PCB 中的具体位置。走线上几毫安（mA）的电流就能造成严重的问题。

当数字器件或高电流模拟器件共享敏感模拟信号的返回路径时，走线电阻就会对电路产生影响。此情况下，高电流的单位不再是安培（A），而是毫安（mA）。在前一示例中，热电偶与 5 mA 负载共享一个返回路径。即使将该负载降至 0.5 mA，偏差仍然为 1 °C。因此，几百 µA 的电流影响也比较大。

图 1 显示的是一个示例，其中模拟接地和数字接地共享一个返回电流路径，传感器和 LED 共享另一个返回电流路径。这两个共享路径可能会导致系统偏移或增益偏差问题。

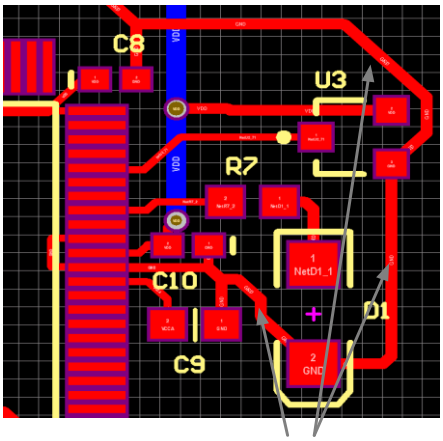
图 1. 信号返回路径的阻抗



$$V_{meas} = V_{sensor} + (I_{sensor} * R_{t1}) + (R_{t2} * (I_{sensor} + I_{LED})) - (R_{t3} * (I_{Vssd} + I_{Vssa}))$$

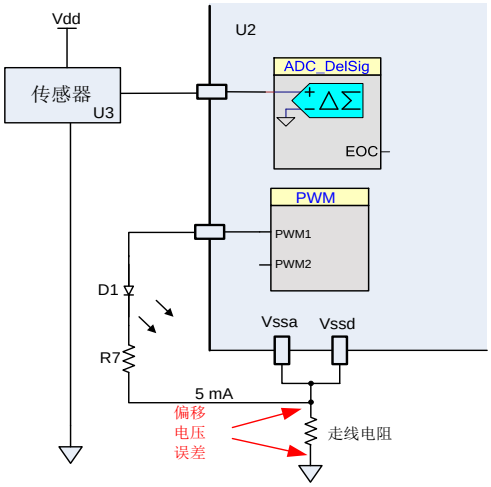
当本示例中的 ADC 测量传感器的输出电压时，它也会测量走线电阻上的电压。共同接地处与传感器电流和 LED 电流合并的位置之间的走线长度越大，可能发生的电压偏移越严重。该偏差的严重性取决于系统所需的准确度、传感器的电压增益以及偏移偏差电压的大小。图 2 显示的是 PCB 布局的一个示例。

图 2. 共享返回路径的示例布局



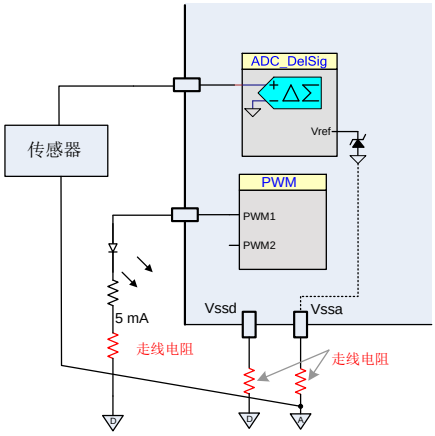
模拟地（V_{SSA}）和您正在测量的所有信号一样，起着重要作用。PSoC 的 V_{SSA} 引脚与系统地处之间的走线长度及其阻抗必须尽可能小。即使几百微安（µA）的电流分量共享该路径，当测量几个毫伏的信号时，也会导致许多问题。使用单端测量时，这里的偏移可以被视为测量偏移。在图 3 中，LED 的电流与供电电流共享一个路径，但传感器使用它自己的路径。内部带隙参考电路也被连接到 V_{SSA}。因与 LED 共享返回路径而消耗的任何电压都会使 ADC 参考电压产生波动，电压下降的大小为 I*R。参考电压和 V_{SSA} 之间的偏移会导致 ADC 增益偏差。

图 3. 模拟接地路径的电流



为数字接地（V_{SSD}）、模拟接地（V_{SSA}）、传感器和 LED 提供单独的接地路径后，将没有共享返回路径（参考图 4）。该传感器、ADC 和参考电路都被连接到同一个模拟接地，因此 LED 中的电流变化几乎不会对传感器的输出产生任何影响。另外还要注意，在该图中，传感器和 V_{SSA} 在同一个位置上与模拟接地相连。该接地连接的地理位置可以是一个点，或者是极低的阻抗层。

图 4. 良好的接地连接



通过将差分 ADC 连接到传感器，可以消除传感器返回和高电流共享一个路径时导致的共模电压偏移；请参看图 1。普通电压是指传感器 Vss 和传感器输出的普通偏移。然而，该传感器的差分连接不能降低 V_{SSA} 共享接地路径时产生的偏差（图 3）。请参看图 5。

图 5. 差分 ADC 和单独返回路径

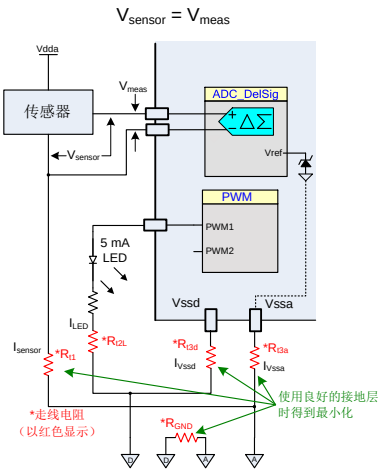
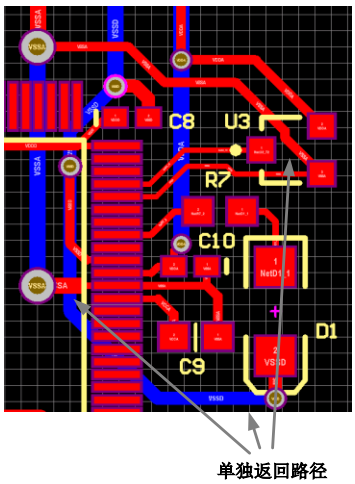


图 6 显示的是一个改进路由的示例，包括单独的返回路径、单独的模拟和数字电源，以及传感器的差分连接。

图 6. 单独返回路径的示例布局



3.1 要谨慎考虑潜在的问题

当传感器共享返回路径或调制负载（如 PWM 驱动的 LED）共享 V_{SSA} 引脚时，可能不会立即发现偏差。如果调试负载与 ADC 完全同步，生成的偏差可能大，也可能小。如果同步化过程中没有产生任何可测量的偏差，那么，开始开发和测试时，不会发现任何问题。但如果在这种情况下修改了 ADC 采样率或 PWM 频率，偏差或噪声将发生明显的变化。这样的变化难以测试，因为在许多应用程序中，负载调制会根据不同的环境或软件而有所变化。因此，一个电路板设计有时候能够正常运行，有时候则无法工作。因此，即使设计能够正常工作，仍然需要遵循良好的设计规则。

4 模拟和数字信号的布线

理想情况下，模拟和数字信号将位于电路板的对立侧上，但这种情况一般不会发生。许多设计都要求模拟和数字信号位于同一个区域内。遗憾的是，在一个区域内同时运行较高阻抗的模拟信号和数字信号可能引起意外串扰，该串扰给模拟信号带来过大噪声。

4.1 串扰是什么？

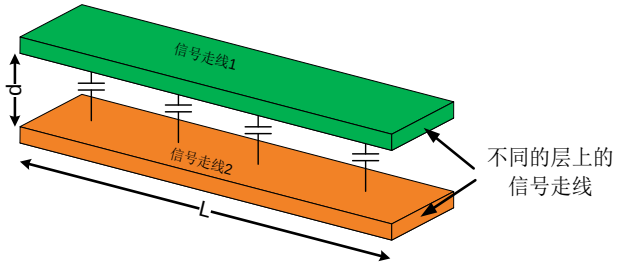
串扰指的是没有直接相连时，一个信号对另一个信号产生影响的现象。具有快速上升和下降时间的数字信号对高阻抗的模拟信号路径产生影响是最常见的串扰现象。数字信号同样受串扰的影响。高速数字信号容易影响到其他数字信号。各信号之间的串扰类型为：传导、容性或者感性。在所有情况下，通过加大各信号之间的距离并缩短它们之间并行的长度，可以减少信号串扰。

传导串扰的影响一般不大。只有各信号的阻抗过高（超过 10 MΩ）时，这种串扰才会造成问题。当 PCB 上出现泥土、油、盐或其他液体异物，增大了各走线之间的 PCB 材料的导电性时，通常会发生高传导串扰情况。阻抗下降所导致的串扰会对电路操作产生不利影响。在某些情况下， 焊接掩模可以保护 PCB。但始终会有裸露区，如 PCB 上器件焊接的位置。如果在使用产品的环境中发现这些材料，必须采用各种措施使 PCB 与这些材料隔离。如果不能使 PCB 与异物隔离，可以在 PCB 上使用外部涂料，但该方法会增加费用。

当一个走线位于其他层中另一个走线的正上方时，将发生容性耦合。铜线之间形成一个电容。这些铜线重叠部分越多，它们耦合形成的电容越高。通过减少各信号之间的重叠区降低该电容，从而减少耦合。在某些情况下，特别是在双层电路板上，几乎不能消除敏感模拟信号与快速数字信号交叉的情况。这时，这些信号需要以 90 ^{o} 的角度交叉，以尽量减少它们之间形成的电容。

如果使用两层以上的多层电路板，请保证两个相交信号之间存在电源层，以尽可能减少耦合。请注意，图 7 中的电容在两个走线之间形成，它与重叠区成正比。

图 7. 并行走线的容性耦合



如果使用多层电路板，请确保模拟和数字走线以 90^{o} 的角度相交。这样可大大减少重叠区，从而降低各信号之间的容性耦合。图 8 显示的是一个示例。

图 8. 垂直走线的容性耦合

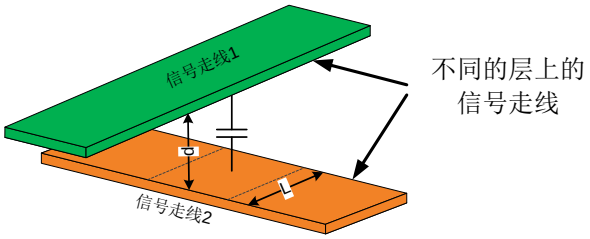
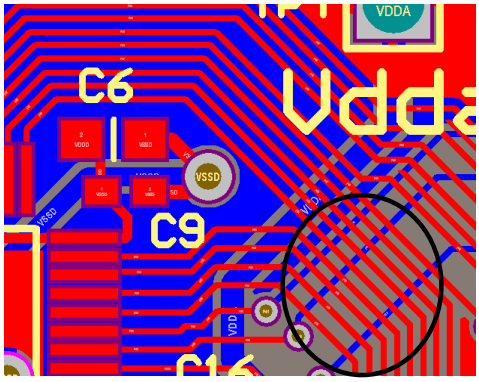


图 9 显示的是 PCB 布局的一个示例，其中模拟走线（红色）必须与数字走线（蓝色）交叉。请注意，模拟和数字走线之间为 90^{o}。

图 9. 数字走线以 90^{o} 与模拟走线交叉

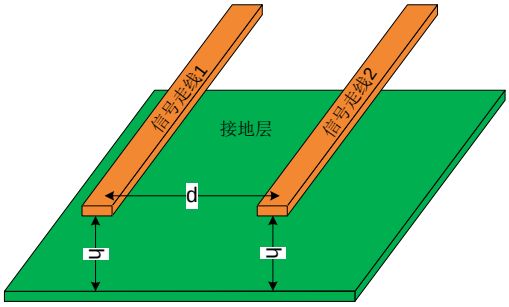


在同一层或相邻层上运行的各条走线可能被磁耦合。该情况被称为感性耦合。感性耦合由三个机械特性引起。这些特性为：各走线之间的分离、两个并行走线之间的距离、走线和其最接近电源层的距离。各信号之间的距离以及各信号和接地层之间的距离都是影响最大的因素，如公式 2 和图 10 所示。

公式 2

$$Crosstalk \cong \frac{1}{1+(\frac{d}{h^2})}$$

图 10. 感性耦合的空间

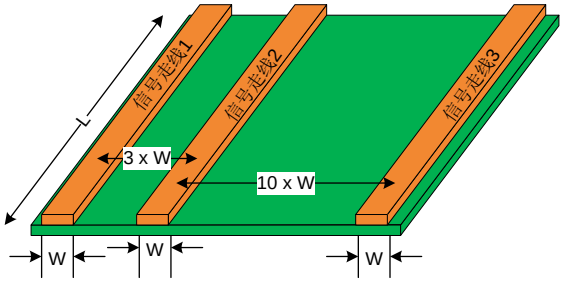


正如您能够发现，走线和接地层之间的距离（即为高度）是一个重要因素。通过缩短该距离，可能以高度平方的数值降低串扰。如果需要运行相邻的数字和模拟走线，那么，使它们接近于接地层会是降低串扰的最好方法。

4.2 3 W 规则

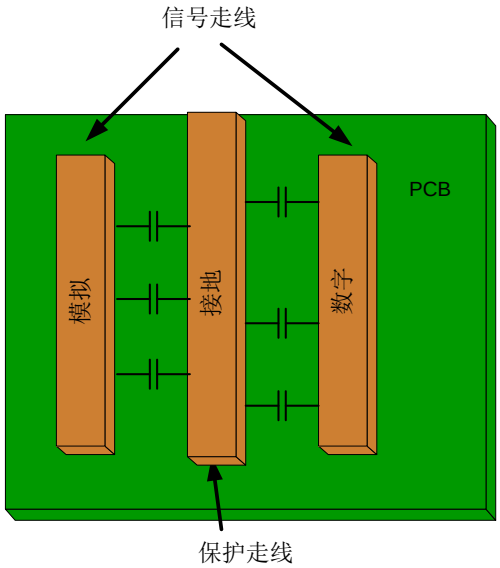
3 W 规则规定了各逻辑走线（中心到中心）之间的距离必须为走线宽度的三倍。例如，如果 PCB 上走线的宽度为 0.008 英寸，则两个相邻走线中心之间的距离将为 0.024 英寸（0.008 英寸 x 3），其边缘的距离为 0.016 英寸（0.008 英寸 x 2）。这样可使每个走线处在另一个走线的 70%磁通量边界范围外。为了能够位于 98%磁通量边界的范围外，两个相邻走线之间的距离必须为走线宽度的 10 倍。这些条件都取决于各走线的阻抗以及各信号的上升时间。请参看图 11。

图 11. 3 W 规则的示例



减少（在电路板同一侧上运行的相邻）信号之间的耦合的另一个方法是在这些信号之间放置一个防护线，并将之接地。这样可以减少各信号之间的容性耦合。请参看图 12。

图 12. 使用防护线



在多层电路板中，各层之间的距离不一样。例如，在厚度为 0.062 英寸的 4 层电路板中，与第二层和第三层之间的距离相比，第一层和第二层之间的距离更小。因此，在同一个区域内走模拟和数字信号时，请将各走线分布到非相邻层上，可以尽可能扩大它们之间的距离。

5 多电源域

在敏感模拟系统中，需要将模拟电源和数字电源分开。PSoC 3、PSoC 4 和 PSoC 5LP 系列为模拟模块和数字模块提供独立的电源和接地引脚。PSoC 3 和 PSoC 5LP GPIO 被分为四组，以便为外部组件提供多个逻辑电平。电源连接的汇总如下所示。

- V_{SSD} — 所有数字逻辑和 I/O 引脚的接地电压。
- V_{DDD} — 所有数字外设和数字内核电压调节器的供电电压。V_{DDD} 必须小于或等于 V_{DDA}。
- V_{SSA} — 所有模拟外设的接地电压。
- V_{DDA} — 所有模拟外设和模拟内核电压调节器的供电电压。V_{DDA} 必须是器件上的最高电压。所有其他供电引脚必须小于或等于 V_{DDA}。
- V_{CCD} — 数字内核电压调节器的输出，同时是数字内核的输入。需要为 V_{SSD} 连接 1 µF 的电容。电压调节器输出不能外用。
- V_{CCA} —（仅用于 PSoC 3 和 5LP）模拟内核电压调节器的输出，同时是模拟内核的输入。需要为 V_{SSA} 连接 1 µF 的电容。电压调节器输出不能外用。
- V_{DDIO} — I/O 引脚的电源。对于 PSoC 3 和 5LP，共有四个 V_{DDIO} 引脚。GPIO 被分为四组，每一组都有自己的电源引脚。V_{DDIO} 必须小于或等于 V_{DDA}。

PSoC 器件可能拥有全部或部分这些引脚，具体情况取决于产品系列和器件型号。欲了解详细信息，请参考您所使用的器件的数据手册。

一般建议使用独立的外部模拟和数字电压调节器。如果额外电压调节器的成本过高，并且您的设计中数字部分不包括高速或高电流切换功能，可以使用单个电压调节器。就如您拥有独立的调节器时，要注意要在设计上始终隔离模拟和数字的电源电路。分别为模拟电源（V_{DDA}、V_{SSA}）和数字电源（V_{DDD}、V_{SSD}）提供独立的电源和接地信号。请尽可能缩短这两个电源（模拟和数字电源）与电路板电源之间连接的距离。电路板电源的输出阻抗一般较低，所以通过上述连接，数字电源几乎不会对模拟电源产生影响。

在 28 引脚 SSOP 封装中，为了节省引脚，PSoC 4 器件的 V_{SSD} 和 V_{SSA} 电源引脚都被连接到单个 Vss 引脚。另外，V_{DDA} 和 V_{DDD} 引脚都被连接到单个 V_{DD} 引脚。当使用某些 GPIO 引脚快速驱动低阻抗的负载时，如果要求最大的模拟性能，应该避免使用 28 引脚 SSOP 封装。

6 接地层

接地层在混合信号设计中始终有用，但对于某个已给的设计，额外层成本较高。即使在双层电路板中，也可以在敏感模拟部分添加部分层。无论您是否使用接地层，都需要确保返回路径与电源之间的连接最短。请注意，如果接地层电源电路的阻抗不够低，或者过度分散该层，则不能利用该层改善您的设计。在双层电路板上，不要仅仅依靠最后的地平面填充，因为这样可能带来高阻抗的接地路径。如不仔细检查，很难发现这样的缺陷。比较好的设计习惯是，先通过走线布局好接地路径，然后进行地平面填充。

如果谨慎认真地选择引脚，便能轻松地实现电路板布局，同时可以使能局部的模拟和数字电源层。图 13 显示的是根据输入/输出端口在 PSoC 3 和 PSoC 5LP 器件中放置芯片的模拟和数字部分的情况。

图 13. PSoC 3 / PSoC 5LP 的模拟/数字布局

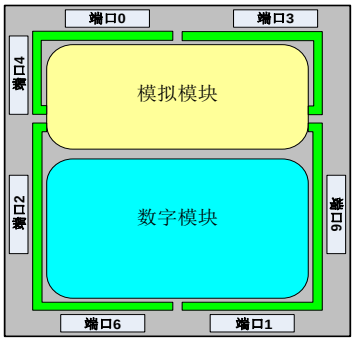
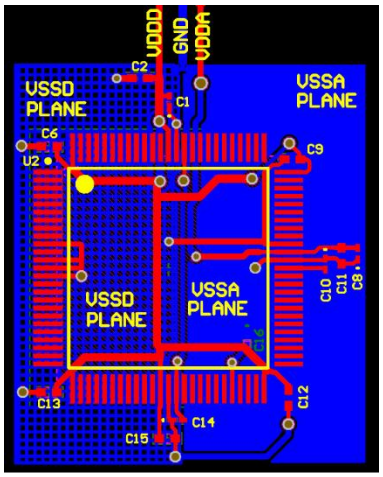


图 14 显示的是双层电路板布局的一个示例。根据图 13 中显示的图像，PSoC 器件顺时针旋转 90 °。底层以蓝色显示，顶层以红色显示。请注意，即使所有电源引脚都连接，并且底层上有良好的电源接地端，仍有足够的空间用于将 PSoC 顶层上的信号走出去。这里特意将 V_{SSD} 电源层铺设成网格，以便与 V_{SSA} 的实平面电源层做出区分。一般情况下，如果没有 CapSense®按键和控件等特殊部分，推荐使用实平面的电源层。

如果在您的设计中能够使用单独的模拟和数字接地层，那么几乎在所有情况下，它们需要在一个单点上相连。该单点需要位于电源和 PSoC 器件之间。

当仅用一个单电压调节器时，只在模拟和数字组件相互隔离的情况下，对地平面可以不做分割。

图 14. PSoC 3 和 PSoC 5LP 双层电路板布局的示例



有关 QFN 和 SSOP 封装的示例布局，请参考附录 A 中的内容。

7 旁路电容

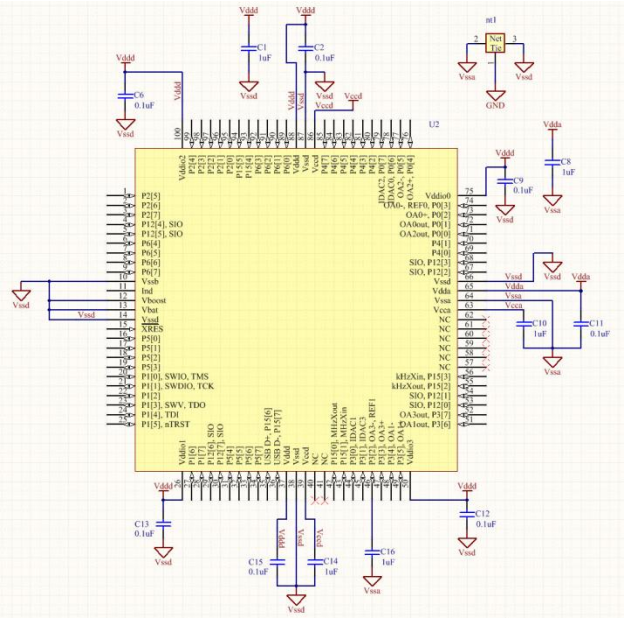
7.1 PSoC 3 和 PSoC 5LP

如前面所述，PSoC 3 和 PSoC 5LP 器件中包含了不同的电源域。每个电源域都有独立的旁路电容要求。表 4 汇总了这些要求，图 15 显示的是这些电阻在示例原理图上的情况。

表 4. PSoC 3 和 PSoC 5LP 旁路电容连接的汇总

电源	旁路电容
V_{DDD} – V_{SSD}	每个引脚上 0.1 µF 的陶瓷电容加上 4.7 到 10 µF 大容量电容（C1、C2、C15）。
V_{DDA} – V_{SSA}	引脚上 0.1 µF 的陶瓷电容（C11）。如果电源与引脚之间的距离超过 1 英寸，将添加大小为 1 µF 至 10 µF 的电容（C8）。
V_{DDIO} 0、1、2、3 – V_{SSD}	每个 V_{DDIO} 引脚上 0.1 µF 的陶瓷电容。如果某些引脚从 5 mA 切换到 10 mA，将添加 1 µF 大容量电容（C9、C13、C6、C12）。
V_{CCA} – V_{SSA}	V_{SSA} 引脚上 1 µF 的电容（C9）。
V_{CCD} – V_{SSD}	两个 V_{CCD} 引脚之一上 1 µF 的陶瓷电容（C14）。各 V_{CCD} 引脚必须相互连接。
V_{REF} – V_{SSA}（可选）	在引脚 P3[2]或 P0[3]上通过使用 1 µF 到 10 µF 的电容（C16）可以去耦内部带隙。 在 PSoC 5LP 中，如果运行速度超过了 100 ksps，则每个 SAR ADC 均会使用参考旁路电容。根据所使用的 SAR ADC，引脚 P0[2]和/或 P0[4]上应安装一个 1 µF 到 10 µF 的电容。

图 15. PSoC 3 和 PSoC 5LP 上电源连接的示例原理图



7.2 PSoC 4

由于 PSoC 4 系列不需要达到 PSoC 3 和 PSoC 5 的精度和分辨率，所以电路板布局并非那么关键。不过，始终需要遵循良好的电路板布局规范。在图 16 所示的 PSoC 4200 系列器件示例中，请注意，端口 1 和端口 2 附近是两个模拟敏感区。虽然可以通过 AMUXBUS 将所有的信号路由到 SAR ADC（路径的电阻较高），但端口 2 仍是将信号直接连接到 SAR ADC 的优选端口。端口 1 包含两个通用运算放大器，用于将输入信号缓冲到 ADC 内或与 SAR ADC 相互独立运行。如果这两个端口用于模拟信号，则应使数字信号远离该区域。

图 16. PSoC 4200 模块的布局框图

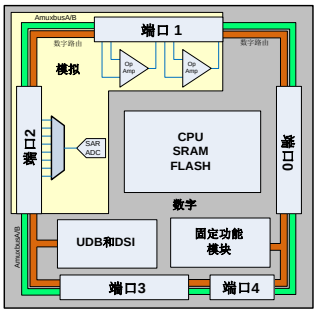


图 17 显示的是 PSoC 4200 系列 TQFP 44 引脚封装的示例原理图。请注意，与 PSoC 3 和 PSoC 5LP 相比，PSoC 4 中的电源引脚少了很多。这是因为 PSoC 4 显著小于 PSoC 3 和 PSoC 5LP 器件，并且与它们不同的是，PSoC 4 不包含高性能的 16 到 20 位 Delta-Sigma ADC。表 5 显示的是 PSoC 4 电源连接的汇总以及每个引脚的旁路电容。

图 18 显示的是 44 引脚 TQFP 封装中 PSoC 4 的示例布局。V_{SSD} 数字接地层以网格显示，因而可以简单区分模拟和数字接地层。这只是显示双层 PCB 布局方法中的一个方法。附录 A：布局示例介绍了 QFN 和 SSOP 封装的示例原理图和 PCB 布局。

图 17. PSoC 4 TQFP 44 的示例原理图

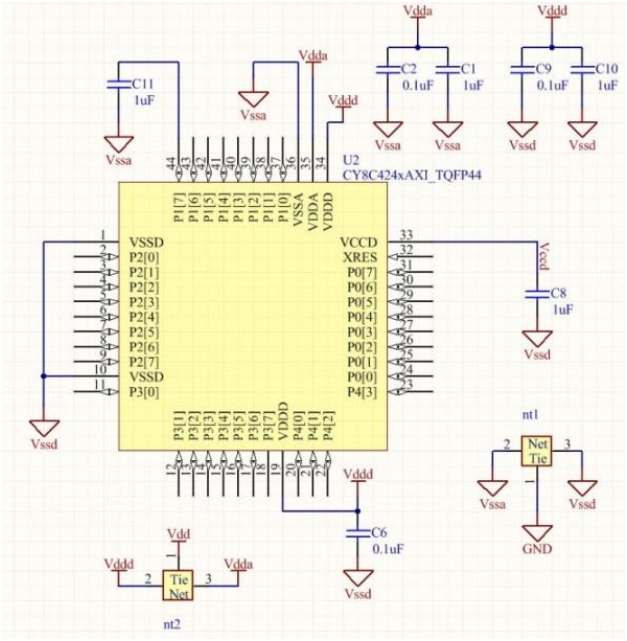
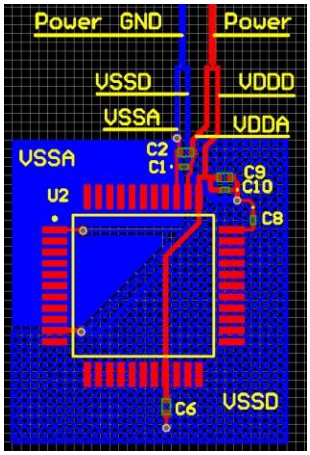


表 5. PSoC 4 旁路电容连接汇总

电源	旁路电容
$V_{DDD} – V_{SSD}$	每个引脚上的 0.1 µF 陶瓷电容加上一个 1 到 10 µF 大容量电容（C9、C10）。
$V_{DDA} – V_{SSA}$	引脚上 0.1 µF 的陶瓷电容（C2）。1 µF 到 10 µF 的额外大容量电容（C1）。
$V_{CCD} – V_{SSD}$	V_{CCD} 引脚上 1 µF 的陶瓷电容（C8）。
$V_{REF} – V_{SSA}$（可选）	在引脚 P1[7]上使用 1 µF 到 10 µF 的电容（C11）可以旁路内部带隙。
$V_{DDIO} – V_{SSA}$（所有 PSoC 4 器件都没有 V_{DDIO} 引脚)	0.1 µF 陶瓷电容和一个额外的 1 µF 到 10 µF 大容量电容（在图像中不显示）。
$V_{DD} – V_{SS}$（所有 PSoC 4 器件都没有这些引脚）	0.1 µF 陶瓷电容和一个额外的 1 µF 到 10 µF 大容量电容（在图像中不显示）。

图 18. PSoC 4 TQFP 44 引脚布局



7.3 电容选择

用于电源稳定性的电容有两种：旁路电容和大容量电容。有些时候大容量电容还被称为储能电容。旁路电容必须位于组件电源引脚附近。使用旁路电容可以消除高频噪声并为瞬间变换提供电流。这些电容的取值范围为 0.001 µF 到 0.1 µF。NPO、X5R 及 X7R 等介电电容是优良的旁路电容。这些电容的取值范围为几百皮法（pF）到几微法（µF）。

储能电容通常位于电压调节器附近。如果电路板的较大（超过几平方英寸），并各处都有一些有源器件，那么，这些电容将分布在整个电路板上。储能电容可以在较长时间内供电，并可以滤除低频噪声。在具有高电流信号或电源的电路板中，储存电容的取值范围为 1 µF 到 100 µF，或更大的值。X5R、钽和一些表面组装电解电容都适合该用途。

旁路电容一般只为 0.01 µF 或 0.1 µF。推荐进行一些简单的计算操作，以得到最佳的储能电容。如果该值过高，则表示储能电容超过您所需要的电容。如果该值太低，会使电源纹波过大并造成噪声。请使用下面公式：

$$I = C * \frac{dV}{dT}$$

C 的计算方法：

$$C = I * \frac{dt}{dV}$$

dt = 时钟或最高频率组件（fclk * π ）

I = 平均电流

dV = 可接受的纹波电压

$$C = \frac{I_{ave}}{(f_{clk} * \pi * dV)}$$

8 所有电容并不是等同的

当为各种应用选择一个电容（甚至一个简单的旁路电容）时，它的规范是非常重要的。电压和温度系数是两个最常被忽略的电容规范，但能够在正常操作的环境下大大影响器件电容。

器件变得越来越小，需要对性能和大小进行权衡。标称值为 1 uF，耐压为 6.3 V 的电容，在电压为 5 V 时，电容值可以小于 0.1 uF。因此，您需要注意电压系数。另外，不假设全部器件系列的电压系数是相同的。电压系数和温度系数可以因不同封装而有大变化。与 0603 封装相比，0805 封装具有较好的电压系数，但有时会反过来。因此请阅读数据手册。如果数据手册中没有提供电容器的温度和电压系数，请考虑使用其他制造商的电容器。

9 混合信号 PCB 的规则汇总

设计混合信号的电路板时，必须遵循下列规则：

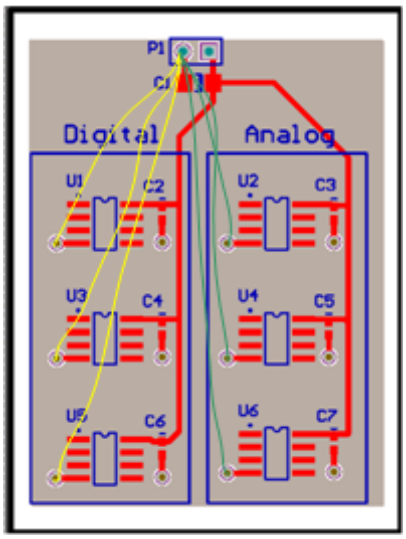
1. 考虑单独的模拟和数字电源。
2. 了解所有返回路径。
3. 虽然价格昂贵，但如果可能，请使用四层电路板。
4. 请勿将模拟信号与时钟或快速数字信号并行布线。
5. 如果模拟和数字信号必须交叉，请确保这些信号以 90° 相交，以便使耦合电容最小。
6. 电源层应该出现在其信号线相应的区域。例如，在模拟电源层上只运行模拟信号。
7. 将旁路电容放置在与 IC 尽可能近的位置。另外，还要确保电源信号的旁路连接为低阻抗。
8. 若可以，请在电路板上使用独立的模拟和数字信号以及独立的数字和模拟组件。指定 PCB 的“模拟”和“数字”区域。
9. 对高阻抗输入信号应避免过长的走线，否则它会像天线那样耦合噪声进入信号链路。
10. 尽可能扩大电源走线的宽度以降低阻抗。
11. 将模拟信号放置在离接地层最近的位置，以便最小化电感串扰。
12. 将各层之间的电源信号相连时，请使用大型或多个过孔，重要可以降低阻抗。
13. 尽可能降低数字信号的数字上升和下降时间。
14. 使用防护线使模拟和数字信号相互隔离。

10 PCB 布局和自动布线的工具

PCB 布局工具有 20 年的使用历史。通过使用这些工具可以对各信号进行分组，并为走线长度和各走线之间的距离提供不同的规则。从而避免发生错误。自动布线越来越强大，并具备许多个常用工具。这些工具遵循手动路由时所要求的相同规则。熟练的 PCB 布局设计师可以使用这些规则来提高自动布线的性能。虽然这些工具非常强大，但仍需要特别注意模拟和数字信号的布线方式。特意推荐您先手动走电路板上的敏感部分，然后才通过自动布线走剩下的其他不重要部分。不管使用哪个方式，都要确保检查最后布线。

将各器件放置在最佳的位置对手动布线和自动布线都有很大的帮助。器件放置和电路板布局都安排好后，可以使用简单的测试来验证共享返回路径是否存在问题。打印该电路板布局并在电源和每个组件之间画出最直接的路径。为模拟组件和数字组件分别使用两种不同的颜色。如果这两种颜色交叉，需要重新评估您的设计。请参考图 19。

图 19. 在 PCB 布局上绘制返回路径



11 汇总

通过本应用手册所介绍的设计技巧，您可以把握下列概念：

- 了解信号的返回路径，并尽可能避免共享模拟和数字的返回路径。
- 需要考虑走线电阻的问题，根据欧姆定律，可以容易地计算该电阻。
- 在两个相邻的走线之间始终产生耦合，因此必须确保数字信号远离模拟信号。

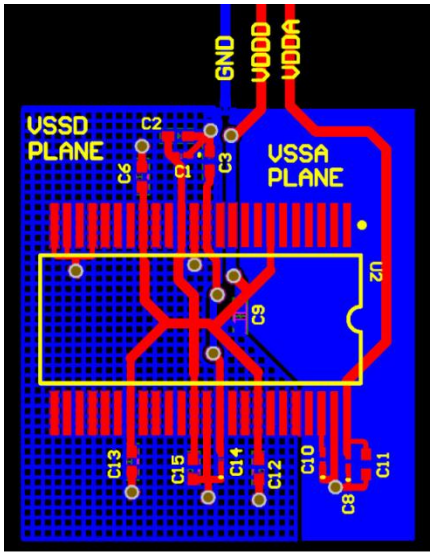
关于作者

姓名：	Mark Hastings
职务：	MTS 应用工程师
背景：	Mark Hastings 于 1984 年从华盛顿州立大学毕业。25 年来，他主要从事嵌入式设计和混合信号设计工作。大部分的业余时间，他在华盛顿北部卡斯卡德徒步旅行和爬山。

A 附录 A：布局示例

A.1 PsoC 3 和 PSoC 5LP SSOP、QFN 和 TFQP 封装的布局

图 20. 48-SSOP 封装的示例布局



更多关于原理图、布局和 gerber 文件的示例，请参见 CY8CKIT-030 和 CY8CKIT-050 开发套件网址。另外，您也可以参考 PSoC 3 和 PSoC 5LP CAD 资源网页。

图 21. PSoC 3/5 的 48-SSOP 封装的原理图

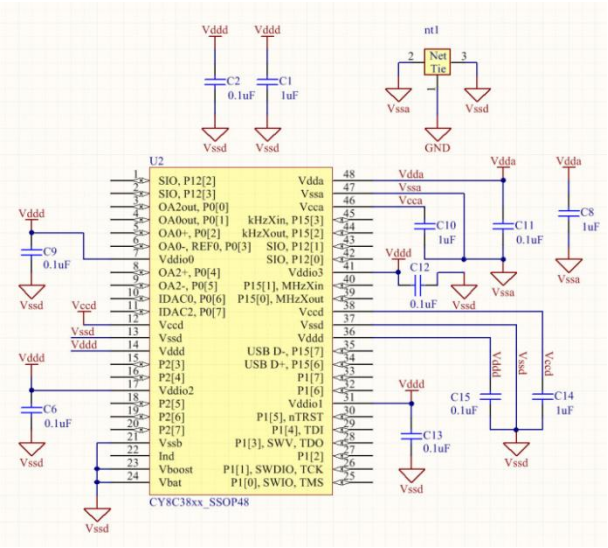


图 22. PSoC 3/5 的 68-QFN 封装的示例布局

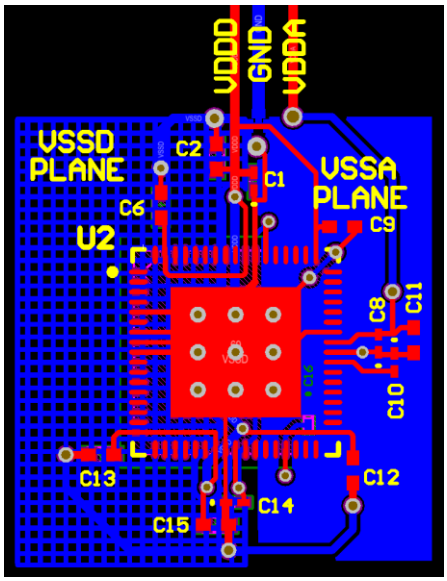
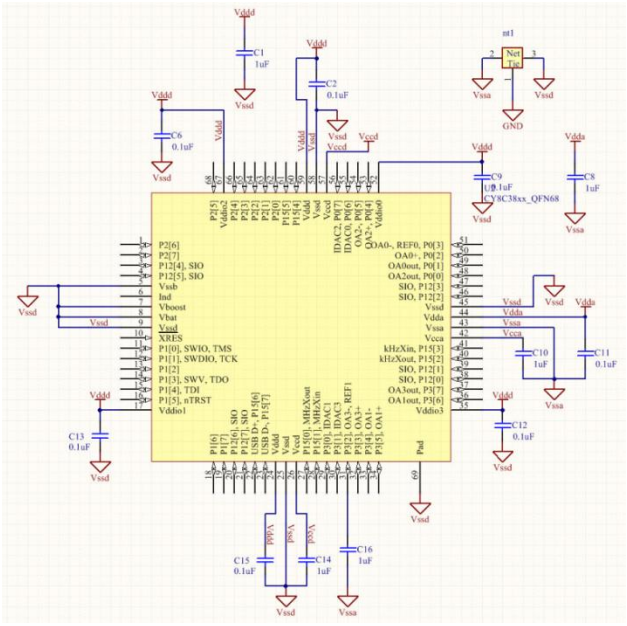


图 23. 68-SSOP 封装的原理图



A.2 PSoC 4 QFN 和 SSOP 封装

图 24. PSoC 4 的 40-QFN 封装的示例布局

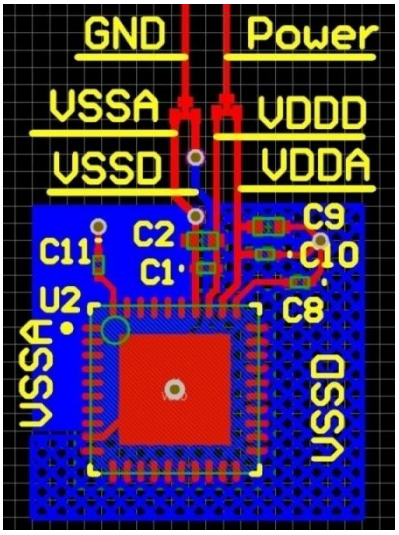


图 25. PSoC 4 的 40-QFN 封装的示例原理图

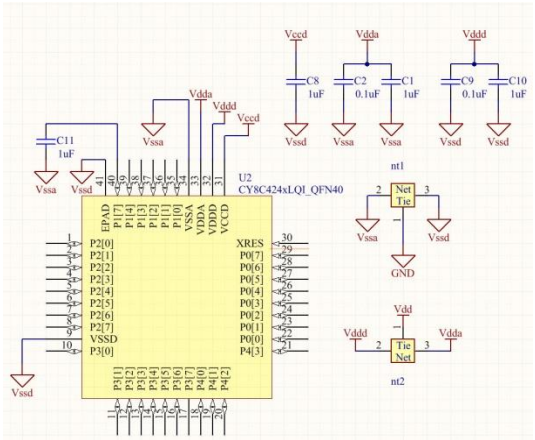


图 26. PSoC 4 的 28-SSOP 封装的示例布局

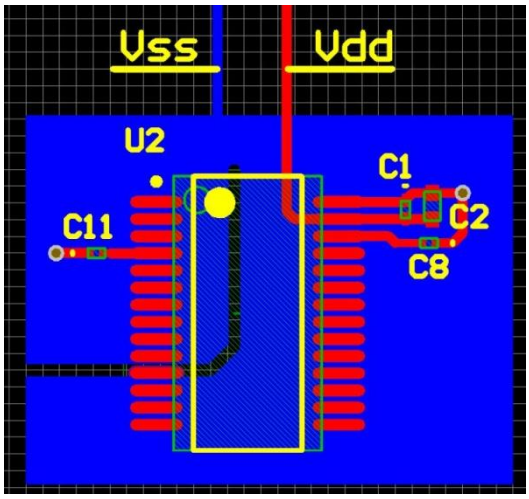
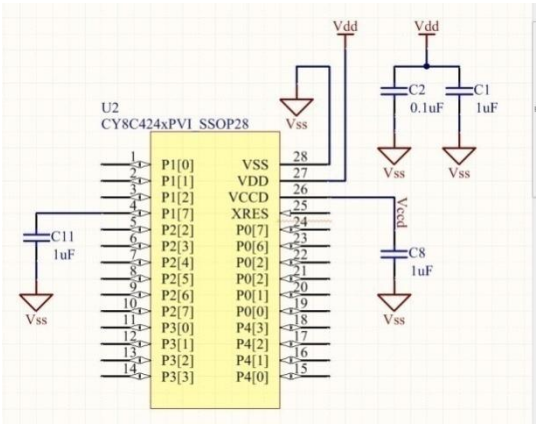


图 27. PSoC 4 的 28-SSOP 封装的示例原理图



更多关于原理图、布局和 gerber 文件的示例，请参见 CY8CKIT-044、 CY8CKIT-042 和 CY8CKIT-040 开发套件网页。另外，请参考 PSoC 4 CAD 资源网页。

文档修订记录

文档标题：AN57821 — PSoC® 3、PSoC 4 和 PSoC 5LP 混合信号的电路板布局注意事项

文档编号：001-89192

版本	ECN	变更者	提交日期	变更说明
**	4126145	JOZH	09/17/2013	本文档版本号为 Rev**，译自英文版 001-57821 Rev*H。
*A	4741271	CHAZ	04/17/2015	本文档版本号为 Rev*A，译自英文版 001-57821 Rev*J。
*B	4989162	JOZH	10/27/2015	本文档版本号为 Rev*B，译自英文版 001-57821 Rev*K。
*C	5407742	MEH	08/18/2016	更新到新的模板。 完成日落複審。
*D	5798630	AESATP12	07/05/2017	更新了徽标和版权。

全球销售和设计支持

赛普拉斯公司拥有一个由办事处、解决方案中心、厂商代表和经销商组成的全球性网络。如果想要查找离您最近的办事处，请访问赛普拉斯所在地。

产品

ARM® Cortex® 微控制器	cypress.com/arm
汽车级产品	cypress.com/automotive
时钟与缓冲器	cypress.com/clocks
接口	cypress.com/interface
物联网	cypress.com/iot
存储器	cypress.com/memory
微控制器	cypress.com/mcu
PSoC	cypress.com/psoc
电源管理 IC	cypress.com/pmic
触摸感应	cypress.com/touch
触摸感应	cypress.com/usb
无线连接	cypress.com/wireless

PSoC®解决方案

PSoC 1 | PSoC 3 | PSoC 4 | PSoC 5LP | PSoC 6

赛普拉斯开发者社区

论坛 | WICED IoT 论坛 | 项目 | 视频 | 博客 | 培训 | 组件

技术支持

cypress.com/go/support

CapSense 和 PSoC 是赛普拉斯半导体公司的注册商标。此处引用的所有其他商标或注册商标归其各自所有者所有。

Cypress Semiconductor
198 Champion Court
San Jose, CA 95134-1709

赛普拉斯半导体公司，2013-2017 年。本文件是赛普拉斯半导体公司及其子公司，包括 Spansion LLC（“赛普拉斯”）的财产。本文件，包括其包含或引用的任何软件或固件（“软件”），根据全球范围内的知识产权法律以及美国与其他国家签署条约由赛普拉斯所有。除非在本款中另有明确规定，赛普拉斯保留在该等法律和条约下的所有权利，且未就其专利、版权、商标或其他知识产权授予任何许可。如果软件并不附随有一份许可协议且贵方未以其他方式与赛普拉斯签署关于使用软件的书面协议，赛普拉斯特此授予贵方属人性质的、非独家且不可转让的如下许可（无再许可权）（1）在赛普拉斯特软件著作权项下的下列许可权（一）对以源代码形式提供的软件，仅出于在赛普拉斯硬件产品上使用之目的且仅在贵方集团内部修改和复制软件，和（二）仅限于在有关赛普拉斯硬件产品上使用之目的将软件以二进制代码形式的向外部最终用户提供（无论直接提供或通过经销商和分销商间接提供），和（2）在被软件（由赛普拉斯公司提供，且未经修改）侵犯的赛普拉斯专利的权利主张项下，仅出于在赛普拉斯硬件产品上使用之目的制造、使用、提供和进口软件的许可。禁止对软件的任何其他使用、复制、修改、翻译或汇编。

在适用法律允许的限度内，赛普拉斯未对本文件或任何软件作出任何明示或暗示的担保，包括但不限于关于适销性和特定用途的默示保证。赛普拉斯保留更改本文件的权利，届时将不另行通知。在适用法律允许的限度内，赛普拉斯不对因应用或使用本文件所述任何产品或电路引起的任何后果负责。本文件，包括任何样本设计信息或程序代码信息，仅为供参考之目的提供。文件使用人应负责正确设计、计划和测试信息应用和由此生产的任何产品的功能和安全性。赛普拉斯产品不应被设计为、设定为或授权用作武器操作、武器系统、核设施、生命支持设备或系统、其他医疗设备或系统（包括急救设备和手术植入物）、污染控制或有害物质管理系统中的关键部件，或产品植入之设备或系统故障可能导致人身伤害、死亡或财产损失其他用途（“非预期用途”）。关键部件指，若该部件发生故障，经合理预期会导致设备或系统故障或会影响设备或系统安全性和有效性的部件。针对由赛普拉斯产品非预期用途产生或相关的任何主张、费用、损失和其他责任，赛普拉斯不承担全部或部分责任且贵方不应追究赛普拉斯之责任。贵方应赔偿赛普拉斯因赛普拉斯产品任何非预期用途产生或相关的所有索赔、费用、损失和其他责任，包括因人身伤害或死亡引起的主张，并使之免受损失。

赛普拉斯、赛普拉斯徽标、Spansion、Spansion 徽标，及上述项目的组合，WICED，及 PSoC、CapSense、EZ-USB、F-RAM 和 Traveo 应视为赛普拉斯在美国和其他国家的商标或注册商标。请访问 cypress.com 获取赛普拉斯商标的完整列表。其他名称和品牌可能由其各自所有者主张为该方财产。