電圧リファレンス (Vref)
1.50

特長



- 電圧リファレンスとサプライ
- 複数のオプション
- 温度と電圧の安定を得るためのバンドギャップ原則

概要説明

このコンポーネントは PSoC 3 と PSoC 5 の両方のデバイスに使用できます。電圧リファレンス(Vref)コンポーネントは、数種類の電圧リファレンス出力内 1 つを提供します。1.024-V と 0.256-V 出力は温度補償されており、すぐれた安定性を達成するためにバンドギャップ原則を使用しています。

注 Vref コンポーネントはシンク電流を供給することを意図していません。ドライブ能力は低いです。高いドライブ能力が必要な場合には、Vref を Opamp または PGA コンポーネントでバッファしてください。

すべての Vref はいくつかのアナログ リソースに関連付られています。Vref をイネーブルにするためには、関連付けられたリソースをイネーブルにする必要があります。すべての Vref は **AutoEnable** パラメータのデフォルト値が **true** になっています。オートイネーブル Vref は関連付けられたアナログ リソースを自動的にイネーブルにするので、すべての Vrefs はデフォルトで自動的にイネーブルになります。

Vref の用途

Vref コンポーネントは、閾値検出器、アナログ - ディジタルコンバータの基準入力、コンパレータ、プログラム可能なゲイン アンプに使用します。また、電圧を調べる場合にもいつでも使用できます。

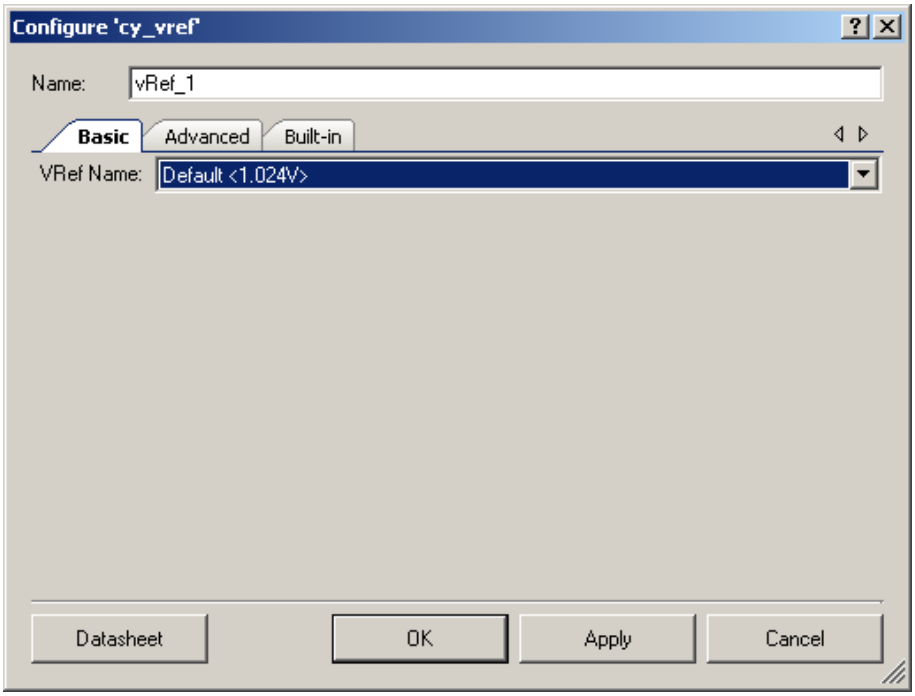
入出力接続

Vref コンポーネントには単一の出力端子があり、選択された電圧リファレンスにアクセスすることができます。

コンポーネント・パラメータ

Vref を回路図にドラッグし、ダブルクリックして **Configure** ダイアログを開きます。

Basic タブ



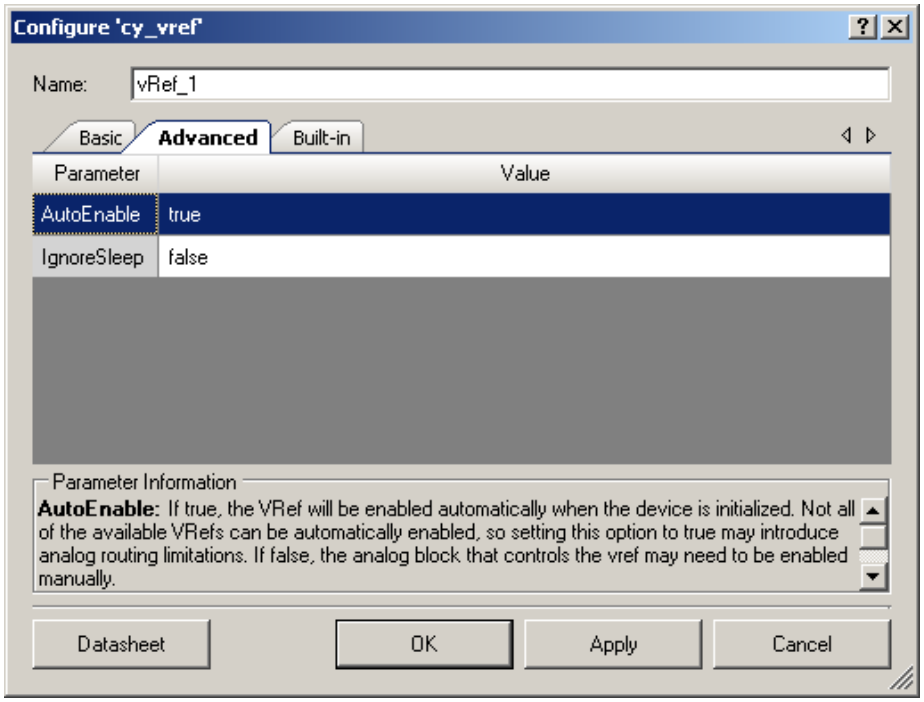
VRef 名

これは Vref 値です。次のオプションがあります:

- 1.024 V(デフォルト) – バンドギャップに基づく。詳細は、DC 電気的特性と AC 電気的特性 のセクションをご覧ください。
- Vssa(GND) – 内部 Vssa 電圧。
- 0.256 V – 分圧回路により 1.024 バンドギャップから派生。詳細は DC 電気的特性と AC 電気的特性 のセクションをご覧ください。
- Vdda/2 – 分圧回路により Vdda から派生。詳細は DC 電気的特性と AC 電気的特性 のセクションをご覧ください。
- Vdda(HiZ) –Vdda 電圧リファレンスは分圧回路によりもたらされ、そのため高いインピーダンスがあります。Vdda(HiZ) は 別の場所で Vdda/2 が使用されている場合には使用できません。詳細は、チップのテクニカル リファレンス マニュアル(TRM)の高精度リファレンスのチャプターをご覧ください。

- Vccd – 特殊 1.8-V リファレンス。SIO ピンのみで使用可能。製品版 PSoC 3 以降のみで使用可能。
- Vddd – 内部 Vddd 電圧。製品版 PSoC 3 以降のみで使用可能。
- Vbat – 内部 Vbat 電圧。製品版 PSoC 3 以降のみで使用可能。
- Vdda – 内部 Vdda 電圧。製品版 PSoC 3 以降のみで使用可能。

Advanced タブ



AutoEnable

AutoEnable パラメータは 1.024-V と 0.256 V の Vref コンポーネントに適用されます。

AutoEnable が **true** に設定されている場合(デフォルト)、デバイスが初期化され静的アナログ ルーティングが確立されると、Vref が自動的に使用可能になります。1.024-V および 0.256-V Vref コンポーネントは **AutoEnable** が **true** の場合にはコンパレータの使用を必要とする場合があります。

1.024-V または 0.256-V の Vref がコンパレータなど意図されたアナログ ブロック接続に接続される場合には、接続されたコンポーネントがイネーブルになると、デバイスは自動的に Vref をイネーブルにします。AutoEnable はこれらのケースでは必要ありません。詳細は、チップのテクニカル リファレンス マニュアル(TRM)の高精度リファレンスのチャプターをご覧ください。

注 AutoEnable が **true** に設定されることが必要な Vref コンポーネントは、オートイネーブル Vref を供給するために特定なアナログ ルーティング リソースが必要となるため、ルーティング能力が減じられています。

AutoEnable が **false** に設定される場合、1.024-V と 0.256-V の Vref コンポーネントは、関連付けられたアナログ ブロックがパワーアップされた場合のみパワーアップされます。詳細は、TRM をご覧ください。

IgnoreSleep

IgnoreSleep パラメータは 1.024-V と 0.256 V の Vref コンポーネントに適用されます。

IgnoreSleep が **true** に設定された場合は、デバイスがスリープ状態に入った場合も Vref はアクティブのままとなります。このことにより、デバイスのスリープ状態の電力消費は増加します。**IgnoreSleep** のデフォルト値は **false** です。

該当する Vref は **IgnoreSleep** が **true** である場合はコンパレータを使用します。また、**IgnoreSleep** が true である場合、**AutoEnable** は自動的に **true** に設定されます。

PSoC 5 デバイスでは **IgnoreSleep** を **true** にできません。

配置

設計プロジェクトでは、使用可能な電圧リファレンスのリストは、選択された製品群またはデバイスから何が使用可能かによって決定されます。

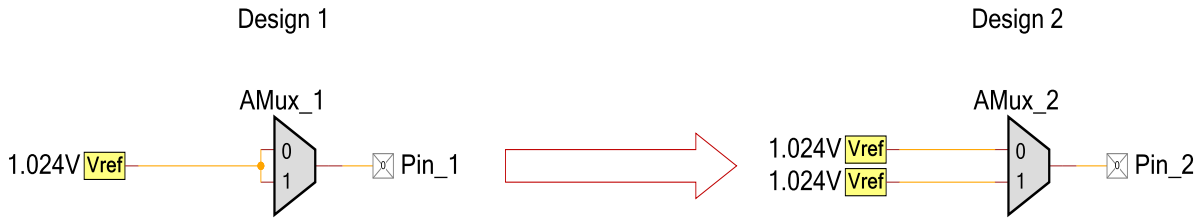
Vref コンポーネントを汎用レベルのライブラリ プロジェクトの回路図に配置する場合には、使用可能なリファレンスを見付けることはできません。この場合には、回路図を作成する際に製品群またはデバイスを指定する必要があります。

Amux Switchable コネクションに接続する AutoEnable Vref

オートイネーブル 1.024-V または 0.256-V の Vref コンポーネントは、Amux switchable コネクションに接続される場合は、すべて自己完結しなければなりません。この制限は、ソフトウェアがオートイネーブル Vref 機能を取り扱う際に、あいまいさをなくすために導入されました。

一般的に、ソフトウェアはオートイネーブル Vref に接続された信号を分割する必要がありますが、このことは Amux switchable 接続では不可能です。

次の例では、Design 1 を機能させるために、Design 2 に変換させる必要があります。



Vref コンポーネントの AutoEnable パラメータを false に設定することを選択した場合は、この制限は適用されません。

リソース

AutoEnable が意図されないアナログ ブロックにイネーブルにされた場合は、1.024-V Vref はコンパレータを使用し、そのコンパレータは自動的に使用可能なコンパレータ リソースから除外されます。パワーアップされた Vref に関連付けられた、アナログ ブロックを必要とするデバイスの要求を満たすためにはコンパレータが必要です。このため、電源の設定を制御し、また、その Vref を使用するために、1 個のコンパレータが割り当てられます。

機能の説明

Vref コンポーネントは使用可能な電圧リファレンスの 1 つを提供します。接続は単一の端子を経由します。Vref コンポーネントは数個のコンポーネントの間で共用されることがあります。

DC 電気的特性と AC 電気的特性

次の値は予想されるパフォーマンスを示唆したもので、初期の特性データに基づいています。バッファされた ADC_DelSig リファレンスのために、1.024-V 電圧リファレンスの校正が行われることに注意してください。他のすべての 1.024-V リファレンス(約 7~ 8 個あります)は数ミリボルトでオフにすることができます。

Vref 特性

パラメータ	説明	条件	Min	Typ	Max	単位
V_{ref}	高精度リファレンス電圧	初期トリム	1.023 (–0.1%)	1.024	1.025 (+0.1%)	V
	温度ドリフト[1]		–	–	20	ppm/°C
	長時間ドリフト		–	100	–	ppm/Khr
	熱サイクル ドリフト(安定性)[1]		–	100	–	ppm

[1] デバイスの特性評価に基づく値(出荷試験ではない)

コンポーネントの変更

ここでは、過去のバージョンからコンポーネントに加えられた主な変更を示します。

バージョン	変更の説明	変更の理由 / 影響
1.50.c	データシートのマイナーな編集と更新	
1.50.b	最新の Vdda（HiZ）の説明	説明は不明確でした。
	最新の AutoEnable のセクションには 1/4 ボルト Vref が含まれます。	0.256-V Vref には1.024-V Vref と同じ AutoEnable 機能があります。
1.50.a	データシートに特性データを追加	
	データシートの編集	
1.50	カスタマイザに追加された AutoEnable と IgnoreSleep パラメータ。	AutoEnable および IgnoreSleep パラメータは、追加の機能とより直観的なユーザ操作を実現します。
	SIO ピンと合わせて使用する特殊目的 Vccd Vref を追加。	Vccd リファレンスは SIO ピンと合わせて使用します。
	Vbat、Vddd、Vdda リファレンスを追加。	追加機能を実現するために、Vbat、Vddd、および、Vdda リファレンスが追加されました。

Copyright © 2005-2012 Cypress Semiconductor Corporation 本文書に記載される情報は、予告なく変更される場合があります。Cypress Semiconductor Corporation は、サイプレス製品に組み込まれた回路以外のいかなる回路を使用することに対しても一切の責任を負いません。特許又はその他の権限下で、ライセンスを譲渡又は暗示することもありません。サイプレス製品は、サイプレスとの書面による合意に基づくものでない限り、医療、生命維持、救命、重要な管理、又は安全の用途のために仕様することを保証するものではなく、また使用することを意図したものでもありません。さらにサイプレスは、誤動作や故障によって使用者に重大な傷害をもたらすことを合理的に予想される、生命維持システムの重要なコンポーネンツとしてサイプレス製品を使用することを許可していません。生命維持システムの用途にサイプレス製品を供することは、製造者がそのような使用におけるあらゆるリスクを負うことを意味し、その結果サイプレスはあらゆる責任を免除されることを意味します。

PSoC Designer™ 及び Programmable System-on-Chip™は、Cypress Semiconductor Corp.の商標、PSoC®は同社の登録商標です。本文書で言及するその他全ての商標又は登録商標は各社の所有物です。

全てのソースコード(ソフトウェア及び/又はファームウェア)は Cypress Semiconductor Corporation（以下「サイプレス」)が所有し、全世界(米国及びその他の国)の特許権保護、米国の著作権法並びに国際協定の条項により保護され、かつそれらに従います。サイプレスが本書面によるライセンシーに付与するライセンスは、個人的、非独占的かつ譲渡不能のライセンスであって、適用される契約で指定されたサイプレスの集積回路と併用されるライセンシーの製品のみをサポートするカスタムソフトウェア及び/又はカスタムファームウェアを作成する目的に限って、サイプレスのソースコードの派生著作物を複製、使用、変更、そして作成するためのライセンス、並びにサイプレスのソースコード及び派生著作物をコンパイルするためのライセンスです。上記で指定された場合を除き、サイプレスの書面による明示的な許可なくして本ソースコードを複製、変更、変換、コンパイル、又は表示することは全て禁止されます。

免責条項：サイプレスは、明示的又は黙示的を問わず、本資料に関するいかなる種類の保証も行いません。これには、商品性又は特定目的への適合性の黙示的な保証が含まれますが、これに限定されません。サイプレスは、本文書に記載される資料に対して今後予告なく変更を加える権利を留保します。サイプレスは、本文書に記載されるいかなる製品又は回路を適用又は使用したことによって生ずるいかなる責任も負いません。サイプレスは、誤動作や故障によって使用者に重大な傷害をもたらすことが合理的に予想される生命維持システムの重要なコンポーネンツとしてサイプレス製品を使用することを許可していません。生命維持システムの用途にサイプレス製品を供することは、製造者がそのような使用におけるあらゆるリスクを負うことを意味し、その結果サイプレスはあらゆる責任を免除されることを意味します。

ソフトウェアの使用は、適用されるサイプレスソフトウェアライセンス契約によって制限され、かつ制約される場合があります。