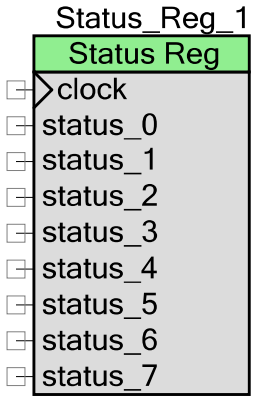
状態レジスタ
1.60

特長

- 8 ビットまでの状態レジスタ



概要説明

状態レジスタを使うと、ファームウェアがデジタル信号を読み取れるようになります。

状態レジスタを使用する場合

ファームウェアが内部デジタル信号状態を取得する必要があるとき、状態レジスタを使用します。

入出力接続

ここでは、状態レジスタへの入力接続について説明します。I/O リストのアスタリスク (*) は、I/O が、その I/O の説明でリストされている条件において、シンボルに隠れている可能性があることを示します。

clock – 入力

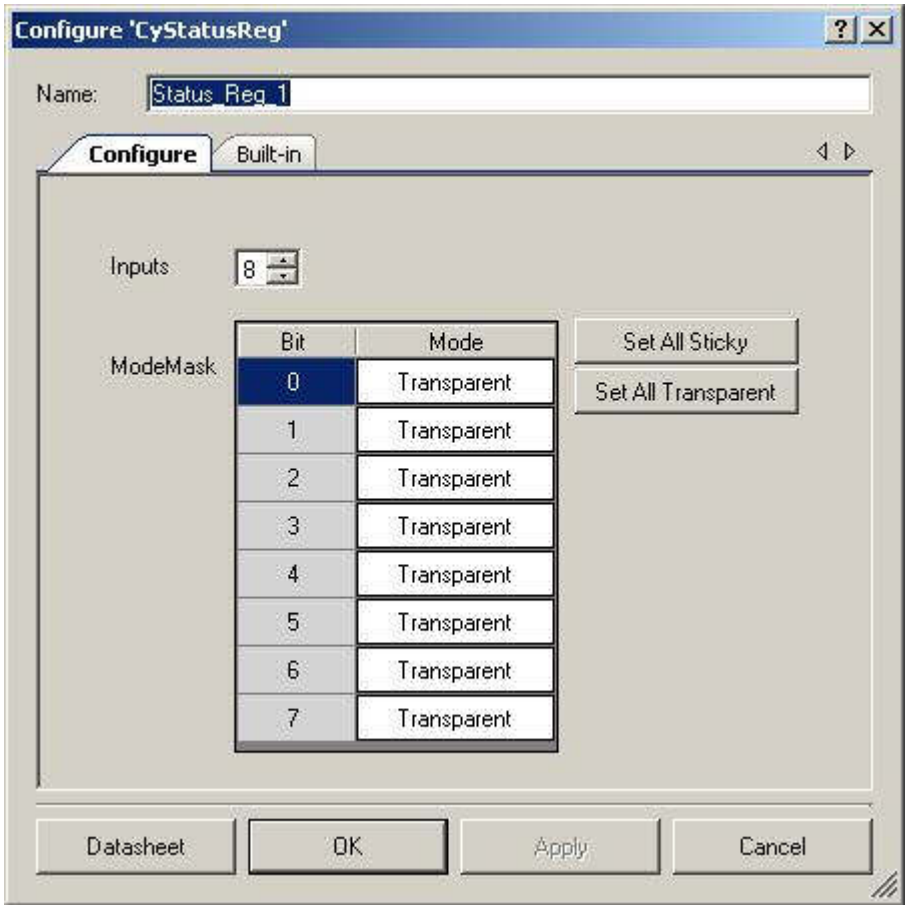
状態レジスタクロック。クロック入力信号は、Transparent (透過) に設定されたビットでは無視されます。

status_0 - status_7 – 入力 *

状態レジスタの入力。ファームウェアは、状態レジスタを読み取ることで、入力信号の状態を問い合わせます。入力の数は、**Inputs** パラメータに依存します。これらの入力は外部接続がない状態でフロート状態である場合があります。ラインに何も接続されていない場合、コンポーネントは論理定数 0 を割り当てます。

コンポーネント パラメータ

状態レジスタをデザインにドラッグして組み込み、ダブルクリックすると [**Configure**(設定)] ダイアログが開きます。



Inputs (入力)

入力端子の数 (1～8)。デフォルト値は **8** です。

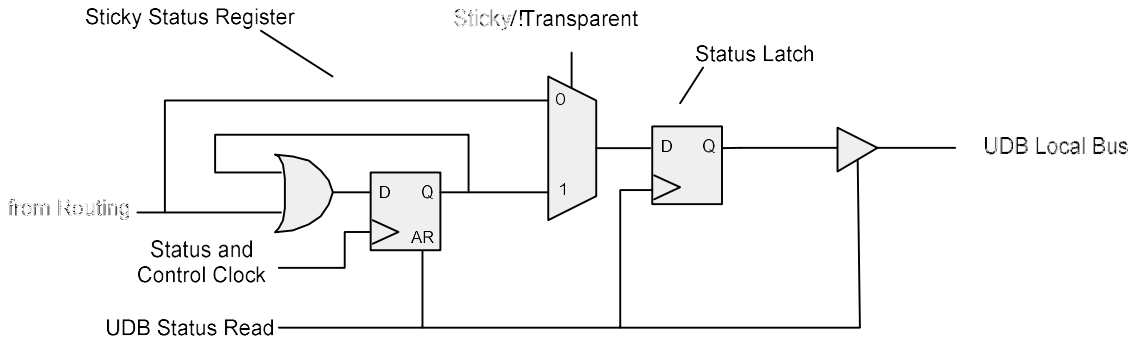
ModeMask (モード設定: Bit0Mode – Bit7Mode)

これらのパラメータは、状態レジスタの特定のビットを設定するために使用され、設定されたビットはサンプリングされてから読み取られるまで、high を維持します。読み取りにより、ラッチされた値はすべてクリアされます。設定は以下の通りです:

- **Transparent** – デフォルトでは、CPU がこのレジスタを 読み取ると、入力に接続された配線の状態がブロックのクロックとは非同期に読み取られます。このモードは、UDB 内部での計算および記録された過渡状態を読み取るために使用されます。

- **Sticky (Clear on Read)** – このモードでは、関連する配線ネットは状態および制御クロックの各サイクルにおいて、サンプルされます。与えられたサンプルで信号が high の場合、状態ビットでキャプチャされ、関連配線の後続する状態に関わらず、high のままです。CPU のファームウェアが状態レジスタを読み取ると、ビットがクリアされます。状態レジスタのクリアは、モードに依存せず、読み取り操作の一部としてバスクロックで動作しており、ブロックのクロックが無効の場合でも発生します。

図 1. 透過およびスティッキーモードの動作



Set All Sticky (すべてスティッキーに設定)

このボタンは、ビットをすべてスティッキー モードに設定します。

Set All Transparent (すべて透過に設定)

このボタンは、ビットをすべて透過モードに設定します。

リソース

アナログブロック	デジタルブロック					API メモリ(バイト)		ピン (外部入出力ごと)
	データパス	マクロセル	ステータスレジスタ	コントロールレジスタ	Counter7	フラッシュ	RAM	
該当なし	該当なし	該当なし	1	該当なし	該当なし	6	0	該当なし

状態レジスタには、1 つの UDB 状態レジスタが必要です。

アプリケーションプログラミングインタフェース

アプリケーション プログラミング インターフェース (API) ルーチンにより、ソフトウェアを使用してコンポーネントを設定できます。

デフォルトでは、PSoC Creator は、与えられたユーザの回路図に最初に配置した状態レジスタ・インスタンス名として「Status_Reg_1」を割り当てます。コンポーネントのインスタンス名は、識別子の文法ルールに従って固有の名前に変更できます。インスタンス名は、すべてのグローバル関数名、変数名、定数名のプリフィックスになります。理解しやすいように、次の関数では、インスタンス名「StatusReg」を使用しています。

uint8 StatusReg_Read (void)

説明: ステータスレジスタの値を読み出します。

パラメータ: なし

戻り値: ステータスレジスタの現在の値を返します。

注意事項: なし

ファームウェア ソースコードの例

PSoC Creator は、[Find Example Project (プロジェクト例を検索)] ダイアログに数多くのプロジェクト例を提供しており、そこには回路図およびコード例が含まれています。コンポーネント固有の例を見るには、[Component Catalog (コンポーネント カタログ)] または回路図に置いたコンポーネント インスタンスからダイアログを開きます。一般例については、[Start Page (スタート ページ)] または **File** メニューからダイアログを開きます。必要に応じてダイアログにある **Filter Options** を使用し、選択できるプロジェクトのリストを絞り込みます。

詳しくは、PSoC Creator ヘルプの「Find Example Project (プロジェクト例を検索)」を参照してください。

コンポーネントの変更

ここでは、前のバージョンからコンポーネントに加えられた主な変更を示します。

バージョン	変更の説明	変更の理由 / 影響
1.60	[Configure] (設定) ダイアログが更新されました。	ビット表示を変更し、[Configure] (設定) ダイアログのマイナーな問題を解決しました。
1.50.b	データシートの編集	
1.50.a	データシートの編集	
1.50	[Configure] (設定) ダイアログが更新されました。	専用のインターフェースが作成されました。「Set All (すべて設定)」ボタンを追加し、「Number of Inputs (入力の数)」フィールドにキーボードから入力できるように変更しました。 企業標準に準拠するよう、ダイアログが更新されました。

Copyright © 2005-2012 Cypress Semiconductor Corporation 本文書に記載される情報は、予告なく変更される場合があります。Cypress Semiconductor Corporation は、サイプレス製品に組み込まれた回路以外のいかなる回路を使用することに対しても一切の責任を負いません。特許又はその他の権限下で、ライセンスを譲渡又は暗示することもありません。サイプレス製品は、サイプレスとの書面による合意に基づくものでない限り、医療、生命維持、救命、重要な管理、又は安全の用途のために仕様することを保証するものではなく、また使用することを意図したものでもありません。さらにサイプレスは、誤動作や故障によって使用者に重大な傷害をもたらすことを合理的に予想される、生命維持システムの重要なコンポーネンツとしてサイプレス製品を使用することを許可していません。生命維持システムの用途にサイプレス製品を供することは、製造者がそのような使用におけるあらゆるリスクを負うことを意味し、その結果サイプレスはあらゆる責任を免除されることを意味します。

PSoC Designer™及び Programmable System-on-Chip™は、Cypress Semiconductor Corp.の商標、PSoC®は同社の登録商標です。本文書で言及するその他全ての商標又は登録商標は各社の所有物です。

全てのソースコード(ソフトウェア及び/又はファームウェア)は Cypress Semiconductor Corporation (以下「サイプレス」)が所有し、全世界(米国及びその他の国)の特許権保護、米国の著作権法並びに国際協定の条項により保護され、かつそれらに従います。サイプレスが本書面によるライセンシーに付与するライセンスは、個人的、非独占的かつ譲渡不能のライセンスであって、適用される契約で指定されたサイプレスの集積回路と併用されるライセンシーの製品のみをサポートするカスタムソフトウェア及び/又はカスタムファームウェアを作成する目的に限って、サイプレスのソースコードの派生著作物を複製、使用、変更、そして作成するためのライセンス、並びにサイプレスのソースコード及び派生著作物をコンパイルするためのライセンスです。上記で指定された場合を除き、サイプレスの書面による明示的な許可なくして本ソースコードを複製、変更、変換、コンパイル、又は表示することは全て禁止されます。

免責条項:サイプレスは、明示的又は黙示的を問わず、本資料に関するいかなる種類の保証も行いません。これには、商品性又は特定目的への適合性の黙示的な保証が含まれますが、これに限定されません。サイプレスは、本文書に記載される資料に対して今後予告なく変更を加える権利を留保します。サイプレスは、本文書に記載されるいかなる製品又は回路を適用又は使用したことによって生ずるいかなる責任も負いません。サイプレスは、誤動作や故障によって使用者に重大な傷害をもたらすことが合理的に予想される生命維持システムの重要なコンポーネンツとしてサイプレス製品を使用することを許可していません。生命維持システムの用途にサイプレス製品を供することは、製造者がそのような使用におけるあらゆるリスクを負うことを意味し、その結果サイプレスはあらゆる責任を免除されることを意味します。

ソフトウェアの使用は、適用されるサイプレスソフトウェアライセンス契約によって制限され、かつ制約される場合があります。