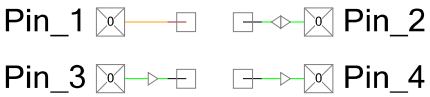
ピン
1.60

特長



- すべてのピンパラメータとドライブモードを素早く設定することができます
- PSoC Creator に自動配置配線をさせることができます
- 同時にいくつものピンに作用します

概要

ピンコンポーネントは、ハードウェア リソースを物理ポートピンに接続するために好ましい方法です。適切に構成された物理 IO ピンを通じて、外部信号へのアクセスを提供します。またピンに関連付けられた電気的特性は、PSoC Creator がコンポーネント内の自動配置配線をする時に利用されます。

ピンは回路図での配線による接続、ソフトウェアまたはその両方において使用することができます。コンポーネント API からピンコンポーネントにアクセスするには、コンポーネントは Contiguous(連続)で、Nonspanning(ポートを跨がない)である必要があります。これにより、ピンは単一の物理ポートに必ずマップされます。ポートを跨ぐ(Spanning)か不連続(Noncontiguous)のピンコンポーネントは、回路図からアクセスされるかグローバルなピン単位の API でアクセスできます。

注 グローバル API で使用されるピンコンポーネントの各ピンに #defines が作成されます。

ピンコンポーネントは、ルールに反しない限りにおいてその型を任意の組み合わせに構成することができます。便宜上、コンポーネントカタログは Analog、Digital Bidirectional、Digital Input、Digital Output の 4 つの事前に構成されたピンコンポーネントを提供します。

ピン コンポーネントの用途

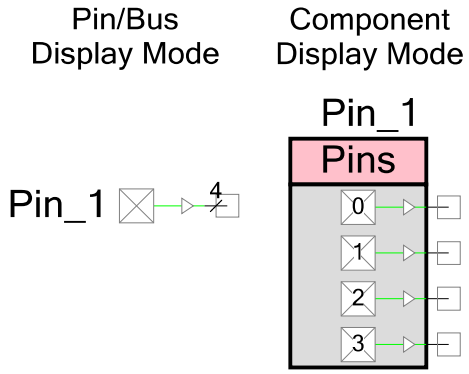
デザインが物理 IO ピンを通じて、デバイス外部への信号を発生または外部信号にアクセスする必要がある場合にピン コンポーネントを使用します。ピンはコンポーネントカタログの中で最も頻繁に使用されるコンポーネントです。例えば、ポテンショメーター、ボタン、LED、近接センサーおよび加速度センサーなどの外部センサーなどとインターフェースするために使用されます。

入出力の接続

ここでは、ピンコンポーネントのさまざまな入出力接続について説明します。

ピンの表示

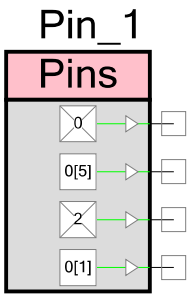
ピンは入力、出力、双方向、アナログからなる複雑な組み合わせに構成することができます。1 つの内部ハードウェア接続を持つ簡単な構成は、通常シングルピンとして表示されます。より複雑なタイプのピン、ピンのアレイまたはバスは、四角に囲まれた標準コンポーネントとして表示されます。



デフォルトおよび最も頻繁に見られる構成が続くセクションに表示されます。

ロックピンの表示

PSoC Creator Design-Wide Resources Pin Editor を使用して、物理 GPIO または SIO ピンを割り当てる場合、ピン コンポーネントのツールチップは、特定のピン割り当てを表示します。ピン割り当てをロックすると、コンポーネントの表示は、下記の例のように、割り当てを示します。



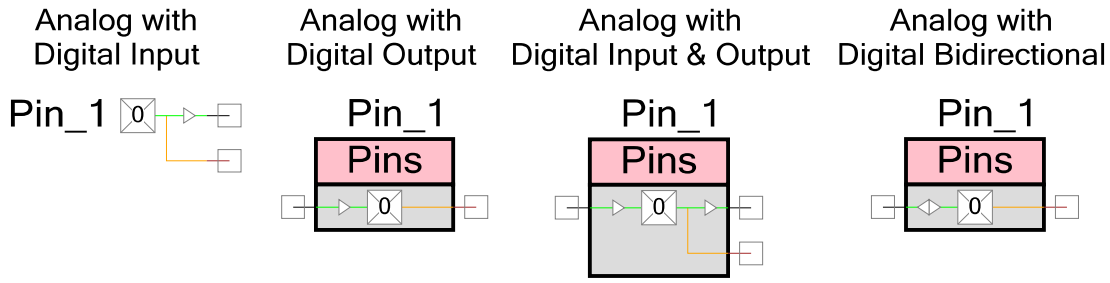
注 ピン コンポーネントが **Display as Bus** に設定されている場合、コンポーネントの表示はロックピン割り当てを表示しません。しかしツールチップはこの情報を表示し続けます。

Analog

デバイス ピンと内部アナログ端子をアナログ配線で接続する場合、ピンコンポーネントを Analog として構成します。Analog として構成されている場合、端子はシンボルの右側に表示され、接続はアナログ配線の色で描かれます。



アナログピンコンポーネントは双方向接続と同様に、デジタルの入力または出力の接続または両方をサポートすることがあります。デジタル出力とアナログ信号を同じピンに接続することもできます。これはアプリケーションによっては役に立ちます。しかしこれは高度なトピックで慎重に使用する必要があります。



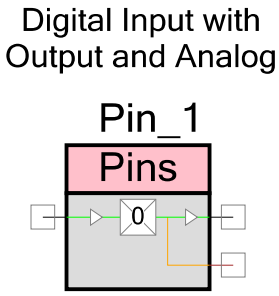
Digital Input

デバイスピンと内部デジタル入力端子を接続する場合、またはピンの状態が CPU/DMA で読み取られる必要がある場合、ピン コンポーネントを Digital Input として構成します。どの場合にでも、Digital Input ピンを使用すると、ピンの状態は CPU/DMA が読み取ることができます。さらに端子が表示された場合、回路図で他のコンポーネントに配線することができます。

見える場合、端子はシンボルの右側に表示されます。接続は、デジタル配線の色で描かれ、小さい入力バッファが信号の方向を示します。



デジタル入力ピンのコンポーネントは、デジタル出力およびアナログ接続もサポートすることがあります。



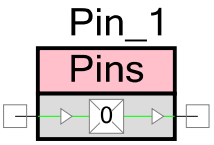
Digital Output

デバイス ピンをハイレベルまたはローレベルにドライブする場合、ピンコンポーネントを Digital Output として構成します。どの場合でも、ピンの状態は CPU/DMA により書き込み可能です。さらに端子が表示された場合、回路図の他のコンポーネントから配線することができます。見える場合、端子はシンボルの左側に表示されます。接続は、デジタル配線の色で描かれ、小さい出力バッファが信号の方向を示します。

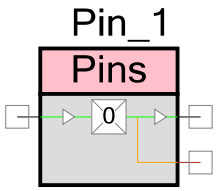


Digital Output ピンのコンポーネントは、デジタル入力およびアナログ接続もサポートすることがあります。

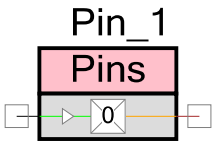
Digital Output with Input



Digital Output with Input and Analog



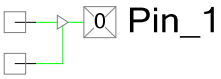
Digital Output with Analog



Digital Output Enable

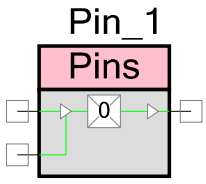
デジタル論理を CPU の介入なく、ピン出力をすばやく制御するときに、Digital Output Enable を選択します。この端子がハイレベルになると、ピン出力ドライバは **General** サブタブの **Drive Mode** の構成に従います。この端子がローレベルになると、ピン出力ドライバを無効にし、ピンは HI-Z ドライブモードを想定します。この端子は、コンポーネントが回路図接続を使用したデジタル出力で構成されているとき、そしてデジタル出力イネーブルが選択されているときに表示されます。Digital Output Enable は、シンボルの左側に現れ、デジタル出力バッファに接続されます。デジタル配線の色で描かれます。

ピンが **Display as Bus** に設定されているとき、ピン コンポーネントのデータ幅に関わらず出力イネーブルは 1 つだけです。これはすべてのピンが同じ出力イネーブルを共有するからです。バスとして表示されないとき、個々の出力イネーブルはピンごとに提供されます。



Digital Output Enable ピンコンポーネントは、入力およびアナログ接続もサポートすることがあります。

Digital Output Enable with Input



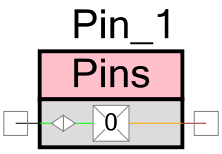
Digital Bidirectional

デバイス ピンと内部デジタル双方向端子を接続する場合、ピンコンポーネントを Digital Bidirectional として設定します。Digital Bidirectional モードは、I^2C などのコミュニケーション コンポーネントと共に最も頻繁に使用されます。デジタル双方向として構成される場合、端子はシンボルの左側に法表示され、接続はデジタル配線のカラーで描かれ、出力および入力バッファは信号が双方向であることを示します。



双方向ピンコンポーネントはアナログ接続をサポートすることもあります。

Digital Bidirectional
with Analog



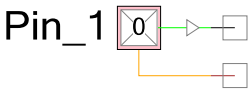
Vref

ピンコンポーネントで Vref 信号を使用するには、

- デジタル入力または双方向端子を使用して、**Input** サブタブの **Threshold** パラメータを **Vref** に設定、または
- デジタル出力または双方向端子を使用して **Output** サブタブの **Drive Level** を **Vref** に設定します

Vref を使用するには SIO ピンが必要で、これはピンクのアウトラインで示されています。すべてのピンはそれぞれの V_{DDIO} 電圧を供給することができます。SIO ピンは SIO の Vddio 電圧と異なる電位を持つデバイスとインターフェースするために、プログラム可能またはアナログ配線電圧も供給することができます。Vref 端子は SIO ピンに供給されているアナログ配線電圧を提供します。SIO ピンは SIO の入力しきい値として、Vref 入力を使用することができます。

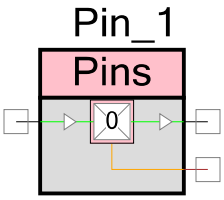
Vref 信号はコンポーネントの右側に表示され、構成により、SIO シングル ピンの底または SIO ピンのペアから伸びています。各 SIO ピンペアは一つの Vref 入力を共有します。



Vref は他のデジタル入力または出力接続と共にのみ使用できます。

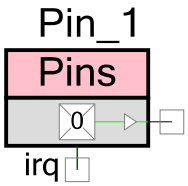
注 Vref を使用するとき **Analog** は使用できません。

Vref with
Digital Input & Output



IRQ

割り込みのあるピンコンポーネントを構成するには、デジタル入力を使用して、**Input** サブタブの **Interrupt** パラメータを設定する必要があります。割り込みを使用する場合、ピンコンポーネントは四角に囲まれて表示され、IRQ はコンポーネントの底から伸びた状態で表示されます。典型的な使用例は、割り込みコンポーネントをこの端子に接続することです。



デジタル入力さえ用意すれば、割り込みはピン コンポーネントのすべての構成で使用することができます。

- **Interrupt –** このパラメータはピンが割り込みを発生させるか、その場合に発生する割り込みのタイプを選択します。ピン割り込みは立ち上がりエッジ、立ち下がりエッジおよび両方のエッジと共に生成することができます。**None** 以外に設定されている場合、コンポーネントは必ず Contiguous に構成し、単一の物理ポートにマッピングされるようにします。単一のポートが必要な理由は、ポートのすべてのピンの割り込みが論理的 OR になっており、単一の割り込み信号を生成するからです。シンボル端子も一つです。**Interrupt** パラメータは専用のピン割り込み論理を使用し、割り込みイベントを生成したピンをラッチします。割り込みの発生後、Pin_ClearInterrupt() 関数を呼び出し、ラッチされたピンイベントをクリアし、将来のイベント検出を可能にします。ピンコンポーネントの複数のピンが割り込みを生成することができる場合、Pin_ClearInterrupt() の返り値をデコードし、どのピンが割り込みイベントを生成したか判断することができます。

好ましい方法ではありませんが、任意のデジタル入力ハードウェア接続を ISR コンポーネントに接続することもできます。これにより、エッジ イベントに対して、ピン割り込みをハイレベルまたはローレベルにおいて生成できるようになります。デジタル入力接続によりレベルトリガ割り込みを使う場合、このパラメータで構成された専用ピン割り込み論理を使用しません。

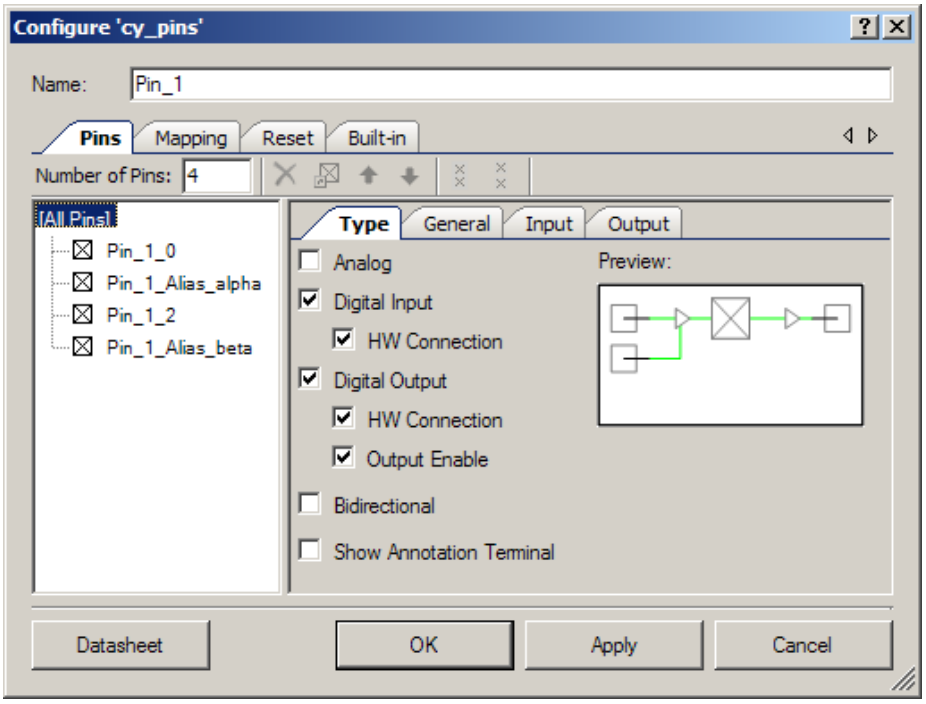
- **None** - 初期設定
- **Rising Edge (立ち上がりエッジ)**
- **Falling Edge (立ち下がりエッジ)**
- **Both Edges (両方のエッジ)**

コンポーネント パラメータ

ピン コンポーネントを設計回路図上にドラッグし、ダブルクリックして **Configure** ダイアログを開きます。このダイアログは、パワーオンリセット状態および物理ピンマッピング制約など、コンポーネント全体のパラメータを設定するために使用されます。パラメータはサブタブと呼ばれる、個別のタブに整理されています。

Pins タブ

Pins タブにはツールバー、ピンツリーおよびもう一つのセットのサブタブという 3 つのエリアがあります。ツールバーはコンポーネントが管理している物理ピンの数およびその順序を決定します。サブタブはタイプ、方向、ドライブ モードおよび初期状態など、ピン特有の属性を設定するために使用されます。ピンツリーはサブタブに対応し、属性の適用先である特定のピンを選択することができます。



ツールバー

以下のコマンドが含まれています:

- **Number of Pins** – コンポーネントが制御するデバイス ピンの数。有効な値は 1 ～ 64 までです。初期値は **1** です。

  注 構成によっては単一の物理ポートにのみ配置できるものがあります。そのため初期値の最大ピン数は 8 以下に設定されています。コンポーネントが Noncontiguous/ Spanning として構成されている場合、最大ピン数は 64 に設定することができます。これは単一の物理ポートに配置する必要がないからです。

- **Delete Pin–** 選択したピンをツリーから削除します。
- **Add/Change Alias –** ダイアログを開き、ツリーで選択したピンのエイリアス名を追加または変更します。ピンをダブルクリック、または **[F2]** を押してダイアログを開くことができます。
- **Move Up/Down –** 選択したピンをツリーの中で上下に移動します。

- **Pair/Unpair SIOs –** ツリーの中で選択した SIO ピン (ピンクのアウトラインで確認) をペアにするまたはペアを解除します。

  このコントロールは、SIO が必要なピンが、デバイス上の同じ SIO ペアに置かれるべきか指定します。ピンをペアにすると、より少ない物理 SIO ピンが「無駄」になります。それは、SIO を必要とする、ペアにされていないピンが、SIO を必要とする他のピンとデバイス上の SIO ピンを共有できないからです。デバイス上でピンが SIO ペアを共有するには、同じ方法で構成されたペアごとの設定が必要であり、隣接している必要があります。

  ピンは以下の場合 SIO が必要となります：**Hot Swap** が真に設定されている、**Threshold** が **LVTTL** または **CMOS** 以外に設定されている、**Drive Level** が **Vref** に設定されている、および/または **Drive Current** が **25mA sink** に設定されている。

ピン ツリー

このエリアはコンポーネントのすべてのピンを表示します。ツールバーコマンドとサブタブの対象とするピンをいくつも選択することができます。それぞれのピンは名前を表示し、ピンのコンポーネント名 + '_' + 個々のピンのエイリアスが表示されます。

Type サブタブ

これは **Pins** タブ用に表示されるデフォルトのサブタブです。ここでは、チェックボックスを使用して、コンポーネント用にピンのタイプを選択します。プレビュー エリアは、その特定のピンに対して選択された多様なオプションにより、選択されたピンのコンポーネント シンボルの外観を示します。

- **Analog** – **Analog** を選択して、アナログ ピン端子が他のコンポーネントにアナログ信号の配線ができるようにします。アナログを選択すると、ピンは強制的に SIO ピンではなく、GPIO ピンに物理的に配置されます。
- **Digital Input** – **Digital Input** を選択して、デジタル入力ピン端子 (オプション) を有効にし、**Input** サブタブを有効にして、入力に関する追加構成オプションが使用できるようにします。
  - **HW Connection** – このパラメータは入力ピンのデジタル入力端子を回路図に表示するかどうか決定します。表示される場合、ピンはデジタル信号をデジタル システム インターコネクト (DSI) に提供し、ハードウェア コンポーネントと共に使用します。この選択に関わらず、すべてのピンはレジスタまたは API を通じて CPU が必ず読み取ることができます。このオプションが選択されなかった場合、端子は表示されず、ソフトウェア API でのみ制御されます。
- **Digital Output** – **Digital Output** を選択して、デジタル出力ピン端子 (オプション) を有効にし、**Output** サブタブを有効にし、出力に関する追加構成オプションを使用できるようにします。
  - **HW Connection** – このパラメータは、特定の出力ピンに対して、デジタル出力端子を回路図に表示するかどうか決定します。表示される場合、ピンは DSI を通じて、ハードウェア コンポーネントにより供給されるデジタル信号を出力します。表示されない場合、出力論理レベルは CPU レジスタまた

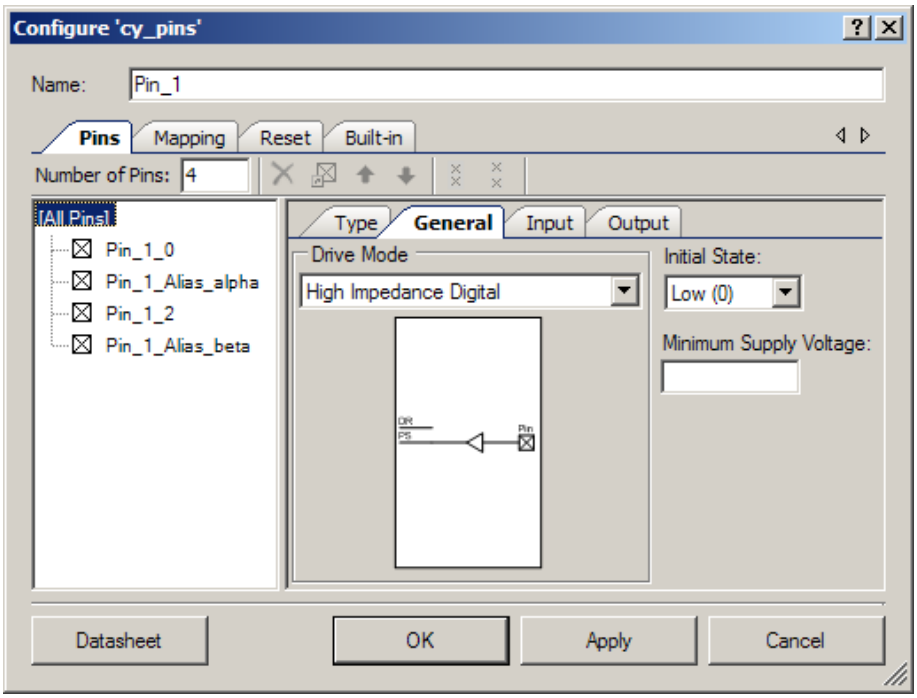
は API の書き込みにより決定されます。このオプションが選択されなかった場合、端子は表示されず、ソフトウェア API でのみ制御されます。

- ❑ **Output Enable** – このパラメータはピンの出力イネーブル機能が使用できるようにし、出力イネーブル入力端子を表示します。出力イネーブル機能は、CPU がレジスタを書き込むことなく、ハードウェア信号がピンの出力ドライバを制御できるようにします。ハイレベルは出力ドライバを設定し、これは **Drive Mode** パラメータ が設定します。ローレベルは出力ドライバを無効にし、ピンを HI-Z ドライブモードに置きます。

- **Bidirectional** – **Bidirectional** パラメータを有効にすることは、**Digital Input** を **HW 接続**と共に、そして **Digital Output** を **HW Connection** パラメータと共に有効にした場合と同じ機能を持ちます。違いは、個別の入出力端子が表示されるのではなく、一つの双方向端子だけがコンポーネント シンボルに表示されることです。**Input** および **Output** サブタブは、さらに設定することができます。

- **Show Annotation Terminal** – PSoC 外部の回路を示すために、注記ライブラリ コンポーネントへの接続を許可します。

General サブタブ

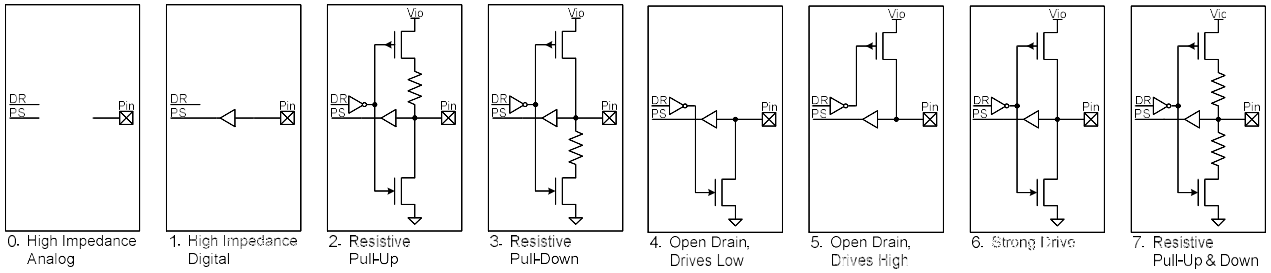


General サブタブは、ドライブモード、初期状態および選択したピンの最小供給電源など、すべてのピンに適用されるパラメータの設定ができます。このサブタブの設定:

- **Drive Mode** – このパラメータはピンを設定し、8 つの利用可能なピン ドライブ モードを提供します。初期設定および正しい選択は、**Type** サブタブの選択に影響されます。各ドライブ モードの詳細については、デバイスのデータシートを参照してください。図が選択された各ドライブモードの回路表示です。

- タイプが **Digital Input** または **Digital Input/Analog** の場合、初期設定は **High Impedance Digital** です。
- ピン タイプが **Analog** の場合、初期設定は **High Impedance Analog** です。
- ピン タイプが **Bidirectional** または **Bidirectional/Analog** の場合、初期設定は **Open Drain, Drives Low** です。
- その他のすべてのピン タイプは **Strong Drive** が初期設定です。

各ドライブ モードの図は次の通りです。



注 3 つの抵抗ドライブ モード (**Resistive Pull Up**、**Resistive Pull Down** 、**Resistive Pull Up/Down** のいずれかが使用された場合、出力ドライブレベルを **Vref** にしても作動しません。

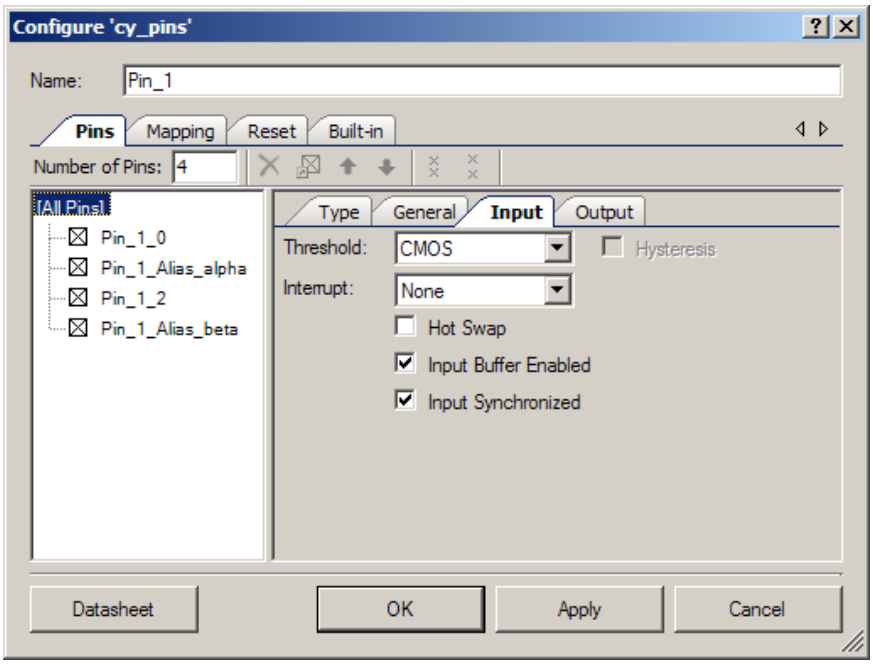
- **Initial State** – このパラメータはパワー オン リセット (POR) の後、ピンのデータ レジスタに書き込まれる、ピン特有の初期値を指定します。POR のとき、すべてのピンは論理"LOW (0)"になります。ドライブ モードを構成した直後、初期状態がピンに書き込まれ、これはデバイス全体の構成の一部として起こります。**Resistive Pull Up** および **Resistive Pull Up/Down** ドライブモードではプルアップ抵抗を有効にするため Initial State は初期設定で"High (1)"に構成されます。

  注 これをメイン **Reset** タブの下にあるリセット状態と混同しないでください。その属性は、他のデバイスの構成以前に、リセットされた瞬間から、ピンがメンバーであるポート全体の状態に影響を及ぼします。

- **Minimum Supply Voltage** – このパラメータは要求されている最小ハイレベル出力電圧を選択します。要求された電圧は、V_{DDIO} 電源入力の 1 つから供給される必要があります。この選択により、ピン コンポーネントは要求された出力電圧をサポートできるピンにマップされます。空白のままの場合、コンポーネントは電圧要件がなく、利用可能な V_{DDIO} 電圧により供給されているピンへの配置が行われます。

  有効な値は*<project>.cydwr* ファイルの **System** タブの設定 V_{IO0}/V_{IO1}/V_{IO2}/V_{IO3} の項で、電圧が V_{DDD} を超えない条件で、決定されます。選択したデバイスにより、配置において利用可能な電圧として V_{DDD} を電圧として利用する 2 つの USB ピンを持つ場合があります。この値が、これらの設定に対して設定された最大値以下でない場合、ピンは配置することができません。この範囲チェックはダイアログ外で行われます。チェックに失敗した場合、通知リスト ウィンドウに結果が表示されます。

Input サブタブ

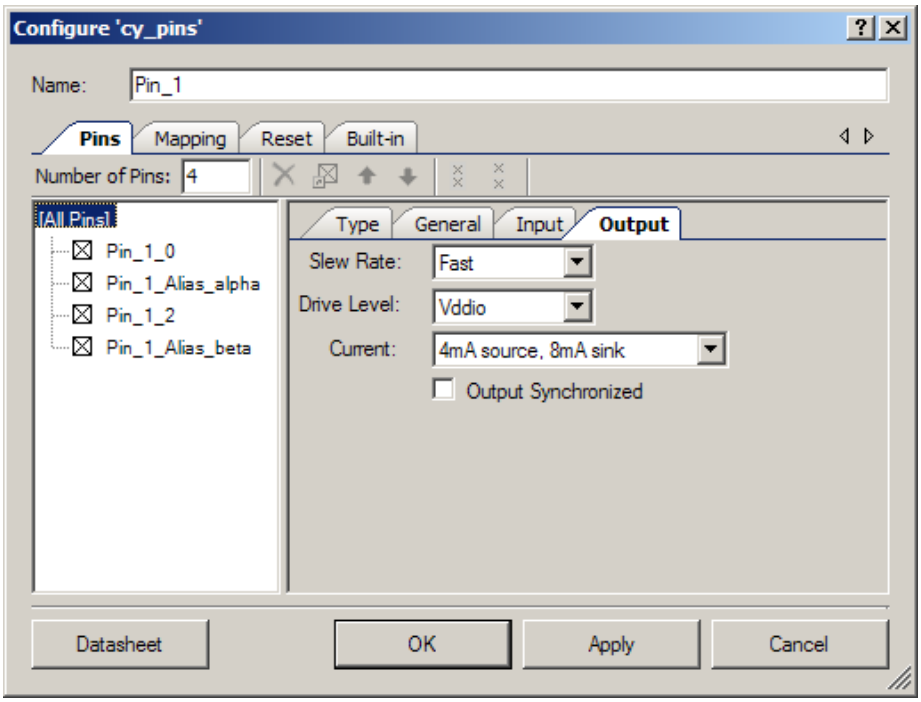


Input サブタブは入力設定を指定します。ピン タイプが **Type** サブタブの **Digital Input** または **Bidirectional** でない場合、入力情報を指定する必要がないので、このサブタブは無効です。

- **Threshold** – このパラメータはハイレベル (1) およびローレベル (0) を定義するしきい値を選択します。**CMOS** は初期設定であり、アプリケーション接続の大多数で使用する必要があります。その他のしきい値は、CMOS と異なるカスタム インターフェース要件を持つデバイスと簡単に相互接続することができます。Vddio または Vref から由来するしきい値は、SIO ピンの使用が必要です。
  - **CMOS** – 初期設定
  - **LVTTL**
  - **CMOS または LVTTL**
  - **0.4 x Vddio** – SIO が必要
  - **0.5 x Vddio** – SIO が必要
  - **0.5 x Vref** – SIO が必要
  - **Vref** – SIO が必要
- **Hysteresis** – ピンの SIO ヒステリシスを有効または無効にします。**Threshold** が **CMOS**、**LVTTL** または **CMOS or LVTTL** の場合、この機能は無効です。ヒステリシスコントロールには SIO ピンが必須です。GPIO ピンは必ずヒステリシスが有効になっています。
  - 無効 – 初期設定
  - 有効

- **Interrupt –** このパラメータはピンが割り込みを発生させるか、その場合に発生する割り込みのタイプを選択します。ピン割り込みは立ち上がりエッジ、立ち下がりエッジおよび両方のエッジと共に生成することができます。**None** 以外に設定されている場合、コンポーネントは必ず Contiguous に構成し、単一の物理ポートにマッピングされるようにします。単一のポートが必要な理由は、ポートのすべてのピンの割り込みが論理的 OR になっており、単一の割り込み信号を生成するからです。シンボル端子も一つです。
  - **None** - 初期設定
  - **Rising Edge (立ち上がりエッジ)**
  - **Falling Edge (立ち下がりエッジ)**
  - **Both Edges (両方のエッジ)**
- **Hot Swap** – ホットスワップ機能に対応するよう構成されているピンは、この機能をハードウェアでサポートする SIO ピンにマップされています。ホットスワップ機能は、ピンに掛る電圧が、ピンの V_{DDIO} を超え、最高 6.0V まで許容することができます。またホットスワップ機能は PSoC デバイスの電源がオフのときであっても、6.0V までの電圧が掛ったピンから PSoC デバイスに電流を流さないようにします。ホットスワップは、バスが短絡されず、PSoC デバイスに電圧を掛けてしまう I^2C のような通信バスに、電源供給していない PSoC デバイスが接続される場合に便利です。
  - 無効 – 初期設定
  - 有効 – SIO が必要
- **Input Buffer Enabled** – このパラメータはピンのデジタル入力バッファを有効または無効にします。デジタルバッファは、DSI 配線または CPU 読み取りによってピンに掛る論理レベルを読み取るか使用するときに必要です。入力バッファはピンをデジタル入力として使用するとき必要です。アナログピンは、低消費電力モードでのピンの漏れ電流を削減するため、初期設定ではデジタル入力バッファを無効にします。ピン タイプが **Analog** の場合、初期設定は **Disabled** です。**Analog** との組み合わせを含む、すべての他のピン タイプは、初期設定が **Enabled** です。入力バッファを無効にし、特にアナログ信号の場合、必要がないときの電流を削減します。
  - 有効
  - 無効
- **Input Synchronized** – 入力の同期化は、ピンで行われ、デバイスから bus_clk に入るすべての信号を同期化します。入力の同期化は、限られた場合において、ピンでオプションとして無効にすることができます。この場合、非同期信号がアプリケーションのパフォーマンスに必要であり、デバイスの操作要件に違反しないことが必要です。使用方法の詳細については、TRM またはデバイスのデータシートを参照してください。
  - 有効 – 初期設定
  - 無効

Output サブタブ



Output サブタブは出力設定を指定します。ピン タイプが **Digital Output** または **Bidirectional** でない場合、出力情報を指定する必要がないので、このタブは無効です。

- **Slew Rate** – スルー レート パラメータは出力論理レベルが変化するとき、ピンの立ち上がりおよび立下りランプ レートを決定します。1MHz より速く切り換わる信号には、高速モードが必要です。スイッチングレートが 1MHz 未満の信号に対して低速モードを選択することができます。遅い遷移エッジレートにより輻射 EMI および隣接信号との結合を削減することができます。
  - ❑ Fast - 初期値
  - ❑ Slow
- **Drive Level** – このパラメータはピンから出力される出力電圧を選択します。すべてのピンはそれぞれの V_{DDIO} 電圧を供給することができます。SIO ピンは、SIO の V_{DDIO} 電圧と異なる電圧を持つデバイスとインターフェースするために、プログラムされた電圧またはアナログ配線電圧も供給することができます。
  - ❑ **Vddio** – 初期値
  - ❑ **Vref** – SIO が必要

  注 3 つの抵抗ドライブ モード (**Resistive Pull Up**、**Resistive Pull Down**、**Resistive Pull Up/Down** のいずれかが使用された場合、出力ドライブレベルを **Vref** にしても作動しません。
- **Current** – ドライブ電流の選択項目です。特定のピンに対する最大定格論理レベル電流を決定します。ピンは、システム電圧を考慮の上、電圧変動と引き換えにより多くの電流を流すことができ、また選択項目に

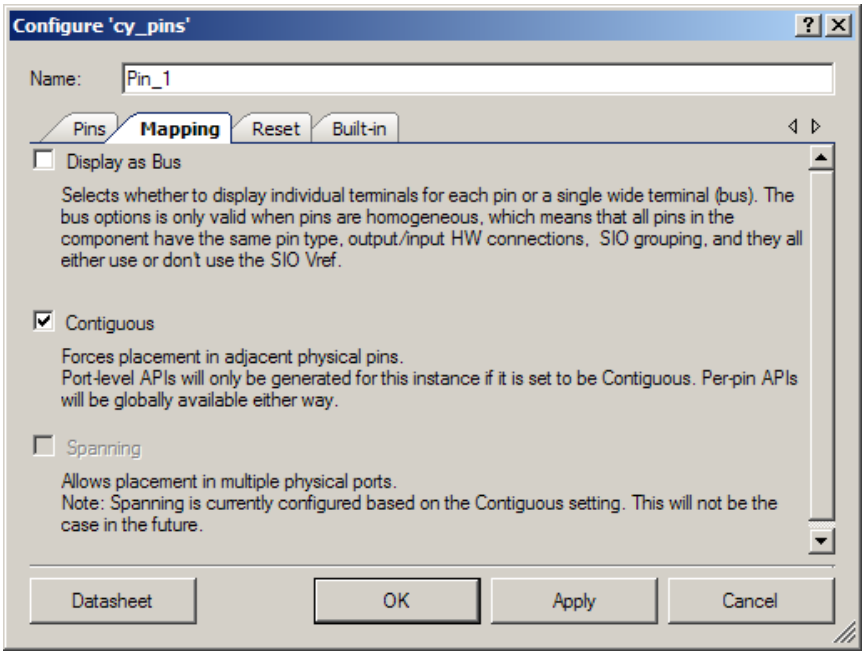
リストされているものより小さい最大値を持つこともできます。ドライブ電流の詳細については、デバイスのデータシートを参照してください。

- ❑ **4mA source, 8mA sink** – 初期値 t
- ❑ **4mA source, 25mA sink** – SIO が必要

- **Output Synchronized** – 出力同期化は、小さい信号スキューが必要とされる高速信号でピンツーピン出力信号スキューを減らします。出力信号は bus_clk に同期化されます。使用方法の詳細については、TRM またはデバイスのデータシートを参照してください。
  - ❑ 無効 – 初期設定
  - ❑ 有効

Mapping タブ

Mapping タブは、ピンコンポーネントが回路図でどう表示されるか、どう物理ピンにマップされるかを定義するパラメータを含みます。



Display as Bus

このパラメータは端子を、ピンごとに表示するかバスラインとして表示するかを選択します。バスオプションはピンの性質が同質である場合にのみ有効です。つまり、コンポーネントにおけるすべてのピンが同じピン タイプ、入出力 HW 接続および SIO グループ分けであることを意味します。また、すべてが SIO Vref を使用するか、すべてが SIO Vref を使用しないことが必要です。多くの同じタイプのピンが必要な場合、バスとして表示することは役に立ちます。これにより回路図のスペースと設定・配線にかかる時間が節約できます。

Contiguous

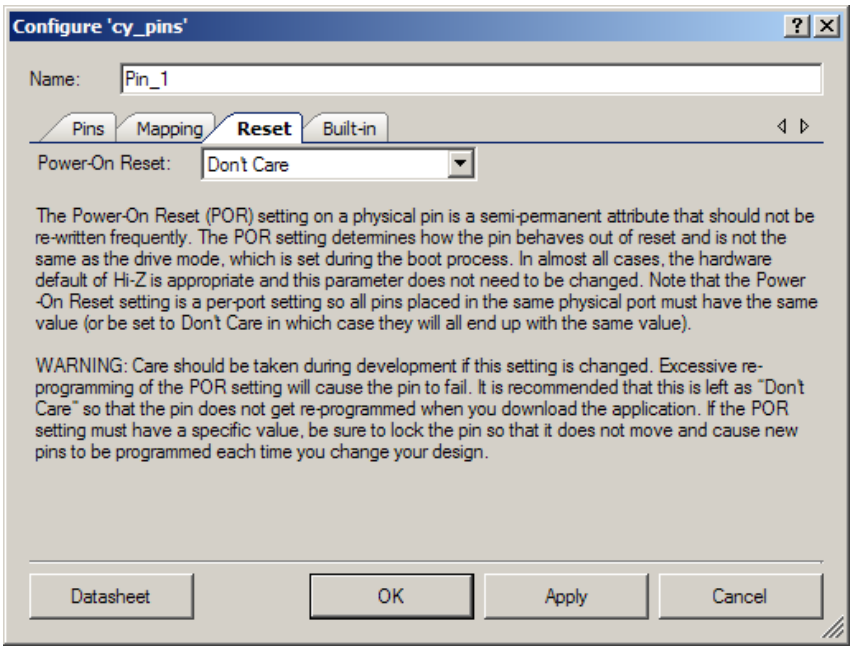
このパラメータは、ポート内の隣接する物理ピンへの配置を強制します。実際のピンの配置は、デバイスのデータシートに従い、パッケージに依存します。このオプションには次の制約があります。

- Contiguous の場合、ポート レベル API はコンポーネントに対して生成されます。そうでない場合、ポートレベルの API は生成されません。
- Contiguous の場合、コンポーネント内のピン数は 8 以下である必要があります。

Spanning

このパラメータは複数の物理ポート跨がる配置を可能にします。図では Contiguous 制御になっています。ここに Contiguous は Nonspanning を、Noncontiguous は Spanning を意味します。今後のソフトウェアリリースで、**Spanning** パラメータの個別制御をサポートする予定です。

Reset タブ



Power-On Reset (パワーオン リセット)

物理ピン上のパワー オン リセット (POR) 設定は、頻繁に書き換えするべきではない、半永久的な属性です。POR 設定はリセット後のピンの動作を決定します。起動プロセス中に設定するドライブモードと異なります。ほどんどすべての場合、HI-Z のハードウェア初期設定が適切で、このパラメータを変更する必要はありません。パワーオン リセット設定は、ポートごとの設定のため、同じ物理ポート上に置かれているすべてのピンは、同じ値を持つ必要があります (または **Don't Care** に設定し、この場合すべてが同じ値になります) 。パワー オン リセットは PSoC 5 デバイス上では指定できません。

警告: 開発中に、この設定が変更された場合は注意してください。POR 設定を過剰に再プログラムすると、ピンが故障することがあります。NVL 書き込みサイクルの最大数については、デバイスのデータシートを参照してください。設定を **Don't Care** のままにし、アプリケーションをダウンロードしたときにピンが再プログラムされないようにすることが推奨されます。POR 設定が特定の値を持つ必要がある場合、ピンを必ずロックし、設計変更するたびに新しいピンが移動し、プログラムされないようにします。

- **Don't Care** – 初期設定 **Don't Care** のままの場合、POR はこのコンポーネントが置かれている物理ポートにより決定されます。ポートに配置されているすべてのピンが **Don't Care** に設定されている場合、パーツのデフォルト POR が使用されます。それ以外の場合は、その物理ポートに配置されている他のピンに対して指定されている POR (すべてが一致する必要がある) が **Don't Care** に設定されているものに使用されます。
- **High-Z Analog**
- **Pulled-Up**
- **Pulled-Down**

リソース

それぞれのピン コンポーネントは **Number of Pins** パラメータのビット当たり 1 つの物理ピンを消費します。

	デジタルブロック					API メモリ(バイト)		
アナログブロック	データパス	マクロセル	ステータスレジスタ	コントロールレジスタ	Counter7	フラッシュ	RAM	ピン (外部入出力ごと)
該当せず	該当せず	該当せず	該当せず	該当せず	該当せず	110	0	該当せず

アプリケーションプログラミングインタフェース

アプリケーションプログラミングインターフェース(API)ルーチンにより、ソフトウェアを使用してコンポーネントを設定および使用することができます。ピンコンポーネントは、ピン単位またはコンポーネント単位で設定されます。

ピン単位の API

生成された *cypins.h* ファイル (cy_boot ディレクトリにある)に定義されたグローバル API を使用して、コンポーネントの個々のピンにアクセスすることができます。これら API の説明は *System Reference Guide* (Help > Documentation) にあり、次のものがあります。

- CyPins_ReadPin()
- CyPins_SetPin()

- CyPins_ClearPin()
- CyPins_SetPinDriveMode()
- CyPins_ReadPinDriveMode()

これらの API は物理ピンレジスタ名かコンポーネントからのピンエイリアスと共に使用することができます。ソフトウェアから直接物理ピンにアクセスすることは推奨しません。これはツールが同じピンを他の機能に割り当てない保証がないからです。ピンがソフトウェアからのみアクセスされる場合でも、サイプレスはピンコンポーネントの使用を強く推奨します。上記の API と共にコンポーネントから生成されたエイリアスを使用して、パフォーマンスまたはメモリーの代償なく、個々のピンを安全にアクセスすることができます。

上記の API を使用するために、コンポーネントは *CyPins_aliases.h* ファイルにピンレジスタ用にエイリアスを生成します。初期設定では、エイリアスはコンポーネント名にピン番号を付加したものになります。

CyPins_x - x はコンポーネント内のピンです (0 から始まる数字)

ピンコンフィグレーションダイアログでエイリアス名を設定すると、追加の #define が次の形で作られます。

CyPins_<AliasName>

コンポーネント API

これらの API は一度の関数呼び出しで、コンポーネントのすべてのピンにアクセスします。すべてのピンがデバイス上の単一の物理ポートに置かれている場合、コンポーネント単位の API の効果的な実装が可能です。コンポーネントを Contiguous に構成する場合にのみ生成されます。Noncontiguous のピンコンポーネントは、上記に説明されたピン単位でのみアクセスができます。

初期設定では、PSoC Creator は最初に配置したピンコンポーネントのインスタンス名として"Pin_1"を割り当てます。コンポーネントのインスタンス名は、識別子の文法ルールに従って固有の名前に変更できます。インスタンス名は、すべてのグローバル関数名、変数名、定数名のプリフィックスになります。読みやすいように、以下の表では"Pin"というインスタンス名を使用しています。

PSoC 3 ES2 と PSoC 5 において、ピン P15[7:6] はソフトウェア制御で利用できません。

次の表は、各関数へのインターフェースとその説明を示しています。その次のセクションでは、各関数について詳しく説明します。

関数	機能
Pin_Read()	物理ポートを読み取り、コンポーネントのすべてのピンついて現在の値を返します。
Pin_Write()	コンポーネントピンに値を書き込みます。物理ポートが複数のピンコンポーネントに共有されている場合、物理ポートの他のピンを保護します。
Pin_ReadDataReg()	ポートのデータ出力レジスタの現在の値を読み取り、コンポーネントのすべてのピンについて現在の値を返します。

関数	機能
Pin_SetDriveMode()	ピンコンポーネントのそれぞれのピンに対して、ドライブモードを設定します
Pin_ClearInterrupt()	コンポーネントのマップ先であるポートのアクティブな割り込みをクリアします。割り込みステータスレジスタの値を返します

uint8 Pin_Read(void)

機能: 関連する物理ポート(ピンステータスレジスタ) を読み取り、コンポーネントインスタンスのデータ幅とビット位置に従い、必要なビットをマスクします。ピンステータスレジスタは、物理ピンに存在する現在の論理レベルを返します。

パラメータ: なし

返り値: ピンコンポーネントの現在の値は右揃え番号です。

注意事項: なし

void Pin_Write(uint8 value)

機能: 値を物理ポートに書き込み (データ出力レジスタ)、適切にビットをマスクおよびシフトします。データ出力レジスタは、ドライブ モード パラメータと共に、物理ピンに適用される信号を制御します。この関数は適切な方法を使用して、ポートの他のビットの変更を避けます (読み取り - 修正 - 書き込みまたはビットバンディング) 。

パラメータ: uint8 value: コンポーネントインスタンスに書き込む値です。

返り値: なし

注意事項: 不可分操作ではない、読み取り - 修正 - 書き込み操作を行う場合、割り込みサービスルーチン(ISR)はこのAPIの破損の原因になることがあります。このAPI に割り込んでピンコンポーネントデータレジスタに書き込むISRは、ポートデータの破損の原因になることがあります。この問題を避けるために、ピン単位のAPI (第一の方法)を使用、またはこのAPI周辺で割り込みを無効にします。

uint8 Pin_ReadDataReg(void)

機能: 関連する物理ポートのデータ出力レジスタを読み取り、コンポーネント インスタンスの幅とビット位置に従い、適切なビットをマスクします。データ出力レジスタは、ドライブモードパラメータと共に、物理ピンに適用される信号を制御します。これは前述した Pin_Read() API と同じではありません。それは Pin_ReadDataReg() はステータスレジスタではなく、データレジスタを読み取るからです。出力ピンにとって、これはピンに書き込まれたばかりの値を判断するために役に立つ API です。

パラメータ: なし

返り値: 現在の値は、コンポーネントインスタンスに対して、マスクされたデータレジスタを右揃えにシフトしたものです。

注意事項: なし

void Pin_SetDriveMode(uint8 mode)

機能: ピンコンポーネントのそれぞれのピンに対してドライブ モードを設定します。

パラメータ: uint8 mode: 選択した信号のモードです。定義されている正しいオプション:

Pin_1_DM_STRONG	Strong Drive
Pin_1_DM_OD_HI	Open Drain, Drives High
Pin_1_DM_OD_LO	Open Drain, Drives Low
Pin_1_DM_RES_UP	Resistive Pull Up
Pin_1_DM_RES_DWN	Resistive Pull Down
Pin_1_DM_RES_UPDWN	Resistive Pull Up/Down
Pin_1_DM_DIG_HIZ	High Impedance Digital
Pin_1_DM_ALG_HIZ	High Impedance Analog

返り値: なし

注意事項: 不可分操作ではない、読み取り - 修正 - 書き込み操作を行う場合、割り込みサービスルーチン (ISR) はこのAPIの破損の原因になることがあります。このAPI に割り込んでピンコンポーネントドライブモードレジスタに書き込むISRは、ポートデータの破損の原因になることがあります。この問題を避けるために、ピン単位のAPI (第一の方法)を使用、またはこのAPI周辺で割り込みを無効にします。

uint8 Pin_ClearInterrupt(void)

機能: コンポーネントに付属しているアクティブな割り込みをクリアし、割り込みステータスレジスタの値を返し、どのピンが割り込みイベントを発生したか判断することができます。

パラメータ: なし

返り値: uint8: 割り込みステータスレジスタの右シフトされた現在の値。割り込みイベントを生成されたビットには1がセットされます。例えば、ピン コンポーネントのビット 0 はピン 0 用で、ビット 1 はピン 1 用です。

注意事項: Clears all ピンコンポーネントと関連しているものだけでなく、物理ポートの割り込みステータスレジスタのビットです。

ファームウェアソースコードのサンプル

PSoC Creator は、Find Example Project ダイアログに、回路図およびサンプルコードを含む多くのサンプルプロジェクトを提供しています。コンポーネント特有のサンプルを見るには、Component Catalog または回路図に置いたコンポーネントインスタンスからダイアログを開きます。一般的なサンプルについては、Start Page または **File** メニューからダイアログを開きます。必要に応じてダイアログにある **Filter Options** を使用し、選択できるプロジェクトのリストを絞り込みます。

詳しくは、PSoC Creator ヘルプの Find Example Project を参照してください。

DC/ AC 電気的特性

以下の値は期待される性能を示しており、初期特性データを基にしています。

注 特定条件下の PSoC 5 シリコンの場合、SIO ピンはその関連する V_{DDIO} の電流を 1mA 以下の大きさで増やすことがあります。SIO のピンの電圧が V_{DDIO} の電圧より 0.5V を超えた場合、トリガー状態が設定されます。トリガー条件が設定されてから、SIO ピンは電圧が V_{SSD} + 0.5V ～ V_{DDIO} – 0.5V の間のとき、電流が増加します。SIO ピンが V_{SSD} ～ V_{SSD} + 0.5V の範囲になるとトリガー状態がリセットされます。トリガー条件はデバイスの電源を入れたとき、立ち上がり方の違いにより、分からないうちに満足されることがあります。

DC 仕様

記号	項目	条件	Min	Typ	Max	単位
V_{INMAX}	最大入力電圧	V_{DDIO} および V_{DDD} の許容範囲	–	–	5.5	V
V_{INREF}	入力リファレンス電圧(差動入力モード)		0.5	–	0.52 × V_{DDIO}	V
V_{OUTREF}	出力リファレンス電圧(安定化出力モード)					
		V_{DDIO} > 3.7	1	–	V_{DDIO} – 1	V
		V_{DDIO} < 3.7	1	–	V_{DDIO} – 0.5	V

記号	項目	条件	Min	Typ	Max	単位
V_{IH}	Highレベルスレッショルド電圧					
	GPIO モード	CMOS 入力	0.7 × V_{DDIO}	–	–	V
	差動入力モード	ヒステリシスは無効	SIO_ref + 0.2	–	–	V
V_{IL}	Lowレベルスレッショルド電圧					
	GPIO モード	CMOS 入力	–	–	0.3 × V_{DDIO}	V
	差動入力モード	ヒステリシスは無効	–	–	SIO_ref – 0.2	V
V_{OH}	Highレベル出力電圧					
	非安定化モード	I_{OH} = 4mA、V_{DDIO} = 3.3V	V_{DDIO} – 0.4	–	–	V
	安定化モード	I_{OH} = 1mA	SIO_ref – 0.65	–	SIO_ref + 0.2	V
	安定化モード	I_{OH} = 0.1mA	SIO_ref – 0.3	–	SIO_ref + 0.2	V
V_{OL}	Lowレベル出力電圧					
		V_{DDIO} = 3.30V、I_{OL} = 25mA	–	–	0.8	V
		V_{DDIO} = 1.80V、I_{OL} = 4mA	–	–	0.4	V
R_{PULLUP}	プルアップ抵抗		3.5	5.6	8.5	kΩ
$R_{PULLDOWN}$	プルダウン抵抗		3.5	5.6	8.5	kΩ
I_{IL}	入力漏れ電流(絶対値) [1]					
	$V_{IH} \le V_{DDSIO}$	25□, V_{DDSIO} = 3.0V、V_{IH} = 3.0V	–	–	14	nA
	$V_{IH} > V_{DDSIO}$	25□, V_{DDSIO} = 0V、V_{IH} = 3.0V	–	–	10	µA
C_{IN}	入力静電容量 [1]		–	–	7	pF
V_H	ヒステリシス電圧(シュミットトリガ) [1]	シングル エンド モード(GPIO モード)	–	40	–	mV
		差動モード	–	35	–	mV
I_{DIODE}	保護ダイオードからV_{SSIO} へ流れる電流		–	–	100	µA

[1] デバイスの特性評価に基づく値(出荷試験ではない)

AC 仕様

記号	項目	条件	Min	Typ	Max	単位
TriseF	Fast Strong Modeでの立ち上がり時間 (90/10%)[1]	Cload = 25pF、V_{DDIO} = 3.3V	–	–	12	ns
TfallF	Fast Strong Modeでの立ち下がり時間 (90/10%)[1]	Cload = 25pF、V_{DDIO} = 3.3V	–	–	12	ns
TriseS	Slow Strong Modeでの立ち上がり時間 (90/10%)[1]	Cload = 25pF、V_{DDIO} = 3.0V	–	–	75	ns
TfallS	Slow Strong Modeでの立ち下がり時間、 (90/10%) [1]	Cload = 25pF、V_{DDIO} = 3.0V	–	–	60	ns
Fsioout	SIO 出力動作周波数					
	3.3V < V_{DDIO} < 5.5V、非安定化出力 (GPIO) モード、fast strong drive mode	90/10% V_{DDIO}、25pFへ	–	–	33	MHz
	1.71V < V_{DDIO} < 3.3V、非安定化出力 (GPIO) モード、fast strong drive mode	90/10% V_{DDIO}、25pFへ	–	–	16	MHz
	3.3V < V_{DDIO} < 5.5V、非安定化出力 (GPIO) モード、slow strong drive mode	90/10% V_{DDIO}、25pFへ	–	–	5	MHz
	1.71V < V_{DDIO} < 3.3V、非安定化出力 (GPIO) モード、slow strong drive mode	90/10% V_{DDIO}、25pFへ	–	–	4	MHz
	3.3V < V_{DDIO} < 5.5V、安定化出力モード、fast strong drive mode	25pFへ連続的にスイッチング出力	–	–	20	MHz
	1.71V < V_{DDIO} < 3.3V、安定化出力モード、fast strong drive mode	25pFへ連続的にスイッチング出力	–	–	10	MHz
	1.71V < V_{DDIO} < 5.5V、安定化出力モード、slow strong drive mode	25pFへ連続的にスイッチング出力	–	–	2.5	MHz
Fsioin	SIO 入力動作周波数					
	1.71V < V_{DDIO} < 5.5V	90/10% V_{DDIO}	–	–	66	MHz

コンポーネントの変更

ここでは、前のバージョンからコンポーネントに加えられた主な変更を示します。

バージョン	変更の説明	変更の理由 / 影響
1.60.a	データシートのマイナーな編集と更新	
1.60	注記表示端子機能を追加	注記コンポーネントにピンが接続できるようになります。

バージョン	変更の説明	変更の理由 / 影響
	PSoC 5 向けのパワー オン リセットについて、データシートに注記を追加	明文
	PSoC 3 ES2 と PSoC 5 上の P15[7:6] 向けの API 可用性について、データシートに注記を追加	明文
1.50.a	要約は 4 つのピン マクロのそれぞれに対して、変更されました。	読みやすくなりました。
	データシートに特性データを追加	
	データシートの割り込み情報が改善されました	
	Vref ドライブ レベルに関する注記をデータシートに追加	
	データシートのマイナーな編集と更新	
1.50	Keil 関数の再入可能性サポートを API に追加しました。	顧客が個々に生成された関数を再入可能性として指定する能力を追加しました。
	[Configure (構成)] ダイアログの [Reset (リセット)] タブに文を追加し、パワー オン リセットが物理ポート全体に適用することを明確にしました。	明文
1.20	[Display as Bus (バスとして表示)] がチェックされていて、ピン コンポーネントが同一でない場合、エラーが発生します。同一性チェックが拡張され、HW 接続設定が含まれるようになりました。 旧バージョンから新バージョンに移るための唯一の変更は、「Display as Bus」をチェックし、HW 接続のいくつかがチェック解除されている状態を変更することです。	

Copyright © 2005-2012 Cypress Semiconductor Corporation 本文書に記載される情報は、予告なく変更される場合があります。Cypress Semiconductor Corporation は、サイプレス製品に組み込まれた回路以外のいかなる回路を使用することに対しても一切の責任を負いません。特許又はその他の権限下で、ライセンスを譲渡又は暗示することもありません。サイプレス製品は、サイプレスとの書面による合意に基づくものでない限り、医療、生命維持、救命、重要な管理、又は安全の用途のために仕様することを保証するものではなく、また使用することを意図したものでもありません。さらにサイプレスは、誤動作や故障によって使用者に重大な傷害をもたらすことを合理的に予想される、生命維持システムの重要なコンポーネンツとしてサイプレス製品を使用することを許可していません。生命維持システムの用途にサイプレス製品を供することは、製造者がそのような使用におけるあらゆるリスクを負うことを意味し、その結果サイプレスはあらゆる責任を免除されることを意味します。

PSoC Designer™及びProgrammable System-on-Chip™は、Cypress Semiconductor Corp.の商標、PSoC®は同社の登録商標です。本文書で言及するその他全ての商標又は登録商標は各社の所有物です。

全てのソースコード(ソフトウェア及び/又はファームウェア)はCypress Semiconductor Corporation (以下「サイプレス」)が所有し、全世界(米国及びその他の国)の特許権保護、米国の著作権法並びに国際協定の条項により保護され、かつそれらに従います。サイプレスが本書面によるライセンシーに付与するライセンスは、個人的、非独占的かつ譲渡不能のライセンスであって、適用される契約で指定されたサイプレスの集積回路と併用されるライセンシーの製品のみをサポートするカスタムソフトウェア及び/又はカスタムファームウェアを作成する目的に限って、サイプレスのソースコードの派生著作物を複製、使用、変更、そして作成するためのライセンス、並びにサイプレスのソースコード及び派生著作物をコンパイルするためのライセンスです。上記で指定された場合を除き、サイプレスの書面による明示的な許可なくして本ソースコードを複製、変更、変換、コンパイル、又は表示することは全て禁止されます。

免責条項:サイプレスは、明示的又は黙示的を問わず、本資料に関するいかなる種類の保証も行いません。これには、商品性又は特定目的への適合性の黙示的な保証が含まれますが、これに限定されません。サイプレスは、本文書に記載される資料に対して今後予告なく変更を加える権利を留保します。サイプレスは、本文書に記載されるいかなる製品又は回路を適用又は使用したことによって生ずるいかなる責任も負いません。サイプレスは、誤動作や故障によって使用者に重大な傷害をもたらすことが合理的に予想される生命維持システムの重要なコンポーネンツとしてサイプレス製品を使用することを許可していません。生命維持システムの用途にサイプレス製品を供することは、製造者がそのような使用におけるあらゆるリスクを負うことを意味し、その結果サイプレスはあらゆる責任を免除されることを意味します。

ソフトウェアの使用は、適用されるサイプレスソフトウェアライセンス契約によって制限され、かつ制約される場合があります。