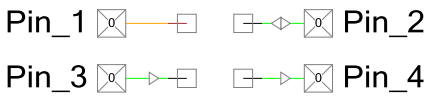
引脚
1.60

特性



- 快速设置所有引脚参数和驱动模式
- 允许 PSoC Creator 自动放置和路由信号
- 允许与一个或多个引脚同时交互

概述

引脚组件是适用于连接到物理端口引脚的硬件资源的首选方法。该组件通过适当配置的物理 IO 引脚来访问外部信号。此外，它还允许电气特性与一个或多个引脚相互关联；PSoC Creator 随后使用这些特性自动放置和路由组件中的信号。

这些引脚可以用于原理图导线连接和/或由软件来控制。要从组件 API 中访问引脚组件，该组件必须是连续的，而非跨端口组件。这样可以确保引脚正确映射到单个物理端口。仅可以从原理图中或通过全局单引脚 API 访问跨端口或非连续引脚组件。

注：在与全局 API 一起使用的引脚组件中包含为每个引脚创建的 #defines。

引脚组件可以配置成各种类型的合法组合。为方便起见，组件目录提供 4 种预先配置的引脚组件：模拟、数字双向组件、数字输入和数字输出。

何时使用引脚组件

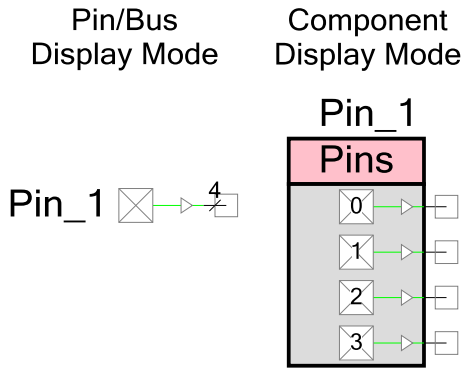
当设计必须通过物理 IO 引脚生成或访问脱离器件的信号时，使用该引脚组件。引脚是目录中最通用的组件。例如，这些引脚用于连接电位器、按钮、LED、外设传感器如接近传感器和加速传感器接口。

输入/输出连接

本节介绍引脚组件的各种输入和输出连接。

引脚显示

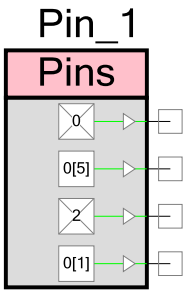
引脚可以配置成复杂的输入、输出、双向和模拟组合。带有一个内部硬件连接的简单配置通常显示为单独引脚。更复杂的引脚类型、引脚阵列或总线显示为标准组件，并带有边界框。



最常见的默认配置在以下章节给出。

锁定引脚的显示

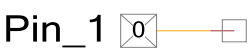
使用 PSoC Creator 设计范围资源引脚编辑器将引脚组件分配到物理 GPIO 或 SIO 引脚时，引脚组件的工具提示显示特定引脚分配。如果锁定引脚分配，组件显示指明引脚分配，如以下示例所示：



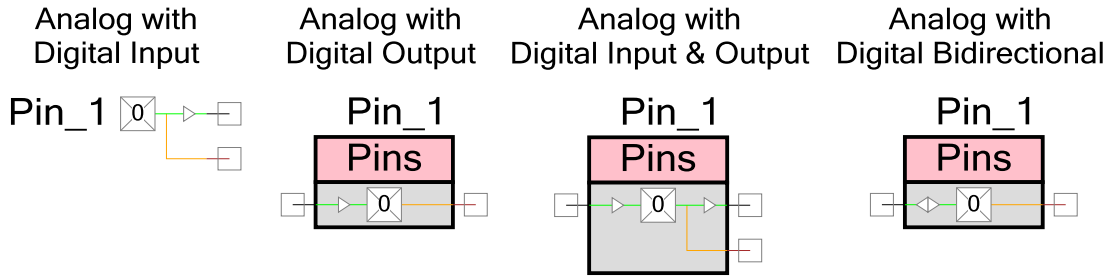
注：如果将引脚组件设置为 **Display as Bus（显示为总线）**，组件显示不予显示任何锁定引脚分配；然而，工具提示仍然显示此信息。

模拟

设计过程中，无论何时需要在器件引脚与连有模拟导线的内部模拟终端之间进行连接时，均将引脚组件配置为模拟组件。配置为模拟时，终端显示在符号右侧，并带有模拟导线颜色的连接图。



此外，模拟引脚组件还支持数字输入和/或输出连接及双向连接。在同一个引脚上，数字输出与模拟信号组合时间可能较短。这可以用于某些应用中；然而，这是高级主题，应小心使用。



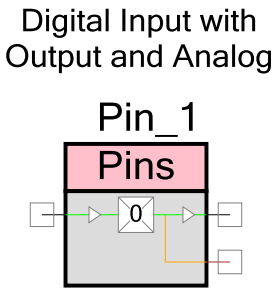
数字输入

设计过程中，无论何时需要在器件引脚与内部数字输入终端之间进行连接时，或无论引脚状态是否由 CPU/DMA 读取，均将引脚组件配置为数字输入。在所有情况下使用数字输入引脚时，引脚状态均可以由 CPU/DMA 来读取。此外，如果有终端符号显示，则可以将其路由到原理图中的其他组件。

当可视时，终端显示在符号的右侧。用代表数字导线的颜色绘制连接，并带有小的输入缓冲符号，用来显示信号方向。



此外，数字输入引脚组件还支持数字输出和模拟连接。

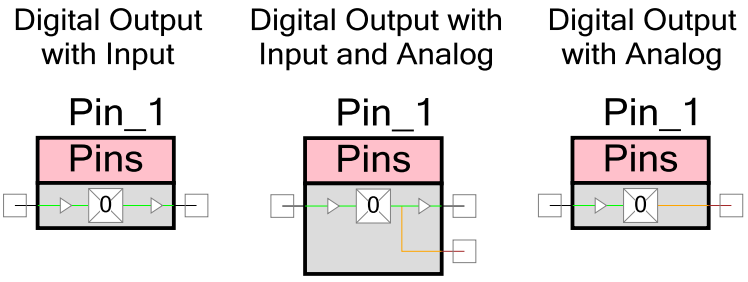


数字输出

配置成数字输出时,任何时候引脚都要被驱动为逻辑高或低。在所有情况下，引脚状态均可以由 CPU/DMA 来写入。此外，如果有终端符号显示，则可以从原理图中的其他组件路由该终端。当可视时，终端显示在符号的左侧。用代表数字导线的颜色绘制连接，并带有小的输出缓冲符号，用来显示信号方向。



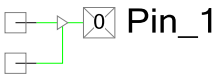
此外，数字输出引脚组件还支持数字输入和模拟连接。



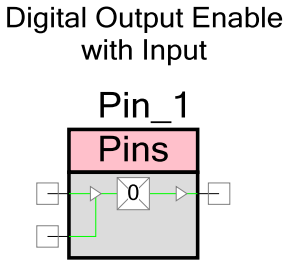
数字输出使能

当使用数字逻辑快速控制引脚输出，而无需 CPU 干预时，选择数字输出使能。在此终端上的逻辑高电平使能输出驱动，其配置方式是通过 **General**（通用）子选项卡上的 **Drive Mode**（驱动模式）参数。此终端的逻辑低电平禁用输出驱动，并使引脚采用 HI-Z 驱动模式。当使用原理图连接配置带有数字输出的组件时，并且选中数字输出使能时，显示此终端。数字输出使能显示在符号左侧，连接到数字输出缓冲。它使用数字导线颜色进行绘制。

当该引脚设置为 **Display as Bus**（显示为总线）时，无论引脚组件由于所有引脚共享同一个输出使能而导致宽度如何时，都仅提供一个输出使能。未显示为总线时，根据每个引脚提供单个输出使能。



此外，数字输出使能引脚组件还支持输入和模拟连接。



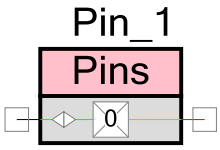
数字双向

设计过程中，无论何时需要在器件引脚和内部数字双向终端之间进行连接时，都将引脚组件配置为数字双向模式。数字双向模式最常用于通信组件，如 I^2C。配置为数字双向模式时，终端显示在符号左侧，包含代表数字导线颜色的连接图，并带有显示信号为双向模式的输入和输出缓冲符号。



双向引脚组件还支持模拟连接。

Digital Bidirectional
with Analog



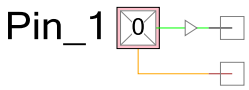
Vref

配置引脚组件以使用 Vref 信号：

- 使用数字输入或双向终端，并将 **Input**（输入）子选项卡上的 **Threshold**（阀值）参数设置为 **Vref**，或
- 使用数字输出或双向终端，并将 **Output**（输出）子选项卡上的 **Drive Level**（驱动电平）配置为 **Vref**

使用 Vref 需要一个 SIO 引脚，它表示为粉红色外形。所有引脚均可以提供各自的 V_{DDIO} 供电电压。此外，SIO 引脚还为器件接口提供可编程或模拟路由电压，来配合可能不同于 SIO 的 Vddio 电压的接口。Vref 终端提供向 SIO 引脚供电的模拟电压。SIO 引脚还使用 Vref 输入作为 SIO 的输入阀值。

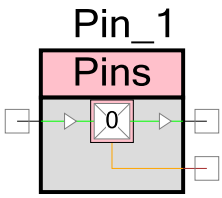
Vref 信号显示在组件右侧，从 SIO 单个引脚或 SIO 引脚对底侧伸出，这取决于该信号的配置方法。每个 SIO 引脚对共享单个 Vref 输入。



Vref 仅可以与另一个数字输入或输出连接一起使用。

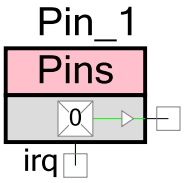
注：使用 Vref 时，无法选择 **Analog**（模拟）。

Vref with
Digital Input & Output



IRQ

要配置带有中断模式的引脚组件，必须使用数字输入，然后在 **Input**（输入）子选项卡上配置 **Interrupt**（中断）参数。当使用中断模式时，显示引脚组件，带有边界框，IRQ 从组件底部向外伸出。典型的使用情况是连接中断组件与此终端。



中断模式可以用于所有引脚组件配置，只要配置包含数字输入即可。

- **Interrupt（中断）** – 此参数选择引脚是否生成中断，若选中，则生成中断类型。引脚中断可以在上升沿和/或下降沿同时触发。如果使用除 **None**（无）以外的任何设置，则须将该组件配置为连续性组件，以确保组件可以映射到单个物理端口。由于端口中的所有引脚与其中断是逻辑“或”关系，这些端口生成单个中断信号和符号终端，因此需要单个端口。**Interrupt**（中断）参数使用专用引脚中断逻辑，这样可以锁存生成中断事件的引脚。中断触发后，必须调用 Pin_ClearInterrupt() 函数来清除锁存的引脚事件，从而可以继续检测将来的事件。如果引脚组件中有不止一个引脚可以生成中断，则可以解码 Pin_ClearInterrupt() 返回值以确定哪个引脚生成了中断事件。

即使不使用首选方法，任何数字输入硬件连接也可以连接到 ISR 组件，提供用来生成高或低逻辑电平及边沿事件引脚中断的功能。使用电平中断的数字输入连接时，不使用通过此参数配置的专用引脚中断逻辑。

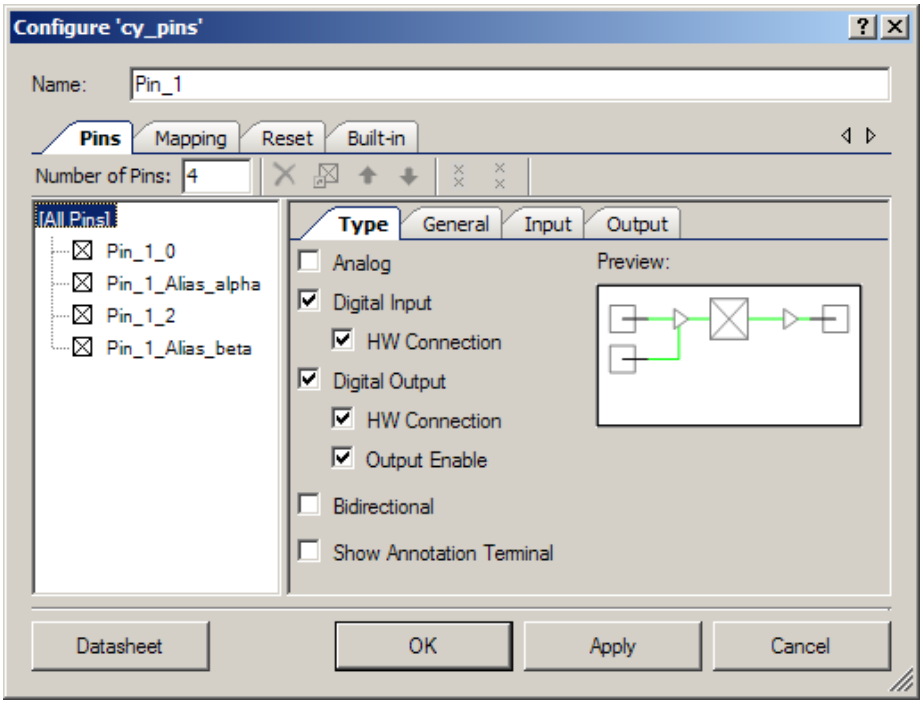
- **None**（无）- Default（默认）
- **Rising Edge（上升沿）**
- **Falling Edge（下降沿）**
- **Both Edges（上升沿和下降沿）**

元件参数

将引脚组件拖放到您的设计原理图上，并双击以打开 **Configure**（配置）对话框。此对话框用于设置组件范围参数，例如，加电复位状态和物理引脚映射限制条件。将各个参数分别组织到单独的选项卡中，称为子选项卡。

Pins（引脚）选项卡

该 **Pins**（引脚）选项卡有 3 个区域：工具栏、引脚树和另外一组子选项卡。工具栏用于确定由组件管理的物理引脚数量及顺序。子选项卡用来设置引脚特定的属性，例如，类型、方向、驱动模式和初始状态。引脚树使用子选项卡，以便允许您选择适合这些属性的特定引脚。



工具栏

包含这些命令：

- **Number of Pins**（引脚数） – 由组件控制的器件引脚数。有效值范围介于 1-64 之间。默认值为 **1**。

  注：某些配置仅可以放置到单独的物理端口中；因此，默认最大引脚数被限定到 8 或更少。将组件配置为非连续性跨端口时，最大引脚数可以设置为 64，因为这些引脚不再需要放置到单独物理端口中。

- **Delete Pin（删除引脚）** – 从树中删除所选引脚。

- **Add/Change Alias（添加/更改别名）** – 打开对话框，可以在树中添加或更改所选引脚的别名。还可以双击引脚或按 **[F2]** 打开对话框。

- **Move Up/Down（上移/下移）** – 在树中上移或下移所选引脚。

- **Pair/Unpair SIOs（成对/不成对 SIO）** – 在树中选择的成对或不成对 SIO 引脚（标识为粉红色外形）。

  此控制表示需要 SIO 的引脚是否应放置在器件上相同的 SIO 引脚对中。成对引脚导致少量的被浪费的物理 SIO 引脚。这是因为需要 SIO 的不成对引脚无法与另一个需要 SIO 的引脚共享器件上的 SIO 对。要在器件上共享 SIO 对，这些引脚必须具有单对设置，这对设置的配置方法相同，并且是互邻的。

  如果 **Hot Swap**（热插拔）设置为“真”、**Threshold**（阀值）设置为除 **LVTTL** 或 **CMOS** 以外的值、**Drive Level**（驱动电平）设置为 **Vref** 和/或 **Drive Current**（驱动电流）设置为 **25mA 灌电流**，那么引脚需要 SIO。

Pin Tree（引脚树）

该区域显示组件的所有引脚。您可以使用工具栏命令和子选项卡单独选择要使用的一个或多个引脚。每个引脚显示名称，命名方式为引脚组件名称 + ‘_’ + 单个引脚别名。

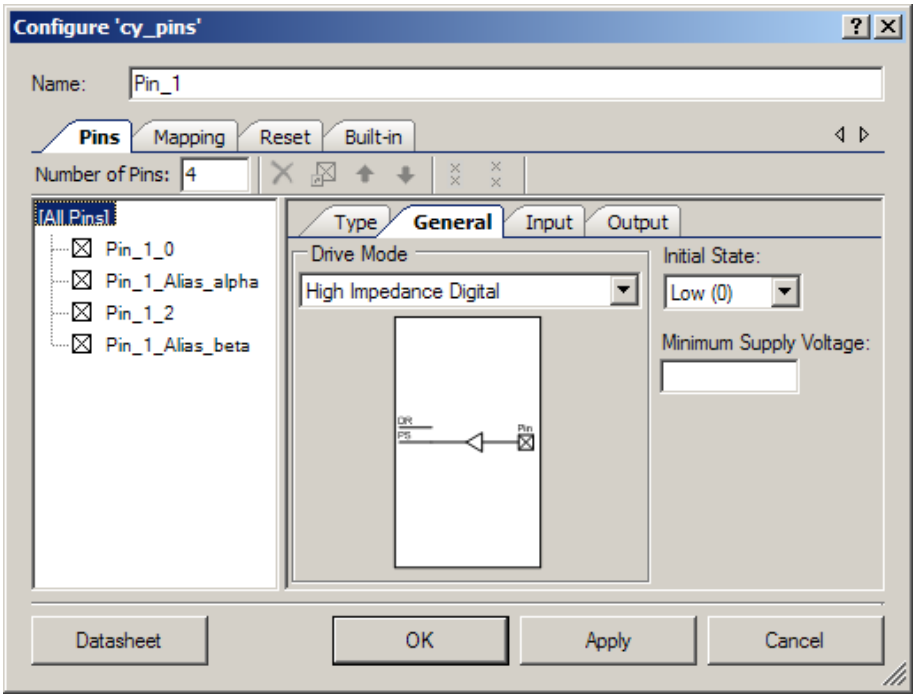
Type（类型）Subtab（子选项卡）

这是针对 **Pins**（引脚）选项卡显示的默认子选项卡。这是使用复选框选择组件引脚类型的位置。预览区显示所选引脚组件符号的外观，其中包含为该特定引脚选择的各种选项。

- **Analog**（模拟） – 选择 **Analog**（模拟），可以启用模拟引脚终端，以便支持路由到其他组件的模拟信号。选择模拟强制引脚实际被放置在 GPIO 引脚上，而非 SIO 引脚上。
- **Digital Input**（数字输入） – 选择 **Digital Input**（数字输入），可以启用数字输入引脚终端（可选）和与输入相关的其他配置选项的 **Input**（输入）子选项卡。
  - **HW Connection**（HW 连接） – 此参数确定输入引脚的数字输入终端是否在原理图上显示。若显示，则该引脚向数字系统互联 (DSI) 提供数字信号，以供硬件组件使用。独立于此选择，所有引脚始终由 CPU 通过寄存器或 API 来读取。如果不选择此选项，则终端不会显示，并仅由软件 API 来控制。
- **Digital Output**（数字输出） – 选择 **Digital Output**（数字输出），可以启用数字输出引脚终端（可选）和与输出相关的其他配置选项的 **Output**（输出）子选项卡。
  - **HW 连接** – 此参数确定指定输出引脚的数字输出终端是否在原理图上显示。若显示，引脚通过 DSI 输出硬件组件所提供的数字信号。若未显示，则通过 CPU 寄存器或 API 写入来确定输出逻辑电平。如果不选择此选项，则终端不会显示，并仅由软件 API 来控制。
  - **Output Enable**（允许输出） – 此参数支持引脚使用输出允许功能，并显示输出使能输终端。输出允许功能支持硬件信号来控制引脚输出驱动，无需 CPU 写入寄存器。高逻辑电平配置输出驱动，这是使用 **Drive Mode**（驱动模式）参数所设置的。低逻辑电平禁用输出驱动，并将引脚放置到 HI-Z 驱动模式中。

- **Bidirectional**（双向） – 启用 **Bidirectional**（双向）参数在功能上等效于启用 **Digital Input**（数字输入）与 **HW Connection**（HW 连接）和 **Digital Output**（数字输出）与 **HW Connection**（HW 连接）参数。区别仅在于单个双向终端显示在组件符号上，而非单独的输入和输出终端上。启用 **Input**（输入）和 **Output**（输出）子选项卡，用于进一步配置。
- **Show Annotation Terminal**（显示注释终端） – 支持连接到注释库组件以阐明连接到 PSoC 的外部电路。

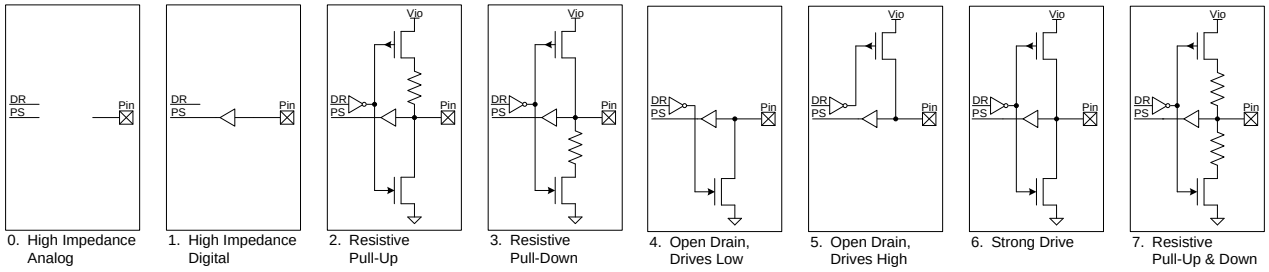
General（通用）子选项卡



该 **General**（通用）子选项卡允许设置适用于所有引脚的参数，例如，所选引脚的驱动模式、初始状态和最低供电电压。在此子选项卡上的设置包括：

- **Drive Mode**（驱动模式） – 此参数用于配置引脚以提供 8 个可用引脚驱动模式之一。在 **Type**（类型）子选项卡上的选择影响默认和法定选项。有关各个驱动模式的详细信息，请参见器件数据手册。图形显示选择的各个驱动模式电路表示法。
  - 如果类型是 **Digital Input**（数字输入）或 **Digital Input**（数字输入）**/Analog**（模拟），则默认设置为 **High Impedance Digital**（高阻抗数字）。
  - 如果引脚类型为 **Analog**（模拟），则默认设置为 **High Impedance Analog**（高阻抗模拟）。
  - 如果引脚类型为 **Bidirectional**（双向）或 **Bidirectional**（双向）**/Analog**（模拟），则默认设置为 **Open Drain, Drives Low**（开漏驱动低电平）。
  - 其他所有引脚类型默认为 **Strong Drive**（强驱动）。

每个驱动模式如下图所示：



注：如果使用 3 种电阻驱动模式（**Resistive Pull Up**（上拉电阻）、**Resistive Pull Down**（下拉电阻）、**Resistive Pull Up/Down**（上拉/下拉电阻））中的任意一种，则无法将输出驱动电平设置为 **Vref**。

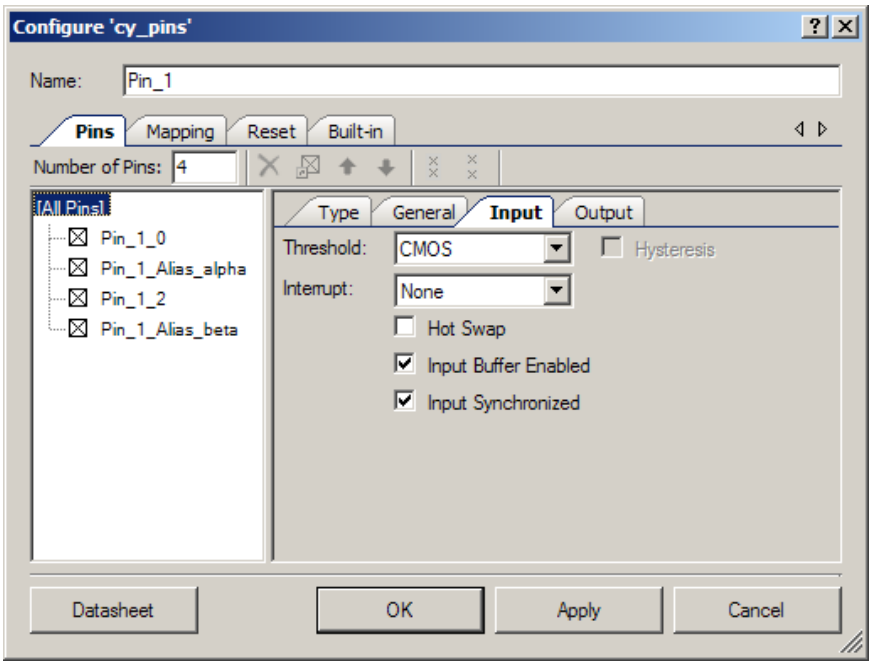
- **Initial State**（初始状态） – 此参数指定加电复位 (POR) 之后写入引脚数据寄存器中的引脚特定的初始值。加电复位时，所有引脚在硬件中均默认为逻辑低电平 (0)。只有在完成配置驱动模式之后，才将初始状态写入引脚，这作为整个器件配置的部件而触发。默认情况下，初始状态仅针对 **Resistive Pull Up**（上拉电阻）和 **Resistive Pull Up/Down**（上拉/下拉电阻）驱动模式配置为高电平，从而确保上拉电阻保持活动状态。

  注：这不应与主 **Reset**（复位）选项卡下的复位状态相互混淆。该属性影响该引脚作为其成员的整个端口的状态，即从其他任何器件配置之前的复位时开始。

- **Minimum Supply Voltage**（最低供电电压） – 此参数选择所请求的最低高逻辑电平输出电压。这必须通过一个 V_{DDIO} 供电输入来供应所需的电压。此选项确保引脚组件映射到支持所需输出电压的引脚上。如果保留为空，则该组件没有电压需求，允许放置到由可用的 V_{DDIO} 电压来供电的引脚。

  通过在 *<project>.cydwr* 文件的 **System**（系统）选项卡中设置来确定 V_{IO0}/V_{IO1}/V_{IO2}/V_{IO3}、V_{IO3} 的有效值，并略微扩展 V_{DDD}。根据所选器件，您可能有两个使用 V_{DDD} 作为放置位置供电电压的 USB 引脚。如果该值不小于或等于这些设置的最大值，则无法放置引脚。在此对话框之外执行此范围检查；如果检查失败，在 Notice List（通知列表）窗口显示结果。

Input（输入）子选项卡

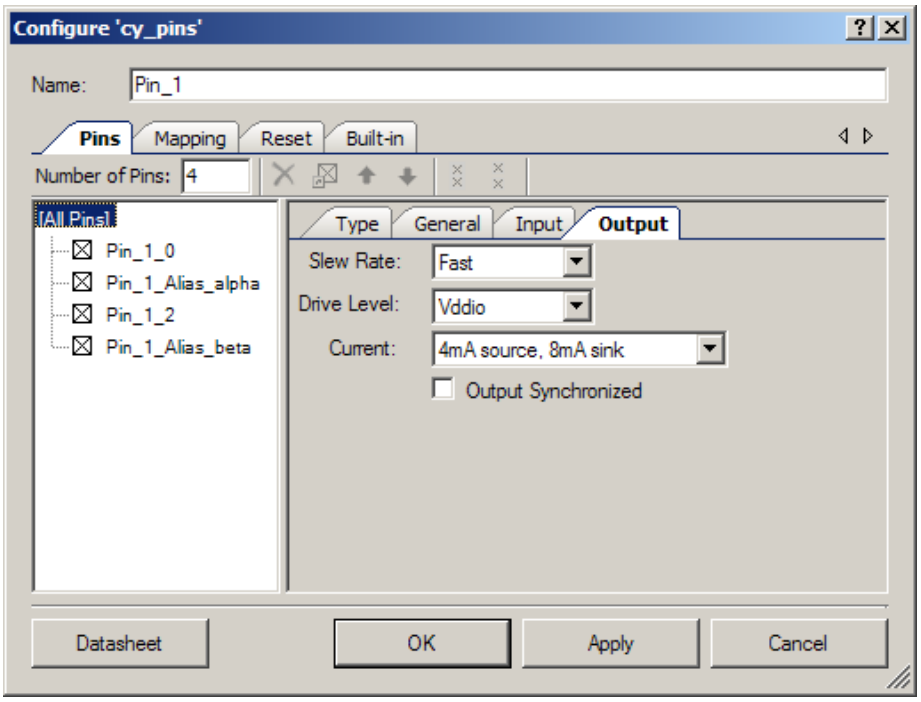


该 **Input**（输入）子选项卡用来指定输入设置。如果引脚类型不是在 **Type**（类型）子选项卡中选择的 **Digital Input**（数字输入）或 **Bidirectional**（双向）类型，则由于您无需指定输入信息而禁用此子选项卡。

- **Threshold**（阀值） – 此参数用来选择定义逻辑高电平 (1) 逻辑低电平 (0) 的阀值电平。**CMOS** 是默认值，应适用于较大数量的应用连接。其他阀值级别考虑器件与自定义接口要求的有效互联，而区别于 CMOS 的阀值。衍生于 Vddio 或 Vref 的阀值需要使用 SIO 引脚。
  - **CMOS** – 默认值
  - **LVTTL**
  - **CMOS 或 LVTTL**
  - **0.4 x Vddio** – 需要 SIO
  - **0.5 x Vddio** – 需要 SIO
  - **0.5 x Vref** – 需要 SIO
  - **Vref** – 需要 SIO
- **Hysteresis**（迟滞） – 启用或禁用引脚的 SIO 差分迟滞。如果 **Threshold**（阀值）为 **CMOS**、**LVTTL** 或 **CMOS 或 LVTTL**，则禁用此功能。迟滞控制要求您使用 SIO 引脚。GPIO 引脚始终启用迟滞。
  - Disabled – Default（禁用 – 默认）
  - Enabled（启用）

- **Interrupt** – （中断）此参数用于选择引脚是否生成中断，若选中，则生成中断类型。引脚中断可以在上升沿和/或下降沿触发。如果使用除 **None**（无）以外的任何设置，则须将该组件配置为连续性组件，因此，该组件便可以映射到单个物理端口。由于端口中的所有引脚与其中断是逻辑“或”关系，这些端口生成单个中断信号和符号终端，因此需要单个端口。
  - **None**（无）- Default（默认）
  - **Rising Edge（上升沿）**
  - **Falling Edge（下降沿）**
  - **Both Edges（上升沿和下降沿）**
- **Hot Swap**（热插拔） – 针对热插拔功能配置的引脚映射到支持硬件中此功能的 SIO 引脚。热插拔功能支持引脚上电压的上升沿高于引脚的 V_{DDIO} 电压，高达 6.0 V。此外，热插拔也不允许 6.0 V 以下任何电压下的引脚电流泄漏到 PSoC 器件，甚至在 PSoC 器件未供电时也如此。热插拔功能用于在未向通信总线（如 I^2C）供电时连接 PSoC 器件，无需短接总线或向 PSoC 器件反向供电。
  - Disabled – Default（禁用 – 默认）
  - Enabled – Requires SIO（启用 – 需要 SIO）
- **启用 Input Buffer**（输入缓冲） – 此参数用于启用或禁用引脚的数字输入缓冲。数字缓冲需要用来通过 DSI 路由或 CPU 读取的方式来读取或使用引脚上的逻辑电平。输入缓冲需要用来将引脚用作数字输入。默认情况下，模拟引脚禁用数字输入缓冲以减少引脚在低供电模式下电流泄露。如果引脚类型为 **Analog**（模拟）引脚，则默认设置为 **Disabled**（禁用）。其他所有引脚类型默认设置为 **Enabled**（启用），包括含有 **Analog**（模拟）引脚的组合。您应禁用输入缓冲以降低不必要的电流消耗，特别是在有模拟信号的情况下更应如此。
  - Enabled（启用）
  - Disabled（禁用）
- **Input Synchronized**（同步输入） – 在引脚上触发输入同步，用来同步输入 bus_clk 器件的所有信号。在受限情况下，即为获得应用性能而要求异步信号，但在不违反器件工作要求的情况下，可以选择在引脚上禁用输入同步。有关使用情况的详细信息，请参见 TRM 或器件数据手册。
  - Enabled – Default（启用 – 默认）
  - Disabled（禁用）

Output（输出）子选项卡



该 **Output**（输出）子选项卡指定输出设置。如果引脚类型不是 **Digital Output**（数字输出）或 **Bidirectional**（双向）模式，则由于无需指定输出信息而禁用此选项卡。

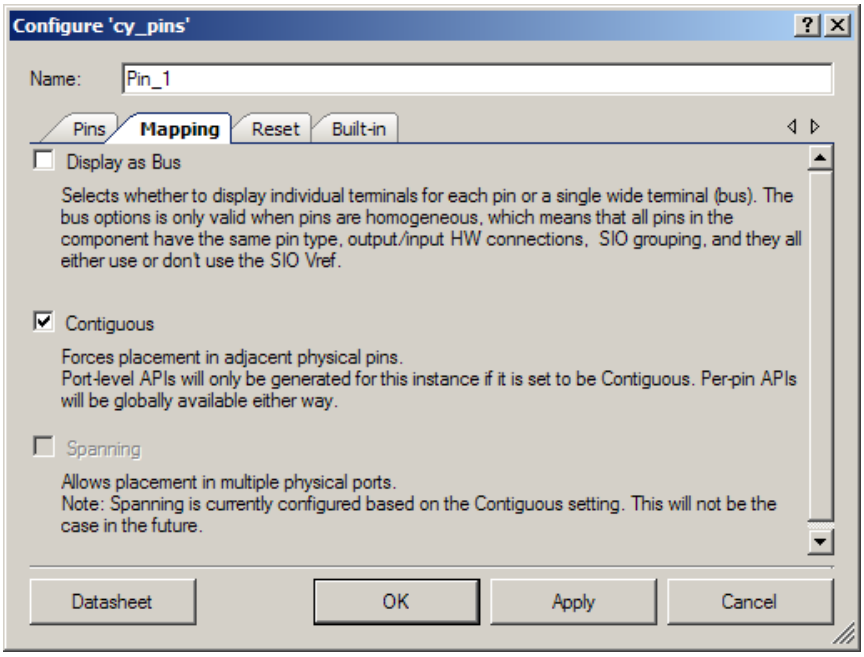
- **Slew Rate**（斜率） – 此斜率参数用于确定引脚随输出逻辑电平的变化而发生的上升和下降速率。信号切换频率到大于 1 MHz 时需要快速模式。可以选择低速模式用于信号低于 1 MHz 的，利用较低边沿速率的优点，因为这样可以降低辐射性 EMI 并防止与相邻信号耦合。
  - Fast – Default（快速 – 默认）
  - Slow（慢速）
- **Drive Level**（驱动电平） – 此参数用于选择源自引脚的输出驱动电压供应。所有引脚均可以提供各自的 V_{DDIO} 供电电压。此外，SIO 的引脚还为器件接口提供可编程或模拟路由电压，用于可能不同于 SIO V_{DDIO} 电压的接口。
  - **Vddio** – Default（默认）
  - **Vref** – 需要 SIO

  注：如果使用 3 种电阻驱动模式（**Resistive Pull Up**（上拉电阻）、**Resistive Pull Down**（下拉电阻）、**Resistive Pull Up/Down**（上拉/下拉电阻）中的任意一种，则无法将输出驱动电平设置为 **Vref**。

- **Current**（电流） – 驱动电流选择用于确定特定引脚所需的最大额定逻辑电平电流。引脚可以供应更多电流，但要遵从逻辑电平的要求，或最大值小于系统电压列出的值。有关驱动电流的更多信息，请参见器件数据手册。
  - **4mA 电源、8mA 灌电流** – Default（默认）
  - **4mA 电源、25mA 灌电流** – Requires（需要） SIO
- **Output Synchronized**（同步输出） – 输出同步用来减少高速信号（要求最低信号时滞）中引脚到引脚的信号时滞 (Skew)。输出信号同步到 bus_clk。有关使用情况的详细信息，请参见 TRM 或器件数据手册。
  - Disabled – Default（禁用 – 默认）
  - Enabled（启用）

Mapping（映射）选项卡

该 **Mapping**（映射）选项卡包含用于定义引脚组件在原理视图中如何显示及如何映射到物理引脚的参数。



显示为总线

此参数用于选择是否显示各个引脚的单个终端或单个宽终端（总线）。总线选项仅在引脚为同类时才有效。这意味着组件中的所有引脚均有相同的引脚类型、输出/输入 HW 连接和 SIO 分组。此外，这些引脚还必须全部使用或全部不使用 SIO Vref。需要大量相同引脚类型时，可以使用显示为总线选项。这样可以保存原理图空间和时间以便于配置和路由。

Contiguous（连续）

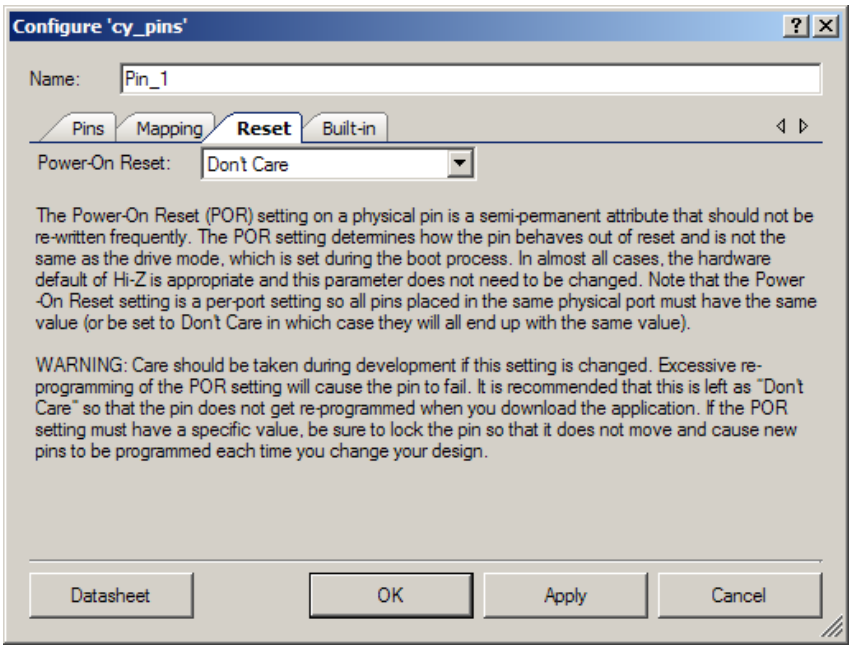
此参数用于强制在端口中放置实际相邻的引脚。根据器件数据手册，实际的引脚布局是程序包依赖关系。此选项有下列限制：

- 若连续，则为组件生成端口级别的 API。若非连续，则不生成端口级别的 API。
- 若连续，组件中的引脚数必须小于或等于 8。

Spanning（跨端口）

此参数用于在多个物理端口中实现引脚布局。目前，这由连续选项所控制，其中，连续布局意味着非跨端口，而非连续布局意味着跨端口。以后的软件版本将支持 **Spanning**（跨端口）参数的单独控制。

Reset（复位）选项卡



Power-On Reset（加电复位）

The Power-On Reset（物理引脚上的加电复位）(POR) 设置是非永久性属性，不应频繁重写。POR 设置确定引脚退出复位状态后的行为方式。它不同于驱动模式，后者是在引导过程中设置的。几乎在所有情况下，默认为 HI-Z 的硬件均是正确的，无需更改此参数。注：加电复位设置是单端口设置，因此在同一个物理端口中放置的所有引脚均有相同的值（或设置为 **Don't Care**（无需关注），在此情况下，这些引脚最终均有相同的值）。在 PSoC 5 器件中，无法指定加电复位设置。

Warning（警告）：开发期间，请小心更改此设置。对 POR 设置过多的重新编程会导致引脚失败。有关 NVL 写入周期最大数的详细信息，请参见器件数据手册。最好的方法是保留此设置为 **Don't**

Care（无需关注），这样，下载应用程序时，无需重新编程引脚。如果加电复位 (POR) 设置具有特定值，请确保锁定引脚，这样，每次更改设计时，无需移动该引脚，从而不会产生需要编程的新引脚。

- **Don't Care**（无需关注）– Default（默认）。保留设置为 **Don't Care**（无需关注），通过放置此组件的物理端口来确定加电复位 (POR) 设置。如果在端口上放置的所有引脚均设置为 **Don't Care**（无需关注），则该端口默认使用加电复位 (POR) 设置。否则，无论是否对该物理端口中放置的其他引脚指定 POR（它们必须全部匹配），每个引脚都使用 **Don't Care**（无需关注）设置。
- **高阻模拟**
- **上拉**
- **下拉**

资源

每一个引脚组件消耗 **Number of Pins**（引脚数）参数每个位的一个物理引脚。

模拟模块	数字模块					API 存储器（字节）		引脚（每个外部 I/O）
	数据路径	宏单元	状态寄存器	控制寄存器	计数器 7	闪存	内存	
不可用	不可用	不可用	不可用	不可用	不可用	110	0	不可用

应用程序编程接口

应用程序编程接口 (API) 子程序允许您使用软件配置和使用组件。引脚组件在单引脚和组件范围基础上启用访问功能。

单引脚 API

通过使用 *cypins.h* 生成文件（位于 cy_boot 目录中）中定义的全局 API，可以访问组件中的单个引脚。这些 API 记录在*《系统参考指南》*（Help（帮助）> Documentation（文档））中，并包含：

- CyPins_ReadPin()
- CyPins_SetPin()
- CyPins_ClearPin()
- CyPins_SetPinDriveMode()

- CyPins_ReadPinDriveMode()

这些 API 可以与物理引脚寄存器名称或组件引脚别名一起使用。不建议直接从软件中访问物理引脚，因为通过工具分配到其他函数的相同引脚未实施预防措施。即使只从软件访问引脚，但是，赛普拉斯强烈建议使用引脚组件。通过上述 API 生成组件别名，使用该别名安全访问单个引脚，而不会有性能或存储器损失。

要使用上述 API，该组件会生成 *CyPins_aliases.h* 文件中引脚寄存器的别名。默认情况下，该别名是组件名称，其后缀是引脚数：

CyPins_x - x 是组件中的引脚（基数为 0）

如果在 Pins configuration（引脚配置）对话框中提供别名，则可以创建其他 #define，格式如下：

CyPins_<AliasName>

组件 API

这些 API 使用简单函数调用，就可以访问组件中的所有引脚。只有在所有引脚均放置在器件上单个物理端口中时，才能有效实施组件范围的 API。只有组件配置为连续组件时，才能生成这些 API。非连续性引脚组件只允许访问单个引脚，如上所述。

默认情况下，PSoC Creator 将实例名称“Pin_1”分配给指定设计中引脚组件的第一个实例。您可以将其重命名为遵循标识符语法规则的任何唯一值。实例名称会成为每个全局函数名称、变量和常量符号的前缀。出于可读性考虑，下表中使用的实例名称为 Pin（引脚）。

在 PSoC 3 ES2 和 PSoC 5 上，引脚 P15[7:6] 不用于软件控制。

下表列出每个函数的接口，并进行了说明。以下各节将更详细地介绍每个函数。

函数	说明
Pin_Read()	读取物理端口，并返回组件中所有引脚的当前值
Pin_Write()	将值写入组件引脚，同时保护物理端口（假设由多个引脚组件共享）中的其他引脚
Pin_ReadDataReg()	读取端口数据输出寄存器的当前值，然后返回组件中所有引脚的当前值
Pin_SetDriveMode()	为引脚组件的各个引脚设置驱动模式
Pin_ClearInterrupt()	清除映射组件的端口上的任何活动中断。返回中断状态寄存器的值

uint8 Pin_Read (void)

Description:（说明）： 读取相关物理端口（引脚状态寄存器）和根据组件实例的宽度和位部位掩摸所需位。引脚的状态寄存器返回物理引脚上的当前逻辑电平。

Parameters:（参数）： None（无）

Return Value:（返回值）： 组件中引脚的当前值是右对齐数字。

Side Effects:（副作用）： None（无）

void Pin_Write (uint8 value)

Description:（说明）： 将值写入物理端口（数据输出寄存器），适当掩码和移动各位。数据输出寄存器与驱动模式参数相互关联来控制物理引脚上的信号。此函数通过使用适当方法避免更改端口上的其他位（读取-修改-写入或位段）。

Parameters:（参数）： uint8 value：写入组件实例中的值。

Return Value:（返回值）： None（无）

Side Effects:（副作用）： 如果使用读取-修改-写入操作（非原子操作）；中断服务子程序 (ISR) 可能导致此 API 损坏。中断此 API 并向引脚组件数据寄存器执行写入的 ISR 可能导致端口数据损坏。为避免此问题发生，应使用单引脚 API（主要方法）或禁用此 API 相关的中断。

uint8 Pin_ReadDataReg (void)

Description:（说明）： 读取相关物理端口的数据输出寄存器并根据组件实例的宽度和位部位掩码正确位。数据输出寄存器与驱动模式参数相互关联来控制物理引脚上的信号。这不同于首选的 Pin_Read() API，因为 Pin_ReadDataReg() 用于读取数据寄存器，而非状态寄存器。对于输出引脚而言，可以使用 API 来确定该引脚即时写入的值。

Parameters:（参数）： None（无）

Return Value:（返回值）： 掩码并移动至组件实例右对齐数字的数据寄存器的当前值。

Side Effects:（副作用）： None（无）

void Pin_SetDriveMode (uint8 mode)

Description:（说明）： 为引脚组件的各个引脚设置驱动模式。

Parameters:（参数）： uint8 mode：所选信号的模式。定义的合法选项：

Pin_1_DM_STRONG	Strong Drive（强驱动）
Pin_1_DM_OD_HI	Open Drain, Drives High（开漏驱动高）
Pin_1_DM_OD_LO	Open Drain, Drives Low（开漏驱动低）
Pin_1_DM_RES_UP	Resistive Pull Up（电阻上拉）
Pin_1_DM_RES_DWN	Resistive Pull Down（电阻下拉）
Pin_1_DM_RES_UPDWN	Resistive Pull Up/Down（电阻上拉/下拉）
Pin_1_DM_DIG_HIZ	High Impedance Digital（高阻抗数字）
Pin_1_DM_ALG_HIZ	High Impedance Analog（高阻抗模拟）

Return Value:（返回值）： None（无）

Side Effects:（副作用）： 如果使用读取-修改-写入操作（非原子操作），中断服务子程序 (ISR) 可能导致此 API 损坏。中断此 API 并向引脚组件驱动模式寄存器执行写入的 ISR 可能导致端口数据损坏。为避免此问题发生，应使用单引脚 API（主要方法）或禁用此 API 相关的中断。

uint8 Pin_ClearInterrupt (void)

Description:（说明）： 清除与组件连接的所有活动中断，然后返回中断状态寄存器的值，并允许确定哪个引脚生成了中断事件。

Parameters:（参数）： None（无）

Return Value:（返回值）： uint8：中断状态寄存器当前值右移。每个引脚设置一个位，假设该引脚生成一个中断事件。例如，在引脚组件中，位 0 用于引脚 0，位 1 用于引脚 1。

Side Effects:（副作用）： 全部清除 物理端口中断状态寄存器的各个位，不仅仅是那些与引脚组件相关的位。

Sample Firmware Source Code（固件源代码示例）

PSoC Creator 在 Find Example Project（查找示例项目）对话框中提供了大量包括原理图和示例代码的示例项目。要获取组件特定的示例，请打开组件目录中的对话框或原理图中的组件实例。要获取通用的示例，请打开开始页或 **File**（文件）菜单中的对话框。根据需要，使用对话框中的 **Filter Options**（筛选选项）可缩小可选项目的列表。

有关更多信息，请参考 PSoC Creator 帮助中的 Find Example Project（查找示例项目）主题。

DC and AC Electrical Characteristics（直流和交流电气特性）

下面的值表示预计性能，并基于初始特性数据。

注：对于某些条件下的 PSoC 5 芯片，SIO 引脚可能导致高达 1 mA 的额外电流来自相关的 V_{DDIO} 引脚。如果 SIO 引脚的电压超出 V_{DDIO} 供电电压达 0.5 V，则设置触发条件。完成设置触发条件后，当电压介于 V_{SSD} + 0.5 V 和 V_{DDIO} – 0.5 V 之间时，SIO 引脚将导致电流升高。当 SIO 电压在 V_{SSD} - V_{SSD} + 0.5 V 范围以内时，则复位触发条件。器件上电期间，由于供电斜坡的影响，触发条件可能偶然得到满足。

引脚 DC 规范

参数	说明	条件	Min（最小值）	Typ（典型值）	Max（最大值）	Units（单位）
V_{INMAX}	最大输入电压	V_{DDIO} 和 V_{DDD} 的所有容许值	–	–	5.5	V
V_{INREF}	输入电压参考（差分输入模式）		0.5	–	0.52 • V_{DDIO}	V
V_{OUTREF}	输出电压参考（稳压输出模式）					
		V_{DDIO} > 3.7	1	–	V_{DDIO} – 1	V
		V_{DDIO} < 3.7	1	–	V_{DDIO} – 0.5	V
V_{IH}	输入电压上限阈值					
	GPIO 模式	CMOS 输入	0.7 • V_{DDIO}	–	–	V
	差分输入模式	禁用迟滞	SIO_ref + 0.2	–	–	V
V_{IL}	输入电压下限阈值					
	GPIO 模式	CMOS 输入	–	–	0.3 • V_{DDIO}	V
	差分输入模式	禁用迟滞	–	–	SIO_ref – 0.2	V
V_{OH}	输出电压高电平					
	非稳压模式	I_{OH} = 4 mA、V_{DDIO} = 3.3 V	V_{DDIO} – 0.4	–	–	V
	稳压模式	I_{OH} = 1 mA	SIO_ref – 0.65	–	SIO_ref + 0.2	V
	稳压模式	I_{OH} = 0.1 mA	SIO_ref – 0.3	–	SIO_ref + 0.2	V

参数	说明	条件	Min（最小值）	Typ（典型值）	Max（最大值）	Units（单位）
V_{OL}	输出电压低电平					
		V_{DDIO} = 3.30 V、I_{OL} = 25 mA	–	–	0.8	V
		V_{DDIO} = 1.80 V、I_{OL} = 4 mA	–	–	0.4	V
R_{PULLUP}	上拉电阻		3.5	5.6	8.5	k・
$R_{PULLDOWN}$	下拉电阻		3.5	5.6	8.5	k・
I_{IL}	输入漏电流（绝对值）[1]					
	$V_{IH} \leqslant V_{DDSIO}$	25 ° C, V_{DDSIO} = 3.0 V、V_{IH} = 3.0 V	–	–	14	nA
	$V_{IH} > V_{DDSIO}$	25 ° C, V_{DDSIO} = 0 V、V_{IH} = 3.0 V	–	–	10	µA
C_{IN}	Input Capacitance [1]		–	–	7	pF
V_H	输入电压迟滞 Schmitt-Trigger（施密特触发器）[1]	单端模式（GPIO 模式）	–	40	–	mV
		差分模式	–	35	–	mV
I_{DIODE}	通过保护二极管连到 V_{SSIO} 的电流		–	–	100	µA

引脚交流规范

参数	说明	条件	Min（最小值）	Typ（典型值）	Max（最大值）	Units（单位）
TriseF	快速强驱动模式下的上升时间 (90/10%)[1]	Cload = 25 pF, V_{DDIO} = 3.3 V	–	–	12	ns
TfallF	快速强驱动模式下的下降时间 (90/10%)[1]	Cload = 25 pF, V_{DDIO} = 3.3 V	–	–	12	ns
TriseS	低速强驱动模式下的上升时间 (90/10%)[1]	Cload = 25 pF, V_{DDIO} = 3.0 V	–	–	75	ns
TfallS	低速强驱动模式下的下降时间 (90/10%)[1]	Cload = 25 pF, V_{DDIO} = 3.0 V	–	–	60	ns

[1] 基于器件特性（未经过生产测试）。

参数	说明	条件	Min（最小值）	Typ（典型值）	Max（最大值）	Units（单位）
Fsioout	SIO 输出工作频率					
	3.3 V < V_{DDIO} < 5.5 V, 非稳压输出 (GPIO) 模式，快速强驱动模式	90/10% V_{DDIO}，25 pF	–	–	33	MHz
	1.71 V < V_{DDIO} < 3.3 V，非稳压输出 (GPIO) 模式，快速强驱动模式	90/10% V_{DDIO}，25 pF	–	–	16	MHz
	3.3 V < V_{DDIO} < 5.5 V，非稳压输出 (GPIO) 模式，低速强驱动模式	90/10% V_{DDIO}，25 pF	–	–	5	MHz
	1.71 V < V_{DDIO} < 3.3 V，非稳压输出 (GPIO) 模式，低速强驱动模式	90/10% V_{DDIO}，25 pF	–	–	4	MHz
	3.3 V < V_{DDIO} < 5.5 V，稳压输出模式，快速强驱动模式	在 25pF 负载时连续开关输出	–	–	20	MHz
	1.71 V < V_{DDIO} < 3.3 V，稳压输出模式，快速强驱动模式	在 25pF 负载时连续开关输出	–	–	10	MHz
	1.71 V < V_{DDIO} < 5.5 V，稳压输出模式，低速强驱动模式	在 25pF 负载时连续开关输出	–	–	2.5	MHz
Fsioin	SIO 输入工作频率					
	1.71 V < V_{DDIO} < 5.5 V	90/10% V_{DDIO}	–	–	66	MHz

Component Changes（组件更改）

本节介绍组件与以前版本相比的主要更改。

Version（版本）	Description of Changes（更改说明）	Reason for Changes / Impact（更改/影响原因）
1.60.a	对数据手册行了少量编辑和更新	
1.60	补充了注释终端功能	允许引脚连接到注释组件。
	在数据手册中补充了有关 PSoC 5 加电复位的注解	Clarification（澄清）
	在数据表中补充了有关 PSoC 3 ES2 和 PSoC 5 上 P15[7:6] API 的可用性	Clarification（澄清）

Version（版本）	Description of Changes（更改说明）	Reason for Changes / Impact（更改/影响原因）
1.50.a	摘要已经对每 4 个引脚宏进行了更改。	提高可读性
	向数据手册中添加了特性数据	
	优化了数据表手册的中断信息	
	在数据手册中补充了有关 Vref 驱动电平的注解	
	对数据手册进行了少量编辑和更新	
1.50	向 API 中添加了 Keil 功能重入支持。	添加此功能，以便使客户能够指定各个生成函数可重入。
	在 Configure（配置）对话框的 Reset（复位）选项卡中补充了语句，澄清加电复位适用于整个物理端口。	Clarification（澄清）。
1.20	“显示为总线”此时给出检查错误，并且引脚组件不同类。同类检查已经得到扩展，以包含 HW 连接设置。 由于‘显示为总线’检查错误及未选中某些 HW 连接，因而需要对早期版本和新版本进行适当更改。	

© 赛普拉斯半导体公司，2012。此处所包含的信息可能会随时更改，恕不另行通知。除赛普拉斯产品的内嵌电路之外，赛普拉斯半导体公司不对任何其他电路的使用承担任何责任。也不根据专利或其他权利以明示或暗示的方式授予任何许可。除非与赛普拉斯签订明确的书面协议，否则赛普拉斯产品不保证能够用于或适用于医疗、生命支持、救生、关键控制或安全应用领域。此外，对于可能发生运转异常和故障并对用户造成严重伤害的生命支持系统，赛普拉斯不授权将其产品用作此类系统的关键组件。若将赛普拉斯产品用于生命支持系统中，则表示制造商将承担因此类使用而招致的所有风险，并确保赛普拉斯免于因此而受到任何指控。

PSoC® 是赛普拉斯半导体公司的注册商标，PSoC Creator™ 和 Programmable System-on-Chip™ 是赛普拉斯半导体公司的商标。此处引用的所有其他商标或注册商标归其各自所有者所有。

所有源代码（软件和/或固件）均归赛普拉斯半导体公司（赛普拉斯）所有，并受全球专利法规（美国和美国以外的专利法规）、美国版权法以及国际条约规定的保护和约束。赛普拉斯据此向获许可者授予适用于个人的、非独占性、不可转让的许可，用以复制、使用、修改、创建赛普拉斯源代码的派生作品、编译赛普拉斯源代码和派生作品，并且其目的只能是创建自定义软件和/或固件，以支持获许可者仅将其获得的产品依照适用协议规定的方式与赛普拉斯集成电路配合使用。除上述指定的用途之外，未经赛普拉斯的明确书面许可，不得对此类源代码进行任何复制、修改、转换、编译或演示。

免责声明：赛普拉斯不针对此材料提供任何类型的明示或暗示保证，包括（但不仅限于）针对特定用途的适销性和适用性的暗示保证。赛普拉斯保留在不做出通知的情况下对此处所述材料进行更改的权利。赛普拉斯不对此处所述之任何产品或电路的应用或使用承担任何责任。对于可能发生运转异常和故障并对用户造成严重伤害的生命支持系统，赛普拉斯不授权将其产品用作此类系统的关键组件。若将赛普拉斯产品用于生命支持系统中，则表示制造商将承担因此类使用而招致的所有风险，并确保赛普拉斯免于因此而受到任何指控。

从赛普拉斯或其获得分许可的其中一个联营公司处购买 I^2C 组件，即可根据 Philips I^2C 专利权获得一份许可，以便在 I^2C 系统中使用这些组件，但前提是该系统符合 Philips 定义的 I^2C 标准规范。

产品使用可能受适用的赛普拉斯软件许可协议限制。