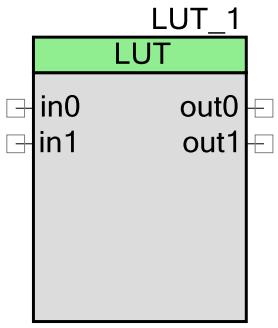
ルックアップ テーブル (LUT)

1.50

特長



- 1～5 つの入力
- 1～8 つの出力
- 設定ツール
- レジスタ出力を設定可能

概要

ルックアップ テーブル(LUT)コンポーネントは、5 つまでの入力と 8 つまでの出力で、論理演算を実行するためにセットアップできます。これは、UDB PLD で実現される論理式を生成することで行われます。オプションでレジスタ出力ができます。これらのレジスタは PLD マクロセルに実装されています。マクロセルのフリップフロップは、電源投入時とデバイスをリセットした後に 0 の値に初期化されます。

デジタル LUT の用途

組み合わせ論理回路が必要な場合、LUT を使用してください。LUT を使用すると、特定のゲート レベルの組み合わせロジックを生成する必要なく、入力と出力の関係を簡単に指定できるようになります。レジスタ出力モードを使用すると、シーケンシャルロジックの生成が可能になります。レジスタ出力の一部を LUT 入力に戻すことで、ステートマシンを作成することもできます。

入出力の接続

このセクションでは、LUT のさまざまな入出力接続について説明します。I/O 項目のアスタリスク (*) は、説明に挙げられた条件において、その I/O が回路シンボルに表示されない場合があることを示します。

in0～in4 – 入力

このコンポーネントには、少なくとも 1 つの入力が必要です。最高 4 つの入力を追加することができます。

clock – 入力 *

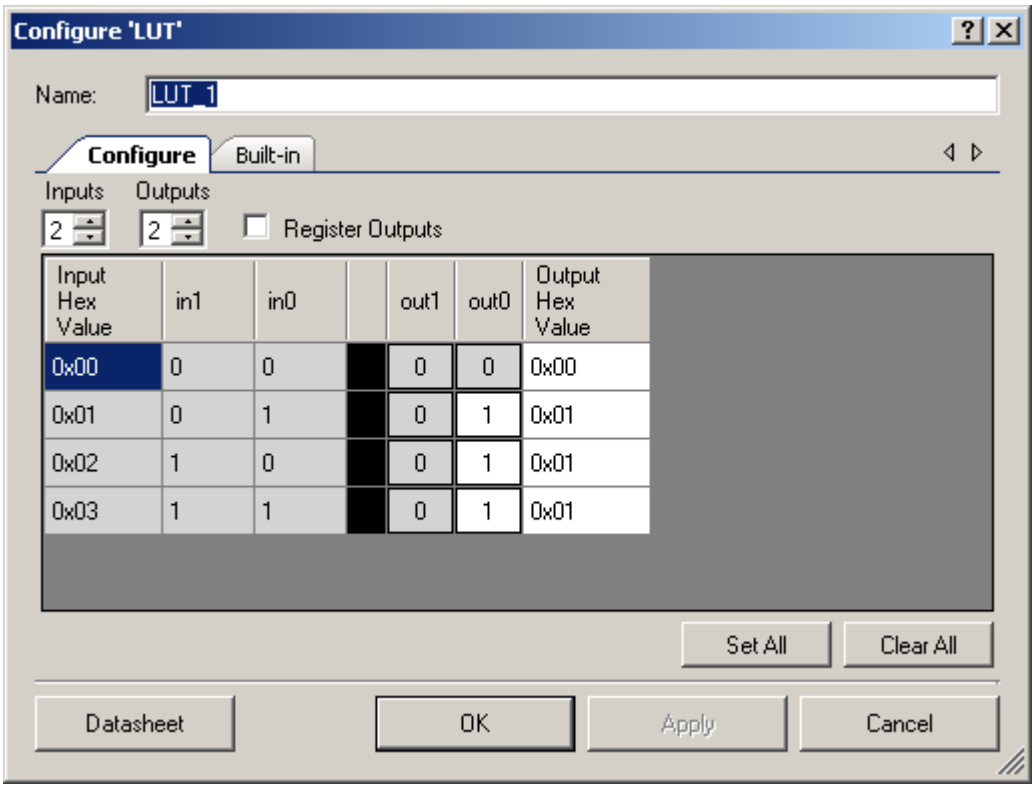
Register Outputs オプションを選択して、クロック入力をイネーブルにします。

out0～out7 – 出力

このコンポーネントには、少なくとも 1 つの出力が必要です。最高 7 つの出力を追加することができます。

コンポーネント パラメータ

LUT コンポーネントを回路図上にドラッグし、ダブルクリックして **Configure** ダイアログを開きます。



LUT は、以下のパラメータを提供します。

ハードウェア構成オプション

LUT は、入力の組み合わせそれぞれに対して出力を設定します。さらに、入力クロックの立ち上がりエッジで、出力データをレジスタから出力させる設定も可能です。

ソフトウェア構成オプション

LUT は、ハードウェアのみのブロックであるため、ソフトウェア構成オプションはありません。

初期設定

最初にインスタンス化されるとき、LUT は 2 入力と 2 出力で初期設定されます。**Register Outputs** オプションは選択されていません。

クロックの選択

LUT のクロック入力は、**Register Outputs** オプションが選択されている場合にのみ利用できます。すべての出力は、このクロックの立ち上がりエッジで出力されます。システムのどのクロックを選択しても構いません。しかしいずれかの出力が I/O に向かう場合で、LUT が 33 MHz を超える速度で動作する場合は (最速の I/O 動作速度)、正しく動作しません。

配置

LUT は、0 またはそれ以上のマクロセルに実装されます。他の各ピースがタイミング要件を満たし最も適合した配置にビルドされるまで、その配置は不定です。レジスタ出力でクロックを使用しない場合は、マクロセルを UDB アレイのどこにでも配置できます。

リソース

Resolution	デジタルブロック					API メモリ(バイト)		ピン(外部入出力ごと)
	データパス	マクロセル	ステータスレジスタ	コントロールレジスタ	Counter7	フラッシュ	RAM	
出力数 N	0	N *	0	0	0	0	0	0

* ビルドは一本の出力に対してこれを最適化し、より少ないマクロセル、p-Terms、配線を使用するため、同じ式となる出力はないものと想定します。

アプリケーション プログラミング インタフェース

LUT はハードウェアのみの構成であるため、API インターフェースはありません。

コンポーネントの変更

ここでは、過去のバージョンからコンポーネントに加えられた主な変更を示します。

バージョン	変更の説明	変更の理由 / 影響
1.50.b	データシートのマイナーな編集と更新	

1.50.a	データシートのマイナーな編集と更新	
1.50	[Configure] (設定) ダイアログが更新されました。	[Configure] (設定) タブのみを使用できるよう、[Expression View] がディスエーブルになりました。

Copyright © 2005-2012 Cypress Semiconductor Corporation 本文書に記載される情報は、予告なく変更される場合があります。Cypress Semiconductor Corporationは、サイプレス製品に組み込まれた回路以外のいかなる回路を使用することに対しても一切の責任を負いません。特許又はその他の権限下で、ライセンスを譲渡又は暗示することもありません。サイプレス製品は、サイプレスとの書面による合意に基づくものでない限り、医療、生命維持、救命、重要な管理、又は安全の用途のために仕様することを保証するものではなく、また使用することを意図したものでもありません。さらにサイプレスは、誤動作や故障によって使用者に重大な傷害をもたらすことを合理的に予想される、生命維持システムの重要なコンポーネンツとしてサイプレス製品を使用することを許可していません。生命維持システムの用途にサイプレス製品を供することは、製造者がそのような使用におけるあらゆるリスクを負うことを意味し、その結果サイプレスはあらゆる責任を免除されることを意味します。

PSoC Designer™及びProgrammable System-on-Chip™は、Cypress Semiconductor Corp.の商標、PSoC®は同社の登録商標です。本文書で言及するその他全ての商標又は登録商標は各社の所有物です。

全てのソースコード(ソフトウェア及び/又はファームウェア)はCypress Semiconductor Corporation (以下「サイプレス」)が所有し、全世界(米国及びその他の国)の特許権保護、米国の著作権法並びに国際協定の条項により保護され、かつそれらに従います。サイプレスが本書面によるライセンシーに付与するライセンスは、個人的、非独占的かつ譲渡不能のライセンスであって、適用される契約で指定されたサイプレスの集積回路と併用されるライセンシーの製品のみをサポートするカスタムソフトウェア及び/又はカスタムファームウェアを作成する目的に限って、サイプレスのソースコードの派生著作物を複製、使用、変更、そして作成するためのライセンス、並びにサイプレスのソースコード及び派生著作物をコンパイルするためのライセンスです。上記で指定された場合を除き、サイプレスの書面による明示的な許可なくして本ソースコードを複製、変更、変換、コンパイル、又は表示することは全て禁止されます。

免責条項:サイプレスは、明示的又は黙示的を問わず、本資料に関するいかなる種類の保証も行いません。これには、商品性又は特定目的への適合性の黙示的な保証が含まれますが、これに限定されません。サイプレスは、本文書に記載される資料に対して今後予告なく変更を加える権利を留保します。サイプレスは、本文書に記載されるいかなる製品又は回路を適用又は使用したことによって生ずるいかなる責任も負いません。サイプレスは、誤動作や故障によって使用者に重大な傷害をもたらすことが合理的に予想される生命維持システムの重要なコンポーネンツとしてサイプレス製品を使用することを許可していません。生命維持システムの用途にサイプレス製品を供することは、製造者がそのような使用におけるあらゆるリスクを負うことを意味し、その結果サイプレスはあらゆる責任を免除されることを意味します。

ソフトウェアの使用は、適用されるサイプレスソフトウェアライセンス契約によって制限され、かつ制約される場合があります。