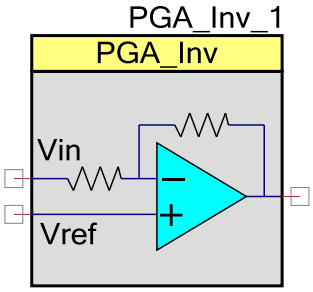
反転プログラマブルゲインアンプ(PGA_Inv)

1.70

特長



- -1 から -49 倍までの段階的利得設定
- 高入力インピーダンス
- 調整可能なパワー設定

概要

反転プログラマブルゲインアンプ(PGA_Inv)コンポーネントは、ユーザプログラマブルな利得設定でオペアンプベースの反転アンプを実装します。スイッチトキャパシタ／連続時間(SC/CT)ブロックから得られます。

反転利得は-1.0 倍 (0dB) から-49.0 倍 (+33.8dB) の間で設定可能です。利得は Configure ダイアログで選択するか、API を使用して動作中に変更できます。最大帯域幅はオペアンプの利得帯域幅により制限され、利得の増加とともに減少します。PGA_Inv の入力はレールツーレールから動作しますが、最大入力スイング (Vin と Vref の差) は V_{DDA}/利得に制限されます。PGA_Inv は A 級出力で、十分な高負荷抵抗のレールツーレールです。

PGA_Inv は、入力信号に十分な振幅がない場合で、所望の出力極性が入力と逆の場合に使用されます。PGA_Inv をコンパレータ、ADC、ミキサに配置して信号を増幅することができます。別のゲインステージまたはバッファの後に、-1 倍の利得を持つ PGA_Inv を接続して、差動出力を得ることができます。

入出力の接続

このセクションでは、PGA_Inv のさまざまな入出力接続について説明します。I/O 項目のアスタリスク (*) はその I/O が、説明に挙げられた条件において、回路シンボルに表示されない場合があることを示します。

Vin – アナログ

Vin は入力信号端子です。

Vref – アナログ

Vref は基準信号の入力端子です。基準入力は高インピーダンスです。固定リファレンス電圧 (例: V_{DDA}/2)、VDAC 出力に接続するか、ピンに配線することができます。

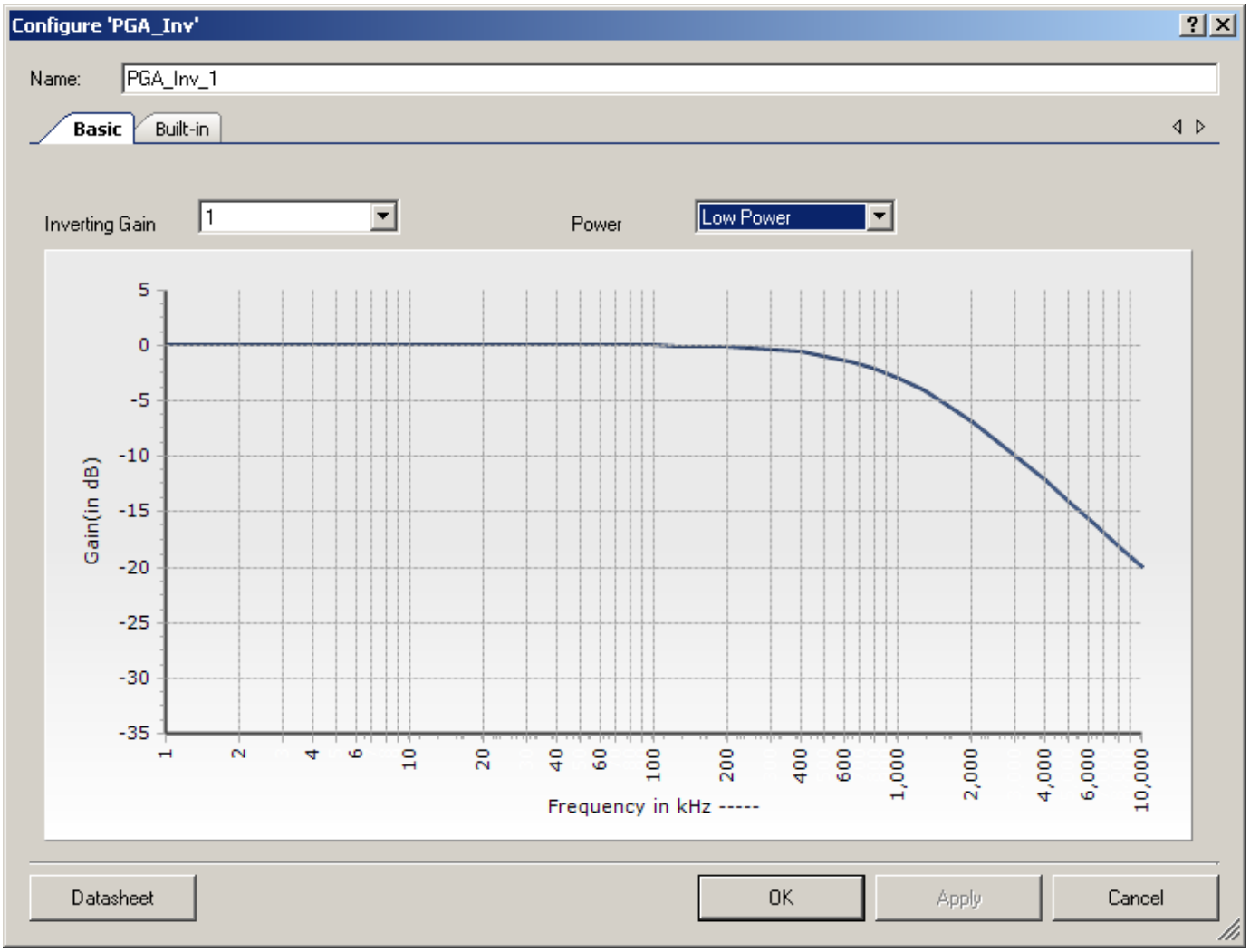
Vout – アナログ

Vout は出力電圧信号端子です。Vout は (Vin – Vref) と利得の積の関数です。

Vout = Vref + (Vin – Vref) × 利得　　ここの利得は負の値になります

コンポーネントパラメータ

PGA_Inv コンポーネントを回路図の上にドラッグし、ダブルクリックして **Configure** ダイアログを開きます。



Inverting_Gain

このパラメータは、アンプ利得の初期値を設定するのに使用します。選択可能な反転利得は以下の通りです。
–1 (初期値)、–3、–7、–15、–22、–24、–31、–47、 –49

Power

PGA_Inv 駆動パワーの初期値を設定します。**Power** 設定によって PGA_Inv が入力信号の変化に応答する速度が決まります。以下のように 4 つのパワー設定があります。**Minimum Power**、**Low Power** (初期設定)、**Medium Power**、**High Power Low Power** 設定にすると応答時間が最も遅くなり、**High Power** にすると応答時間が最も速くなります。**Power** 設定は PGA_Inv_SetPower() API を使用して動作中に設定することができます。

リソース

PGA_Inv は SC/CT ブロックを使用します。このブロックの詳細については、該当するデバイスデータシートおよびテクニカルリファレンスマニュアル(TRM)を参照してください。これらの文書はサイプレスのウェブサイトからご入手いただけます。

	デジタルブロック					API メモリ(バイト)		
アナログブロック	データパス	マクロセル	ステータスレジスタ	コントロールレジスタ	Counter7	フラッシュ	RAM	ピン(外部入出力当たり)
1 SC/CT 固定ブロック	該当せず	該当せず	該当せず	該当せず	該当せず	356	20	3

アプリケーションプログラミングインタフェース

アプリケーションプログラミングインターフェース (API) ルーチンにより、ソフトウェアを使用してコンポーネントを設定できます。次の表は、各関数へのインターフェースとその説明を示しています。続くセクションでは、各関数について詳しく説明します。

初期設定では、PSoC Creator は、ユーザの回路図に最初に配置されたコンポーネントのインスタンス名として"PGA_Inv_1"を割り当てます。インスタンスの名称は、識別子の文法ルールに従って固有の名前に変更できます。インスタンス名は、すべてのグローバル関数名、変数名、定数名の接頭辞になります。便宜上、次の表では"PGA_Inv"というインスタンス名を使用します。

関数	機能
PGA_Inv_Start()	PGA_Inv を開始します。
PGA_Inv_Stop()	PGA_Inv の電源を切ります。
PGA_Inv_SetGain()	利得をあらかじめ定義された定数に設定します。
PGA_Inv_SetPower()	駆動パワーを4つの設定のうちの1つに設定します。
PGA_Inv_Sleep()	動作を停止し、ユーザ設定を保存します。
PGA_Inv_Wakeup()	ユーザ設定を復元し、有効にします。

関数	機能
PGA_Inv_Init()	初期化、もしくは初期設定の PGA_Inv 設定を復元します。
PGA_Inv_Enable()	PGA_Inv を有効にします。
PGA_Inv_SaveConfig()	空の関数。将来使用するために予約されています。
PGA_Inv_RestoreConfig()	空の関数。将来使用するために予約されています。

グローバル変数

変数	説明
PGA_Inv_initVar	PGA_Inv コンポーネントの初期化が済んでいるかを示します。変数は、0 に初期化され、最初に PGA_Inv_Start() が呼び出されると 1 にセットされます。これにより、PGA_Inv_Start() ルーチンを最初に呼び出した後で、再初期化を行うことなく、コンポーネントを再起動できます。 コンポーネントの再初期化が必要な場合、PGA_Inv_Init() 関数を PGA_Inv_Start() 関数または PGA_Inv_Enable() 関数の前に呼び出します。

void PGA_Inv_Inv_Start(void)

説明: PGA_Inv をオンにして、パワーレベルを設定します。

パラメータ: なし

返り値: なし

注意事項: なし

void PGA_Inv_Stop(void)

説明: PGA_Inv をオフにし、最低パワーの状態にします。

注 PSoC 3 ES2 および PSoC 5 シリコンでこの API を使用することは推奨されません。これらのデバイスは、電源が切れている場合、アナログリソースへの接続が不安定になる欠陥があります。不安定な状態とは、そのリソースを使用しているコンポーネントが停止した際に、サイレントな欠陥 (例:アナログコンポーネントの予期しない動作不良) という形で現れます。このシリコンを使用する場合、設計に含まれる全てのアナログコンポーネントは(例えば PGA_Inv_Start() など、それぞれの _Start() API を呼び出して)常に電源が入っている必要があります 。PGA_Inv_Stop() API は呼び出さないでください。

パラメータ: なし

返り値: なし

注意事項: なし パワーまたは利得設定には影響しません。

void PGA_Inv_SetGain(uint8 gain)

説明: アンプの利得を –1倍から –49倍の間に設定します。下の表は有効な利得の設定値を示します。

パラメータ: uint8 gain: 利得を特定の値に設定します。有効な利得の設定値は下の表を参照してください。

パラメータ	利得
PGA_Inv_GAIN_01	Gain = –1
PGA_Inv_GAIN_03	Gain = –3
PGA_Inv_GAIN_07	Gain = –7
PGA_Inv_GAIN_15	Gain = –15
PGA_Inv_GAIN_22	Gain = –22
PGA_Inv_GAIN_24	Gain = –24
PGA_Inv_GAIN_31	Gain = –31
PGA_Inv_GAIN_47	Gain = –47
PGA_Inv_GAIN_49	Gain = –49

返り値: なし

注意事項: なし

void PGA_Inv_SetPower(uint8 power)

説明: 駆動パワーを最小、低、中、高の4つの設定のうち1つに設定します。

パラメータ: uint8 power: パワーレベルを低、中、高のうち1つに設定します。

パラメータ	パワー設定
PGA_Inv_MINPOWER	最小パワーで最も遅い応答時間
PGA_Inv_LOWPOWER	低パワーで低速
PGA_Inv_MEDPOWER	中パワーで中速
PGA_Inv_HIGHPOWER	最大パワーで最も速い応答時間

返り値: なし

注意事項: なし

void PGA_Inv_Sleep(void)

説明: これは、コンポーネントのスリープを準備するのに推奨されるルーチンです。PGA_Inv_Sleep() 関数は、現在のコンポーネントの状態を保存します。次に、PGA_Inv_Stop() 関数、さらに PGA_Inv_SaveConfig() 関数を呼び出して、ハードウェアの設定を保存します。

CyPmSleep() または CyPmHibernate() 関数を呼び出す前に、PGA_Inv_Sleep() 関数を呼び出します。電源管理関数については、PSoC Creator *System Reference Guide* を参照してください。

パラメータ: なし

返り値: なし

注意事項: なし

void PGA_Inv_Wakeup(void)

説明: これは、コンポーネントを PGA_Inv_Sleep() が呼び出された時の状態に復元するための、推奨されるルーチンです。PGA_Inv_Wakeup() 関数は、設定を復元するために PGA_Inv_RestoreConfig() 関数を呼び出します。PGA_Inv_Sleep() 関数が呼び出される前にコンポーネントが有効であった場合、PGA_Inv_Wakeup() 関数もコンポーネントを再度有効にします。

パラメータ: なし

返り値: なし

注意事項: あらかじめ PGA_Inv_Sleep() または PGA_Inv_SaveConfig() 関数を呼び出すことなく PGA_Inv_Wakeup() 関数を呼び出すと、予期しない動作をする可能性があります。

void PGA_Inv_Init(void)

説明: Configure ダイアログの設定に従って、コンポーネントを初期化または復元します。PGA_Inv_Start() ルーチンが PGA_Inv_Init() 関数を呼び出し、これがコンポーネントの動作を開始する好ましい方法であるため、PGA_Inv_Init() を呼び出す必要はありません。

パラメータ: なし

返り値: なし

注意事項: 全レジスタは、Configure ダイアログの設定に従って、値が設定されます。

void PGA_Inv_Enable(void)

説明: ハードウェアの使用を開始し、コンポーネントの動作を開始します。PGA_Inv_Start() ルーチンが PGA_Inv_Enable() 関数を呼び出し、これがコンポーネントの動作を開始する好ましい方法であるため、PGA_Inv_Enable() を呼び出す必要はありません。

パラメータ: なし

返り値: なし

注意事項: なし

void PGA_Inv_SaveConfig(void)

説明: 空の関数。将来使用するために予約されています。

パラメータ: なし

返り値: なし

注意事項: なし

void PGA_Inv_RestoreConfig(void)

説明: 空の関数。将来使用するために予約されています。

パラメータ: なし

返り値: なし

注意事項: なし

ファームウェアソースコードのサンプル

PSoC Creator は、Find Example Project ダイアログに、回路図およびサンプルコードを含む多くのサンプルプロジェクトを提供しています。コンポーネント特有のサンプルを見るには、Component Catalog または回路図に置いたコンポーネントインスタンスからダイアログを開きます。一般的なサンプルについては、Start Page または **File** メニューからダイアログを開きます。必要に応じてダイアログにある **Filter Options** を使用し、選択できるプロジェクトのリストを絞り込みます。

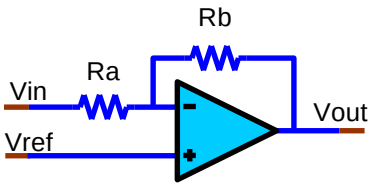
詳しくは、PSoC Creator ヘルプの Find Example Project を参照してください。

機能の詳細

PGA_Inv は、汎用 SC/CT ブロックから構成されています。利得は Ra および Rb の 2 個の抵抗器を調整することによって選択されます (図 1 を参照)。Ra は選択した利得によって、20k または 40kΩ のいずれかに設定でき

ます。Rb は、20k～1000kΩを設定して、**Configure** ダイアログまたは PGA_Inv_SetGain() 関数のいずれかで選択可能な利得設定値を生成します。

図 1. PGA_Inv Schematic



このブロックには、帰還抵抗器 (Rb) と並列にプログラマブルキャパシタが配備されています。このキャパシタの容量値は、保証された安定性を達成するために各利得の選択に対応して設定されます。適切な帰還キャパシタを選択せずに、Rb の値を再割り当てすると、PGA_Inv が不安定になることがあります。利得を変更するには、提供された API を使用することを強く推奨します。

PGA_Inv の入力抵抗値は有限です。利得の確度は信号源と Vin 入力間の配線抵抗に依存します。利得の仕様は、配線抵抗の公称値の変動に対応します。

レジスタ

PGA_Inv コンポーネント構成は SC[0..3]_CR0、SC[0..3]_CR1 および SC[0..3]_CR2 のレジスタに実装されます。これらのレジスタは PGA_Inv_1_CR0_REG などのインスタンス化されたコンポーネント名を参照することにより、ユーザーコードでアクセスすることができます。PSoC Creator コンポーネントデバッグウィンドウでレジスタの内容を確認することができます。各レジスタの詳細な説明については、サイプレスのウェブサイトから該当する TRM を参照してください。以下のレジスタは、PGA コンポーネントデバッグウィンドウに表示されます。

レジスタ: PGA_Inv_1_CR0_REG

名称: スイッチトキャパシタコントロールレジスタ 0

説明: レジスタビット 3:1 はスイッチトキャパシタブロック動作モードを設定します。このフィールドは PGA コンポーネントに対し 110b に設定されています。

レジスタ: PGA_Inv_1_CR1_REG

名称: スイッチトキャパシタコントロールレジスタ 1

説明: レジスタフィールドは、スイッチトキャパシタブロックの駆動モード、補償キャパシタの容量値、利得設定を設定します。

レジスタ: PGA_Inv_1_CR2_REG

名称: スイッチトキャパシタコントロールレジスタ 2

説明: レジスタフィールドはスイッチトキャパシタブロックの入力インピーダンス、帰還インピーダンス、基準グランドの選択を設定します。

レジスタ: PGA_Inv_1_PM_ACT_CFG_REG

名称: アクティブパワーモード設定レジスタ 9

説明: レジスタビット 3:0 は 4 つのスイッチトキャパシタブロックへの電力供給をイネーブルにします。

PSoC 3 DC/ AC 電気的特性

以下の値は、期待される性能を示しており、初期特性データを基にしています。下表に別途記述がない限り、T_A = 25°C、V_{DDA} = 5.0V、パワー = High、出力はアナロググランド V_{SSA} 基準の条件です。

5.0V/3.3V DC 電気的特性

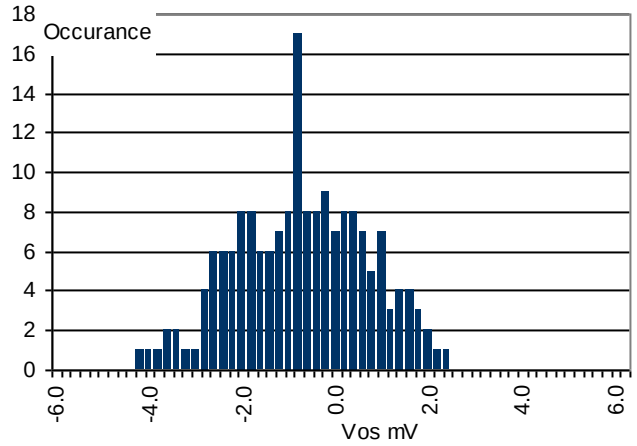
データ収集が現在進行中です。この表は将来のリリースで更新されます。

記号	項目	条件	Min	Typ	Max	単位
V_{IN}	入力電圧範囲	パワーモード = minimum	V_{SSA}	–	V_{DDA}	V
V_{OS}	入力オフセット電圧	パワーモード = high、利得 = 1、V_{DDA} = 5V	–	–	10	mV
TCV_{OS}	入力オフセット電圧の温度ドリフト	パワーモード = high、利得 = 1、V_{DDA} = 5V	–	±30	–	µV/°C
Ge1	利得誤差、利得 = 1	V_{DDA} = 5V	–	–	±0.15	%
Ge15	利得誤差、利得 = 15	V_{DDA} = 5V	–	–	±2.5	%
Ge49	利得誤差、利得 = 49	V_{DDA} = 5V	–	–	±5	%
Gd1	利得ドリフト、利得 = 1		–	–	–	ppm/°C
Gd15	利得ドリフト、利得 = 15		–	–	–	ppm/°C
Gd49	利得ドリフト、利得 = 49		–	–	–	ppm/°C
V_{ONL}	DC 出力の非直線性	利得 = 1	–	–	±0.01	% of FSR
R_{IN}	入力抵抗		35	–	–	MΩ
C_{IN}	入力容量		–	–	–	pF

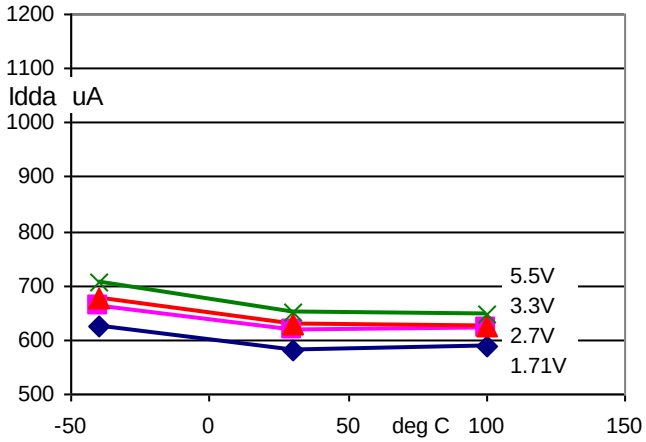
記号	項目	条件	Min	Typ	Max	単位
V_{OH}、V_{OL}	出力電圧スイング	パワーモード = high、利得 = 1、R_{LOAD} = 100kΩ ～V_{DDA}/2	V_{DDA} – 0.15	–	V_{SSA} + 0.15	V
I_{OUT}	出力電流、吐き出しまたは吸い込み	V_{SSA} + 500mV = Vout = V_{DDA} – 500mV	–	–	–	µA
I_{DD}	動作電流	パワーモード = high	–	1.5	1.65	mA
PSRR	電源電圧変動除去比		69	–	–	dB

図

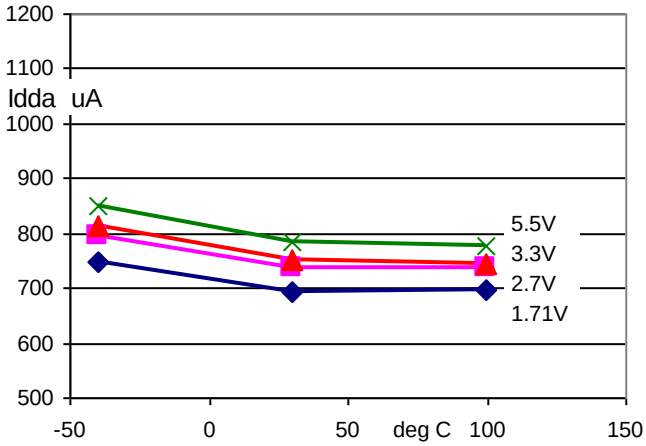
入力オフセット電圧ヒストグラム



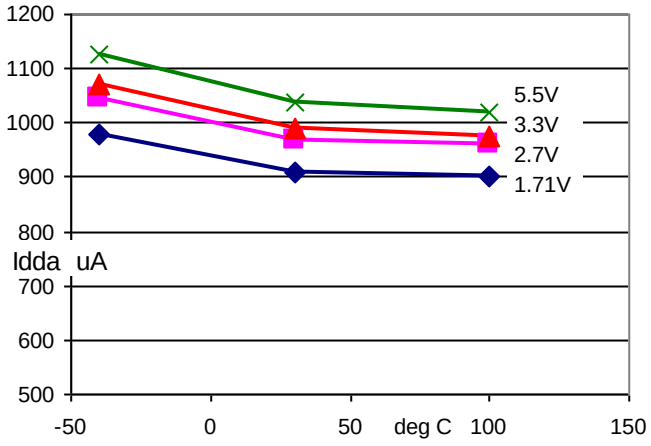
Typ 動作電流－温度、パワー = Minimum



Typ 動作電流－温度、パワー = Low



Typ 動作電流－温度、パワー = High

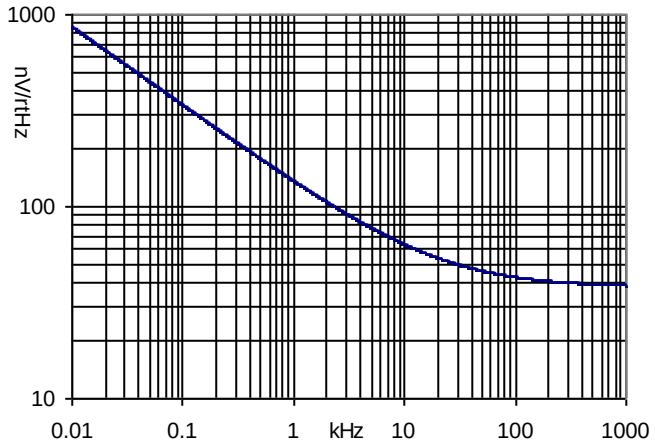


5.0V/3.3V AC 電気的特性

記号	項目	条件	Min	Typ	Max	単位
BW1	-3dB帯域幅	パワーモード = high、 利得 = 1、V_{DDA} = 5V	3.1	–	–	MHz
SR1	スルーレート	パワーモード = high、 利得 = 1、20%～80%	3	–	–	V/µs
e_n	入力雑音密度	パワーモード = high、 V_{DDA} = 5V、100kHz	–	43	–	nV/sqrtHz

図

雑音電圧、V_{DDA} = 5.0V、パワー = High



PSoC 5 DC/ AC 電気的特性

以下の値は、期待される性能を示しており、初期特性データを基にしています。下表に別途記述がない限り、T_A = 25°C、V_{DDA} = 5.0V、パワー = High、出力はアナロググランド V_{SSA} 基準の条件です。

5.0V/3.3V DC 電気的特性

記号	項目	条件	Min	Typ	Max	単位
V_{IN}	入力電圧範囲	パワーモード = minimum	V_{SSA}	–	V_{DDA}	V
V_{OS}	入力オフセット電圧	パワーモード = high、 利得 = 1、V_{DDA} = 5V	–	5	20	mV

記号	項目	条件	Min	Typ	Max	単位
TCV_{OS}	入力オフセット電圧の温度ドリフト	パワーモード = high、利得 = 1、V_{DDA} = 5V	–	±30	±40	µV/°C
Ge1	利得誤差、利得 = 1	V_{DDA} = 5V	–	±2.5	±5.5	%
Ge15	利得誤差、利得 = 15	V_{DDA} = 5V	–	±8	±11.5	%
Ge49	利得誤差、利得 = 49	V_{DDA} = 5V	–	±13	±19.5	%
Gd1	利得ドリフト、利得 = 1		–	±95	±200	ppm/°C
Gd15	利得ドリフト、利得 = 15		–	±115	±250	ppm/°C
Gd49	利得ドリフト、利得 = 49		–	±350	±850	ppm/°C
V_{ONL}	DC 出力の非直線性	利得 = 1	–	–	±1.8	% of FSR
V_{OH}、V_{OL}	出力電圧スイング	パワーモード = high、利得 = 1、R_{LOAD} = 100kΩ ～V_{DDA}/2	V_{DDA} – 0.15	–	V_{SSA} + 0.15	V
I_{OUT}	出力電流、吐き出しまたは吸い込み	V_{SSA} + 500mV = Vout = V_{DDA} – 500mV	250	–	–	µA
I_{DD}	動作電流	パワーモード = high	–	1.5	1.65	mA
PSRR	電源電圧変動除去比		48	65	–	dB

5.0V/3.3V AC 電気的特性

記号	項目	条件	Min	Typ	Max	単位
BW1	-3dB帯域幅	パワーモード = high、利得 = 1、V_{DDA} = 5V	3.1	–	–	MHz
SR1	スルーレート	パワーモード = high、利得 = 1、20%～80%	3	–	–	V/µs

コンポーネントの変更

ここでは、過去のバージョンからコンポーネントに加えられた主な変更を示します。

バージョン	変更の説明	変更の理由 / 影響
1.70	PSoC 5 に対応するために PGA_Inv_Stop() API を変更	PSoC 5 と併用する場合、コンポーネントの停止時に独立したアナログ信号に影響を与えることを防ぐには、変更が必要です。
	PGA_Inv 応答グラフを更新	ウィンドウに収まるように水平および垂直グリッドを追加するには、グラフのサイズを変更する必要があります。

バージョン	変更の説明	変更の理由 / 影響
	PSoC 5 の DC および AC 電気的特性データを追加	
1.60	VDDA パラメータをコンポーネント カスタマイザから削除	複数のコンポーネントでは、コンポーネントの VDDA 設定は冗長であり不要です。パラメータを削除しました。コンポーネントは、DWR で最小 VDDA のグローバル設定をクエリし、必要に応じて自動的にポンプを有効にします。
	周波数応答グラフを含むように設定ウィンドウを作成して、GUIをより使用しやすくしました。	以前の設定ウィンドウは、使用しやすい十分な情報がありませんでした。
	ヘッダーファイルの SetGain 定数を修正	SetGain API 用に提供された定数は値が正しくありませんでした。 これらの値は修正されました。
	データシートに特性データを追加	
	データシートのマイナーな編集と更新	
1.50	Sleep/Wakeup (スリープ/ウェイクアップ) と Init/Enable (初期化/イネーブル) API を追加しました。	低パワー モードをサポートし、ほとんどのコンポーネントの初期化とイネーブル化の制御を分離する共通インターフェースを提供するため。
	23 のゲイン設定を削除しました。	23 のゲイン設定は 22 と 24 に近すぎるため、メリットがありません。
	記号と [Configure (設定)] ダイアログを更新	企業標準に準拠するようにこれらを更新しました。

Copyright © 2005-2012 Cypress Semiconductor Corporation 本文書に記載される情報は、予告なく変更される場合があります。Cypress Semiconductor Corporation は、サイプレス製品に組み込まれた回路以外のいかなる回路を使用することに対しても一切の責任を負いません。特許又はその他の権限下で、ライセンスを譲渡又は暗示することもありません。サイプレス製品は、サイプレスとの書面による合意に基づくものでない限り、医療、生命維持、救命、重要な管理、又は安全の用途のために仕様することを保証するものではなく、また使用することを意図したものでもありません。さらにサイプレスは、誤動作や故障によって使用者に重大な傷害をもたらすことを合理的に予想される、生命維持システムの重要なコンポーネンツとしてサイプレス製品を使用することを許可していません。生命維持システムの用途にサイプレス製品を供することは、製造者がそのような使用におけるあらゆるリスクを負うことを意味し、その結果サイプレスはあらゆる責任を免除されることを意味します。

PSoC Designer™及び Programmable System-on-Chip™は、Cypress Semiconductor Corp.の商標、PSoC®は同社の登録商標です。本文書で言及するその他全ての商標又は登録商標は各社の所有物です。

全てのソースコード(ソフトウェア及び/又はファームウェア)は Cypress Semiconductor Corporation (以下「サイプレス」)が所有し、全世界(米国及びその他の国)の特許権保護、米国の著作権法並びに国際協定の条項により保護され、かつそれらに従います。サイプレスが本書面によるライセンシーに付与するライセンスは、個人的、非独占的かつ譲渡不能のライセンスであって、適用される契約で指定されたサイプレスの集積回路と併用されるライセンシーの製品のみをサポートするカスタムソフトウェア及び/又はカスタムファームウェアを作成する目的に限って、サイプレスのソースコードの派生著作物を複製、使用、変更、そして作成するためのライセンス、並びにサイプレスのソースコード及び派生著作物をコンパイルするためのライセンスです。上記で指定された場合を除き、サイプレスの書面による明示的な許可なくして本ソースコードを複製、変更、変換、コンパイル、又は表示することは全て禁止されます。

免責条項:サイプレスは、明示的又は黙示的を問わず、本資料に関するいかなる種類の保証も行いません。これには、商品性又は特定目的への適合性の黙示的な保証が含まれますが、これに限定されません。サイプレスは、本文書に記載される資料に対して今後予告なく変更を加える権利を留保します。サイプレスは、本文書に記載されるいかなる製品又は回路を適用又は使用したことによって生ずるいかなる責任も負いません。サイプレスは、誤動作や故障によって使用者に重大な傷害をもたらすことが合理的に予想される生命維持システムの重要なコンポーネンツとしてサイプレス製品を使用することを許可していません。生命維持システムの用途にサイプレス製品を供することは、製造者がそのような使用におけるあらゆるリスクを負うことを意味し、その結果サイプレスはあらゆる責任を免除されることを意味します。

ソフトウェアの使用は、適用されるサイプレスソフトウェアライセンス契約によって制限され、かつ制約される場合があります。